

**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS
DEL INSTITUTO POLITÉCNICO NACIONAL**

UNIDAD ZACATENCO
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA
SECCIÓN DE BIOELECTRÓNICA

Desarrollo de un monitor ambulatorio de larga duración para el registro
del EEG de 8 canales

Tesis que presenta

Ing. Everardo José Salas Lara

para obtener el Grado de

Maestro en Ciencias

en la Especialidad de

Ingeniería Eléctrica

Codirectores de la Tesis: Dr. Carlos Alvarado Serrano, Dr. Juan Manuel
Gutierrez Salgado

A mis padres, Laura y Everardo, por haber hecho posible este reto. A ustedes les agradezco su apoyo incondicional y por siempre mantener su confianza en mí. Les dedico este trabajo, fruto de mi esfuerzo y mi amor hacia ustedes, siempre les estaré agradecido. A mi hermano Alan, por su sinceridad y cariño. A mi abuelita, por su amor incondicional. Le agradezco a Dios por mi familia. Los amo.

AGRADECIMIENTOS

A Melissa, porque sin ti no podría haber terminado este sueño. Gracias amor, por los buenos y malos días que tuvimos en este viaje, por tu confianza y cariño, por las horas de esfuerzo en este trabajo, te amo. A Sonia y Arturo por el apoyo que nos brindaron, les agradezco sinceramente todo lo que hicieron por nosotros.

A ti Tasha, que aunque no lo sepas, me ayudaste con tu alegría y amor.

A los miembros del jurado Dr. Lorenzo Leija Salas y Dr. Roberto Muñoz Guerrero, por el tiempo que dedicaron a la revisión de esta tesis y por brindarme su apoyo en esta etapa de mi vida. A mis directores de tesis Dr. Carlos Alvarado Serrano y Dr. Juan Manuel Gutierrez Salgado por aceptarme en su equipo de trabajo, agradezco sus valiosos consejos y guía durante la realización de esta tesis.

A los profesores que ayudaron en mi formación académica durante la maestría, ya que sin ellos no podría haber logrado este reto. Al personal administrativo de la Sección de Bioelectrónica por su ayuda en todo momento. Al personal de taller, por ayudarme con mi proyecto y sus sabios consejos. A mis amigos de la generación y del CINVESTAV, por todos los momentos agradables que tuvimos, su apoyo incondicional y gran amistad.

Al CINVESTAV por la oportunidad de estudiar en sus instalaciones, al CONACYT por otorgarme la beca que hizo posible esta maestría.

CONTENIDO

1.	INTRODUCCIÓN	1
1.1	Planteamiento del problema	1
1.2	Objetivo general.....	3
1.3	Objetivos particulares	3
1.4	Estructura de la tesis	4
2.	ANTECEDENTES	5
2.1	Electroencefalografía	5
2.1.1	El electroencefalograma.....	6
2.2	Potenciales relacionados a eventos.....	8
2.2.1	Generación de potenciales evocados	8
2.3	Instrumentación	10
2.3.1	Interfaz analógica con ADC de baja resolución.....	12
2.3.2	Interfaz analógica de bajo costo con ADC Delta-Sigma de 24 bits	13
2.4	Convertidores Delta-Sigma ($\Delta\Sigma$)	14
2.4.1	Sobre muestreo.....	14
2.4.2	Técnica de <i>noise shaping</i>	18
2.4.3	Filtro digital y de decimación	20
2.5	Estado del arte.....	22
2.5.1	Imec y Holst Centre EEG	22
2.5.2	Imec, Holst Centre y Panasonic EEG.....	23
2.5.3	Emotiv EEG.....	24
3.	DESARROLLO.....	26
3.1	Interfaz analógica: ADS1299.....	27

3.1.1	Multiplexor de entrada	29
3.1.2	Entradas analógicas	30
3.1.3	Formato de los datos	30
3.1.4	Referencia	31
3.1.5	Reloj	31
3.1.6	Interfaz SPI.....	32
3.1.6.1	Selección del chip (CS ..)	32
3.1.6.2	Reloj del SPI (SCLK)	33
3.1.6.3	Entrada de datos (DIN).....	33
3.1.6.4	Salida de datos (DOUT).....	33
3.1.7	Definición de los comandos para la interfaz serial.....	34
3.1.7.1	Comandos del sistema.....	35
3.1.7.2	Comandos de lectura de datos	36
3.1.7.3	Comandos de lectura de registros	38
3.1.8	Funciones especiales para electroencefalografía.....	39
3.2	Microcontrolador MSP430F5529.....	40
3.2.1	Reloj del sistema	41
3.2.2	Entradas y salidas digitales	41
3.3.2.1	Registro de entrada (PxIN)	42
3.3.2.2	Registro de salida (PxOUT).....	42
3.3.2.3	Registro de dirección (PxDIR)	42
3.3.2.4	Registro para habilitar resistencias de <i>pullup</i> o <i>pulldown</i>	43
3.3.2.5	Registro para selección de función.....	43
3.2.3	Interrupciones.....	44
3.2.3.1	Registro de banderas de la interrupción.....	44

3.2.3.2	Registro para selección de flanco de la interrupción	45
3.2.3.3	Registro para habilitar la interrupción.....	45
3.2.4	Interfaz de comunicación serial universal (USCI)	45
3.2.4.1	Formato de los caracteres.....	46
3.2.4.2	Operación en modo maestro.....	46
3.2.4.3	Control de reloj de la interfaz serial.....	47
3.2.5	Memoria <i>Flash</i>	47
3.2.5.1	Funcionamiento de la memoria <i>flash</i>	49
3.2.5.2	Borrado de la memoria <i>flash</i>	50
3.2.5.3	Escritura de la memoria <i>flash</i>	50
3.2.5.4	Configuración y acceso al controlador de la memoria <i>flash</i>	50
3.3	Almacenamiento.....	51
3.3.1	Tarjeta SD.....	51
3.3.1.1	Interfaz eléctrica	52
3.3.1.2	Protocolo de comunicación.....	53
3.3.1.3	Lectura de los datos	54
3.3.1.4	Escritura de los datos	54
3.3.1.5	Inicialización de la tarjeta SD.....	55
3.3.2	Sistema de archivos	56
3.3.2.1	Sector de arranque	56
3.3.2.2	Tabla de asignación de archivos (FAT).....	57
3.3.2.3	El directorio raíz	58
3.4	Tarjeta de desarrollo ADS1299EEG-FE.....	58
3.4.1	Señal de calibración interna.....	59
3.4.2	Rango dinámico.....	61

3.4.3	Registro de biopotenciales.....	62
3.5	Diseño del algoritmo de control y procesamiento.....	66
3.5.1	Algoritmo principal	67
3.5.2	Comunicación e inicialización del ADS1299	68
3.5.3	Configuración e inicialización de la memoria SD	70
3.5.4	Implementación del sistema de archivos FAT	71
3.5.5	Creación del archivo	72
3.5.6	Obtención de las conversiones.....	73
3.5.7	Detección de falso contacto en electrodo	80
3.5.8	Interfaz gráfica de usuario	81
3.6	Administración de energía.....	83
3.7	Detección de batería baja	85
3.8	Diseño de la tarjeta de circuito impreso	86
3.9	Colocación de los electrodos.....	89
3.10	Interfaz de usuario.....	90
4.	PRUEBAS Y RESULTADOS	92
4.1	Ancho de banda	92
4.2	CMRR	94
4.3	Interferencia de la línea eléctrica.....	95
4.4	Registro de larga duración	97
4.5	Registros de electroencefalografía	99
5.	CONCLUSIONES Y TRABAJO A FUTURO	106
	REFERENCIAS.....	109
	Apéndice A.....	114
	Apéndice B.....	115

Apéndice C.....	116
Apéndice D.....	117
Apéndice E.....	118
Apéndice F.....	119

LISTA DE FIGURAS

2. ANTECEDENTES

Fig. 2.1.- Ejemplo de las ondas gamma, beta, alfa, theta y delta [16].	7
Fig. 2.2.- Diferentes morfologías de potenciales evocados. La duración, amplitud y morfología difieren considerablemente de potencial a potencial [1].	9
Fig. 2.3.- Aproximación del sistema basada en la resolución del ADC [19].	11
Fig. 2.4.- Típico sistema basado en ADC de aproximaciones sucesivas [19].	12
Fig. 2.5.- Sistema basado en ADC Delta-Sigma.	13
Fig. 2.6.- FFT de un ADC con frecuencia de muestreo F_s [22].	15
Fig. 2.7.- FFT de un ADC con frecuencia de muestreo kF_s [22].	16
Fig. 2.8.- Efecto del filtro digital en la banda donde está presente el ruido [22].	17
Fig. 2.9.- Modulador delta-sigma de primer orden [21].	18
Fig. 2.10.- Efecto del integrador en el modulador $\Delta\Sigma$ [22].	19
Fig. 2.11.- Comparación del ruido de cuantización para moduladores $\Delta\Sigma$ de diferente orden [21].	20
Fig. 2.12.- Salida del filtro pasa-bajas [24].	21
Fig. 2.13.- Salida del filtro digital/decimación [24].	22
Fig. 2.14.- Sistema térmico EEG con banda en la cabeza (izquierda) y sistema EEG híbrido tipo audífono (derecha). a) generador termo-eléctrico; b) electrodos; c) electrónica; d) celdas solares [26].	23
Fig. 2.15.- Imec, Holst Centre y Panasonic [27].	24
Fig. 2.16.- Sistema de EEG Emotiv [28].	25

3. DESARROLLO

Fig. 3.1.- Diagrama a bloques del sistema de EEG propuesto.	26
Fig. 3.2.- Diagrama funcional a bloques del ADS1299 [29].	28
Fig. 3.3.- Multiplexor de entrada para un solo canal [29].	29
Fig. 3.4.- Rango de valores de la señal unipolar [29].	30

Fig. 3.5.- Bus de salida del SPI [29].	33
Fig. 3.6.- Modo de conversión continua [29].	36
Fig. 3.7.- Ejemplo del comando RREG: Lectura de dos registros empezando en la dirección 00h (OPCODE1 = 0010 0000, OPCODE2 = 0000 0001) [29].	38
Fig. 3.8.- Ejemplo del comando WREG: Escribe dos registros empezando en la dirección 00h (OPCODE1 = 0100 0000, OPCODE2 = 0000 0001) [29].	39
Fig. 3.9.- Diagrama de tiempo del módulo USCI en modo SPI [31].	48
Fig. 3.10.- Ejemplo de los segmentos de una memoria <i>flash</i> de 256 KB [31].	49
Fig. 3.11.- Formatos de memoria SD.	51
Fig. 3.12.- Diagrama de una tarjeta micro SD [34].	52
Fig. 3.13.- Tarjeta de evaluación ADS1299EEG-FE.	59
Fig. 3.14.- Señal de calibración generada por el ADS1299, PGA = 1, 3.75 mV _{PP} .	60
Fig. 3.15 Señal de calibración generada por el ADS1299, PGA = 24, 90 mV _{PP} .	60
Fig. 3.16.- Señal de salida saturada al superar el valor máximo calculado con la ecuación 5.	62
Fig. 3.17.- Electrodo de referencia conectado al lóbulo derecho del sujeto de prueba.	63
Fig. 3.18.- Electrodo de bias conectado a la vértebra prominente.	63
Fig. 3.19.- EEG con ganancia de cuatro.	64
Fig. 3.20.- Interfaz de detección para falso contacto de electrodo.	65
Fig. 3.21.- Algoritmo principal del sistema.	67
Fig. 3.22.- Diagrama de tiempos para el encendido del ADS1299.	69
Fig. 3.23.- Diagrama de flujo con la secuencia de encendido de la memoria SD.	71
Fig. 3.24.- Diagrama de flujo de la adquisición y almacenamiento de los datos.	77
Fig. 3.25.- Diagrama de flujo de la rutina de interrupción.	79
Fig. 3.26.- Diagrama de los menús de la interfaz gráfica.	82
Fig. 3.27.- Interfaz de falso contacto de electrodo en el equipo.	82
Fig. 3.28.- Posición del <i>jumper</i> JP1.	87
Fig. 3.29.- Vista superior del equipo.	88
Fig. 3.30.- Prototipo final.	88

Fig. 3.31.- Colocación de los electrodos de acuerdo al sistema internacional 10 – 20.	89
Fig. 3.32.- Interfaz gráfica de usuario.....	91

4. PRUEBAS Y RESULTADOS

Fig. 4.1.- Respuesta en frecuencia del filtro pasa-altas teórica y real.	93
Fig. 4.2.- Respuesta en frecuencia del filtro pasa-bajas teórica y real.	94
Fig. 4.3.- Comparación entre CMRR del prototipo y CMRR de la tarjeta ADS1299EEG- FE.....	95
Fig. 4.4.- Respuesta en frecuencia del filtro <i>Notch</i>	96
Fig. 4.5.- Comparación entre señal EEG sin filtrar y filtrada.....	97
Fig. 4.6.- Señal de prueba a 2 horas de haber comenzado el registro.	98
Fig. 4.7.- Señal de prueba a 8 horas de haber comenzado el registro.....	98
Fig. 4.8.- Señal de prueba a 11 horas de haber comenzado el registro.	99
Fig. 4.9.- Sujeto 1, protocolo P300.	100
Fig. 4.10.- Sujeto 2, protocolo P300.	100
Fig. 4.11.- Sujeto 3, protocolo P300.	101
Fig. 4.12.- Sujeto 4, protocolo P300.	101
Fig. 4.13.- Sujeto 5, protocolo P300.	102
Fig. 4.14.- Sujeto 6, protocolo P300.	102
Fig. 4.15.- Sujeto 1, protocolo MMN.....	103
Fig. 4.16.- Sujeto 2, protocolo MMN.....	103
Fig. 4.17.- Sujeto 3, protocolo MMN.....	104
Fig. 4.18.- Sujeto 4, protocolo MMN.....	104
Fig. 4.19.- Sujeto 5, protocolo MMN.....	105
Fig. 4.20.- Sujeto 6, protocolo MMN.....	105

LISTA DE TABLAS

3. DESARROLLO

Tabla 3.1.- Códigos ideales para diferentes señales de entrada [20].....	31
Tabla 3.2.- CLKSEL pin y CLK_EN bit [20].	32
Tabla 3.3.- Definición de los comandos [20].....	35
Tabla 3.4.- Configuración de resistencias <i>pullup/pulldown</i>	43
Tabla 3.5.- Modos de borrado.	50
Tabla 3.6.- Modos de escritura.....	50
Tabla 3.7.- Medidas de los formatos de memoria SD.	52
Tabla 3.8.- Asignación de pines.	53
Tabla 3.9.- Estructura del comando [25].....	54
Tabla 3.10.- Estructura del <i>data token</i>	54
Tabla 3.11.- Estructura del <i>data response</i>	55
Tabla 3.12.- Organización del sector de arranque.	57
Tabla 3.13.- Estructura de las entradas de directorio.....	58
Tabla 3.14.- Valores obtenidos para el máximo valor de amplitud a la entrada del ADS1299.	61
Tabla 3.15.- Relación entre el CMRR y la ganancia del canal.	65
Tabla 3.16.- Relación de canales y posición del electrodo.....	90

RESUMEN

Los avances en la tecnología, han permitido el desarrollo de instrumentos médicos portátiles, capaces de monitorear por tiempos prolongados los registros de actividad bioeléctrica cerebral del paciente, ya que por su tamaño pueden ser usados de manera cotidiana, permitiendo registrar eventos que no siempre se presentan en un estudio clínico. Condiciones crónicas como son la epilepsia y los trastornos del sueño, requieren de estudios largos que van desde 30 min hasta 24 horas de monitoreo.

Con el objetivo de proveer una herramienta para realizar estos estudios, en esta tesis se presenta el desarrollo de un monitor ambulatorio para el registro de EEG de 8 canales de larga duración, bajo consumo, tamaño y peso mínimo, y capacidad de almacenamiento en memoria de estado sólido. El dispositivo se estructura en torno al convertidor delta-sigma ADS1299 que se encarga de la adquisición de las señales y el microcontrolador de bajo consumo MSP430 que realiza el procesamiento de las señales y el manejo de los periféricos.

El algoritmo diseñado se encarga de procesar los datos del convertidor delta-sigma y de la interfaz para la interacción con el usuario. La información es almacenada en un archivo con formato TXT dentro de una memoria microSD, mediante el sistema de archivos FAT16, para ser visualizados posteriormente en la interfaz gráfica diseñada en el software *Matlab*®. Los filtros necesarios para el equipo, se implementaron de manera digital dejando la opción para poder modificarse en cualquier momento.

El sistema permite el registro de 8 canales de EEG con una duración de aproximadamente 52 horas a una frecuencia de muestreo de 250 Hz y tiene una resolución de 0.5 μ V (24 bits) y un ancho de banda de 0.16 a 70 Hz con un CMRR de 80 a 104 dB. La validación de los datos se obtuvo con registros en sujetos sanos, mediante los protocolos *Oddball* y *Mismatch Negativity*, normalmente usados en la obtención de potenciales evocados visuales.

ABSTRACT

Advances in technology have enabled the development of portable medical instruments, capable of monitoring for prolonged periods the recording of electrical brain activity of the patient, due to their size they can already be used on a daily, thus allowing the registering of events not always present in clinical studies. Chronic conditions such as epilepsy and sleep disorders, require long studies ranging from 30 minutes to 24 hours of monitoring.

Aiming to provide a tool for performing these studies, in this thesis the development of an ambulatory monitor to record 8 channel EEG long lasting, low power consumption, minimum size and weight, and solid state memory storage is presented. The device is structured around the delta – sigma converter ADS1299 that handles acquisition of signals and the low power MSP430 microcontroller that performs signal processing and management of peripherals.

The designed algorithm is responsible for processing the data from the delta – sigma converter and the interface for the user interaction. The information is stored in a file with TXT format within a microSD memory using the FAT16 file system, to be displayed later in the graphical interface designed in Matlab®. The filters needed for the device, were implemented digitally, leaving the option to change at any time.

The system allows the recording of 8 channel of EEG with a duration of approximately 52 hours at a sampling frequency of 250 Hz and has a resolution of 0.5 μ V (24 bits) and a bandwidth of 0.16 to 70 Hz with a CMRR from 80 to 104 dB. Validation data was obtained with records in healthy subjects, using the Oddball and Mismatch Negativity protocols, typically used in obtaining visual evoked potentials.

1. INTRODUCCIÓN

1.1 Planteamiento del problema

Los sistemas de electroencefalografía (EEG) actuales tienen la desventaja de que solamente pueden ser usados en un ambiente clínico, debido a que se necesita personal capacitado para realizar un estudio en el hospital y el tiempo para su preparación generalmente es de una hora, por lo que es una tarea que puede incomodar al paciente. La reducción del tamaño de un sistema EEG implica grandes ventajas ya que al ser un dispositivo portátil permite que el paciente pueda desempeñar sus tareas habituales, creando así un ambiente más próximo al natural permitiendo obtener registros de actividad cerebral normales fuera del ámbito clínico, en lugar de que el paciente se vea obligado a estar acostado en una cama durante el tiempo que el estudio requiera.

Por su parte, el registro de potenciales evocados representa un estudio objetivo no invasivo capaz de proveer información acerca de anomalías en las vías sensoriales, la localización de lesiones en estas vías y trastornos relacionados con el lenguaje y habla [1]. Al año 2010, las personas en México que presentan algún tipo de discapacidad representan el 5.1% de la población total, de las cuales el 12.1% presentan una discapacidad auditiva y el 27.2% presenta una discapacidad visual [2]. El uso de potenciales evocados auditivos (AEP, por sus siglas en inglés) ha sido usado principalmente para la evaluación de diferentes tipos de pérdidas auditivas (“audiometría”), diagnóstico de ciertos tipos de desórdenes del tronco cerebral y en la prevención de daño neurológico en cirugías por medio del monitoreo intraoperatorio [3]. Por otro lado los potenciales evocados visuales (VEP, por sus siglas en inglés) son usados para la investigación de trastornos oculares y de la retina, detección de defectos en el campo de visión y patologías del nervio óptico [1].

Otras de las aplicaciones clínicas más importantes del EEG son el estudio de la epilepsia y de los trastornos de sueño. Una persona con epilepsia sufre de

convulsiones durante las cuales se producen estallidos de actividad eléctrica descontrolada en un grupo de neuronas de la corteza cerebral. Típicamente las convulsiones son eventos recurrentes a una velocidad muy variable, que van desde unos pocos ataques durante toda la vida a una docena en un solo día. El EEG es la principal prueba para diagnosticar epilepsia y recopilar información acerca del tipo y localización de la convulsión [1, 4].

Por otro lado los trastornos del sueño, que son muy frecuentes en nuestra sociedad [5, 6, 7], pueden ser causados por varias condiciones de origen médico y/o psicológico. Una clasificación comúnmente usada define los siguientes grupos:

- ✚ Insomnia
- ✚ Hipersomnias
- ✚ Trastornos del ritmo circadiano
- ✚ Parasomnias

Cada uno de los diferentes tipos de trastorno del sueño exhibe ciertas manifestaciones en el EEG. Para poder diagnosticar de manera propia cada uno de estos trastornos, es importante determinar de manera cuantitativa como los patrones de las etapas del sueño cambian con el tiempo. Esta información se adquiere normalmente haciendo que el paciente duerma una noche en un laboratorio del sueño con electrodos colocados en el cuero cabelludo [1].

Según datos del Instituto de Estadística, Geografía e Informática (INEGI), más de 15 millones de mexicanos padecen insomnio, por lo que se ha convertido en un problema de salud pública [8]. Debido a estos trastornos, es necesario que los pacientes dispongan de dispositivos ambulatorios que tengan la autonomía suficiente para realizar los registros de larga duración durante sus actividades normales.

Con el objetivo de proporcionar una herramienta para realizar estos estudios, en esta tesis se presenta el desarrollo de un monitor portátil de larga duración capaz de realizar registros de EEG de 8 canales.

Para su implementación se propone utilizar los convertidores delta – sigma, los cuales reducen significativamente las etapas de amplificación y acondicionamiento de las señales de EEG, y su bajo consumo de energía, permite que el dispositivo sea más pequeño que un teléfono celular actual y se puedan realizar registros de larga duración.

1.2 Objetivo general

Desarrollo de un monitor ambulatorio de larga duración para el registro del EEG de 8 canales.

1.3 Objetivos particulares

- ✚ Pruebas de funcionamiento del amplificador *Front-End* ADS1299 de *Texas Instruments*.
- ✚ Programación e implementación del microcontrolador MSP430 de *Texas Instruments*.
- ✚ Comunicación SPI entre el amplificador ADS1299 y el microcontrolador MSP430.
- ✚ Pruebas del software desarrollado dentro del microcontrolador MSP430.
- ✚ Adquisición de biopotenciales y pruebas del hardware.
- ✚ Implementación de los periféricos necesarios para el dispositivo portátil.

- ✚ Validación del dispositivo portátil mediante registros de potenciales evocados y de larga duración.

1.4 Estructura de la tesis

La tesis que a continuación se detalla, consta de 5 capítulos. En la introducción se resalta la importancia que tiene un sistema portátil para registros de EEG en los estudios relacionados con los trastornos del sueño, la epilepsia y de potenciales evocados.

El segundo capítulo define los conceptos de electroencefalografía, electroencefalograma y potenciales evocados, además de su obtención mediante los protocolos aquí descritos. También describe la instrumentación necesaria para la obtención de biopotenciales provenientes de la corteza cerebral y el avance que los convertidores delta sigma ofrecen en este campo, así como el estado del arte de los dispositivos desarrollados actualmente.

El tercer capítulo detalla las etapas de desarrollo del monitor ambulatorio de EEG, así como los algoritmos implementados en el microcontrolador usados para el procesamiento y almacenamiento de los registros obtenidos, incluyendo la construcción de la placa de circuito impreso (PCB, por sus siglas en inglés) y la interfaz desarrollada en *Matlab*® para la visualización de los datos.

En el cuarto capítulo se describen las pruebas pertinentes para la caracterización del sistema y los procedimientos para validar el funcionamiento del dispositivo. Dentro de los experimentos, se describe el desempeño del dispositivo operando a su máxima capacidad.

El capítulo cinco contiene las conclusiones y trabajo a futuro de esta tesis. Por último, se incluyen las referencias utilizadas para el desarrollo de esta tesis, así como los anexos correspondientes con los diagramas usados para el diseño del dispositivo.

2. ANTECEDENTES

2.1 Electroencefalografía

La electroencefalografía es la técnica encargada del registro e interpretación del electroencefalograma (EEG), el cuál es el registro de las señales eléctricas generadas por la acción cooperativa de las células cerebrales [9] o mejor conocidas como neuronas. La suma de la actividad eléctrica neuronal del cerebro puede ser registrada por medio de electrodos que son situados sobre el cuero cabelludo [10].

Originalmente Richard Caton fue quien demostró en 1875 que existían señales eléctricas - en el rango de los microvolts - que podían ser medidas en la corteza cerebral de conejos y perros. Posteriormente, Hans Berger registró por primera vez “ondas cerebrales” al poner electrodos en el cuero cabelludo de un ser humano; estas ondas eran variantes en el tiempo y mostraban un comportamiento oscilante que variaba según el lugar donde eran posicionados dichos electrodos [1].

Fue Holter en 1961 quien describió por primera vez el monitoreo cardiaco continuo [11], dando pie al desarrollo de EEG portátiles, pero debido a la magnitud del EEG que requiere mayor amplificación que la del electrocardiograma (ECG) y la grabación de múltiples canales, este desarrollo fue más difícil que el del monitor Holter. En la década de 1970 se desarrolló un sistema portátil multicanal, dicha tecnología fue posteriormente adaptada para el registro de EEG, generando el desarrollo de amplificadores miniatura que pudieran ser usados en la cabeza [12, 13].

Con el paso del tiempo el registro se ha vuelto más sencillo debido a los amplificadores de instrumentación, ya que su alto rechazo de modo común y bajo ruido los hace ideales para la amplificación de biopotenciales y actualmente siguen siendo los más adecuados para dicha tarea.

2.1.1 El electroencefalograma

La actividad eléctrica colectiva en la corteza cerebral es generalmente referida como un ritmo, debido a que las señales medidas usualmente exhiben un comportamiento oscilatorio y repetitivo. La diversidad de estos ritmos es enorme y depende, entre muchas otras cosas, del estado mental del sujeto, tal como el grado de atención o cansancio [1].

La figura 2.1 muestra los diferentes ritmos que han sido distinguidos en el EEG [10, 14, 15]:

- ✚ Delta (0.5 – 4 Hz): este ritmo es una característica predominante en los registros EEG realizados durante el sueño profundo. En este estado las ondas Delta usualmente tienen amplitudes grandes (75 – 200 μV) y muestran una gran coherencia en todo el cuero cabelludo.
- ✚ Theta (4 – 8 Hz): los ritmos Theta ocurren rara vez en los adultos humanos. Sin embargo, son predominantes en roedores, en este caso, el rango de frecuencia es más amplio (4 – 12 Hz) y las ondas tienen una forma de diente de sierra característica, además de amplitudes más grandes. En los humanos, la actividad en la banda Theta puede ocurrir en estados emocionales o cognitivos, también puede estar relacionada con ritmos Alfa lentos debidos a alguna patología.
- ✚ Alfa (8 – 13 Hz): Los ritmos Alfa son predominantes durante el desvelo y son más pronunciados en la parte posterior de la cabeza. Se pueden observar mejor cuando los ojos están cerrados y el sujeto está en un estado relajado. Son bloqueados o atenuados por la atención (especialmente visual) y por esfuerzo mental.
- ✚ Beta (13 – 30 Hz): La actividad Beta es características de estados de mayor alerta y de mucha concentración, como se ha demostrado en varios estudios en animales y humanos.

- ✚ Gamma (30 Hz – 100+ Hz): La actividad Gamma está relacionada con el procesamiento de información y el inicio de movimientos voluntarios.

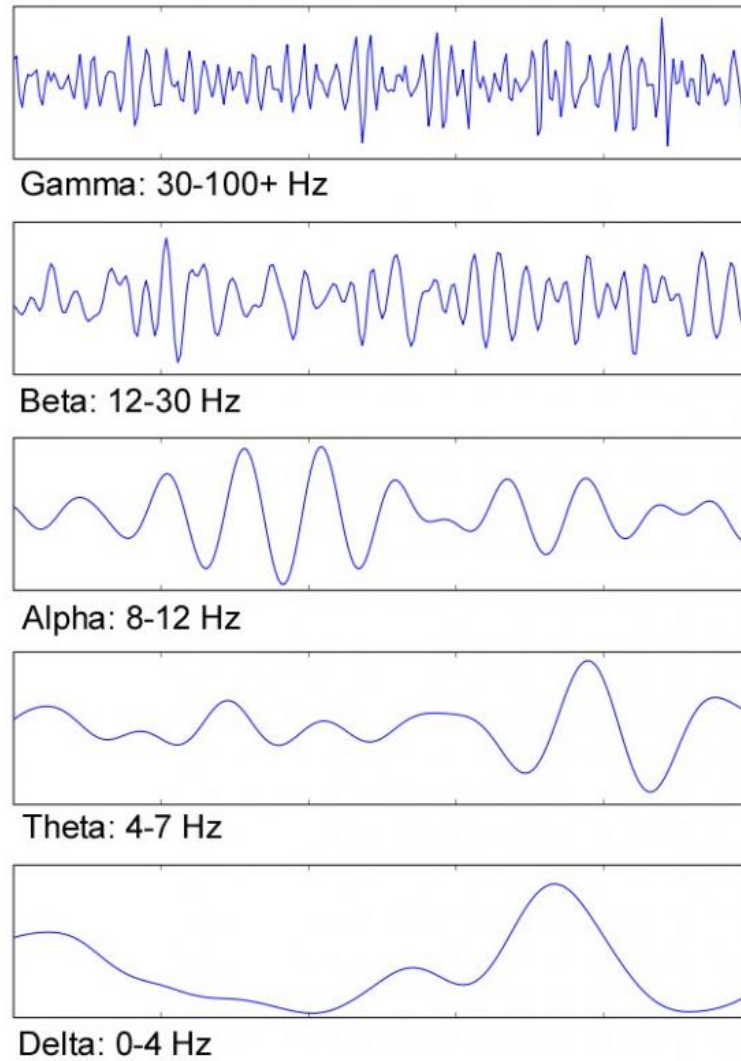


Fig. 2.1.- Ejemplo de las ondas gamma, beta, alfa, theta y delta [16].

La amplitud va normalmente desde 10 hasta 150 μV cuando el registro es hecho con electrodos que van conectados al cuero cabelludo. La señal de EEG consiste en un conjunto de frecuencias que van de 0.5 – 50 Hz. [10, 15]

Dentro de las señales registradas en la corteza cerebral podemos distinguir dos tipos, el EEG que es registrado en ausencia de un estímulo externo es generalmente llamado EEG espontáneo y el EEG generado como consecuencia de un estímulo externo o interno es llamado potencial relacionado a eventos (ERP, por sus siglas en inglés) [9] que a continuación se explica.

2.2 Potenciales relacionados a eventos

Los potenciales evocados relacionados a eventos son los cambios en la actividad del EEG espontáneo relacionados a un evento específico. ERP's desencadenados por estímulos particulares, ya sean visuales, auditivos o somatosensoriales, son llamados potenciales evocados. Los potenciales evocados auditivos y los potenciales evocados visuales son especialmente útiles para la evaluación objetiva de las vías auditivas y visuales de los bebés. Adicionalmente son usados durante diferentes procedimientos quirúrgicos, por ejemplo, en una cirugía de la columna, un monitor de potenciales evocados somatosensoriales (SEP, por sus siglas en inglés) ayuda a evitar daño innecesario al sistema nervioso.

Como muchas señales neurológicas, los potenciales evocados son frecuentemente afectados por el ruido resultante de la actividad del EEG en sí. Las amplitudes de los ERP's son un orden menor a la del EEG que se esté registrando en ese momento. Una técnica común para el análisis de ERP's es el método del promediado; ya que permite la reducción del ruido del EEG [9, 15].

2.2.1 Generación de potenciales evocados

Usualmente, el término potencial evocado se refiere a la respuesta del EEG a estimulación sensorial [10]. Por convención, se conocen los componentes de la onda (pico/valle) del potencial evocado por las letras P (amplitud positiva) y N (amplitud negativa). Un número adjunto a la letra refleja la latencia en milisegundos desde que el estímulo fue provocado. De manera alterna, el número adjunto puede reflejar el orden temporal del componente si éste es menor que 10. Por ejemplo, P300 significa

que un pico positivo ocurrió en 300 ms, mientras que N3 nos dice que el tercer componente de la onda tuvo una amplitud negativa [1]. En la figura 2.2 se muestran algunos ejemplos de diferentes morfologías de potenciales evocados.

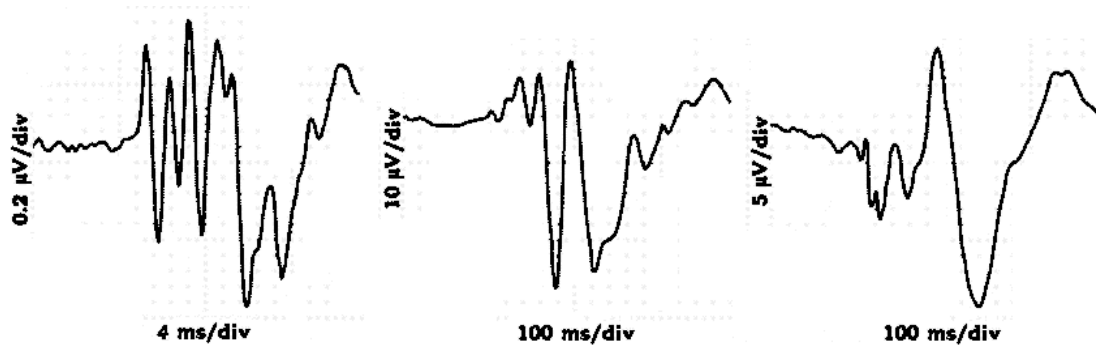


Fig. 2.2.- Diferentes morfologías de potenciales evocados. La duración, amplitud y morfología difieren considerablemente de potencial a potencial [1].

Los ERP's constituyen una categoría amplia de respuestas que son provocadas por "eventos", tales como identificar un estímulo "objetivo" o la falta de éste en una secuencia. Con el fin de provocar los potenciales se pueden organizar secuencias de estímulos basados en un modelo y se puede pedir a un sujeto que realice diferentes tareas [10].

Uno de estos modelos es el paradigma *Oddball*, el cual consiste en distribuir dos estímulos diferentes de manera pseudoaleatoria en una secuencia; en la cual uno de estos dos estímulos aparecerá frecuentemente (estímulo estándar), y el otro que será el estímulo objetivo aparecerá menos y de manera inesperada. Estos dos estímulos pueden ser tonos de diferentes frecuencias, figuras de diferentes colores, formas, etc. En esta prueba se le indica al sujeto que debe de contar el número de estímulos objetivo que aparecen durante la sesión o presionar algún botón cuando el estímulo aparece [10]. El potencial que se obtiene con este proceso es el P300, el cual es considerado que refleja la capacidad cognitiva del sujeto, lo cual envuelve funciones más complejas de la mente, tales como la atención y procesos de memoria [1, 3].

Por otro lado, el *Mismatch negativity* (MMN) consiste en un potencial de magnitud negativa provocado por una estimulación auditiva. Aparece cuando se presenta algún cambio en un patrón repetitivo y presenta un pico entre 100 y 200 ms después del estímulo. El MMN es generado en la corteza auditiva. Es conocido por reflejar la memoria auditiva y puede ser provocado aún en ausencia de atención [10, 17].

2.3 Instrumentación

Debido a que las señales biológicas como el EEG se componen de potenciales muy pequeños (orden de los microvolts) es necesario el uso de amplificadores especiales que permitan el registro de la actividad cerebral con alta fidelidad. Las recomendaciones de la Federación Internacional de Psicología Clínica [18] para los equipos de electroencefalografía son:

- ✚ ADC con al menos 12 bits y una resolución mínima de 0.5 μV .
- ✚ Frecuencia mínima de muestreo de 200 Hz, preferentemente más alta.
- ✚ Filtro pasa-altas a 0.16 Hz o menos.
- ✚ Filtro pasa-bajas (Antialiasing) a 70 Hz, 40 dB por década.
- ✚ Filtro-*Notch* a 50/60 Hz.
- ✚ Impedancia de electrodo debajo de 5 k Ω .
- ✚ CMRR del amplificador al menos de 110 dB.
- ✚ Impedancia de entrada del amplificador mayor a 100 M Ω .

Al amplificar la señal de EEG se deben de tener varios aspectos en cuenta, la magnitud y resolución de la señal determinan el rango dinámico de la interfaz a utilizar, al igual que el contenido de frecuencias determinan el ancho de banda de dicha interfaz. La señal debe de ser amplificada miles de veces antes de poder ser manipulada por un sistema digital, se debe tener en cuenta que al ser tan pequeña su amplitud, la interferencia de la línea eléctrica de 50/60 Hz que se acopla al cuerpo del sujeto de manera capacitiva (campo eléctrico) puede afectar la señal.

Generalmente una señal biológica es adquirida a través de electrodos cubiertos de plata – cloruro de plata, aunque también son usados otros materiales, como el oro; sin embargo estos materiales son polarizables, causando que se acumule un voltaje de DC que puede llegar a ser de varios cientos de milivolts (~300 mV). Este offset debe de ser procesado para que no sature los amplificadores del sistema. Existen dos maneras de procesarlo, dependiendo del ADC a utilizar en el sistema: ya sea eliminarlo completamente o preservarlo [19].

Basado en la resolución del ADC, hay dos aproximaciones que se pueden usar para procesar la señal de EEG. La primera (figura 2.3a) consiste en usar amplificadores de bajo ruido y amplificar la señal de manera significativa (aproximadamente 25000) y después usar un ADC de baja resolución (aproximadamente 16 bits), como se muestra en la figura. En este caso, se debe cuidar que el ruido del amplificador no domine el ruido global del sistema y sature el amplificador.

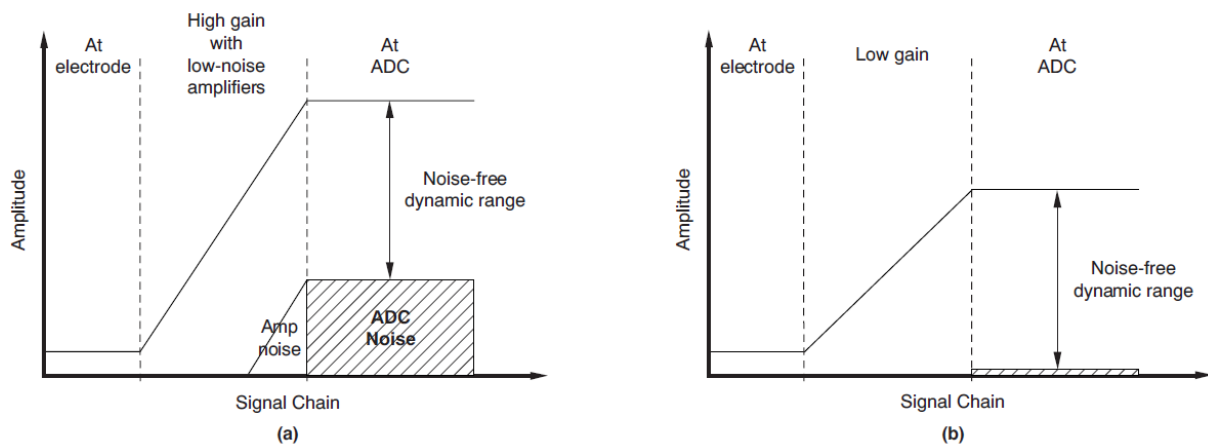


Fig. 2.3.- Aproximación del sistema basada en la resolución del ADC [19].

La segunda aproximación (figura 2.3b) consiste en usar una ganancia pequeña (aproximadamente 5) y un ADC de alta resolución (aproximadamente 24 bits), como se muestra en la figura. En ambos casos, el rango dinámico libre de ruido a la salida del ADC permanece igual [19]. La siguiente sección explica más a detalle ambas aproximaciones.

2.3.1 Interfaz analógica con ADC de baja resolución

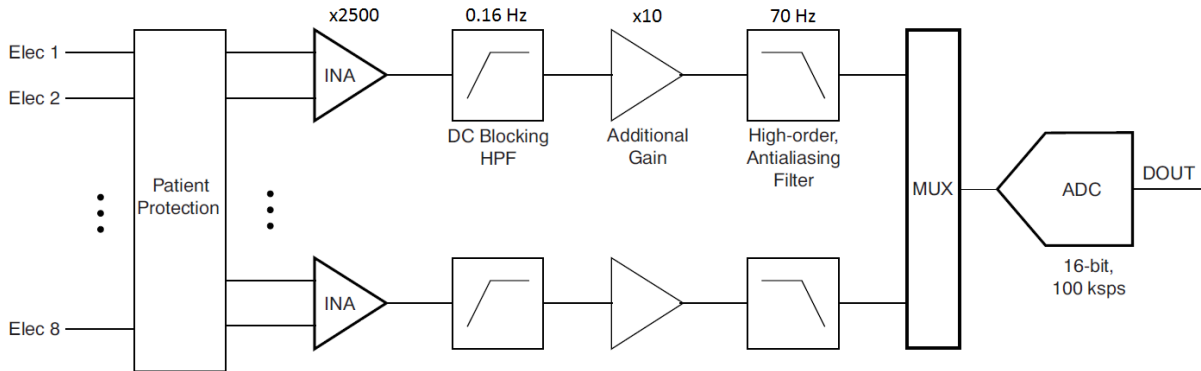


Fig. 2.4.- Típico sistema basado en ADC de aproximaciones sucesivas [19].

La figura 2.4 nos muestra un sistema basado en un ADC de baja resolución, el primer bloque está destinado para la protección del paciente, el cual puede incluir resistencias de alto valor o cualquier otro tipo de circuito de aislamiento. El circuito de multiplexado determina las combinaciones de electrodos que se medirán. Los electrodos usados para la medición de EEG son fuente de señales de alta impedancia, los cuales alimentan las entradas de los amplificadores de instrumentación, que poseen un CMRR muy alto (mayor a 100 dB) y una alta impedancia de entrada (mayor a 10 MΩ). Antes de que la señal pase al ADC, debe ser amplificada de manera que el rango dinámico del ADC sea completamente usado, como se muestra en la figura.

El voltaje típico de un ADC es aproximadamente de 2.5 V, lo cual implica una ganancia de 25000 (considerando una señal de 100 μ V). La ganancia total se distribuye entre el amplificador de instrumentación y un amplificador adicional. La ganancia en el amplificador de instrumentación es seleccionada de modo que el offset del electrodo no lo sature. En este punto la componente de DC debe de ser eliminada antes de que se agregue la siguiente etapa de amplificación, por lo tanto se agrega un filtro pasaltas con una frecuencia de corte de 0.16 Hz. Una vez que es eliminado este offset, la señal es amplificada una vez más; cabe mencionar que los amplificadores usados

deben de ser de muy bajo ruido, además de ser de bajo consumo (para sistemas alimentados con baterías). Esta combinación de bajo consumo y bajo ruido incrementa el costo de los amplificadores requeridos para este tipo de sistemas.

Seguido de esta etapa de amplificación se implementa un filtro *antialiasing*; los convertidores que operan a la frecuencia de Nyquist, tales como los ADC con registros de aproximaciones sucesivas (SAR, por sus siglas en inglés) deben de tener filtros *antialiasing* de alto orden para así evitar el *aliasing* fuera de la banda de frecuencias. Típicamente, un filtro activo pasa-bajas de cuarto orden o mayor es utilizado. Finalmente el último bloque corresponde a un multiplexor que alimenta al ADC [19].

2.3.2 Interfaz analógica de bajo costo con ADC Delta-Sigma de 24 bits

La figura 2.5 muestra la misma interfaz para EEG implementada con un convertidor delta-sigma. Los convertidores delta-sigma son conocidos por tener una alta resolución (mayor a 20 bits) usando técnicas de sobremuestreo y *noise shaping* [20].

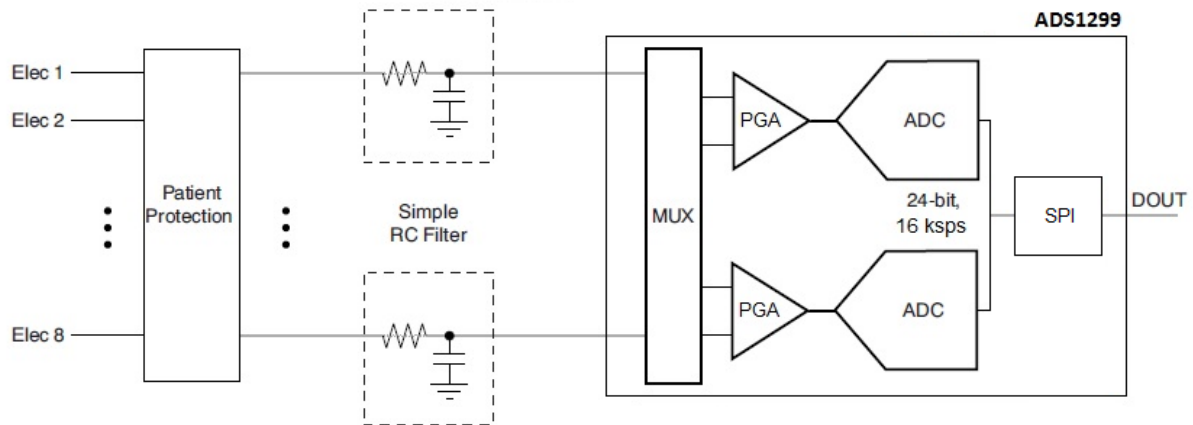


Fig. 2.5.- Sistema basado en ADC Delta-Sigma.

Si comparamos la figura 2.4 con la figura 2.5, se puede ver que hay una reducción significativa del hardware empleado, logrando eliminar cuatro bloques (filtro pasa-altas, filtro pasa-bajas y ambas etapas de ganancia) lo cual implica menor costo y consumo del sistema. Incluso este convertidor delta-sigma cuenta con un multiplexor,

que nos permite tener hasta 8 entradas diferenciales, eliminando la necesidad de un multiplexor externo. Además de ofrecer la ventaja de una mayor resolución, este convertidor relaja significativamente los requisitos de *antialiasing* antes del ADC. Los complicados filtros *antialiasing* activos, que podrían requerir de varios amplificadores para ser implementados, pueden ser reemplazados por un filtro RC simple, de un solo polo. El filtro pasa-altas para el bloqueo de DC también es eliminado, ya que el ruido inherente del ADC es significativamente menor que la solución anterior, de tal manera que esta información se preserva y los filtros pueden implementarse de manera digital, lo cual da mayor flexibilidad al diseñador.

Como podemos ver, el primer tipo de sistema presenta una cantidad significativa de procesamiento analógico antes de que la señal pueda ser digitalizada, incluyendo las etapas de ganancia y filtrado. Adicionalmente el procesamiento de señales en el dominio analógico limita la flexibilidad del sistema, muchas veces la ganancia y el ancho de banda necesitan ser optimizados, lo cual podemos hacer de manera fácil en el dominio digital [19].

2.4 Convertidores Delta-Sigma ($\Delta\Sigma$)

Con el paso del tiempo las técnicas digitales han ganado terreno en el procesamiento de señales, el diseño de un convertidor analógico-digital $\Delta\Sigma$ es aproximadamente tres partes digital y una parte analógica. Básicamente, estos convertidores consisten en un modulador de sobre muestreo seguido de un filtro digital y de decimación para así producir una salida de datos de alta resolución [21]. En la siguiente sección se explicarán los conceptos de sobre muestreo, *noise shaping*, además de los componentes de los convertidores delta-sigma.

2.4.1 Sobre muestreo

Consideremos la función de transferencia en el dominio de la frecuencia de un ADC tradicional con una onda senoidal como señal de entrada. Esta señal es muestreada

a una frecuencia F_s . De acuerdo al teorema de Nyquist, F_s debe de ser al menos el doble del ancho de banda comprendido por la señal de entrada [22].

Cuando se observa el resultado de aplicar un análisis FFT de la salida digital, vemos un solo tono y mucho ruido aleatorio que se extiende desde DC hasta $F_s/2$ (figura 2.6), conocido como ruido de cuantización, este efecto resulta de la siguiente consideración: La señal de entrada del ADC consiste en un número infinito de posibles estados, pero la salida digital es una función discreta, en la cual el número de diferentes estados está determinado por la resolución del convertidor; por consiguiente esta conversión de analógico a digital pierde cierta información y distorsiona la señal. La magnitud de este error es aleatoria, con valores de hasta $\pm\text{LSB}$ (bit menos significativo).

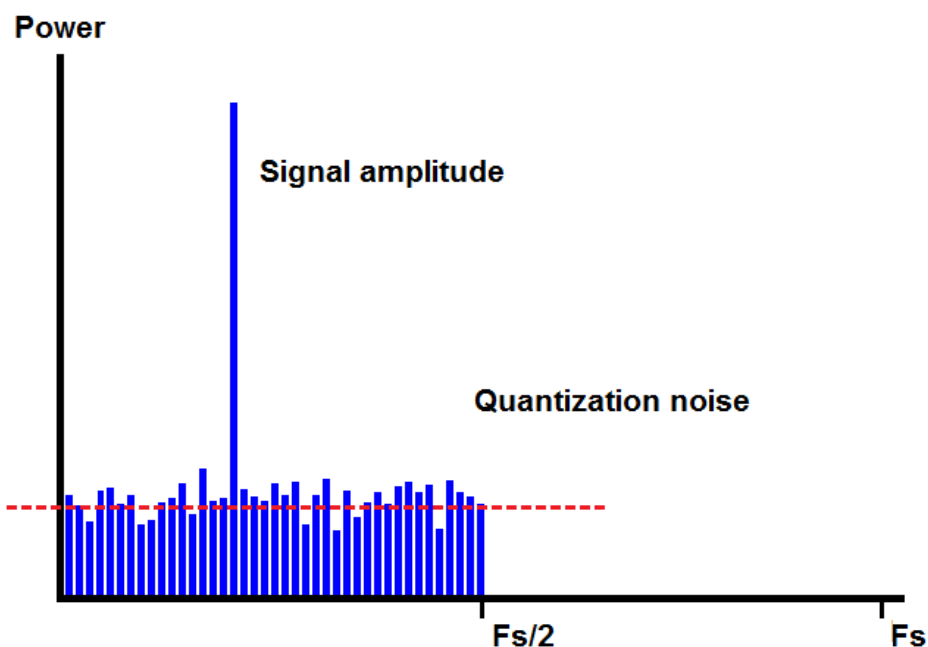


Fig. 2.6.- FFT de un ADC con frecuencia de muestreo F_s [22].

Si dividimos la potencia de la señal fundamental por la potencia de todas las frecuencias que representan ruido, obtenemos la relación señal a ruido (SNR). La ecuación 1 muestra el SNR para un ADC de N-bits:

$$SNR = 6.02 N + 1.76 \text{ dB} \quad (1)$$

Entonces tenemos que para mejorar el SNR en un ADC convencional (y por consiguiente la precisión para reproducir la señal) se tiene que incrementar el número de bits.

Si ahora consideramos el mismo ejemplo pero con una frecuencia de sobre muestreo k , tendríamos kF_s (figura 2.7). Utilizando el análisis FFT nuevamente, se observa que el ruido de cuantización ha disminuido, el SNR sigue siendo el mismo, pero la energía del ruido se ha extendido a un rango de frecuencias más amplio [22].

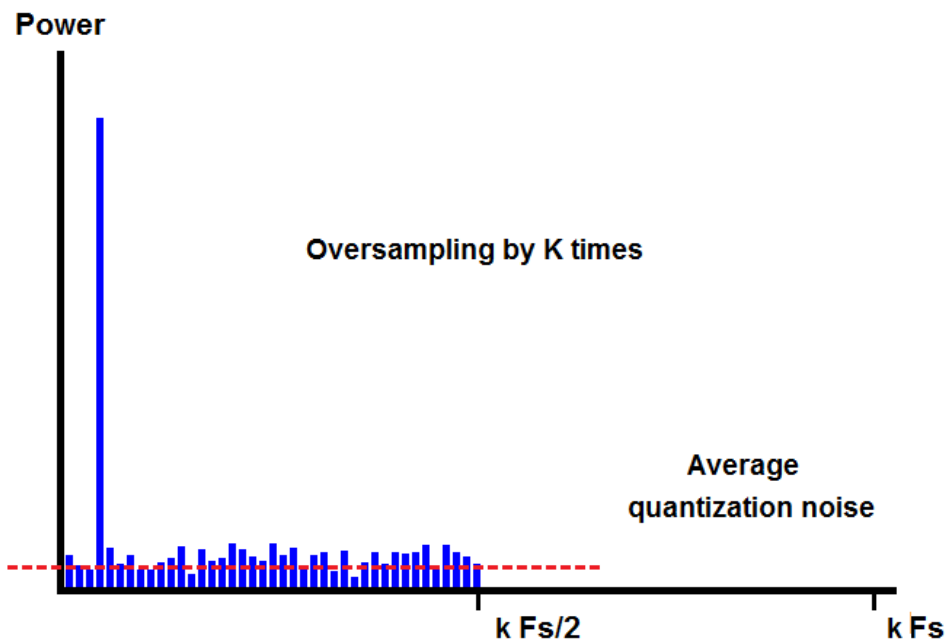


Fig. 2.7.- FFT de un ADC con frecuencia de muestreo kF_s [22].

Los convertidores delta-sigma aprovechan esto al utilizar un filtro digital después de un ADC de un 1 bit (figura 2.8). El valor RMS del ruido es menor ya que la mayor parte del ruido pasa a través del filtro digital.

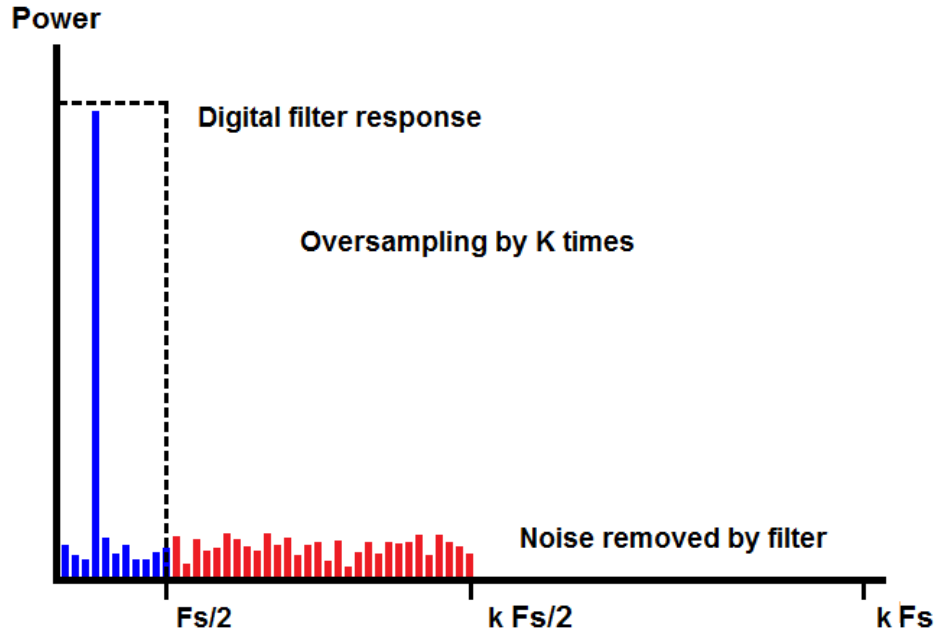


Fig. 2.8.- Efecto del filtro digital en la banda donde está presente el ruido [22].

La ecuación 2 calcula el SNR para un convertidor analógico – digital de 1 bit.

$$SNR = 6.02 (1) + 1.76 \text{ dB} = 7.78 \text{ dB} \quad (2)$$

Como se menciona en un estudio [23] cada vez que dupliquemos la frecuencia de muestreo el ruido dentro de la banda de interés disminuirá 3 dB e incrementará la resolución de la medición en $\frac{1}{2}$ bit. Es decir cada factor de 4 de sobre muestreo incrementa el SNR en 6 dB, y cada 6 dB es equivalente a ganar 1 bit; si se necesita que un convertidor de 1 bit alcance una resolución de 16 bits, implicaría un sobre muestreo equivalente a un factor de 4^{15} lo cual no es factible. Pero los convertidores delta-sigma superan esta limitación con una técnica llamada *noise shaping*, lo que permite incrementar el SNR en más de 6 dB por cada factor de 4 [22].

2.4.2 Técnica de *noise shaping*

Para entender esta técnica debemos considerar el diagrama a bloques de un modulador delta-sigma de primer orden (figura 2.9). Consiste en un amplificador en modo diferencial, un integrador y un comparador con retroalimentación formada por un DAC de un 1 bit.

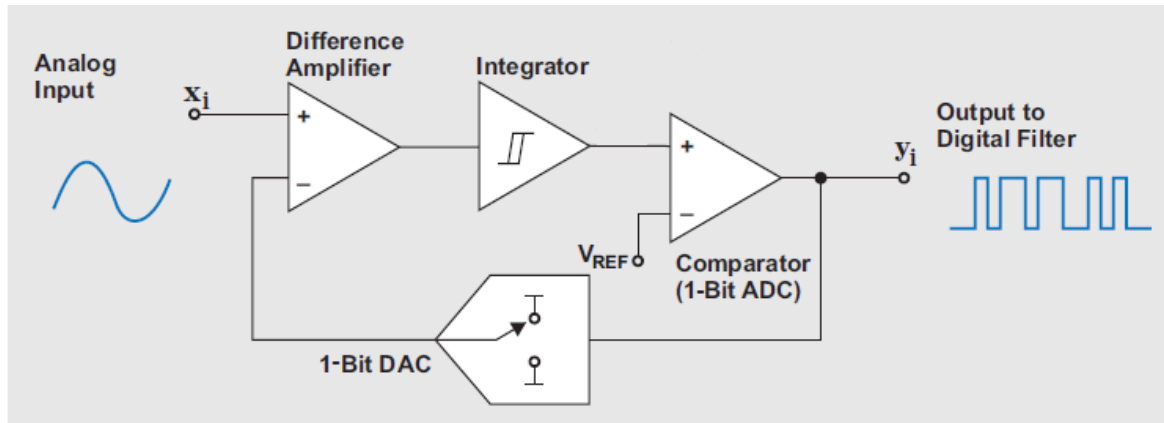


Fig. 2.9.- Modulador delta-sigma de primer orden [21].

Al entrar la señal al amplificador diferencial, es sustraído el valor actual de la salida para dejar el error y que sea filtrado por el integrador, el cual actúa como un filtro pasa-bajas para la señal de entrada y un filtro pasa-altas para el ruido de cuantización. Por lo tanto, la mayor parte del ruido de cuantización es trasladado a frecuencias más altas (figura 2.10). El sobre muestreo no ha cambiado el ruido total, si no su distribución [22].

La salida del integrador es entonces convertida de analógica a digital usando el comparador, el cual actúa como un ADC de 1 bit, ya que solamente tendrá dos niveles lógicos, “0” o “1”. Esta señal digital es retroalimentada al amplificador diferencial para que pueda ser restada a la entrada. El propósito de este convertidor digital – analógico es mantener la salida promedio del integrador cerca del valor de referencia del comparador. Como todos los cuantizadores, el modulador delta-sigma produce una cadena de valores digitales que representan el voltaje en la entrada [21]. La densidad

de “unos” a la salida del modulador es proporcional a la señal de entrada. Para una señal de entrada que incrementa su valor el comparador genera una mayor cantidad de “unos” y viceversa para una señal que muestra un decremento en su valor [22].

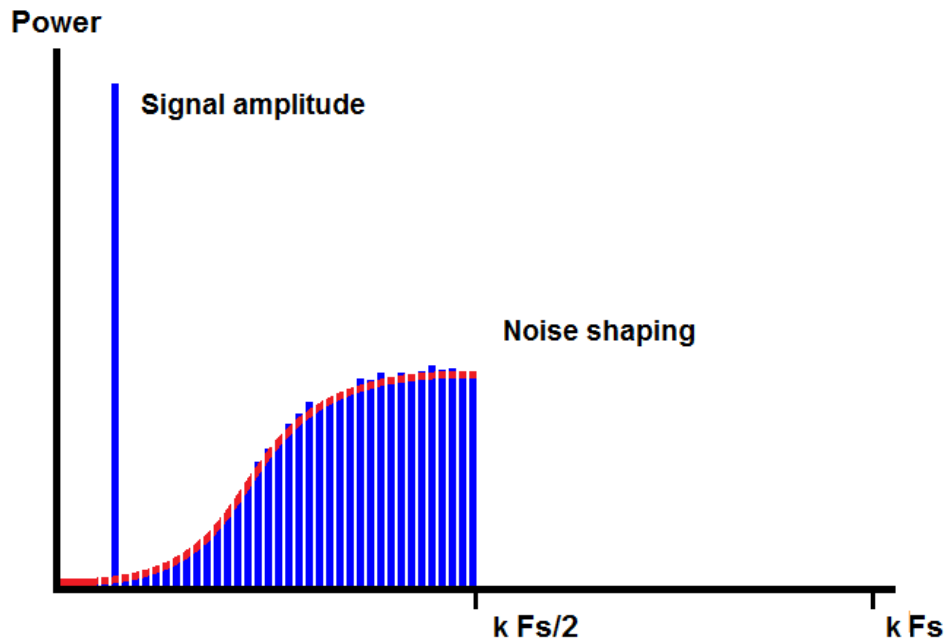


Fig. 2.10.- Efecto del integrador en el modulador $\Delta\Sigma$ [22].

Si aplicamos ahora un filtro digital a la salida del modulador $\Delta\Sigma$, removemos la mayor parte del ruido que usando la técnica de sobre muestreo solamente.

Este tipo de modulador (primer orden) incrementa el SNR en 9 dB cada factor de 2 del valor de sobre muestreo. Sin embargo, el valor del ruido de cuantización para este modulador empieza bajo en 0 Hz, sube rápidamente para finalmente estabilizarse en un valor máximo a la frecuencia de sobre muestreo del modulador [21]. Esto se soluciona al agregar más etapas de integración dentro del modulador, por ejemplo, un modulador $\Delta\Sigma$ de segundo orden ofrece un SNR de 15 dB por cada factor de 2 del valor de sobre muestreo [22].

La figura 2.11 muestra la respuesta de tres moduladores; si observamos la gráfica, la línea roja pertenece a uno de tercer orden. Cabe notar que el ruido de éste es mayor

en frecuencias cercanas a la utilizada por dicho sistema (f_s), en comparación a los moduladores de menor orden. No obstante, en frecuencias bajas (debajo de f_D) el ruido de cuantización es mucho menor. En conclusión, incrementar el orden del modulador permite trasladar el ruido de cuantización a frecuencias más altas.

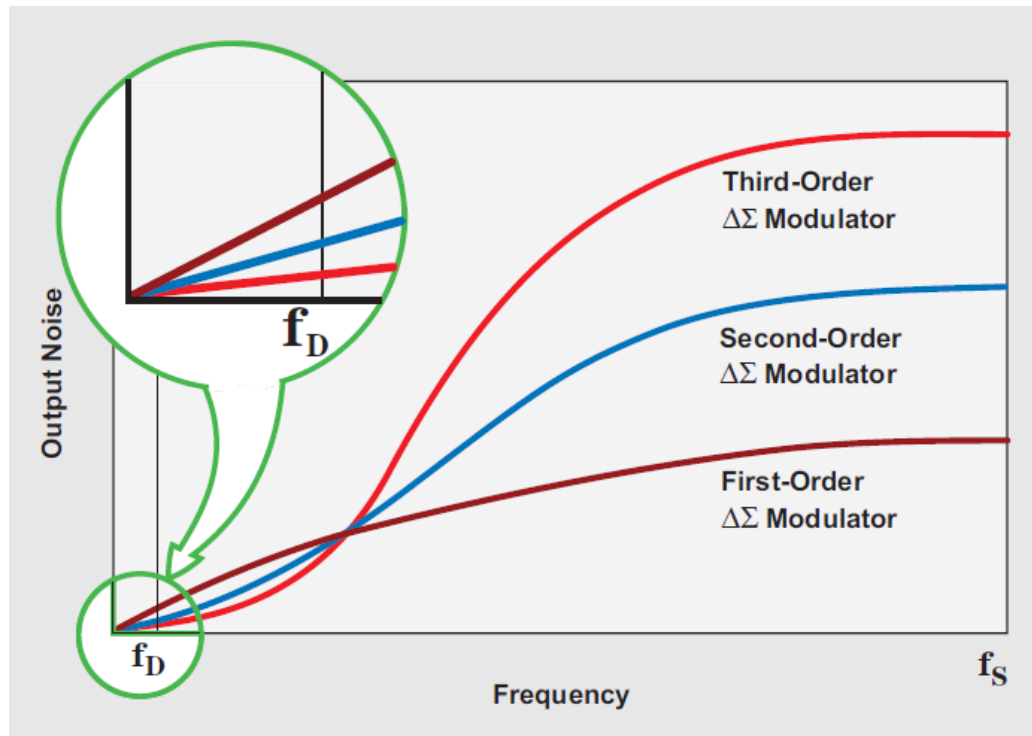


Fig. 2.11.- Comparación del ruido de cuantización para moduladores $\Delta\Sigma$ de diferente orden [21].

2.4.3 Filtro digital y de decimación

La salida del modulador delta-sigma es una cadena de datos de 1 bit a la frecuencia de sobre muestreo, la cual puede estar en el rango de los MHz. El propósito del filtro digital y de decimación es extraer la información de esta cadena de datos y reducir su velocidad a un valor más útil [22].

El filtro digital desempeña la función de un pasa-bajas al muestrear la salida de 1 bit del modulador. El filtro más común utilizado en estos convertidores es el promediador.

La tasa de muestreo a la salida de este filtro sigue siendo la misma que la utilizada por el modulador, sin embargo es responsable de la alta resolución de la señal. En la figura 2.12a se observa como la salida del filtro digital se asemeja en gran parte a la onda senoidal a su entrada. En la figura 2.12b se muestra como es la salida en el dominio de la frecuencia, el filtro digital atenúa el ruido de cuantización del modulador, pero también reduce el ancho de banda [24].

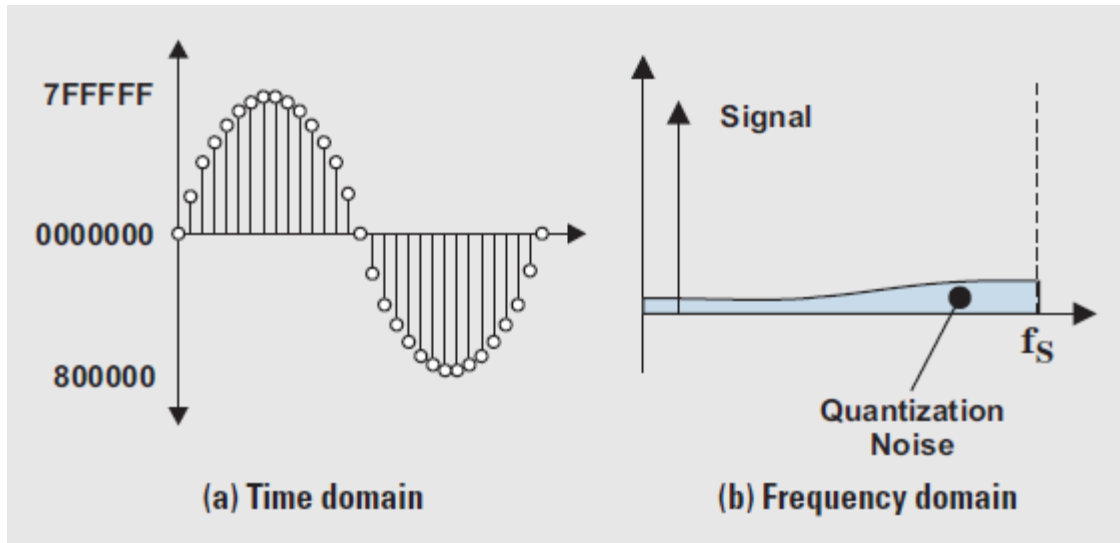


Fig. 2.12.- Salida del filtro pasa-bajas [24].

La segunda función del filtro es la decimación. En el circuito de decimación, la tasa de muestreo de la señal es reducida al desechar muestras de los datos de salida. Desechando una gran número de estas muestras nos deja con un esqueleto de la señal original; de acuerdo al teorema de Nyquist, este nuevo esqueleto tiene exactamente la misma información que la forma de onda anterior, pero a una frecuencia de muestreo manejable [24].

En la figura 2.13a se muestra la misma señal mostrada en la figura 2.12a, la figura 2.13b muestra como es la señal al final del proceso de decimación.

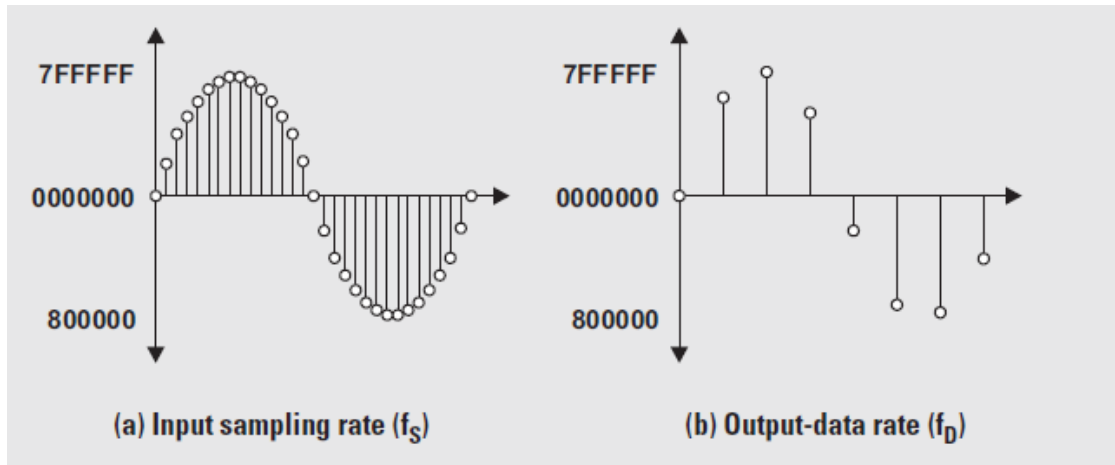


Fig. 2.13.- Salida del filtro digital/decimación [24].

2.5 Estado del arte

El monitoreo de la electroencefalografía ambulatoria (AEEG, por sus siglas en inglés) es una tecnología relativamente reciente que permite el registro electroencefalográfico prolongado en el hogar. Su capacidad para grabar de forma continua durante un máximo de 72 horas aumenta la posibilidad de registrar un evento ictal o descargas epileptiformes interictales. La AEEG es una alternativa menos costosa a la vigilancia hospitalaria, con costos que son 51 – 65% más bajos que una hospitalización de 24 horas para grabación en video y monitoreo del EEG [25].

Dentro de los dispositivos ambulatorios que se encuentran disponibles en la actualidad, destacan los que a continuación se mencionan:

2.5.1 Imec y Holst Centre EEG

Imec y Holst Centre en el 2008 realizaron un sistema EEG de dos canales inalámbrico y portátil que funciona de manera autónoma, sin baterías. Es totalmente alimentado por el calor del cuerpo humano usando un generador termo-eléctrico que es capaz de producir arriba de 2 mW a 23°C como se muestra en la figura 2.14. Usa dos chips IMEC de ultra-bajo consumo para realizar el registro de las señales EEG de alta

calidad. Todo el sistema consume solamente 0.8 mW, al muestrear y transmitir 2 canales de 12 bits de señales EEG de manera continua a 256 Hz [26].

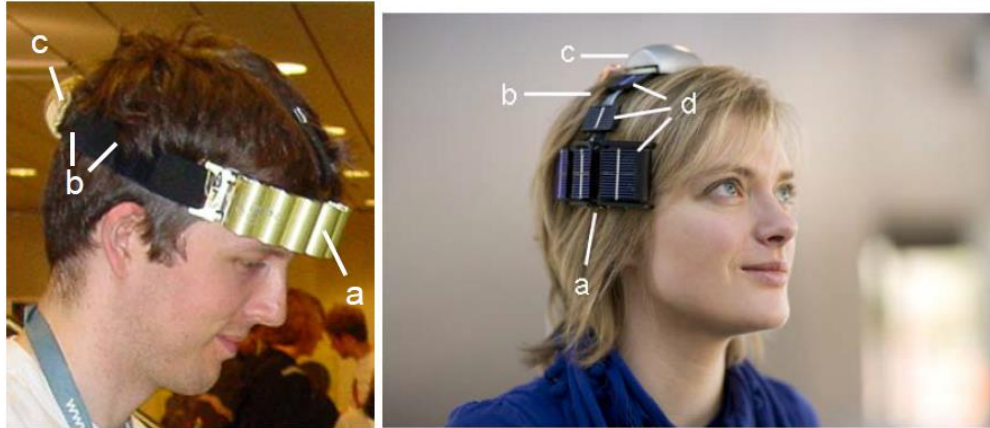


Fig. 2.14.- Sistema térmico EEG con banda en la cabeza (izquierda) y sistema EEG híbrido tipo audífono (derecha). a) generador termo-eléctrico; b) electrodos; c) electrónica; d) celdas solares [26].

2.5.2 Imec, Holst Centre y Panasonic EEG

En el 2012 las compañías Imec, Holst Centre y Panasonic han desarrollado conjuntamente un sistema móvil de EEG que puede captar señales cerebrales con la suficiente sensibilidad para el diagnóstico de enfermedades como la epilepsia, la demencia o encefalopatías, entre otras. Este dispositivo monitorea las ondas cerebrales y las transmite directamente a un receptor inalámbrico de hasta 10 m de distancia. Es capaz de registrar de manera continua 8 señales durante una grabación simultánea. El sistema se puede configurar en tiempo de ejecución para cambiar la configuración de las grabaciones, tales como el número de canales. La autonomía del sistema varía de 22 horas con los 8 canales a 70 horas con 1 canal solamente [27]. La figura 2.15 muestra el dispositivo mencionado.



Fig. 2.15.- Imec, Holst Centre y Panasonic [27].

2.5.3 Emotiv EEG

De igual manera en el 2012 Emotiv nos ofrece un electroencefalograma multicanal (sistema EEG) para la investigación, lo que permite una amplia gama de aplicaciones, incluyendo neuroterapia, biorretroalimentación e interfaz BCI. El EEG Emotiv es un sistema de alta resolución, multi-canal, inalámbrico y portátil, pudiendo ser conectado de manera inalámbrica a PC's con Windows, Linux o Mac OS X. La figura 2.16 muestra el sistema mencionado.

El sistema cuenta con las siguientes características:

- ✚ 14 canales de EEG cuyos nombres están basados en el sistema internacional 10-20: AF3, F7, F3, FC5, T7, P7, O1, O2, P8, T8, FC6, F4, F8, AF4. Adicionalmente posee 2 canales de referencia.
- ✚ Giroscopio capaz de generar información óptima de la posición para controles del puntero y cámara de la computadora.
- ✚ Batería de Litio para un uso continuo de 12 horas. Ancho de banda de 0.2 – 45 Hz.

✚ Frecuencia de muestreo de 128 Hz [28].



Fig. 2.16.- Sistema de EEG Emotiv [28].

3. DESARROLLO

Se propone un sistema ambulatorio de EEG (figura 3.1) de 8 canales para la adquisición de registros de larga duración con aplicación en estudios de potenciales evocados y trastornos del sueño. El sistema consta de un amplificador *front-end* ADS1299 de Texas Instruments para la amplificación de la señal y la conversión analógico-digital. Posteriormente, a través de un microcontrolador MSP430F5529 de *Texas Instruments*, se realizará el procesamiento y el almacenamiento del EEG en una memoria micro-SD.

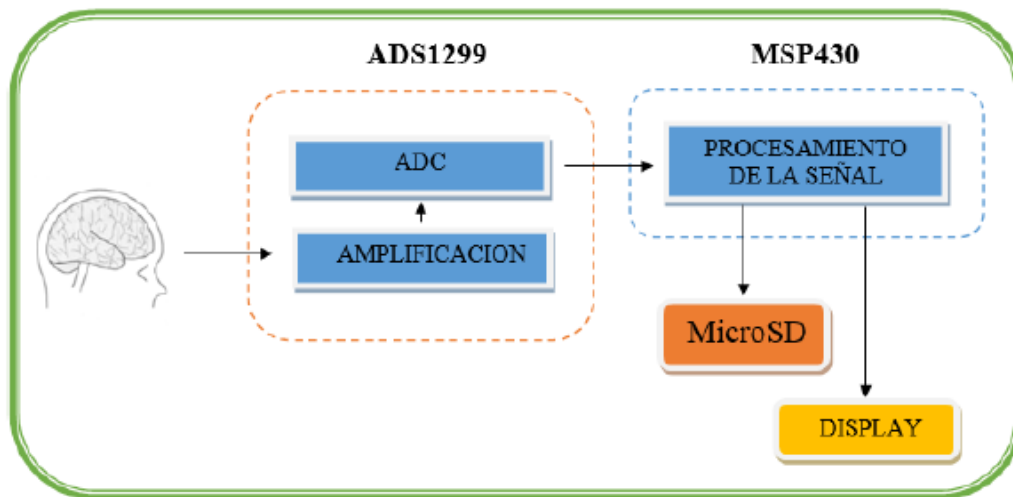


Fig. 3.1.- Diagrama a bloques del sistema de EEG propuesto.

Para el desarrollo de este sistema se tienen los siguientes requisitos:

- ✚ Portátil.
- ✚ Bajo consumo.
- ✚ 8 canales.
- ✚ Ancho de banda de 0.16 Hz a 70 Hz.
- ✚ CMRR mínimo de 110 dB.
- ✚ Resolución del ADC de 24 bits.
- ✚ Frecuencia de muestreo de 250 Hz.

- ✚ Almacenamiento del registro de EEG en una memoria microSD.

En los siguientes apartados se describe el funcionamiento de estos dispositivos y las etapas precedentes al diseño final del proyecto.

3.1 Interfaz analógica: ADS1299

En el capítulo 2.4 se habló de las ventajas que ofrecen los convertidores delta-sigma, dentro de ellas, la reducción del hardware necesario para la amplificación de señales biológicas debido a la simplificación de los filtros *antialias* necesarios por los sistemas de amplificación convencionales. El sistema propuesto aprovecha esta característica para simplificar el diseño y garantizar la portabilidad del mismo.

Las características técnicas del convertidor delta-sigma del ADS1299 son las siguientes:

- ✚ 8 PGA's de bajo ruido y 8 ADC's de alta resolución y muestreo simultáneo.
- ✚ Ruido referido a la entrada muy bajo: $1 \mu V_{PP}$ (70 Hz ancho de banda).
- ✚ Bajo consumo: 5 mW/canal.
- ✚ Corriente de polarización: 300 pA.
- ✚ Frecuencia de muestreo: 250 a 16000 muestras por segundo.
- ✚ CMRR: -110 dB.
- ✚ Ganancia programable: 1, 2, 4, 6, 8, 12, 24.
- ✚ Fuentes de alimentación unipolar o bipolar:
 - Analógica: 4.75V a 5.25V.
 - Digital: 1.8 a 3.6V.
- ✚ Detección de falso contacto en electrodos, señal de prueba interna.
- ✚ Oscilador interno integrado.
- ✚ Referencia interna o externa.
- ✚ Interfaz de comunicación SPI.

El ADS1299 es un convertidor delta-sigma de 24 bits, bajo ruido, multicanal, muestreo simultáneo, que cuenta con un amplificador de ganancia programable (PGA), referencia interna, y un oscilador integrado [29]. Además de tener incorporadas las funciones más comunes requeridas por un sistema de EEG. En la figura 3.2 se muestra el diagrama funcional a bloques del ADS1299.

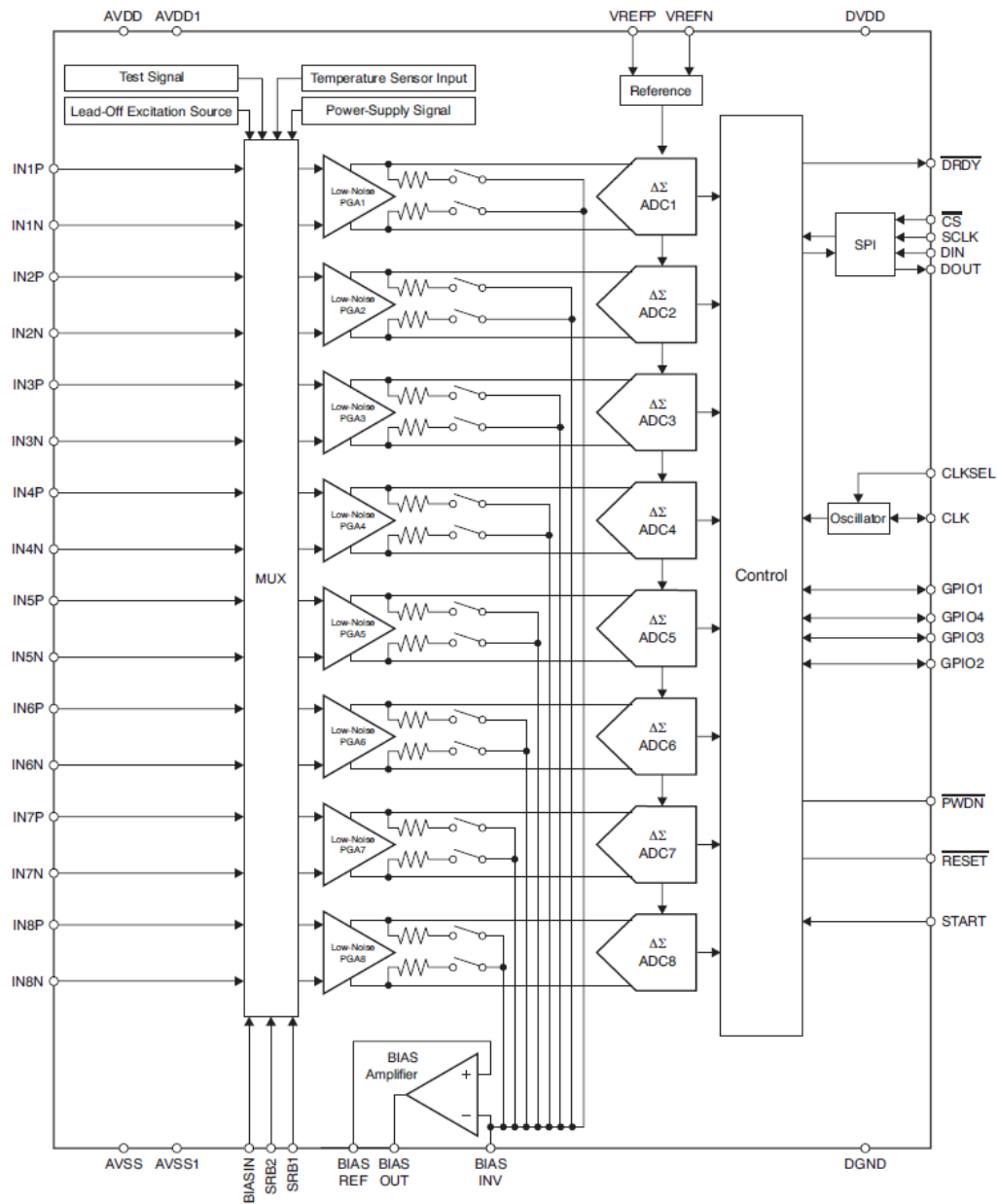


Fig. 3.2.- Diagrama funcional a bloques del ADS1299 [29].

El ADS1299 es capaz de operar a frecuencias de muestreo que van desde 250 a 16000 muestras por segundo. La comunicación con el dispositivo es por medio de una interfaz SPI [29].

3.1.1 Multiplexor de entrada

El dispositivo cuenta con un multiplexor muy flexible en cada una de las 8 entradas, la figura 3.3 muestra el multiplexor para una sola de las entradas. SRB1, SRB2 y BIASIN es común para los ocho bloques. La selección para las diferentes funciones de entrada se logra escribiendo los valores apropiado en el registro CHnSET [3:0], además del bit BIAS_MEAS del registro CONFIG3 y el bit SRB1 en el registro MISC1 [29].

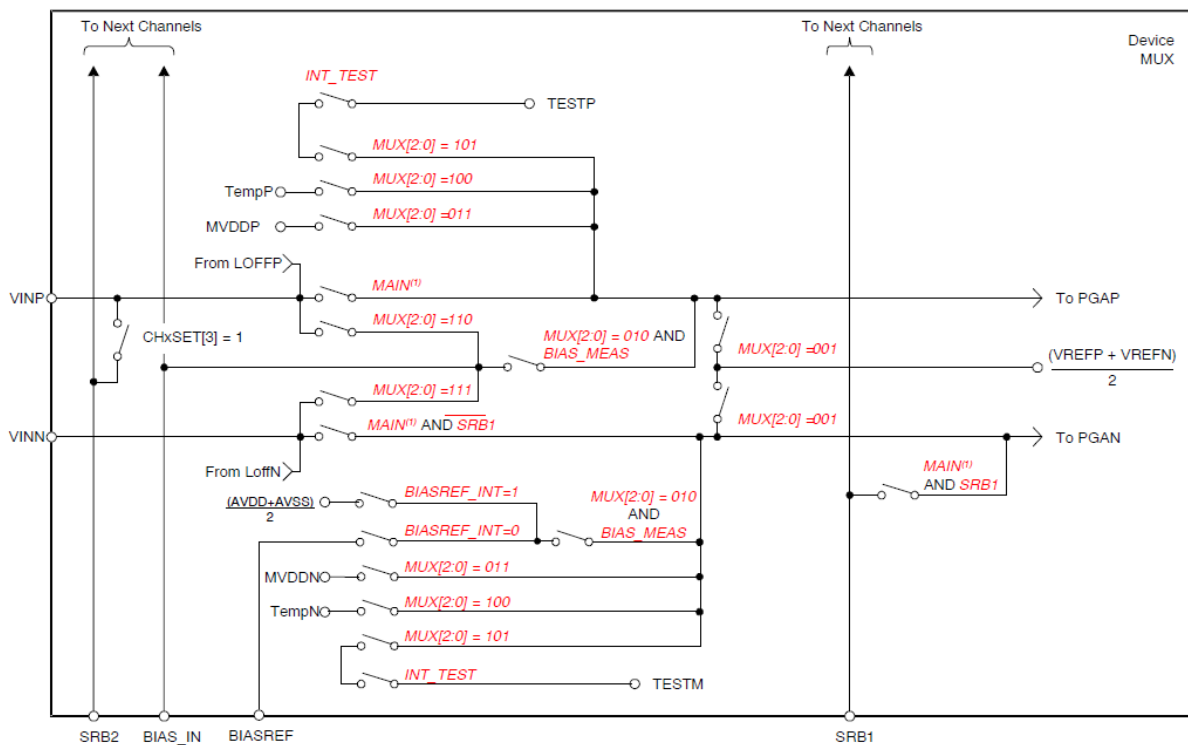


Fig. 3.3.- Multiplexor de entrada para un solo canal [29].

3.1.2 Entradas analógicas

La entrada analógica del ADS1299 es totalmente diferencial. Si se asume que $PGA = 1$, la entrada (INP - INN) puede aparecer entre $-V_{REF}$ y $+V_{REF}$. Existen dos maneras de operar las entradas: diferencial y unipolar.

El sistema aquí diseñado utiliza la configuración unipolar, ya que al operar el dispositivo en modo diferencial, incrementa el número de componentes electrónicos en cada una de las entradas, ampliando el tamaño del PCB y en consecuencia el tamaño del dispositivo final.

Cuando se usa el modo unipolar, la entrada INN es retenida a un voltaje de modo común, preferentemente a la mitad del valor de la fuente analógica [29].

La entrada INP cambia alrededor de dicho voltaje de modo común y la amplitud pico a pico es: voltaje de modo común $+ \frac{1}{2} V_{REF}$ y voltaje de modo común $- \frac{1}{2} V_{REF}$, como se muestra en la figura 3.4.

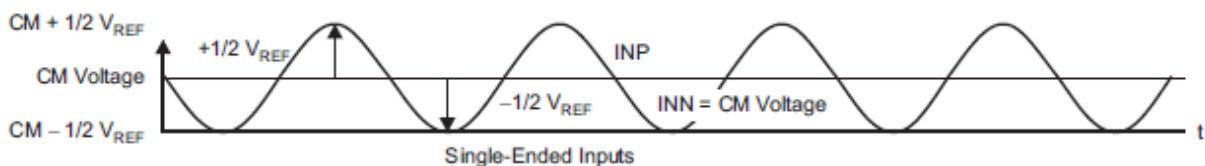


Fig. 3.4.- Rango de valores de la señal unipolar [29].

3.1.3 Formato de los datos

El ADS1299 entrega 24 bits por canal en formato binario complemento a 2, con el bit más significativo primero (MSB, por sus siglas en inglés). El bit menos significativo (LSB, por sus siglas en inglés) tiene un valor de $[V_{REF} / (2^{23} - 1)]$. Una entrada positiva de máxima escala produce un código de salida igual a 7FFFFFFh y una entrada negativa

de máxima escala produce un código igual a 800000h. La tabla 3.1 muestra los códigos ideales para diferentes señales de entrada [29].

Tabla 3.1.- Códigos ideales para diferentes señales de entrada [29].

Señal de entrada, V_{IN} (AINP - AINN)	Código de salida ideal
$\geq V_{REF}$	7FFFFFFh
$+V_{REF} / (2^{23} - 1)$	000001h
0	000000h
$-V_{REF} / (2^{23} - 1)$	FFFFFFFh
$\leq -V_{REF} (2^{23} / 2^{23} - 1)$	800000h

3.1.4 Referencia

El ADS1299 posee un circuito de referencia interna integrado que provee al chip con un voltaje de referencia de 4.5 V [30], cuando es usada la referencia interna, el pin VREFN debe de ser conectado a AVSS. También se tiene la opción de usar un circuito de referencia externa si así se desea, sólo es necesario apagar el circuito interno con el bit $\overline{PD_REFBUF}$ del registro CONFIG3.

La referencia usada en el dispositivo final es la que trae integrada el convertidor de 4.5 V con el fin de mantener la simplicidad del diseño.

3.1.5 Reloj

El ADS1299 puede operar, ya sea con un reloj interno que tiene incorporado o mediante una señal de reloj generada externamente.

El reloj interno esta idealmente adecuado para sistemas de bajo consumo, que son alimentados con baterías [30] y para seguir con este esquema de bajo consumo, esta opción será usada para el diseño.

La selección del reloj es controlado por medio del pin CLKSEL y el bit CLK_EN del registro CONFIG1. La tabla de verdad para estos controles se muestra a continuación.

Tabla 3.2.- CLKSEL pin y CLK_EN bit [29].

CLKSEL PIN	CONFIG1.CLK_EN BIT	FUENTE DEL RELOJ	ESTADOS DEL CLK PIN
0	X	Reloj externo	Entrada: reloj externo
1	0	Oscilador de reloj interno	3-estados
1	1	Oscilador de reloj interno	Salida: oscilador de reloj interno

3.1.6 Interfaz SPI

La comunicación SPI es realizada por medio de cuatro señales: \overline{CS} , SCLK, DIN y DOUT. En la siguiente sección explicaremos la función que desempeña cada señal.

3.1.6.1 Selección del chip (\overline{CS})

Como su nombre lo indica, este pin es utilizado para seleccionar el ADS1299 para empezar la comunicación SPI. El estado lógico de \overline{CS} debe permanecer bajo durante toda la comunicación serial. Después de que la comunicación finalice, se debe esperar 4 ciclos de reloj (t_{CLK}) antes de poner \overline{CS} en un estado lógico alto.

3.1.6.2 Reloj del SPI (SCLK)

SCLK se encarga de enviar los comandos y los datos fuera del dispositivo. Aún cuando esta entrada posee histéresis, se recomienda mantener la señal SCLK lo más limpia posible para prevenir que accidentalmente se produzca un evento de reloj. En el caso de que un solo convertidor sea utilizado, la velocidad mínima requerida por SCLK depende del número de canales, número de bits de resolución y la frecuencia de muestreo a utilizar [29]. Esta relación puede ser calculada con la ecuación 3.

$$t_{SCLK} < \frac{t_{DR} - 4t_{CLK}}{N_{BITS} \times N_{CANALES} + 24} \quad (3)$$

3.1.6.3 Entrada de datos (DIN)

Esta entrada es usada en conjunto con el reloj SCLK para comunicarse con el ADS1299 (datos de registros y comandos OPCODE). El dispositivo almacena la información en DIN en el flanco de bajada de SCLK.

3.1.6.4 Salida de datos (DOUT)

La salida de datos es usada para leer las conversiones y datos de los registros del ADS1299. Los datos son enviados en el flanco de subida de SCLK. La figura 3.5 muestra el protocolo que usa el dispositivo para enviar los datos en DOUT.

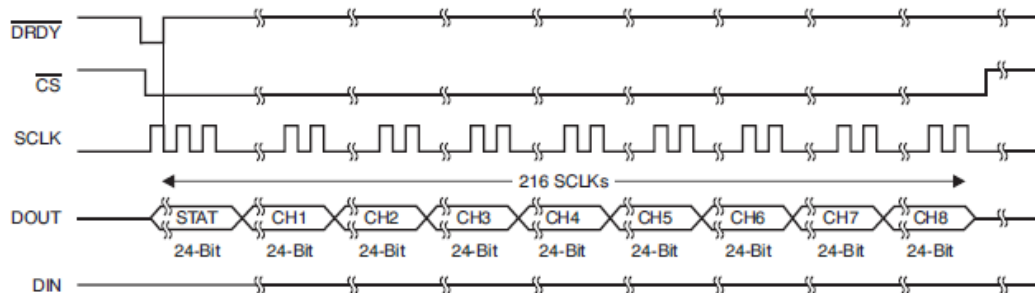


Fig. 3.5.- Bus de salida del SPI [29].

3.1.7 Definición de los comandos para la interfaz serial

El ADS1299 proporciona un control de configuración flexible. Los comandos son decodificados en bytes, sin embargo existen comandos que requieren de 2 bytes adicionales de información para operar. Los llamados comandos OPCODE nos dan la capacidad de configurar y controlar la operación del dispositivo. Existen tres tipos de comandos disponibles:

- ✚ Comandos del sistema.- Sirven para controlar el funcionamiento general del dispositivo, son decodificados por el ADS1299 en el séptimo pulso de bajada del reloj SCLK. Este tipo de comando requiere del envío de un solo byte de información.
- ✚ Comandos para leer los datos.- Como su nombre lo dice, sirven para leer los datos de la conversión a la salida del dispositivo (DOUT). Al igual que los comandos del sistema, éstos son decodificados en el séptimo pulso de bajada del reloj SCLK y sólo requieren un byte de información.
- ✚ Comandos para leer los registros.- A diferencia de los dos anteriores, estos comandos requieren de varios bytes para poder operarlos. Los comandos de lectura y escritura de registros son decodificados en el octavo pulso de bajada del reloj SCLK.

La tabla 3.3 resume los comandos del ADS1299, es importante recordar que \overline{CS} debe permanecer en estado lógico bajo durante la transferencia del comando, especialmente durante los comandos que requieren múltiples bytes. Además, \overline{CS} debe de ser puesto a un estado lógico alto al finalizar el comando, más adelante se explicarán los tiempos necesarios por la interfaz SPI.

Tabla 3.3.- Definición de los comandos [29].

COMMAND	DESCRIPTION	FIRST BYTE	SECOND BYTE
System Commands			
WAKEUP	Wake-up from standby mode	0000 0010 (02h)	
STANDBY	Enter standby mode	0000 0100 (04h)	
RESET	Reset the device	0000 0110 (06h)	
START	Start and restart (synchronize) conversions	0000 1000 (08h)	
STOP	Stop conversion	0000 1010 (0Ah)	
Data Read Commands			
RDATA	Enable Read Data Continuous mode. This mode is the default mode at power-up. ⁽¹⁾	0001 0000 (10h)	
SDATA	Stop Read Data Continuously mode	0001 0001 (11h)	
RDATA	Read data by command; supports multiple read back.	0001 0010 (12h)	
Register Read Commands			
RREG	Read <i>n nnnn</i> registers starting at address <i>r rrrr</i>	001 <i>r rrrr</i> (2xh)	000 <i>n nnnn</i>
WREG	Write <i>n nnnn</i> registers starting at address <i>r rrrr</i>	010 <i>r rrrr</i> (4xh)	000 <i>n nnnn</i>

3.1.7.1 Comandos del sistema

Estos comandos sirven para poner el dispositivo en modo de espera, o sacarlo de este estado, empezar las conversiones y detenerlas, además de reiniciar el dispositivo. No tienen ninguna restricción en cuanto a la señal SCLK. A continuación se describe el funcionamiento de cada uno:

WAKEUP: Permite salir del modo de espera (bajo consumo) del dispositivo, como lo especifica la hoja de características, se necesita un tiempo de 31.25 ms para salir de este estado. Cualquier comando después de éste, necesita esperar un tiempo de 4 ciclos de t_{CLK} .

STANDBY: Permite entrar en modo de espera, todas las partes del circuito del ADS1299 se apagan, excepto por la referencia interna. El consumo del modo de espera es de 5.1 mW. No se debe de enviar ningún otro comando que no sea WAKEUP después de poner el dispositivo en modo de espera.

RESET: Este comando regresa todos los registros a sus valores iniciales. Se requieren de 18 ciclos de t_{CLK} para poder ejecutar este comando, se debe de evitar cualquier otro comando durante este tiempo.

START: Controla cuando empiezan las conversiones. El pin START debe de ser mandado a un estado lógico bajo para poder controlar las conversiones con el comando START, hasta que el comando STOP sea utilizado.

STOP: Se encarga de detener las conversiones. Cuando el comando es enviado, la conversión en progreso se completa y las conversiones siguientes son detenidas. Si las conversiones ya habían sido detenidas, el comando no tiene efecto [29].

3.1.7.2 Comandos de lectura de datos

Existen dos modos para controlar la lectura de los datos:

- ✚ Lectura en modo continuo; en la cual los datos son enviados sin tener que ejecutar algún otro comando. Como se ve en la figura 3.6, el pin de salida \overline{DRDY} se va a un estado lógico alto cuando empieza la conversión y a un estado lógico bajo cuando los datos están listos. Las conversiones continúan indefinidamente hasta que el pin de START es enviado a un estado bajo o el comando de STOP es enviado.

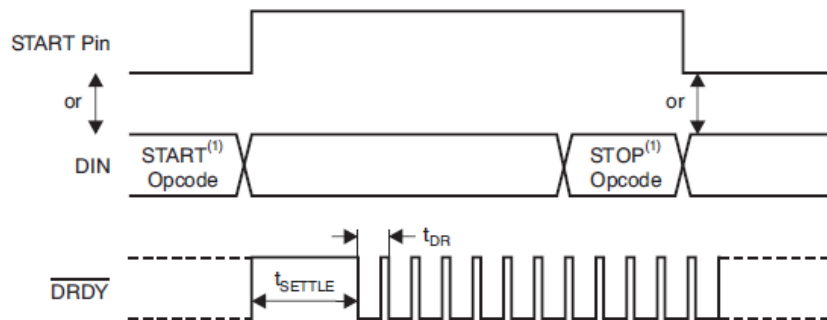


Fig. 3.6.- Modo de conversión continua [29].

Para mantener las conversiones de manera continua, se puede dejar el pin START a un estado alto. La lectura continua es el modo por defecto del ADS1299.

- ✚ Lectura de un solo disparo; el modo de un solo disparo se habilita al escribir en el bit SINGLE_SHOT del registro CONFIG4. Al utilizar este método, el ADS1299 realiza una sola conversión, cuando el pin START es mandado a un estado alto o cuando se utiliza el comando START. Cuando se completa la conversión el pin $\overline{\text{DRDY}}$ se va a un estado bajo, y cualquier conversión adicional es detenida.

A continuación, se describen los comandos *opcode* que controlan estos modos de lectura:

RDATAC: Con este comando el dispositivo entra en modo de lectura continua (RDATAC, por sus siglas en inglés). El modo RDATAC es cancelado cuando el comando SDATAC es enviado. Si el dispositivo se encuentra en modo RDATAC, el comando SDATAC debe de ser enviado antes de poder usar cualquier otro comando. Si se desea obtener datos de conversión después de enviar el comando RDATAC o enviar el comando SDATAC, se deben de esperar 4 ciclos de t_{CLK} . Este comando es adecuado para aplicaciones donde los registros son configurados una sola vez y no necesitan reconfigurarse [29].

SDATAC: Detiene las conversiones en modo continuo (SDATAC, por sus siglas en inglés). El siguiente comando debe de esperar 4 ciclos de t_{CLK} antes de ser enviado.

RDATA: Se utiliza para leer una conversión a la vez. El comando START debe ser enviado para que este comando funcione.

3.1.7.3 Comandos de lectura de registros

Como se había mencionado, los comandos para leer los registros requieren de varios bytes para su uso. Ya que la interfaz SPI del ADS1299 decodifica los comandos en bytes y requiere de 4 ciclos de t_{CLK} para decodificar y ejecutar, al utilizar comandos de múltiples bytes, un periodo de 4 ciclos de t_{CLK} debe de separar el final de un byte y el principio del siguiente.

RREG: Este comando de encarga de leer el contenido de los registros del ADS1299. Este comando está formado por un código de dos bytes, seguido por la información contenida por el registro a leer. El primer byte contiene el comando *opcode* y la dirección del registro (001r rrrr, donde r rrrr es la dirección de inicio del registro). El segundo byte contiene el comando *opcode* y el número de registros a leer menos uno (000n nnnn, donde n nnnn es el número de registros a leer menos uno).

En la figura 3.7 se muestra como el 17º flanco de subida de SCLK de la operación envía el MSB de los datos contenidos por el primer registro.

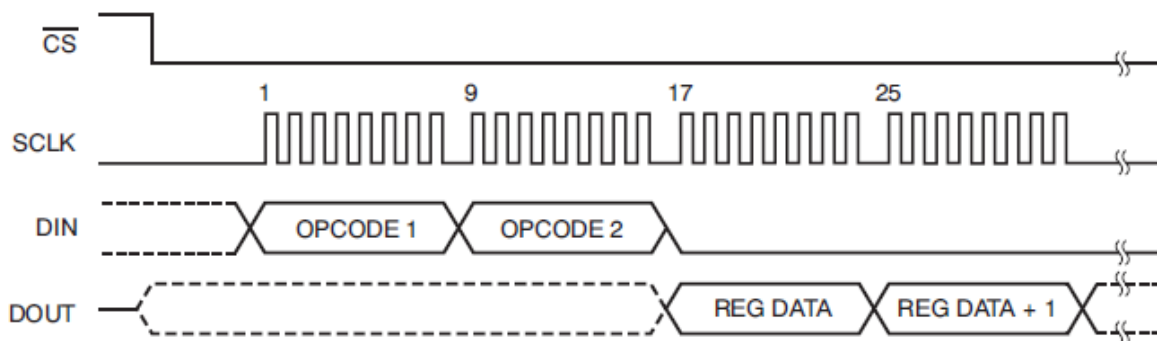


Fig. 3.7.- Ejemplo del comando RREG: Lectura de dos registros empezando en la dirección 00h (OPCODE1 = 0010 0000, OPCODE2 = 0000 0001) [29].

WREG: Se utiliza para escribir información en los registros. El comando WREG es un comando de dos bytes *opcode*, seguido de la información a escribir en el registro. Al

igual que el comando anterior, el primer byte contiene la dirección del registro (010r rrrr) y el segundo byte el número de registros a escribir menos uno (000n nnnn).

Después de los bytes *opcode* se envía la información a escribir en el registro o registros (el MSB primero). La figura 3.8 muestra la operación completa.

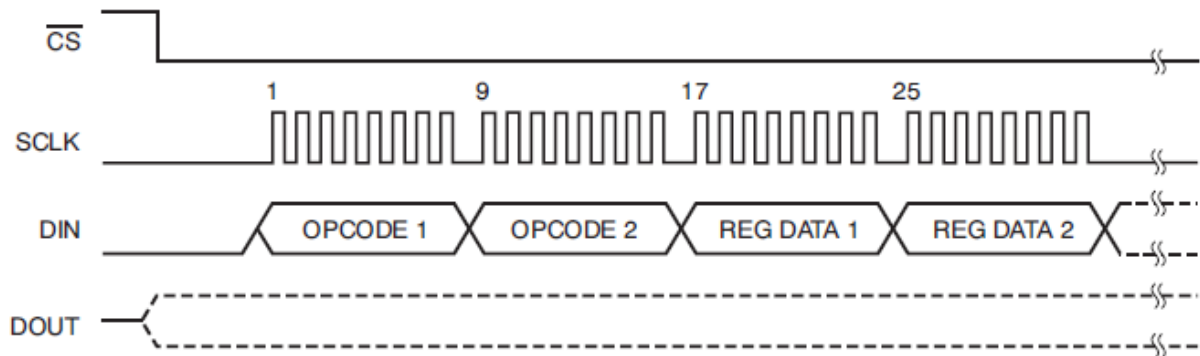


Fig. 3.8.- Ejemplo del comando WREG: Escribe dos registros empezando en la dirección 00h (OPCODE1 = 0100 0000, OPCODE2 = 0000 0001) [29].

3.1.8 Funciones especiales para electroencefalografía

Señal de referencia y de *bias*: Un sistema típico de EEG tiene múltiples electrodos conectados al cuero cabelludo para adquirir las señales. Además de estos electrodos, un sistema de EEG usa dos señales adicionales, una señal de referencia y una señal de *bias* para el paciente. El electrodo de referencia es usado como referencia para las mediciones en configuración unipolar. El electrodo de *bias* es usado para inyectar un voltaje al paciente y establecer el voltaje de modo común para las señales de EEG (generalmente a la mitad de la fuente).

Circuito de *BIAS*: Esta función es utilizada como un medio para contrarrestar la interferencia de modo común en un sistema de EEG como resultado de líneas eléctricas y otras fuentes, como luces fluorescentes. El circuito de polarización detecta el voltaje de modo común de un conjunto de electrodos y crea un bucle de

retroalimentación negativa que es conectado al cuerpo. El voltaje de referencia para el circuito de *bias* puede seleccionarse para ser generado de manera interna $[(AVDD + AVSS) / 2]$ o puede ser suministrado de manera externa.

Detección de falso contacto de electrodo: Se sabe que la impedancia del electrodo conectado al paciente, puede aumentar con el tiempo. Estas conexiones deben de ser monitoreadas constantemente para verificar que existe una conexión adecuada.

El principio básico es inyectar una señal de excitación y medir la respuesta para determinar si el electrodo se ha desconectado. La circuitería tiene dos formas de hacer esta medición, ya sea con una señal de AC o una señal de DC.

3.2 Microcontrolador MSP430F5529

Para la comunicación SPI se utiliza un microcontrolador MSP430F5529 de Texas Instruments, el cual también se encarga de desplegar menús del dispositivo en una pantalla de cristal líquido y del almacenaje de los datos que entrega el convertidor ADS1299 en una memoria de estado sólido microSD.

La familia MSP430 de Texas Instruments de microcontroladores de ultra bajo consumo se compone de varios dispositivos con diferentes conjuntos de periféricos para diversas aplicaciones. La arquitectura en combinación con los modos de bajo consumo, está optimizada para conseguir una duración más larga de la batería en aplicaciones de medición portátil [31]. Son dispositivos de 16 bits, con espacio de direccionamiento compartido por el procesador, memoria y periféricos. Su programación puede realizarse en lenguaje ensamblador y lenguaje C/C++.

El MSP430F5529 tiene entre sus periféricos soporte USB 2.0, cuatro temporizadores de 16 bits, un ADC de 12 bits, dos interfaces de comunicación serial (USCI), un multiplicador integrado, DMA y 63 pines de entrada/salida.

3.2.1 Reloj del sistema

El núcleo de cualquier microcontrolador es el reloj que sincroniza todas las operaciones. El sistema de reloj en el MSP430F5529 es controlado por el sistema de reloj unificado (UCS, por sus siglas en inglés); este módulo soporta el uso de un oscilador de cristal (XT1), un oscilador interno de bajo consumo y baja frecuencia (VLO), un oscilador de baja frecuencia (REFO), un oscilador interno controlado de manera digital (DCO) y un oscilador de alta frecuencia (XT2).

Las diferentes fuentes de las señales de reloj son:

- ✚ Reloj auxiliar (ACLK): Puede ser generado a partir de un reloj de cristal de 32 KHz (XT1), un reloj de cristal de alta frecuencia (XT2), el oscilador interno de baja frecuencia (VLO), el oscilador de baja frecuencia (REFO), o el oscilador controlado digitalmente (DCO).
- ✚ Reloj principal (MCLK): Es el reloj del sistema utilizado por el CPU. Puede ser generado a partir de las mismas fuentes que el reloj auxiliar.
- ✚ Reloj de subsistema (SMCLK): Es el reloj utilizado por los módulos periféricos. Puede ser generado a partir de las mismas fuentes que el reloj auxiliar [32].

3.2.2 Entradas y salidas digitales

Todos los microcontroladores poseen puertos de entrada y salida para comunicarse con el exterior. En los microcontroladores MSP430 cada pin del puerto puede ser configurado de manera individual en dirección de entrada/salida, al igual que leer y escribir en ellos.

Las entradas y salidas digitales del MSP430 son configuradas por medio de software y en la siguiente sección se describe su configuración y operación.

3.3.2.1 Registro de entrada (PxIN)

Cada bit en los registros PxIN (La x denota a que número de puerto pertenece) refleja el valor de la señal de entrada en el pin de E/S. Estos registros son de solo lectura.

✚ Bit = 0: La entrada es 0.

✚ Bit = 1: La entrada es 1.

3.3.2.2 Registro de salida (PxOUT)

Cada bit en el registro PxOUT es el valor que tendrá a la salida el pin de E/S correspondiente cuando es configurado como salida.

✚ Bit = 0: La salida es 0.

✚ Bit = 1: La salida es 1.

Si el pin está configurado como entrada y las resistencias de *pull/pulldown* están habilitadas:

✚ Bit = 0: Resistencia de *pulldown*.

✚ Bit = 1: Resistencia de *pullup*.

3.3.2.3 Registro de dirección (PxDIR)

Cada bit en los registros PxDIR selecciona la dirección correspondiente para el pin de E/S.

✚ Bit = 0: El pin es configurado como entrada.

✚ Bit = 1: El pin es configurado como salida.

3.3.2.4 Registro para habilitar resistencias de *pullup* o *pulldown*

Cada bit en los registros PxREN habilita o deshabilita la resistencia de *pullup/pulldown* del pin de E/S correspondiente. El bit correspondiente en el registro PxOUT selecciona si la resistencia es de *pullup* o *pulldown*, la tabla 3.4 resume la relación entre los registros.

- ✚ Bit = 0: Resistencias de *pullup/pulldown* deshabilitadas.
- ✚ Bit = 1: Resistencias de *pullup/pulldown* habilitadas [31].

Tabla 3.4.- Configuración de resistencias *pullup/pulldown*.

PxDIR	PxREN	PxOUT	Configuración de E/S
0	0	X	Entrada
0	1	0	Entrada con resistencia de <i>pulldown</i>
0	1	1	Entrada con resistencia de <i>pullup</i>
1	x	x	Salida

3.3.2.5 Registro para selección de función

Los pines de los puertos muchas veces están multiplexados con otras funciones de los periféricos.

- ✚ Bit = 0: Función de entrada/salida.
- ✚ Bit = 1: Función para periférico.

Configurar el registro PxSEL = 1 no selecciona la dirección de manera automática. Las funciones de los periféricos pueden requerir que el bit correspondiente en el registro PxDIR deba configurarse según la dirección que necesite dicho módulo [31].

3.2.3 Interrupciones

Una interrupción es un evento que hace que el microcontrolador deje de ejecutar la tarea que está realizando para atender una actividad de mayor prioridad, para luego regresar y continuar la tarea anterior.



La ventaja de las interrupciones, consiste en el hecho de que mientras el microcontrolador espera el evento de interrupción, puede ejecutar otras tareas sin la necesidad de estar ciclado en una sola. Además, al no tener que esperar el evento, el microcontrolador consume menos energía, ya que puede entrar en modos de bajo consumo, especiales para sistemas portátiles alimentados por baterías.

En los microcontroladores MSP430, las interrupciones se clasifican en interrupciones no mascarables (NMI, por sus siglas en inglés) e interrupciones mascarables. Una interrupción no mascarable, es aquella que puede ocurrir por la transición de flancos de bajada, falla en el oscilador y violación al acceso de la memoria *flash*. Una interrupción mascarable es causada por periféricos, como la interrupción por sobreflujo del temporizador *watchdog*. Ambos tipos de interrupción pueden ser activadas de manera individual y son habilitadas por el bit GIE del registro STATUS.

Los siguientes registros controlan la operación y configuración de las interrupciones:



3.2.3.1 Registro de banderas de la interrupción

Cada bit del registro PxIFG es la bandera de interrupción correspondiente a ese pin y es 1 cuando ocurre el flanco de la señal de entrada seleccionado.

-  Bit = 0: No hay interrupción pendiente.
-  Bit = 1: Una interrupción pendiente.



3.2.3.2 Registro para selección de flanco de la interrupción

Cada bit del registro PxIES selecciona el flanco de interrupción para el pin de E/S correspondiente.

-  Bit = 0: Transición de nivel lógico bajo a alto.
-  Bit = 1: Transición de nivel lógico alto a bajo.

3.2.3.3 Registro para habilitar la interrupción




Cada bit del registro PxIE habilita la bandera de interrupción correspondiente PxIFG.

-  Bit = 0: La interrupción es deshabilitada.
-  Bit = 1: La interrupción es habilitada.



3.2.4 Interfaz de comunicación serial universal (USCI)

La interfaz USCI soporta múltiples modos de comunicación serial. El microcontrolador MSP430 cuenta con varios módulos USCI, cada módulo soporta diferentes modos de operación. Por ejemplo, el módulo USCI_A es diferente del módulo USCI_B.

El módulo USCI_Ax soporta:

-  Modo UART.
-  Modulación de pulso para comunicación IrDA.
-  Modo SPI.

El módulo USCI_Bx soporta:

-  Modo I²C.
-  Modo SPI.

En modo síncrono, el módulo USCI conecta el dispositivo con un sistema externo mediante tres pines: UCxSIMO, UCxSOMI y UCxCLK. El modo SPI se selecciona cuando el bit UCSYNC = 1 y el modo SPI es seleccionado con los bits UCMODEx [31].

En la comunicación serial SPI, los datos son transmitidos y recibidos por múltiples dispositivos esclavos que usan un solo reloj, el cual es proporcionado por el dispositivo maestro. Generalmente son cuatro las señales usadas para el intercambio de datos:

- ✚ UCxSIMO (entrada del esclavo, salida del maestro): Es la salida de datos.
- ✚ UCxSOMI (salida del esclavo, entrada del maestro): Es la entrada de datos.
- ✚ UCxCLK (reloj del SPI): Se comporta como salida.
- ✚ CS (selección del chip): Esta línea es usada para activar las comunicaciones con el dispositivo esclavo.

3.2.4.1 Formato de los caracteres

El módulo USCI en modo SPI soporta tamaños de carácter de 7 y 8 bits que son seleccionados por medio del bit UC7BIT. El bit UCMSB controla la dirección de la transferencia y selecciona si el bit menos significativo o el bit más significativo va en la primera posición de la transferencia.

3.2.4.2 Operación en modo maestro

La interfaz USCI inicia las transferencias cuando los datos se mueven al *buffer* de transmisión de datos UCxTXBUF. Posteriormente los datos se mueven nuevamente al registro de corrimiento de transmisión cuando éste es vaciado, iniciando la transferencia en UCxSIMO, empezando ya sea con el LSB o el MSB. Los datos en UCxSOMI son recibidos en el registro de corrimiento de recepción en el flanco opuesto de la señal de reloj. Cuando el carácter es completamente recibido, los datos recibidos son movidos del registro de corrimiento de recepción al *buffer* de recepción de datos UCxRXBUF, en ese momento se activa la bandera de interrupción UCRXIFG

indicando que la operación de recepción/transmisión se ha completado. En resumen, los datos deben escribirse en el *buffer* UCxTXBUF para recibir los datos, ya que las operaciones de recepción y transmisión trabajan de manera concurrente [31].

3.2.4.3 Control de reloj de la interfaz serial

La señal UCxCLK es proporcionada por el maestro en el bus SPI. Cuando UCMST = 1, la señal de reloj es proporcionada por el generador interno del módulo USCI en el pin UCxCLK. Los bits UCSSELx son los encargados de seleccionar la fuente de reloj del microcontrolador (ACLK o SMCLK) que utilizará el módulo USCI para generar la señal de reloj de la interfaz SPI. El valor de 16 bits de UCBRx es el factor de división de la fuente de reloj del módulo USCI. La frecuencia del módulo está dada por la ecuación 4.

$$f_{BitClock} = \frac{f_{BRCLK}}{UCBRx} \quad (4)$$

La polaridad y fase del módulo USCI se pueden configurar de manera independiente con los bits de control UCCKPL y UCCKPH, la figura 3.9 muestra el diagrama de tiempos para cada caso [31].

3.2.5 Memoria *Flash*

Los microcontroladores MSP430 tienen una memoria *flash* programable y direccionable por bit, byte o palabra. El módulo de memoria *flash* tiene un controlador integrado que controla las operaciones de programación y borrado, cuenta con cuatro registros, un generador de sincronización y un generador de tensión que abastece los voltajes de programación y borrado [31].

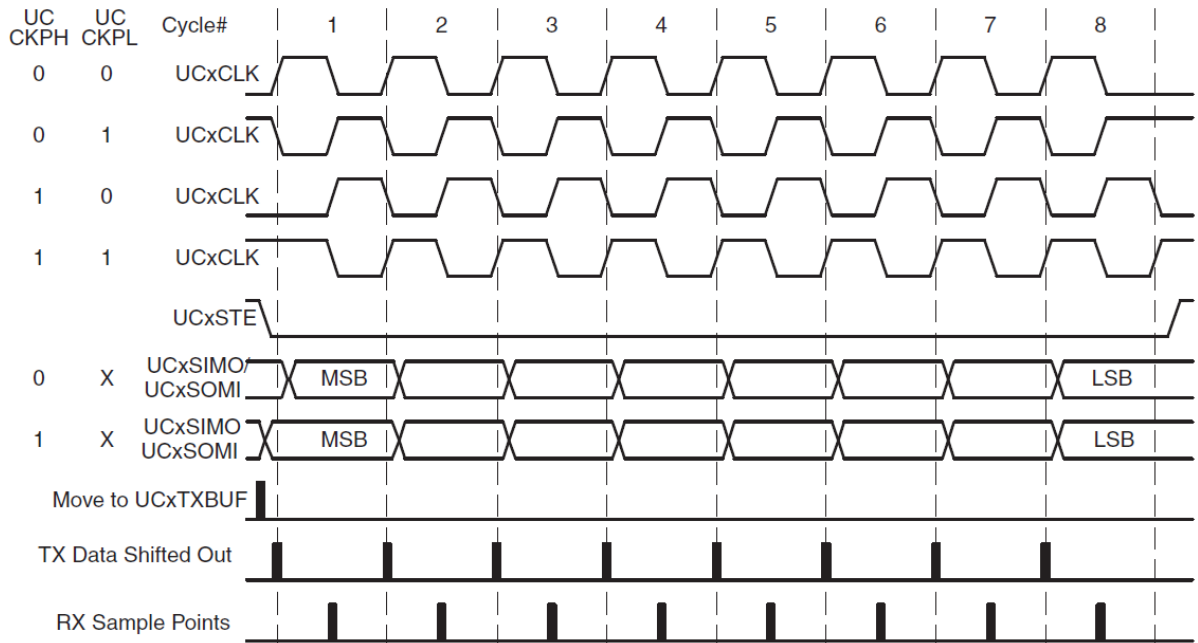


Fig. 3.9.- Diagrama de tiempo del módulo USCI en modo SPI [31].

La memoria *flash* está particionada en segmentos de 512 bytes. A pesar de que puede escribirse un solo bit, byte o palabra, el tamaño más pequeño que puede ser borrado es el de un segmento. Dentro de la memoria *flash* existen dos secciones principales, la memoria principal y la memoria de información, la única diferencia es el tamaño del segmento. Tanto datos como código pueden ser almacenados en ambas secciones.

Existen cuatro segmentos en la memoria de información, A hasta D; cada segmento consta de 128 bytes y pueden ser borrados de manera individual. Mientras que la memoria principal está dividida en segmentos de 512 bytes cada uno. La figura 3.10 muestra la segmentación de memoria para un MSP430 que posee 256 KB de memoria *flash* y posee cuatro bancos de 64 KB.

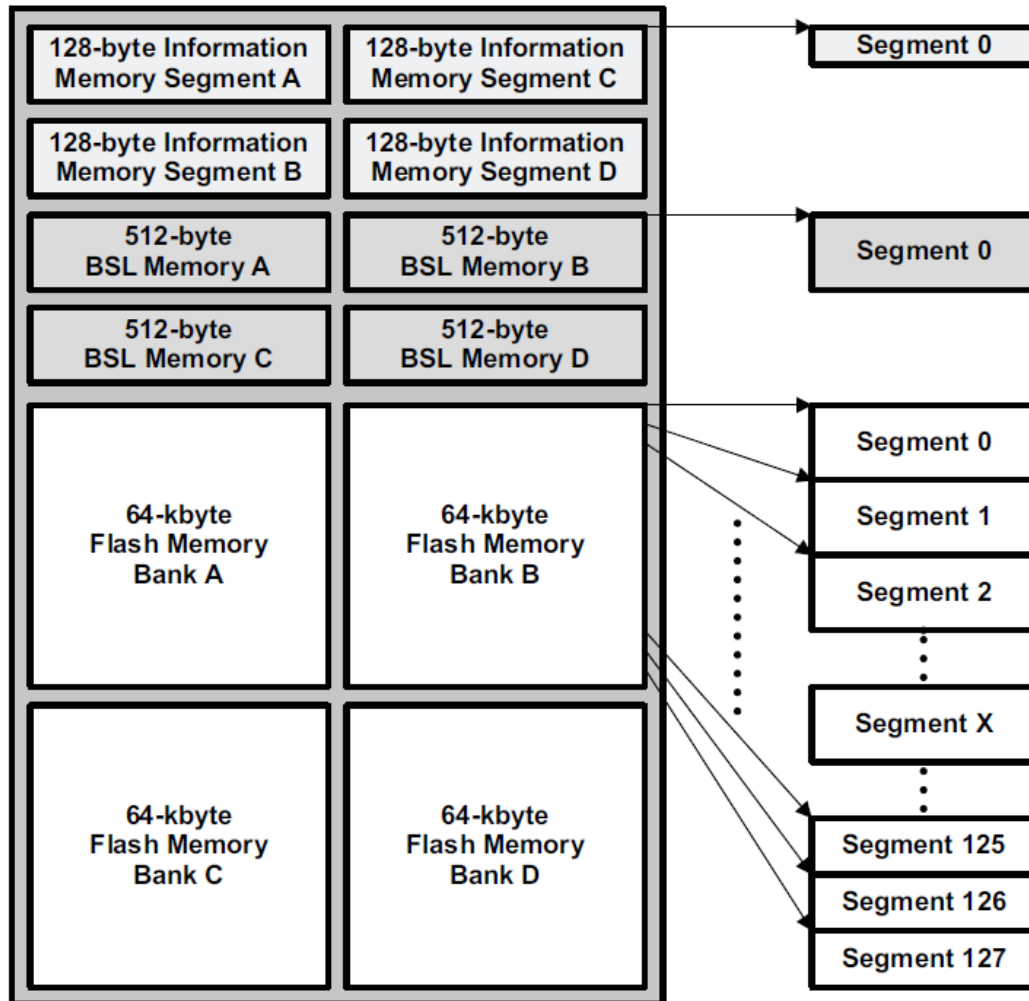


Fig. 3.10.- Ejemplo de los segmentos de una memoria *flash* de 256 KB [31].

3.2.5.1 Funcionamiento de la memoria *flash*

El modo por defecto de la memoria *flash* es el modo de lectura, en este modo no se puede borrar ni escribir la memoria. La memoria *flash* en los microcontroladores MSP430 es programable dentro del mismo sistema, sin necesidad de un voltaje externo. Los modos de borrado y escritura se seleccionan con los bits BLKWRT, WRT, MERAS y ERASE [31].

3.2.5.2 Borrado de la memoria *flash*

El nivel lógico de un bit borrado en la memoria *flash* es de 1. Cada bit puede borrarse de 1 a 0 individualmente, sin embargo, para reprogramar el bit de 0 a 1 se requiere de un ciclo de borrado. Los modos de borrado se seleccionan con los bits MERAS y ERASE, como se muestra en la tabla 3.5.

Tabla 3.5.- Modos de borrado.

MERAS	ERASE	Modo de borrado
0	1	Borrado por segmento
1	0	Borrado por banco
1	1	Borrado masivo

3.2.5.3 Escritura de la memoria *flash*

Los modos de escritura son seleccionados por los bits WRT y BLKWRT. El bit BUSY es igual a 1 mientras una operación de escritura esté activa y es igual a 0 cuando ésta ha terminado. La tabla 3.6 muestra los modos de escritura.

Tabla 3.6.- Modos de escritura.

WRT	BLKWRT	Modo de escritura
0	1	Escritura por byte/palabra
1	1	Escritura por bloque

3.2.5.4 Configuración y acceso al controlador de la memoria *flash*

Los registros FCTLx son registros de 16 bits de lectura y escritura protegidos por contraseña. Para poder escribir o leer los registros que se encargan del control de la memoria *flash*, se debe de incluir la contraseña de escritura 0A5h en el byte más alto. Si se escribe en los registros FCTLx sin la contraseña el sistema se reinicia de manera automática.

3.3 Almacenamiento

3.3.1 Tarjeta SD

Los avances en la tecnología, han permitido la creación de instrumentos cada vez más precisos y complejos, que a su vez generan cantidades más grandes de datos. La tarjeta SD (Secure Digital, por sus siglas en inglés), es una memoria *flash* que ha ganado popularidad en dispositivos, tales como cámaras fotográficas digitales, equipos portátiles de música, PDA, etc. Esto se debe a su tamaño, bajo consumo y bajo costo [33]. La tarjeta SD puede ser de diferentes formatos, cada formato tiene su respectivo tamaño y forma, la figura 3.11a muestra la memoria SD tradicional, la figura 3.11b la memoria micro SD y la figura 3.11c la memoria mini SD.

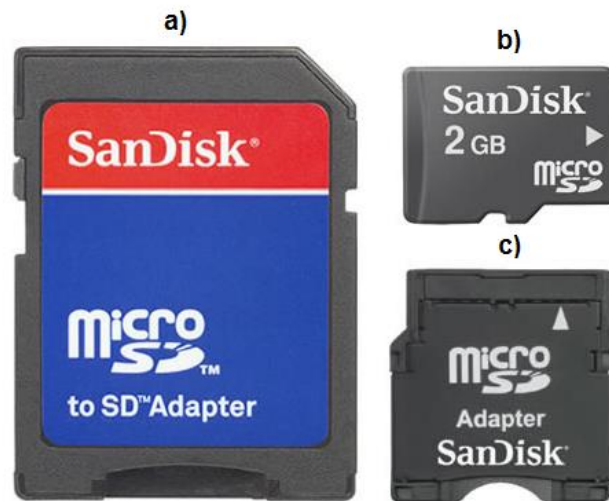


Fig. 3.11.- Formatos de memoria SD.

La tabla 3.7 presenta las medidas de los tres formatos de memoria SD, siendo la memoria micro SD la de menor tamaño.

Tabla 3.7.- Medidas de los formatos de memoria SD.

Formato	Medidas
Memoria SD tradicional	32 mm x 24 mm x 2.1 mm
Memoria mini SD	20 mm x 21.5 mm x 1.4 mm
Memoria micro SD	11 mm x 15 mm x 1 mm

Las tarjetas SD consumen un máximo de 100 mA de corriente mientras están activas, generalmente menos que las memorias *Compact Flash* o los dispositivos USB. Si el consumo del dispositivo es importante, las tarjetas SD son una buena opción [33].

3.3.1.1 Interfaz eléctrica

En la figura 3.12 se muestra el diagrama de una tarjeta SD tradicional.

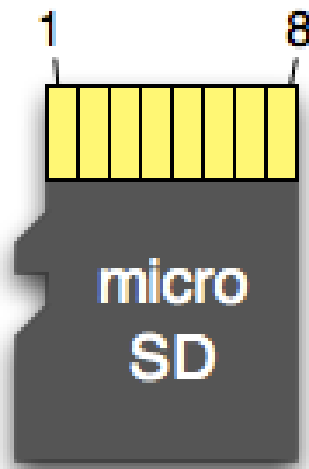


Fig. 3.12.- Diagrama de una tarjeta micro SD [34].

La tabla 3.8 muestra la asignación de los pines y su conexión con la interfaz SPI. Se debe recordar que la selección de la tarjeta (pin 2, CD/DAT3) se hace con un nivel bajo, el cual debe mantenerse en ese estado lógico durante la transferencia de comandos, respuestas y datos.

Tabla 3.8.- Asignación de pines.

Pin	SD	SPI
1	DAT2	X
2	CD/DAT3	CS
3	CMD	SIMO
4	VDD	VDD
5	CLK	SCLK
6	VSS	VSS
7	DAT0	SOMI
8	DAT1	X

3.3.1.2 Protocolo de comunicación

Consiste en un protocolo simple de comando - respuesta, todos los comandos son iniciados por el dispositivo maestro. La tarjeta SD responde al comando con una estructura de 8 o 16 bits, dependiendo del comando enviado. La tarjeta SD responde a cada comando de manera diferente. Cada uno tiene un tipo de respuesta, la cual depende del número de comando y no en el contenido de éste. Se definen tres tipos de respuestas en el modo SPI: R1, R2 y R3.

Los comandos de la tarjeta SD están divididos en comandos generales (CMDXX, donde XX denota el número de comando) y comandos de aplicación específica (ACMDXX) [33]. Cada comando tiene un formato de 6 bytes con el MSB primero: el primer byte siempre comienza con "01", seguido del número de comando a enviar (6 bits). Los 4 bytes siguientes contienen el argumento de dicho comando y el último byte el código de redundancia cíclica (CRC, por sus siglas en inglés), que simplemente es un byte de verificación con un bit de paro al final igual a 1. El CRC es opcional en el modo SPI y por defecto está deshabilitado. La estructura de los comandos se muestra en la tabla 3.9.

Tabla 3.9.- Estructura del comando.

Byte 1				Byte 2 – 5				Byte 6	
7	6	5	0	31			0	7	0
0	1	Comando		Argumento del comando				CRC	1

3.3.1.3 Lectura de los datos

El modo SPI puede leer un solo bloque o una serie de bloques. Primero, el comando CMD17 (solicita leer un bloque) debe ser enviado, una vez hecho ésto, el dispositivo maestro debe recibir la respuesta R1, seguida de un *data token*. La tabla 3.10 muestra como está conformado el *data token*.

Tabla 3.10.- Estructura del *data token*.

Byte 1								Byte 2 – 513								Byte 514 - 515				
7							0	511							0	15				0
1	1	1	1	1	1	1	0	Datos del usuario								CRC de 16 bit				

3.3.1.4 Escritura de los datos

Para la escritura de los bloques, primero se debe enviar el comando CMD24 (solicita escribir un bloque), después la tarjeta enviará la respuesta R1. Una vez recibida, se debe de enviar el *data token* acorde al tamaño previamente establecido por el comando CMD16. Al finalizar la escritura, la tarjeta SD enviará un *data response* que nos indica si fue exitosa la escritura.

El *data response* consiste en un byte que es enviado por la tarjeta SD cuando un bloque es escrito en la memoria, la tabla 3.11 muestra como está compuesto.

Tabla 3.11.- Estructura del *data response*.

7	6	5	4	3	2	1	0
X	X	X	0	Status			1

El significado de los bits de STATUS es el siguiente:

- ✚ “010”: dato aceptado.
- ✚ “101”: dato rechazado, error en CRC.
- ✚ “110”: dato rechazado, error de escritura.

3.3.1.5 Inicialización de la tarjeta SD

La tarjeta SD requiere de una secuencia de pasos específicos. La inicialización comienza por configurar el reloj SPI a 400 KHz. El siguiente paso es enviar 74 ciclos de reloj mientras la tarjeta se encuentre deshabilitada (CS = 1).

Una vez enviados los ciclos de reloj, la tarjeta debe ser reiniciada con el comando CMD0 mientras la tarjeta esté habilitada (CS = 0). Hecho ésto la tarjeta es reiniciada y configurada para trabajar en modo SPI. Es importante que mientras el CRC es ignorado en modo SPI, el primer comando que se envía a la tarjeta debe de tener un código CRC válido, ya que antes de ésto la tarjeta no está en modo SPI. El byte de CRC para un comando CMD0 sin argumento es la constante 0x95h [35].

Al enviar el comando CMD0, la tarjeta SD debe de enviar la respuesta R1, que debe ser igual a 0x01h (indicando estado inactivo), si la respuesta es diferente, se deberá enviar el comando CMD0 nuevamente hasta obtener la respuesta requerida. Finalmente se debe enviar el comando CMD1, para recibir la respuesta R1 con un valor de 0x00h, indicando que la tarjeta se ha activado exitosamente. Después de inicializar la memoria SD, el reloj puede incrementar hasta 25 MHz.

3.3.2 Sistema de archivos

El sistema de archivos FAT se caracteriza por la tabla de asignación de archivos (FAT, por sus siglas en inglés), esta tabla reside en la parte superior de la memoria.

Existen tres variantes del sistema de archivos FAT, que difieren principalmente en la construcción de la tabla de asignación de archivos. Los diskettes y discos duros pequeños usualmente usaban la versión de 12 bits (FAT12), la cual fue sustituida por la versión de 16 bits (FAT16) conforme los discos duro aumentaban su capacidad. A su vez, la versión de 16 bits fue sustituida por la versión de 32 bits (FAT32) conforme los discos duros aumentaban su capacidad aún más.

Todos los discos que usan el sistema de archivos FAT están organizados en cuatro partes principales: sector de arranque, el FAT, el directorio raíz y el espacio designado a los datos. A continuación se describirán las diferentes áreas que componen el sistema de archivos.

3.3.2.1 Sector de arranque

El sector de arranque ocupa el primer sector (512 bytes) en la memoria y contiene información importante que ayuda a describir el resto del sistema de archivos.

La tabla 3.12 muestra la información contenida en este sector, junto con el *offset* para localizar dicha información.

Tabla 3.12.- Organización del sector de arranque.

Offset	Descripción	Tamaño
00h	Parte del programa <i>bootstrap</i>	1 byte
03h	Descripción del fabricante	8 bytes
0Bh	Bytes por sector	2 bytes
0Dh	Sectores por <i>cluster</i>	1 byte
0Eh	Sectores reservados	2 bytes
10h	Número de copias del FAT	1 byte
11h	Máximo de entradas del directorio raíz	2 bytes
13h	Número de sectores en partición <32 MB	2 bytes
15h	<i>Media descriptor</i>	1 byte
16h	Sectores por FAT	2 bytes
18h	Sectores por <i>track</i>	2 bytes
1Ah	Numero de cabezales	2 bytes
1Ch	Número de sectores ocultos en la partición	4 bytes
20h	Número de sectores en la partición	4 bytes
24h	Nombre lógico del disco	2 bytes
26h	<i>Extended Signature(29h)</i>	1 byte
27h	Número de serie de la partición	4 bytes
2Bh	Nombre del volumen de partición	11 bytes
36h	Nombre del FAT (FAT16)	8 bytes
3Eh	Código ejecutable	44 bytes
1FE	Firma del sector de arranque (55h AAh)	2 bytes

3.3.2.2 Tabla de asignación de archivos (FAT)

La tabla FAT ocupa uno o más sectores inmediatamente después del sector de arranque. Si existe una segunda tabla FAT, es colocada después de la primera, y así con tablas FAT adicionales. En el caso del sistema FAT16, cada entrada en la tabla FAT es de 2 bytes (16 bits). Cuando se crea un archivo, se crea una entrada en el directorio y se establece el primer número de *cluster* que contiene los datos del archivo. Esta entrada en la tabla FAT indica si éste es el último *cluster* del archivo (FFh FFh) o bien señala el siguiente *cluster* con los datos restantes del archivo. Una entrada en la

tabla FAT con un valor de 00h 00h indica que el *cluster* está abierto y puede ser utilizado. El espacio en la memoria designado para almacenar los datos está dividido en *clusters*, cuyo tamaño viene dado por la capacidad de la memoria. Los primeros dos *clusters* son usados por el sector de arranque y el directorio raíz, en consecuencia, los datos inician en el *cluster* número dos.

3.3.2.3 El directorio raíz

El directorio raíz contiene una entrada de 32 bytes para cada archivo. Los 32 bytes contienen información como el nombre del archivo, fecha en la que fue creado, tamaño, *cluster* inicial, etc. La tabla 3.13 describe la estructura de las entradas del directorio raíz.

Tabla 3.13.- Estructura de las entradas de directorio.

Offset	Descripción	Tamaño
00h	Nombre del archivo	8 bytes
08h	Extensión del archivo	3 bytes
0Bh	Atributo	1 byte
16h	Hora	2 bytes
18h	Fecha	2 bytes
1Ah	<i>Cluster</i> inicial	2 bytes
1Ch	Tamaño del archivo	4 bytes

3.4 Tarjeta de desarrollo ADS1299EEG-FE

El primer paso para el desarrollo del prototipo, fue probar el funcionamiento del ADS1299 por medio de la tarjeta de evaluación ADS1299EEG-FE de *Texas Instruments* (figura 3.13). La interfaz de control SPI es proporcionada por la tarjeta madre modular MMB0 que contiene un DSP TMS320 de la misma compañía. La tarjeta MMB0 permite la comunicación de la tarjeta de evaluación con una computadora mediante un puerto USB.

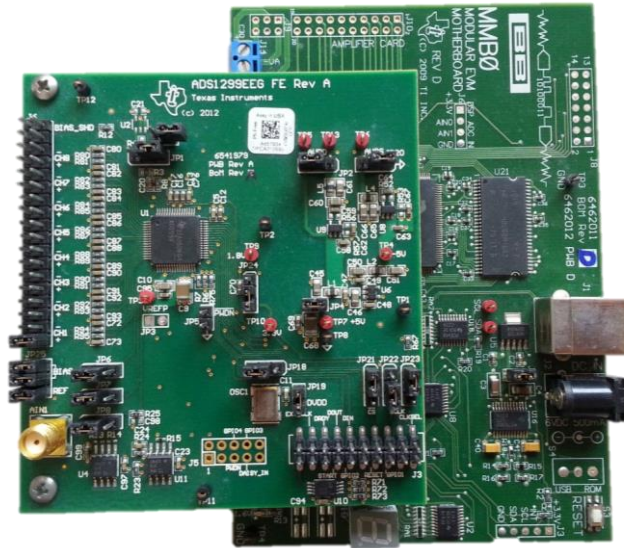


Fig. 3.13.- Tarjeta de evaluación ADS1299EEG-FE.

La tarjeta viene con su propio software, el cual nos permite utilizar herramientas de análisis de señales como son un osciloscopio virtual, obtención de histograma y aplicación de transformada rápida de Fourier. Sin embargo, el procesamiento de la señal no es en tiempo real.

3.4.1 Señal de calibración interna

El ADS1299 permite generar una señal de onda cuadrada internamente, lo cual nos permite verificar el funcionamiento del multiplexor de entrada, además de los amplificadores de ganancia programable y el ADC. El registro CONFIG2 permite controlar la amplitud y frecuencia de esta señal.

La amplitud la controla por medio del bit CAL_AMP0, si es igual a 0, la amplitud es igual a $(V_{REFP}-V_{REFN}/2.4)$ mV. Si es igual a 1, la amplitud es de $(2 \times (V_{REFP}-V_{REFN})/2.4)$ mV. Para una ganancia de 1 en el PGA, la salida en el canal 1 del ADS1299 nos entrega un señal de onda cuadrada de 3.75 mV_{PP}, mostrada en la figura 3.14. La figura 3.15, muestra una señal con ganancia en el PGA de 24, de ~90 mV_{PP}.

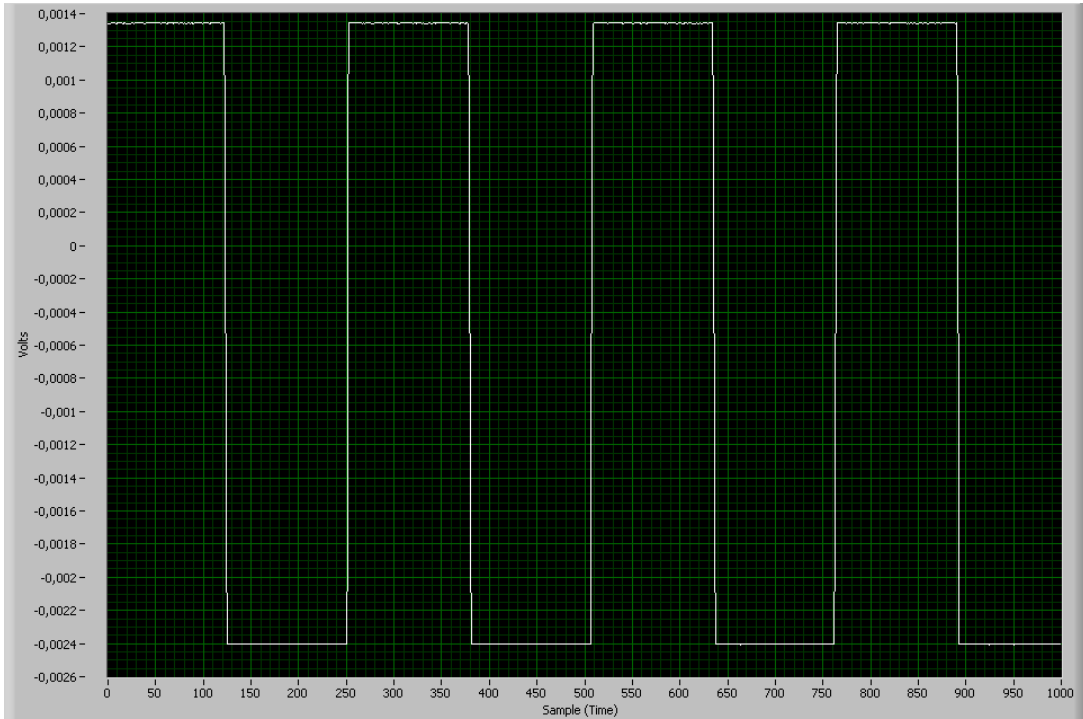


Fig. 3.14.- Señal de calibración generada por el ADS1299, PGA = 1, 3.75 mV_{PP}.

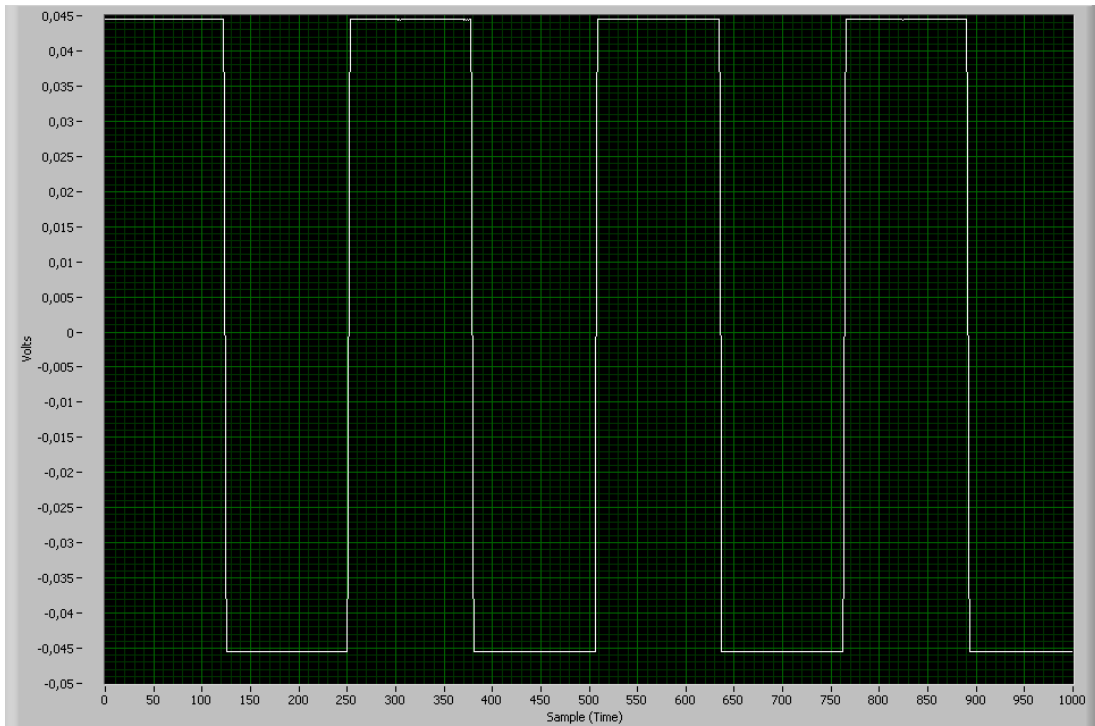


Fig. 3.15 Señal de calibración generada por el ADS1299, PGA = 24, 90 mV_{PP}.

3.4.2 Rango dinámico

El rango dinámico del ADS1299 está dado por la ecuación 5, como lo especifica el fabricante en la hoja de datos del dispositivo.

$$\text{Max}(INP - INN) < \frac{V_{REF}}{\text{Gain}} \quad (5)$$

Con una referencia de 4.5V y una ganancia de 12, el ADS1299 puede tener en su entrada una señal diferencial de aproximadamente 300 mV [29]. Para evaluar el rango dinámico del dispositivo, se conectó un generador de funciones modelo AFG 3021B de la marca *Tektronix* al canal 1 del ADS1299 y posteriormente se configuró el canal con cada una de las ganancias del PGA. Se inyectó una onda senoidal de diferentes voltajes para observar la salida, los valores obtenidos se muestran en la tabla 3.14.

Tabla 3.14.- Valores obtenidos para el máximo valor de amplitud a la entrada del ADS1299.

	G=1	G=2	G=4	G=6	G=8	G=12	G=24
Max (INP-INN)	4.5 V	2.25 V	1.125 V	0.75 V	0.5625 V	0.375 V	0.1875 V
V _{IN}	4.5 V	2.25 V	1.125 V	0.75 V	0.5625 V	0.375 V	0.1875
V _{OUT}	4.54 V	4.52 V	4.53 V	4.52 V	4.52 V	4.53 V	4.54 V

Al superar el valor máximo de la ecuación 5, la señal de salida se satura, como se muestra en la figura 3.16.

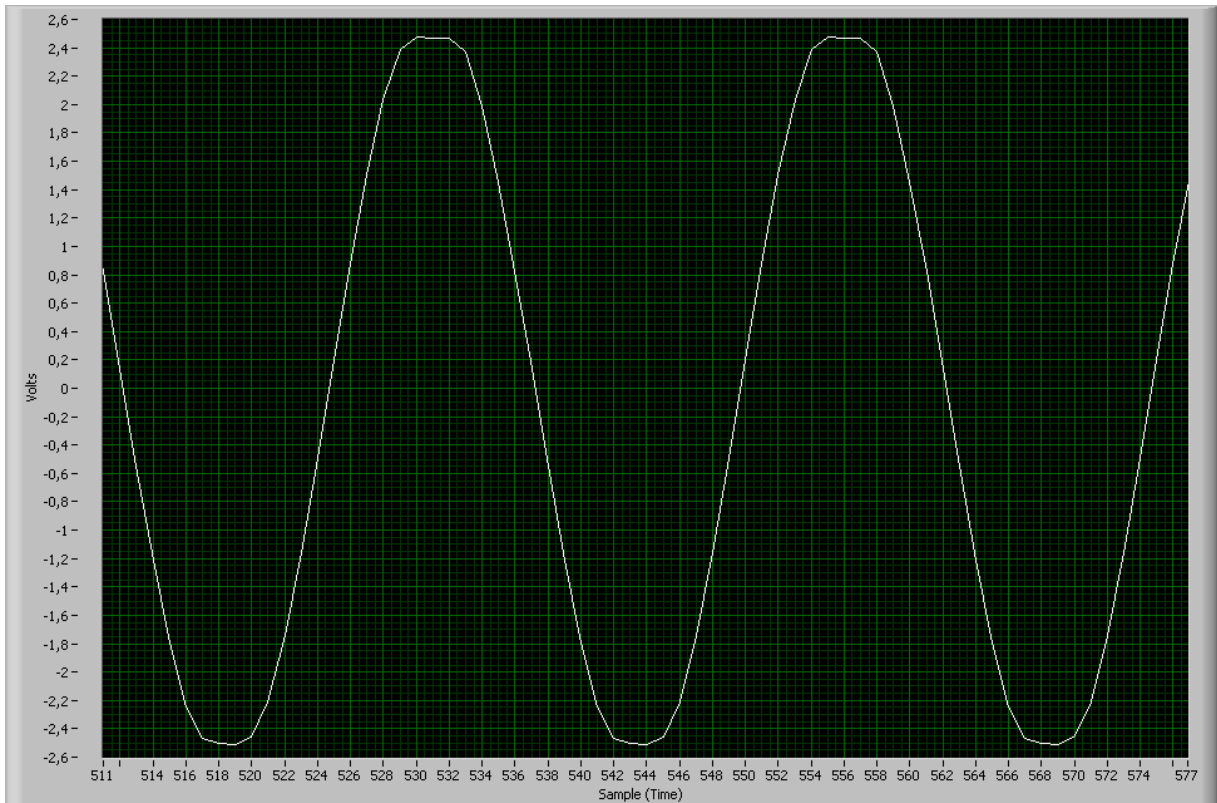


Fig. 3.16.- Señal de salida saturada al superar el valor máximo calculado con la ecuación 5.

3.4.3 Registro de biopotenciales

Como se mencionó en el capítulo anterior, dentro de las funciones específicas para sistemas de EEG se encuentran el electrodo de referencia, el circuito de *BIAS* y la detección de falso contacto de electrodo. Estas funciones fueron utilizadas para los registros realizados a un sujeto de prueba y a continuación se muestran.

Para proporcionar seguridad eléctrica al sujeto de prueba, la tarjeta fue alimentada por medio de 4 baterías AA. Para la toma del registro, se usaron electrodos de copa de oro Nicolet® (modelo F-E5GH), los cuales se adhirieron con la pasta electrolítica Ten20®.

Las entradas analógicas se configuraron en modo unipolar al conectar todas las entradas negativas de los canales a SRB1 que es común para todos por medio del multiplexor del ADS1299. Un par de electrodos unidos y conectados a los lóbulos de las orejas (figura 3.17), se conectaron al conector JP25 de la tarjeta, el cual a su vez está conectado a la señal SRB1.



Fig. 3.17.- Electrodo de referencia conectado al lóbulo derecho del sujeto de prueba.

El circuito de *bias* también fue probado; se utilizó un electrodo que fue colocado en la parte posterior del cuello en la vértebra prominente (figura 3.18).



Fig. 3.18.- Electrodo de bias conectado a la vértebra prominente.

Dicho electrodo, fue conectado al conector JP17 de la tarjeta que está unido al pin BIASOUT, el cual inyecta el voltaje de modo común al sujeto. Finalmente, la entrada positiva del canal uno de la tarjeta, fue conectado a un electrodo colocado en la parte frontal de la cabeza. Para una ganancia del PGA = 4, se obtuvo un registro de aproximadamente 100 μV , el cual se muestra en la figura 3.19.

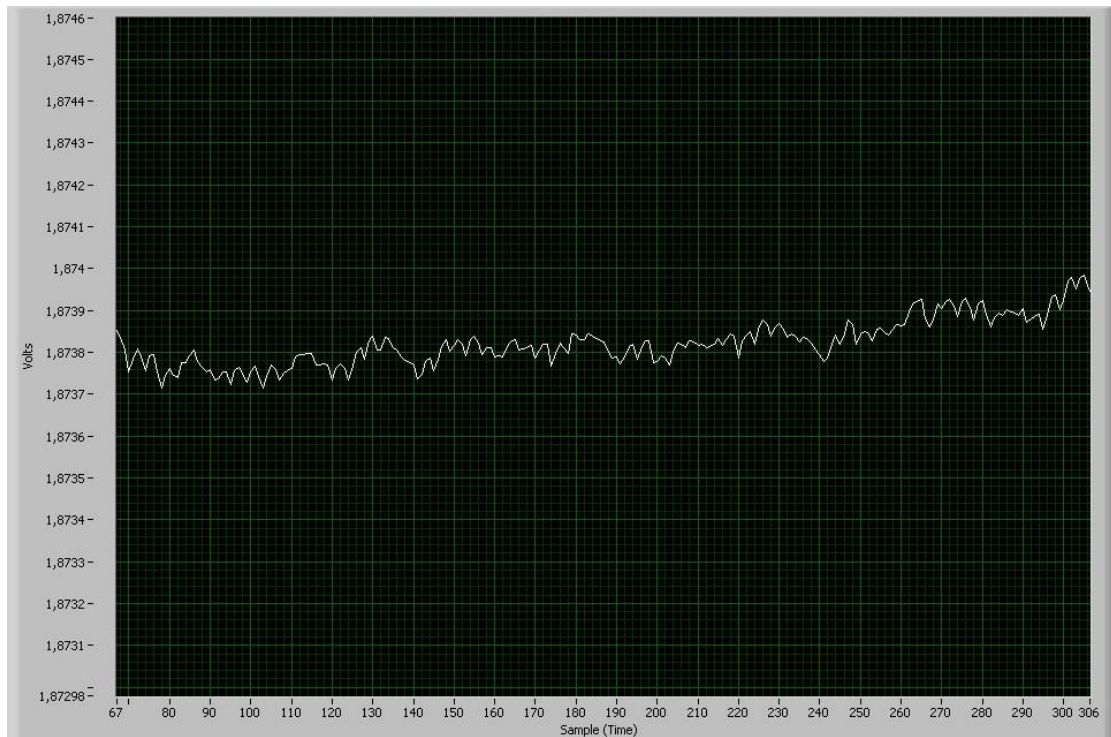


Fig. 3.19.- EEG con ganancia de cuatro.

Posteriormente, se tomaron registros con diferentes ganancias para observar cómo influye en el CMRR del canal. Al inicio del capítulo se mencionó que el software cuenta con una herramienta para el análisis de la señal; dentro de los parámetros que podemos obtener, se encuentra el CMRR de cada uno de los canales. La tabla 3.15 muestra la relación.

Tabla 3.15.- Relación entre el CMRR y la ganancia del canal.

Ganancia	G=1	G=2	G=4	G=6
CMRR	131 dB	127 dB	124 dB	114 dB

Con esta misma configuración de electrodos, se probó la detección de falso contacto de electrodo. El software que viene incluido con la tarjeta de evaluación, ofrece una interfaz que indica que electrodo se ha desconectado (figura 3.20). El fabricante recomienda una configuración predeterminada para la detección de falso contacto de electrodo con una señal de DC. Dentro de los parámetros a configurar se encuentran el valor del comparador en 95% y la magnitud de la corriente inyectada en 6 nA.



Fig. 3.20.- Interfaz de detección para falso contacto de electrodo.

La figura 3.20 muestra el cambio del canal uno al desconectar el electrodo conectado a la parte posterior de la cabeza del sujeto.

3.5 Diseño del algoritmo de control y procesamiento

El MSP430 cuenta con una memoria *flash* integrada que permite guardar el código en ella. Al ser una memoria no-volátil, no requiere de una fuente de voltaje para retener la información y persiste aún después de retirarla. Para programar y guardar el código dentro del dispositivo se necesita de una circuitería especial. La programación se llevó a cabo mediante la interfaz de depuración MSP-FET430UIF, que permite programar el dispositivo a través de un conector JTAG.

El algoritmo desarrollado para el dispositivo fue completamente programado en lenguaje C, dentro del software *Code Composer Studio* de *Texas Instruments*. Las pruebas del código y su funcionamiento se realizaron con la tarjeta de evaluación MSP-EXP430F5529, la cual cuenta con una pantalla de cristal líquido de una resolución de 102x64 pixeles, interfaz para memoria microSD y puertos de entrada/salida para diversos propósitos, entre ellos, acceso a la interfaz USCI para la comunicación SPI que se requiere.

La tarjeta de evaluación ADS1299EEG-FE cuenta con dos módulos, el primero es el control de la tarjeta (MMB0) y tiene integrado el DSP TMS320 que se encarga del procesamiento de la señal, el segundo módulo es el ADS1299 en sí y los elementos necesarios para su funcionamiento, entre ellos un conector tipo *header* que permite el acceso a la interfaz SPI del dispositivo.

El modulo del ADS1299 se conectó por medio de este conector a la tarjeta MSP-EXP430F5529 para establecer la conexión SPI y el control del sistema. Los algoritmos presentados a continuación, se probaron en estos módulos antes de diseñar el prototipo final del dispositivo.

3.5.1 Algoritmo principal

El diagrama de flujo de la figura 3.21 muestra el algoritmo principal del sistema, las secciones posteriores explicarán cada uno de los bloques presentados.

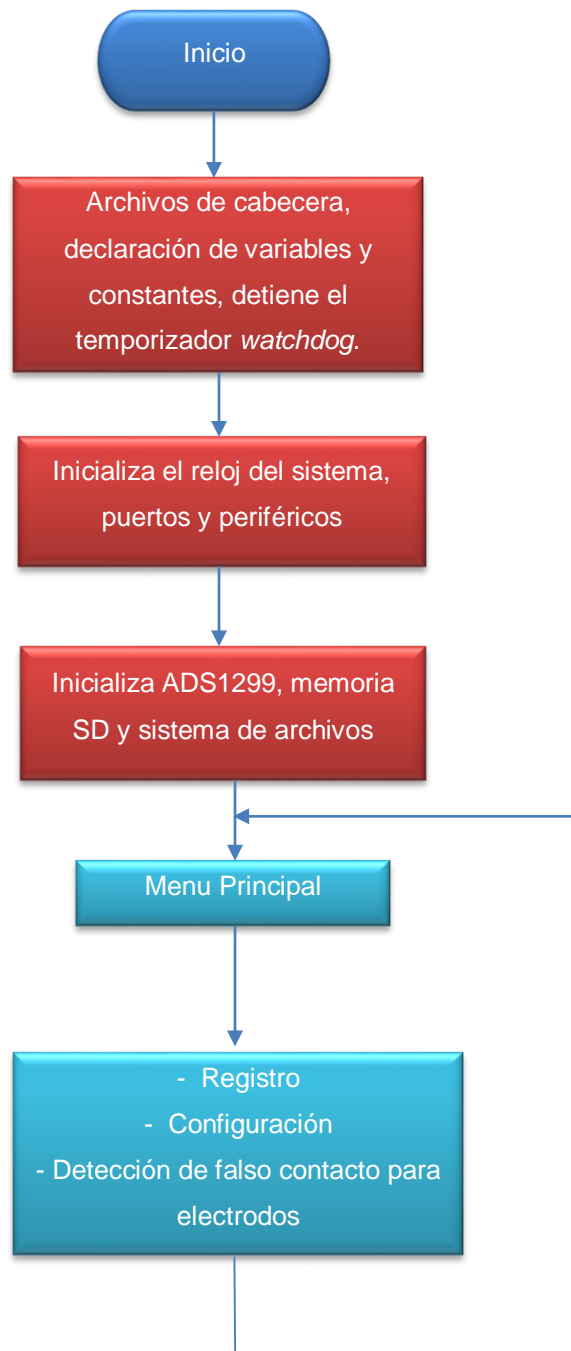


Fig. 3.21.- Algoritmo principal del sistema.

El reloj del sistema (MCLK) y el reloj del subsistema (SMCLK) se configuraron para operar con un cristal de 4 MHz conectado al puerto XT2 del MSP430F5529. Posteriormente se configuraron los puertos y periféricos del sistema, el fabricante recomienda que todos los pines de entrada/salida que no son utilizados, sean configurados como salidas en el registro PxDIR, para reducir el consumo de corriente.

3.5.2 Comunicación e inicialización del ADS1299

La interfaz USCI A1 se utilizó para comunicarse con el ADS1299 y se configuró conforme los parámetros especificados en la hoja de datos del amplificador.

- ✚ La interfaz SPI en modo maestro (UCMST = 1).
- ✚ Modo síncrono (UCSYNC = 1).
- ✚ La transferencia comienza con el bit más significativo (UCMSB = 1).
- ✚ La polaridad y fase: UCCKPH = 0 y UCCKPL = 0.
- ✚ El reloj usado es SMCLK (4 MHz).
- ✚ El factor de división del reloj es 0 (UCA1BR = 0).

Al enviar información por el bus SPI, se monitorearon los bits UCA1IFG y UCA1BUSY para verificar que la transferencia de datos y recepción de datos se completará sin interrupción, garantizando la integridad de la información.

La configuración del ADS1299 se lleva a cabo modificando los valores de sus registros y siguiendo una secuencia de encendido para su correcto funcionamiento. Primero, todas las entradas digitales y analógicas del chip deben de estar en un estado lógico bajo hasta que las fuentes de tensión se estabilicen, como se muestra en la figura 3.22. Se debe de esperar el tiempo t_{POR} y posteriormente enviar un comando de RESET. Tienen que pasar 18 ciclos de t_{CLK} para que el comando sea ejecutado como se mencionó en la sección 3.1.7.1. Finalmente el registro CONFIG1 debe ser el primero en configurarse.

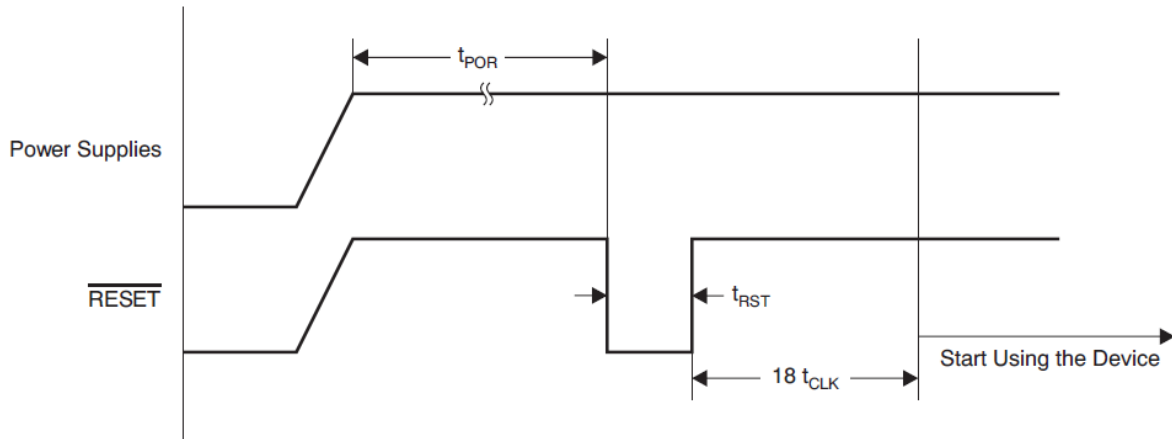


Fig. 3.22.- Diagrama de tiempos para el encendido del ADS1299.

Para el dispositivo final se utilizó el oscilador interno del ADS1299; en la hoja de datos se especifica que se debe esperar un tiempo de 20 μ s para el encendido del módulo. La frecuencia de muestreo se configura por defecto a 250 Hz, sin embargo dentro del menú de configuración del dispositivo, se incluyó la opción para poder utilizar una frecuencia de muestreo de 500 Hz si así se desea. El registro CONFIG1 controla esto mediante los bits CLK_EN, DR2, DR1, DR0.

La referencia interna del convertidor se habilitó modificando el valor del bit $\overline{\text{PD_REFBUF}}$ a "1", dentro del registro CONFIG3. Este módulo también necesita de un tiempo de 150 ms para su encendido. En el mismo registro se habilitó la circuitería de *bias* con el bit $\overline{\text{PD_BIAS}} = 1$, además de seleccionar que la señal de *bias* se generara de manera interna con el bit BIASREF_INT = 1.

El siguiente paso fue configurar las entradas del ADS1299 modificando los registros CHxSET. Dentro de estos registros podemos modificar la ganancia con los bits GAIN, el estado del canal (apagado o encendido) con el bit PD y controlar el multiplexor con los bits MUX. Al inicio, el dispositivo enciende los 8 canales y los configura como entradas con una ganancia igual a 1. Para usar la configuración unipolar mencionada

en la sección 3.1.2, se modificó el valor del bit SRB1 del registro MISC1, ya que éste conecta todas las entradas inversoras de los canales al pin SRB1 del ADS1299, el cual se usó como electrodo de referencia. Al finalizar las modificaciones en los registros, se envió el comando STANDBY al dispositivo para reducir su consumo de energía.

3.5.3 Configuración e inicialización de la memoria SD

El módulo USCI B1 se utilizó para controlar la transmisión de datos con la memoria SD. La configuración del puerto fue la siguiente:

- ✚ La interfaz SPI en modo maestro (UCMST = 1).
- ✚ Modo síncrono (UCSYNC = 1).
- ✚ La transferencia comienza con el bit más significativo (UCMSB = 1).
- ✚ La polaridad y fase: UCCKPH = 1 y UCCKPL = 0.

El reloj asignado a este periférico fue el cristal de 4 MHz por medio de la señal SMCLK, sin embargo, la inicialización de la memoria nos dice que al inicio, el reloj suministrado debe de tener una frecuencia menor a 400 KHz. Para obtener esta velocidad se modificó el valor de 16 bits de los registros UCB1BR0 y UCB1BR1. Con la ecuación 4 calculamos la velocidad que tendrá SMCLK después de aplicar el factor de división.

$$f_{BitClock} = \frac{f_{BRCLK}}{UCBRx} = \frac{4 \text{ MHz}}{10} = 400 \text{ KHz} \quad (6)$$

Al finalizar la secuencia de inicio, el valor de UCB1BR0 y UCB1BR1 fue modificado nuevamente, pero esta vez con un valor de "0" (ya que la frecuencia de operación de la memoria SD puede ser de hasta 25 MHz), dejando el valor de SMCLK en 4 MHz. La figura 3.23 muestra el diagrama de flujo para la inicialización.

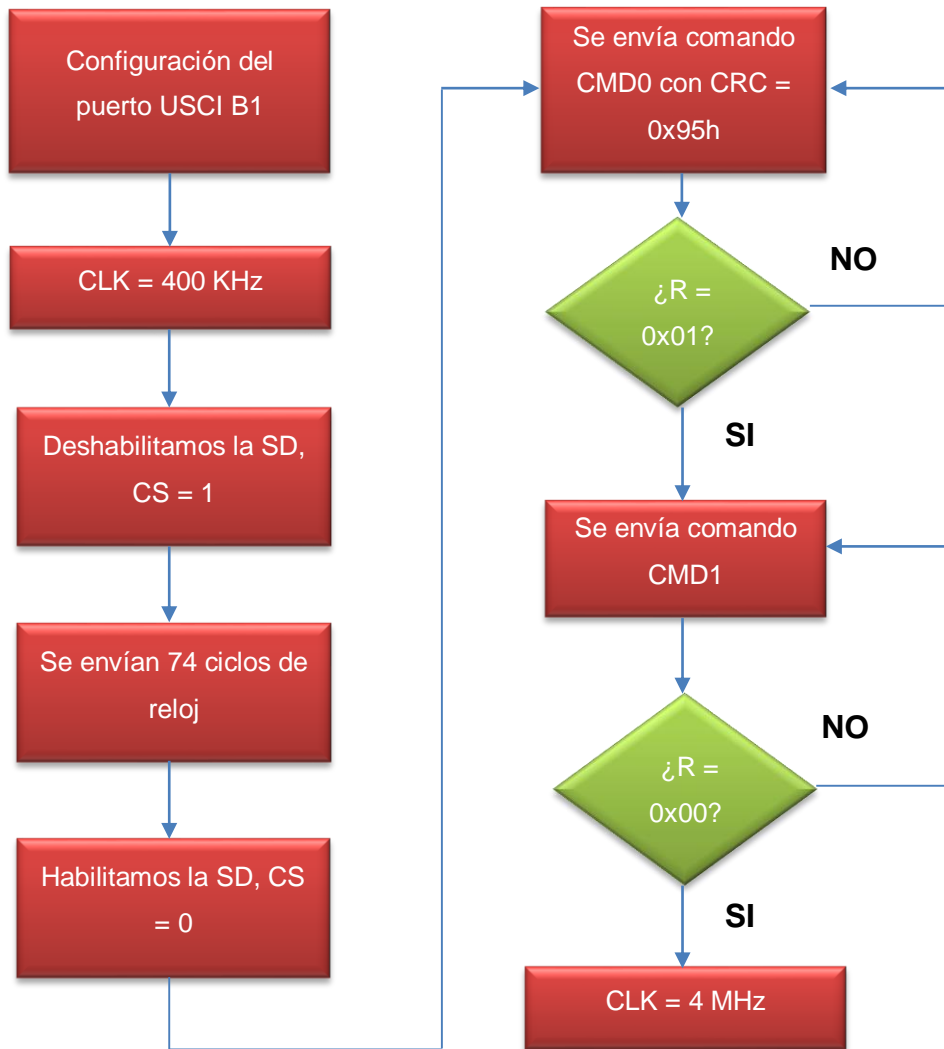


Fig. 3.23.- Diagrama de flujo con la secuencia de encendido de la memoria SD.

3.5.4 Implementación del sistema de archivos FAT

Generalmente el sistema de archivos FAT es implementado de tal manera, que algunos de los parámetros involucrados en la creación de un archivo (tamaño y localización en la tabla FAT) tienen que ser actualizados constantemente, ya que si esta información es errónea, el sistema operativo no será capaz de acceder a los datos. Esta constante actualización debido a que un archivo puede llegar a ser modificado en cualquier momento por el usuario, reduce la velocidad del sistema en

general. Durante las pruebas, la velocidad de adquisición de los datos del ADS1299, no permitía modificar dicha información, por lo que se omitió la constante actualización del sistema de archivos.

Ya que la implementación del FAT se hizo de una manera muy sencilla, la memoria SD es formateada en el software *SDFormatter V4.0* para evitar errores en el algoritmo. De esta manera, nos aseguramos que la información del sector de arranque, así como las direcciones de la tabla FAT, directorio raíz y el área de los datos, serán siempre las mismas.

La inicialización empieza leyendo el sector de arranque, extrayendo la información necesaria para implementar el FAT. Se busca el nombre FAT16 dentro del sector para verificar que existe dicho formato en la memoria. Una vez comprobado el formato, se guarda la siguiente información: Sectores por *cluster*, número de tablas FAT, máximo número de entradas en el directorio raíz, sectores que ocupa la(s) tabla(s) FAT y el número de sectores reservados. Posteriormente con esta información se obtiene la dirección y los sectores ocupados por el directorio raíz, además de la dirección de inicio de los datos.

El dispositivo tiene la capacidad de guardar la información necesaria para el sistema de archivos en la memoria *flash* que tiene integrada el MSP430F5529. Información como la dirección actual de los datos y el último *cluster* utilizado, además de variables que utiliza el algoritmo diseñado. Esto nos va a permitir apagar el sistema y poder seguir trabajando con él la próxima vez que se encienda sin necesidad de borrar los archivos ya existentes. Se usó el segmento D de la memoria flash para guardar las variables necesarias, empezando en la dirección 1800h.

3.5.5 Creación del archivo

Cuando se requiere realizar un registro, la interfaz gráfica nos lleva a través de una serie de pasos que solicitan al usuario ingresar el nombre del archivo y el tamaño del

registro. Una vez obtenida esta información, se lee el primer sector del directorio raíz; posteriormente, el algoritmo busca que el nombre no esté ocupado por otro archivo, si el archivo no existe, busca una entrada libre dentro del directorio raíz con la información que contiene el primer byte del nombre del archivo. Usualmente este primer byte es la primera letra del nombre, pero existen casos en el que tiene un valor de 00h lo que indica que el nombre del archivo nunca ha sido usado y E5h lo cual significa que el nombre del archivo había sido usado pero el archivo fue borrado. Si se cumple alguna de estas condiciones, la información del archivo se escribe en la entrada correspondiente del sector actual del directorio raíz, así como el *cluster* donde inicia dicho archivo. Se usó la extensión *.txt* para el archivo final del registro.

Después de pedir el nombre del archivo, el algoritmo solicita el tiempo que durará el registro que se quiere realizar, para así calcular el tamaño final del archivo. Una vez obtenido esto, se escribe el valor en la entrada correspondiente del directorio raíz. Finalmente, el algoritmo calcula con esta información el número de sectores y *clusters* que usará el archivo, que posteriormente se usan para actualizar la(s) tabla(s) FAT que contiene la cadena de *clusters* para localizar la información dentro de la memoria.

En la sección 3.1.3 se mencionó que el formato de las conversiones es en binario complemento a 2. El dispositivo almacena la información en este formato, ya que de esta manera se evitan las operaciones con punto flotante dentro del microcontrolador y el consumo de energía disminuye.

3.5.6 Obtención de las conversiones

El número de datos que envía a su salida el ADS1299 después de una conversión es de [24 status bits + (24 bits x 8 canales) = 216 bits]. Los 24 bits de *status* contienen información para la detección de falso contacto del electrodo, el algoritmo desecha estos datos y solo procesa la información perteneciente a los canales del convertidor.

Como se mencionó en la sección 3.1.7.2, el convertidor mediante el pin de salida $\overline{\text{DRDY}}$, indica con un cambio de alto a bajo en su estado lógico que la conversión está lista para ser enviada. La mejor manera de manejar esta señal es con interrupciones, ya que están diseñadas para ser usadas con procesos que requieren de una atención inmediata. Por lo tanto la señal $\overline{\text{DRDY}}$ se conectó al pin 0 del puerto 1 (P1.0) en el MSP430F5529 ya que dicha entrada puede funcionar como interrupción del sistema.

Se habilitó la resistencia de *pull-up* del puerto para evitar falsos niveles de voltaje que pueden llegar a activar una interrupción y se configuró para detectar los cambios de nivel lógico de alto a bajo.

Ya que la frecuencia de muestreo que se desea para el sistema es de 250 Hz, se hicieron los cálculos correspondientes para determinar si el microcontrolador era capaz de obtener los datos del convertidor y procesarlos, para posteriormente almacenarlos en la memoria SD. Primero se tiene en cuenta que cada conversión del ADS1299 tiene un total de 27 bytes (216 bits), ya que la frecuencia de muestreo del dispositivo es de 250 Hz, cada 4 ms se presentará una interrupción en el pin del microcontrolador y éste tendrá que procesar 27 bytes de información.

Si se considera que el reloj SPI de la interfaz USCI A1 es configurado para operar a una frecuencia de 4 MHz y que la interfaz SPI manda 1 bit de información por cada ciclo de reloj. Las ecuaciones 7 y 8 calculan el ciclo de reloj de la interfaz SPI y el tiempo para enviar 8 bytes, respectivamente.

$$\text{Ciclo de reloj (4 MHz)} = \frac{1}{4 \text{ MHz}} = 250 \text{ ns} \quad (7)$$

$$1 \text{ byte} = 8 \times 250 \text{ ns} = 2 \mu\text{s} \quad (8)$$

Considerando ésto, la rutina de interrupción (ISR, por sus siglas en inglés) tendrá que procesar 27 bytes, lo que equivale a un total de 54 μ s, como se muestra en la ecuación 9.

$$\text{Procesamiento ISR} = 27 \text{ bytes} \times 2 \mu\text{s} = 54 \mu\text{s} \quad (9)$$

Una vez que se recibieron los 27 bytes del ADS1299, se tiene que procesar la información para llenar un *buffer* de datos, el cual tiene un tamaño de 512 bytes. Se hace de este modo, ya que la escritura en la memoria SD tiene que ser por bloques, y el mínimo de información para escribir un bloque es de 512 bytes.

Si volvemos a considerar que cada 4 ms hay una conversión lista para ser enviada, se necesitan aproximadamente 19 conversiones para llenar el *buffer* de 512 bytes, dejando un intervalo de \sim 76 ms entre operaciones de escritura, como se muestra en la ecuación 10.

$$\text{Intervalo de escritura (SD)} = \left(\frac{512 \text{ bytes}}{27 \text{ bytes}} \right) \times 4 \text{ ms} \quad (10)$$
$$\text{Intervalo de escritura (SD)} = \sim 76 \text{ ms}$$

Hay que tener en cuenta que cada rutina de interrupción necesita un tiempo de procesamiento igual a 54 μ s, lo que nos da un total de \sim 1 ms para las 19 conversiones necesarias para el llenado del *buffer*. Esto deja al microcontrolador un tiempo aproximado de 75 ms para la escritura del bloque de datos.

La interfaz USCI B1 que utiliza la memoria SD, opera con un reloj de 4 MHz, tomando en cuenta la ecuación 8, tenemos que 1 byte se envía a la memoria en 2 μ s, por lo tanto, 512 bytes se enviarán en \sim 1 ms, como se muestra en la ecuación 11.

$$512 \text{ bytes} \times 2 \mu\text{s} = 1.024 \text{ ms} \quad (11)$$

Tomando en cuenta los cálculos anteriores, se tendrá un total de ~74 ms para cualquier otra operación con el microcontrolador. Sin embargo, se realizaron pruebas en el laboratorio para medir el tiempo que le toma al microcontrolador escribir un sector (512 bytes) de la memoria SD. Los tiempos de escritura obtenidos, oscilaban entre 10 y 15 ms, siendo 50 ms el tiempo máximo que utilizó el microcontrolador para escribir un sector. Aún con la información obtenida, el microcontrolador es capaz de procesar los datos sin ningún problema, ya que si en el peor de los casos, tarda 50 ms en escribir un sector, quedarían 24 ms disponibles para cualquier otra operación.

El algoritmo intercambia el *buffer* donde se guardan las conversiones cada vez que se llena; en total se utilizaron dos *buffers* de 512 bytes, uno para guardar los datos de las conversiones y el otro para la escritura de los datos en la memoria SD. De esta manera ambos procesos pueden trabajar en paralelo, es decir, cuando uno de los *buffers* es llenado con los datos, la información del segundo *buffer* es enviada y guardada en la memoria SD. Una vez obtenida esta información, se procedió a diseñar la rutina que se encarga de tomar los registros y guardarlos en la memoria SD, además del servicio de interrupción que recibe los datos de la conversión.

El diagrama de flujo de la figura 3.24 y 3.25, muestran los bloques que componen estas rutinas. Al entrar en la rutina para tomar el registro, se manda el comando WAKEUP para encender el ADS1299 que permanecía en modo de bajo consumo. La lectura de los datos en modo continuo se activa con el comando RDATA, seguido del comando START para iniciar las conversiones.

Para que el pin P1.0 empiece a solicitar servicios de interrupción, se debe limpiar la bandera de interrupción correspondiente a este pin, en este caso la bandera P1IFG. También se debe habilitar el bit P1IE y las interrupciones globales del microcontrolador.

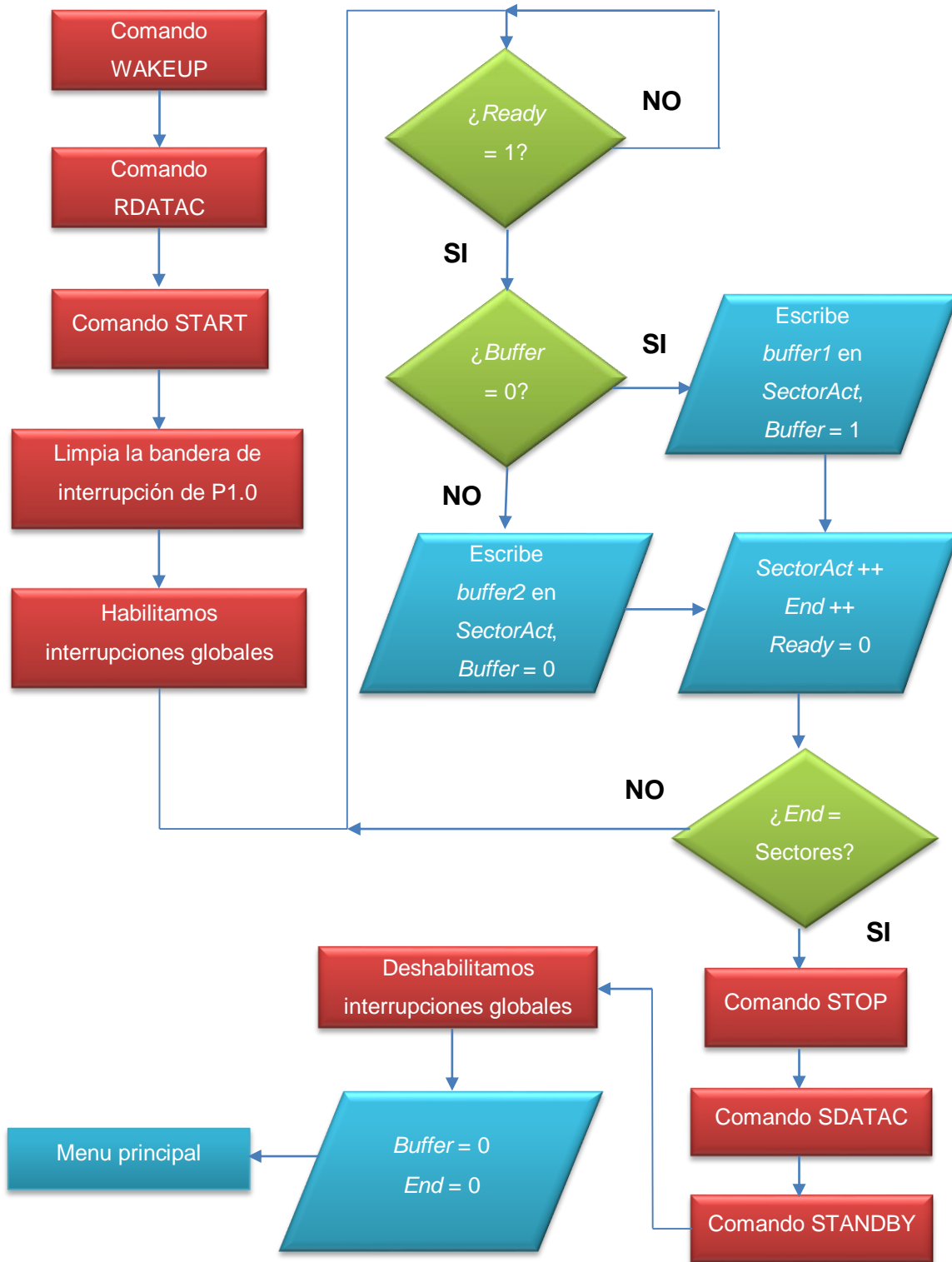


Fig. 3.24.- Diagrama de flujo de la adquisición y almacenamiento de los datos.

Posteriormente el algoritmo pregunta por la variable *Ready*, la cual indica si hay datos pendientes por guardar en la memoria SD. En caso de existir los datos, se evalúa el valor de *Buffer*, si es “0” escribe en la memoria los datos del primer *buffer* y si es “1” escribe los datos del segundo *buffer*. Estos datos son almacenados en la dirección del sector actual (variable *SectorAct*), el cual incrementa su valor cada vez que se escribe un bloque de datos. Al finalizar el envío del bloque a la memoria SD, se incrementa el valor de la variable *End*, que se encarga de llevar el conteo de sectores a escribir (comparando su valor con el número de sectores que se calculó con anterioridad) y se pone un valor de “0” a la variable *Ready* para esperar un nuevo bloque de datos.

Cuando el registro termina, se manda el comando STOP para detener todas las conversiones, seguido del comando SDATAC que detiene por completo el modo de lectura continua. El ADS1299 es configurado de nuevo en modo de bajo consumo al mandar el comando STANDBY. Finalmente se deshabilitan las interrupciones globales, se reinician las variables correspondientes y el dispositivo regresa al menú principal de la aplicación.

La rutina de interrupción tendrá lugar en el algoritmo cada vez que se presente el flanco de bajada en el pin P1.0. Las interrupciones permiten detener cualquier tarea que este ejecutando el microcontrolador, para realizar las tareas designadas a dicha interrupción. Básicamente, la ISR que se diseñó, obtiene los datos de conversión del ADS1299.

Primero, el pin ADS_CS encargado de la selección del ADS1299 para comunicaciones SPI, se pone en un estado lógico bajo. Ya que las comunicaciones SPI funcionan de manera concurrente, debemos enviar 27 bytes (todos con un valor de 00h, ya que solo se usan para desencadenar la transmisión) por el pin SIMO para poder recibir 27 bytes en el pin SOMI de la interfaz.

Dentro del servicio de interrupción, se evalúa el valor de la variable *Buffer* de la misma manera que en la rutina de la figura 3.23, solo que en este caso, decide entre guardar

los datos en el primer o segundo *buffer*. En este momento, los 3 bytes de STATUS de la conversión son desechados y solamente se guardan en los *buffers* la conversión de los canales. Al finalizar la transmisión, el pin ADS_CS se configura con estado lógico alto, indicándole al ADS1299 que las comunicaciones han terminado. Posteriormente, se evalúa si el *buffer* que está siendo llenado ha llegado a los 512 bytes; si esto se cumple, se modifica el valor de la bandera *Ready* con un estado lógico alto. De esta manera, al salir de la rutina de interrupción, el algoritmo anterior empezará la escritura de los datos en la memoria SD.

Finalmente la ISR borra la bandera de interrupción del puerto P1.0 para permitir interrupciones futuras en el algoritmo.

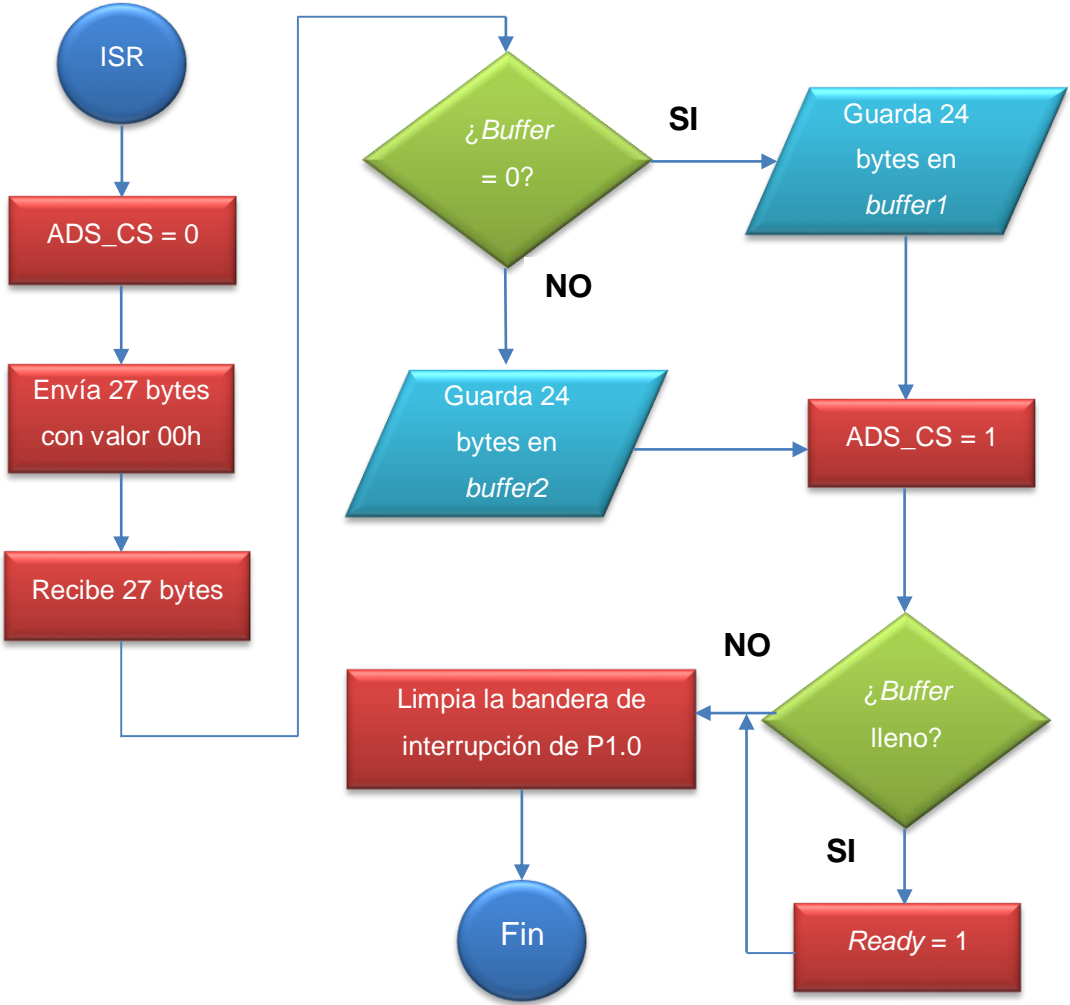


Fig. 3.25.- Diagrama de flujo de la rutina de interrupción.

3.5.7 Detección de falso contacto en electrodo

Detectar la conexión del electrodo en un paciente es esencial para la medición de señales biológicas. La medición precisa de la señal de EEG depende en gran medida de una conexión de baja impedancia, desde el cuerpo del paciente hasta el equipo de adquisición. El diseño de un electrodo húmedo se basa en el hecho de que la piel tiene una capa externa dieléctrica seca que requiere de geles conductores para establecer una trayectoria de conducción sólida entre el paciente y el equipo. Con el tiempo el gel puede llegar a secarse, aumentando la impedancia.

Detectar si en un electrodo está correctamente conectado se logra generalmente inyectando una señal de DC conocida en la interfaz analógica y monitoreando sus cambios al entrar en contacto con la señal de entrada. Usar una fuente de corriente (DC) es un método común para lograr esto. Si los electrodos están correctamente conectados, la señal de excitación tiene un impacto mínimo en la señal de EEG. Con el paso del tiempo, la impedancia entre el paciente y el dispositivo aumentará, llegando hasta el punto en el que el electrodo esté completamente desconectado. En ese momento, la señal de excitación estará alimentado las entradas de la interfaz analógica, indicando un falso contacto en el electrodo; la señal de entrada puede evaluarse con respecto a un voltaje de referencia mediante un comparador que indicará si la impedancia de la conexión sigue siendo correcta.

La implementación de la detección de falso contacto en electrodo requiere que el sistema tenga un camino de retorno para la señal de excitación transmitida. Este retorno puede ser la conexión de *bias* del dispositivo, ya que si no es conectada para cerrar el circuito, puede resultar en una detección errónea [36].

Dentro del ADS1299 la detección puede hacerse para cada canal de manera individual usando los registros LOFF_SENSP y LOFF_SENSN. La detección de falso contacto puede configurarse dentro del registro LOFF y se realizó con los parámetros mencionados en la sección 3.4.3, ya que demostraron que la detección se lleva a cabo

de manera correcta e inmediata. Los bits COMP_TH controlan los niveles del comparador, los bits ILEAD_OFF la magnitud de la corriente de excitación y los bits FLEAD_OFF el tipo de detección.

La salida del comparador se guarda en los registros LOFF_STATP y LOFF_STATN, cuyos valores son parte de la conversión dentro de los bits de STATUS, cada bit de estos registros corresponde a un canal, si el valor es de “0” el electrodo está conectado correctamente y “1” en caso contrario. Cuando la detección de falso contacto no es usada, el bit $\overline{\text{PD_LOFF_COMP}}$ es modificado con un valor de “0”, de esta manera se deshabilitan los comparadores del circuito.

El dispositivo muestra la detección con una interfaz gráfica, donde aparecen los ocho electrodos que se usaron para el registro de EEG.

3.5.8 Interfaz gráfica de usuario

Para la interfaz visual del dispositivo se utilizó una pantalla de cristal líquido modelo EA DOGS102x-6 de la empresa *Electronic Assembly*, que posee como principal característica un ultra bajo consumo (250 μA) y que cuenta con una resolución de 102x64 pixeles. La pantalla utiliza una interfaz SPI para la comunicación con el dispositivo maestro; el microcontrolador MSP430F5529 aprovecha esta característica y se conecta mediante el mismo puerto que la memoria SD (USCI B1), ya que ambos dispositivos pueden funcionar con la misma configuración de comunicación SPI.

La función principal de la interfaz de usuario es mostrar al usuario a través de una serie de pasos como configurar el registro de EEG. La interfaz permite ingresar el nombre que se desea para el archivo y posteriormente el tiempo que tendrá el registro en sí. También permite entrar en la configuración del ADS1299 para modificar la ganancia de los canales, la frecuencia de muestreo de los datos y el multiplexor que controla la entrada. La figura 3.26 muestra cómo están distribuidas las opciones de la interfaz gráfica de usuario.

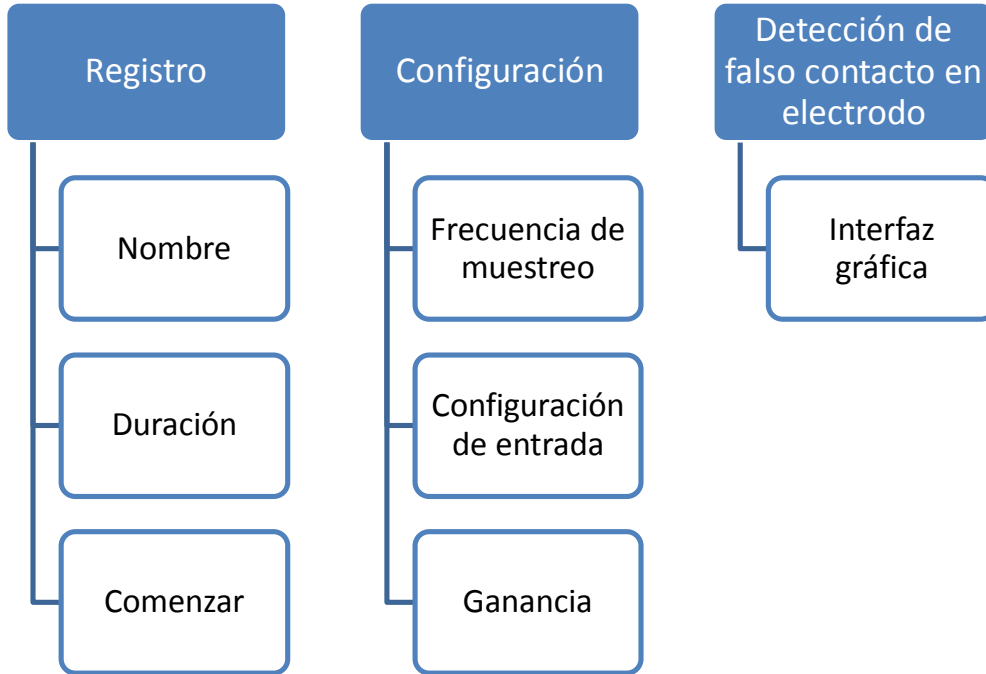


Fig. 3.26.- Diagrama de los menús de la interfaz gráfica.

En el menú para la detección de falso contacto en los electrodos, se muestra de manera gráfica la colocación de éstos en la cabeza del sujeto. Si el electrodo presenta una buena conexión, la interfaz indicará el estado del electrodo correspondiente, la figura 3.27a muestra la pantalla del dispositivo en este caso. Si la conexión es mala, la pantalla cambiará como se muestra en la figura 3.27b.

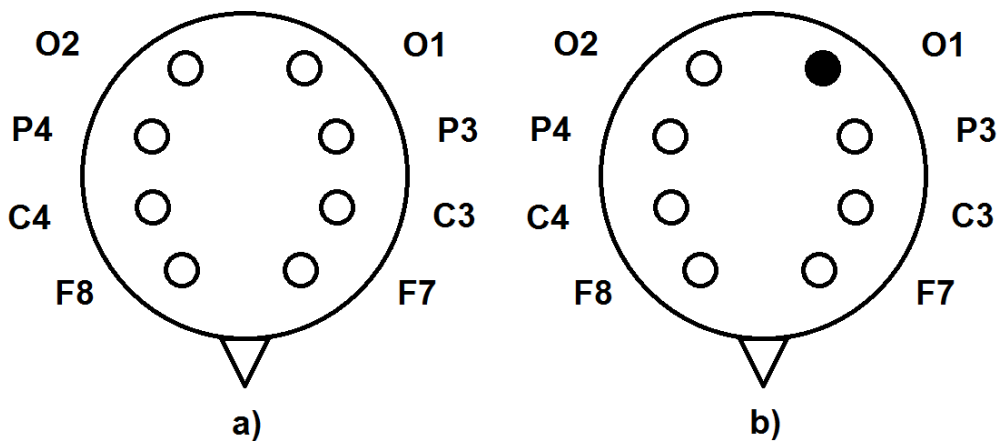


Fig. 3.27.- Interfaz de falso contacto de electrodo en el equipo.

3.6 Administración de energía

Para suministrar la energía necesaria al dispositivo, se utilizaron reguladores del tipo lineal, ya que usualmente son los más pequeños y los que producen menos ruido de los diferentes tipos de circuitos reguladores. Entre los reguladores lineales, se encuentran los reguladores de bajo *drop out* (LDO, por sus siglas en inglés). El voltaje *drop out*, es el voltaje necesario a la entrada del regulador para poder mantener un voltaje regulado a su salida. Por ejemplo, un regulador de 5 V que tiene un voltaje de *drop out* de 0.5 V, requiere un voltaje mínimo en su entrada de 5.5 V.

Para poder calcular el consumo que tendrá el dispositivo final y los voltajes de operación del mismo, se tomaron en cuenta las siguientes consideraciones. El ADS1299 necesita de una fuente para la sección analógica de 5 V y una fuente de 3.3 V para la sección digital. Los dispositivos restantes del sistema, como son el microcontrolador MSP430F5529, la pantalla de cristal líquido EA DOGS102x-6 y la memoria microSD operan con un voltaje de 3.3 V. Con esta información podríamos determinar el voltaje de los reguladores, pero es necesario tener en cuenta el consumo de corriente total de los componentes, para poder calcular la corriente que proporcionarán los LDO.

La siguiente información se obtuvo tomando en cuenta que el dispositivo estará en constante operación. El ADS1299 consume 7.14 mA en su sección analógica y 1 mA en su sección digital. El MSP430F5529 en modo activo con un cristal de 8 MHz consume 2.32 mA, sin embargo el dispositivo usa un cristal de 4 MHz, por lo tanto se tomó el valor superior más cercano indicado en la hoja de datos del microcontrolador. Por otro lado, la pantalla de cristal líquido consume un total de 250 μ A, y la memoria microSD tiene un consumo de 100 mA cuando escribe un sector.

La corriente que necesita la sección analógica del dispositivo será entonces la del ADS1299, más los dispositivos pasivos que utiliza el amplificador, por lo que se

propuso utilizar el LDO LP2985A-50 de *Texas Instruments*, el cual entrega una corriente de hasta 150 mA y un voltaje de *drop out* de 280 mV con carga máxima.

Para la sección digital, se debe tomar en cuenta que la memoria microSD no estará escribiendo constantemente. Por lo tanto, el consumo máximo cuando esté escribiendo la memoria microSD será de:

$$1 \text{ mA} + 2.32 \text{ mA} + 250 \text{ } \mu\text{A} + 100 \text{ mA} = 103.57 \text{ mA} \quad (12)$$

Mientras que el consumo en operación normal será de:

$$1 \text{ mA} + 2.32 \text{ mA} + 250 \text{ } \mu\text{A} = 3.57 \text{ mA} \quad (13)$$

Por lo tanto se propuso utilizar el LDO TPS79933 de *Texas Instruments*, que es capaz de entregar 200 mA, lo cual cubre las necesidades de la sección digital y posee un voltaje de *drop out* de 100 mV.

Si tomamos en cuenta el consumo de la sección analógica del ADS1299, la corriente total que necesitara el sistema cuando se esté escribiendo en la memoria microSD será de:

$$103.57 \text{ mA} + 7.14 \text{ mA} = 110.71 \text{ mA} \quad (14)$$

Y el consumo promedio del sistema en operación normal estará dado por:

$$3.57 \text{ mA} + 7.14 \text{ mA} = 10.71 \text{ mA} \quad (15)$$

Como se mencionó en la sección 3.5.6, la escritura de un sector será aproximadamente cada 76 ms y considerando que cada operación de escritura puede

llegar a tardar (en el peor de los casos) hasta 50 ms, se estimó que el 99% del tiempo el dispositivo estará en operación normal y el 1% del tiempo escribiendo sectores en la memoria. Por lo tanto, estimamos el consumo promedio del dispositivo escribiendo en la memoria microSD en:

$$(110.71 \text{ mA} \times .01) + (10.71 \text{ mA} \times 0.99) = 11.71 \text{ mA} \quad (16)$$

El dispositivo propuesto será portable, por lo tanto se propone el uso de baterías recargables como fuente de energía. El LDO de 5 V necesita de un voltaje mayor a 5.280 V, debido a su voltaje de *drop out* cuando se opera a su máxima capacidad. Por esta razón se utilizó un arreglo de 4 baterías recargables de NiMH, de las cuales dos eran modelo NH12 (AAA) de 1.2 V @ 700 mAh de la marca *Energizer®* y dos modelo NH-AAA HR11/45 de 1.2 @ 800 mAh de la marca *SONY®*, proporcionando en total 5.6 V y 3000 mAh. El tiempo total estimado que puede permanecer el equipo en operación será entonces de 256 horas.

3.7 Detección de batería baja

El ADS1299 nos da la opción de medir con el canal 1, 2, 5, 6, 7, y 8 la fuente de 5 V (AVDD) con respecto a tierra (AVSS), el voltaje presente en el canal estará dado por la ecuación 17.

$$Fuente_{5V} = 0.5 \times (AVDD + AVSS) \quad (17)$$

Lo cual significa un voltaje aproximado de 2.5 V si las baterías tienen su carga completa. La obtención de esta medición se hace solicitando una conversión al ADS1299 y comparando dicho valor con un umbral preestablecido. El umbral se estimó tomando en cuenta la curva de descarga de las baterías recargables. Con carga completa, las baterías recargables poseen un voltaje de 1.4 V, esto significa 5.6 V en total debido al arreglo de baterías usado. Dependiendo del consumo de corriente del

dispositivo, las baterías empezaran a descargarse estabilizando su voltaje en 1.25 V, hasta llegar a 1.2 V donde su voltaje caerá de manera abrupta, dando un total de 4.8 V. Por lo tanto, al llegar las baterías este punto, la correcta operación del dispositivo podría verse afectada.

El umbral que se estableció fue de 2.45 V (ecuación 17) ya que de esta manera aseguramos que el dispositivo funcionará correctamente hasta que el indicador de batería baja se active.

3.8 Diseño de la tarjeta de circuito impreso

El diseño de la tarjeta de circuito impreso se llevó a cabo en el software *EAGLE*®. La mayor parte de los componentes utilizados son de montaje superficial (SMD, por sus siglas en inglés), por ello se propuso diseñar un PCB con doble cara y aprovechar la mayor cantidad de espacio para reducir el tamaño del dispositivo.

Al diseñar un sistema que mezcla componentes digitales (MSP430F5529) y componentes analógicos (ADS1299), se debe tener especial cuidado, ya que las pistas en la tarjeta de circuito impreso que contengan señales digitales, no deben cruzarse con las pistas que contengan señales analógicas en ellas. Cuando las pistas digitales están cerca de las pistas analógicas, aun cuando no exista conexión directa, la capacitancia parásita del PCB acoplará ruido de alta frecuencia (de cualquier pista cercana que contenga una señal que cambie rápidamente) a la pista analógica. Entre más rápido cambie esta señal, mas interferirá con la señal analógica.

Otro aspecto contemplado fue la separación de planos de tierra analógicos y digitales, ya que aunque estén en la misma cara del PCB, las corrientes de retorno de ambos planos no deben cruzarse. Esto se logra separando físicamente los componentes y agrupándolos en cierta área del PCB. En el prototipo ambos planos están conectados en un solo punto mediante una resistencia de 0 Ω .

Los controles del dispositivo se implementaron mediante dos interruptores con pulsador para seleccionar y regresar dentro de los menús del dispositivo, y un potenciómetro para la navegación en la interface. En la parte posterior del equipo se encuentra un botón SMD, que sirve para reiniciar el dispositivo en caso de alguna falla. También cuenta con su respectivo interruptor corredizo para el encendido y apagado del sistema.

El dispositivo cuenta con tres diodos emisores de luz (LED, por sus siglas en ingles), un LED de color azul para indicar que el equipo se encuentra encendido, un LED de color verde para indicar que el registro actual ha finalizado y finalmente un LED rojo para indicar que la batería del equipo necesita ser reemplazada.

Para aumentar la flexibilidad del equipo, se agregó un conector JTAG para la programación mediante la interfaz de depuración MSP-FET430UIF y así permitir futuras modificaciones al firmware del sistema. Junto a este conector se encuentra el *jumper* JP1, el cual deberá estar en la posición de color rojo para programar el microcontrolador y en la posición azul si se desea operar el dispositivo de manera normal, tal como se muestra en la figura 3.28.

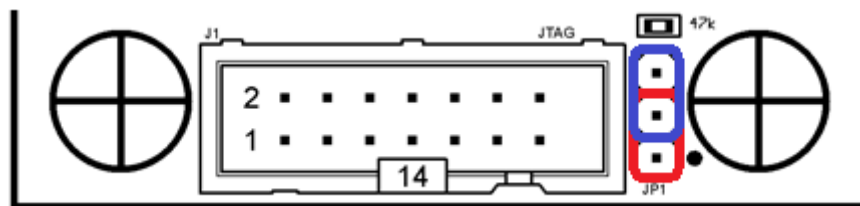


Fig. 3.28.- Posición del *jumper* JP1.

Para conectar los electrodos se usó un conector tipo molex, el cual está colocado en la parte superior del equipo (figura 3.29).



Fig. 3.29.- Vista superior del equipo.

Se utilizó una gorra para EEG de la marca *Electro-Cap International* de tamaño mediano (54 – 58 cm de circunferencia), la cual ya trae incorporados los electrodos, facilitando el posicionamiento de éstos en el sujeto.

El diseño final del dispositivo se muestra en la figura 3.30, el cual tiene un tamaño de 92 mm de largo, 58 mm de ancho y 27 mm de alto.



Fig. 3.30.- Prototipo final.

Los elementos del prototipo final que se muestra en la figura 3.30 se describen a continuación: A) Interruptor de encendido, B) Conexión de electrodos, C) y D) Botones para operar el dispositivo, E) Potenciómetro de navegación, F) Ranura para memoria microSD, G) Indicadores luminosos, H) Pantalla de cristal líquido.

3.9 Colocación de los electrodos

El dispositivo cuenta con un total de 10 electrodos, de los cuales 8 son para el registro de EEG, 1 para la referencia del sistema y 1 para el circuito de polarización o *bias*. Los electrodos utilizados se colocaron en los puntos F7, F8, C3, C4, P3, P4, O1 y O2 de acuerdo al sistema 10 – 20 internacional de electroencefalografía (figura 3.31).

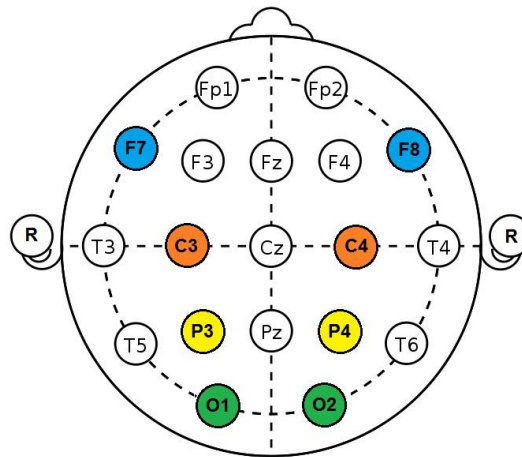


Fig. 3.31.- Colocación de los electrodos de acuerdo al sistema internacional 10 – 20.

La configuración propuesta se debe a que los potenciales evocados se generan principalmente en el área de la corteza visual, en el área del vértex y en la corteza motora [3]. Esta misma configuración de electrodos es recomendada por la *American Academy of Sleep Medicine (AASM)* y es válida para realizar registros del sueño.

La tabla 3.16 muestra la relación que hay entre el canal del ADS1299 y la posición del electrodo correspondiente.

Tabla 3.16.- Relación de canales y posición del electrodo.

Canal del ADS1299	Posición en el sistema 10 – 20
1	F8
2	F7
3	P4
4	P3
5	C4
6	C3
7	O2
8	O1

El electrodo de referencia, está construido por la unión de dos electrodos que van conectados a los lóbulos de las orejas del sujeto. Finalmente el electrodo de *bias* puede ir conectado a la parte posterior de la cabeza del sujeto, en la vértebra prominente.

3.10 Interfaz de usuario

La interfaz propuesta, se desarrolló dentro del software *Matlab*® con la herramienta *GUI* que tiene incorporada. Su función principal es la de interpretar los datos que almacena el dispositivo en la memoria microSD, ya que como se mencionó en la sección 3.1.3 los datos de la conversión del ADS1299 están en formato binario complemento a 2. El algoritmo diseñado, se encarga de convertir los datos a valores decimales, multiplicándolos por el valor del LSB = $[V_{REF} / (2^{23} - 1)]$. Si el voltaje de referencia usado en el dispositivo es de 4.5 V, tenemos que:

$$4.5 V / (2^{23} - 1) = 0.53644 \mu V \quad (17)$$

Después de la conversión, el algoritmo se encarga de aplicar los filtros necesarios para remover la interferencia de 60 Hz y delimitar el ancho de banda como se menciona en la sección 2.3.

La interfaz es muy simple, el usuario debe de presionar el botón “Buscar” para navegar en el explorador de *Windows* y agregar el archivo guardado en el dispositivo. Una vez seleccionado, se debe presionar el botón “Procesar” y esperar a que el algoritmo finalice las operaciones, al terminar aparecerá una ventana emergente que solicitará al usuario el nombre del nuevo archivo creado por *Matlab®*, el cual contendrá las variables con la información de cada uno de los canales. El botón “Cargar” nos permite agregar registros que se procesaron con anterioridad para su visualización. Adicionalmente la interfaz nos permite modificar la frecuencia de muestreo, ya que el dispositivo permite seleccionar entre dos tasas de muestreo, 250 y 500 Hz.

La figura 3.32 muestra la interfaz de usuario diseñada, la ventana principal nos permite observar los 8 canales simultáneamente. Si se desea analizar un canal por separado, se pueden presionar los botones con el nombre del electrodo correspondiente. Entre los controles tenemos la barra de desplazamiento inferior, que nos permite mover el registro en el tiempo y la barra lateral, que nos permite aumentar o disminuir el número de muestras que se despliegan en la pantalla principal.

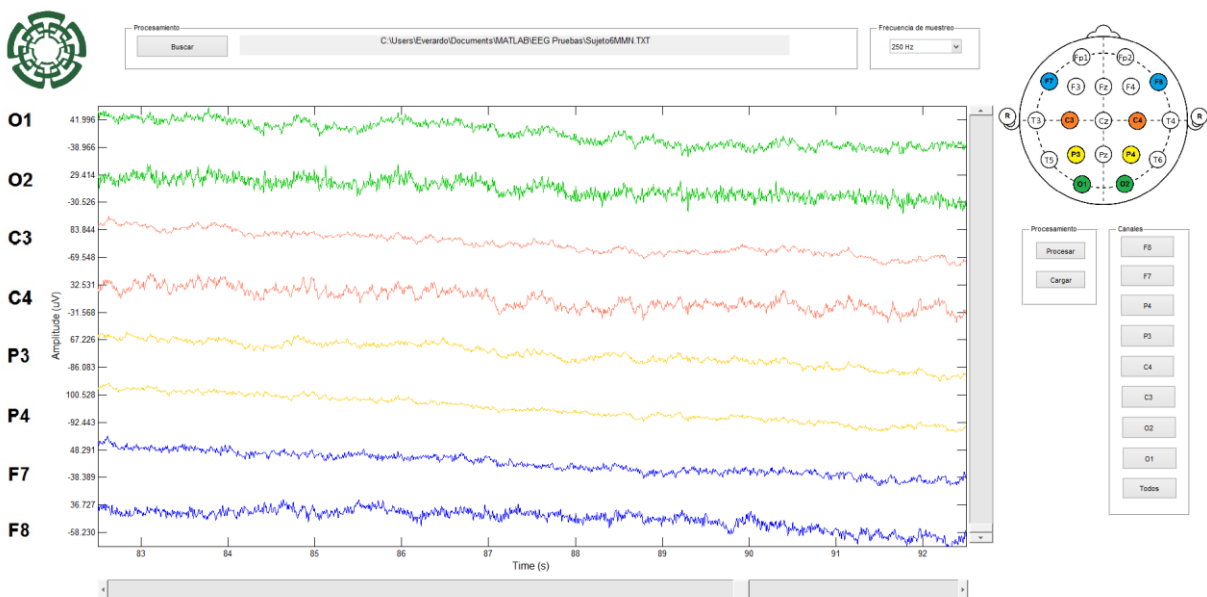


Fig. 3.32.- Interfaz gráfica de usuario.

4. PRUEBAS Y RESULTADOS

Con el propósito de caracterizar el desempeño del sistema, se realizaron diferentes pruebas dentro del laboratorio, que incluyeron el uso del siguiente equipo:

- ✚ Osciloscopio digital modelo DSO3062A de *Agilent Technologies*.
- ✚ Generador de funciones modelo AFG 3021B de *Tektronix*.
- ✚ Computadora con procesador Intel® Core™ i5 U470 @ 1.33 Ghz, 4GB de RAM.
- ✚ Multímetro digital modelo 177 de *Fluke*.

Las pruebas realizadas para la caracterización consistieron en la obtención del ancho de banda del sistema, medición del CMRR de cada canal y consumo de energía del dispositivo.

Posteriormente se tomaron registros electroencefalográficos a 6 sujetos, siguiendo los protocolos usados en estudios de potenciales evocados visuales, mediante el paradigma *Oddball* y *Mismatch Negativity*. Finalmente, se realizó un registro de larga duración con la señal de prueba generada internamente en el ADS1299 para determinar la duración máxima de la batería del equipo en operación continua.

4.1 Ancho de banda

Como se había mencionado en la sección 2.3.2, el uso de los convertidores delta-sigma, nos ofrece una gran flexibilidad al permitirnos manipular de manera libre las señales a su entrada, gracias a la eliminación de etapas de filtrado necesarias en la cadena de amplificación. Con esto se facilita la tarea de eliminar interferencias que interfieren con el análisis de dichas señales. El dispositivo entrega la conversión por el bus SPI sin filtrado alguno, es por esto que los filtros fueron implementados de manera digital en el software *Matlab*®.

Dentro de las características recomendadas por la Federación Internacional de Psicología Clínica [18] encontramos que la señal debe de contar con un filtro pasa-altas con una frecuencia de corte 0.16 Hz y un filtro pasa-bajas con frecuencia de corte en 70 Hz.

Para la implementación de estas etapas, se utilizaron filtros tipo FIR; conocidos por tener una fase con respuesta lineal [37], con la función *fir1* de *Matlab*®, la cual crea un filtro con la frecuencia de corte especificada.

Para obtener los valores reales del sistema, se conectó el osciloscopio a cada una de las entradas del dispositivo con una ganancia de 1 y se inyectó una señal senoidal de 1 V_{PP} con un barrido de frecuencias de 0.05 Hz a 75 Hz. Para obtener el resultado, se realizaron registros con el dispositivo con una duración de 5 – 30 segundos; esta variación es debida a las frecuencias tan bajas que requiere el ancho de banda del sistema. La gráfica 4.1 muestra la respuesta en frecuencia teórica del filtro pasa-altas del sistema en comparación con la respuesta real del filtro propuesto con una frecuencia de corte de 0.16 Hz.

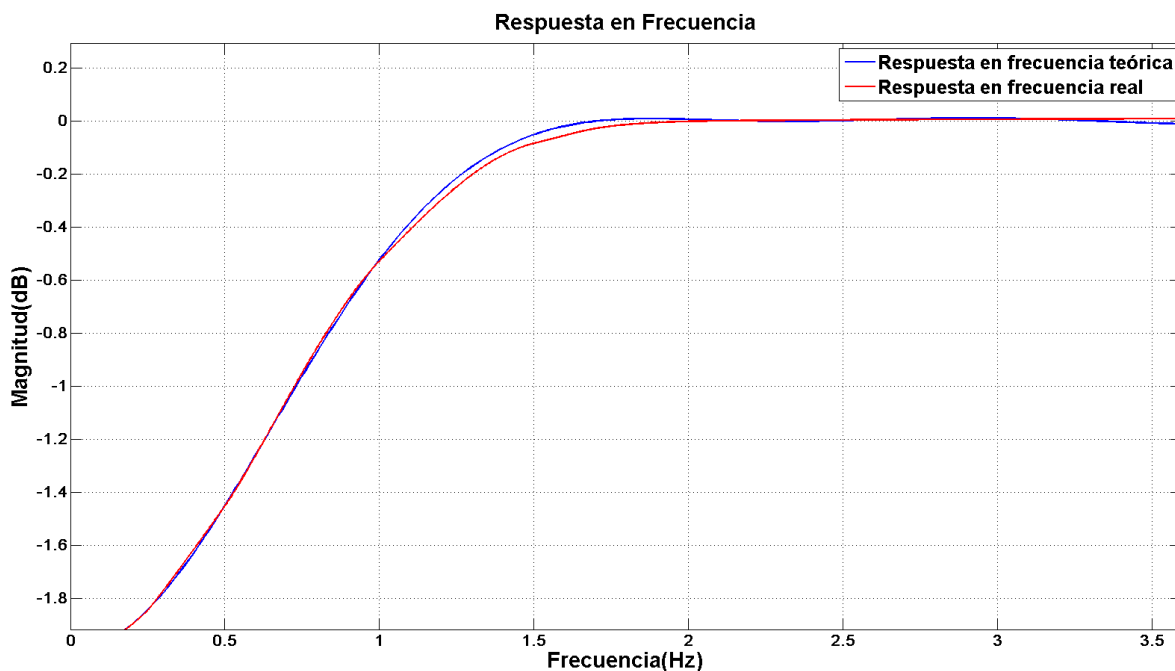


Fig. 4.1.- Respuesta en frecuencia del filtro pasa-altas teórica y real.

En la figura 4.2, se muestra la respuesta en frecuencia teórica del filtro pasa-bajas en comparación con la respuesta real del filtro a una frecuencia de corte de 70 Hz.

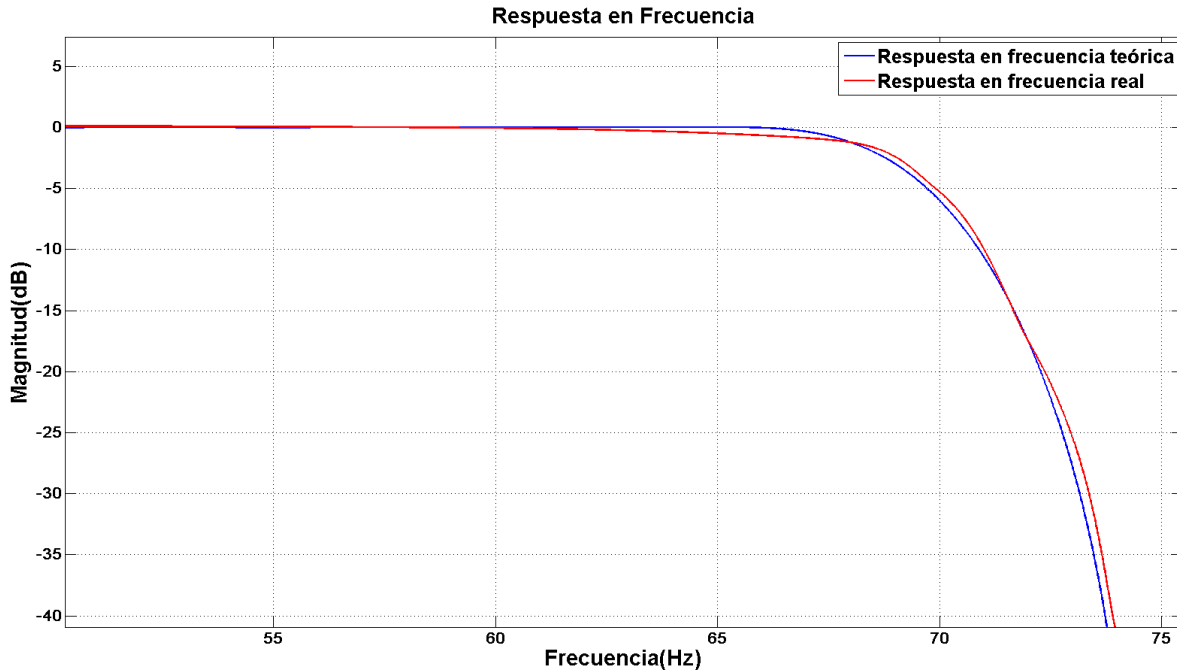


Fig. 4.2.- Respuesta en frecuencia del filtro pasa-bajas teórica y real.

4.2 CMRR

Un amplificador operacional ideal, genera una salida que es igual a la diferencia entre las dos señales a su entrada. Cuando alguna interferencia está presente en ambas entradas del amplificador, se le llama señal de modo común. La característica para rechazar estas señales de un amplificador operacional es llamada rechazo de modo común y permite que las señales como la interferencia que se acopla al sujeto proveniente de la línea eléctrica, sean eliminadas antes de llegar a la salida del amplificador. La relación de rechazo en modo común (CMRR, por sus siglas en inglés) se define como el cociente entre la amplitud de la señal de modo común y la amplitud de la señal diferencial, expresada en dB. Entre mayor es el CMRR, más eficiente es el amplificador y menos señales comunes llegarán a la salida del mismo [5].

Para obtener el CMRR del sistema, primero se calculó la ganancia en modo diferencial, inyectando una señal senoidal a cada uno de los canales, con una amplitud de 20 mV_{PP} y un barrido de frecuencias de 0.1 a 80 Hz. Posteriormente se calculó la ganancia en modo común, inyectando una señal senoidal con una amplitud de 4 V_{PP} con el mismo barrido de frecuencias. Los valores para calcular el CMRR, se obtuvieron de la misma manera para la tarjeta ADS1299EEG-FE, la figura 4.3 muestra la comparación del CMRR del dispositivo y la tarjeta de desarrollo.

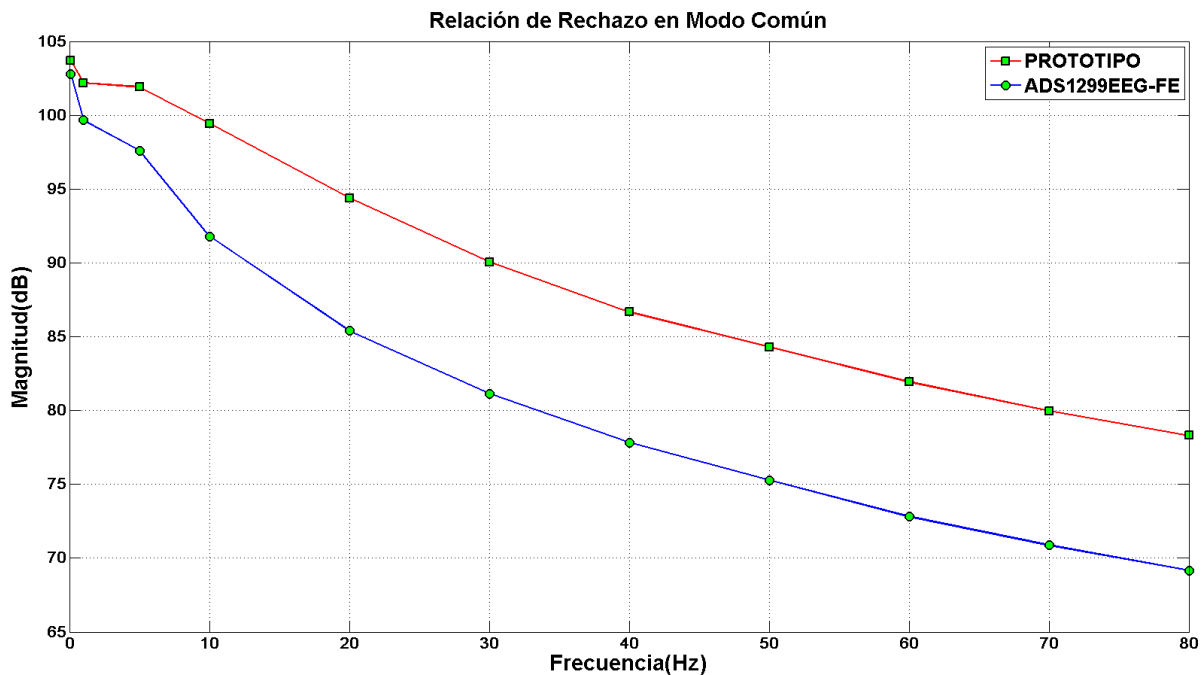


Fig. 4.3.- Comparación entre CMRR del prototipo y CMRR de la tarjeta ADS1299EEG-FE.

4.3 Interferencia de la línea eléctrica

La interferencia que tenía mayor presencia en los registros de EEG que se realizaron con el prototipo, fue la generada por la línea eléctrica, ya que al colocar un electrodo en el cuerpo del sujeto la interferencia de 60 Hz se presenta. Para eliminarla se usó un filtro *notch*, el cual atenúa las frecuencias de 58 Hz a 62 Hz. La figura 4.4, muestra la respuesta en frecuencia del filtro diseñado en *Matlab*®.

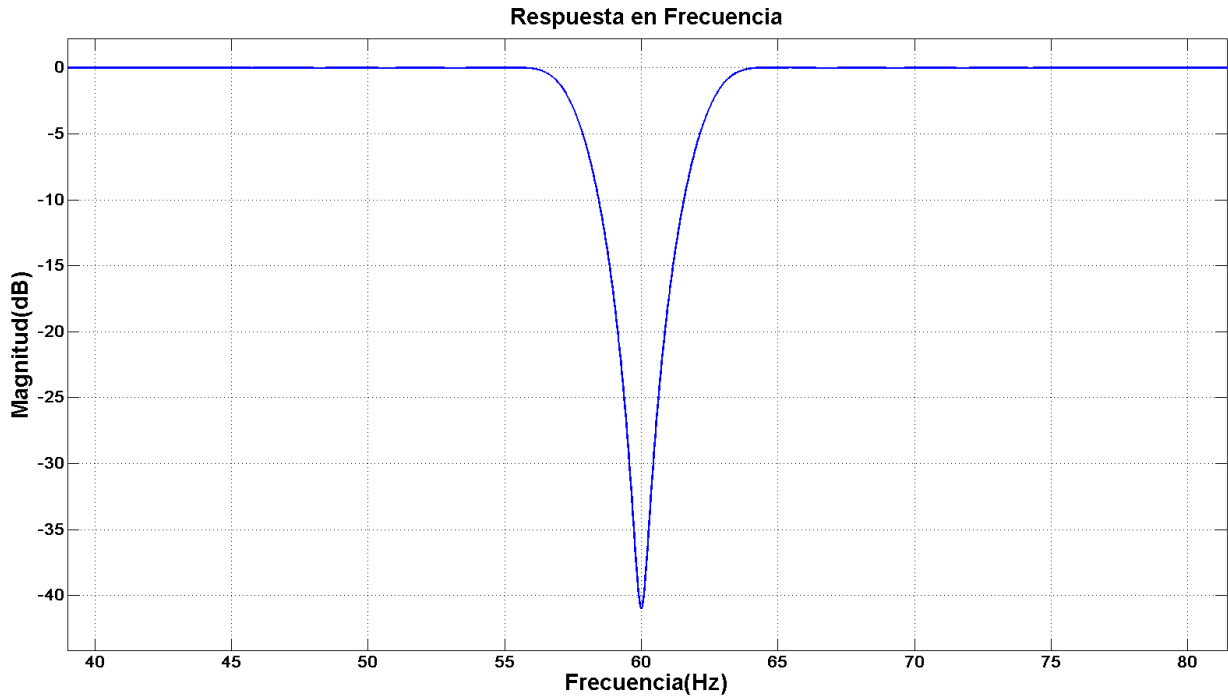


Fig. 4.4.- Respuesta en frecuencia del filtro *Notch*.

La característica principal de este filtro es que al aproximarse la señal de entrada a 60 Hz, su amplitud se reduce a casi 0, asimilando una “muesca” en su respuesta en frecuencia.

En la figura 4.5 se encuentra la comparación entre la señal filtrada y sin filtrar, la gráfica de color azul corresponde al EEG sin utilizar el filtro *notch* y la gráfica de color rojo la señal que resulta después de aplicar dicho filtro.

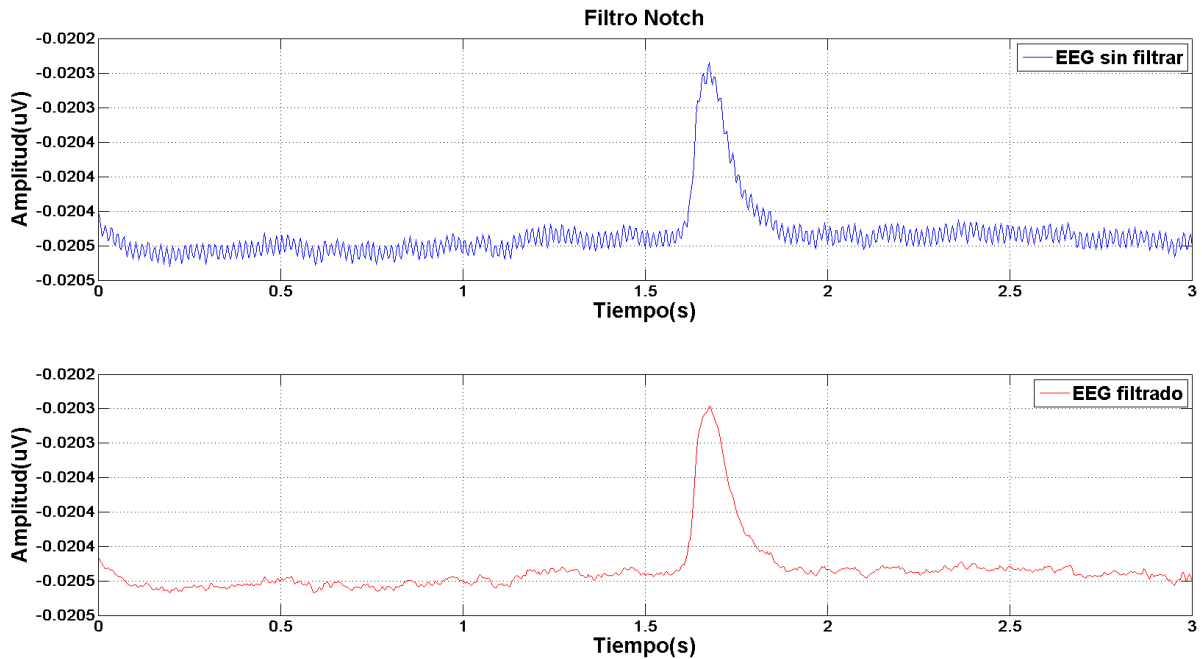


Fig. 4.5.- Comparación entre señal EEG sin filtrar y filtrada.

4.4 Registro de larga duración

Para comprobar el funcionamiento del sistema, se realizaron registros de 12 horas, ya que el sistema no monitorea la batería durante un registro de EEG. Esta prueba nos permitió determinar el tiempo que puede permanecer el dispositivo en operación. Las pruebas se realizaron con una ganancia de 1 en todos los canales y una frecuencia de muestreo de 250 Hz. La señal de prueba interna del ADS1299 se utilizó para el registro.

En total se realizaron 4 registros de 12 horas, sin embargo se lograron realizar registros posteriores de 1 hora, hasta que el dispositivo activó el LED de batería baja. En total se mantuvo el equipo operando por 52 horas, las figuras 4.6, 4.7 y 4.8 muestran segmentos de la señal en diferentes intervalos de tiempo.

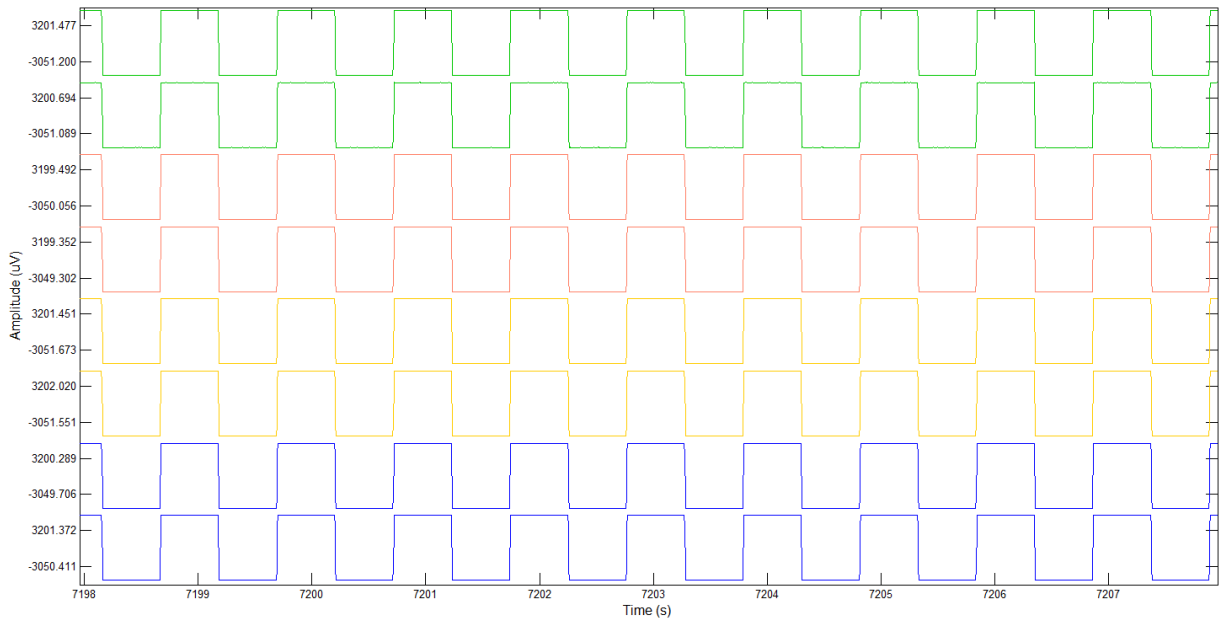


Fig. 4.6.- Señal de prueba a 2 horas de haber comenzado el registro.

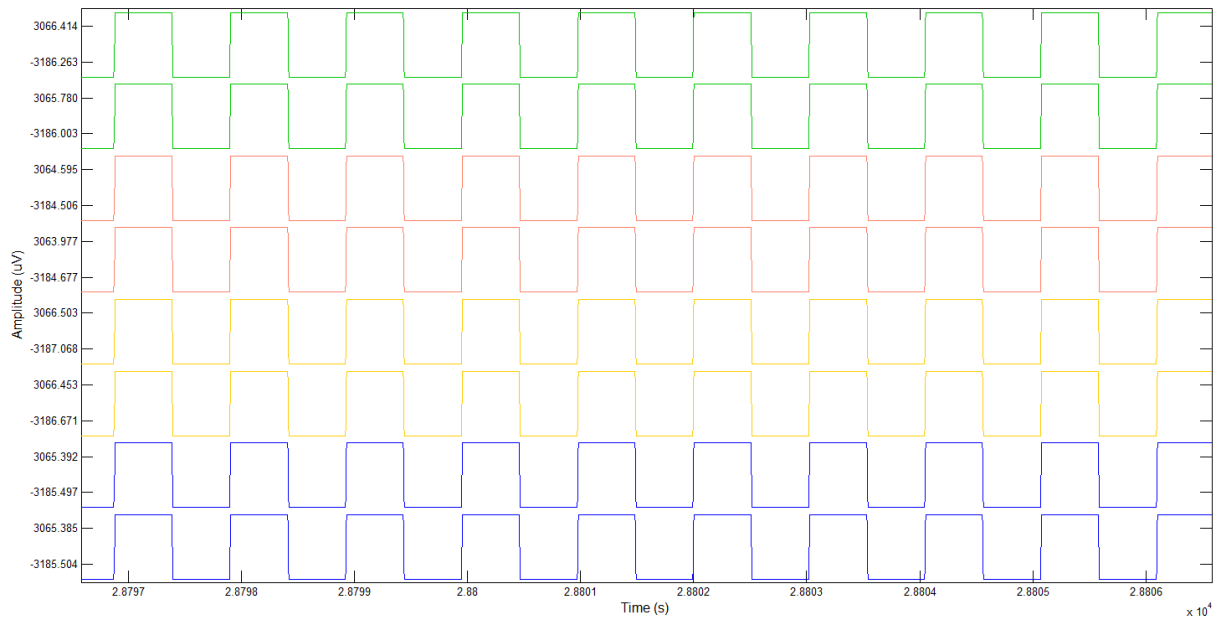


Fig. 4.7.- Señal de prueba a 8 horas de haber comenzado el registro.

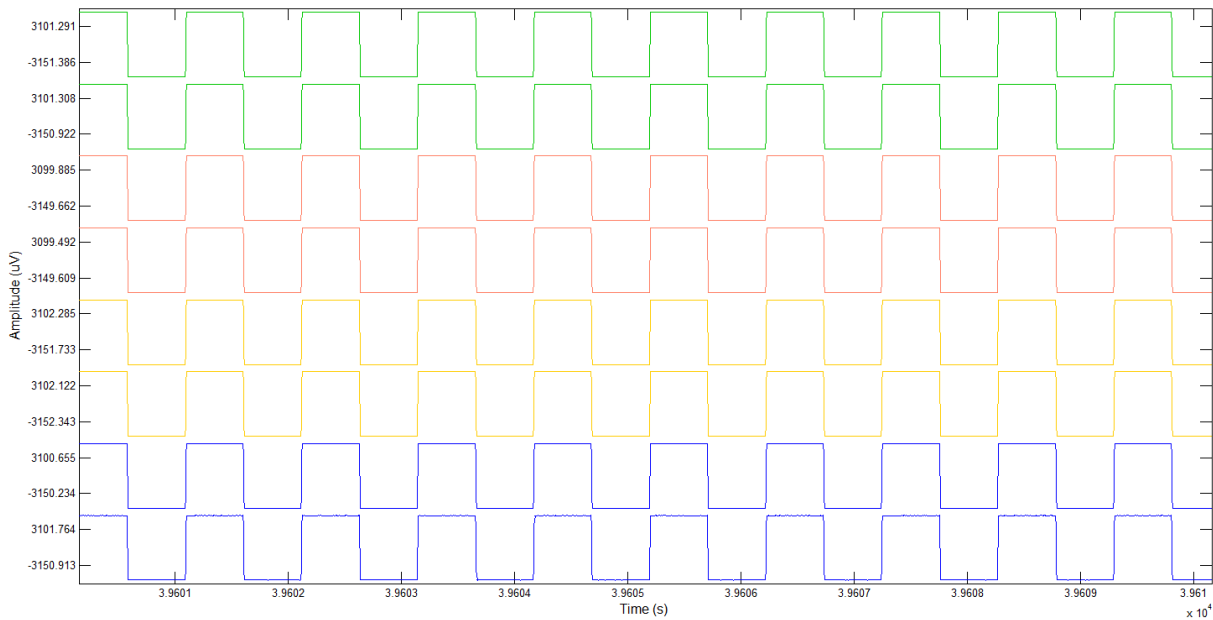


Fig. 4.8.- Señal de prueba a 11 horas de haber comenzado el registro.

El algoritmo ocupó un total de 24 minutos en procesar uno de los registros de 12 horas obtenidos.

4.5 Registros de electroencefalografía

Los registros de EEG se realizaron a 6 sujetos sanos (4 hombres y 2 mujeres) de edades entre 25 y 32 años. Los electrodos se colocaron como se mencionó en la sección 3.9 y como conductor se utilizó *Electro-Gel™* de la marca *Electro-Cap International*. Los registros que a continuación se presentan, se realizaron pidiendo al paciente realizar ciertas tareas empleadas para estudios de potenciales evocados, sin embargo, el análisis de las señales para la obtención de éstos no se realizó. Los resultados fueron útiles para comprobar el buen funcionamiento del equipo al tomar registros de electroencefalografía.

La primera prueba se realizó mediante el protocolo *Oddball*, el cual fue detallado en la sección 2.2.1. Se le pidió al sujeto concentrar su atención en la pantalla de la computadora y observar un video que contenía una serie de figuras (estímulo estándar), entre los cuales, tenía que identificar un cuadrado de color negro (estímulo objetivo), mediante un pequeño golpe con su mano. El video contenía un total de 90

estímulos, de los cuales 15 eran cuadrados negros y 75 figuras aleatorias. Las figuras 4.9, 4.10, 4.11, 4.12, 4.13 y 4.14 muestran segmentos de los registros obtenidos, cuyas señales están distribuidas en el siguiente orden: O1, O2, C3, C4, P3, P4, F7, F8, de arriba hacia abajo.

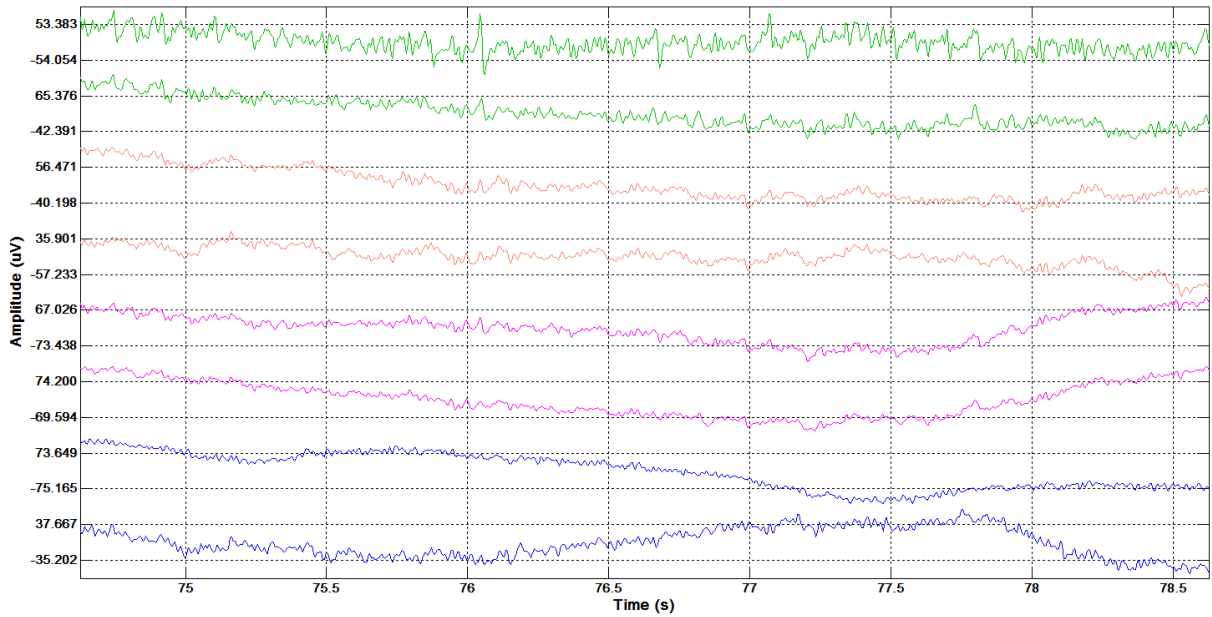


Fig. 4.9.- Sujeto 1, protocolo P300.

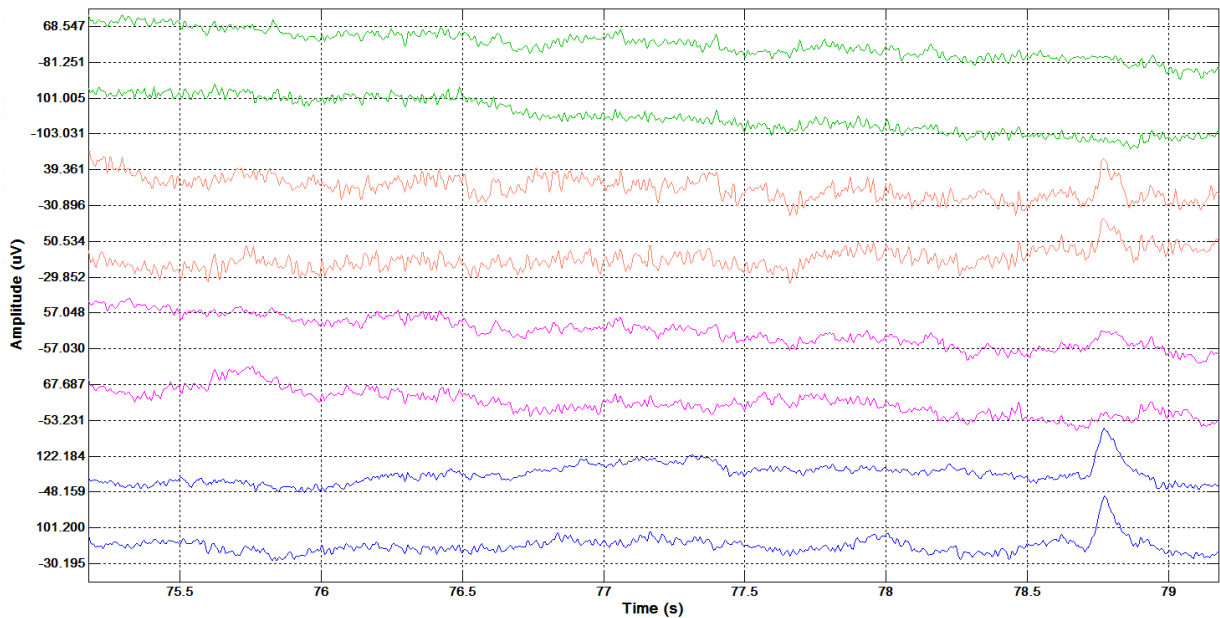


Fig. 4.10.- Sujeto 2, protocolo P300.

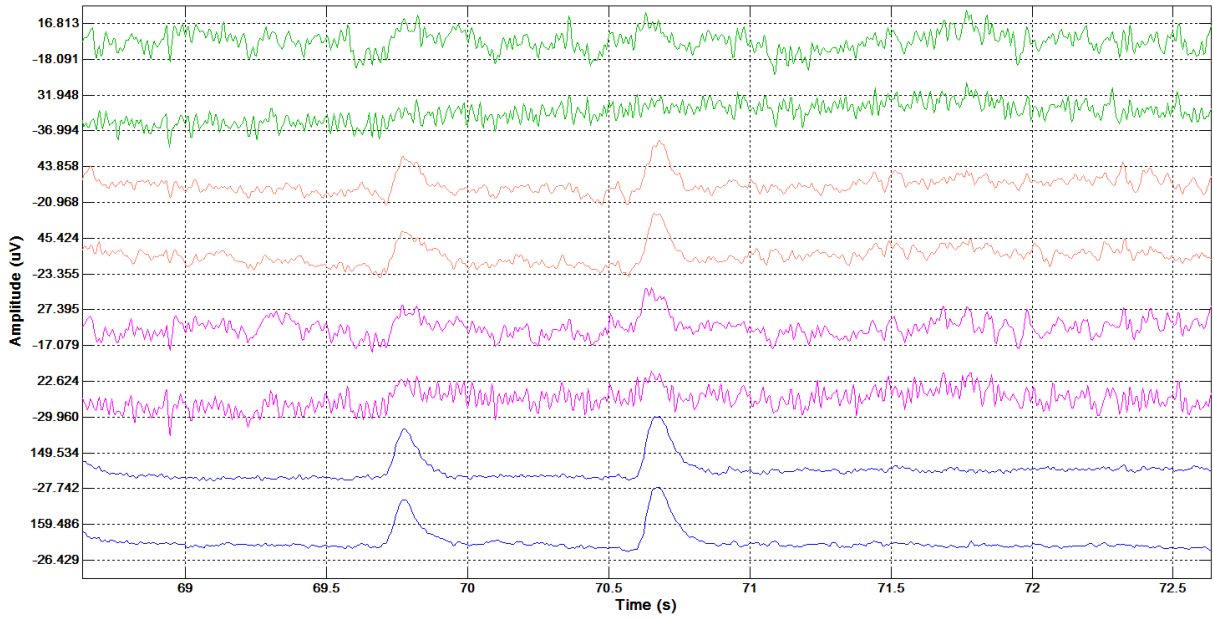


Fig. 4.11.- Sujeto 3, protocolo P300.

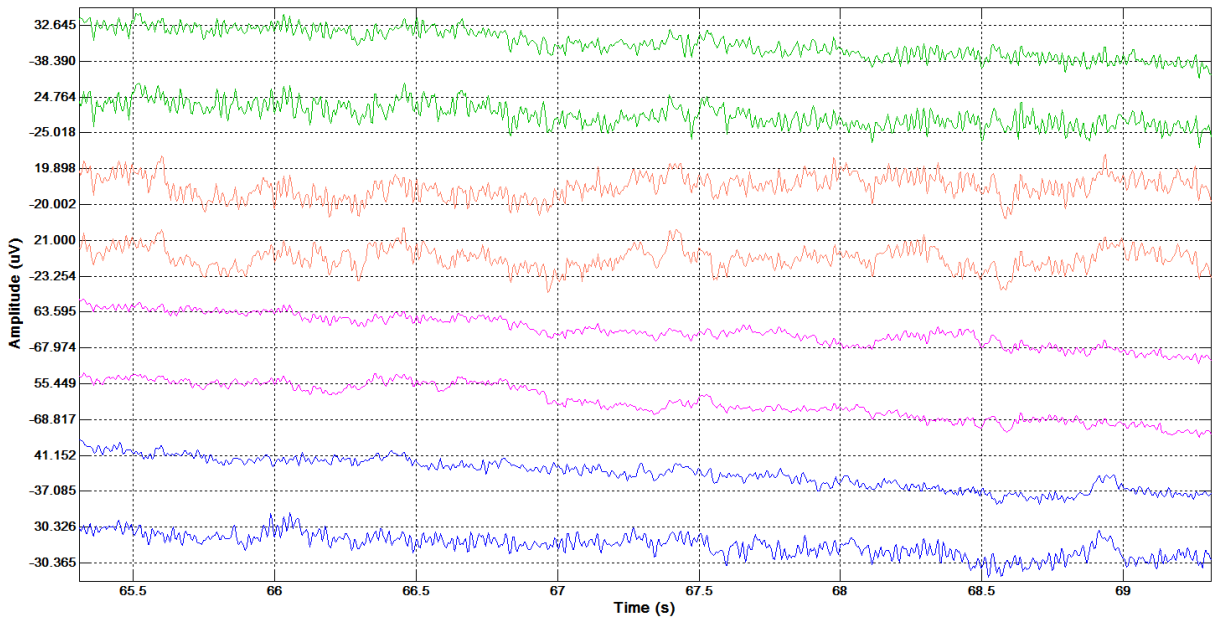


Fig. 4.12.- Sujeto 4, protocolo P300.

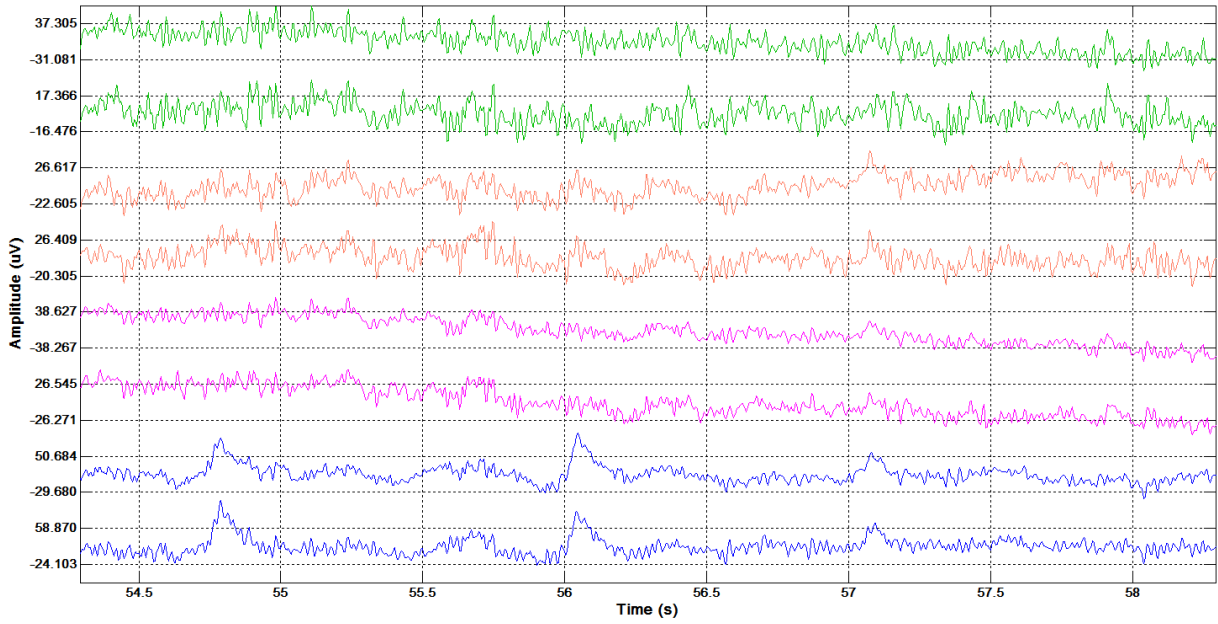


Fig. 4.13.- Sujeto 5, protocolo P300.

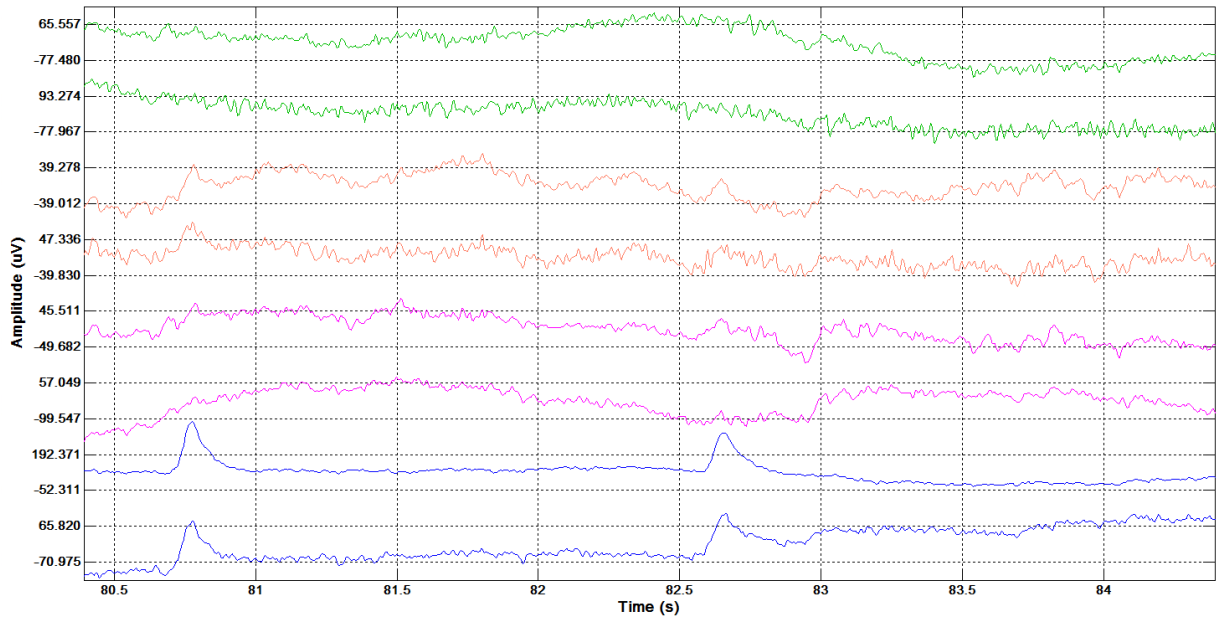


Fig. 4.14.- Sujeto 6, protocolo P300.

La segunda prueba se realizó siguiendo el protocolo *Mismatch Negativity*, pidiendo al sujeto que concentrara su atención en la pantalla de la computadora. Al igual que en el protocolo anterior, el sujeto observó un video que consistía en una serie de estímulos

repetitivos (cuadrado de color negro) y ocasionalmente un estímulo objetivo (circulo azul). Las figuras 4.15, 4.16, 4.17, 4.18, 4.19 y 4.20 muestran segmentos de los registros obtenidos.

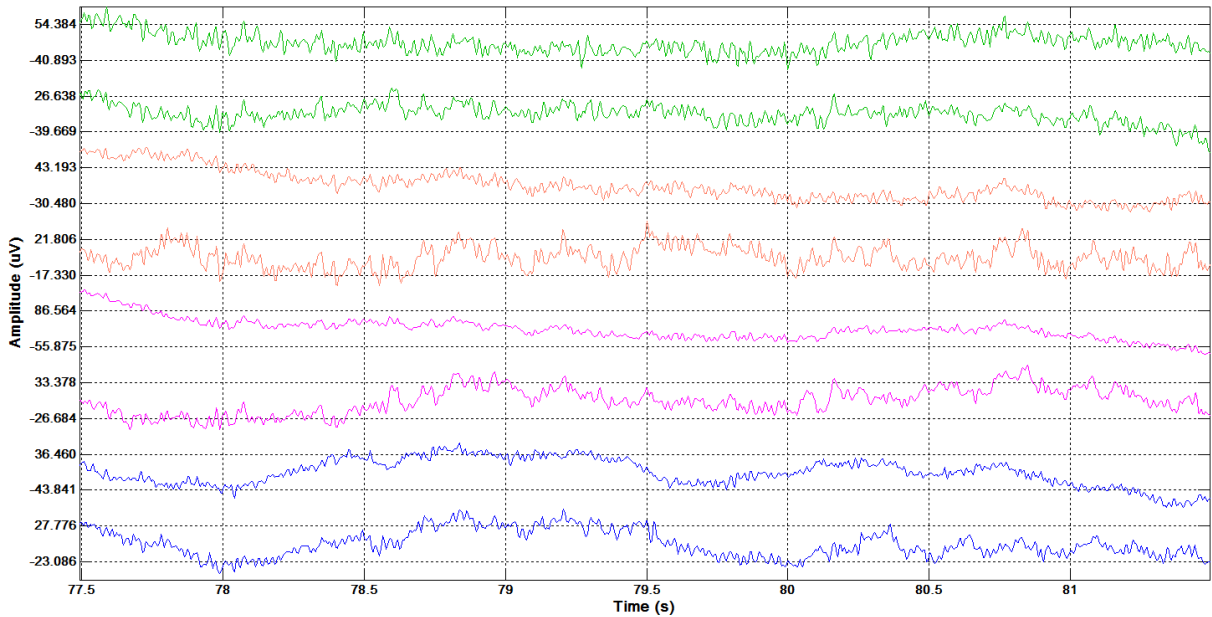


Fig. 4.15.- Sujeto 1, protocolo MMN.

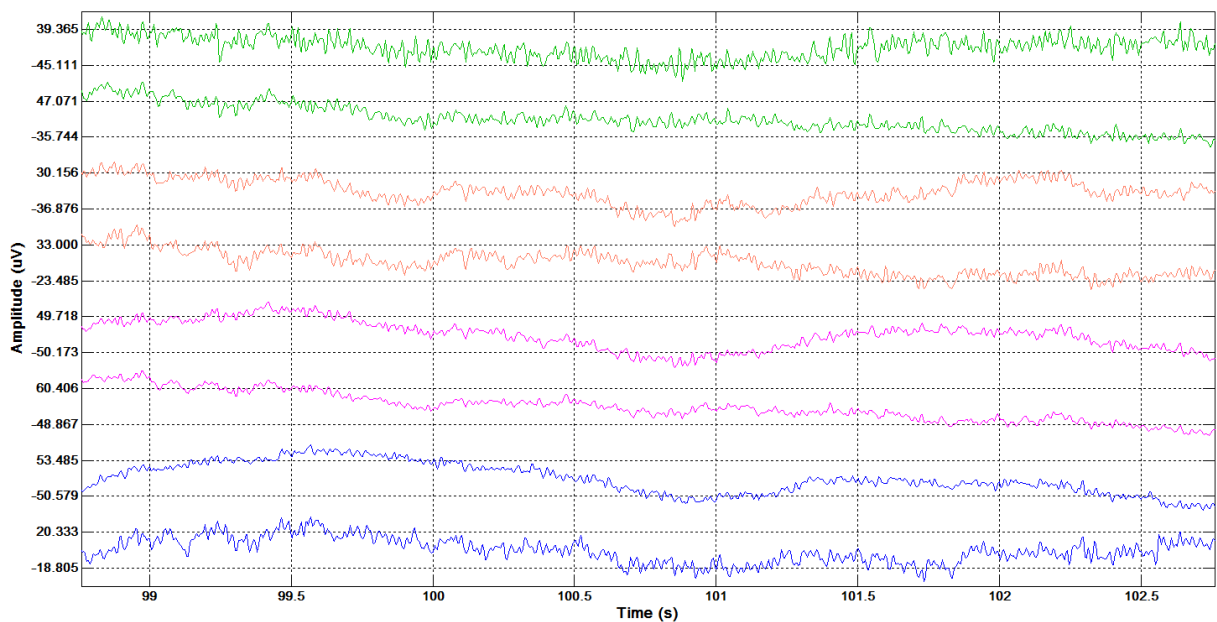


Fig. 4.16.- Sujeto 2, protocolo MMN.

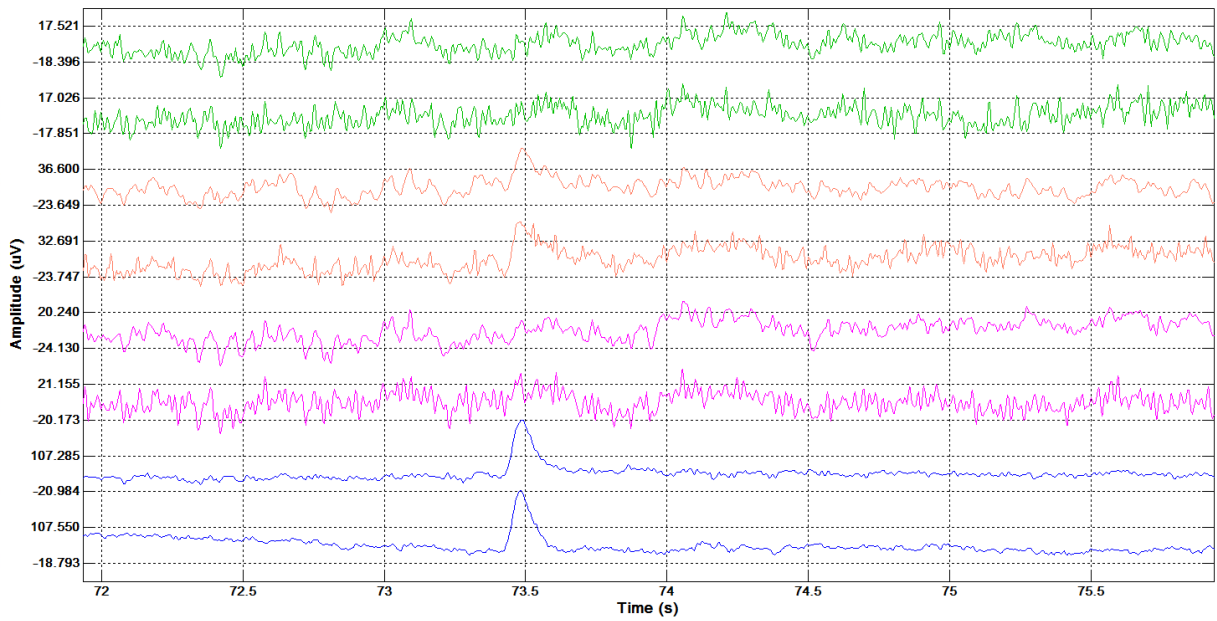


Fig. 4.17.- Sujeto 3, protocolo MMN.

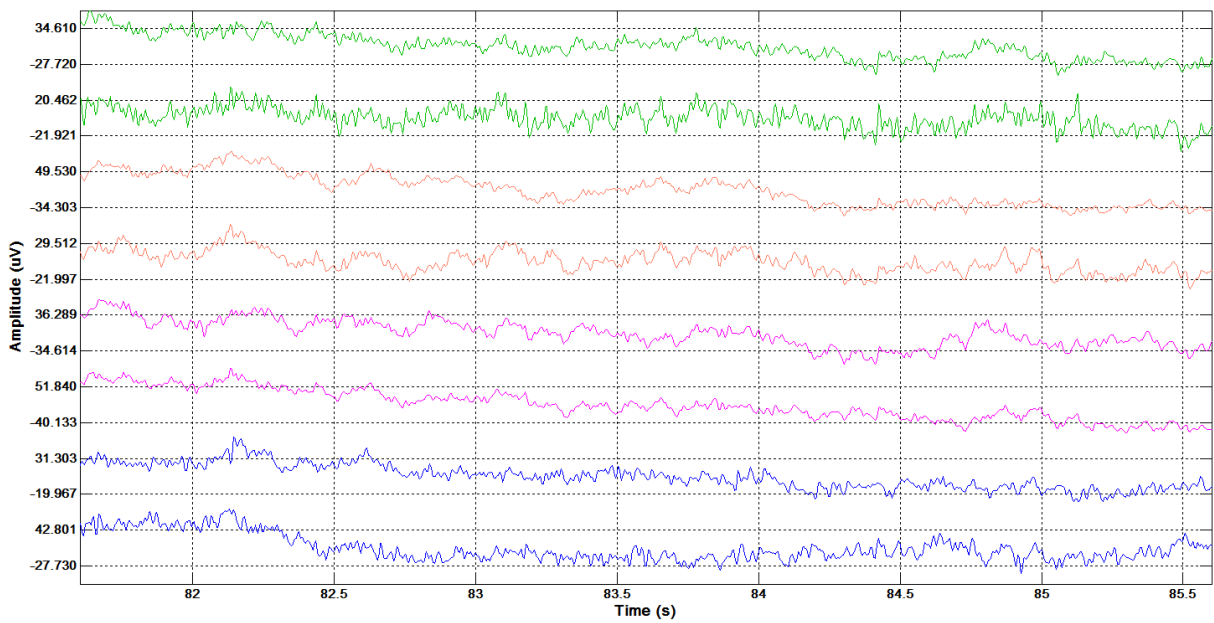


Fig. 4.18.- Sujeto 4, protocolo MMN.

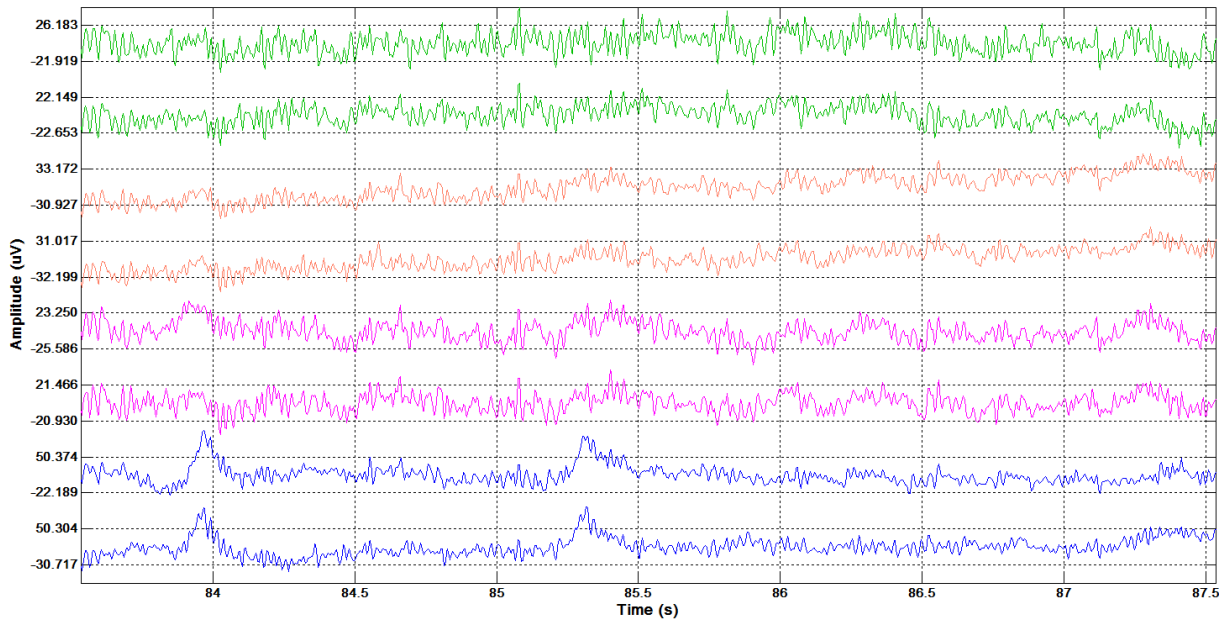


Fig. 4.19.- Sujeto 5, protocolo MMN.

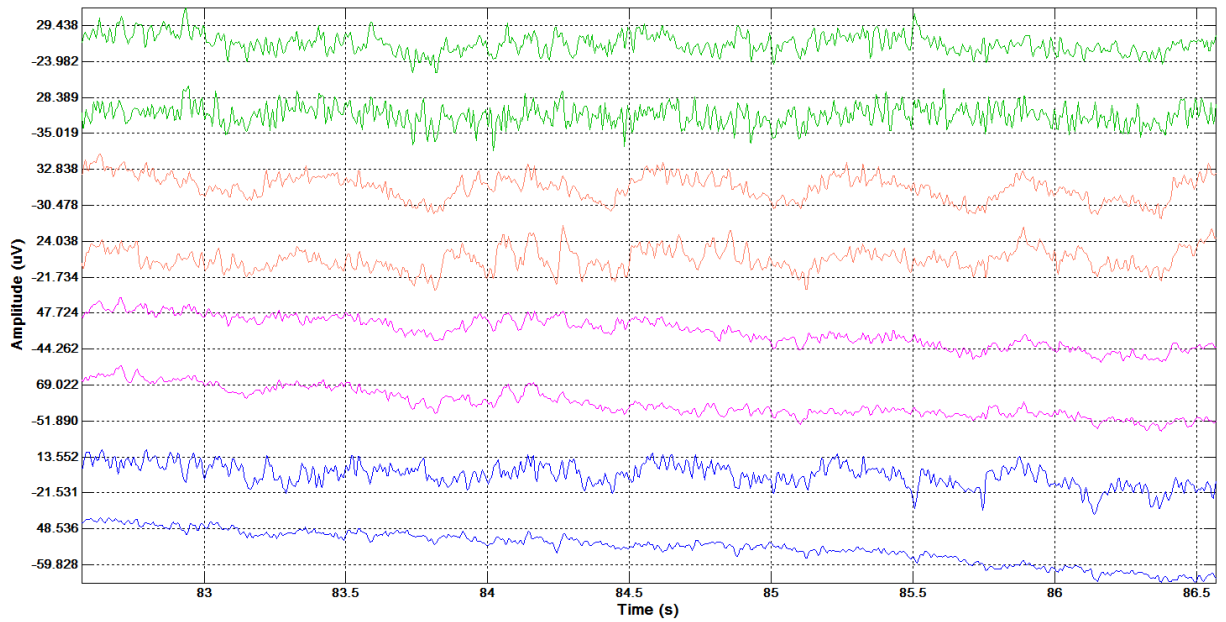


Fig. 4.20.- Sujeto 6, protocolo MMN.

5. CONCLUSIONES Y TRABAJO A FUTURO

El trabajo realizado en esta tesis ha cumplido con los objetivos propuestos, ya que se logró desarrollar un equipo de 8 canales para el registro de señales electroencefalograficas, de tamaño reducido y capaz de permanecer en operación por tiempos prolongados para su uso en registros ambulatorios.

Con los resultados obtenidos, se lograron cumplir las características requeridas por la Federación Internacional de Psicología Clínica para equipos de EEG ambulatorios, ya que el equipo tiene una resolución de $0.5 \mu\text{V}$ (24 bits) y una frecuencia de muestreo de 250 Hz (configurable hasta 500 Hz). Los filtros del equipo cumplen con las especificaciones mencionadas con anterioridad y con la opción de poder modificarlos, si el usuario así lo desea.

Sin embargo, al observar los resultados del CMRR del sistema, podemos notar que decae conforme la frecuencia de la señal aumenta y en frecuencias bajas se mantiene en un rango de 80 a 104 dB en la banda de interés, ésto puede deberse a que la configuración usada en el equipo para las entradas analógicas fue unipolar y no diferencial.

Los registros de larga duración obtenidos, demuestran que el sistema puede tener un uso sin interrupciones de aproximadamente 52 horas, lo que nos indica que los registros ambulatorios y del sueño son factibles para el equipo. La estimación de la batería, sirve de punto de referencia, pero son muchas las cuestiones que intervienen en su descarga. El fabricante especifica que la duración de la batería indicada en las hojas de datos corresponde a una descarga constante, sin embargo, ésto no es posible en un equipo que requiere de diferentes cantidades de corriente, en diferentes momentos.

El uso de una memoria microSD, incrementa la versatilidad del sistema al no requerir de una computadora para guardar los registros de gran tamaño que genera el

dispositivo, brindando la oportunidad de realizar estudios con un mínimo de instrumentación. Con el algoritmo actual del microcontrolador, el dispositivo es capaz de leer memorias microSD de hasta 2 gb, lo que significa más de 72 horas de registro, ya que ésta es la capacidad máxima de memoria que un sistema de archivos FAT16 puede manejar.

El equipo diseñado aún puede seguir siendo mejorado, a continuación se describe el trabajo a futuro que puede tener el dispositivo.

Optimización del algoritmo: La modificación del sistema de archivos a FAT32, permitiría al dispositivo manejar cantidades más grandes de información, incrementando el tiempo máximo de registro que el equipo sería capaz de realizar.

El microcontrolador utilizado, posee periféricos (*Direct Memory Access* o DMA) que pueden aumentar la velocidad de transferencia de los datos obtenidos del ADS1299 y los datos enviados a la memoria microSD. Esto significaría una considerable reducción en el consumo de energía del microcontrolador, ya que el DMA es capaz de enviar la información dos veces más rápido que la interfaz SPI. Además, al aumentar la velocidad de las transferencias, el dispositivo tendría tiempo para realizar las operaciones necesarias y aplicar los filtros en tiempo real. Lo que se puede lograr mediante tablas de búsqueda que contengan los coeficientes de los filtros digitales y la unidad multiplicadora que tiene incorporada el microcontrolador.

También se propone el uso de la interfaz USB que incorpora el microcontrolador, ya que de esta manera, no se tendría la necesidad de retirar la memoria microSD del equipo para poder leer la información de los registros, además de poder establecer una conexión serial con la computadora y hacer registros de EEG en línea.

Optimización de hardware: El ADS1299 tiene la capacidad de poder acoplar amplificadores adicionales con pocas líneas de transmisión, ésto nos da la opción de doblar el número de canales que el dispositivo puede manejar. Sin embargo, se deben

de hacer las consideraciones necesarias, ya que el incrementar el número de canales, significa incrementar la cantidad de información que el equipo necesitaría procesar y almacenar.

Finalmente, se puede considerar usar baterías de litio recargables para la alimentación del sistema, debido a que sus dimensiones son menores que las baterías AAA utilizadas en el equipo, lo cual implica una reducción considerable en las dimensiones del dispositivo.

REFERENCIAS

- [1] Leif Sörnmo, Pablo Laguna, *Bioelectrical Signal Processing in Cardiac and Neurological Applications*, Elsevier Inc., 2005, ch. 2,3,4, pp. 25 – 189.
- [2] INEGI, Discapacidad en México, Disponible en: <http://cuentame.inegi.org.mx/poblacion/discapacidad.aspx?tema=P>
- [3] G. G. Celesia and M. G. Brigell, “Auditory evoked potentials”, in *Electroencephalography Basic Principles, Clinical Applications and Related Fields* (E. Niedermayer and F. Lopes da Silva, eds.), pp. 994-1013, Baltimore: Williams & Wilkins, 1999.
- [4] E. Waterhouse, “New Horizons in Ambulatory Electroencephalography”, *IEEE Engineering in Medicine and Biology Magazine*, pp. 74 – 80, 2003.
- [5] Buddy Marshall, Bonnie Robertson, Margaret-Ann Carno, *Polysomnography for the Sleep Technologist*, 1st ed., Elsevier Inc., 2014, pp. 56 - 74.
- [6] H. R. Colten, B. M. Altevogt, Eds., *Sleep Disorders and Sleep Deprivation: An Unmet Public Health Problem*. Washington, DC: National Academies Press, 2006.
- [7] Alexander J. Casson, David C. Yates, Shelagh J. M., John S. Duncan, Esther Rodriguez-Villegas, “Wearable Electroencephalography”, *IEEE Engineering in Medicine and Biology Magazine*, pp. 44 – 56, 2010.
- [8] Texas Instruments Incorporated. *Analog Front-End Design for ECG Systems Using Delta-Sigma ADCs*, Disponible en: <http://www.ti.com/lit/an/sbaa160a/sbaa160a.pdf>

[9] Katarzyna Blinowska, Piotr Durka, “Electroencephalography (EEG)”, in *Encyclopedia of Biomedical Engineering*, Metin Akay, John Wiley & Sons, Inc., 2006, vol. 4, pp. 1341 – 1355.

[10] David Sherman, Dirk Walterspacher, “Electroencephalography”, in *Encyclopedia of Medical Devices and Instrumentation*, John G. Webster, 2nd ed., John Wiley & Sons, Inc., 2006, vol. 3, pp. 62 – 81.

[11] NJ. Holter, New method for heart studies, Disponible en: <http://molbiol.ru/forums/index.php?act=Attach&type=post&id=61602>

[12] GB. Marson, JB. McKinnon. A miniature tape recorder for many applications. *Control Instrumentation*, ch. 4, pp. 46 – 47, 1972.

[13] RJ. Quay, “A miniature preamplifier for ambulatory monitoring of the electroencephalogram [proceedings]”, *Journal of Physiology, London*, 234:23 – 24, 1978.

[14] Monty A. Escabí, “Biosignal Processing”, in *Introduction to Biomedical Engineering*, John Enderle, Susan Blanchard, Joseph Bronzino, 2nd ed., Elsevier Academic Press, 2000, pp. 561.

[15] Joseph D. Bronzino, “Principles of Electroencephalography”, in *The Biomedical Engineering Handbook*, Joseph D. Bronzino, 2nd ed., CRC Press LLC, 2000, ch. 15, pp. 253 – 264.

[16] “Electroencephalography”, septiembre 2012, Wikipedia, Disponible en: <http://en.wikipedia.org/wiki/Electroencephalography>

[17] Naatanen R, Tervaniemi M, Sussman E, Paavilainen P, Winkler I, “Primitive intelligence in the auditory cortex”, *Trends Neurosci*, 24:283 – 288, 2001.

[18] M.R. Nuwer, G. Comi, R. Emerson, A. Fuglsang-Frederiksen, J.M. Guérit, H. Hinrichs, A. Ikeda, F.J.C. Luccas and P. Rappelsberger, IFCN standards for digital recording of clinical EEG, en: G. Deuschl, A. Eisen (Eds.), Recommendations for the practice of clinical neurophysiology: Guidelines of the International Federation of Clinical Physiology (*EEG Suppl. 52*), Elsevier Science B.V., 1999, pp. 11-14.

[19] Texas Instruments Incorporated. *Analog Front-End Design for ECG Systems Using Delta-Sigma ADCs*, Disponible en: <http://www.ti.com/lit/an/sbaa160a/sbaa160a.pdf>

[20] Norsworthy, S. R., Schreier, R. S., and Temes, "Delta – Sigma data converters: Theory, design and simulation", New York: IEEE Press, 1997.

[21] Texas Instruments Incorporated. *How delta-sigma ADCs work, Part 1*, Disponible en: <http://www.ti.com/lit/an/slyt423/slyt423.pdf>

[22] Maxim Integrated. *Demystifying Delta-Sigma ADCs*, Disponible en: <http://www.maximintegrated.com/en/app-notes/index.mvp/id/1870>

[23] J.C. Candy and G.C. Temes, "Oversampling Methods for A/D and D/A Conversion", IEEE Press, 1992, pp. 1 – 29.

[24] Texas Instruments Incorporated. *How delta-sigma ADCs work, Part 2*, Disponible en: <http://www.ti.com/lit/an/slyt438/slyt438.pdf>

[25] D. Dash, L. Hernandez-Ronquillo, F. Moien-Afshari, JF. Tellez-Zenteno, "Ambulatory EEG: a cost-effective alternative to inpatient video-EEG in adult patients", *Epileptic Disord*, 14(3):290-7, 2012.

[26] Tom Torfs, Vladimir Leonov, Refet Firat Yazicioglu, Patrick Merken, Chris Van Hoof, Ruud J. M. Vullers, Bert Gyselinckx, "Wearable Autonomous Wireless Electro-

encephalography System Fully Powered by Human Body Heat”, IEEE Sensors Conference, pp. 1269 – 1272, 2008.

[27] Imec, Holst Centre and Panasonic Present Wireless Low-power Active-Electrode EEG Headset, Disponible en: http://www2.imec.be/be_en/press/imec-news/imeceeg2012.html

[28] Emotiv, EEG System, Disponible en: <http://emotiv.com/eeg/features.php>

[29] Texas Instruments, “Low Noise, 8-Channel, 24-Bit Analog Front-End for Biopotential Measurements”, Disponible en: <http://www.ti.com/lit/ds/symlink/ads1299.pdf>

[30] Texas Instruments, “EEG Front-End Performance Demonstration Kit”, Disponible en: <http://www.ti.com/lit/ug/slau443a/slau443a.pdf>

[31] Texas Instruments, “Mixed Signal Microcontroller”, Disponible en: <http://www.ti.com/lit/ds/symlink/msp430f5529.pdf>

[32] Ankit Jain, “Low cost instrumentation and interface for neural recording”, Master of Science, Electrical Engineering, Pennsylvania State University, May 2012.

[33] F. Foust, “Application note secure digital card interface for the MSP430”, Dept. of Electrical and Computer Engineering, Michigan State University, pp. 1 -23, 2004.

[34] “Reading and SD card with an ATMEGA168”, Enero 2010, Disponible en: <http://elasticsheep.com/2010/01/reading-an-sd-card-with-an-atmega168/>

[35] Jun Li, Sharp, “Interfacing a MultiMediaCard to the LH79520 System-On-Chip”, Disponible en:

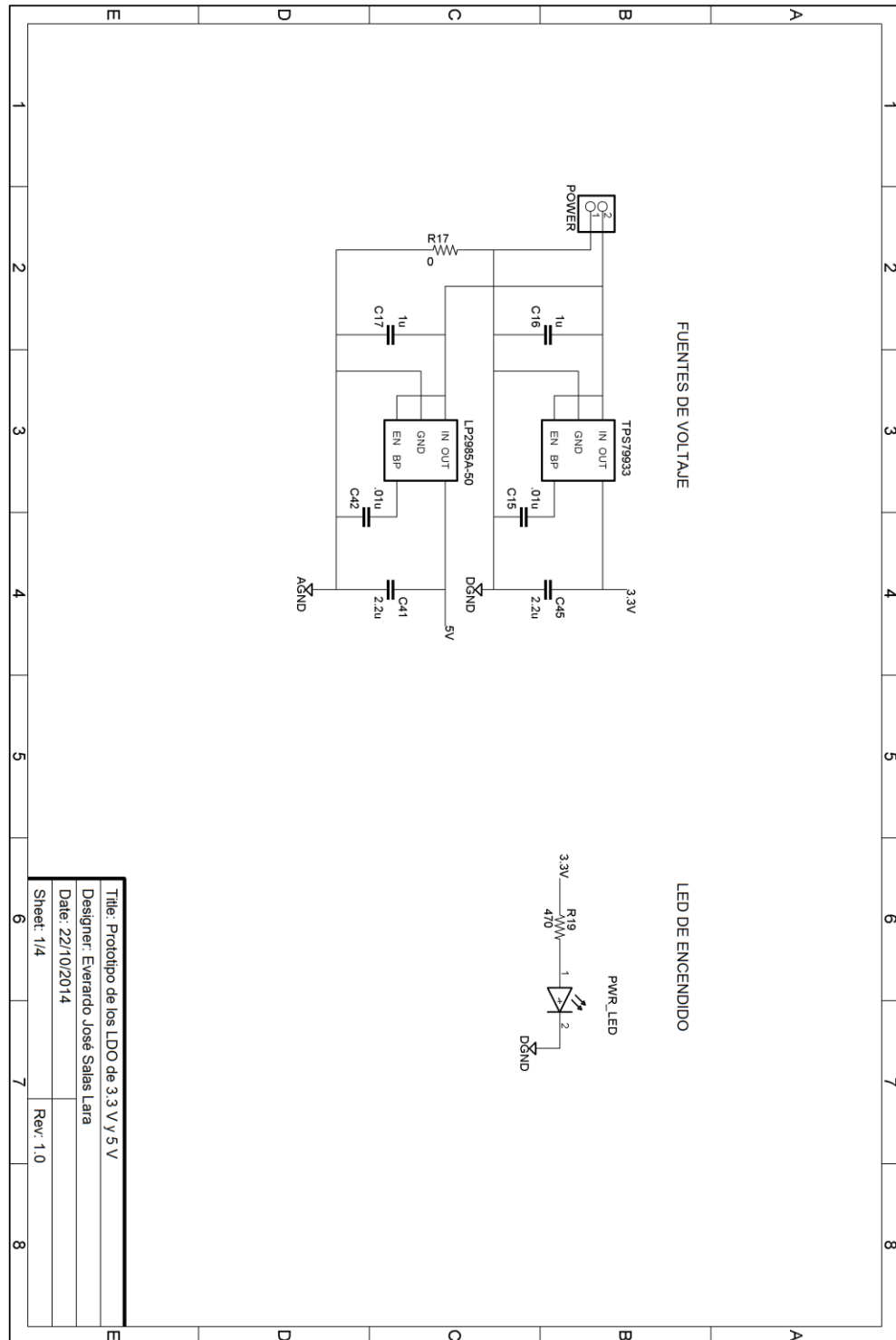
http://www.sharpsma.com/pub/productfocus/publications/micro/mcu/tec_appnote_LH79520_multimediacar.pdf.

[36] Texas Instruments, "Understanding Lead-Off Detection in ECG", Disponible en: <http://www.ti.com/lit/an/sbaa196a/sbaa196a.pdf>

[37] International Electrotechnical Commission, IEC 60601-2-25 Medical electrical equipment. Part 2: Particular requirements for safety, including essential performance of recording and analyzing single channel and multichannel electrocardiographs, Edition 2.0, 2011.

Apéndice A

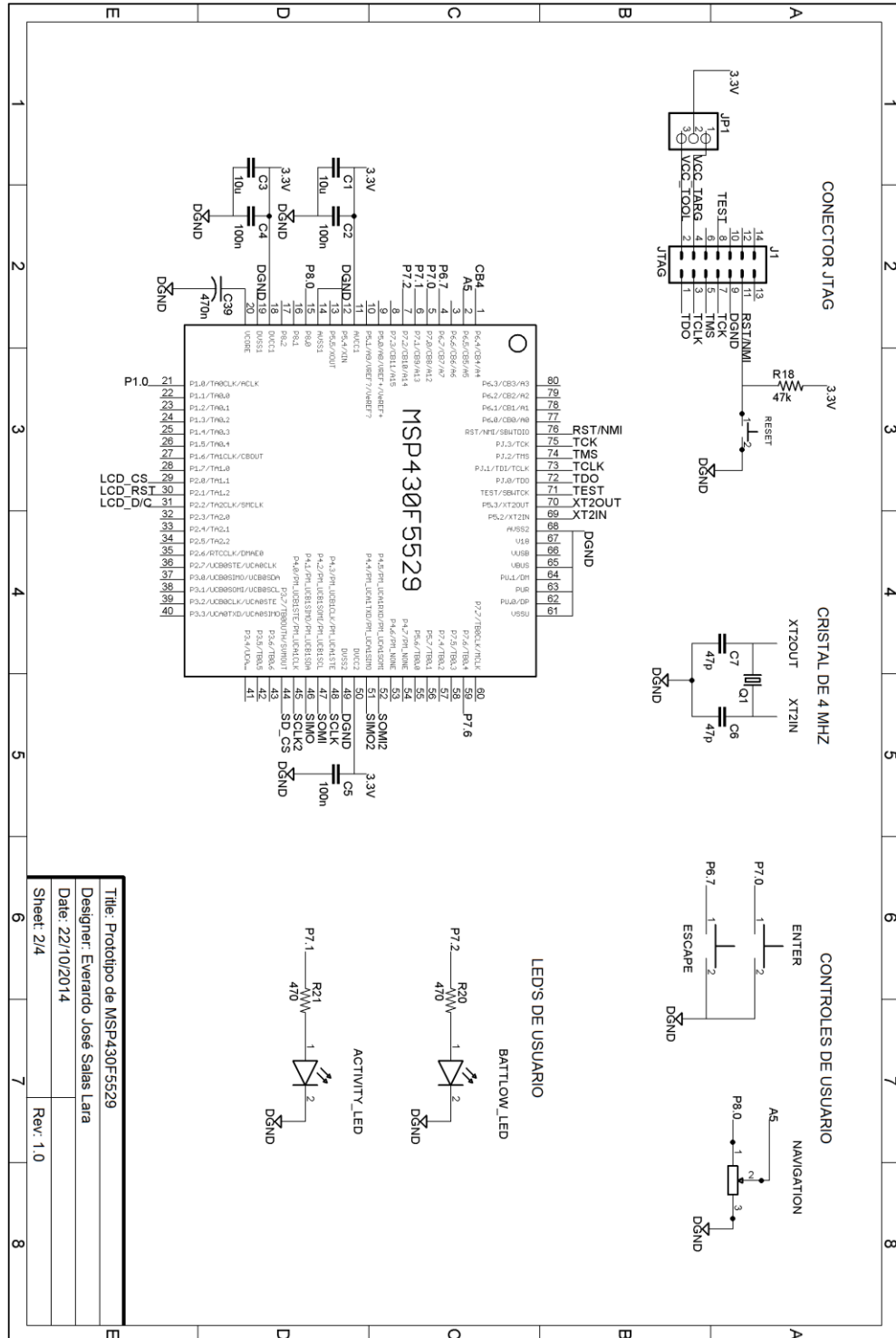
Esquemático de las fuentes de energía.



Title: Prototipo de los LDO de 3.3 V y 5 V
Designer: Everardo José Salas Lara
Date: 22/10/2014
Rev: 1.0
Sheet: 1/4

Apéndice B

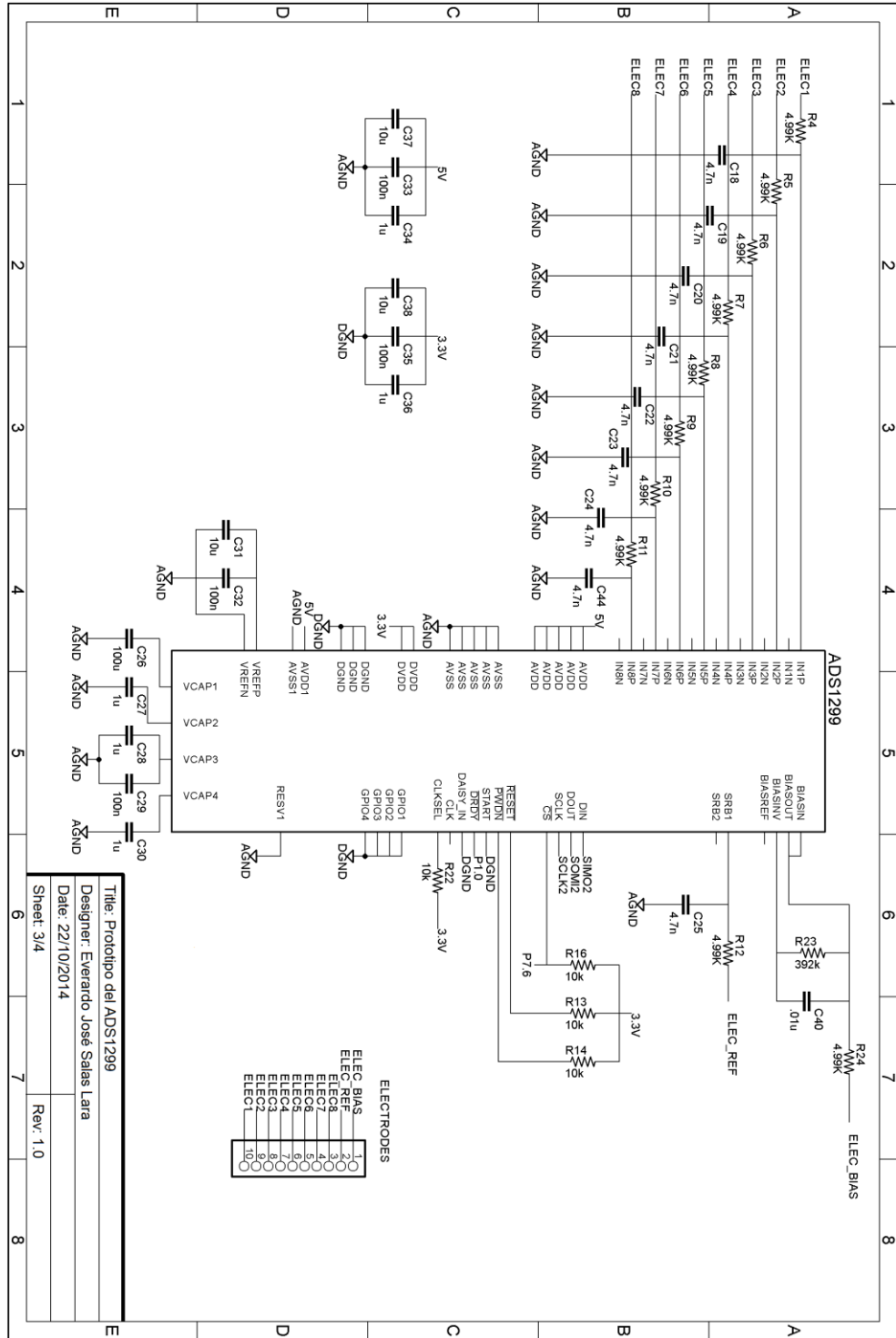
Esquemático del microcontrolador MSP430F5529 y los controles del usuario.



Title: Prototipo de MSP430F5529
Designer: Everardo José Salas Lara
Date: 22/10/2014
Sheet: 2/4
Rev: 1.0

Apéndice C

Esquemático del ADS1299.

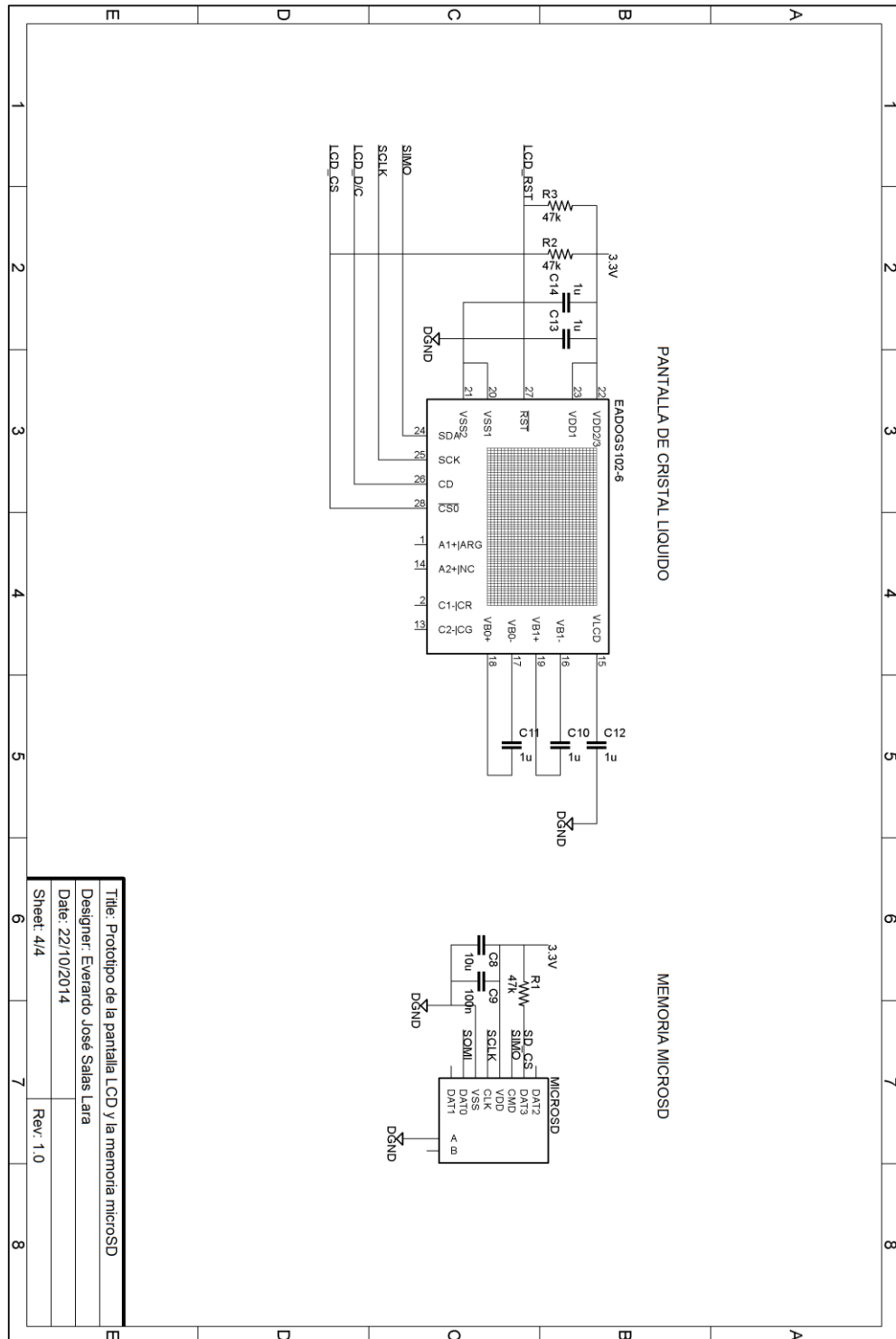


Title: Prototipo del ADS1299
 Designer: Evarardo José Salas Lara
 Date: 22/10/2014

Sheet: 3/4
 Rev: 1.0

Apéndice D

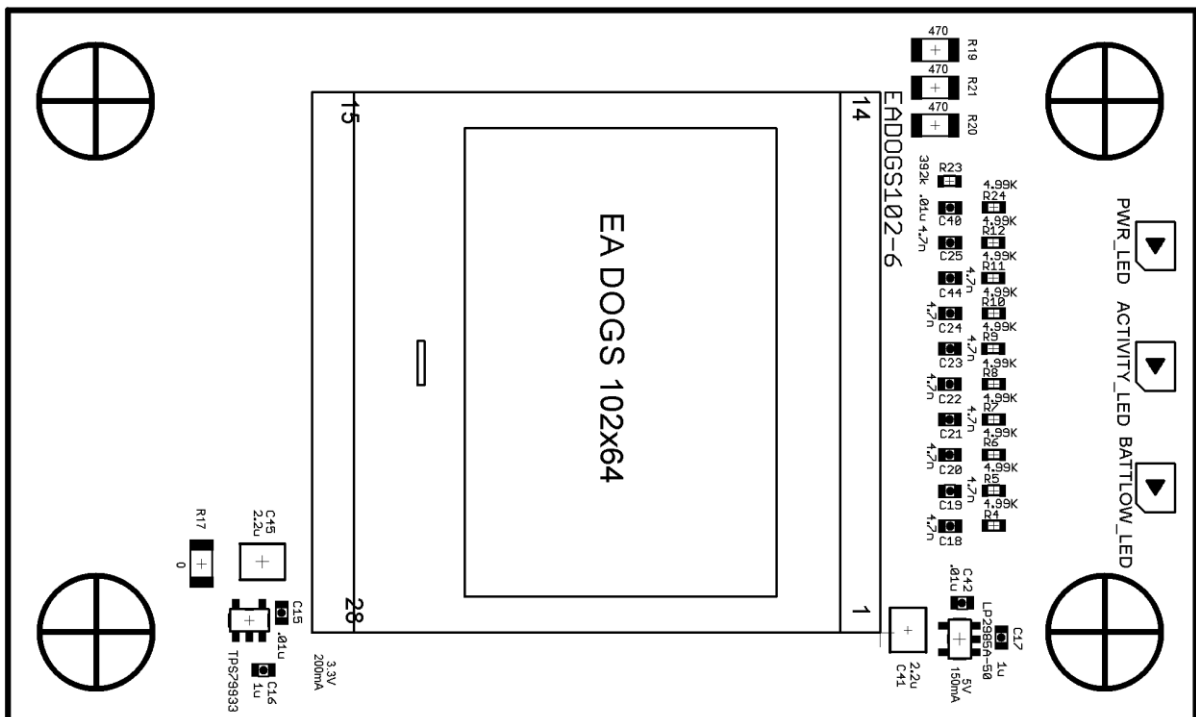
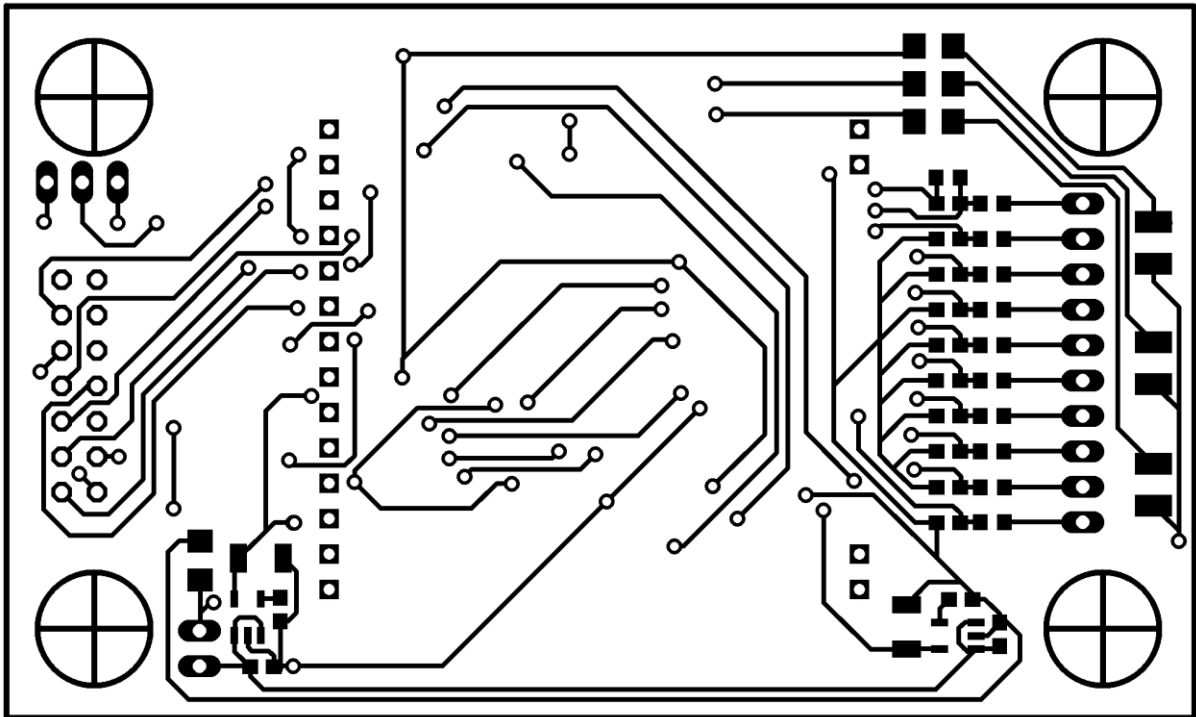
Esquemático de la pantalla de cristal líquido y la memoria microSD.



Title: Prototipo de la pantalla LCD y la memoria microSD	
Designer: Evarardo José Salas Lara	
Date: 22/10/2014	
Sheet: 4/4	Rev: 1.0

Apéndice E

Capa superior del PCB y su respectiva ubicación de los componentes.



Apéndice F

Capa inferior del PCB y su respectiva ubicación de los componentes.

