



**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS
AVANZADOS DEL INSTITUTO POLITÉCNICO NACIONAL
UNIDAD ZACATENCO**

**DEPARTAMENTO DE INGENIERÍA ELÉCTRICA
SECCIÓN DE ELECTRÓNICA DE ESTADO SÓLIDO**

**“Estudio y modelación de transistores MOS
nanométricos del tipo sin uniones”**

T E S I S

Que presenta

Fernando Ávila Herrera

Para obtener el grado de

DOCTOR EN CIENCIAS

EN LA ESPECIALIDAD DE INGENIERÍA ELÉCTRICA

Director de la Tesis:

Dr. Antonio Cerdeira Altuzarra

Ciudad de México

Marzo, 2017

Agradecimientos

Este trabajo doctoral ha sido posible gracias a la ayuda de muchas personas que a lo largo de éstos años me han apoyado. Quiero agradecer profundamente al Prof. Antonio Cerdeira por haberme otorgado su confianza y guiarme durante toda mi estancia. Toda clase de conversaciones que mantuvimos, consejos y enseñanzas me han dado el coraje suficiente para sentir que estoy yendo por un camino que me causará un sinfín de emociones a lo largo de mi vida. Agradezco también profundamente a la Prof.^a Magali Estrada por su incondicional apoyo y confianza, sin duda alguna es también una persona que logra compartir su entusiasmo a los demás. Quiero dar las gracias a ambos profesores por haberme hecho sentir feliz durante los años que he desarrollado este trabajo porque logran siempre motivarme a través de múltiples conversaciones y discusiones científicas o no, ha sido una gran dicha haber trabajado su grupo.

Agradezco de igual manera al Prof. Marcelo Antonio Pavanello por haber compartido una extensa gama de conocimientos conmigo durante mi estancia en Brasil, quien gracias a su apoyo y a las intensas colaboraciones he logrado poder culminar este trabajo. Agradezco también a Bruna Paz por haber sido una valiosa compañera durante mi estancia.

Quiero agradecer también al Prof. Joaquín Alvarado por las enseñanzas otorgadas acerca de la codificación en lenguajes de programación de los modelos y por también aceptar ser un revisor de este trabajo. Sin duda alguna es de gran valía su apoyo.

Al Prof. Benjamín Iñiguez agradezco su ayuda y la colaboración en la realización de trabajos conjuntos que han servido para profundizar el estudio y la modelación de dispositivos.

Agradezco también a los revisores de ésta tesis al Profr. Alfredo Reyes y al Profr. Felipe Gómez por los cursos otorgados, los cuales que me han inspirado a conocer una gran cantidad de aplicaciones de la tecnología, además de las oportunidades otorgadas y su apoyo. Gracias por el tiempo tomado para participar en la revisión de este trabajo y por los consejos que me han otorgado.

Estoy agradecido con todos los compañeros/amigos del grupo de investigación Ángel, Isái, César, Magaly, Yoanlys y a los profes. Iván y Víctor, con todos ellos he compartido momentos emotivos, ya sea a través de conversaciones y experiencias académicas y también fuera de ello.

Quiero dar unas gracias especiales a todos los amigos que conocí y con quienes viví grandes momentos y fabulosas experiencias que siempre recordaré con gran emoción, su compañía y consejos son de gran aprecio. Quiero decirles gracias, a Adilene por su sincero y apreciable apoyo, así como a todos mis amigos de generación Liliana, Narciso, Isaac, Martín, Luis, Abraham y Miguel.

Agradezco también a los amigos con quienes he compartido grandes capítulos de mi vida: Karla, Josué, Óscar e Iván, su apoyo es significativo.

Por último y más importante, con quienes estaré profundamente agradecido por siempre, mi familia que día con día me motivan a perseguir mis sueños, de quienes he aprendido toda clase de cosas y vivencias, sin duda alguna son mi pilar más importante. Gracias por los sacrificios, por estar conmigo en todo momento y hacerme sentir feliz por estar con ustedes. Gracias por todo mamá, papá y hermana (Idolina, Fernando, Karen)

...y muchas personas más...

Fernando Ávila Herrera

El financiamiento otorgado por el Consejo Nacional de Ciencia y Tecnología, CONACYT, para realizar mis estudios de posgrado es también agradecido.

“Using no way as way, having no limitation as limitation”

Bruce Lee

Dedicado a mi amada familia

Resumen

La continua demanda de procesamiento de datos y una mayor capacidad de cómputo a los microprocesadores ha impulsado el escalamiento del transistor MOS a fin de incrementar el desempeño y reducir las dimensiones de los circuitos CMOS. No sólo el escalamiento horizontal ha mejorado la densidad de empaquetamiento en un chip sino también el uso de estructuras multicompuerta, las cuales garantizan un mayor control electrostático del canal del transistor. Los transistores multicompuerta de inversión son parte de la tecnología actual y a pesar de ser el dispositivo convencional, éste presenta dificultades de fabricación debido a que requiere de uniones extremadamente abruptas y poco profundas para evitar la difusión en los transistores de canal corto; estos procesos tecnológicos aumentan el costo de su fabricación y de los productos. Como respuesta directa a estos inconvenientes, recientemente se ha inventado un transistor que no requiere uniones, el cual se encuentra en investigación continua. El transistor MOS sin uniones (Junctionless transistor, JLT) es un dispositivo de alta eficiencia con un principio de operación diferente al MOS de inversión, y debido a sus mejores características y desempeño eléctrico es un potencial candidato para una posible futura transición de la tecnología CMOS, pero antes de ello se requiere conocer detalladamente su comportamiento para el desarrollo de modelos que permitan no sólo diseñar los JLT sino también la simulación de circuitos.

El objetivo principal de esta tesis es el desarrollo de un modelo compacto y analítico de corriente-voltaje basado en el comportamiento físico del dispositivo para su implementación en los simuladores de circuitos. El modelo es desarrollado primeramente para dispositivos doble compuerta y tiene en cuenta las características básicas de un transistor de canal largo, el cual posteriormente es complementado agregando los principales efectos de canal corto como: variación del voltaje de umbral, degradación de la pendiente de subumbral, disminución de la barrera inducida en drenador (DIBL: drain induced barrier lowering), modulación de canal, velocidad de saturación al igual que la dependencia de la movilidad de los campos eléctricos horizontal y vertical. El modelo además toma en cuenta el efecto de la resistencia serie. Debido a que industrialmente y académicamente los transistores fabricados presentan una arquitectura de triple compuerta, se ha extendido el

modelo a estos dispositivos a través de la inclusión de los parámetros geométricos del transistor como lo son la altura, el ancho y el largo del canal en la física del dispositivo, mediante una apropiada redefinición de las capacitancias. Debido a la alta concentración de dopaje del transistor, se ha desarrollado también un modelo que permita reproducir la estadística de Fermi-Dirac con similitud matemática a Boltzmann para incluirse fácilmente en las expresiones del modelo de corriente. Adicionalmente, se ha estudiado el comportamiento físico en un rango amplio de temperaturas, porque los circuitos integrados generalmente trabajan en temperaturas mayores a la temperatura ambiente. La variación de la movilidad y la velocidad de saturación presentan degradaciones con la temperatura que deben ser tomadas en cuenta. El modelo se ha validado con simulaciones en dos y tres dimensiones para dispositivos de doble y triple compuerta, respectivamente. La validación también es realizada en dispositivos experimentales de canal largo y corto, para diferentes concentraciones y en un rango amplio de temperaturas. La implementación del modelo en Verilog-A se ha realizado con el objetivo de realizar simulaciones de circuitos en ambientes basados en SPICE. Por último, el modelo compacto desarrollado es continuo y válido en todas las regiones de operación, y puede ser utilizado satisfactoriamente para el desarrollo de circuitos digitales.

Abstract

The continuous demand of data processing and the increased computing power of the microprocessors have encouraged the MOS transistor scaling to increase the performance and reduce the size of the CMOS circuits. Not only the horizontal scaling has improved the chips density but also the use of multi-gate transistors, which guarantee a greater electrostatic control over the transistor channel. The inversion multigate MOSFETs are part of the current technology, but in spite of being the conventional devices, they represent serious fabrication difficulties, since requires extremely abrupt and shallow junctions in order to avoid the carrier diffusion in the short channel transistors. These technological processes increase the fabrication cost and therefore the product cost. As a direct answer to these drawbacks, a transistor without junctions has recently been invented and is under continuous research at these days. The MOS without junctions, called junctionless transistor (JLT), is a high efficiency device with an operation principle different with respect to the inversion one. Because of its better characteristics and electrical performance, JLT is a potential candidate for a possible transition in the future CMOS technology. For this to happen, it is necessary to know in detail its behavior, in order to develop models that can not only design JLTs but also electronic circuits based on JLTs.

The main goal of this dissertation is the development of a compact analytical model for the current-voltage characteristics, based on the physical behavior of the device for its implementation in circuit simulators. The model is firstly developed for double-gate devices and takes into account the elemental characteristics of a long channel transistor. After that, it is complemented adding the main short channel effects such as, threshold voltage roll-off, subthreshold slope degradation, DIBL, channel modulation, velocity saturation, as well as the mobility dependence on the horizontal and transversal electric fields. The model also considers the series resistance effect. Because JLTs fabricated in industry or in research centers have a triple-gate architecture, the variation of geometrical parameters as, height, width and length of channel in the physics of the device has been incorporated to the model by an appropriate redefinition of the capacitances without affecting the model calculation flow. Due to the high doping concentration of the channel, a model for reproducing the

Fermi-Dirac statistics has been developed with mathematical similarity to the Boltzmann model, in order to include it easily in the current-voltage model expressions. Additionally, it has been studied the device behavior over a wide range of temperature because the integrated circuits commonly work at temperatures above room temperature; the mobility and velocity saturation degradations have been considered as well. The model has been validated with simulations in two and three dimensions for double and triple-gate transistors, respectively. The validation was also done with measurements in real fabricated devices with long and short channels, for different doping concentrations and varying the temperature. The Verilog-A implementation has been also performed, which allows to simulate and design circuits in simulators based on SPICE. Finally, the compact analytical model developed in this dissertation is continuous and works in all operation regimes, and can be used successfully for the design of digital circuits.

Lista de Figuras

Fig. 1.1. Transistor MOS de inversión de volumen.....	2
Fig. 1.2. Ley de Moore [10].....	3
Fig. 1.3. Proceso de fabricación de una oblea SOI [9, 15].	4
Fig. 1.4. Regiones de operación de los transistores de a) inversión, b) acumulación y c) junctionless MOSFETs [21].	6
Fig. 1.5. a) Principales arquitecturas multicompuertas b) Arquitectura multi-Fin y parámetros de un FinFET.....	8
Fig. 1.6. Flujo y función de un modelo en el desarrollo de tecnología [27].	10
Fig. 2.1. Regiones de operación de un JLT. a) Deserción completa, b) deserción parcial, c) transición y d) acumulación [31].	15
Fig. 2.2. Comparación eléctrica del comportamiento de un JLT e IM. a) Característica de subumbral b) Efectos de subumbral DIBL y degradación de V_T [32].	17
Fig. 2.3. Número de investigaciones enfocadas en el JLT cada año.	19
Fig. 3.1. Estructura JLT doble compuerta a) tridimensional FinFET con corte transversal, b) planar bidimensional.....	24
Fig. 3.2. Potencial en la superficie y diferencia de potenciales entre la superficie y el centro [55]......	27
Fig. 3.3. a) Potenciales en el centro y la superficie para diferentes valores de V_D , b) Diferencia de potenciales normalizada.	28
Fig. 3.4. a) Carga móvil normalizada, b) Derivada de la carga móvil respecto a V_G	30
Fig. 3.5. Comportamiento de la carga móvil en el punto de V_T+V_D alrededor de $q_n = -0.25$ [43].	36
Fig. 4.1. a) Estructura TGJLT estudiada, b) Vista del plano x-z.	45
Fig. 4.2. a) Radio de concentración de portadores y b) Concentración de portadores calculada por F, B, PB y PSB.	49
Fig. 4.3. Diagrama de flujo del modelo I-V. Los bloques azules indican el modelo núcleo.	52
Fig. 5.1. Características transferenciales para tres diferentes estructuras con (a) $V_D=50$ mV y (b) $V_D=1$ V.....	55
Fig. 5.2. Transconductancias para tres diferentes estructuras con (a) $V_D=50$ mV y (b) $V_D=1$ V.....	56
Fig. 5.3. (a) Características de salida para $V_G=1$ V y 1.5 V. (b) Conductancia de salida para $V_G=1.5$ V.....	56

Fig. 5.4. (a) Simetría de la corriente alrededor de $V_D=0$ para $V_G=1$ y $1.5V$. (b) Derivadas de la corriente para $V_G=1.5 V$.	57
Fig. 5.5. Simulaciones y modelado de las (a) Características I-V para $V_D=50 mV$, (b) Características I-V para $V_D=1.5V$ y (c) Características de salida para $V_G=1.5V$. Las líneas representan los modelos PB y PB continuo.	58
Fig. 5.6. Características transferenciales simuladas y modeladas en escala lineal y semilogarítmica para (a) $V_D=50 mV$ y (b) $V_D=1.5 V$.	62
Fig. 5.7. (a) Transconductancias lineal (eje izquierdo) y de saturación (eje derecho) simuladas y modeladas. (b) Característica g_m/I_D para $V_D=1V$.	62
Fig. 5.8. (a) Características de salida y sus conductancias para $V_D=1V$. (b) Pendiente subumbral y DIBL para tres diferentes estructuras.	62
Fig. 5.9. (a) . Características transferenciales simuladas y modeladas en escala lineal y semilogarítmica para (b) $V_D=50 mV$ y (c) $V_D=1.5 V$.	63
Fig. 5.10. (a) Transconductancias lineal (eje izquierdo) y de saturación (eje derecho) simuladas y modeladas. (b) Características de salida y sus conductancias para $V_D=1V$	63
Fig. 5.11. (a) Característica transferencial en saturación a $V_D=1V$. Potenciales en la superficie para (b) DGJLT homogéneo $N_D=N_{Dext}$, (c) sin extensiones y (d) extensiones dopadas con $10^{20} cm^{-3}$, en las cuales las flechas indican las fronteras extensión de fuente/canal/extensión de drenador [79].	65
Fig. 5.12. (a) Característica transferencial lineal. (b) Sobreestimación del modelo de corriente en acumulación fuerte y (c) sobreestimación de la transconductancia para $V_D=1.5V$ para transistores de canal corto con $L<200nm$.	66
Fig. 5.13. Característica I-V normalizada para diferentes alturas de F_{in} en: (a) región lineal a $V_D=50 mV$ y (b) región de saturación a $V_D=1.5 V$.	68
Fig. 5.14. (a) Transconductancias lineal y de saturación. (b) Característica de salida y conductancia.	68
Fig. 5.15. Característica I-V normalizada para diferentes longitudes de canal en: (a) región lineal a $V_D=50mV$ y (b) región de saturación a $V_D=1.5 V$.	70
Fig. 5.16. (a) Transconductancias lineal y de saturación. (b) Característica de salida y conductancia a $V_D=1V$.	71
Fig. 5.17. Voltaje de umbral como función de la altura del fin H_{Fin} y de la longitud de canal L .	71
Fig. 5.18. Mediciones experimentales y modelado de las características (a) transferencial lineal a $V_D=50 mV$. (b) transferencial en saturación a $V_D=1V$.	73
Fig. 5.19. Comparación entre las mediciones experimentales y el modelo para (a) transconductancia lineal a $V_D=50 mV$ y transconductancia en saturación a $V_D=1V$ en la figura insertada y (b) curvas de salida y conductancia de salida.	73
Fig. 5.20. (a) Variación de la pendiente de subumbral y DIBL de los dispositivos experimentales.	74

Fig. 5.21. (a) Característica transferencial lineal a 40 mV a diferentes temperaturas. (b) Característica transferencial lineal en escala semilogarítmica. (c) Transconductancia lineal. Los símbolos indican los datos experimentales y las líneas el modelo.....	76
Fig. 5.22. (a) Característica transferencial en saturación a diferentes temperaturas. (b) Característica transferencial en saturación en escala semilogarítmica. (c) Transconductancia en saturación. Los símbolos indican los datos experimentales y las líneas el modelo.....	77
Fig. 5.23. (a) Característica de salida a diferentes temperaturas. (b) Conductancia de salida. Los símbolos indican los datos experimentales y las líneas el modelo.....	77
Fig. A.1. Comparación de la variable de inicialización x_0 y su valor final para distintos parámetros, así como el número de iteraciones necesitado para lograr el valor final. ...	86

Lista de Tablas

Tabla 5.1. Parámetros del modelo núcleo.....	57
Tabla 5.2 Parámetros del modelo de canal corto.....	61
Tabla 5.3. Parámetros extraídos para dispositivos con diferentes alturas de fin y una longitud de canal de 50 nm.....	69
Tabla 5.4. Parámetros extraídos a 20°C, excepto para * que fue extraído a 170°C.....	75
Tabla B.1. Coeficientes de las funciones Sa y Sb.....	87

Lista de símbolos seleccionados

Símbolo	Significado	Símbolo	Significado
C_{HFin}	Capacitancia debida a la altura	q_{sem}, q_{tot}	Carga total normalizada en la mitad del semiconductor
C_S	Capacitancia 2-D	q_{sat}	Carga móvil normalizada en saturación
C_{SL}	Capacitancia del semiconductor	R	Resistencia serie
C_{ox}	Capacitancia de la compuerta	SS	Pendiente de subumbral
C_{oxL}	Capacitancia de compuerta en función de la altura	t_S	Espesor del semiconductor
E_S	Campo eléctrico en la superficie	t_{ox}	Espesor del óxido de compuerta lateral
E_0	Campo eléctrico en el centro	$t_{ox\ top}$	Espesor del óxido de compuerta superior
EOT	Espesor de óxido de silicio equivalente	T	Temperatura
H_{Fin}	Altura del fin	T_0	Temperatura nominal
I_{acc}	Corriente en acumulación	t_n	Longitud natural
I_{dep}	Corriente en deserción	t_{neff}	Longitud natural efectiva
I_D, I_{TOT}	Corriente de drenador	v_{drif}	Velocidad de arrastre
k	Constante de Boltzmann	v_{sat}	Velocidad de saturación
KK	Factor de corriente	V	Voltaje a lo largo del canal
L	Longitud de canal	N_{Dext}	Concentración de dopaje de las extensiones

L_{ext}	Longitud de las extensiones	N_{SS}	Densidad de cargas en la interfaz
n	Parámetro del modelo referido a la resistencia	q_b	Carga fija normalizada
N_D	Concentración de dopaje	q_n	Carga móvil normalizada
V_{FB}	Voltaje de banda plana	V_{Deff}	Voltaje de drenador efectivo
V_G	Voltaje de compuerta	V_S	Voltaje de fuente
V_{Geff}	Voltaje de compuerta efectivo	V_T	Voltaje de umbral
V_D	Voltaje de drenador	W_{Fin}	Ancho del fin
V_{DD}	Voltaje de alimentación	W_{eff}	Ancho de canal efectivo
V_{Dsat}	Voltaje de saturación de drenador	μ_{eff}	Movilidad efectiva
α	Diferencia de potenciales normalizada	μ_S	Movilidad superficial
α_{bt}	Diferencia de potenciales normalizada en subumbral	φ_S	Potencial superficial
α_T	Diferencia de potenciales normalizada en el umbral	φ_0	Potencial en el centro
ΔV_T	Disminución del voltaje de umbral	φ_{0p}	Potencial en el centro de canal largo
ΔL	Reducción de la longitud de canal	φ_{0min}	Potencial mínimo en el centro
λ	Parámetro de modulación de canal	φ_F	Potencial de Fermi
ϵ_{ox}	Permitividad del dieléctrico de compuerta	φ_t	Voltaje térmico
ϵ_S	Permitividad del semiconductor	ϕ_{MS}	Diferencia de trabajo de extracción
η	Parámetro del voltaje de saturación	θ_1, θ_2	Parámetros de degradación de la movilidad

Lista de abreviaturas seleccionadas

Abreviatura	Significado
B	Estadística de Boltzmann
BOX	Óxido enterrado
CI	Circuito integrado
D	Drenador
DG	Doble compuerta
DIBL	<i>Drain Induced Barrier Lowering</i>
F	Estadística de Fermi-Dirac
G	Compuerta
GCA	Aproximación gradual de canal
JLT	<i>Junctionless transistor, transistor sin uniones</i>
PB	Pseudo-Boltzmann
PBz	Pseudo-Boltzmann continuo
S	Fuente
SCE	<i>Short channel effects, efectos de canal corto</i>
SOI	Silicio sobre óxido
TCAD	<i>Technology computer aided design</i>
TG	Triple compuerta

Contenido

Resumen	vi
Abstract	viii
Lista de Figuras	x
Lista de Tablas	xiii
Lista de símbolos seleccionados	xiv
Lista de abreviaturas seleccionadas	xvi
Capítulo 1. Introducción.	1
1.1 El transistor MOS.....	1
1.2 Fabricación de transistores MOS de alta eficiencia.....	3
1.3 Escalamiento del transistor MOS.....	4
1.4 Tipos de transistores MOS.....	6
1.5 Arquitecturas MOS: transistores multicompuertas.....	7
1.6 Simulación y modelos compactos de MOSFETs.....	9
1.7 Objetivos.....	11
Capítulo 2. El transistor MOS sin uniones: “junctionless”.	13
2.1 Teoría de operación.....	13
2.1.1 Diseño y mecanismos de conducción.....	14
2.2 Características de un JLT vs MOSFET de inversión y perspectivas.....	16
2.3 Perspectivas futuras.....	18
Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos.	21
3.1 Modelo núcleo de transistores de doble compuerta.....	22
3.1.1 Modelo de los potenciales.....	22
3.1.2 Modelo de carga continuo.....	28
3.1.3 Modelo de corriente de drenador.....	30
3.1.4 Definición del voltaje de umbral.....	35
3.1.5 Voltaje de saturación de drenador.....	37
3.2 Efectos de canal corto.....	38
3.2.1 Característica de subumbral: caída del V_T , SS y $DIBL$	38
3.2.2 Modulación de canal.....	40
3.2.3 Velocidad de saturación: voltaje de saturación de drenador.....	41
3.2.4 Movilidad.....	42

3.3 Resistencia serie.....	43
Capítulo 4. Modelo compacto, continuo y analítico para transistores MOS sin uniones, de triple compuerta y simétricos.....	44
4.1 Descripción del Modelo.....	45
4.2 Efectos de canal corto.....	47
4.1 Modelo de Pseudo-Boltzmann: estadística de Fermi-Dirac.....	48
4.2 Dependencia de la temperatura.....	50
4.3 Cálculo de la corriente.....	51
Capítulo 5. Resultados y análisis.....	53
5.1 Modelo núcleo doble compuerta.....	54
5.2 Boltzmann vs. Fermi-Dirac.....	57
5.3 Modelo de canal corto.....	59
5.4 Estructura homogénea vs. Extensiones dopadas.....	63
5.5 Modelo de triple compuerta.....	66
5.5.1 Simulaciones.....	67
5.5.2 Mediciones experimentales.....	71
5.6 Dependencia de la temperatura.....	74
Conclusiones.....	78
Trabajo a futuro.....	80
Apéndices.....	82
A. Método de cálculo de los potenciales.....	82
B. Coeficientes.....	87
C. Contribuciones científicas.....	88
Artículos publicados.....	88
Artículos de congreso.....	89
Bibliografía.....	90

Capítulo 1.

Introducción.

El descubrimiento del efecto transistor a mediados del siglo XX y la invención del primer transistor en los laboratorios Bell [1, 2] en 1947 por parte de John Bardeen, Walter Brattain y William Shockley produjeron un cambio substancial en la tecnología de la electrónica marcando el paso de la era de los tubos de vacío a la era de la microelectrónica. Hoy en día, el transistor de silicio es el principal y más importante dispositivo electrónico de estado sólido, el cual ha ampliado sus aplicaciones desde sus inicios en la radio y las calculadoras de bolsillo, hasta el presente en complejos microprocesadores, memorias, electrónica industrial y de comunicaciones, incluyendo la moderna ingeniería espacial.

1.1 El transistor MOS

La idea y el principio básico de funcionamiento del transistor de efecto de campo mejor conocido como FET por sus siglas en inglés *Field Effect Transistor*, apareció en 1926 en la patente de J. E. Lilienfeld [3]. A pesar de que fue en un inicio el objetivo del equipo de Shockley, no fue éste el primer transistor en construirse. Fue hasta 1959 cuando la tecnología limpia permitió obtener el óxido de silicio sobre silicio con suficiente calidad, así como una reducida densidad de estados en la interfaz entre ambos para permitir un cambio de conductividad en la superficie del semiconductor, obteniendo así el primer transistor Metal-Óxido-Semiconductor (MOSFET) de silicio exitosamente fabricado por el grupo de investigación liderado por Atalla y Kahng [4]. La figura 1.1 muestra la estructura de un transistor MOS de inversión indicando sus terminales de fuente (*Source*, S), drenador (*Drain*, D) y compuerta (*Gate*, G).

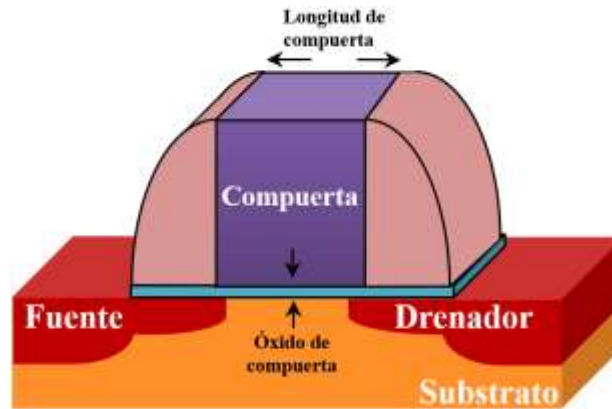


Fig. 1.1. Transistor MOS de inversión de volumen.

El desarrollo de la tecnología planar permitió fabricar varios transistores sobre un mismo dado de silicio lo que a su vez dio origen a la invención del circuito integrado (CI) [5]. Posteriormente, Gordon Moore realizó una predicción temprana acerca del progreso de la industria de los semiconductores, ésta tan conocida observación es la ley de Moore, la cual describe que “el número de transistores incorporados en un chip se duplica cada dos años” [6, 7], en la figura 1.2 se observa ésta tendencia. Con el desarrollo de los sistemas de cómputo, la integración de más transistores en un chip fue necesaria, especialmente para las memorias semiconductoras que comenzaron a desarrollarse en 1970. La capacidad de las memorias nunca es suficiente para los desarrolladores de programas. La invención de la lógica CMOS [8] logró la reducción del área necesaria para la fabricación de circuitos y del consumo de energía en modo de espera. A pesar de que el dieléctrico de los transistores MOS disminuye su ancho de banda respecto a la lógica TTL, la alta impedancia de entrada reduce su consumo de energía favoreciendo la vida útil de una batería. Esta razón y la factibilidad de escalar geoméricamente las dimensiones del transistor permiten aumentar la densidad de producción y reducir los costos. La cantidad de transistores dentro de un circuito integrado se ha incrementado en los pasados 50 años desde varias unidades a más de 1000 millones, permitiendo la introducción masiva de la electrónica en todos los ámbitos de la economía, los servicios y las comunicaciones [9]. Los circuitos integrados con tecnología CMOS se fabrican para aplicaciones generales, como microprocesadores y memorias, o para aplicaciones específicas, conocidos como Circuitos Integrados de Aplicación Específica (ASIC). Estos circuitos pueden ser para la electrónica digital, la electrónica analógica o

Capítulo 1. Introducción

combinados. Actualmente, los inversores CMOS han dominado el mercado de fabricación y de diseño electrónico, especialmente para bajo consumo de energía.

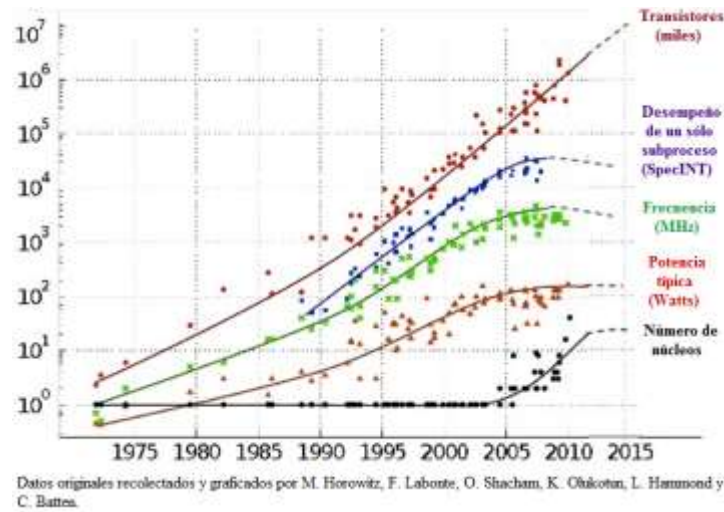


Fig. 1.2. Ley de Moore [10].

1.2 Fabricación de transistores MOS de alta eficiencia

Las compañías de fabricación de dispositivos electrónicos y/o circuitos integrados utilizan procesos basados en la tecnología planar sobre obleas monocristalinas de silicio, que actualmente miden 30 cm de diámetro con perspectiva a introducir obleas de 40 cm próximamente. Los transistores fabricados sobre estas obleas se conocen como transistores de volumen, pero actualmente cada vez más se utilizan obleas tipo SOI (“*Silicon on Insulator*”) [11, 12, 13]. En estas obleas SOI los transistores son fabricados en una fina capa de silicio monocristalino con espesores que van desde unidades a decenas de nanómetros. Ésta capa se encuentra sobre un material aislante, típicamente SiO_2 conocida como óxido enterrado (BOX) también con dimensiones de decenas hasta cientos de nanómetros [14].

Algunas ventajas de un transistor MOS fabricado en una oblea SOI respecto a un transistor fabricado sobre un sustrato clásico de volumen son [14]:

- Aislamiento eléctrico entre transistores consecutivos.
- Reducción de corrientes parásitas.
- Mejor pendiente de subumbral.

Capítulo 1. Introducción

- Reducción de capacitancias parásitas entre las terminales del transistor y el sustrato.
- Eliminación de elementos parásitos entre los transistores BJT y resistencias que provocan *latch-up* en los circuitos CMOS.
- No hay implantaciones para la creación de pozos N o P.

El principal método de fabricación en masa de obleas SOI es el proceso Smart CUT™ descrito en la figura 1.3.

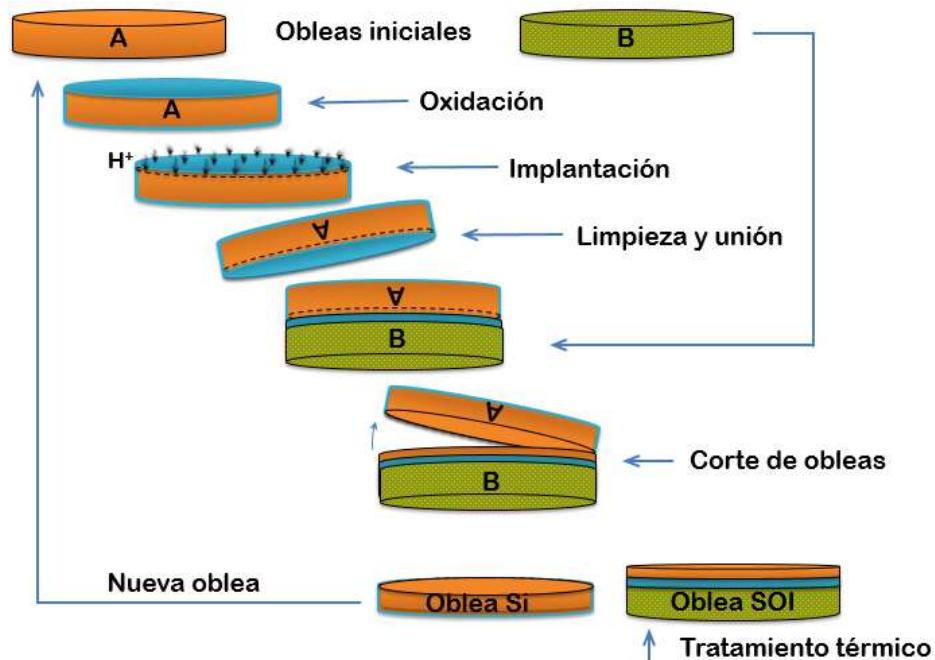


Fig. 1.3. Proceso de fabricación de una oblea SOI [9, 15].

1.3 Escalamiento del transistor MOS

La electrónica digital y la computación han sido las principales ramas a las que ha impactado el crecimiento exponencial del número transistores en los CI CMOS. Como consecuencia directa, la industria ha seguido la continua y extrema miniaturización de los transistores para incrementar la densidad de los mismos en un chip. Por otro lado, la regla de Dennard [16] ha permitido el escalamiento geométrico o clásico del transistor MOSFET y sus parámetros manteniendo el campo eléctrico constante al reducir sus dimensiones y su voltaje de operación, lo cual disminuye la energía disipada de los circuitos CMOS y puede

aumentar la frecuencia de operación si se reducen también los elementos pasivos parásitos de las líneas de interconexión, resistores y capacitores. Un parámetro importante es la longitud del canal del transistor, la introducción de una nueva distancia mínima entre dos líneas en un circuito integrado introduce un nuevo “nodo tecnológico” [9]. A medida que la longitud de canal (L) se reduce, la compuerta (G) controla menos carga en el canal y como resultado los efectos de canal corto (*Short Channel Effects* - SCE) se intensifican. Algunos de ellos son la disminución del voltaje de umbral (V_T), la degradación de la pendiente de subumbral (SS) y el efecto del potencial en el drenador en la reducción de la barrera fuente-canal, conocido como *DIBL* (*Drain Induced Barrier Lowering*). Estos efectos indeseables acabaron con el escalamiento geométrico convencional en el año 2005 [17], especialmente por la disminución de la razón encendido/apagado, I_{ON}/I_{OFF} . Esto ha provocado que el consumo de potencia estático no disminuya, pero también ha sido uno de los factores principales del escaso incremento o prácticamente la saturación en la frecuencia de reloj de los procesadores [18]; en los últimos años, el empleo de arquitecturas de microprocesadores multinúcleo ha hecho frente a este desafío. Por otro lado, el uso de materiales III-V se ha incrementado especialmente para aplicaciones de RF, como es el caso de los transistores HEMT [19].

El escalamiento clásico originó la creación del ITRS (*International Technology Roadmap for Semiconductors*), organismo que se encargó hasta 2015 de prever el futuro de la industria de la microelectrónica y enfocar las investigaciones para asegurar el costo/beneficio y el desempeño de los circuitos integrados, entre otras tareas [20]. La reducción horizontal o de la longitud de compuerta ha sido la principal técnica para incrementar el factor integración, mientras que los dispositivos totalmente verticales comprenden la siguiente fase para continuar con la ley de Moore de acuerdo con el reporte 2015 del ITRS. Algunas soluciones para extender el escalamiento y/o incrementar el desempeño de los transistores han sido: la fabricación de MOSFETs con silicio tensado en el canal a fin de incrementar la movilidad (2003) y la corriente; el uso de dieléctricos de alta k minimizando las corrientes de fuga de la compuerta de espesor muy fino de SiO_2 debidas al efecto de tuneleo directo (2007); el uso de metales como material de compuerta en vez de polisilicio para controlar el voltaje de umbral de los transistores (2007); el uso de nuevas arquitecturas para los MOSFET, i.e. transistores multicompuerta (2011); y por último la

creación de nuevos dispositivos MOS con principio de operación diferente a un transistor de inversión tradicional, como es el caso del transistor MOS sin uniones, conocido en la literatura por su nombre en inglés, como *junctionless transistor* (JLT) y que se encuentra en fase de investigación desde 2009.

1.4 Tipos de transistores MOS

Dos tipos de MOSFETs son los más conocidos hoy en día, los cuales se pueden clasificar por el portador mayoritario o minoritario utilizado para su conducción: transistores de acumulación y transistores de inversión, respectivamente. La diferencia estructural entre uno y otro se obtiene al observar las regiones fuente/canal/drenador, que en el caso de un MOS de inversión canal N tienen concentraciones $n^{++}/p/n^{++}$ mientras que en el de acumulación es $n^{++}/n/n^{++}$. En los MOSFETs de acumulación el tipo de conductividad de portador mayoritario en el canal define el tipo de transistor.

Como se mencionó, un nuevo tipo de transistor ha sido inventado recientemente el cual es denominado *Junctionless Transistor*, JLT. Éste puede clasificarse como un transistor de deserción-acumulación, pero con la diferencia de que el canal es altamente dopado, es decir, tiene una estructura $n^{+}/n^{+}/n^{+}$ para el caso de un transistor canal N. Las altas concentraciones de portadores en el canal disminuyen su resistencia pudiendo así alcanzar mayores niveles de corriente. La figura 1.4 muestra las diferentes regiones de operación de los tres tipos de transistores.

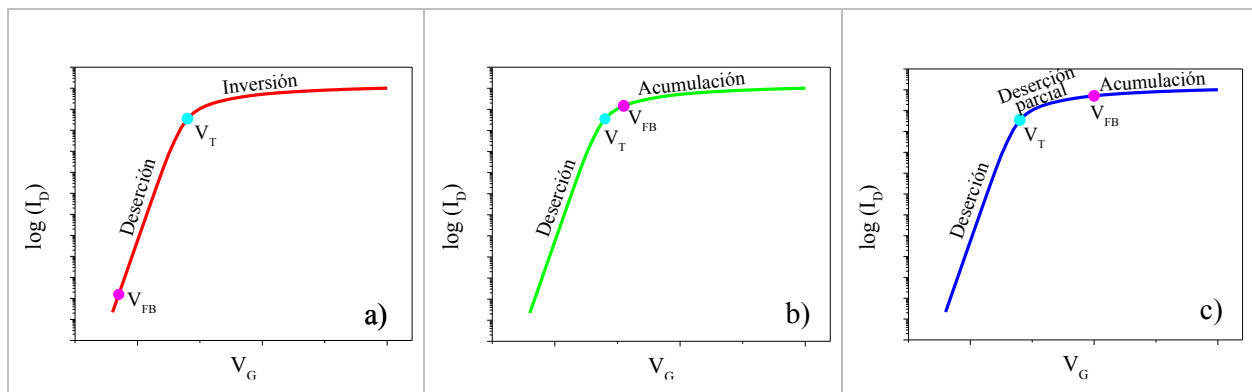


Fig. 1.4. Regiones de operación de los transistores de a) inversión, b) acumulación y c) junctionless MOSFETs [21].

Un transistor JLT se diferencia de un MOSFET de acumulación por el voltaje de banda plana V_{FB} , el cual tiene un valor mayor que el voltaje umbral V_T , que en ocasiones se acerca al valor de la fuente de alimentación. Los JLT trabajan en dos regímenes de operación bien definidos, en deserción parcial por debajo de V_{FB} , $V_{GS} < V_{FB}$, y en acumulación para $V_{GS} > V_{FB}$. Cuando $V_{GS} < V_T$ el transistor se encuentra en deserción total.

1.5 Arquitecturas MOS: transistores multicompuertas

El control sobre la carga del canal y la reducción de los SCE llevó a la evolución del diseño clásico del MOS planar de una sola compuerta a una arquitectura tridimensional de múltiples compuertas. El comportamiento de estas estructuras se basa en el uso de uno o más electrodos para confinar o rodear el canal, formando más regiones donde la carga puede ser modulada y aumentando a su vez, el control electrostático sobre la misma. La figura 1.5(a) muestra las diversas arquitecturas de los transistores multicompuertas. Dentro de las más importantes ventajas de un transistor multicompuertas se encuentran [22]:

- a) Bajo voltaje de operación, $V_{DD} \leq 1V$.
- b) Reducción de la I_{OFF} debido a una pendiente de subumbral cercana a la ideal.
- c) Menor área de silicio para su manufacturación con un área de canal equivalente. La corriente (I_D) es directamente proporcional al ancho de canal (W_{eff}), que en un dispositivo multicompuertas equivale al perímetro de la compuerta que rodea al canal.

La búsqueda de estructuras MOSFET de alta eficiencia ha llevado a la aparición del primer transistor tridimensional en 1999, el FinFET [23], el cuál recientemente ha sido introducido en producción por la industria electrónica (2011) [12, 13]. Asimismo, este transistor presenta compatibilidad tecnológica con los procesos de fabricación planar [11]. En este dispositivo la estructura del transistor es conocido como “Fin” (aleta). Como esta estructura no se puede cambiar, para aumentar la corriente se conectan transistores en paralelo con la compuerta en común, mejor conocida como arquitectura multi-Fin, donde cada transistor posee las mismas características geométricas, ver figura 1.5(b).

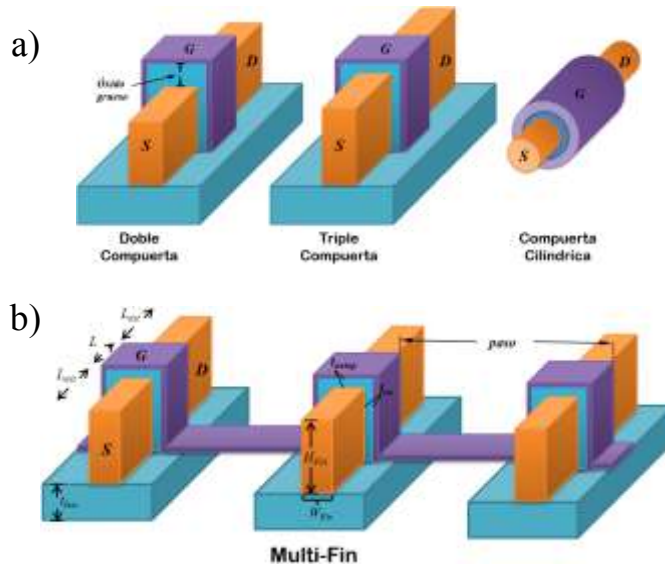


Fig. 1.5. a) Principales arquitecturas multicompuestas b) Arquitectura multi-Fin y parámetros de un FinFET.

Las principales características de la estructura de un FinFET se citan a continuación:

- Espesor del óxido de compuerta lateral (t_{ox}) y superior ($t_{ox,top}$); materiales de alta k que definen si la estructura es un transistor de doble compuerta, $t_{ox,top} \gg t_{ox}$, o si es de triple compuerta, $t_{ox,top} = t_{ox}$. Transistores con un mayor “número de compuertas” tienen una mayor capacitancia de entrada/compuerta ($C_G = C_{ox} W_{eff} L$, C_{ox} es la capacitancia del óxido por unidad de área), la cual reduce la frecuencia máxima de operación [22].
- Espesor del *fin*, W_{Fin} ; suficientemente delgado para reducir los SCE y la variación entre dispositivos, así como para reducir las corrientes de fuga y mejorar su desempeño. Interpretándose como un menor consumo de energía estático [9, 22].
- Altura del *fin*, H_{Fin} : dispositivos altos permiten un mayor manejo de corriente ($I_D \propto W_{eff}/L$), con el costo de aumentar la capacitancia de compuerta, por lo cual su velocidad de conmutación se ve disminuida. Estos efectos son consecuencia del aumento del área del canal.
- Separación entre transistores, *paso* (*Pitch*): reducir la separación permite aumentar la densidad de dispositivos e incrementar la corriente [11], pero

aumentando la capacitancia parásita que resulta del acoplamiento de la compuerta entre transistores consecutivos.

- Número de transistores, N_{Fin} ; al combinar la reducción de W_{Fin} con el incremento de H_{Fin} , el número de transistores en paralelo para operar a un mismo nivel de corriente es menor, lo cual a su vez reduce la capacitancia total debida al número de compuertas, y también permite incrementar la densidad de empaquetamiento [11].

1.6 Simulación y modelos compactos de MOSFETs

En las fábricas de semiconductores, los desarrolladores de tecnología se involucran directamente en los procesos de fabricación y caracterización de los transistores, requiriendo muchas veces del uso simuladores de tecnología (TCAD) para reproducir procesos y características eléctricas de los dispositivos y mejorar su desempeño [24, 23]. Por otro lado, en las casas de diseño, los ingenieros se encargan de llevar a cabo aplicaciones útiles al introducir estos dispositivos en los CI. En este punto las simulaciones de circuitos se usan para corregir errores de diseño y optimizar su operación salvaguardando tiempo y costos de producción. El vínculo entre las industrias de desarrollo de tecnología y de diseño es el modelo del dispositivo [26, 27]. Los simuladores de circuitos basados, comúnmente en SPICE, son la herramienta preferida por los diseñadores para analizar y predecir la operación de circuitos antes de aprobar su fabricación. Los modelos compactos son el corazón de estos simuladores. Un modelo compacto es una descripción matemática simplificada que describe el comportamiento físico del transistor analíticamente en función de los voltajes aplicados y la temperatura. Para esto se utilizan ecuaciones físicas en función de sus parámetros tecnológicos y las condiciones de polarización, procurando que el modelo sea lo suficientemente preciso y eficiente computacionalmente para garantizar que el diseño del CI sea exitoso y rápido [26].

El desarrollo de un modelo compacto inicia con el estudio físico del transistor mediante el uso de simulaciones TCAD en dos y tres dimensiones y/o mediciones que permitan analizar el comportamiento eléctrico interno. El simulador eléctrico de dispositivos para

Capítulo 1. Introducción

obtener las relaciones entre corrientes y voltajes, se basa en resolver las ecuaciones fundamentales de electrostática, de balance de cargas y de transporte. Los resultados de estas simulaciones, así como las mediciones de las características I-V de los transistores fabricados, sirven de base para obtener el modelo, o sea, las expresiones matemáticas que describan el correcto funcionamiento del transistor, logrando reproducir las características simuladas o medidas.

La solución matemática debe ser analítica, concisa y capaz de reproducir el comportamiento del transistor considerando variables de diseño y tecnología minimizando el número de parámetros de ajuste. Dada la complejidad del problema, los modelos generalmente se desarrollan utilizando simplificaciones que permitan describir los fenómenos físicos que ocurren en forma analítica. Por ejemplo, partir de estructuras unidimensionales creando un modelo básico llamado *modelo núcleo*. Posteriormente se van incluyendo efectos de carácter bidimensional que modifican el comportamiento del transistor, los cuales se conocen como efectos de canal corto (ECC) o *short-channel effects* (SCE) por su nombre en inglés.

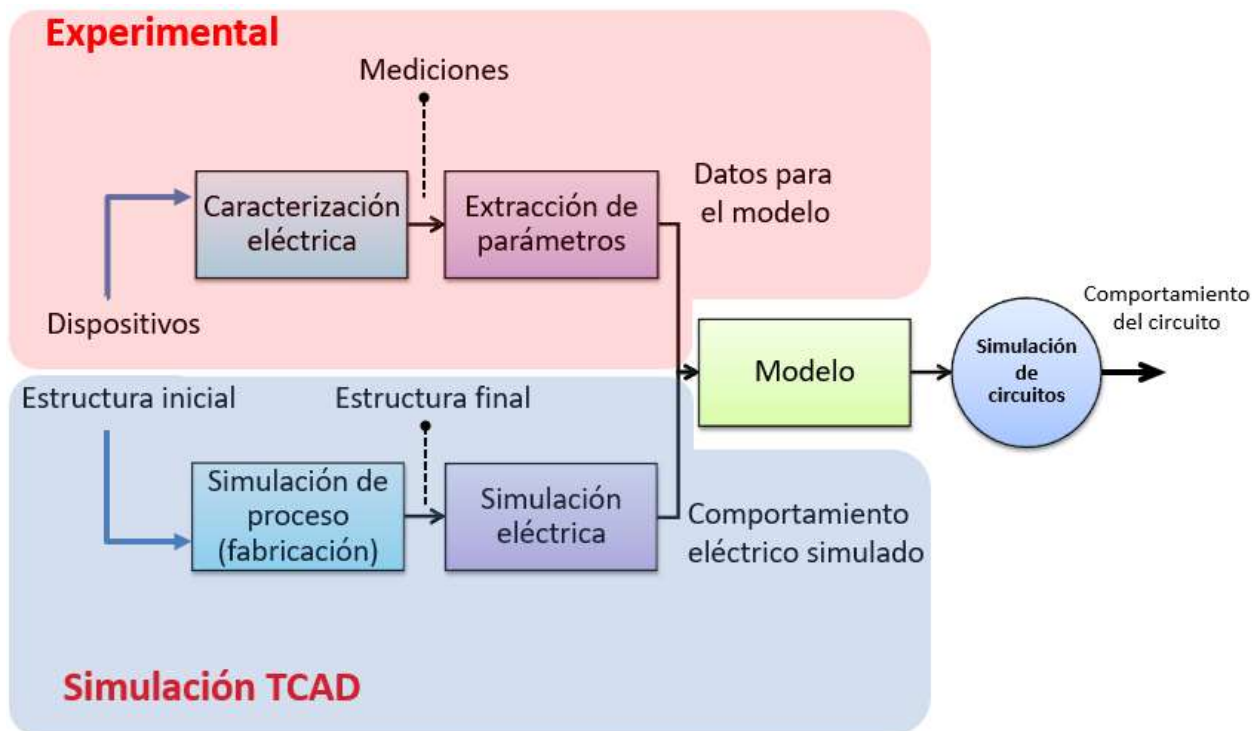


Fig. 1.6. Flujo y función de un modelo en el desarrollo de tecnología [27].

El modelo debe ser codificado en un lenguaje de descripción de hardware de uso estándar como Verilog-A con el propósito de ser usado en simuladores de circuitos que cuenten con compiladores para este lenguaje. De esta forma, el modelo puede ser utilizado por parte de la comunidad científica y de diseño de circuitos. La función del modelo dentro de la tecnología y el diseño es detallada en la figura 1.6.

1.7 Objetivos

El objetivo principal de esta tesis es el desarrollo de un modelo compacto analítico para transistores MOS sin uniones del tipo multicompuertas, para su uso en simuladores de circuitos. El modelo debe estar basado en una adecuada descripción física del comportamiento del transistor que permita predecir correctamente su operación bajo su polarización eléctrica y condiciones térmicas. Los objetivos particulares de esta tesis son:

- Desarrollo de un modelo analítico y compacto de corriente directa para transistores *junctionless* de doble y triple compuerta, que describa las características corriente-voltaje.
- El modelo debe incluir los siguientes efectos de canal corto SCE; degradación de la movilidad con el campo eléctrico; resistencia serie; velocidad de saturación; variación de la pendiente subumbral y el efecto *DIBL*.
- Incluir una expresión analítica para describir la concentración de portadores utilizando la distribución estadística Fermi-Dirac en los transistores *junctionless* de forma que pueda sustituir las expresiones de Boltzmann.
- Incluir la dependencia con la temperatura.
- Descripción del modelo en código Verilog-A para su uso en simuladores de circuitos del tipo SPICE.
- Validación del modelo mediante la comparación con simulaciones eléctricas.
- Validación del modelo mediante datos experimentales de mediciones en dispositivos fabricados.

Capítulo 1. Introducción

En el capítulo 2 se presenta un detallado estudio acerca del funcionamiento del JLT, así como sus características tecnológicas y eléctricas. Se compara el JLT con transistores MOS de inversión y de acumulación.

En el capítulo 3 se presenta el desarrollo del modelo núcleo para transistores *junctionless* doble compuerta, además de la integración de los efectos de canal corto y efectos de temperatura, al igual que la consideración de la distribución de Fermi-Dirac en lugar de Maxwell-Boltzmann.

En el capítulo 4 se presenta el desarrollo del modelo para transistores *junctionless* multicompuertas, incluyendo todos los efectos anteriormente analizados y añadiendo la dependencia geométrica de la estructura, o sea, la variación de la altura del fin.

En el capítulo 5 se presentan los resultados y el análisis a partir de la validación del modelo de CD para transistores JLT tipo FinFET de doble y triple compuerta con simulaciones TCAD y también con mediciones eléctricas experimentales.

Por último, se presentan las conclusiones y trabajos futuros propuestos.

Capítulo 2.

El transistor MOS sin uniones: “*junctionless*”.

Los dispositivos MOS utilizados industrialmente son los transistores de inversión. Éstos presentan uniones *p-n* entre el canal y las extensiones de fuente (S) y drenador (D). La continua miniaturización requiere que las uniones sean ultra superficiales y extremadamente abruptas complicando de esta manera los procesos de fabricación de los transistores convencionales [28]. Por otra parte, los dispositivos que operan como transistores MOS, donde las regiones de fuente (S) y el drenador (D) tienen el mismo tipo de dopaje son conocidos como transistores *junctionless* (JLT). Este tipo de transistores, propuestos en 2009 y exitosamente fabricados y caracterizados [28, 29], pueden ser fabricados de una manera similar a los transistores FinFET de inversión, con la diferencia de que el mismo tipo de material para las implantaciones es utilizado en todo el “fin” de silicio (fuente-canal-drenador).

2.1 Teoría de operación

El transistor *junctionless*, es un dispositivo controlado por una compuerta con un alto grado de concentración de impurezas para maximizar la conductividad del canal (comúnmente superior a 10^{18} cm^{-3}) y alcanzar niveles de corriente deseables, cuya principal característica es la ausencia de uniones p-n. El dopaje puede ser uniforme y homogéneo desde la fuente hasta el drenador evitando así los gradientes de concentración y la difusión, o puede incluso tener una implantación adicional del mismo tipo de portador en las extensiones de fuente y drenador con el objetivo de disminuir la resistencia serie.

2.1.1 Diseño y mecanismos de conducción

La deserción completa del transistor se garantiza por medio de la diferencia de trabajo de extracción (ϕ_{MS}) entre el material de compuerta y el canal semiconductor, además de una apropiada reducción de las dimensiones de la sección transversal del mismo. Dicha sección transversal debe ser suficientemente pequeña para empobrecer totalmente el canal, con el fin de obtener un dispositivo normalmente apagado por debajo del voltaje de umbral. Por tanto, el diseño de un JLT requiere mantener un balance entre la función de trabajo de compuerta y la geometría del transistor [29].

En contraste con un transistor de inversión, el principio de operación de un JLT consiste en trabajar con un flujo de portadores mayoritarios para generar corriente. Por lo cual el tipo de material de dopaje, donador o aceptor, determina el canal del transistor, N o P. Por consiguiente, el principio de operación de este transistor difiere al del MOS de inversión. Los mecanismos de conducción del JLT se delimitan por los voltajes de polarización, estableciendo dos regiones de operación perfectamente definidas: deserción y acumulación. La transición entre una región y otra está determinada por el voltaje de banda plana, V_{FB} . La figura 2.1 muestra estas regiones de operación en un transistor de triple compuerta, así como el diagrama de bandas en la dirección de las compuertas laterales.

Al considerar un dispositivo normalmente apagado, en principio éste se encuentra en deserción completa para $V_G < V_T$. Esto significa que la componente de arrastre de la corriente total es despreciable, conservando sólo la componente debida a la difusión y está presente a través del centro del canal.

Cuando el voltaje en la compuerta es mayor del voltaje umbral, se alcanza el régimen, de deserción parcial que se mantiene hasta que el V_G sea igual a $V_{FB} + V_D$. En este caso el principal flujo de corriente es a través del centro del semiconductor, donde el dispositivo es neutral, con un campo eléctrico transversal aproximadamente igual a cero; esta corriente se conoce como *corriente de volumen*. Dado que la conducción es por el volumen y no por la superficie del semiconductor, este mecanismo de conducción tiene la ventaja de carecer de dispersión debida a la rugosidad superficial, por lo cual los portadores tienden a conservar la movilidad del semiconductor que se ve limitada únicamente por la dispersión de

Capítulo 2. El transistor MOS sin uniones: “*junctionless*”

impurezas ionizadas [29, 30], o sea, por la concentración de impurezas, y puede ser considerada constante. Al aumentar V_G , la zona de deserción a partir del centro del semiconductor disminuye, por lo cual el radio de conducción aumenta.

Por otra parte, cuando es aplicado un V_G superior a $V_{FB}+V_D$, el dispositivo forma una capa de acumulación de portadores en la superficie del semiconductor, en la cual un segundo mecanismo de conducción adicional se origina y se suma a la corriente que fluye por el volumen del semiconductor. En este régimen de operación conocido como acumulación, la degradación de la movilidad superficial causada por la rugosidad superficial aumenta al incrementar el voltaje aplicado en la compuerta. Sin embargo, a pesar de ello la degradación de la movilidad en su conjunto es menor que la que se presenta en los MOS de inversión.

Un punto importante es la transición entre ambos métodos de conducción. Esto ocurre cuando V_G es igual $V_{FB}+V_D$. En este punto el dispositivo es totalmente neutral sin acumulación en la superficie, comportándose idealmente como un resistor y sintetizando su comportamiento a través de la ley de Ohm [29, 30, 31].

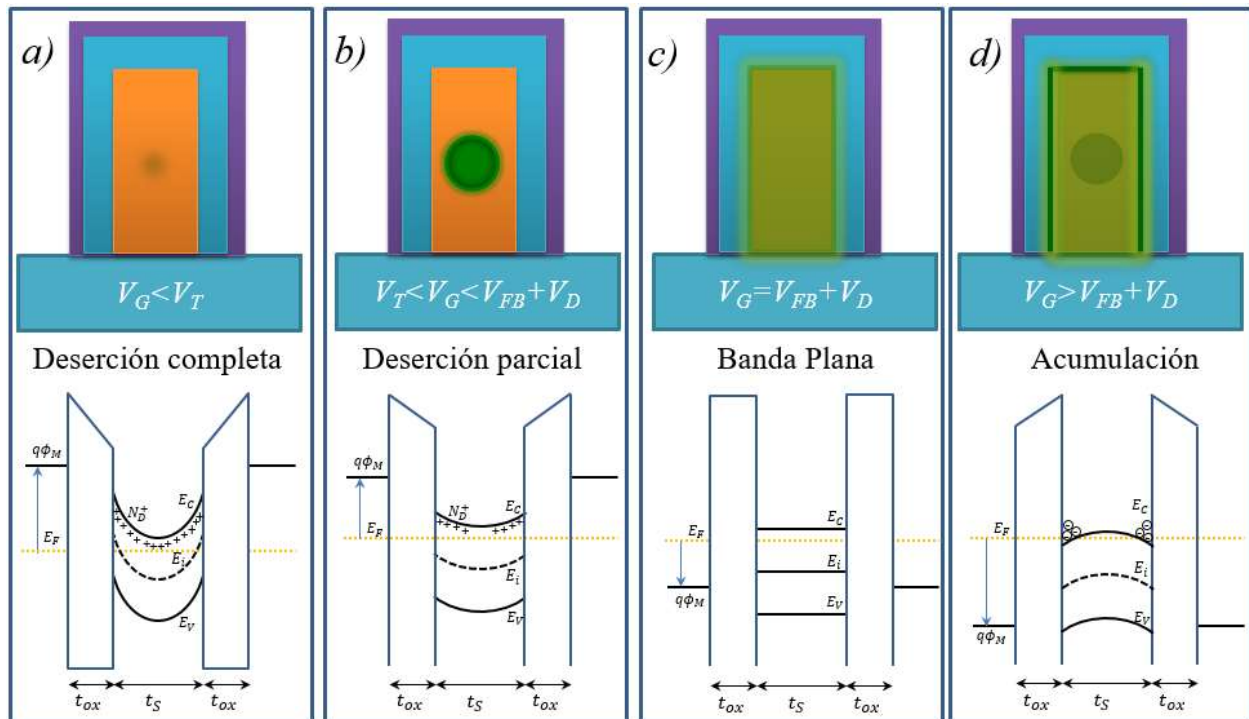


Fig. 2.1. Regiones de operación de un JLT. a) Deserción completa, b) deserción parcial, c) transición y d) acumulación [31].

2.2 Características de un JLT vs MOSFET de inversión y perspectivas

La característica más destacada y notable de los JLT es la supresión de las uniones $p-n$ entre el canal y las extensiones de las terminales de S y D. Importantes ventajas se derivan de esta particularidad, entre ellas el uso de un solo tipo de material para realizar implantaciones en todo el semiconductor, evitando el uso de pasos tecnológicos adicionales y reduciendo de esta manera los costos de fabricación. Otros efectos indeseables también son eliminados, tales como la capacitancia de traslape entre la G y S/D; la longitud de canal es directamente definida por la máscara de fotolitografía, ya que no existen regiones de carga espacial que disminuyan su longitud [28].

Dos tipos de estructuras JLT pueden ser identificadas: homogénea y no homogénea. En una estructura homogénea, toda la barra semiconductor (S/canal/D) tiene un dopaje uniforme, que el caso de un transistor canal N corresponde a: $n^+-n^+-n^+$. Sin embargo, en una estructura no homogénea las extensiones de S y D tienen un dopado adicional mucho mayor que el del canal con el objetivo de reducir la resistencia serie y mejorar las condiciones de operación [32, 33], presentándose de esta manera homouniones con un solo tipo de conductividad $n^{++}-n^+-n^{++}$. Al introducir un espaciador (*spacer*) entre las extensiones S/D y el canal, se evita que en la implantación adicional se afecte a la zona del semiconductor justo debajo de la frontera extensión/canal, obteniendo de esta manera una estructura donde ahora las homouniones se encuentran solamente en las extensiones y no en su frontera con el canal [32]. Mientras que una estructura presenta mayor simplicidad tecnológica, la otra produce un mejor desempeño eléctrico. El primer JLT desarrollado y estudiado por el equipo de Colinge, fue el homogéneo [28]. Hoy en día, los esfuerzos de fabricación y estudio también se están aplicando en estructuras con extensiones dopadas [33, 34].

La movilidad de un JLT es aproximadamente tres veces menor que la de un transistor de inversión y es del orden de $60-100 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ debido a la alta concentración de dopaje del canal, que es al menos de 10^{18} cm^{-3} ; no obstante, se obtienen niveles de corriente del mismo orden y una variación de la movilidad con respecto al aumento de temperatura considerablemente menor [35]. Si la operación del dispositivo es de bajo consumo de energía

y con voltajes menores a V_{FB} , la degradación de la movilidad es prácticamente nula pudiendo considerarse constante.

Importantes ventajas del JLT respecto a su contraparte los transistores MOS de inversión han sido ampliamente reportadas [21, 28, 33, 36]. Una de ellas es la pendiente de subumbral (SS), cuyo valor para un transistor de canal largo es prácticamente el límite teórico $SS = (kT/q) \cdot \ln(10)$, que en temperatura ambiente (300 K) equivale a casi 60 mV/dec [29]. Es deseable obtener valores de SS bajos para mejorar las condiciones de conmutación del estado no-conduce a conduce del transistor.

Los JLT tienen también mayor inmunidad a los SCE respecto a sus contrapartes los transistores de inversión. Esto facilita el escalamiento del transistor a longitudes que incluso siguen en desarrollo para transistores de inversión. En la figura 2.2 se pueden observar algunas comparaciones entre el MOSFET de inversión y el JLT con arquitectura de compuerta tipo Pi [32]. Los efectos de subumbral, la degradación de la SS , $DIBL$ y disminución de V_T son considerablemente menores. En otro punto, la corriente de fuga en un JLT es substancialmente inferior y también se pueden obtener magnitudes de corriente del mismo orden que un transistor convencional por la enorme cantidad de portadores.

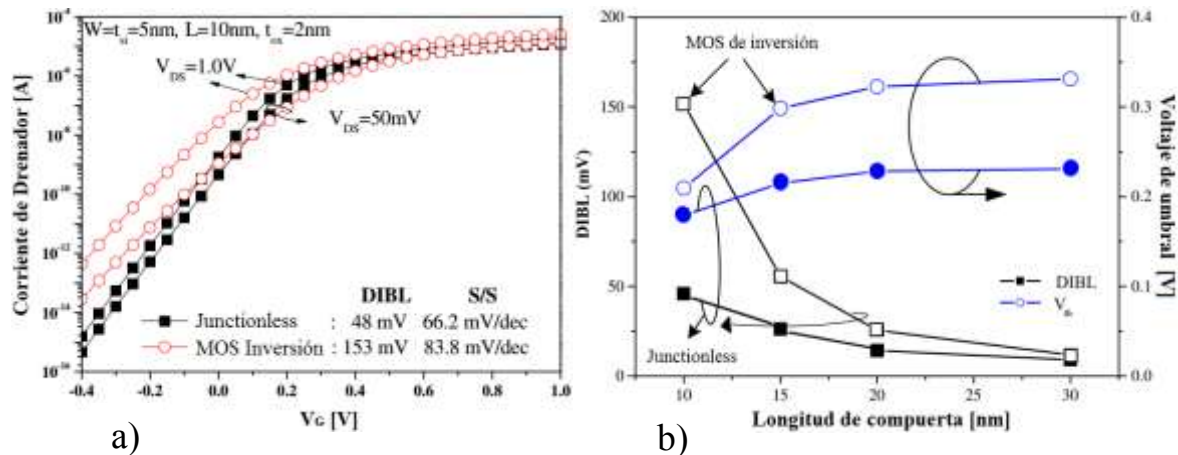


Fig. 2.2. Comparación eléctrica del comportamiento de un JLT e IM. a) Característica de subumbral b) Efectos de subumbral $DIBL$ y degradación de V_T [32].

La distribución estocástica de la concentración de impurezas en el canal se incrementa para transistores de dimensiones pequeñas, ya sea de longitud de canal o de altura debido al reducido volumen del canal. Como consecuencia de tal aleatoriedad en la implantación, los transistores fabricados presentarán una variación en sus voltajes de umbral [37]. Para el caso del JLT su alta concentración provoca que aumente la probabilidad de esta variación [38, 39].

Otra característica de relevancia es la distribución estadística considerada para calcular la concentración de portadores. Para ciertos rangos de temperatura y concentración de dopaje, la estadística de Boltzmann puede ser utilizada en lugar de la de Fermi-Dirac, simplificando los cálculos significativamente, como se hace en el caso de un FinFET de inversión. Sin embargo, para los JLT, donde el nivel de dopaje de impurezas es muy alto, es indispensable calcular la concentración de portadores utilizando Fermi-Dirac, puesto que la distribución de Boltzmann sobrevalora la concentración, y por lo tanto, la corriente. Por la complejidad de la integral de Fermi-Dirac, el considerar esta concentración es un fuerte reto para un modelo compacto analítico.

2.3 Perspectivas futuras

Los circuitos integrados (CI) para aplicaciones digitales, ya sean móviles, de bajo consumo, para computación o en memorias, utilizan como elemento base los transistores MOS de inversión. La industria de la microelectrónica y los CI buscan continuamente mejorar sus productos al mismo tiempo que reducir los costos para producirlos. Esa es la razón de la evolución tecnológica, eléctrica y de arquitectura de los transistores. El JLT luce como una prometedora elección para continuar el escalamiento de los MOSFET, porque no requiere un diseño especial entre el canal y sus terminales como en el caso de un MOS de inversión, donde las implantaciones adicionales requieren de costosas, sofisticadas y rápidas técnicas de recocido con el objetivo de disminuir la profundidad de las uniones entre el canal y las terminales del transistor para mitigar los efectos de canal corto, pero a costa de aumentar la resistencia serie [9, 29]. Por el contrario, un transistor MOS sin uniones puede ser visto como un paso para mejorar el desempeño de los MOSFETs, dado que no necesariamente

requiere de este tipo de implantaciones adicionales para su funcionamiento, ni para su escalamiento.

Desde su invención en 2009, el número de investigaciones ha ido al alza con tendencia a crecer aún más, ver figura 2.3. El campo de exploración de los JLT es vasto: fabricación, caracterización, análisis físico, eléctrico y de circuitos, etc. Muchos de los estudios comprenden el desarrollo de modelos que describan el comportamiento eléctrico del dispositivo, esto con el objetivo de obtener una completa descripción física que pueda brindar el conocimiento para ajustar la tecnología y para el desarrollo de modelos cada vez más precisos. Una cantidad considerable de modelos, ya sean analíticos o numéricos, han sido desarrollados por diversos grupos de investigación, especialmente al inicio de los transistores de doble compuerta [31, 40-44]. Otra arquitectura estudiada que cuenta con diversos modelos desarrollados es la cilíndrica [45-49], cuyo comportamiento es el más eficiente dentro de todas las posibles estructuras MOS. Ambos tipos de modelos se han reportado ampliamente por la comunidad científica, debido a que el análisis es el menos complejo posible, es decir, un análisis bidimensional. A pesar de ello, no existen aún dispositivos fabricados con este tipo de arquitectura. Por otra parte, pueden encontrarse muestras de dispositivos de triple compuerta, como los FinFETs, en los principales centros de desarrollo tecnológico en el mundo [29, 50], la razón es que éstos pueden ser fabricados con la misma tecnología con la que se fabrica un FinFET de inversión. A diferencia de otras estructuras, actualmente hay muy pocos modelos que describan el comportamiento de un JLT de triple compuerta [51-54], especialmente considerando la altura del Fin variable.

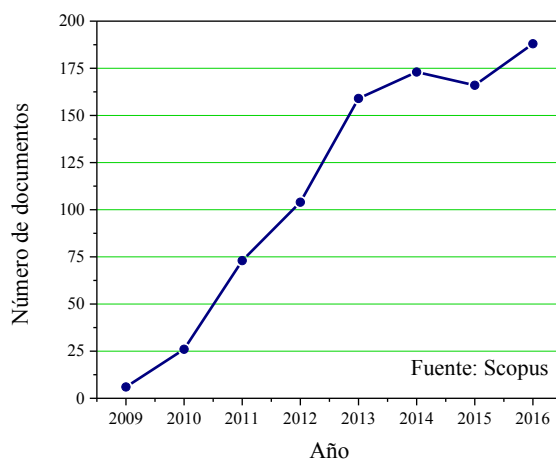


Fig. 2.3. Número de investigaciones enfocadas en el JLT cada año.

Capítulo 2. El transistor MOS sin uniones: “*junctionless*”

La alta eficiencia, desempeño y el hecho de que los efectos de canal corto son más reducidos que en los de inversión, vuelven al transistor MOS sin uniones un objeto de estudio de alto interés hoy en día, con serias posibilidades de contender mañana contra los transistores convencionales por un puesto en la industria de la tecnología, especialmente por su compatibilidad en los procesos de fabricación CMOS.

Capítulo 3.

Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos.

Los modelos actuales para transistores MOS avanzados se basan en la definición de las cargas en las terminales del transistor para poder describir la corriente. A pesar de que los modelos basados en potencial superficial son más aceptados industrialmente, la relación entre la carga móvil y el potencial hacen posible el uso comercial de los modelos basados en carga. El desarrollo del modelo compacto en el corto tiempo es necesario para el perfeccionamiento tecnológico del transistor con el objetivo de que a largo plazo se aseguren la fabricación y diseño exitoso de circuitos con este producto.

En este capítulo se presenta el tema central de esta tesis, el cual consiste en el desarrollo de un nuevo modelo compacto basado en carga para transistores junctionless que es en un principio válido para transistores de doble compuerta y que se extiende finalmente a transistores de triple compuerta. Cuando las dimensiones de la altura y la anchura de fin son similares se dice que se tiene un nanoconductor (*nanowire*). Ambos transistores son tipo FinFET con un único electrodo de compuerta. Además, tales dispositivos son de arquitectura simétrica respecto a la compuerta, es decir, el material de las compuertas laterales es el mismo y los espesores de óxido de ambas compuertas tienen características tecnológicas y propiedades eléctricas idénticas. Asimismo, el modelo de corriente debe estar en función de los voltajes aplicados a las terminales del transistor y de la temperatura. El desarrollo de los modelos se realiza en primera instancia para transistores canal N, el cual puede ser extrapolado a transistores de canal P, considerando a los huecos en vez de los electrones en las expresiones generales.

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

Uno de los grandes retos del modelado de los JLT ha sido el representar de manera continua la carga móvil debida a los dos diferentes mecanismos de conducción del dispositivo (deserción y acumulación). Este desafío ha sido ampliamente abordado en este trabajo y se presenta por primera vez un modelo sin aproximaciones en los métodos de conducción. Sin embargo, la representación continua de la carga no es el único reto; en los modelos de carga, el potencial superficial es una función implícita. Asimismo, en este capítulo se aborda la solución optada para obtener el potencial superficial a través de un método iterativo de cuarto orden modificado que ha sido anteriormente utilizado en otros modelos [22]. Para finalizar con el modelo de canal largo unidimensional, considerado como núcleo, la corriente es obtenida a través del desacoplamiento de la carga móvil para las regiones de deserción y acumulación, lo cual se encuentra formalmente explicado en las siguientes secciones. Por otra parte, la reducción de las longitudes de canal de los transistores hace necesaria la incorporación de los SCE; un análisis bidimensional hace posible su incorporación como un complemento adicional al modelo núcleo.

3.1 Modelo núcleo de transistores de doble compuerta

En esta sección se explica en detalle el desarrollo de las expresiones utilizadas en el modelo núcleo, tales como potenciales, cargas y corriente, así como las utilizadas.

3.1.1 Modelo de los potenciales

El primer paso para la modelación de los transistores consiste en dar solución a las variables electrostáticas a través de la ecuación de Poisson, cuya forma tridimensional en el análisis de semiconductores es la siguiente:

$$\frac{d^2\varphi}{dx^2} + \frac{d^2\varphi}{dy^2} + \frac{d^2\varphi}{dz^2} = -\frac{\rho}{\epsilon_S}, \quad (3.1)$$

donde $\varphi(x, y, z)$ es el potencial electrostático en cualquier punto del canal; ρ es la densidad de carga volumétrica en el semiconductor y ϵ_S es la permitividad eléctrica del mismo.

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

Un transistor MOS de doble compuerta (DG) generalmente es fabricado con arquitectura tridimensional tipo FinFET, como el mostrado en la figura 3.1(a). El estudio inicia al asumir un transistor de grandes dimensiones de canal que cumple con las condiciones de un dispositivo de DG, o sea, tener un espesor de dieléctrico en la parte superior mucho mayor que en los laterales, $t_{ox\text{top}} \gg t_{ox}$, y/o que la altura del fin sea mucho mayor que su anchura, $H_{Fin} \gg W_{Fin}$. Bajo estas condiciones el análisis se vuelve unidimensional en el sentido transversal a las caras laterales, debido a que la variación del campo eléctrico en la dirección de la altura se puede despreciar, $\frac{d^2\phi}{dz^2} \approx 0$. Otra simplificación importante y ampliamente usada en el desarrollo de modelos, se obtiene al asumir un transistor de canal largo, en otras palabras, considerar que la variación del campo eléctrico en la dirección longitudinal es mucho menor que en la dirección transversal al canal, $\frac{d^2\phi}{dy^2} \ll \frac{d^2\phi}{dx^2}$. A esta suposición se le conoce como aproximación de canal gradual (GCA).

Las consideraciones anteriores permiten simplificar significativamente tanto la estructura bajo estudio, así como su análisis. El desarrollo del modelo núcleo inicia con el análisis de una estructura canal N de un transistor doble compuerta planar (DG), como el mostrado en la figura 3.1(b), la cual puede resultar de un corte transversal de un DG FinFET, ver figura 3.1(a). Donde L es la longitud de compuerta; t_S es el espesor del semiconductor; t_{ox} es el espesor de óxido equivalente (EOT); N_D es la concentración en el canal y L_{ext} es la longitud de las extensiones de las terminales de S/D con concentración de dopaje N_{Dext} .

Al usar como referencia el nivel de Fermi intrínseco (E_i) y al considerar únicamente la aportación de los portadores mayoritarios, tanto en la carga fija debida a las impurezas ionizadas como en la móvil por los electrones, se obtiene una ecuación de Poisson en 1-D en dirección normal a la superficie del semiconductor, como:

$$\frac{d^2\phi}{dx^2} = -\frac{q(-n+N_D)}{\epsilon_S} = \frac{qN_D}{\epsilon_S} \cdot \left(1 - e^{\frac{\phi-V}{\phi_t}}\right), \quad (3.2)$$

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

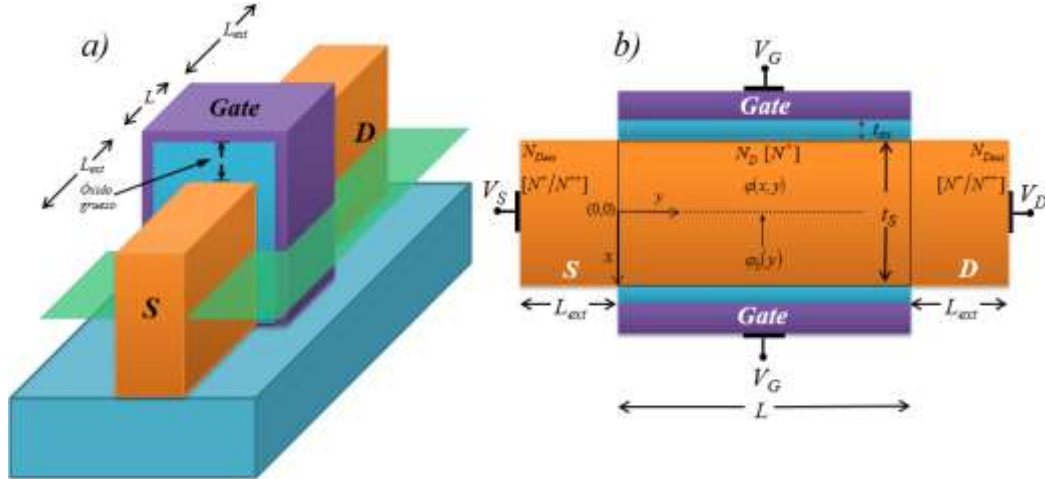


Fig. 3.1. Estructura JLT doble compuerta a) tridimensional FinFET con corte transversal, b) planar bidimensional.

donde $\varphi_t = kT/q$ es el potencial térmico a la temperatura T ; q es la carga del electrón; k es la constante de Boltzmann; V es la caída de voltaje a lo largo del canal desde la fuente, $V_S = 0$, hasta el drenador, $V = V_D$; n es la concentración de electrones y N_D es la concentración de dopaje. La distribución de Boltzmann ha sido considerada para los cálculos de los portadores.

Empleando las siguientes condiciones de frontera para un transistor DG simétrico, en el centro ($x=0$) y en la interfaz óxido/semiconductor ($x=\pm t_s/2$):

$$\left. \frac{d\varphi}{dx} \right|_{x=0} = E_0 = 0, \quad (3.3)$$

$$\left. \frac{d\varphi}{dx} \right|_{x=\pm t_s/2} = \pm E_S, \quad (3.4)$$

donde E_0 corresponde al campo eléctrico en el centro. Esto con el objetivo de obtener el campo eléctrico en la superficie (E_S) por medio de una simple integración en la ecuación de Poisson (3.2) [43, 55]:

$$E_S = \varphi_t \frac{C_{ox}}{\epsilon_S} \beta \cdot \text{sign}(\alpha) \sqrt{e^{\frac{\varphi_S - V}{\varphi_t}} - e^{\frac{\varphi_0 - V}{\varphi_t}} - \alpha}, \quad (3.5)$$

donde $\beta = \sqrt{\frac{2q_b C_S}{C_{ox}}}$; $q_b = \frac{q N_D t_s}{C_{ox} \varphi_t}$ es la carga fija en el semiconductor, normalizada;

$\varphi_0 = \varphi(x=0)$ es el potencial en el centro del canal; $\varphi_S = \varphi(x=\pm t_s/2)$ es el potencial en la interfaz

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

entre el dieléctrico y el semiconductor; $C_S = \epsilon_S / t_S$ es la capacitancia del canal semiconductor por unidad de área y ϵ_S es la constante dieléctrica del semiconductor; $C_{ox} = \epsilon_{ox} / t_{ox}$, es la capacitancia del óxido por unidad de área y ϵ_{ox} es la permitividad del dieléctrico bajo la compuerta; α es la diferencia de potenciales entre la superficie y el centro del semiconductor, normalizada respecto al voltaje térmico, matemáticamente expresada como:

$$\alpha = \frac{\varphi_S - \varphi_0}{\varphi_t}. \quad (3.6)$$

Cuando se alcanza el subumbral profundo, es decir, en deserción completa del semiconductor ($V_G < V_T$), la magnitud de esta diferencia tiende al valor de [43, 55]:

$$\alpha_{bt} = -\frac{q_b C_{ox}}{8C_S}. \quad (3.7)$$

Vale la pena recordar que el JLT trabaja principalmente en dos regiones definidas por los voltajes aplicados. En la región de deserción el potencial superficial es menor que el potencial en el centro, $\alpha < 0$, y en la región de acumulación ocurre el fenómeno contrario, $\alpha > 0$. Lo que significa un cambio de signo de la diferencia de potenciales de negativo a positivo en la región de transición entre ambas regiones. Por esta razón en (3.5) se incluye la función *sign*.

Resolver las ecuaciones (3.5) y (3.6) requiere del conocimiento de los potenciales en el centro y en la superficie y/o de su diferencia. Se ha optado por una solución basada en el método de diferencias finitas (FDM) propuesto en [41] para encontrar la relación entre estos potenciales. Usando específicamente el método de la diferencia central en el centro del semiconductor y con un espaciado de $t_S/2$ en las ecuaciones (3.2) y (3.3), como se indica a continuación [41]:

$$\left. \frac{d\varphi}{dx} \right|_{x=0} = \frac{\varphi\left(x = t_S/2\right) - \varphi\left(x = -t_S/2\right)}{t_S/2} = 0, \quad (3.8)$$

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

$$\left. \frac{d^2 \varphi}{dx^2} \right|_{x=0} = \frac{\varphi\left(x = t_s/2\right) - 2\varphi(x=0) - \varphi\left(x = -t_s/2\right)}{\left(t_s/2\right)^2} = \frac{qN_D}{\epsilon_s} \left(1 - e^{\frac{\varphi_0 - V}{\varphi_t}}\right). \quad (3.9)$$

A partir de las ecuaciones anteriores, se comprueba el principio de simetría de un transistor DG, $\varphi(t_s/2) = \varphi(-t_s/2) = \varphi_s$ y también se obtiene una expresión que relaciona los potenciales en el centro y en la superficie a través de [41, 55]:

$$\varphi_s = \varphi_0 - \varphi_t \alpha_{bt} \left(e^{\frac{\varphi_0 - V}{\varphi_t}} - 1 \right). \quad (3.10)$$

En un JLT el espesor de la capa semiconductor debe ser sumamente delgada para asegurar su apagado (típicamente menor a 20 nm). Esto permite que la expresión anterior sea lo suficientemente precisa a pesar de ser obtenida a través de un cálculo discreto. La exactitud de la ecuación (3.10) puede evaluarse a través del error, el cual es proporcional al cuadrado del intervalo de discretización entre los puntos, que en este caso equivale a $t_s/2$, por lo tanto, a medida que el dispositivo sea aún más estrecho mayor será la exactitud.

A través de la manipulación algebraica de (3.10) es posible obtener una expresión para α en función del potencial superficial como [55]:

$$\alpha = \alpha_{bt} + LW \left[-\alpha_{bt} e^{-\alpha_{bt}} e^{\frac{\varphi_s - V}{\varphi_t}} \right], \quad (3.11)$$

en la cual LW simboliza la función de Lambert.

Al substituir el término exponencial de (3.10) en (3.5) y con ayuda de la igualdad (3.6), se logra una expresión del E_s en función de dos variables: φ_s y α . Asimismo, utilizando la ley de Kirchhoff de voltajes en la estructura MOS, se logra determinar una relación entre los voltajes aplicados y el potencial superficial de la siguiente manera [55]:

$$V_G - V_{FB} = \varphi_s + \text{sign}(\alpha) \varphi_t \beta \sqrt{e^{\frac{\varphi_s - V}{\varphi_t}} - \xi \cdot \alpha - 1}, \quad (3.12)$$

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

en la cual $\xi = \left(1 - \frac{1}{\alpha_{bt}}\right)$ y $E_S = \frac{C_{ox}}{\epsilon_S} \text{sign}(\alpha) \varphi_t \beta \sqrt{e^{\frac{\varphi_S - V}{\varphi_t}} - \xi \cdot \alpha - 1}$.

La ecuación (3.12) depende únicamente de los voltajes de polarización, V_G y V_D , y de dos variables, φ_S y α . Una solución analítica exacta para el φ_S no puede ser obtenida a simple vista debido a la naturaleza trascendente de la expresión. Se muestra una comparación realizada entre los potenciales obtenidos por simulación y los calculados numéricamente en la figura 3.2, para un DG JLT de canal largo con las siguientes características: $t_S=15$ nm, $EOT=1.5$ nm, $N_D=5 \times 10^{18}$ cm⁻³, $\phi_M = 5.2eV$.

Algunas soluciones que emplean métodos que aproximan los potenciales en cada una de las regiones de operación han sido propuestas en diversos modelos [31, 40, 51, 56]. Para este modelo una solución del potencial superficial basada en un método iterativo ha sido desarrollada e implementada satisfactoriamente. El valor inicial, suficientemente próximo a la solución exacta, es estimado por medio de un algoritmo construido para asegurar la convergencia del cálculo y para hacer al modelo más compacto computacionalmente. Una detallada explicación del cálculo del potencial es explicada en el Apéndice A.

El modelo de los potenciales involucra el cálculo de $\varphi_S(V_G, V_D)$, $\varphi_0(V_G, V_D)$ y $\alpha(V_G, V_D)$ a través del cómputo de (3.6), (3.11) y (3.12).

La figura 3.3(a) muestra los resultados obtenidos para los potenciales φ_S por medio del algoritmo descrito en el apéndice A y φ_0 , usando la ecuación (3.6). La figura 3.3(b) muestra también la diferencia α descrita por (3.11).

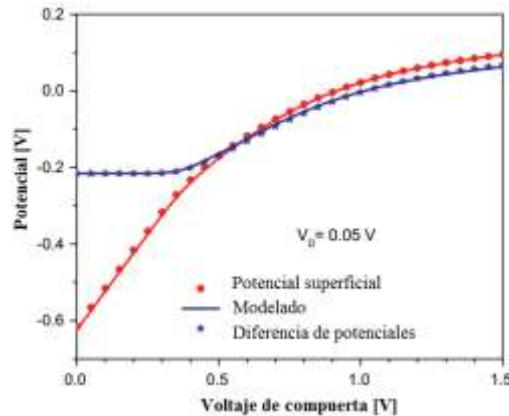


Fig. 3.2. Potencial en la superficie y diferencia de potenciales entre la superficie y el centro [55].

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

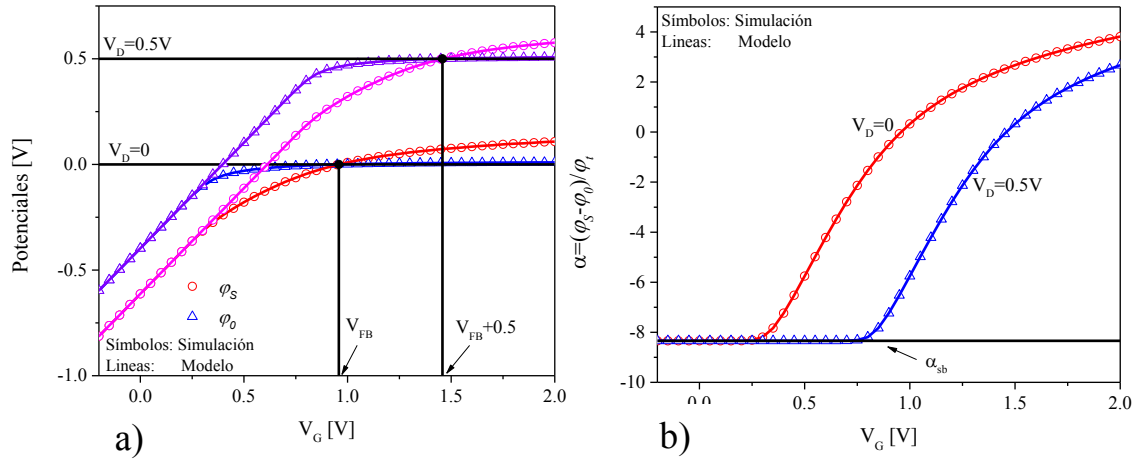


Fig. 3.3. a) Potenciales en el centro y la superficie para diferentes valores de V_D , b) Diferencia de potenciales normalizada.

Es posible ver el punto de transición $V_{FB} + V_D$ que define el límite entre un método de conducción y otro, también se observa el comportamiento lineal de los potenciales ϕ_s y ϕ_0 en el subumbral, mientras que en acumulación se observa que $\phi_0 \approx V_D$. Por otra parte, en la curva de α se observa que su valor en subumbral tiende al valor constante α_{sb} . Éstos resultados respaldan el método de cálculo definido en el Apéndice A.

3.1.2 Modelo de carga continuo

Considerando la condición de simetría de un transistor de doble compuerta, al utilizar de nueva cuenta la ley de Gauss, esta vez solamente considerando el canal desde el centro hasta la interfaz. La carga total en la mitad del semiconductor normalizada respecto a $C_{ox}\phi_t$ se puede expresar como:

$$q_{sem} = \frac{\epsilon_s E_s}{C_{ox}\phi_t} = -\text{sign}(\alpha)\beta \sqrt{e^{\frac{\phi_s - V}{\phi_t}} - \xi \cdot \alpha - 1} \quad (3.13)$$

donde el término $\epsilon_s E_s$ representa la carga total del semiconductor por unidad de área, Q_{sem} .

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

Al substratar de la mitad del semiconductor bajo estudio, la carga debida a las impurezas ionizadas, se obtiene la carga móvil normalizada debida a los portadores como:

$$q_n = -\text{sign}(\alpha)\beta\sqrt{e^{\frac{\varphi_s-V}{\varphi_t}} - \xi \cdot \alpha - 1} - \frac{q_b}{2}. \quad (3.14)$$

Es importante destacar que las expresiones para q_{sem} y q_n permiten calcular las cargas en todas las regiones de operación de manera continua, algo que no es posible en los modelos hasta ahora reportados [41, 42, 44, 51, 52]. Asimismo, las cargas son función de las variables φ_s , α y del voltaje a lo largo del canal, V .

Para poder calcular la corriente que circula a través del canal en forma analítica resulta necesario expresar la dependencia de la carga móvil en función de una única variable. Una manera de lograr esto es desacoplar la carga. Esto es posible al considerar separadamente las dos regiones de operación del transistor. Después de algunas manipulaciones matemáticas, la carga del semiconductor en la región de deserción a partir de (3.14) puede ser expresada en función de la variable α de la siguiente manera:

$$q_{dep} = \beta\sqrt{e^{\xi \cdot \alpha} - \xi \cdot \alpha - 1} - \frac{q_b}{2}. \quad (3.15)$$

Otra aproximación para la región de acumulación puede ser obtenida al asumir que $\varphi_0=V_D$ en acumulación, obteniendo de esta manera una expresión alternativa para (3.14) dependiendo sólo de φ_s :

$$q_{acc} = -\beta\sqrt{e^{\frac{\varphi_s-V}{\varphi_t}} - \frac{\varphi_s - V}{\varphi_t} - 1} - \frac{q_b}{2}. \quad (3.16)$$

Las expresiones de carga desacopladas para deserción, q_{dep} , y acumulación, q_{acc} , dependen únicamente de una sola variable y resultan de utilidad para el cálculo analítico de la corriente presentada en la siguiente sección. Otro punto importante es que todos los cálculos numéricos que involucren a las cargas son realizados a través de las expresiones continuas (3.13) y (3.14) con el objetivo de reducir el error.

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

La figura 3.4 muestra la carga móvil y su derivada, ambas calculadas por la expresión continua (3.14) y por medio de las aproximaciones en deserción y acumulación para un DGJLT con $t_s=15$ nm, $EOT=1.5$ nm, $N_D=5 \times 10^{18}$ cm⁻³, $\phi_M = 5.2$ eV.

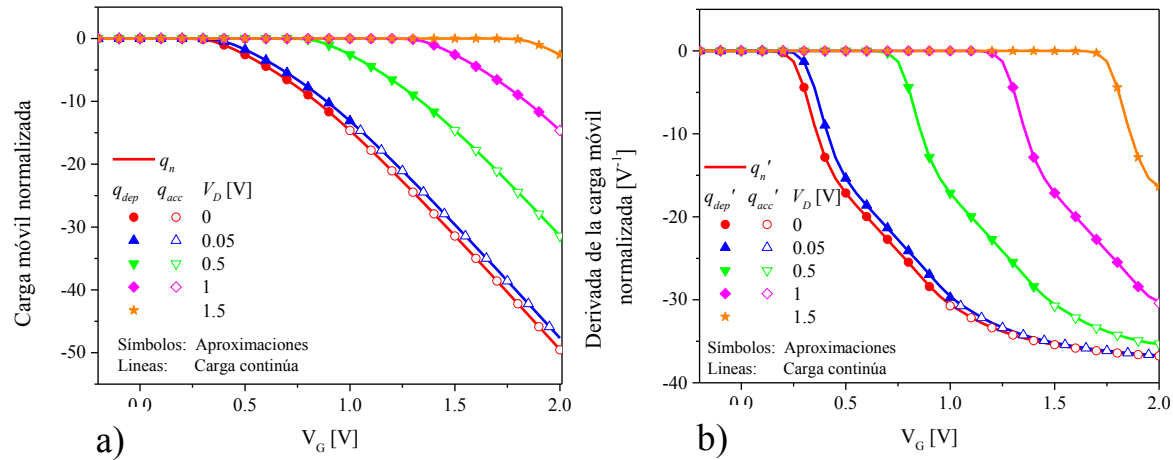


Fig. 3.4. a) Carga móvil normalizada, b) Derivada de la carga móvil respecto a V_G .

3.1.3 Modelo de corriente de drenador

El modelo núcleo del JLT para corriente directa (CD) es desarrollado para transistores de canal largo. En este ámbito de estudio, el campo eléctrico longitudinal, (E_y),

cumple con la aproximación de canal gradual, $\frac{dE_y}{dy} \ll \frac{dE_x}{dx}$; debido también a la longitud,

se considera que la variación de E_y a lo largo del canal es lineal y su magnitud es pequeña.

En campos eléctricos bajos, la velocidad de arrastre en la misma dirección, $v_{drift} = \mu E_y$, es

linealmente proporcional al campo eléctrico, lo cual a su vez provoca que la movilidad de

los portadores en campos bajos, μ_0 , sea considerada constante en un modelo núcleo.

Adicionalmente, la variación de la concentración de portadores a lo largo del canal es despreciable, en otras palabras, la concentración es constante en la dirección y . Al tomar en

cuenta todas las condiciones anteriores, la corriente de drenador, I_D , formada a partir de las

componentes de difusión y de arrastre para un MOSFET doble compuerta, y que por tanto

considera toda la carga móvil en el canal es descrita a partir de la ecuación [57, 58]:

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

$$I_{DS} = KK \int_{V_s}^{V_D} q_n dV \quad (3.17)$$

donde KK es el factor de corriente que se definirá en las siguientes secciones.

La ecuación de corriente anterior puede ser resuelta mediante un método numérico lo que da origen a que el modelo también lo sea, además esto dificulta la implementación del mismo en las plataformas SPICE. Por otro lado, una solución analítica origina un modelo compacto, **el cual es el objetivo principal de este trabajo**. Tal proceso es explicado detalladamente a continuación.

La integral de la carga en la expresión (3.17) no puede ser resuelta en forma cerrada, i.e., no existe una expresión analítica en términos de funciones elementales. Se ha encontrado la forma de obtener una solución analítica de esta integral dividiéndola en dos integrales, una para la carga en deserción y otra para la carga en acumulación.

3.1.3.1 Región de deserción

La corriente en la región de deserción, I_{dep} , es obtenida a partir de la integral de la carga en la misma región que es función de la variable α , ver (3.15). Es necesario realizar un cambio de variable en la diferencial para poder integrar. Al utilizar la relación entre φ_S y la carga del semiconductor, que es válida para todas las regiones, la cual proviene de (3.12) y (3.13), el φ_S puede ser reescrito en la siguiente forma [55]:

$$\varphi_S = V_G - V_{FB} + \varphi_t q_{sem}, \quad (3.18)$$

al substituir la igualdad anterior en (3.11) y diferenciar la expresión resultante se encuentra la siguiente relación [55]:

$$dV = - \left(1 + \frac{1}{\alpha - \alpha_{bt}} \right) \varphi_t d\alpha + \varphi_t dq_{sem}, \quad (3.19)$$

donde dV está en términos de la variable de integración α . Al hacer el cambio de variable (3.19) en (3.17) y usando también (3.15), se obtiene una expresión alternativa para I_{dep} :

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

$$\begin{aligned}
 I_{dep} &= KK \left[\int_{V_s}^{V_D} \frac{q_b}{2} dV + \varphi_t \int_{q_{wD}}^{q_{wS}} q_{sem} dq_{sem} + \varphi_t \frac{\beta}{\xi} \int_{\xi \alpha_D}^{\xi \alpha_S} \text{sign}(x) \sqrt{e^x - x - 1} dx + \varphi_t \beta \int_{\xi \alpha_D}^{\xi \alpha_S} \text{sign}(x) \frac{\sqrt{e^x - x - 1}}{x - x_0} dx \right], \\
 &= I_{dep1} + I_{dep2} + I_{dep3} + I_{dep4}
 \end{aligned} \tag{3.20}$$

donde $x_0 = \xi \alpha_{sb}$, $\alpha_{S/D} = \alpha(V_G, V_{S/D})$ y $q_{totS/D} = q_{sem}(V_G, V_{S/D})$.

Las integrales de los dos primeros términos son obtenidas directamente mediante expresiones algebraicas. Por otra parte, las integrales restantes no cuentan con soluciones cerradas exactas y a causa de ello se han utilizado aproximaciones.

Una aproximación polinomial válida para $x_0 > -10$ ha sido utilizada para la integral de I_{dep3} y ésta ha sido definida como una función por partes con transición en el origen:

$$Sa(z) = \int_0^z \text{sign}(x) \sqrt{e^x - x - 1} dx = \begin{cases} -\sum_{n=0}^5 \zeta_n z^n; z < 0 \\ \sum_{n=0}^5 \chi_n z^n; z \geq 0 \end{cases}. \tag{3.21}$$

Para la integral de I_{dep4} , la solución adoptada ha sido mediante una función especial representada por una serie hipergeométrica:

$$Sb(z) = \int_0^z \frac{\sqrt{e^x - x - 1}}{x - x_0} dx = - \left[\begin{aligned} &\sigma_0 \ln(z - x_0) - \sigma_1 [z + x_0 \ln(z - x_0)] \\ &+ \sum_{n=2}^4 \frac{\sigma_n}{x_0} \frac{z^{n+1}}{n+1} \text{fhyper} \left[1, (n+1), (n+2), \frac{z}{x_0} \right] \end{aligned} \right]; z > x_0, \tag{3.22}$$

en la cual *fhyper* representa a la serie hipergeométrica de Gauss ${}_2F_1$ definida como:

$$\text{fhyper}(a; b; c; z) = {}_2F_1(a; b; c; z) = \sum_{n=0}^{\infty} \frac{(a)_n (b)_n}{(c)_n} \frac{z^n}{n!}; z < |x_0|. \tag{3.23}$$

A pesar de ser una serie infinita, ésta se ha logrado implementar en código Verilog-A mediante un algoritmo de cuadratura [59].

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

Desgraciadamente debajo del voltaje de umbral, la función anterior no está definida, pero su comportamiento en la zona inmediata superior es el de una línea recta, por tanto, en subumbral es posible definir una función auxiliar para (3.22) como:

$$Sb_{bt}(V_G, V_S) = Sb(V_T - 0.2, V_S) + \frac{Sb(V_T - 0.2, V_S) - Sb(V_T - 0.4, V_S)}{0.2} \times [V_G - (V_T - 0.2) - (V_D - V_S)] \quad z < x_0 \quad (3.24)$$

El error obtenido por medio de estas aproximaciones es de alrededor de 0.6%.

Después de obtener las expresiones matemáticas, la corriente en la región de deserción parcial es obtenida a partir de la siguiente ecuación:

$$I_{depat} = KK \left[\frac{q_b}{2} (V_D - V_S) + P1(1.1 \times 10^{-4} - V_D) + \frac{\phi t}{2} (q_{is}^2 - q_{id}^2) + \frac{\phi t \beta}{\xi} [SaN(\xi \alpha_S) - SaN(\xi \alpha_D)] - \phi t \beta [Sb(V_S) - Sb(V_D)] \right] \quad (3.25)$$

donde $P1$ es un factor que compensa el error obtenido debido al truncamiento de las series en la transición del voltaje de umbral, perdiendo exactitud en el subumbral para altos voltajes de drenador, es decir, en el régimen de saturación, ver apéndice B. Afortunadamente cuando el transistor opera en subumbral se puede usar la aproximación de la carga en esta región de operación, resultando que en este caso la corriente se represente por:

$$I_{depat} = KK \int_{V_S}^{V_D} q_{sub} dV = KK \int_{V_S}^{V_D} \left[\beta \sqrt{-\xi \cdot \alpha - 1} - \frac{q_b}{2} \right] dV \quad (3.26)$$

la cual tiene una solución de la siguiente forma:

$$I_{depat} = KK \beta \phi_t \cdot [S_u(\xi \alpha_S) - S_u(\xi \alpha_D)] \quad (3.27)$$

donde

$$S_u(x) = -2 \cdot \left[\sqrt{1-x} - \left| \sqrt{1-x_0} \right| \arctan \left(\frac{\sqrt{1-x}}{\left| \sqrt{1-x_0} \right|} \right) \right] \quad (3.28)$$

Al unir las expresiones para debajo y sobre umbral de (3.25) y (3.27) se obtiene la corriente en la región de deserción:

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

$$I_{dep} = I_{depbt} \frac{1}{2} [1 - \tanh[25(V_G - V_T)]] + I_{depat} \frac{1}{2} [1 + \tanh[25(V_G - V_T)]] \quad (3.29)$$

Tanto los coeficientes ζ , χ y σ de las funciones $Sa(x)$ y $Sb(x)$ y el parámetro PI se encuentran definidos en el Apéndice B.

3.1.3.2 Región de acumulación

En la región de acumulación la corriente se obtiene al substituir la carga en función de φ_S de (3.16) en la ecuación (3.17). Al definir la variable de integración como $x = \frac{\varphi_S - V}{\varphi_t}$

se obtiene que la diferencial en acumulación es:

$$dV = -\varphi_t dx + \varphi_t dq_{sem}. \quad (3.30)$$

Por tanto, la corriente válida para la región de acumulación es:

$$I_{acc} = KK \left[\int_{V_S}^{V_D} \frac{q_b}{2} dV + \varphi_t \int_{q_{totD}}^{q_{totS}} dq_{sem} + \varphi_t \beta \int_{\frac{V_G - V_{FB} - V_D}{\varphi_t} + q_{totD}}^{\frac{V_G - V_{FB} - V_S}{\varphi_t} + q_{totS}} \text{sign}(x) \sqrt{e^x - x - 1} dx \right] \quad (3.31)$$

$$= I_{acc1} + I_{acc2} + I_{acc3}$$

Nuevamente, las dos primeras integrales son obtenidas de forma directa y no representan complejidad, no así para la integral restante para la corriente I_{acc3} . La solución a esta integral definida se obtiene mediante la función $Sa(x)$ que ha sido mostrada anteriormente en (3.21).

De esta manera, la corriente en el régimen de acumulación I_{acc} es:

$$I_{acc} = KK \left[\frac{q_b}{2} (V_D - V_S) + \frac{\phi t}{2} (q_{totS}^2 - q_{totD}^2) + \phi t \beta \left[Sa\left(\frac{V_G - V_{FB} - V_S}{\varphi_t} + q_{totS}\right) - Sa\left(\frac{V_G - V_{FB} - V_D}{\varphi_t} + q_{totD}\right) \right] \right] \quad (3.32)$$

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

3.1.3.3 Corriente total

Después de expresar la corriente en las regiones de deserción y acumulación, la corriente de drenador se calcula a través de una función continua entre ambas regiones:

$$I_{tot} = I_{dep} \cdot \frac{1}{2} [1 - \tanh[20(V_G - (V_{FB} + V_D))]] + I_{acc} \cdot \frac{1}{2} [1 + \tanh[20(V_G - (V_{FB} + V_D))]]. \quad (3.33)$$

3.1.4 Definición del voltaje de umbral

En los modelos de MOSFETs es siempre requerida una clara determinación del voltaje de umbral basada en los parámetros tecnológicos para poder comprobar que un transistor fabricado cumple con los estándares eléctricos esperados. En los transistores DG el uso de métodos físicamente basados como el de la doble derivada [60, 61] son bastante aceptados. Esta técnica de extracción consiste en determinar el valor de V_G en el cual la derivada de transconductancia lineal presenta un máximo, que equivale al punto cero de la tercera derivada de la corriente, que desde el punto de vista físico equivale a la tercera derivada del potencial superficial, $\frac{d^3 I}{dV_G^3} = \frac{d^3 \phi_s}{dV_G^3} = 0$.

Un análisis ha sido realizado en diversas estructuras DG JLT al variar sus parámetros tecnológicos. Encontrándose que hay un incremento abrupto de la carga móvil, q_n , en el mismo punto en el que la tercera derivada del potencial respecto a V_G es cero, es decir, en el punto $V_T + V_D$. La figura 3.5 muestra este comportamiento, el cual presenta repetitividad al variar los parámetros de tecnología. Este incremento rápido, en todos los casos, ocurre alrededor de un valor de -0.25 de la carga móvil normalizada [43], lo cual se observa en la figura insertada.

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

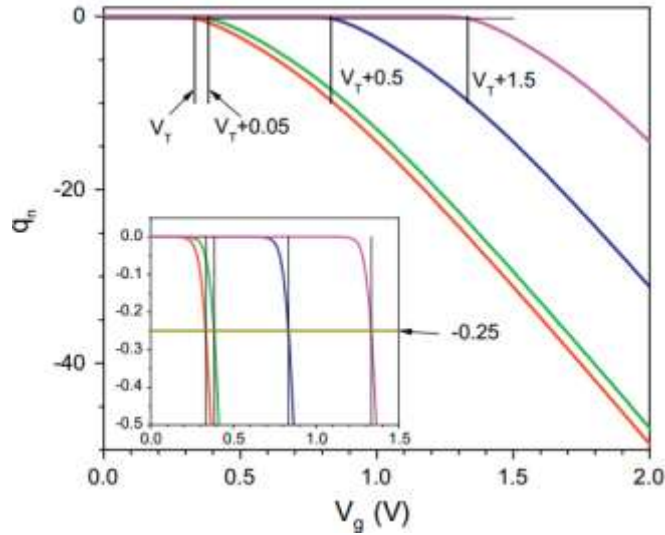


Fig. 3.5. Comportamiento de la carga móvil en el punto de V_T+V_b alrededor de $q_n = -0.25$ [43].

Habiéndose comprobado el significado físico del V_T en la carga móvil, una expresión analítica es derivada y para ello es necesario el conocimiento de los potenciales en la condición de umbral. A partir de (3.11) que relaciona a $\phi_s(V_G, V_D)$ y $\alpha(V_G, V_D)$ puede ser encontrada una expresión para el potencial superficial bajo la condición de umbral (ϕ_{ST}), i.e., en $V_G=V_T$ y $V_D=0$ de la siguiente manera:

$$\phi_{ST} = \phi_t \left[\ln \left(1 - \frac{\alpha_T}{\alpha_{bt}} \right) + \alpha_T \right], \quad (3.34)$$

en la cual $\phi_{ST} = \phi_s(V_T, 0)$ y $\alpha_T = \alpha(V_T, 0)$.

Por otro lado, aproximando la carga móvil de (3.14) al asumir que el término exponencial de la raíz cuadrada es despreciable (ver Apéndice A) en la condición de umbral, donde $q_n = -1/4$ y despejando la diferencia de potenciales en el umbral, α_T , se obtiene:

$$\alpha_T = \frac{\alpha_{bt}}{1 - \alpha_{bt}} \left[1 - \alpha_{bt} \left(1 - \frac{1}{2q_b} \right)^2 \right]. \quad (3.35)$$

La obtención de la expresión analítica para el V_T se da a partir de la relación entre los voltajes y potencial/carga de (3.12) teniendo en cuenta nuevamente que $q_n = -1/4$ y $\phi_{ST} = \phi_s$ en $V_G=V_T$ y $V_D=0$, finalmente el voltaje de umbral es descrito por:

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

$$V_T = V_{FB} - \varphi_t \left[\frac{q_b}{2} - \frac{1}{4} - \alpha_T - \ln \left(1 - \frac{\alpha_T}{\alpha_{bt}} \right) \right] \quad (3.36)$$

3.1.5 Voltaje de saturación de drenador

La corriente máxima en función de V_D que puede circular por el canal del transistor se conoce como corriente de saturación, I_{sat} . La definición utilizada para el V_{Dsat} en el modelo de canal largo se obtiene de forma análoga al cálculo del V_T , en esta ocasión el V_{Dsat} se calcula como el voltaje de drenador necesario para mantener la carga móvil mínima, tal que el canal siga formado junto al drenador, en otras palabras [43]:

$$q_{sat} = q_n(V_G, V_{Dsat}) = -\frac{1}{4}, \quad (3.37)$$

cuya solución es la expresión acostumbrada para los MOSFETs de canal largo donde [62, 63]:

$$V_{Dsat0} = V_G - V_T. \quad (3.38)$$

Definir una transición suave entre V_D y V_{Dsat} se realiza para estabilizar el voltaje cuando la saturación se alcanza y asegurar que la corriente también sature. Esta expresión es:

$$V_{Deffs} = V_{Dsat} + \frac{1}{2} \left[V_D - V_{Dsat} + \varphi_t - \sqrt{(V_D - V_{Dsat} + \varphi_t)^2 + 4\varphi_t V_{Dsat}} \right], \quad (3.39)$$

donde V_{Dsat} es el voltaje de saturación y φ_t es el parámetro que garantiza la continuidad.

Considerando para el subumbral que la expresión (3.39) debe tender al valor de V_D , el voltaje de drenador efectivo es igual a:

$$V_{Deff} = V_{Deffs} \frac{1}{2} [1 - \tanh[15(V_G - V_T)]] + V_{Deffs} \left[\frac{1}{2} (1 + \tanh[15(V_G - V_T)]) \right] \quad (3.40)$$

La expresión final de la corriente se calcula considerando el V_{Deff} en lugar de V_D .

3.2 Efectos de canal corto

A medida que la longitud del canal disminuye, el efecto del campo eléctrico longitudinal aumenta, lo que provoca una descompensación de la ecuación unidimensional de Poisson supuesta para el modelo núcleo, es decir, es necesario tomar en cuenta la variación $\frac{d^2\phi}{dy^2}$. Ello hace importante que se redefina y se reescriba la física considerada para obtener un nuevo modelo que considere los cambios bidimensionales del canal, ó que se incluyan estos cambios en la física y en las ecuaciones unidimensionales obtenidas para el modelo núcleo. Éste es el objetivo de esta sección donde se han incluido los efectos de canal corto tales como, degradación del V_T , degradación de la SS , $DIBL$, modulación de canal, así como otros efectos de segundo orden como degradación de la movilidad y velocidad de saturación [64, 65].

3.2.1 Característica de subumbral: caída del V_T , SS y $DIBL$

Cuando el transistor opera en subumbral el potencial electrostático bidimensional del canal para un transistor canal N con concentración N_D en una estructura DGJLT, como la mostrada en la figura 3.1, es calculada resolviendo la ecuación de Poisson al considerar que el transistor está en deserción total, lo que provoca que la carga en el semiconductor se deba únicamente a la carga fija:

$$\frac{d^2\phi(x,y)}{dx^2} + \frac{d^2\phi(x,y)}{dy^2} = -\frac{q \cdot N_D}{\epsilon_s}, \quad (3.41)$$

donde $\phi(x,y)$ es la distribución de potencial en 2-D en el canal.

Al considerar una aproximación parabólica para el potencial en la dirección x como en [66]:

$$\phi(x,y) = A(y) \cdot x^2 + B(y) \cdot x + C(y), \quad (3.42)$$

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

los coeficientes A , B y C se determinan al considerar en (3.42) las condiciones de frontera impuestas por la ley de Gauss al campo eléctrico en la superficie y en el centro del canal semiconductor:

$$\left. \frac{d\varphi(x,y)}{dx} \right|_{x=t_S/2} = \frac{V_G - V_{FB} - \varphi_S(y)}{t_{ox}} \cdot \frac{\varepsilon_{ox}}{\varepsilon_S}, \quad (3.43)$$

$$\left. \frac{d\varphi(x,y)}{dx} \right|_{x=0} = 0. \quad (3.44)$$

Es posible obtener una relación para el potencial en función del potencial en el centro, $\varphi(0,y) = \varphi_0(y)$, de la siguiente manera:

$$\varphi(x,y) = \varphi_0(y) + \frac{4}{t_S^2} \cdot \frac{C_{ox}}{4C_S} \left\{ (V_G - V_{FB}) - \frac{1}{1 + \frac{C_{ox}}{4C_S}} \left[\varphi_0(y) + (V_G - V_{FB}) \frac{C_{ox}}{4C_S} \right] \right\} x^2. \quad (3.45)$$

Al substituir (3.45) en (3.41) y resolver la ecuación diferencial resultante, se puede obtener el potencial en $x = 0$, expresado como:

$$\varphi_0(y) = \frac{U_S \sinh\left(\frac{L-y}{t_n}\right) + U_D \sinh\left(\frac{L-y}{t_n}\right)}{\sinh(L/t_n)} + \varphi_{0p}. \quad (3.46)$$

El mínimo valor de la ecuación anterior expresa la barrera de potencial del lado de la fuente y se obtiene como:

$$\varphi_{0\min} = \frac{\sqrt{-(U_S^2 + U_D^2) + 2U_S U_D \cosh(L/t_n)}}{\sinh(L/t_n)} + \varphi_{0p}, \quad (3.47)$$

donde $U_S = V_{biS} - \varphi_{0p}$, $U_D = V_{biD} - \varphi_{0p}$, t_n es la longitud natural para un transistor de doble compuerta y φ_{0p} es el potencial superficial en el centro del semiconductor para un transistor de canal largo, el cual es igual a:

$$\varphi_{0p} = V_G - V_{FB} + \frac{qN_D}{\varepsilon_S} t_n^2. \quad (3.48)$$

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

Por último, V_{biS} y V_{biD} son los potenciales interconstruidos entre el canal/fuente y canal/drenador, respectivamente.

Los potenciales efectivos interconstruidos pueden ser calculados tomando en cuenta el efecto de las extensiones de S y D en su frontera con el canal como se propone en [44, 67]:

$$V_{b_{eff},D/S} = \varphi_{0p} - \frac{qN_{Dext}t_n^2}{\epsilon_S} \left(1 - \sqrt{1 + \frac{\epsilon_S 2(V_{biS0} + V_{S/D} - \varphi_{0p})}{qN_{Dext}t_n^2}} \right), \quad (3.49)$$

donde $V_{biS0} = V_A + \varphi_F$ es el potencial interconstruido en la interfaz fuente/canal, φ_F es el nivel de Fermi en el canal y V_A es un parámetro de ajuste para considerar el nivel de referencia en la fuente.

La introducción de los SCE que se presentan en el subumbral, como la degradación del V_T , la degradación de la pendiente de subumbral y el DIBL se añaden definiendo un voltaje efectivo entre la compuerta y la fuente, V_{Geff} . Considerando el potencial extra generado por la fuente virtual del potencial mínimo, se obtiene la siguiente expresión [65]:

$$V_{Geff} = V_G + \varphi_{0min} - \varphi_{0p}. \quad (3.50)$$

La variación del voltaje de umbral, que en el caso de un canal N disminuye y en un canal P aumenta, se obtiene evaluando el potencial mínimo en $V_D=0V$. Al manipular algebraicamente la expresión (3.47) se obtiene la siguiente expresión [65]:

$$\Delta V_{TH} = \left[V_{biS0} - \left(V_T - V_{FB} + \frac{qN_D t_n^2}{\epsilon_S} \right) \right] / \cosh \left(\frac{L}{2t_n} \right). \quad (3.51)$$

3.2.2 Modulación de canal

La reducción del canal debido al voltaje de drenador aplicado, ocurre sólo cuando los portadores alcanzan la saturación y disminuyen la carga móvil a un valor diminuto, cercano a cero, en el canal junto a la terminal de drenador, creando una zona de deserción. Al seguir aumentando el V_D , la zona de deserción aumenta con dirección hacia la fuente,

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

reduciendo a su vez el canal en una cantidad ΔL . Ésta reducción del canal es calculada como [62, 63]:

$$\Delta L = \lambda \sqrt{\frac{2\epsilon_s}{qN_D} (V_D - V_{DeffL})}, \quad (3.52)$$

donde λ es un parámetro de ajuste.

3.2.3 Velocidad de saturación: voltaje de saturación de drenador

La definición de V_{Dsat} para transistores de canal largo fue obtenida en la sección 3.1 a partir de aproximar la carga en saturación. De manera general, la corriente de saturación se produce cuando los portadores alcanzan la velocidad de saturación, v_{sat} , en la frontera del canal y la terminal de drenador [68]. El voltaje de drenador al cual los portadores consiguen desplazarse con su velocidad máxima se le conoce como voltaje de saturación, V_{Dsat} . De igual forma la región de operación recibe el mismo nombre. En esta región la corriente de arrastre es dominante y es la principal contribuyente de la corriente total, de manera tal que el cálculo de V_{Dsat} se obtiene a partir de la igualdad de la corriente obtenida por el modelo que está dada por (3.33) y la corriente de arrastre:

$$I_{DS} = KK \int_{V_s}^{V_{Dsat}} q_n dV = 2C_{ox}\phi_t W_{eff} \cdot q_{sat} v_{sat}. \quad (3.53)$$

Resulta imposible encontrar una expresión analítica para V_{Dsat} . Sin embargo, al resolver numéricamente (3.53) y al realizar un detallado análisis mediante simulaciones se puede encontrar una expresión semiempírica que considere la v_{sat} para transistores con $L < 300$ nm de la siguiente forma:

$$V_{Dsat} = 0.08 + \eta (L v_{sat})^{0.33} (V_G - V_{T0}), \quad (3.54)$$

donde η es un parámetro de ajuste.

El valor final para V_{Dsat} es el valor mínimo obtenido de las expresiones (3.38) y (3.54), el cual es substituido en la ecuación de V_{Deff} y por tanto en V_{Deff} .

Capítulo 3. Modelo compacto continuo y analítico para transistores MOS sin uniones, de doble compuerta y simétricos

La expresión final de la corriente (3.33) se calcula considerando el V_{Geff} y el V_{Deff} .

3.2.4 Movilidad

Los JLT presentan dos tipos de corrientes dependiendo del mecanismo de conducción del dispositivo. Cuando el transistor opera en la región de deserción, los portadores se mueven por el centro del semiconductor con una movilidad de campo bajo, μ_0 , que no es afectada por el campo perpendicular [69]. En la región de acumulación, una corriente adicional se presenta en la interfaz Si/SiO₂ debida a la acumulación de portadores. A medida que se incrementa la magnitud de los voltajes aplicados, las colisiones entre portadores en la superficie también incrementan, causando una reducción en la movilidad limitada por la dispersión de rugosidad.

Para considerar estos efectos, el modelo incluye la siguiente expresión para la movilidad superficial [62, 65]:

$$\mu_s = \frac{\mu_0}{1 + [\theta_1 (V_G - V_{FB}) + \theta_2 V_{DeffL}] \cdot \frac{1}{2} [1 + \tanh(1.2(V_G - V_{FB}))]}, \quad (3.55)$$

donde θ_1 y θ_2 son parámetros de ajuste para la dispersión en acumulación.

En transistores de canal corto, la dependencia de la movilidad con el campo eléctrico lateral es tan fuerte que reduce la movilidad debido a que se supera el campo eléctrico crítico y los portadores alcanzan la saturación; la siguiente expresión toma en cuenta la degradación de la movilidad [70]:

$$\mu_{eff} = \frac{\mu_s}{\sqrt{1 + \left(\frac{\mu_s V_{DeffL}}{L v_{sat}} \right)^2}}, \quad (3.56)$$

donde v_{sat} se considera un parámetro de ajuste.

3.3 Resistencia serie

El efecto resistivo de las extensiones de las terminales de fuente y drenador no puede ser ignorado porque provoca una atenuación significativa en la corriente incluso en transistores de canal largo, especialmente en JLT con arquitectura homogénea, donde la N_{ext} es al menos un orden de magnitud menor que cuando se realiza un dopaje adicional. La inclusión de este efecto en el modelo se ha realizado a través de la consideración de la ley de Kirchhoff en la malla de entrada y de salida. Resolviendo ambas ecuaciones e ignorando los términos de segundo orden en adelante, se obtiene una expresión para el factor KK de la corriente de la siguiente manera [65]:

$$KK = \frac{K \varphi_t}{1 + K R (V_G - V_T - nV_{D_{eff}}) \frac{1}{2} [1 + \tanh(2(V_G - V_T - nV_{D_{eff}}))]} \quad (3.57)$$

donde $K = 2 \frac{W_{eff}}{L_{eff}} \mu_{eff} C_{ox} \varphi_t$ es el factor ideal de corriente cuando $L_{ext} = 0$, el número 2 indica que se están considerando ambas mitades del canal; L_{eff} representa a la longitud efectiva de canal; μ_{eff} es la movilidad efectiva del canal que a campos bajos es igual a μ_0 ; R es la resistencia total debida a las extensiones de S/D y a sus contactos, y n es un parámetro de ajuste que toma en cuenta la variación de la resistencia R con V_D .

Capítulo 4.

Modelo compacto, continuo y analítico para transistores MOS sin uniones, de triple compuerta y simétricos.

En este capítulo se presenta una extensión del modelo de DGJLT para modelar estructuras de triple compuerta (TGJLT) considerando los efectos de canal corto. La principal ventaja es que el modelo para TGJLT puede ser utilizado para modelar ambas estructuras, doble compuerta y triple compuerta, sin la necesidad de seleccionar modelos diferentes, obteniendo así un modelo general. Los dispositivos de triple compuerta son los que se fabrican actualmente en los principales laboratorios del mundo. El modelo se enfoca en el estudio de una estructura TGJLT como la mostrada en la figura 4.1, describiendo analíticamente la corriente y considerando la influencia de los parámetros geométricos altura del fin, H_{Fin} y anchura del fin, W_{Fin} . Tal dependencia es también expresada en la variación del V_T . La influencia de estos parámetros geométricos es tomada en cuenta en el cálculo de la capacitancia, la cual está incluida también en el cálculo del V_T . Los principales efectos de canal corto son considerados en el modelado, velocidad de saturación, degradación de la movilidad, caída del voltaje de umbral, degradación de la pendiente de subumbral, *DIBL* y modulación de canal. El modelo incluye también el efecto de la resistencia serie. La expresión de corriente es continua en todas las regiones de operación sin la necesidad de utilizar aproximaciones en la transición entre los métodos de conducción. Cabe destacar que el modelo desarrollado en este trabajo es uno de los pocos modelos analíticos que existen actualmente [51-54], que es continuo [53], y válido en todas las regiones de operación [51-53].

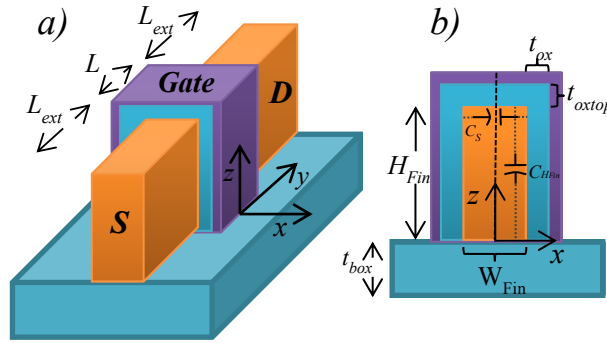


Fig. 4.1. a) Estructura TGJLT estudiada, b) Vista del plano x-z.

4.1 Descripción del Modelo

Con el objetivo de introducir en el modelo los efectos debidos a la reducción de H_{Fin} en una estructura tridimensional como la presentada en la figura 4.1(a), desde ahora en adelante se utilizará el subíndice “L” para representar los parámetros que incluyen tal dependencia.

El dispositivo estudiado es presentado en la figura 4.1(a), mientras que la sección transversal es mostrada en la figura 4.1(b). Como se puede observar, en dispositivos tridimensionales la altura del transistor adquiere relevancia a través de la capacitancia, C_{HFin} , que está relacionada a la altura del Fin, la cual se encuentra en paralelo con la capacitancia de 2-D debida al ancho del Fin, C_S . La capacitancia total equivalente del semiconductor por unidad de línea es obtenida a través de la siguiente expresión [53]:

$$C_{SL} = C_S \cdot H_{Fin} + C_{HFin} W_{Fin} = \frac{\epsilon_S}{W_{Fin}} \cdot H_{Fin} + \frac{\epsilon_s}{H_{Fin}} W_{Fin}. \quad (4.1)$$

Existen dos posibles casos al analizar la variación de H_{Fin} : (a) cuando se reduce H_{Fin} de manera suficiente, el valor de la capacitancia C_{HFin} incrementa llegando a ser comparable a C_S . Este es el caso de un transistor nanoconductor (*nanowire*); (b) en el caso contrario, si H_{Fin} incrementa, la capacitancia tiende al valor fijo de la capacitancia de 2-D, lo cual representa al caso de un DGJLT.

Capítulo 4. Modelo compacto, continuo y analítico para transistores MOS sin uniones, de triple compuerta y simétricos

Al usar la simetría del dispositivo, el análisis se realiza en la mitad de la estructura, al considerar $W_{eff} = H_{Fin} + W_{Fin}/2$ para un TGJLT ó $W_{eff} = H_{Fin}$ para un DGJLT. Además, al asumir que $t_{ox} = t_{oxtop}$, la nueva definición de la capacitancia de compuerta por unidad de línea, C_{oxL} es ahora definida como [53]:

$$C_{oxL} = \frac{\epsilon_{ox}}{t_{ox}} W_{eff} = C_{ox} \cdot W_{eff}. \quad (4.2)$$

Después de obtener las capacitancias efectivas debidas al semiconductor y al dieléctrico, se analiza el dispositivo por medio de la ecuación de Poisson unidimensional para obtener la relación entre los voltajes aplicados y el potencial superficial, las cargas, definiciones del voltaje de umbral y de saturación. Todas estas variables se calculan mediante expresiones similares a las del modelo para DGJLT, pero considerando la dependencia de cada una de ellas con H_{Fin} y teniendo en cuenta que ahora

$$\beta_L = \sqrt{\frac{2q_{bL}C_{SL}}{C_{oxL}}}, \quad \xi_L = \left(1 - \frac{1}{\alpha_{bL}}\right), \quad \alpha_{bL} = -\frac{q_{bL}C_{oxL}}{8C_{SL}} \text{ y } q_{bL} = \frac{qN_D W_{Fin} H_{Fin}}{C_{oxL} \phi_t}.$$

De esta manera todas las expresiones del modelo son modificadas tal que cada variable toma en cuenta la altura, $\phi_S \rightarrow \phi_{SL}$, $\phi_0 \rightarrow \phi_{0L}$, $\alpha \rightarrow \alpha_L$, $\alpha_T \rightarrow \alpha_{TL}$, $q_n \rightarrow q_{nL}$, $V_T \rightarrow V_{TL}$, $V_{Dsat} \rightarrow V_{DsatL}$, $KK \rightarrow KK_L$, $I_{TOT} \rightarrow I_{TOTL}$, etc. Por ejemplo, la relación entre los voltajes y el potencial superficial es ahora expresada como:

$$V_G - V_{FB} = \phi_{SL} + \text{sign}(\alpha_L) \phi_t \beta_L \sqrt{e^{\frac{\phi_{SL} - V_D}{\phi_t}} - \xi_L \cdot \alpha_L - 1}, \quad (4.3)$$

y el voltaje de umbral como:

$$V_{TL} = V_{FB} - \phi_t \left[\frac{q_{bL}}{2} - \frac{1}{4} - \alpha_{TL} - \ln \left(1 - \frac{\alpha_{TL}}{\alpha_{bL}} \right) \right]. \quad (4.4)$$

Capítulo 4. Modelo compacto, continuo y analítico para transistores MOS sin uniones, de triple compuerta y simétricos

4.2 Efectos de canal corto

Los efectos de canal corto son incorporados en una manera similar a los SCE del transistor doble compuerta. El comportamiento del potencial mínimo es analizado dentro del canal para incluir el único cambio substancial en el modelo.

En la región de subumbral, la ecuación de Poisson tridimensional es aproximada como (deserción total):

$$\nabla^2 \varphi(x, y, z) = \frac{d^2 \varphi}{dx^2} + \frac{d^2 \varphi}{dy^2} + \frac{d^2 \varphi}{dz^2} = -\frac{qN_D}{\epsilon_S} \quad (4.5)$$

Una solución para el potencial puede ser obtenida aplicando el principio de superposición, al resolver la ecuación de Poisson en dos dimensiones y agregando la solución de la ecuación de Laplace para dispositivos 3-D. El mínimo de potencial en el canal se aproxima mediante la ecuación (3.47), en la cual se asume una aproximación parabólica para el potencial en un dispositivo en deserción total, donde se encuentra una longitud natural válida para dos dimensiones, $t_{n,2D}$ que es válida para un transistor de doble compuerta. Para un TGJLT la corrección a la longitud natural se realiza agregando la variación en el potencial electrostático debido a la altura, $\frac{d^2 \varphi}{dz^2}$. Esta dependencia se puede expresar como [11, 22]:

$$t_{n,3D} = \sqrt{\frac{\epsilon_S}{4\epsilon_{ox}} \left(1 + \frac{\epsilon_{ox} H_{Fin}}{2\epsilon_S t_{ox}} \right) H_{Fin} t_{ox}}, \quad (4.6)$$

mientras que en las paredes del fin la penetración del campo eléctrico es [11]:

$$t_{n,2D} = \sqrt{\frac{\epsilon_S}{2\epsilon_{ox}} \left(1 + \frac{\epsilon_{ox} W_{Fin}}{4\epsilon_S t_{ox}} \right) W_{Fin} t_{ox}}, \quad (4.7)$$

obteniendo así una longitud natural efectiva que puede ser definida como el promedio de $t_{n,2D}$ y $t_{n,3D}$ [71]:

$$t_{n,eff} = \frac{1}{\sqrt{\frac{1}{t_{2D}^2} + \frac{1}{(2t_{3D})^2}}}. \quad (4.8)$$

Capítulo 4. Modelo compacto, continuo y analítico para transistores MOS sin uniones, de triple compuerta y simétricos

El potencial mínimo en el centro de nueva cuenta se calcula por medio de la (3.47) reemplazando t_n por $t_{n,eff}$ y considerando los $V_{bi,effS/D}$.

Por tanto, los principales SCE presentados en la región de subumbral como la caída de V_T , la SS y el DIBL se calculan incluyendo el voltaje de compuerta efectivo a través del incremento del potencial mínimo, como [53]:

$$V_{G,eff} = V_G + \varphi_{0,min} - \varphi_{0,pL} + \Delta\varphi_S, \quad (4.9)$$

donde $\Delta\varphi_S = \alpha_{sul}\varphi_t + qN_D t_{n,eff}^2 / \epsilon_s - \varphi_t \beta_L \sqrt{-\xi_L \alpha_{sul} - 1}$ es la diferencia en el corrimiento del potencial de canal largo en el subumbral profundo entre el potencial calculado por (4.3) y la aproximación de Young [66].

El resto de los SCE no sufre cambio radical en sus ecuaciones por tanto son adoptadas las mismas expresiones que en el caso de DGJLT, sólo considerando los cambios debidos a H_{Fin} .

4.1 Modelo de Pseudo-Boltzmann: estadística de Fermi-Dirac

El uso de aproximaciones en la física de los dispositivos hace más práctica la descripción de su funcionamiento, una de esas aproximaciones es la estadística de Boltzmann (B), la cual no es siempre viable porque la posición del nivel de Fermi invalida el uso de B para ciertos rangos de temperaturas o para semiconductores degenerados o altamente dopados, como el JLT. En los JLT fabricados resulta útil el uso de la estadística de Fermi-Dirac (FD) para su análisis físico, ya que a altas concentraciones se presenta ionización incompleta, incluso a temperatura ambiente [72]. Con base en esto la siguiente aproximación semiempírica se ha desarrollado para el cálculo de las concentraciones [73]:

$$n_{SB} = \begin{cases} N_C e^{\gamma_C} & ; \gamma_C < -2.03 \\ aN_C e^{b\gamma_C} & ; \gamma_C \geq -2.03 \end{cases} \quad (4.10)$$

donde $\gamma_C = \frac{E_F - E_C}{kT}$ y los parámetros a y b están en función del material semiconductor, que en el caso de silicio son $a=0.765$ y $b=0.8684$.

Capítulo 4. Modelo compacto, continuo y analítico para transistores MOS sin uniones, de triple compuerta y simétricos

La ecuación (4.10) ha sido nombrada Pseudo-Boltzmann (PB) y es una función evaluada por partes, conformada por la expresión $n_B = N_C e^{\gamma_c}$ de la estadística de B y por una función similar a ella. Gracias a esta similitud matemática, dicha ecuación puede ser introducida en el modelo de DGJLT y de TGJLT sin la necesidad de modificar las expresiones matemáticas que lo componen.

La relación n_F/n_B puede ser reproducida de manera continua a partir de la siguiente ecuación (PBZ) [73]:

$$F_z(\gamma_c) \approx \frac{n_F}{n_B} \approx a_1 e^{(b_1-1)\gamma_c} + \frac{1}{2} \left[\left[(1 - a_1 e^{(b_1-1)\gamma_c} + c) - \sqrt{(1 - a_1 e^{(b_1-1)\gamma_c} + c)^2 + 4c(a_1 e^{(b_1-1)\gamma_c})} \right] \right], \quad (4.11)$$

donde $a_1=0.7886$; $b_1=0.8570$ and $c=0.00339$.

La función anterior resulta del cociente n_{SB}/n_B , donde los parámetros a y b han sido recalculados para mejorar la transición. La figura 4.2(a) muestra esta relación de aspecto y la figura 4.2(b) muestra el cálculo de las concentraciones, donde es fácilmente observable la sobreestimación de B en la concentración de portadores. Asimismo se muestra la validez de las expresiones (4.10) y (4.11) para temperatura ambiente y 373K.

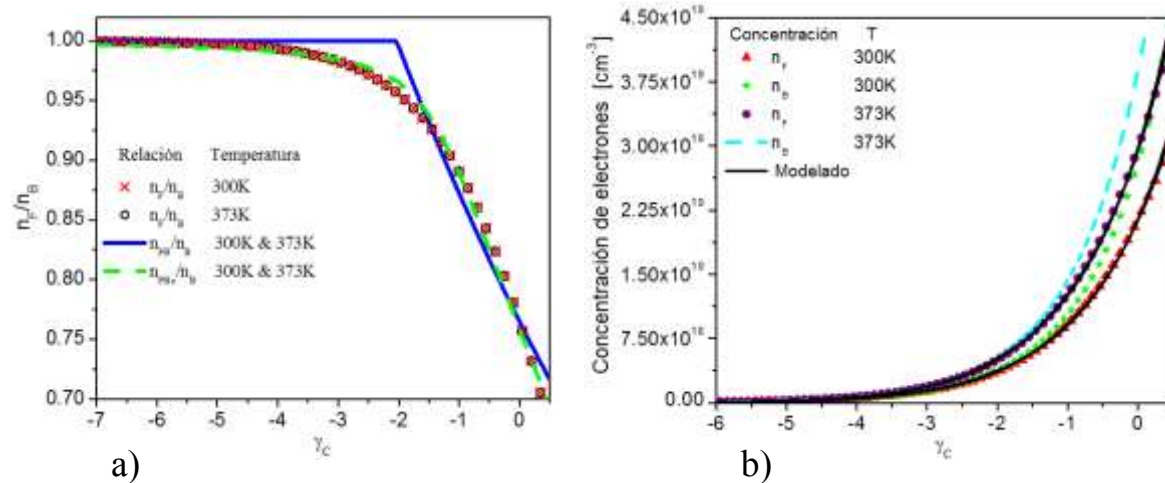


Fig. 4.2. a) Radio de concentración de portadores y b) Concentración de portadores calculada por F, B, PB y PSB.

4.2 Dependencia de la temperatura

Los circuitos integrados operan normalmente dentro del rango de temperaturas de -50°C a 150°C , y en funcionamiento estable están sobre los $70\text{-}80^{\circ}\text{C}$ [22]. Esto motiva que los modelos deben ser válidos a distintas temperaturas. El modelo y sus parámetros deben tomar en cuenta la dependencia con la temperatura. Donde el cambio se ve reflejado en todas las curvas de corriente, y en el incremento proporcional de la pendiente de subumbral respecto al aumento de la temperatura.

El modelo de TGJLT, en sus expresiones, considera a la temperatura como una condición adicional de polarización, es decir, como un valor de entrada al igual que los voltajes de compuerta y de drenador.

Todas las ecuaciones físicas que describen el comportamiento del JLT dependen de la temperatura desde las más elementales como el ancho de banda (E_G), el nivel de Fermi (φ_F), la afinidad electrónica (χ), la concentración de portadores (N_D), hasta las más complejas como la carga móvil (q_n), los potenciales ($\varphi_S, \varphi_0, \alpha$), etc. Para poder considerar a la corriente como una función de la temperatura, también los parámetros del modelo deben de tener una dependencia con la temperatura, los cuales representan a la movilidad, la resistencia serie y la velocidad de saturación, principalmente.

En el caso de la movilidad, su dependencia con la temperatura está descrita principalmente por tres tipos de efectos de dispersión: dispersión por fonones, dispersión superficial y dispersión de Coulomb. De acuerdo al rango de temperaturas en las que trabaje el transistor, algunos efectos son más intensos que otros [22]. En el modelo aquí presentado la movilidad de cuerpo o máxima, μ_0 , para temperaturas superiores a los 250K presenta una dependencia con la temperatura como [24]:

$$\mu_{0eff} = \frac{\mu_0}{\left(\frac{T}{T_0}\right)^p}, \quad (4.12)$$

Capítulo 4. Modelo compacto, continuo y analítico para transistores MOS sin uniones, de triple compuerta y simétricos

donde μ_0 es la movilidad máxima extraída a la temperatura nominal T_0 y p es el parámetro del modelo que considera la degradación de la movilidad por la temperatura, que es dominada por la dispersión de fonones. Mientras que μ_0 es extraída a la temperatura nominal, p debe ser extraído a una temperatura mayor mediante el ajuste de la curva transferencial lineal del modelo contra la medición/simulación.

La resistencia en serie R está conformada por dos componentes, la resistencia del contacto en la S/D que depende de las dimensiones de fabricación utilizadas y la otra parte la conforma la resistencia de las extensiones. La conductividad de las extensiones es función de la movilidad del semiconductor. La expresión del modelo que considera la resistencia serie es la ecuación (3.57). R está multiplicada por el factor de corriente ideal $K = 2 \frac{W_{eff}}{L_{eff}} \mu_{eff} C_{ox} \varphi_t$, por lo cual la variación de la temperatura está implícitamente considerada en el factor KK de atenuación de la corriente debida a la resistencia serie.

El parámetro restante referido a v_{sat} , que influye en la región de saturación de la corriente, disminuye con la temperatura debido a la dispersión causada por el incremento de las vibraciones de la estructura cristalina del semiconductor [22], cuya dependencia con la temperatura se implementa en el modelo a través de las expresiones semiempíricas utilizada por los simuladores [24, 74]:

$$v_{sat} = \frac{2.4 \times 10^7}{1 + 0.8e^{\frac{T}{600}}}. \quad (4.13)$$

Finalmente, la influencia de la temperatura es considerada en las ecuaciones físicas que describen la corriente y en los parámetros del modelo.

4.3 Cálculo de la corriente

El modelo de TGJLT es una extensión del modelo de DGJLT, por tanto, es capaz de reproducir el comportamiento tanto de transistores de dos como de tres compuertas. Un diagrama de flujo del funcionamiento general del modelo es presentado en la figura 4.3. El

Capítulo 4. Modelo compacto, continuo y analítico para transistores MOS sin uniones, de triple compuerta y simétricos

modelo de corriente ha sido satisfactoriamente descrito en Verilog A, incluyendo las funciones especiales de Lambert y la función hipergeométrica de Gauss [59].

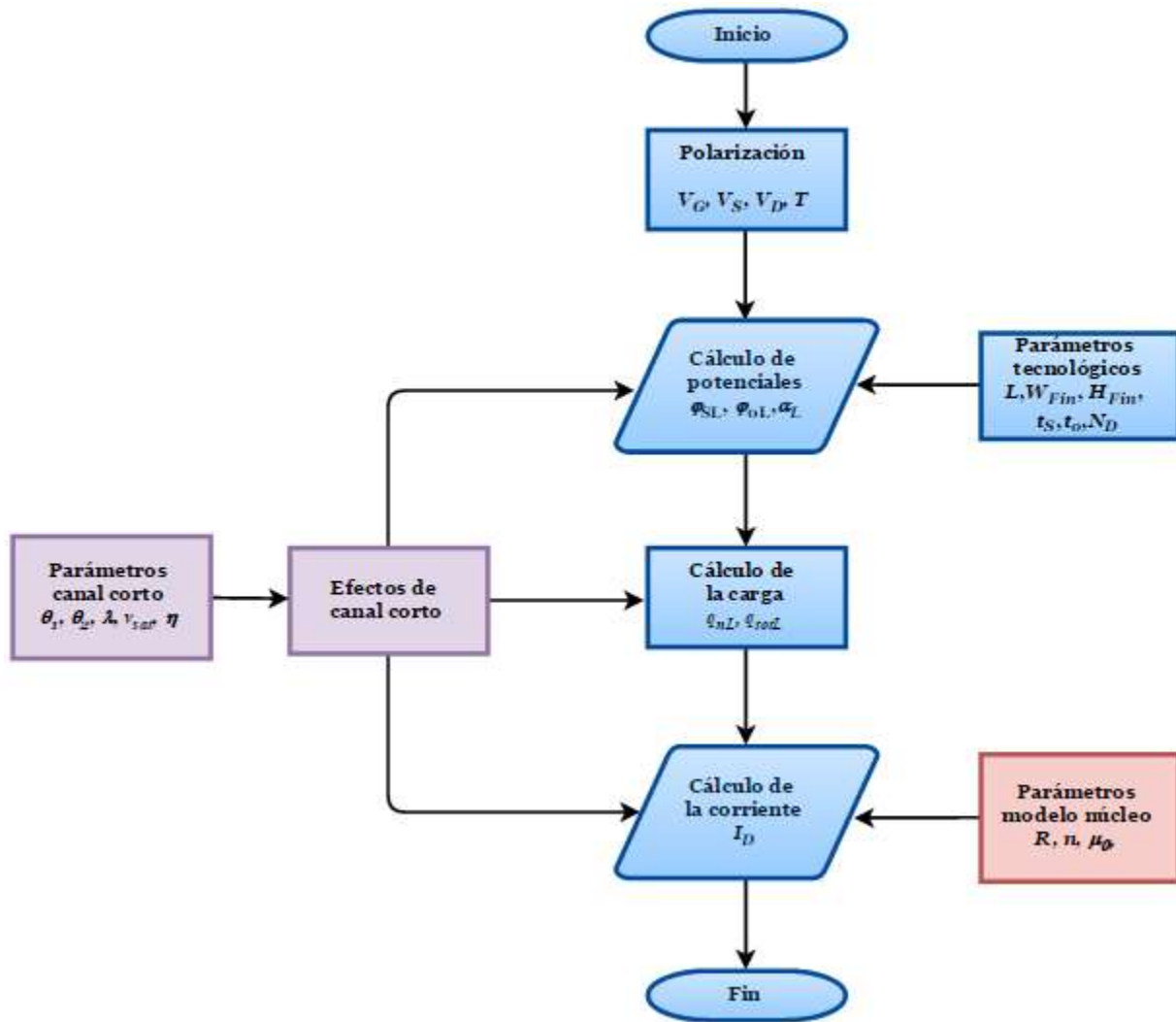


Fig. 4.3. Diagrama de flujo del modelo I-V. Los bloques azules indican el modelo núcleo.

Capítulo 5.

Resultados y análisis.

Las características eléctricas superiores del JLT respecto al MOSFET de inversión han motivado a la comunidad científica a la investigación de la operación física del dispositivo, así como al desarrollo de modelos como aquellos presentados en esta tesis que describan su comportamiento lo más precisamente posible.

Se realizan comparaciones entre los modelos de doble y de triple compuerta desarrollados y simulaciones TCAD en 2-D y en 3-D. Estas simulaciones tienen como objetivo validar los modelos en un rango amplio de voltajes que cubran todas las regiones de operación e involucren todos los mecanismos de conducción descritos anteriormente. Utilizando como material semiconductor el silicio y como material aislante un dieléctrico de alta k , con un espesor de óxido de silicio equivalente EOT . El primer paso consiste en validar el modelo núcleo junto con la variación de temperatura utilizando la estadística de Boltzmann y la diferencia que existe al utilizar Fermi-Dirac. Posteriormente, se procede a la validación del modelo de canal corto para diferentes estructuras variando N_D y t_S . En el caso de transistores de triple compuerta, se realizan comparaciones entre el modelo y simulaciones tridimensionales variando H_{Fin} y L . Además, el modelo se comprueba con mediciones experimentales en dispositivos considerados *nanowires* fabricados en CEA-LETI. En general, el modelo de corriente utiliza únicamente 8 parámetros de ajuste.

5.1 Modelo núcleo doble compuerta

La comprobación del modelo de canal largo con movilidad constante se realiza mediante simulaciones en ATLAS para una estructura homogénea de doble compuerta canal N como la mostrada en la figura 3.1, con los siguientes parámetros tecnológicos: relación de aspecto $W/L=1\mu\text{m}/1\mu\text{m}$; longitud de las extensiones, $L_{ext}=50\text{ nm}$; concentración de dopaje, N_D , de 5×10^{18} y 10^{19} cm^{-3} ; espesor del semiconductor, t_S de 10 y 15 nm; espesor de óxido de compuerta, $t_{ox}=2\text{ nm}$; compuerta de polisilicio tipo P con concentración de 10^{20} cm^{-3} ; carga positiva en la interfaz, $N_{ss}=5\times 10^{10}\text{ cm}^{-2}$; movilidad de campo bajo, $\mu_0=100\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$. La variación del ancho de banda y de la afinidad electrónica debidas a la concentración es tomada en cuenta en el modelo y en las simulaciones a través del modelo de Slotboom [75].

La combinación de los parámetros t_S y N_D son elegidas de manera tal que los dispositivos obtenidos se encuentren normalmente apagados, es decir, estructuras con (1) $t_S=15\text{ nm}$ con $N_D=5\times 10^{18}\text{ cm}^{-3}$, (2) $t_S=10\text{ nm}$ con $N_D=5\times 10^{18}\text{ cm}^{-3}$ y (3) $t_S=10\text{ nm}$ con $N_D=10^{19}\text{ cm}^{-3}$. Otra cosa a tener en cuenta es el efecto de deserción en el polisilicio. La compuerta experimenta un efecto deserción en la interfaz poli-Si/SiO₂ que incrementa el espesor del dieléctrico formando un espesor de óxido equivalente, *EOT*. En el estudio aquí presentado, este efecto incrementa en aproximadamente 0.1 nm el espesor del dieléctrico.

El cálculo analítico de las características *I-V* usando el modelo de corriente de la ecuación (3.33) es validado a través de la comparación con datos simulados [55]. La característica transferencial lineal a $V_D=50\text{ mV}$ es presentada en la figura 5.1(a) mientras que la figura 5.1(b) muestra la característica en saturación a $V_D=1\text{V}$. Se puede observar una excelente coincidencia del modelo de corriente de DGJLT con los datos obtenidos por simulación.

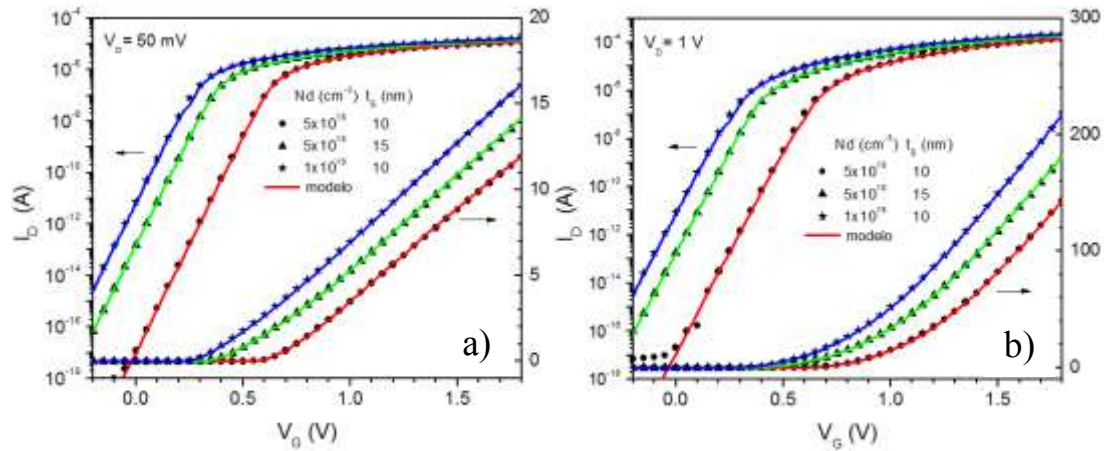


Fig. 5.1. Características transferenciales para tres diferentes estructuras con (a) $V_D=50$ mV y (b) $V_D=1$ V.

De la figura anterior es fácilmente notorio que el modelo es capaz de reproducir las regiones de subumbral y sobreumbral. Otra cosa a destacar es que el voltaje de umbral también es reproducido adecuadamente. El V_T es inversamente proporcional a la concentración N_D y al espesor t_s . Esto se puede observar en la característica de subumbral de la figura 5.1(a), lo cual hace que dispositivos más delgados y con mayor concentración sean más difíciles de controlar porque que tienen una I_{OFF} de varios órdenes de magnitud mayor, ver figura 5.1(b).

El diseño de circuitos analógicos hace imprescindible que las derivadas de la corriente sean también reproducibles por parte de un modelo de corriente. En este aspecto, las figuras 5.2(a) y (b) muestran las características de transconductancia lineal y en saturación, respectivamente. En la figura 5.2(a) se observa claramente la transición entre las regiones de deserción y acumulación donde dos diferentes pendientes se observan en g_m alrededor del $V_G=V_{FB}\approx 1$ V.

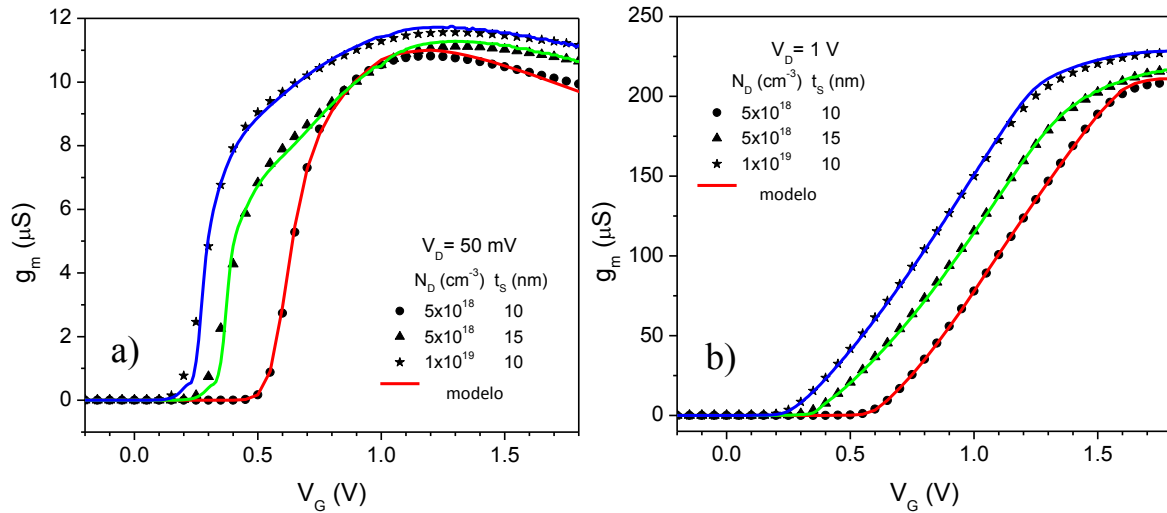


Fig. 5.2. Transconductancias para tres diferentes estructuras con (a) $V_D=50$ mV y (b) $V_D=1$ V.

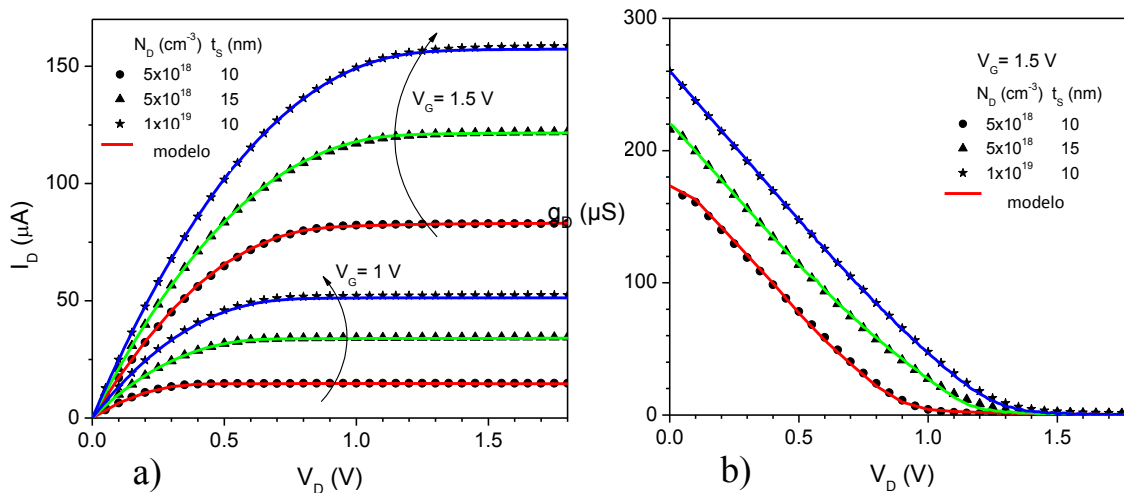


Fig. 5.3. (a) Características de salida para $V_G=1$ V y 1.5 V. (b) Conductancia de salida para $V_G=1.5$ V.

Las características de salida para las tres estructuras son mostradas en la figura 5.3(a), en la cual se observa que hay mayor resistencia serie para las estructuras con menor concentración.

Una muy importante comprobación en la validación de un modelo de MOSFETs es la prueba de simetría Gummel [68, 76]. Dado que el JLT es un transistor simétrico estructuralmente, es decir, el drenador o la fuente son usados sin distinción, la corriente debe serlo también en voltajes cercanos al origen $V_D=0$. El modelo tampoco debe presentar

Capítulo 5. Resultados y análisis

discontinuidades. La primera derivada y las de alto orden también tienen que ser continuas porque son necesarias para el análisis analógico y de RF. La prueba de simetría es presentada en la figura 5.4(a) y la continuidad de las derivadas se muestran en la figura 5.4(b).

Finalmente, en la Tabla 5.1 se muestran los parámetros extraídos por el modelo núcleo. Donde los únicos parámetros de ajuste son los que involucran a la resistencia serie, R y n . El resto son calculados por el modelo.

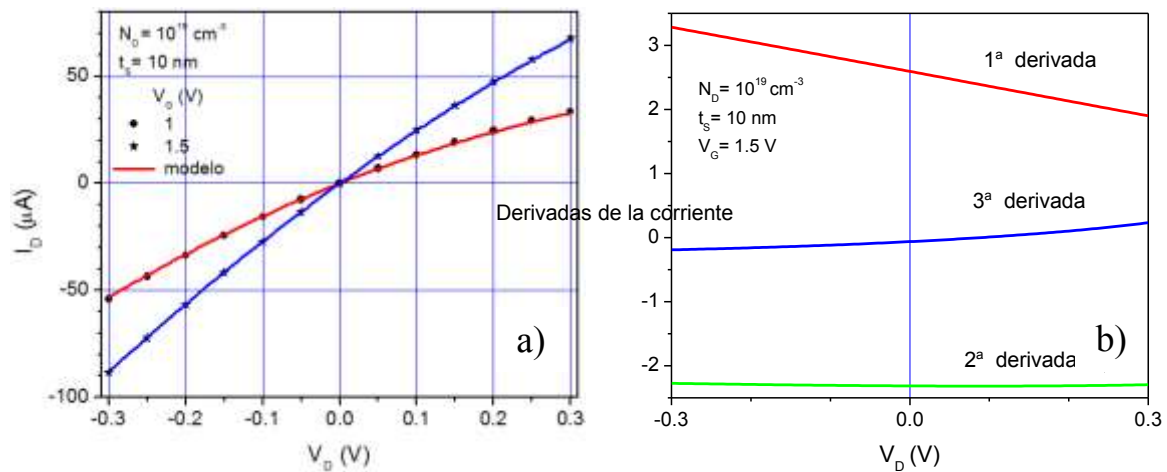


Fig. 5.4. (a) Simetría de la corriente alrededor de $V_D=0$ para $V_G=1$ y 1.5V . (b) Derivadas de la corriente para $V_G=1.5\text{V}$.

Tabla 5.1. Parámetros del modelo núcleo.

N_D (cm^{-3})	5×10^{18}		1×10^{19}
t_S (nm)	10	15	10
V_{FB} (V)	0.989	0.989	1
V_T (V)	0.578	0.332	0.236
R (Ω)	731	504	410
n	0.6	0.58	0.57

5.2 Boltzmann vs. Fermi-Dirac

Las comparaciones entre el uso de distribuciones de B y FD en los JLT se realiza por simulaciones para transistores DGJLT de canal largo, donde los parámetros del transistor son: relación de aspecto $W/L = 1\mu\text{m}/1\mu\text{m}$; concentración de dopaje tipo N, $N_D = 10^{19}\text{ cm}^{-3}$;

Capítulo 5. Resultados y análisis

compuerta de polisilicio tipo P con concentración de 10^{20} cm^{-3} ; espesor del semiconductor, t_S de 10 nm; carga positiva en la interfaz, $N_{ss}=5 \times 10^{10} \text{ cm}^{-2}$; espesor de óxido de compuerta, $t_{ox} = 2 \text{ nm}$; movilidad constante, $\mu_0=100 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ y longitud de las extensiones, $L_{ext}=50 \text{ nm}$. La validación se realiza para dos diferentes temperaturas, a temperatura ambiente (300 K) y a 100°C (373 K). La estructura estudiada presenta un $V_T=0.24\text{V}$ al considerar la estadística de B y $V_T=0.32 \text{ V}$ considerando el modelo de PB descrito en las ecuaciones (4.10) y (4.11), respectivamente. En el contexto del modelado, la figura 5.5 (a) muestra las comparaciones en la región lineal para $V_D= 50 \text{ mV}$ al usar las estadísticas de B y FD y las modelaciones considerando B y usando el modelo de PB y PBz para describir la concentración de portadores con distribución de FD. La figura 5.5(b) muestra los resultados en saturación para $V_D= 1.5\text{V}$. Por otro lado, la característica de salida es mostrada en la figura 5.5(c).

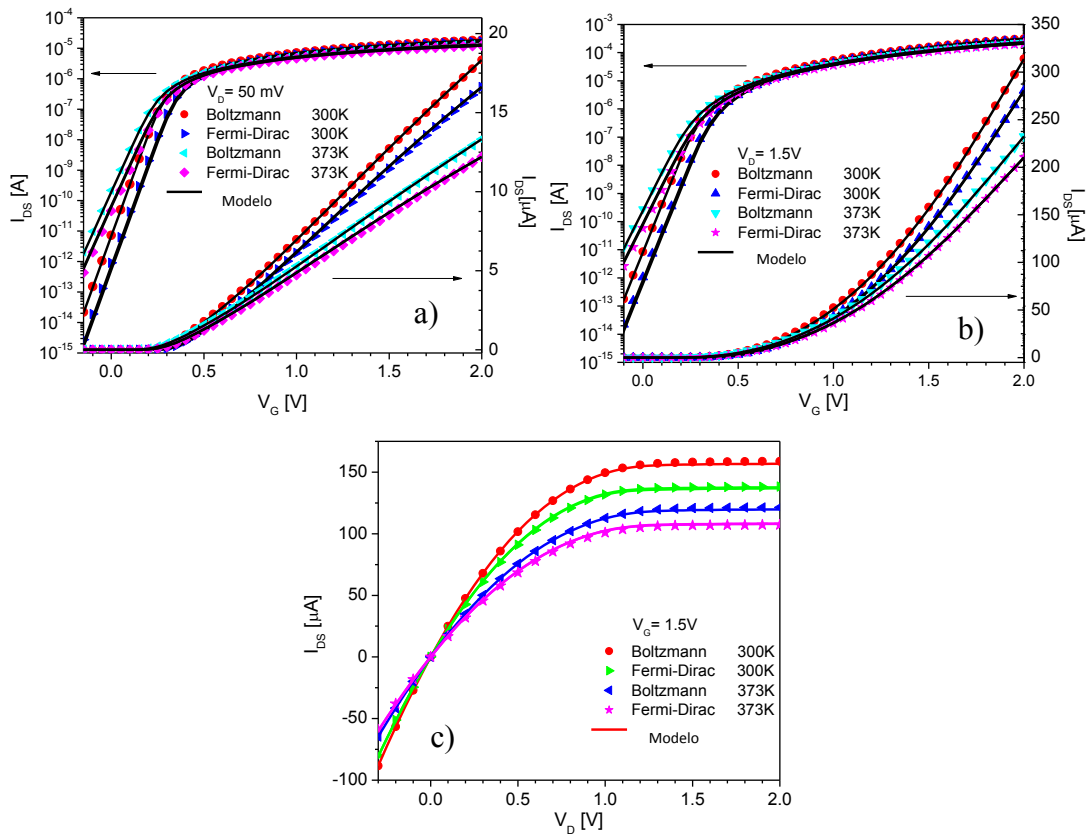


Fig. 5.5. Simulaciones y modelado de las (a) Características I-V para $V_D=50 \text{ mV}$, (b) Características I-V para $V_D=1.5\text{V}$ y (c) Características de salida para $V_G=1.5\text{V}$. Las líneas representan los modelos PB y PB continuo.

Capítulo 5. Resultados y análisis

Es necesario remarcar que existe una diferencia considerable al utilizar B ó FD como distribución. La ionización incompleta en FD provoca que una menor cantidad de carga sea controlada, lo cual a su vez disminuye la corriente a altas temperaturas e inclusive a temperatura ambiente. La pendiente de subumbral es reproducida perfectamente por el modelo, el cual toma en cuenta la variación de la temperatura en sus ecuaciones internas. A medida que la concentración N_D se aumente, la diferencia en la corriente se acrecentará también.

5.3 Modelo de canal corto

Para validar el modelo de canal corto se han seleccionado la misma terna de estructuras de canal largo (1) $t_S=15$ nm con $N_D=5 \times 10^{18}$ cm⁻³, (2) $t_S=10$ nm con $N_D=5 \times 10^{18}$ cm⁻³ y (3) $t_S=10$ nm con $N_D=10^{19}$ cm⁻³. Esta vez cambiando el material de compuerta por un metal con un trabajo de extracción de 5.2eV el cual emula al polisilicio tipo P con 10^{20} cm⁻³ de concentración para así eliminar el efecto de deserción del polisilicio. Se ha considerado una movilidad variable a través del modelo de Shirahata [77]. Los siguientes parámetros son comunes para las diferentes estructuras: $W_{eff}=1$ μm; carga positiva en la interfaz, $N_{ss}=5 \times 10^{10}$ cm⁻²; $EOT=2$ nm y extensiones con concentración de dopaje adicional tipo N, $N_{Dext}=10^{20}$ cm⁻³ con longitud, L_{ext} de 30 nm, debido a su mejor desempeño eléctrico [78]. Las siguientes longitudes de canal han sido simuladas: 25, 40, 50, 100, 200, 300 y 500 nm.

Las comparaciones entre las simulaciones y el modelo de corriente de la ecuación (3.33) se han realizado tomando en cuenta los efectos de caída de voltaje de umbral, degradación de la pendiente de subumbral, $DIBL$, modulación de canal, al igual que la velocidad de saturación y la degradación de la movilidad. Los parámetros extraídos y usados en el modelo son presentados en la Tabla 5.2, donde la columna etiquetada como “N” se refiere al tipo de estructura simulada (1), (2) o (3). El valor negativo observado para los parámetros de degradación de la movilidad indican el cambio de pendiente alrededor del V_{FB} , en las regiones de deserción y acumulación. Las figuras 5.6(a) y (b) muestran la corriente para una estructura en particular en la región lineal y para saturación con voltajes de $V_D=50$ mV y 1.5 V, respectivamente. De la figura 5.6 se puede resaltar la siguiente

Capítulo 5. Resultados y análisis

información: la disminución del V_T a medida que el canal disminuye es predicha eficientemente, así como también por el incremento de V_D ; la pendiente SS , cuyo valor aumenta para canales cortos, tiene concordancia con el modelo. A partir de la figura 5.7(a) se pueden observar las transconductancias, las cuales están muy bien descritas por el modelo. El valor máximo de la transconductancia lineal está principalmente determinado por la movilidad máxima μ_0 . La figura 5.7(b) muestra la eficiencia de la transconductancia g_m/I_D cuyo máximo valor equivale al calculado teóricamente $1/\phi_r \approx 39V^{-1}$ para $L > 100$ nm. La correcta representación de esta característica es útil para el diseño de amplificadores. Las características de salida y las conductancias son mostradas en la figura 5.8(a), donde se observa el incremento de la pendiente en la zona de saturación debido al efecto de la modulación de canal. Los efectos de subumbral son de importancia relevante, con vista en ello la pendiente SS es calculada a partir de la recta en subumbral como:

$$SS = \frac{V_{G2} - V_{G1}}{\log(I_2) - \log(I_1)}, \quad (5.1)$$

donde $V_T > V_{G2} > V_{G1}$. Mientras que el $DIBL$ es calculado a partir del corrimiento de la corriente en subumbral causado por el incremento de V_D de la siguiente manera:

$$DIBL = \frac{V_T(V_{D1}) - V_T(V_{D2})}{V_{D2} - V_{D1}}, \quad (5.2)$$

donde V_{D2} indica una condición de saturación y V_{D1} una condición en la región lineal.

El comportamiento de SS y del $DIBL$ es comparado en la figura 5.8(b) para todas las estructuras; el $DIBL$ es más intenso en la estructura más gruesa, con $t_S = 15$ nm. Además, los efectos de subumbral se ven incrementados para $L < 100$ nm. El $DIBL$ fue extraído usando un $V_{D2} = 1.5$ V y $V_{D1} = 50$ mV, mientras que la SS fue extraída usando dos puntos del subumbral para definir una recta y extraer su pendiente como indica (5.1).

Para evitar una larga comparación entre las tres diferentes estructuras, se muestran únicamente los casos para el canal más corto con $L = 40$ nm y uno más de 25 nm para el caso más crítico que ocurre para la estructura más delgada y de mayor concentración. La figura 5.9 reporta las características transferenciales. Mientras que la figura 5.10(a) presenta sus

Capítulo 5. Resultados y análisis

transconductancias. Por último, la figura 5.10(b) muestra las curvas de salida y las conductancias de salida para $V_D=1.5$ V.

A partir de todas las figuras se puede notar que existe una excelente coincidencia entre las simulaciones y las características modeladas en todas las regiones de operación al igual que una descripción continua de la corriente para diferentes espesores de semiconductor, concentraciones de dopaje y longitudes de canal. El modelo describe muy bien el comportamiento de los DGJLT de canal corto. Un ejemplo de ello se muestra en las figuras 5.7(a) y 5.10(a) donde la transición entre los dos mecanismos de conducción tiene lugar. La consideración del mínimo de potencial a lo largo del canal en el voltaje efectivo de compuerta (ecuación (3.50)) permite la correcta descripción de la caída del voltaje de umbral, la variación de la pendiente de subumbral y el *DIBL* al variar la longitud de canal y el voltaje de drenador.

El modelo de canal corto ha sido apropiadamente codificado en el lenguaje Verilog-A [59] y los resultados obtenidos son idénticos a los presentados en esta sección.

Tabla 5.2 Parámetros del modelo de canal corto.

N	L [nm]	μ_0 [cm ² /Vs]	R [Ω]	n	Θ_1 [V ⁻¹]	Θ_2 [V ⁻¹]	v_{sat} ×10 ⁷ [cm/s]	λ	η
1	500	150	210	0.75	-0.13	0.15	1	0.65	----
1	300	150	150	0.86	-0.18	0.16	1	0.80	----
1	200	150	92	0.90	-0.10	0.15	1.24	0.90	0.12
1	100	150	62	0.90	-0.14	0.32	1.2	0.69	0.14
1	50	140	36	0.85	-0.05	0.48	1.25	0.29	0.12
1	40	140	33	0.40	0	0.05	1.2	0.28	0.11
2	40	140	60	0.90	-0.23	0.93	1.4	0.24	0.13
3	40	98	45	0.86	0.02	0.32	1.23	0.35	0.15
3	25	98	44	0	0.05	-0.2	1.3	0.3	0.14

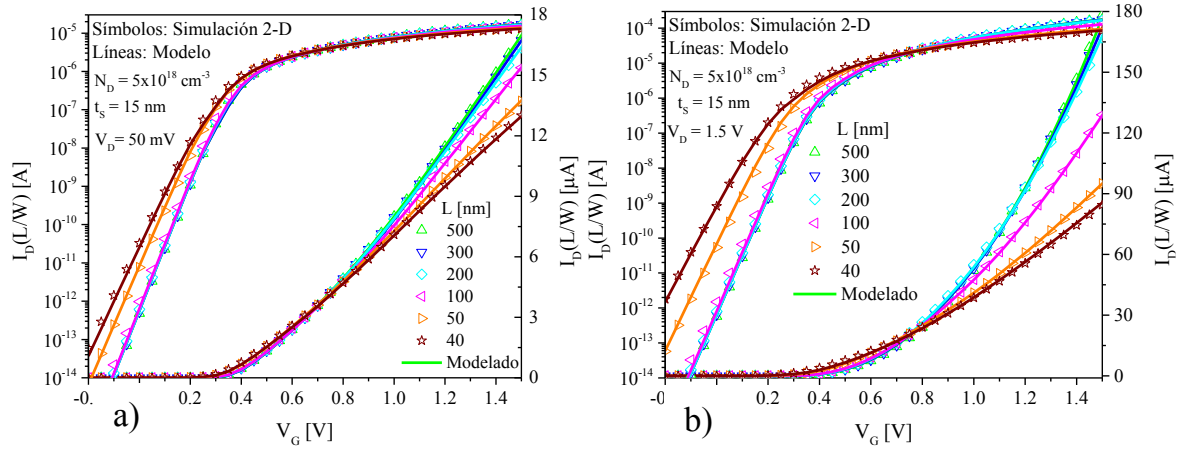


Fig. 5.6. Características transferenciales simuladas y modeladas en escala lineal y semilogarítmica para (a) $V_D=50$ mV y (b) $V_D=1.5$ V.

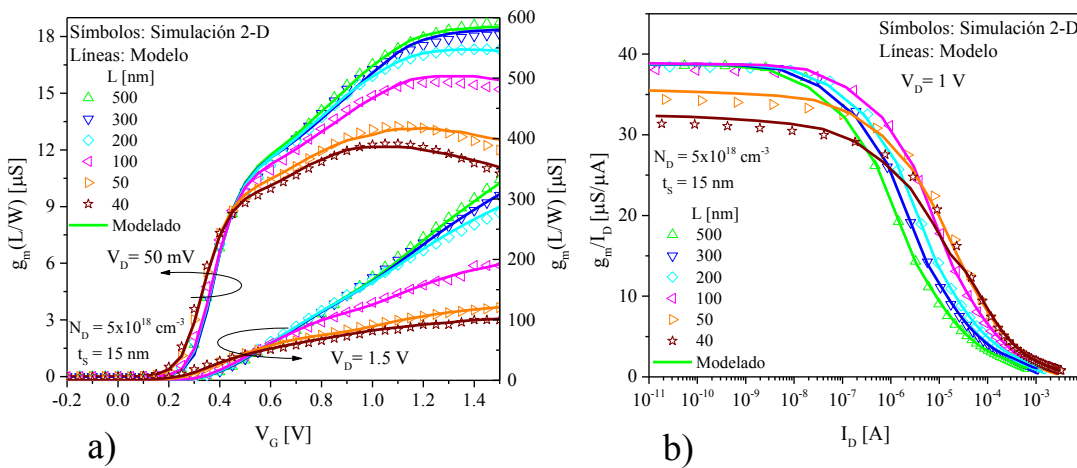


Fig. 5.7. (a) Transconductancias lineal (eje izquierdo) y de saturación (eje derecho) simuladas y modeladas. (b) Característica g_m/I_D para $V_D=1$ V.

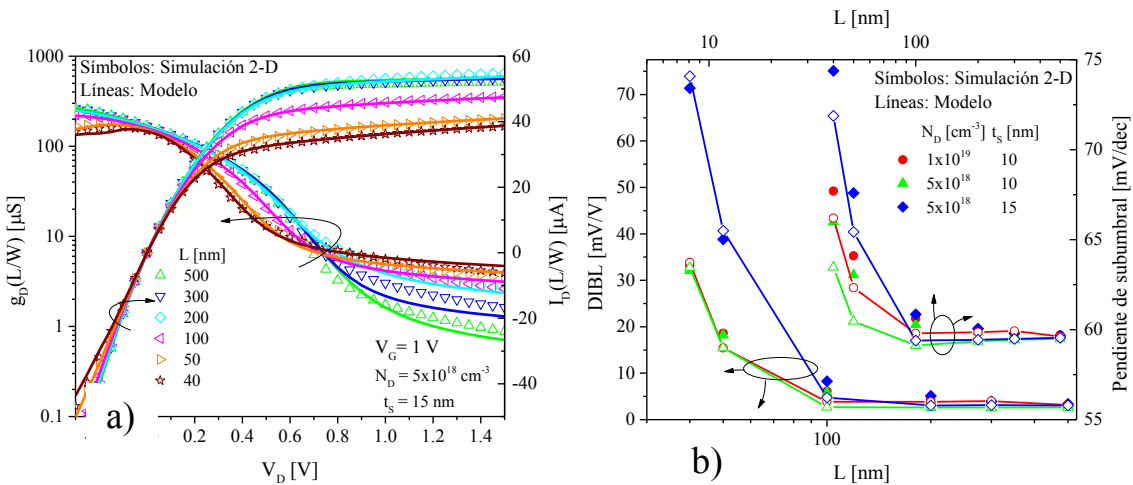


Fig. 5.8. (a) Características de salida y sus conductancias para $V_D=1$ V. (b) Pendiente subumbral y DIBL para tres diferentes estructuras.

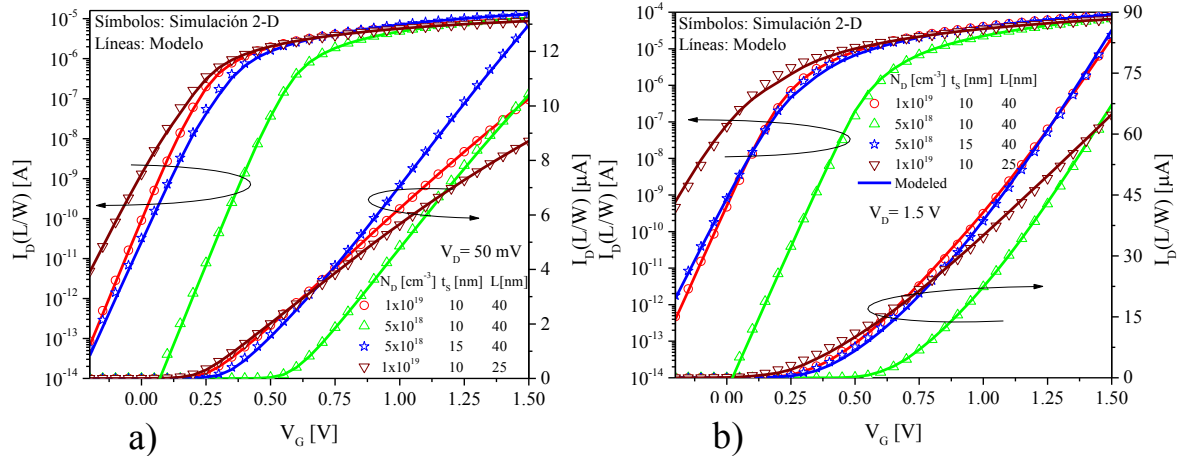


Fig. 5.9. (a) . Características transferenciales simuladas y modeladas en escala lineal y semilogarítmica para (b) $V_D=50 \text{ mV}$ y (c) $V_D=1.5 \text{ V}$.

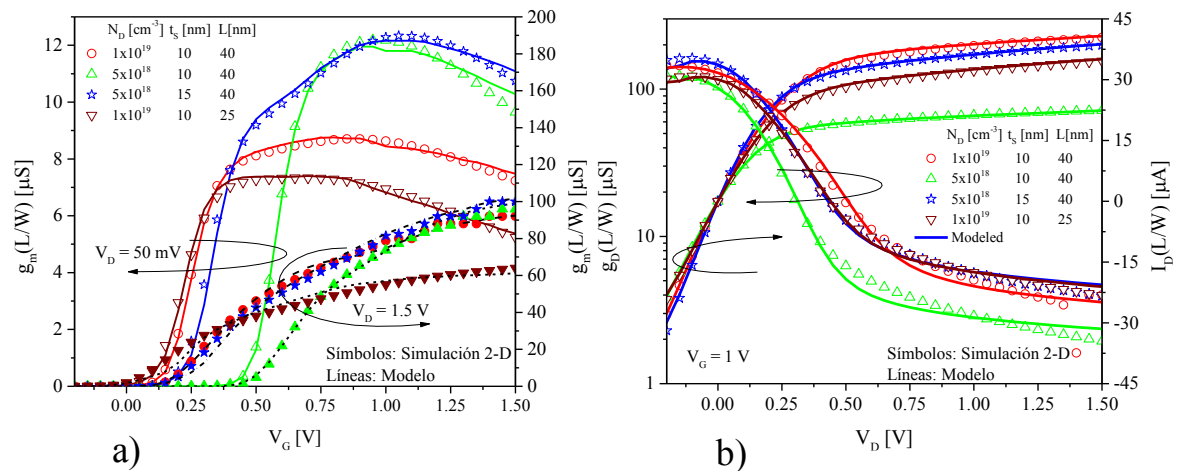


Fig. 5.10. (a) Transconductancias lineal (eje izquierdo) y de saturación (eje derecho) simuladas y modeladas. (b) Características de salida y sus conductancias para $V_D=1\text{V}$

5.4 Estructura homogénea vs. Extensiones dopadas

Un estudio adicional se realiza en transistores de canal corto usando una estructura con características idénticas al DGJLT usado para validar el modelo de canal corto. En esta ocasión se varía solamente la topología de las extensiones usando tres diferentes tipos de estructuras [79]: (1) DGJLT homogéneo con $N_{Dext}=N_D$ y $L_{ext}=30 \text{ nm}$, (2) DGJLT sin

Capítulo 5. Resultados y análisis

extensiones y finalmente (3) DGJLT no homogéneo con implantación adicional, $N_{Dext} = 10^{20}$ cm^{-3} y $L_{ext} = 30$ nm. Las tres estructuras tienen una $L = 50$ nm y una concentración en el canal de $N_D = 5 \times 10^{18}$ cm^{-3} con un $V_{FB} \approx 1$ V. Todas exhiben comportamientos similares en la región lineal, pero con diferentes magnitudes de corriente debido a la resistencia serie. Sin embargo, en la región de saturación hay una diferencia trascendental, la figura 5.11(a) sirve para mostrar tal peculiaridad. La corriente entre las estructuras sin extensiones (2) y extensiones dopadas (3) presentan un nivel de corriente significativamente mayor con respecto a la estructura homogénea (1) debido a la alta resistencia serie de este último. Sin embargo, la caída de la corriente de la estructura homogénea a altos niveles de voltaje de compuerta no se debe únicamente a la resistencia serie, a este efecto se le ha llamado *corriente anómala*. Además, es notable que existe también una variación en el V_T comparado con las otras dos estructuras que prácticamente presentan el mismo V_T . Al observar el comportamiento de los potenciales, en la figura 5.11(b) se observa un comportamiento totalmente parabólico típico, en cuyas fronteras equivale al potencial interconstruido del diodo Schottky formado por los contactos de S y D. La figura 5.11(c) presenta un comportamiento plano en las extensiones establecido por el potencial de Fermi en las mismas. En estas dos estructuras el potencial es directamente proporcional al V_G aplicado. Mientras que la figura 5.11(d) presenta un comportamiento bastante peculiar en las extensiones, especialmente en el drenador (frontera derecha). Adicionalmente, el poco incremento en la diferencia de potenciales del drenador virtual (indicado por la flecha derecha) respecto a la fuente virtual (flecha izquierda) provoca un incremento también escaso en la corriente, el cual se ve reflejado en la figura 5.11(a). Se observa una tendencia a un estado estable por parte del potencial superficial en el JLT homogéneo a medida que la acumulación se hace más fuerte.

Por parte del modelado, hasta ahora ningún modelo toma en cuenta este efecto, principalmente porque el JLT está diseñado para trabajar con voltajes generalmente en el orden o menores que V_{FB} , donde este efecto no es importante. La figura 5.12(a) muestra la característica transferencial lineal del modelo y de las simulaciones. Las figuras 5.12(b) y (c) muestran la discrepancia del modelo presentado en este trabajo cuando $V_G \gg V_{FB}$, es decir, en acumulación fuerte para los transistores de canal corto en el régimen de saturación. A pesar de la discrepancia, es posible realizar un análisis de las estructuras. Por ejemplo, en las características transferenciales de las estructuras homogénea (figura 5.12) y dopada (figura

Capítulo 5. Resultados y análisis

5.6) se obtiene que la pendiente de subumbral no sufre una variación significativa y por tanto depende únicamente de la longitud de canal. No obstante, el *DIBL* sufre un incremento substancial de al menos el 50% en una estructura homogénea respecto a una dopada para cualquier L . Un aumento significativo de la corriente se obtiene al utilizar estructuras con extensiones dopadas. Esto incrementa la relación I_{ON}/I_{OFF} y por tanto mejora el desempeño de los circuitos CMOS. De las curvas de transconductancia en saturación se puede analizar la ganancia de voltaje, $A_V = g_m / g_d$, y se observa que una estructura dopada generará una mayor ganancia debido a su valor más alto de g_m .

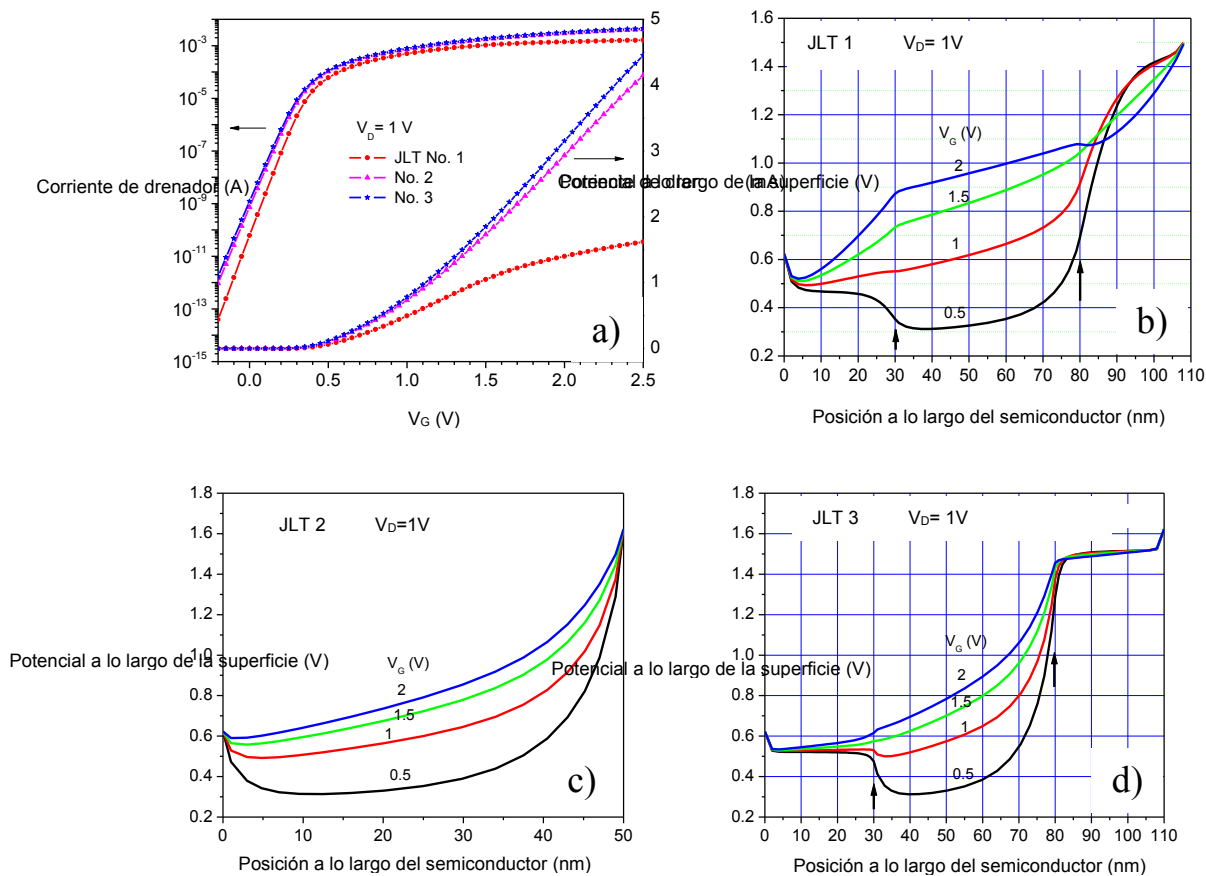


Fig. 5.11. (a) Característica transferencial en saturación a $V_D=1V$. Potenciales en la superficie para (b) DGJLT homogéneo $N_D=N_{Dext}$, (c) sin extensiones y (d) extensiones dopadas con 10^{20} cm^{-3} , en las cuales las flechas indican las fronteras extensión de fuente/canal/extensión de drenador [79].

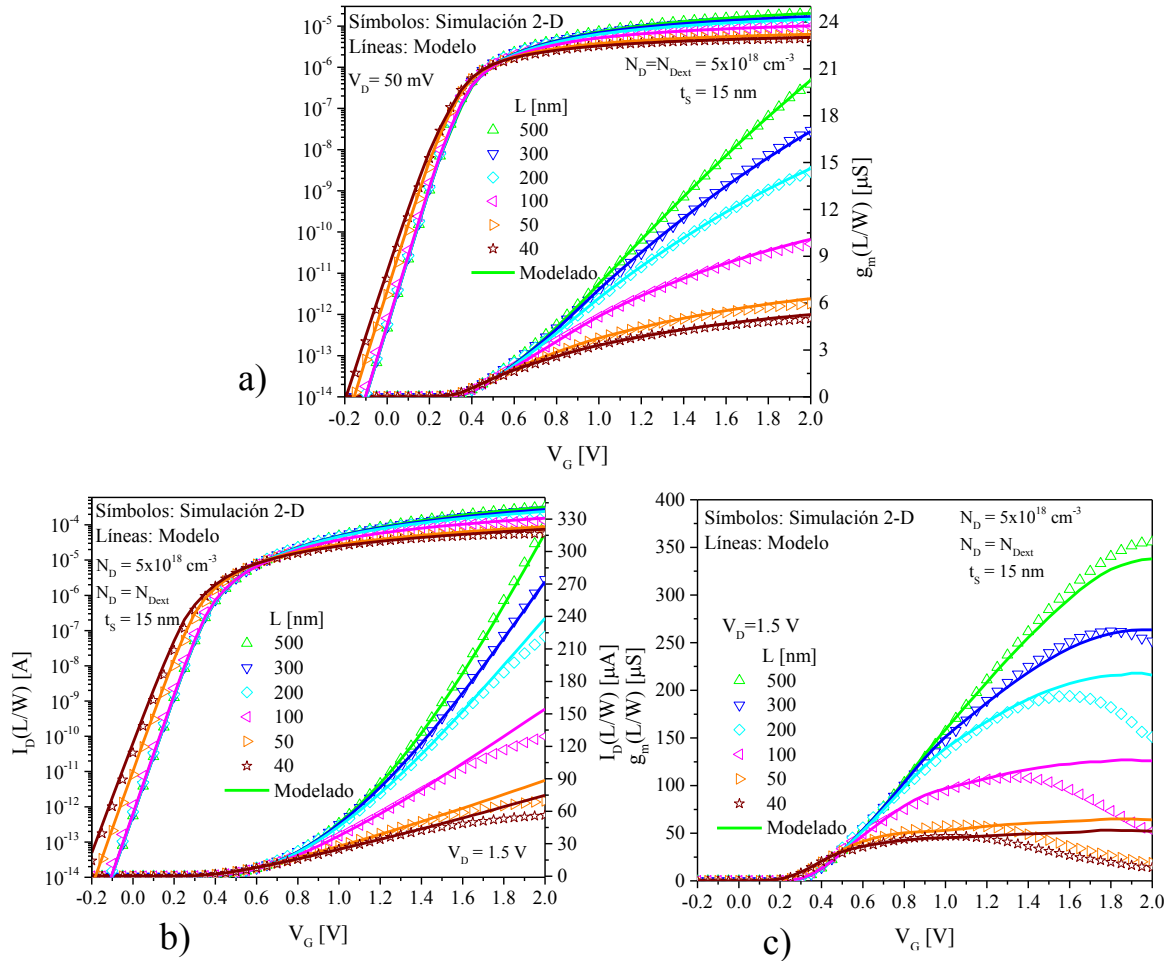


Fig. 5.12. (a) Característica transferencial lineal. (b) Sobreestimación del modelo de corriente en acumulación fuerte y (c) sobreestimación de la transconductancia para $V_D=1.5V$ para transistores de canal corto con $L<200nm$.

5.5 Modelo de triple compuerta

Para validar el modelo desarrollado en el capítulo 4, se han realizado también comparaciones con simulaciones en 3-D y con mediciones experimentales a partir de dispositivos fabricados en el *Laboratoire d'électronique des technologies de l'information*, CEA-LETI [50].

El modelo requiere de los siguientes parámetros: μ_0 , R y n correspondientes al modelo núcleo, necesarios para los transistores de canal largo. Para los dispositivos de canal corto

Capítulo 5. Resultados y análisis

θ_1 , θ_2 y λ deben ser agregados. Los parámetros η y v_{sat} presentan un comportamiento casi constante y su extracción puede ser omitida.

Los parámetros se extraen a partir de la siguiente secuencia: μ_0 del punto máximo de la g_m para la región lineal [34]; θ_1 y θ_2 de la corriente en acumulación en las características transferencial lineal y de saturación, respectivamente [53]; R es obtenido a partir de la atenuación de la característica transferencial lineal y n de la de saturación [53] y λ de la característica de salida en saturación [53]. η es obtenida de la característica de salida [53] con un valor constante de 0.13. v_{sat} fue fijado a un valor de 1.2×10^7 cm/s.

5.5.1 Simulaciones

La validación del modelo analítico para TGJLT fue realizada usando simulaciones tridimensionales de ATLAS. La estructura utilizada es mostrada en la figura 4.1. Las características impuestas al simulador son las siguientes: modelo de movilidad CVT [80], consideración del estrechamiento del ancho de banda como función de la concentración de dopaje por medio del modelo de Slotboom [75], variación de afinidad electrónica, ionización por impacto y efecto de la velocidad de saturación. Las características de la estructura simulada son: trabajo de extracción del metal de la compuerta de 5.2 eV; carga positiva en la interfaz, $N_{SS}=5 \times 10^{10}$ cm⁻²; concentración del canal tipo N, $N_D=5 \times 10^{18}$ cm⁻³; espesor de óxido lateral y superior, $t_{ox} = t_{oxtop} = 2$ nm; óxido enterrado, $t_{obx} = 100$ nm; ancho de Fin, $W_{Fin}= 15$ nm y longitud de extensiones, $L_{ext}=30$ nm con concentración N_D .

Se realizaron varias series de simulaciones variando la altura del Fin, H_{Fin} , desde un valor grande hasta *nanowires*, 100, 70, 50, 30, 15 y 10 nm y también variando la longitud de canal desde canal largo a corto, 500, 300, 200, 100, 50 y 30 nm. La característica transferencial lineal es simulada para $V_D= 50$ mV y la de saturación para $V_D= 1.5$ V. La característica de salida es obtenida para $V_G= 1$ V.

El análisis comienza para transistores con diferentes alturas. La figura 5.13(a) muestra el comportamiento de la corriente normalizada de las simulaciones y del modelo para una longitud de canal de 50 nm en la región lineal. Una excelente coincidencia se

observa en deserción y en acumulación. Mientras que la figura 5.13(b) muestra la característica transferencial en saturación con una buena concordancia.

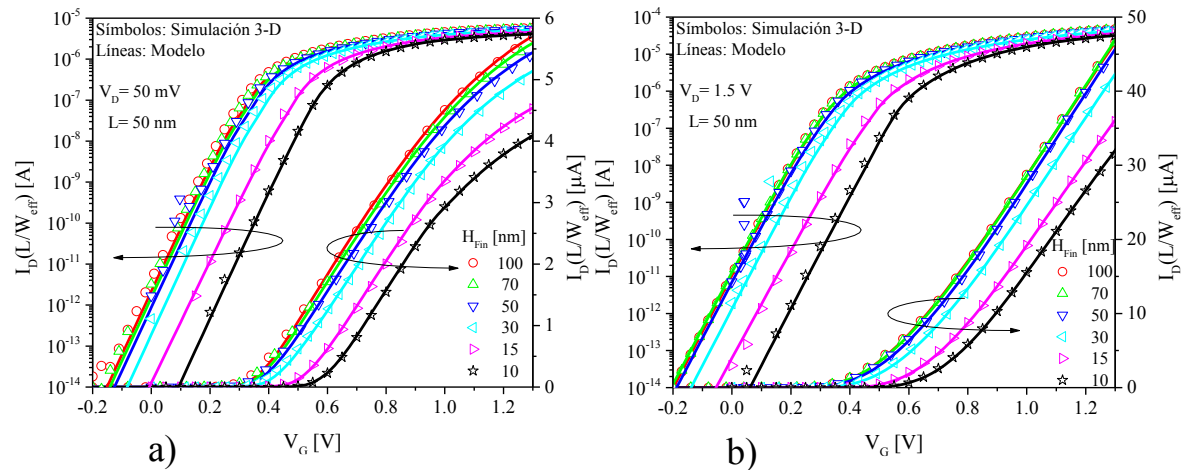


Fig. 5.13. Característica I-V normalizada para diferentes alturas de Fin en: (a) región lineal a $V_D=50$ mV y (b) región de saturación a $V_D=1.5$ V.

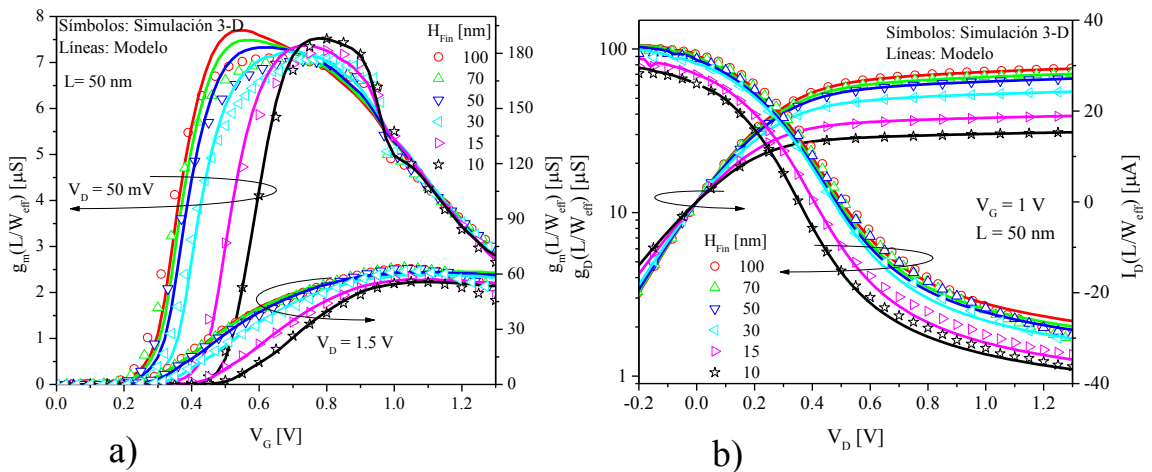


Fig. 5.14. (a) Transconductancias lineal y de saturación. (b) Característica de salida y conductancia.

Se puede observar que los dispositivos con $H_{Fin} > 50$ nm presentan un comportamiento casi idéntico en todo el rango de voltaje. Esto se debe a que no hay un cambio significativo en la carga debido a que son dispositivos “altos” con un comportamiento aproximado a un DGJLT. La reducción de la corriente inicia cuando $H_{Fin}/W_{Fin} \approx 3$ y se intensifica cuando se

Capítulo 5. Resultados y análisis

alcanza una relación de 2. Un importante cambio en el V_T es observado. Este comportamiento es esperado, porque de acuerdo a la ecuación del voltaje de umbral, a medida que H_{Fin} se reduce, el V_T incrementa debido a la reducción de la carga fija en el canal.

La figura 5.14(a) presenta las transconductancias lineal y de saturación normalizadas, a $V_D=50$ mV y 1.5V, respectivamente. A bajos voltajes de drenador, el pico de la g_m es gobernado por μ_0 . La figura 5.14(b) muestra la característica de salida y su conductancia a $V_G=1$ V. Se observa que existe un pequeño decaimiento en la corriente de saturación para alturas grandes, 100, 70 y 50 nm. De nueva cuenta se observa que los dispositivos más pequeños exhiben una marcada diferencia respecto al resto.

Aunque el V_T depende de la concentración y el espesor del semiconductor, en subumbral, los dispositivos de menor altura presentan la ventaja de tener un V_T mayor, lo cual vuelve más sencilla la fabricación de dispositivos normalmente apagados con un gran rango de operación en sub- V_T , haciéndolos útiles para aplicaciones de bajo consumo de energía.

El comportamiento de los parámetros del modelo para dispositivos con una misma longitud de canal y diferentes alturas de fin se presenta en la Tabla 5.3.

Tabla 5.3. Parámetros extraídos para dispositivos con diferentes alturas de fin y una longitud de canal de 50 nm.

H_{Fin} [nm]	Parámetros del modelo núcleo			Parámetros canal corto		
	μ_0 [cm ² ·V ⁻¹ s ⁻¹]	R [Ω]	n	θ_1 [V ⁻¹]	θ_2 [V ⁻¹]	λ
100	108.97	830	0.9	1.314	0.063	0.151
70	103.4	1063	0.861	1.348	-0.01	0.136
50	96.559	1271	1.089	1.393	0.087	0.132
30	88.752	1795	0.932	1.409	-0.092	0.125
15	81.2	3462	1.097	1.396	0.023	0.146
10	86.043	7828	1.006	1.185	0.357	0.21

Al enfocarse en un dispositivo en particular con $H_{Fin}=15$ nm para validar el modelo de TGJLT variando la longitud de canal en el rango de 500 a 30 nm, la figura 5.15(a) muestra el comportamiento de la corriente para $V_D=50$ mV, mientras que la figura 5.15(b) lo muestra para $V_D=1.5$ V. El modelo reproduce adecuadamente las simulaciones. Las

Capítulo 5. Resultados y análisis

transconductancias se muestran en la figura 5.16(a), donde se observa claramente la degradación de la movilidad. Las curvas de salida y las conductancias se muestran en la figura 5.16(b). En todas las figuras mostradas se observa que el modelo puede reproducir con precisión los resultados de las simulaciones para una gran cantidad de longitudes de canal para transistores con alturas de fin muy pequeñas describiendo los SCE.

Finalmente, en aspectos generales, la figura 5.17 presenta los resultados obtenidos para el voltaje de umbral para transistores de canal largo considerando la altura en la expresión (4.4), resultando que el modelo predice muy bien la tendencia. Por otro lado, la disminución del voltaje de umbral debido al acortamiento de canal es también reproducida. Se observa que existe un tenue cambio en la S a medida que el H_{Fin} se reduce mientras que el $DIBL$ varía dentro del rango de 10 mV/V. La extracción del voltaje de umbral fue realizada a través del método de la doble derivada [61]. En los resultados se puede ver claramente que el modelo puede predecir los cambios del V_T desde dispositivos DGJLT hasta transistores tipo *nanowire* para canal largo y canal corto.

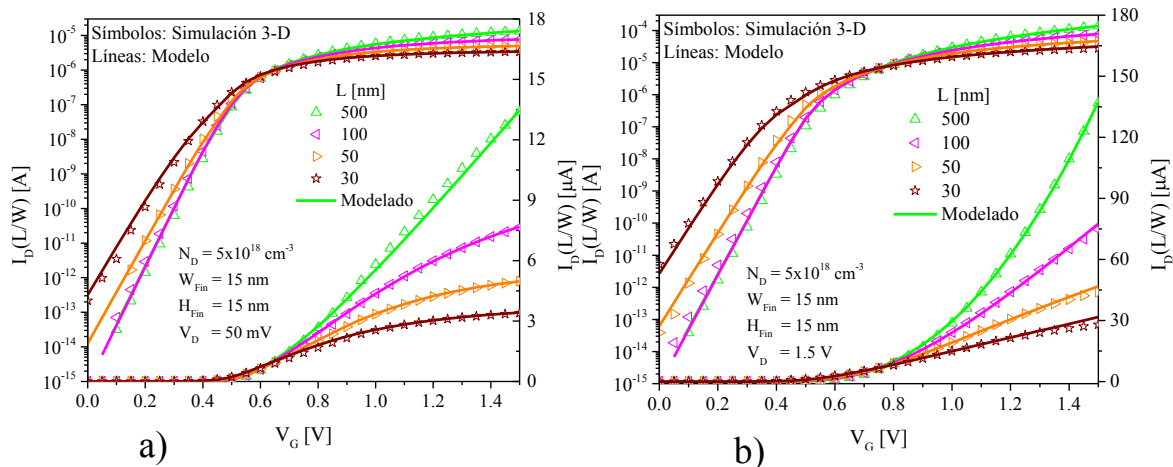


Fig. 5.15. Característica I-V normalizada para diferentes longitudes de canal en: (a) región lineal a $V_D=50$ mV y (b) región de saturación a $V_D=1.5$ V.

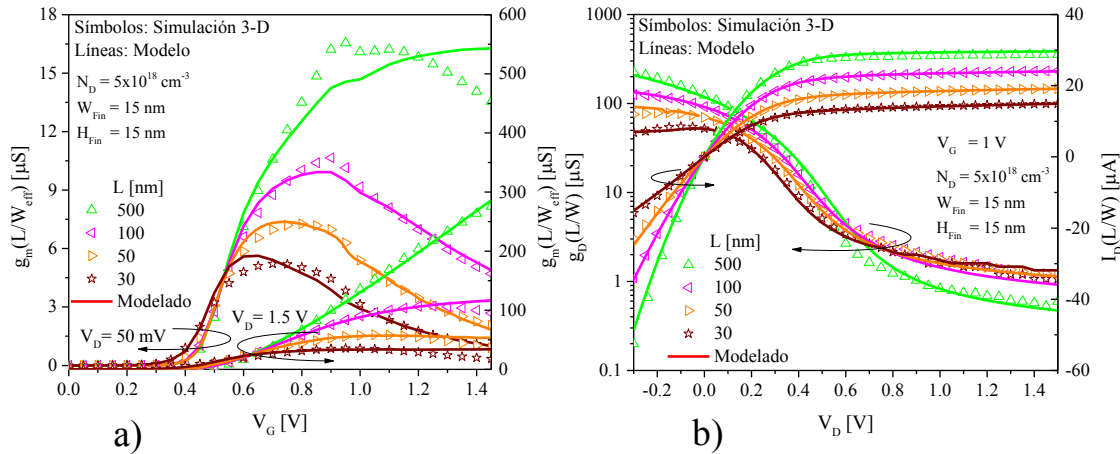


Fig. 5.16. (a) Transconductancias lineal y de saturación. (b) Característica de salida y conductancia a $V_D=1V$.

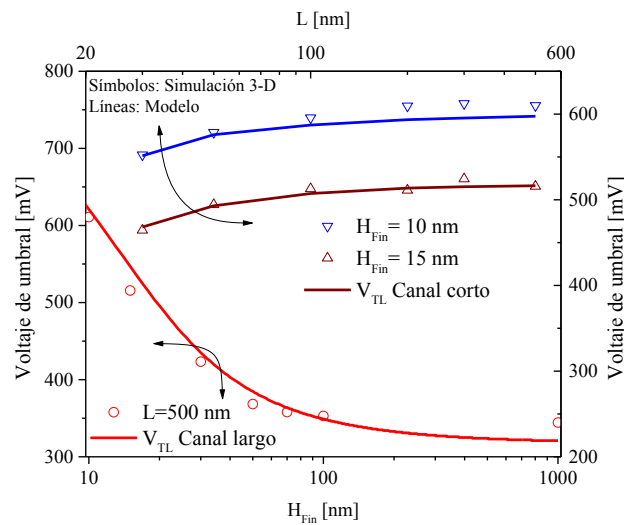


Fig. 5.17. Voltaje de umbral como función de la altura del fin H_{Fin} y de la longitud de canal L .

5.5.2 Mediciones experimentales

El modelo de TGJLT es también validado para mediciones de dispositivos experimentales fabricados en el CEA-LETI en obleas SOI de orientación (100) con 145 nm de óxido enterrado, siguiendo un proceso indicado en [50]. Los dispositivos son fabricados con PoliSi/TiN como material de compuerta y un dieléctrico de compuerta de HfSiON con un EOT de 1.2 nm. Las dimensiones efectivas para los parámetros geométricos H_{Fin} y W_{Fin} son 10 y 20 nm, respectivamente. Las concentraciones de dopaje tipo N son 5×10^{18} y 1×10^{19}

Capítulo 5. Resultados y análisis

cm^{-3} , las cuales se implantaron en dispositivos con longitudes de canal de 30, 40, 50, 70 y 90 nm.

Los dispositivos reales con altas concentraciones de dopaje como el JLT, presentan ionización incompleta. En el silicio con concentraciones arriba de $3.6 \times 10^{18} \text{ cm}^{-3}$, la estadística de Boltzmann sobreestima el valor de la concentración de portadores. Debido a ello, el modelo de Pseudo-Boltzmann se utiliza para calcular la concentración.

Para sintetizar el análisis y disminuir el número de gráficos, las comparaciones entre el modelo y las mediciones se enfocan en el dispositivo más crítico, el de mayor concentración con $N_D = 1 \times 10^{19} \text{ cm}^{-3}$. La figura 5.18(a) muestra la característica $I-V$ normalizada en escala lineal y semilogarítmica para un $V_D = 50 \text{ mV}$, donde el comportamiento sub- V_T , la pendiente subumbral y la caída del voltaje de umbral se pueden observar con claridad. Todos éstos efectos se deben al acortamiento del canal y a la influencia de las cargas atrapadas en la interfaz que desplazan el V_{FB} y la curva $I-V$. Por otra parte, un muy buen modelado de las curvas en saturación se encuentra en la figura 5.18(b), la cual permite estudiar el fenómeno del $DIBL$ y también observar cómo la corriente decrece respecto al ancho de canal. En las figuras hasta ahora mostradas es posible observar que el transistor más largo presenta una alta carga en la interfaz. Las derivadas de la corriente en la región lineal y en saturación son muy bien descritas. Los resultados se presentan en la figura 5.19(a) y en la figura insertada, respectivamente. La movilidad máxima cae drásticamente en la transconductancia a 50 mV, como resultado del fuerte impacto del campo eléctrico paralelo en la aceleración de los portadores. La característica de salida para la corriente y la conductancia son también modeladas en la figura 5.19(b). A pesar de que la corriente disminuye con el escalamiento, la curva $I-V$ hace posible observar con mucho más detalle el agresivo impacto de la resistencia serie en el desempeño del dispositivo.

En la figura 5.20 se muestra el $DIBL$ y la pendiente de subumbral para los dos tipos de transistores medidos con diferente concentración de dopaje. Los resultados muestran una muy buena coincidencia para aquellos con menor N_D , no obstante, la tendencia es muy bien reproducida para el valor restante de N_D . El $DIBL$ fue extraído por el corrimiento del V_T en el subumbral y por la ecuación (5.2) con $V_{D2} = 1 \text{ V}$ y $V_{D1} = 50 \text{ mV}$, mientras que la SS fue extraída usando dos puntos del subumbral para definir una recta y extraer su pendiente. Se

Capítulo 5. Resultados y análisis

observa que la pendiente tiene valores menores del valor teórico a 300K, $SS \approx 60$ mV/dec. Sin embargo, el valor obtenido se debe a que la temperatura a la que fueron medidos los dispositivos es menor que la del medio ambiente.

En todos los resultados mostrados, el modelo desarrollado en este trabajo es capaz de describir adecuadamente el comportamiento estático del TGJLT con únicamente 8 parámetros de extracción.

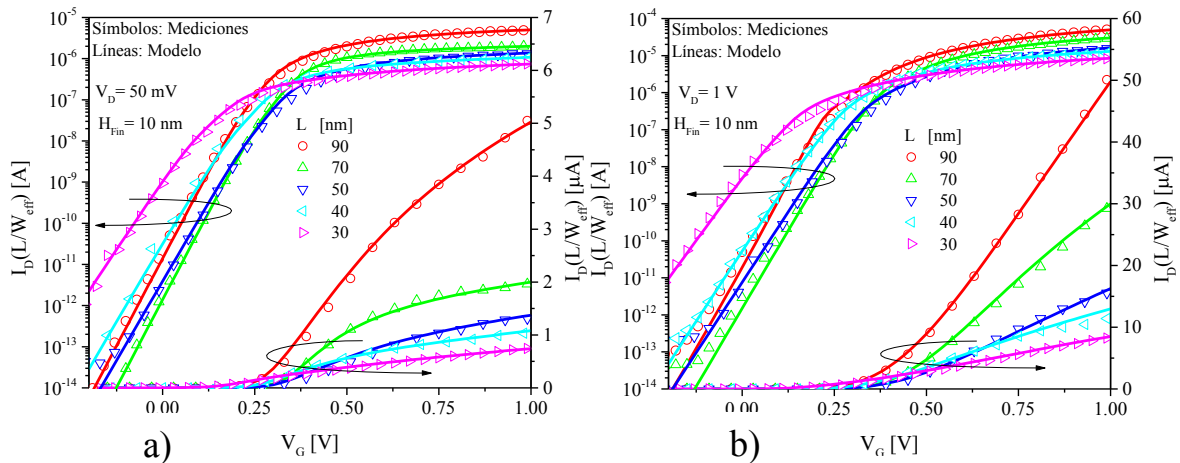


Fig. 5.18. Mediciones experimentales y modelado de las características (a) transferencial lineal a $V_D=50$ mV. (b) transferencial en saturación a $V_D=1$ V.

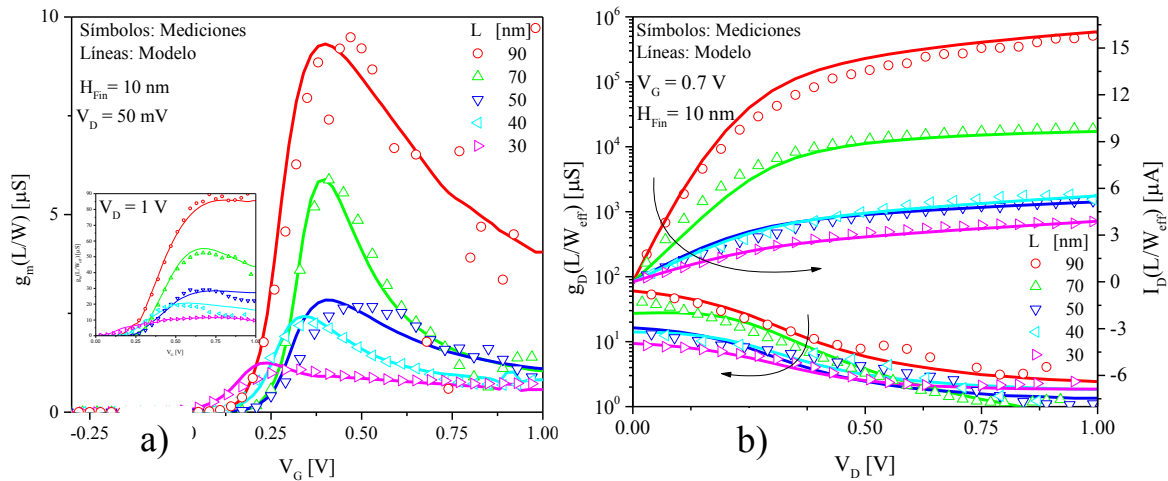


Fig. 5.19. Comparación entre las mediciones experimentales y el modelo para (a) transconductancia lineal a $V_D=50$ mV y transconductancia en saturación a $V_D=1$ V en la figura insertada y (b) curvas de salida y conductancia de salida.

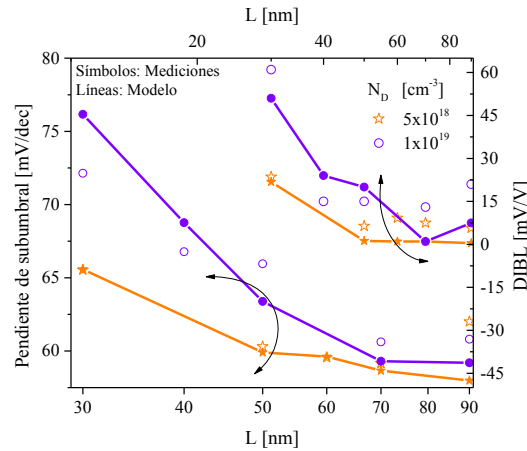


Fig. 5.20. (a) Variación de la pendiente de subumbral y DIBL de los dispositivos experimentales.

5.6 Dependencia de la temperatura

El cálculo de la concentración de portadores se calcula de nueva cuenta por medio de la expresión PBz de (4.11). El utilizar la estadística de Fermi-Dirac en vez de la de Boltzmann es de vital importancia para obtener una representación más cercana a los efectos de ionización incompleta que se presentan al variar la temperatura.

La validación se realiza con los mismos dispositivos experimentales utilizados para validar el modelo original de TGJLT, pero ahora hay una conexión en paralelo de $N_{Fin}=50$ transistores para amplificar el nivel de corriente. Se seleccionó un dispositivo en particular para la validación, el cual tiene las siguientes características $N_D=1 \times 10^{19} \text{ cm}^{-3}$, $L=100 \text{ nm}$, $H_{Fin}=10 \text{ nm}$, $W_{Fin}=20 \text{ nm}$ y $EOT=1.2 \text{ nm}$.

Los parámetros extraídos a la temperatura nominal $T_0=293\text{K}$ se muestran en la Tabla 5.4, mientras que el parámetro de degradación de la movilidad por efecto de la temperatura p fue extraído a la temperatura más alta de las mediciones. En contraste con los transistores de inversión, en los JLT la influencia de la temperatura es menor puesto que en los primeros el valor de p suele ser más alto. La comparación de los datos experimentales y la corriente calculada por el modelo se presentan en las figuras siguientes. La figura 5.21(a) muestra la curva transferencial lineal y la figura 5.21(b) muestra claramente la región subumbral. La figura 5.21(c) muestra la derivada de la corriente. De estas figuras se puede notar que la

Capítulo 5. Resultados y análisis

pendiente de subumbral es correctamente descrita por el modelo, además el voltaje de umbral es perfectamente predicho. El punto cero de temperatura, que es aquel punto de operación que mantiene el nivel de corriente invariante con la temperatura, el cual es sumamente indispensable para el diseño de circuitos que no dependan de la temperatura, es modelado perfectamente, ver figuras 5.21(a) y 5.22(a). El pico de la derivada de la corriente muestra el efecto de la temperatura, en la movilidad descrito adecuadamente por la ecuación (4.12). Por otro lado, la curva transferencial en saturación en escala lineal y en semilogarítmica se presentan en las figuras 5.22(a) y (b), respectivamente. La transconductancia en saturación se muestra en la figura 5.22(c). De nueva cuenta hay una gran coincidencia entre el modelo y las mediciones de corriente. Por último, las curvas de salida y sus derivadas se muestran en las figuras 5.23(a) y (b). En la región de saturación se puede observar el efecto de la velocidad de saturación que es influenciado por la temperatura a través de la expresión (4.13).

Tabla 5.4. Parámetros extraídos a 20°C, excepto para * que fue extraído a 170°C.

Parameter	Valor
μ_0 [cm ² /V s]	110
R [Ω]	7200
θ_1 [V ⁻¹]	2
θ_2 [V ⁻¹]	-0.5
n	0.7
η [cm ^{0.66} s ^{-0.33}]	1.2
λ	0.7
p^*	0.7

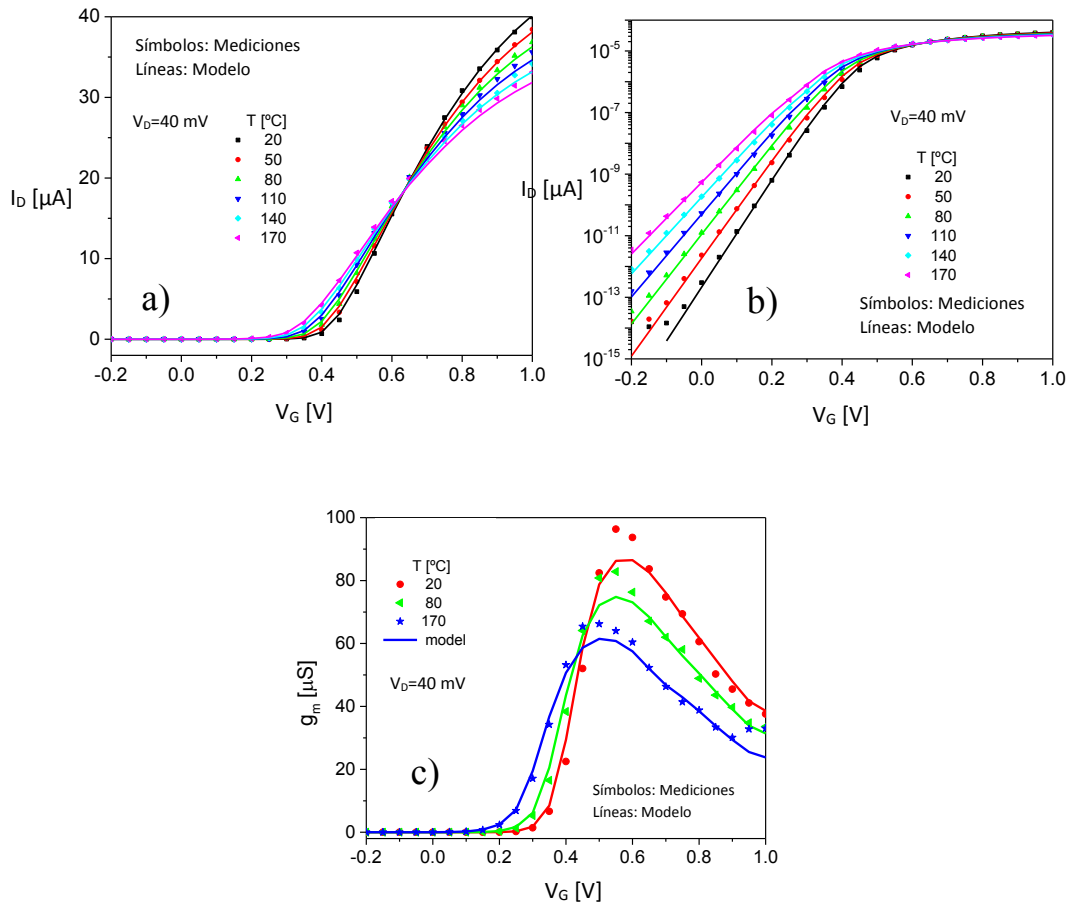


Fig. 5.21. (a) Característica transferencial lineal a 40 mV a diferentes temperaturas. (b) Característica transferencial lineal en escala semilogarítmica. (c) Transconductancia lineal. Los símbolos indican los datos experimentales y las líneas el modelo.

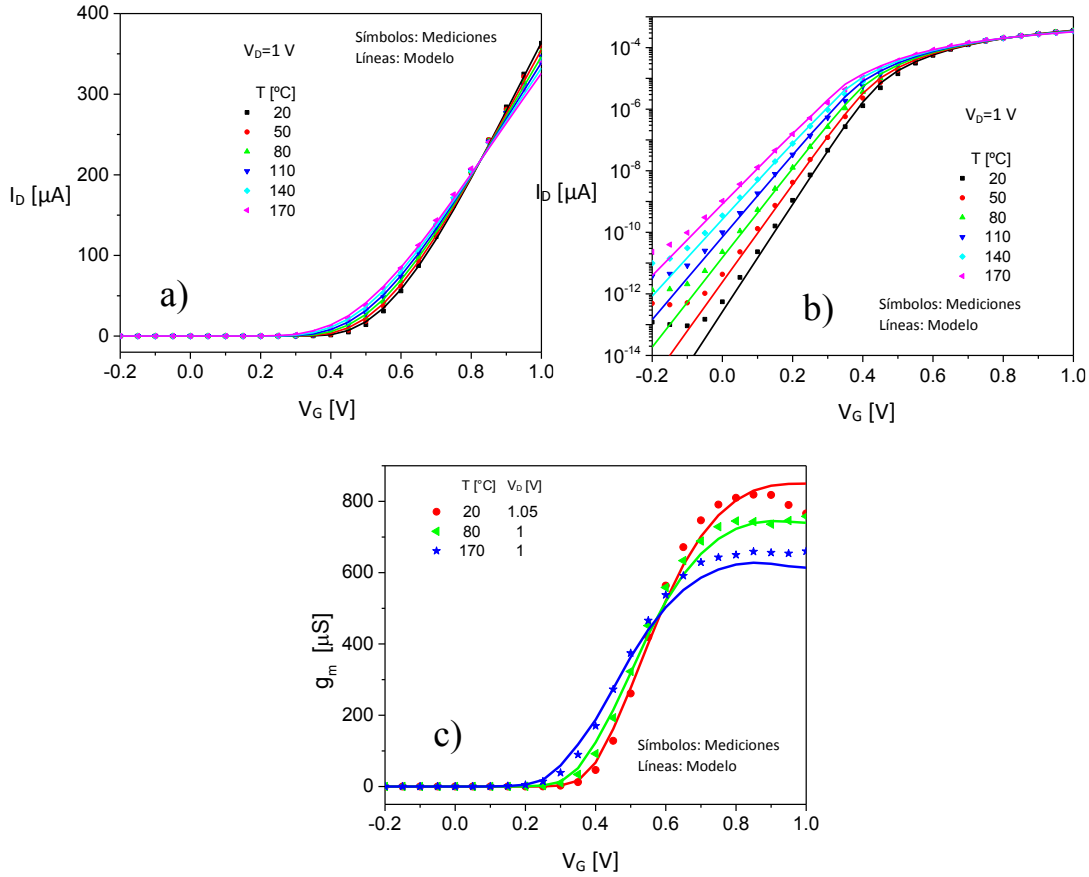


Fig. 5.22. (a) Característica transferencial en saturación a diferentes temperaturas. (b) Característica transferencial en saturación en escala semilogarítmica. (c) Transconductancia en saturación. Los símbolos indican los datos experimentales y las líneas el modelo.

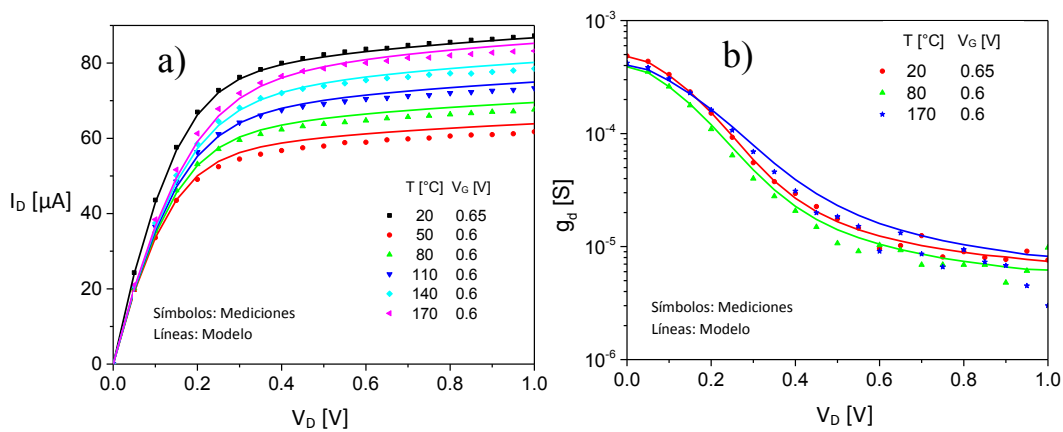


Fig. 5.23. (a) Característica de salida a diferentes temperaturas. (b) Conductancia de salida. Los símbolos indican los datos experimentales y las líneas el modelo.

Conclusiones

La principal contribución científica de esta tesis doctoral es el desarrollo de un modelo compacto analítico continuo basado en carga para transistores MOS sin uniones (*junctionless*) para dispositivos de doble compuerta, el cual ha sido extendido a transistores de triple compuerta de altura variable.

Entre las más destacadas conclusiones particulares se encuentran:

- La carga móvil se ha obtenido sin ninguna aproximación en el análisis, por lo cual por primera vez se presenta una expresión continua y válida para todas las regiones de operación del JLT.
- Un efecto importante es la ionización incompleta debida a la distribución estadística. Este efecto generalmente subvalorado tiene gran relevancia en los *junctionless* debido a las altísimas concentraciones de dopaje del canal, y ha sido incluido elegantemente en el modelo a través de una nueva aproximación para el cálculo de las concentraciones, cuya estructura matemática similar al cálculo tradicional de Boltzmann la hace compatible con las expresiones desarrolladas sin modificación relevante en ellas.
- Utilizando un mismo modelo $I-V$ se puede predecir el comportamiento de un dispositivo de grandes dimensiones de canal o de “*fin*” (aleta), es decir, sin importar si el dispositivo presenta un *fin* de gran altura acercando su comportamiento a un transistor de doble compuerta o si es pequeño con comportamiento de *nanowire*, el modelo puede describir adecuadamente la física del funcionamiento del transistor. Los efectos de las variaciones de la geometría del *fin* son incluidos en el modelo por medio de las capacitancias que generan.
- Los principales efectos de canal corto han sido introducidos en el modelo tales como, la variación del voltaje de umbral, degradación de la pendiente de subumbral, *DIBL*, modulación de canal y velocidad de saturación y su efecto en la movilidad.
- Debido a que los dispositivos que se fabrican siempre cuentan con extensiones, la resistencia serie se ha incluido analíticamente en el modelo desarrollado.

Conclusiones

- Una expresión para el cálculo del voltaje de umbral también se ha presentado.
- Un resultado muy importante es que el modelo utiliza solamente 8 parámetros para modelar las corrientes de un transistor. Tres de esos parámetros están destinados para el modelo núcleo de canal largo, los cuales ajustan la movilidad máxima y la resistencia serie. El resto comprenden los efectos de canal corto, como la degradación de la movilidad debido al aumento del campo eléctrico y a la dispersión, el efecto de la velocidad de saturación y la modulación del canal.
- Los efectos de la temperatura en el modelo han sido considerados en todas las expresiones de cálculo. La validación ha sido realizada para un amplio rango de temperaturas de trabajo típicas en los circuitos integrados, desde 20°C hasta 170°C. Los resultados reproducen con precisión el punto cero de temperatura.
- Los estudios realizados en estructuras con extensiones dopadas arrojan resultados donde el desempeño de los JLT se ve mejorado, ya sea por la disminución de la resistencia serie o por la supresión del efecto anómalo de la corriente en acumulación fuerte; además de que éstos dispositivos presentan menor *DIBL* respecto a una estructura homogéneamente dopada en todo el semiconductor. En transistores homogéneos, el modelo de canal corto no toma en cuenta hasta ahora el comportamiento de los potenciales en acumulación fuerte, es decir, cuando el voltaje aplicado en la compuerta es superior al voltaje de banda plana. Lo cual provoca una sobreestimación en el valor de la corriente.
- La eficacia del modelo ha se ha puesto a prueba mediante la comparación de resultados con simulaciones en dos y tres dimensiones. Una excelente predicción por parte del modelo se ha obtenido para diversas estructuras simuladas, al variar tanto los parámetros geométricos como los tecnológicos del transistor. Una segunda comparación ha sido realizada con mediciones a dispositivos fabricados, las cuales son reproducidas acertadamente.
- El modelo ha sido implementado en Verilog-A para su uso en simuladores de circuitos basados en SPICE. Los resultados obtenidos son bastante satisfactorios y permiten abrir un campo de estudio poco desarrollado, que es el de circuitos basados en transistores MOS sin uniones.

Conclusiones

- Finalmente, una contribución de gran relevancia es el uso viable del modelo como una herramienta para poder diseñar transistores que cumplan características específicas eléctricas o tecnológicas utilizando como base su voltaje umbral o un punto de operación.

Trabajo a futuro

A pesar de que el modelo desarrollado en esta tesis permite predecir el comportamiento de una gran cantidad de dispositivos no tiene en cuenta los efectos cuánticos que tienen un impacto relevante para dimensiones del semiconductor menores a 10 nm [81]. Esto puede ser incluido como una extensión adicional al modelo.

Para considerarse un modelo completo los efectos capacitivos deben incluirse. El modelo desarrollado es estático, mejor conocido como modelo $I-V$, el cual no toma en cuenta los voltajes de corriente alterna. Para su uso en la simulación de circuitos reales es necesario tomar en cuenta el comportamiento dinámico del transistor mediante el modelo $C-V$ con el objetivo de conseguir una correcta y acertada predicción del funcionamiento del transistor y por tanto de los circuitos. Para ello es necesario calcular las capacitancias mutuas y propias por cada terminal del transistor.

Un efecto que resulta de interés pero que no es estudiado por los investigadores es el escaso crecimiento de la corriente en acumulación fuerte para transistores de canal corto. Este efecto no es de tanta importancia ya que, en los dispositivos fabricados, el voltaje de banda plana es muy cercano al voltaje de alimentación trabajando así sólo en la región de deserción y olvidando la región de acumulación. Sin embargo, es posible diseñar transistores que trabajen en un rango de voltaje que cubra perfectamente ambas regiones por lo que en este caso debe ser tomado en cuenta en los modelos.

Debido al constante crecimiento e interés por el ahorro de energía un efecto que generalmente se incluye es la corriente de fuga de compuerta debido al drenador (GIDL) o a la fuente (GISL), principalmente cuando el transistor se utiliza para aplicaciones de bajo consumo, es decir, especialmente en la región de subumbral.

Conclusiones

Es necesaria una rutina de extracción automática de los parámetros para poder predecir las características de dispositivos reales fabricados con alguna tecnología en particular. Los parámetros de ajuste son utilizados para describir con la mayor exactitud posible las características del transistor. Algunos dependen de la tecnología, p. ej., la movilidad y la resistencia serie, algunas veces unos parámetros sólo permiten tener un mejor ajuste de las curvas. En la práctica es de suma importancia contar con un procedimiento de extracción perfectamente determinado e invariante para obtener resultados favorables porque la convergencia de los cálculos también está en función de los parámetros.

Otros efectos que pueden incluirse son el transporte balístico para dispositivos con dimensiones de unos pocos nanómetros, autocalentamiento, ionización por impacto, resistencias y capacitancias parásitas, así como el ruido térmico, de baja frecuencia, etc.

Finalmente, extender el modelo a una arquitectura multicompuertas cilíndrica es útil para los dispositivos que en el futuro desempeñarán un papel importante para aumentar la densidad de transistores. Agregando esta arquitectura se obtiene un modelo general.

Apéndices

A. Método de cálculo de los potenciales

La técnica empleada para dar solución al potencial superficial en la ecuación (3.12) ha sido a través de un método iterativo modificado de cuarto orden [82], donde el orden indica la tasa de convergencia, este procedimiento ha sido utilizado también en otros modelos como el BSIM-CMG [22, 82].

Como todo método iterativo, la solución final se basa en la corrección de un valor aproximado presente, tal corrección puede ser repetida i -veces a lo que se conoce como iteración. En el modelo desarrollado en este trabajo, el primer paso consiste en redefinir la ecuación (3.12) del potencial a través de un cambio de variable y encontrar sus raíces, para ello es necesario volverla una función implícita y aplicar el algoritmo de cálculo iterativo definido en las siguientes líneas.

La función implícita propuesta es:

$$f(x) = x + \text{sign}(\alpha(x)) \beta \sqrt{e^x - \xi \cdot \alpha(x) - 1} - \left(\frac{V_G - V_{FB} - V_D}{\varphi_t} \right) = 0, \quad (\text{A.1})$$

donde $x = (\varphi_s - V_D) / \varphi_t$ y

$$\alpha(x) = \alpha_{bt} + LW \left[-\alpha_{bt} e^{-\alpha_{bt}} e^x \right]. \quad (\text{A.2})$$

Por otro lado, el factor de corrección $g(x)$ es calculado a partir de:

$$g(x) = -\frac{f(x)}{f'(x)} \left[1 + \frac{f(x) \cdot f''(x)}{2f'(x)^2} + \frac{f(x)^2}{6f'(x)^4} (3f''(x)^2 - f'(x) \cdot f'''(x)) \right]. \quad (\text{A.3})$$

donde todas las derivadas están definidas analíticamente.

Apéndice A. Método de cálculo de los potenciales

Posteriormente, iterando a partir de un punto inicial x_0 , la nueva aproximación al punto cero de la función $f(x)$ es obtenida a partir de:

$$x_{i+1} = x_i + g(x_i). \quad i = 1, 2, \dots, n \quad (\text{A.4})$$

Cabe destacar que las iteraciones se repiten i veces hasta que la función $|g(x_i)| < \delta$, donde δ es el margen de tolerancia aceptado que en este modelo es igual a 0.1%. En número máximo de iteraciones es definido como n , el cual mientras mayor sea mayor será la exactitud del cálculo, pero con el costo de reducir la velocidad de cálculo del modelo, por tanto, debe ser lo suficientemente pequeño para volver al modelo útil computacionalmente pero también debe mantener la continuidad de la función y sus derivadas; en el caso del modelo a través de una serie de pruebas se le ha asignado un valor de 2.

Finalmente, después de que se ha obtenido un valor aproximado para $x(V_G, V_D)$ tal que $|x_{i+1} - x_i| < \delta$, el cálculo del potencial superficial se obtiene a través de la equivalencia de la variable x en su última actualización, es decir, en la iteración n :

$$\varphi_S = x_n \cdot \varphi_t + V_D, \quad (\text{A.5})$$

por otra parte, una vez conocido φ_S , el valor de α es fácil de obtener por medio de la ecuación (3.11). Mientras que la magnitud de φ_0 es obtenida a través de su relación con α y φ_S a través de la ecuación (3.6).

Para asegurar la convergencia del método iterativo presentado y para reducir significativamente el número de iteraciones con el objetivo de hacer al modelo eficiente y de rápido cómputo es estrictamente necesario una primera aproximación o un valor inicial lo suficientemente cercano a la raíz x de la función (A.1).

A.1 Algoritmo de inicialización y cálculo

La condición inicial utilizada en el modelo se obtiene a partir de la separación por regímenes de operación del JLT. A continuación, se explican las aproximaciones aplicadas

Apéndice A. Método de cálculo de los potenciales

a la ecuación (3.12) que también son válidas para la función (A.1) utilizadas para cada método de conducción.

a) Deserción completa, $V_G < V_T$ & $\alpha < 0$

En ésta región de operación el término exponencial de la ecuación (3.12) es despreciable, $e^{\frac{\varphi_S - V}{\varphi_t}} \approx 0$, y además en subumbral $\alpha \rightarrow \alpha_{bt}$. Usando ambos teoremas es posible obtener la siguiente aproximación para la función (A.1):

$$f(x) = x - \beta \sqrt{-\xi \cdot \alpha_{bt} - 1} - \left(\frac{V_G - V_{FB} - V_D}{\varphi_t} \right) = 0, \quad (\text{A.6})$$

evidentemente la función anterior no es más una función trascendente, por tanto, φ_S consigue expresarse explícitamente como:

$$\varphi_{Sbt} = V_G - V_{FB} + \varphi_t \cdot \beta \sqrt{-\xi \cdot \alpha_{bt} - 1}, \quad (\text{A.7})$$

de la cual se obtiene el valor exacto para el potencial superficial, esto se puede comprobar mediante la ecuación (A.5), la cual converge al valor de (A.7) para todo i . A partir de (A.7) se puede definir la variable de inicialización en subumbral, x_{0bt} , se define como:

$$x_{0bt} = \frac{\varphi_{Sbt} - V_D}{\varphi_t}. \quad (\text{A.8})$$

b) Deserción parcial, $V_T < V_G < V_{FB} + V_D$

De nueva cuenta el término exponencial de la raíz asume poca relevancia para la región de deserción, además se utiliza una aproximación matemática semiempírica,

$\xi \cdot \alpha = \frac{\varphi_S - V}{\varphi_t}$, de ésta manera la variable de inicialización en el régimen de deserción

parcial es:

$$x_{0at} = \frac{V_G - V_{FB} - V_D}{\varphi_t} + \frac{\beta^2}{2} \cdot \left[-1 + \sqrt{1 - \frac{4}{\beta^2} \left(\frac{V_G - V_{FB} - V_D}{\varphi_t} + 1 \right)} \right], \quad (\text{A.9})$$

Apéndice A. Método de cálculo de los potenciales

donde se puede tomar $v_1 = \frac{V_G - V_{FB} - V_D}{\phi_t}$.

c) Acumulación, $V_G > V_{FB} + V_D$

En acumulación, el término exponencial de la raíz de la ecuación (A.1) adquiere mayor importancia, $e^x \gg \xi \cdot \alpha(x) - 1$, por tanto, la aproximación inicial en éste régimen de operación es:

$$x_{0acc} = v_2 + 2 \cdot LW \cdot \left[C_2 \frac{\beta}{2} e^{\frac{v_2}{2}} \right], \quad (A.10)$$

con $v_2 = v_1 + C_1 \cdot \beta$. En la derivación original los valores de las constantes son $C_1=0$ y $C_2=1$ pero para obtener una mejor transición en V_{FB} , se han utilizado los valores de $C_1=0.8$ y $C_2=1.09$.

Finalmente, para crear una transición continua entre ambas regiones se utiliza la función de transición *tanh* de la siguiente manera:

$$x_{0dep} = x_{0bt} \cdot [1 - \tanh[8 \cdot [V_G - (V_T + V_D)]]] + x_{0at} \cdot [1 + \tanh[8 \cdot [V_G - (V_T + V_D)]]], \quad (A.11)$$

para el régimen de deserción. Mientras que la expresión final de inicialización utilizada como punto inicial es:

$$x_0 = x_{0dep} \cdot [1 - \tanh[50 \cdot (V_G - V_{FB} - V_D)]] + x_{0acc} \cdot [1 + \tanh[50 \cdot (V_G - V_{FB} - V_D)]] + C_3. \quad (A.12)$$

donde C_3 es un valor constante de 0.7. El valor constante y positivo de C_3 se debe a que en el algoritmo descrito en (A.4), la velocidad de convergencia aumenta y el número de iteraciones se reduce cuando el valor inicial x_0 (ecuación (A.12)) funciona como cota superior de la función x (raíz de la ecuación implícita (A.1)), en otras palabras, cuando se cumple que $x_0 > x$ la convergencia es más rápida.

La figura A.1 muestra el valor inicial de aproximación x_0 y el valor de la variable final x para diferentes valores de V_D en una estructura DGJLT con $t_S=15$ nm, $EOT=1.5$ nm,

Apéndice A. Método de cálculo de los potenciales

$N_D=5 \times 10^{18} \text{ cm}^{-3}$, $\phi_M = 5.2 \text{ eV}$. Es fácilmente observable que el valor inicial x_0 es sumamente próximo al valor exacto de la variable x .

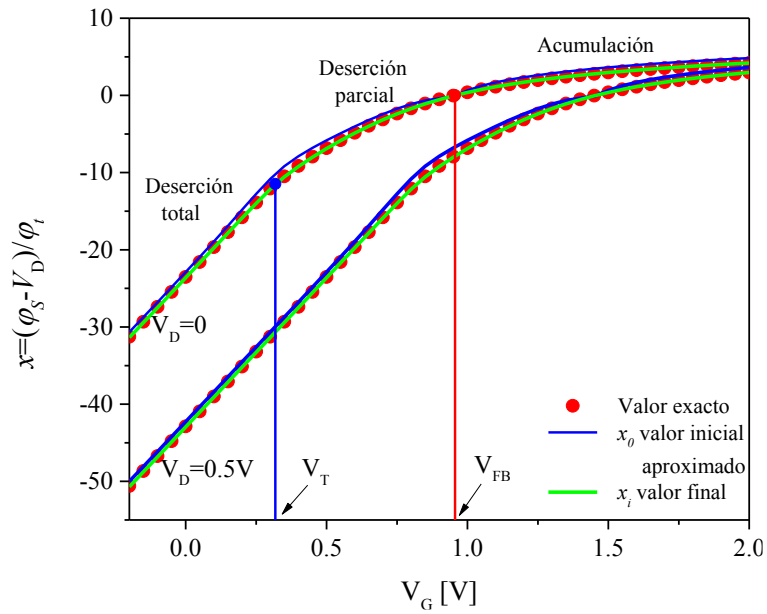


Fig. A.1. Comparación de la variable de inicialización x_0 y su valor final para distintos parámetros, así como el número de iteraciones necesitado para lograr el valor final.

B. Coeficientes

Lista de coeficientes de la función Sa y Sb :

Tabla B.1. Coeficientes de las funciones Sa y Sb .

Término	Sa		Sb
	ζ	χ	σ
0	0	0	0.01122
1	0.01877	0.00584	0.66782
2	-0.33006	0.3395	0.08383
3	-0.02728	0.05234	0.00725
4	-0.00177	-0.00059	2.272e-4
5	-5e-5	0.00153	-

El cálculo de PI se realiza bajo la condición de saturación y además en subumbral para garantizar que la continuidad entre las expresiones de corriente en deserción debajo del umbral y sobre umbral. Por tanto, al igualar ambas ecuaciones y despejar PI se obtiene:

$$PI = \frac{\beta\phi_t \cdot [S_u(\xi\alpha_s) - S_u(\xi\alpha_D)] - \left\{ \begin{aligned} &\frac{q_b}{2}(V_D - V_S) + \frac{\phi_t}{2}(q_{is}^2 - q_{id}^2) \\ &+ \frac{\phi_t \beta}{\xi} [SaN(\xi\alpha_s) - SaN(\xi\alpha_D)] - \phi_t \beta [Sb(V_S) - Sb(V_D)] \end{aligned} \right\}}{1.1 \times 10^{-4} - V_D},$$

B.1

evaluando en $V_G = \alpha_{br} \phi_t$ y en $V_D = V_T + 0.5$. El parámetro PI se computa una única vez en el modelo y se considera un parámetro constante.

C. Contribuciones científicas

Artículos publicados

- Cerdeira A., Ávila F., Íñiguez B., de Souza M., Pavanello M. A., Estrada M., “Compact core model for Symmetric Double-Gate Junctionless Transistors”, *Solid-State. Electronics* 94 (2014) 91-97.
- Avila-Herrera, F., Cerdeira, A., Roldan, J.B., Sánchez-Moreno, P., Tienda-Luna, I.M., Íñiguez, B., “Pseudo-Boltzmann model for modeling the junctionless transistors”, *Solid-State. Electronics* 95 (2014) 19-22.
- B.-C. Paz, F. Avila-Herrera, A. Cerdeira and M. A. Pavanello, “Double gate junctionless transistor model including short-channel effects,” *Semicond. Sci. Technol.*, vol. 30, no. 5, pp. 1–11, Apr. 2015.
- Ávila-Herrera, F., Cerdeira, A., Paz, B.C., Estrada M., B. Íñiguez, B., Pavanello, M.A., “Compact model for short-channel symmetric double-gate junctionless transistors”, *Solid-State Electron* 2015;111:196–203.
- M. Estrada, M. Rivas, I. Garduño, F. Avila-Herrera, A. Cerdeira, M. Pavanello, I. Mejia, M.A. Quevedo-Lopez, “Temperature dependence of the electrical characteristics up to 370 K of amorphous In-Ga-ZnO thin film transistors”, *Microelectronics Reliability*, Volume 56, January 2016, Pages 29-33.
- V. S. Balderrama, F. A. Herrera, J. G. Sánchez, J. Pallarés, O. V. Galán, L. F. Marsal, and M. Estrada, “Organic solar cells toward the fabrication under air environment,” *IEEE J. Photovoltaics*, vol. 6, pp. 491 – 497, 2016.
- J. Alvarado, P. Flores, S. Romero, F. Ávila-Herrera, V. González, B.S. Soto-Cruz and A. Cerdeira, “Verilog-A implementation of a double-gate junctionless compact model for DC circuit simulations”, *Semiconductor Science and Technology*, vol. 31, no. 7, May. 2016.
- F. Ávila-Herrera, B. C. Paz, A. Cerdeira, M. Estrada, and M. A. Pavanello, “Charge-based compact analytical model for triple-gate junctionless nanowire transistors,” *Solid-State Electron.*, vol. 122, pp. 23–31, Aug. 2016.
- Paz B.C., Cassé M., Barraud S., Reibold G., Faynot O., Ávila-Herrera F., Cerdeira A. and Pavanello M.A., “Drain current model for short-channel triple gate junctionless nanowire transistors,” *Microelectronics Reliability*, vol. 63, no. 1, Aug. 2016.

Apéndice C. Contribuciones científicas

- François Lime, Fernando Ávila-Herrera, Antonio Cerdeira and Benjamín Iñiguez, “A Compact Explicit DC Model For Short Channel Gate-All-Around Junctionless MOSFETs,” *Solid-State Electronics* (2017).

Artículos de congreso

- Cardoso Paz Bruna, Pavanello Marcelo Antonio, Avila Fernando, Cerdeira Antonio, “Short channel continuous model for double-gate junctionless transistors,” In: Proceedings of the IX ICCDCS conference, 2–4 April 2014, Playa del Carmen, Mexico.
- Paz Bruna, Ávila Fernando, Cerdeira Antonio and Pavanello Marcelo, “Improved continuous model for short channel double-gate junctionless transistors,” In: 29th Symposium on microelectronics technology and devices, SBMicro 2014, Aracaju, Brazil, 1–5 September.
- Paz B.C., Pavanello M.A., Cassé M., Barraud S., Reibold G., Faynot O., Ávila-Herrera F. and Cerdeira A., “From double to triple gate: Modeling junctionless nanowire transistors,” EUROSOI-ULIS conference, 2015, Bologna, Italy.
- A. Cerdeira, F. Ávila-Herrera, B. Cardoso Paz, M. Estrada, M.A. Pavanello, “Role of the extensions in Double-Gate Junctionless MOSFETs in the drain current at high gate voltage,” in: Proceedings of 30th Symposium on Microelectronics Technology and Devices (SBMicro) 2015, IEEE., 2015, p.p. 1-4.
- Ávila Herrera F, Cerdeira A, Cardoso Paz B, Estrada M, Pavanello MA., “Analytical compact model for triple gate junctionless MOSFETs,” in: Proceedings of 30th Symposium on Microelectronics Technology and Devices (SBMicro) 2015, IEEE., 2015, p.p. 1-4.
- Ávila Herrera F, Cerdeira A, Estrada M, Cardoso Paz B and Pavanello M.A., “Proposal of compact analytical modeling for trigate junctionless nanowire transistors,” ROPEC; 2015.
- Hernandez-Barrios Y., Avila F., Estrada M., Cerdeira A., Moldovan O., Iñiguez B. and Picos R., “Modeling the variation of threshold voltage, mobility factor and saturation coefficient in amorphous Indium-Gallium-Zinc Oxide thin film transistors,” in: 13th International Conference on Electrical Engineering, Computing Science and Automatic Control, CCE 2016.

Bibliografía

- [1] W. Brattain, "Bell Labs logbook," December 24, 1947, pp. 7-8.
- [2] *Premio nobel de física*. 1956.
- [3] J. E. Lilienfeld, "Method and apparatus for controlling electric currents". U.S. Patent 1,745,175, 22 October 1925.
- [4] D. Kahng, "Electric Field Controlled Semiconductor Device". U.S. Patent 3,102,230, 31 May 1960.
- [5] J. S. Kilby, "Invention of the integrated circuit," *IEEE Trans. on Electron Devices*, vol. 23, no. 7, pp. 648-654, 1976.
- [6] G. E. Moore, "Cramming more components onto integrated circuits," *Electronics*, vol. 38, no. 8, pp. 114-117, 1965.
- [7] G. E. Moore, "Progress in digital integrated electronics," in *Int. Electron Devices Meeting*, 1975.
- [8] C.-T. Sah, "Evolution of the MOS transistor—From conception to VLSI," *Proc. of IEEE*, vol. 76, no. 10, pp. 1280-1326, 1988.
- [9] C. Hu, *Modern Semiconductor Devices for Integrated Circuits*, Prentice Hall, 2010.
- [10] W. Harrod, "A journey to exascale computing," in *Proc. High Performance Computing, Networking, Storage and Analysis, SC Companion*, Salt Lake City, Utah, 2012.
- [11] J.-P. Colinge, *FinFETs and others multi-gate transistors*, New York: SpringerVerlag, 2008.
- [12] M. Bohr and K. Mistry, "INTEL's Revolutionary 22-nm Transistor Technology," 2011. [Online]. Available: http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-details_presentation.pdf.
- [13] A. Biddle, G. Platform and J. S. Chen, "FinFET technology—Understanding and productizing a new transistor," *A joint whitepaper from TSMC and Synopsis*, April, 2013.
- [14] J.-P. Colinge, *Silicon-on-Insulator Technology - Materials to VLSI*, Springer US, 2004.
- [15] G. Celler and M. Wolf, "Smart Cut™ A Guide to the Technology, the Process, the Products," *SOITEC*, July 2003.
- [16] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous and A. R. LeBlanc, "Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions," *IEEE Journal of Solid-State Circuits*, vol. 9, no. 5, pp. 256-268, October 1974.
- [17] M. Bohr, "A 30 Year Retrospective on Dennard's MOSFET Scaling Paper," *IEEE Solid-State Circuits Society Newsletter*, vol. 12, no. 1, pp. 11-13, 2007.

Bibliografia

- [18] I. Ferain, C. Colinge and J.-P. Colinge, "Multigate transistors as the future of classical metal–oxide–semiconductor field-effect transistors," *Nature*, vol. 479, no. 7373, pp. 310-316, 2011.
- [19] S. Sze, *Physics of Semiconductor Devices*, Third Edition, New Jersey, U.S.A.: John Wiley & Sons, 2007.
- [20] "International Technology Roadmap for Semiconductors (ITRS)," [Online]. Available: <http://www.itrs2.net/>. [Accessed 28 February 2017].
- [21] J.-P. Colinge, A. Kranti, R. Yan, C. W. Lee, I. Ferain, R. Yu, N. D. Akhavan and P. Razavi, "Junctionless Nanowire Transistor (JNT): Properties and design guidelines," *Solid-State Electron.*, Vols. 65-66, pp. 33-37, Dec. 2011.
- [22] Y. S. Chauhan, . D. Lu, . Vanugopalan, . Khandelwal, . P. Duarte, N. Payvadosi, . Niknejad and C. Hu, *FinFET Modeling for IC Simulation and Design: Using the BSIM-CMG Standard*, San Diego, U.S.A.: Academic Press, 2015.
- [23] X. Huang, W.-C. Lee, C. Ku, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor and C. Hu, "Sub 50-nm FinFET: PMOS," in *IEDM Tech. Dig.*, 1999.
- [24] Silvaco, Inc., *Atlas User's Manual Device Simulation Software*, 2016.
- [25] Synopsys, Inc., *TCAD Sentaurus*, 2016.
- [26] C. Hu, "Compact Modeling for the Changing Transistor," in *Int. Conf. Simulation Semicond. Processes Devices*, Sep. 3-5, 2013.
- [27] P. Blakey, "Transistor Modeling and TCAD," *IEEE Microwave Magazine*, vol. 13, no. 13, pp. 28-35, 2012.
- [28] C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain and J.-P. Colinge, "Junctionless multigate field-effect transistor," *Applied Physics Letters*, vol. 94, no. 5, p. 053511, Feb. 2009.
- [29] J.-P. Colinge, C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, M. White, A.-M. Kelleher, B. McCarthy and R. Murphy, "Nanowire transistors without junctions," *Nat. Nanotechnol.*, vol. 5, no. 3, pp. 225-229, Feb. 2010.
- [30] J.-P. Colinge, C. W. Lee, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, A. Kranti and R. Yu, "Junctionless transistors: Physics and properties," in *Semiconductor-On-Insulator Materials for Nanoelectronics Applications*, Springer Berlin Heidelberg, 2011, pp. 187-200.
- [31] J. P. Duarte, S.-J. Choi and Y.-K. Choi, "A full-range drain current model for double-gate junctionless transistors," *IEEE Trans. Electron Devices*, vol. 58, no. 12, p. 4219–4225, Dec. 2011.
- [32] C. W. Lee, I. Ferain, A. Afzalian, R. Yan, N. D. Akhavan, P. Razavi and J.-P. Colinge, "Performance estimation of junctionless multigate transistors," *Solid-State Electron.*, vol. 54, no. 2, pp. 97-103, 2010.

Bibliografia

- [33] R. T. Doria, R. D. Trevisoli, M. d. Souza and M. A. Pavanello, "Impact of the series resistance in the I-V characteristics of junctionless nanowire transistors and its dependence on the temperature," *J. Integr. Circuits Syst.*, vol. 7, no. 1, pp. 121-129, 2012.
- [34] D.-Y. Jeon, S. J. Park, M. Mouis, M. Berthomé, S. Barraud, G.-T. Kim and G. Ghibaudo, "Revisited parameter extraction methodology for electrical characterization of junctionless transistors," *Solid-State Electronics*, vol. 90, pp. 86-93, 2013.
- [35] C.-W. Lee, A. Borne, I. Ferain, A. Afzalian, R. Yan, N. D. Akhavan, P. Razavi and J.-P. Colinge, "High-temperature performance of silicon junctionless MOSFETs," *IEEE Trans. Electron Devices*, vol. 57, no. 3, pp. 620-625, 2010.
- [36] R. T. Doria, M. A. Pavanello, R. D. Trevisoli, M. d. Souza, C.-W. Lee, I. Ferain, N. D. Akhavan, R. Yan, P. Razavi, R. Yu, A. Kranti and J.-P. Colinge, "Junctionless multi-gate transistors for analog applications," *IEEE Trans. Electron Devices*, vol. 58, no. 8, pp. 2511-2519, 2011.
- [37] R. W. Keyes, "Effect of randomness in the distribution of impurity ions on FET thresholds in integrated electronics," *IEEE Journal of Solid-State Circuits*, vol. 10, no. 4, pp. 245-247, 1975.
- [38] G. Leung and C. Chui, "Variability Impact of Random Dopant Fluctuation on Nanoscale Junctionless FinFETs," *IEEE Electron Device Letters*, vol. 33, no. 6, pp. 767-769, 2012.
- [39] Y. Taur, H.-P. Chen, W. Wang, S.-H. Lo and C. Wann, "On-Off Charge-Voltage Characteristics and Dopant Number Fluctuation Effects in Junctionless Double-Gate MOSFETs," *IEEE Trans. on Electron Devices*, vol. 59, no. 3, pp. 863-866, 2012.
- [40] J. P. Duarte, S.-J. Choi, D.-I. Moon and Y.-K. Choi, "Simple analytical bulk current model for long-channel double-gate junctionless transistors," *IEEE Electron Device Lett.*, vol. 32, no. 6, pp. 704-706, Jun. 2011.
- [41] J.-M. Sallese, N. Chevillon, C. Lallement, B. Iniguez and F. Pregaldiny, "Charge-based modeling of junctionless double-gate field-effect transistors," *IEEE Trans. Electron Devices*, vol. 58, no. 8, pp. 2628-2637, Aug. 2011.
- [42] F. Lime, E. Santana and B. Iñíguez, "A simple compact model for long-channel junctionless double gate MOSFETs," *Solid-State Electron.*, vol. 80, pp. 28-32, Feb. 2013.
- [43] A. Cerdeira, M. Estrada, B. Iñíguez, R. D. Trevisoli, R. T. Doria, M. Souza and M. A. Pavanello, "Charge-based continuous model for long-channel symmetric double-gate junctionless transistors," *Solid-State Electron.*, vol. 85, pp. 59-63, Jul. 2013.
- [44] T. Holtij, M. Graef, F. M. Hain, A. Kloes and B. Iñíguez, "Compact model for short-channel junctionless accumulation mode double gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 61, no. 2, pp. 288-299, Feb. 2014.
- [45] E. Gnani, A. Gnudi, S. Reggiani and G. Baccarani, "Theory of the junctionless nanowire FET," *IEEE Trans. Electron Devices*, vol. 58, no. 9, pp. 2903-2910, Sept. 2011.

Bibliografía

- [46] J. P. Duarte, S.-J. Cho, D.-I. M. and Y.-K. Choi, "A nonpiecewise model for long-channel junctionless cylindrical nanowire FETs," *IEEE Electron Device Lett.*, vol. 33, no. 2, pp. 155-157, Feb. 2012.
- [47] J.-M. Sallese, F. Jazaeri, L. Barbut, N. Chevillon and C. Lallement, "A common core model for junctionless nanowires and symmetric double-gate FETs," *IEEE Trans. Electron Devices*, vol. 60, no. 12, pp. 4277-4280, Dec. 2013.
- [48] F. Lime, O. Moldovan and B. Iñíguez, "A Compact Explicit Model for Long-Channel Gate-All-Around Junctionless MOSFETs. Part I: DC Characteristics," *IEEE Trans. On Electron Devices*, vol. 61, no. 9, pp. 3036-3041, Sept. 2014.
- [49] O. Moldovan, F. Lime and B. Iñíguez, "A Compact Explicit Model for Long-Channel Gate-All-Around Junctionless MOSFETs. Part II: Total Charges and Intrinsic Capacitance Characteristics," *IEEE Trans. On Electron Devices*, vol. 61, no. 9, pp. 3042-3046, Sept. 2014.
- [50] S. Barraud, M. Berthome, R. Coquand, M. Casse, T. Ernst, M.-P. Samson, P. Perreau, K. K. Bourdelle, O. Faynot and T. Poiroux, "Scaling of trigate junctionless nanowire MOSFET with gate length down to 13 nm," *IEEE Electron Device Lett.*, vol. 33, no. 9, pp. 1225-1227, Sept. 2012.
- [51] R. D. Trevisoli, R. T. Doria, M. Souza, S. Das, I. Ferain and M. A. Pavanello, "Surface-potential-based drain current analytical model for triple-gate junctionless nanowire transistors," *IEEE Trans. Electron Devices*, vol. 59, no. 12, pp. 3510-3518, Dec. 2012.
- [52] T. Holtij, A. Kloes and B. Iñíguez, "3-D compact model for nanoscale junctionless triple-gate nanowire MOSFETs, including simple treatment of quantization effects," *Solid-State Electron.*, vol. 112, pp. 85-98, Oct. 2015.
- [53] F. Ávila-Herrera, B. C. Paz, A. Cerdeira, M. Estrada and M. A. Pavanello, "Charge-based compact analytical model for triplegate junctionless nanowire transistors," *Solid-State Electron.*, vol. 122, pp. 23-31, Aug. 2016.
- [54] T. A. Oproglidis, A. Tsormpatzoglou, D. H. Tassis, T. A. Karatsori, S. Barraud, G. Ghibaudo and C. A. Dimitriadis, "Analytical drain current compact model in the depletion operation region of short-channel triple-gate junctionless transistors," *IEEE Trans Electron Dev.*, vol. 64, no. 1, pp. 66-72, Jan. 2017.
- [55] A. Cerdeira, F. Ávila, B. Iñíguez, M. Souza, M. A. Pavanello and M. Estrada, "Compact core model for symmetric double-gate junctionless transistors," *Solid-State Electronics*, vol. 94, pp. 91-97, Apr. 2014.
- [56] W. Deng, X. Ma and J. Huang, "Surface potential calculation and drain current model for junctionless double-gate polysilicon TFTs," *AIP Advances*, vol. 4, no. 8, p. 087107, 2014.
- [57] H. C. Pao and C. T. Sah, "Effects of diffusion current on characteristics of metal-oxide (insulator)-semiconductor transistors," *Solid-State Electronics*, vol. 9, no. 10, pp. 927-937, Oct. 1966.
- [58] J. R. Brews, "A charge sheet model of the MOSFET," *Solid-State Electronics*, vol. 21, no. 2, pp. 345-355, Feb. 1978.

Bibliografía

- [59] J. Alvarado, P. Flores, S. Romero, F. Ávila-Herrera, V. González, B. Soto-Cruz and A. Cerdeira, "Verilog-A implementation of a double-gate junctionless compact model for DC circuit simulations," *Semiconductor Science and Technology*, vol. 31, no. 7, May 2016.
- [60] H.-S. Wong, M. H. White, T. J. Krutsick and R. V. Booth, "Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's," *Solid-State Electron.*, vol. 30, no. 9, pp. 953-968, Sept. 1987.
- [61] A. Ortiz-Conde, F. J. G. Sánchez, J. J. Liou, A. Cerdeira, M. Estrada and Y. Yue, "A review of recent MOSFET threshold voltage extraction methods," *Microelectron. Rel.*, vol. 42, no. 4-5, pp. 583-596, 2002.
- [62] Y. Tsvividis and C. McAndrew, *Operation and Modeling of the MOS Transistor*, 3rd Edition, Oxford University Press, 2010.
- [63] C. C. Enz, F. Krummenacher and E. A. Vittoz, "An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications," *Analog Integr. Circuits and Signal Process.*, vol. 8, no. 1, pp. 83-114, July 1995.
- [64] B. C. Paz, F. Ávila-Herrera, A. Cerdeira and M. A. Pavanello, "Double gate junctionless transistor model including short-channel effects," *Semicond. Sci. Technol.*, vol. 30, no. 5, pp. 1-11, Apr. 2015.
- [65] F. Ávila-Herrera, A. Cerdeira, B. C. Paz, M. Estrada, B. Íñiguez and M. A. Pavanello, "Compact model for short-channel symmetric double-gate junctionless transistors," *Solid-State Electron.*, vol. 111, pp. 196-203, Sept. 2015.
- [66] K. K. Young, "Short-channel effect in fully depleted SOI MOSFETs," *IEEE Trans. Electron Devices*, vol. 36, no. 2, pp. 399-402, Feb. 1989.
- [67] T. Dutta, Q. Rafhay, G. Pananakakis and G. Ghibaudo, "Modeling of the impact of source/drain regions on short channel effects in MOSFETs," in *Proc. 14th Int. Conf. ULIS*, Mar. 2013.
- [68] C. Galup-Montoro and M. C. Schneider, *Mosfet Modeling for Circuit Analysis and Design*, World Scientific Publishing Company, 2007.
- [69] D.-Y. Jeon, S. J. Park, M. Mouis, M.-K. Joo, S. Barraud, G.-T. Kim and G. Ghibaudo, "Separation of surface accumulation and bulk neutral channel in junctionless transistors," *Applied Physics Letters*, vol. 104, no. 26, p. 263510, June 2014.
- [70] D. M. Caughey and R. E. Thomas, "Carrier Mobilities in Silicon Empirically Related to Doping and Field," *Proceedings of the IEEE*, vol. 55, no. 12, pp. 2192-2193, Dec. 1967.
- [71] G. Pei, J. Kedzierski, P. Oldiges, M. Jeong and E. Kan, "FinFET Design Considerations Based on 3-D Simulation and Analytical Modeling," *IEEE Trans. Electron Devices*, vol. 49, no. 8, pp. 1411-1419, Aug. 2002.
- [72] R. D. Trevisoli, R. T. Doria, M. Souza, I. Ferain, S. Das and M. Pavanello, "The role of the incomplete ionization on the operation of Junctionless Nanowire Transistors," in *IEEE International SOI Conference*, Napa, Cal., USA, 2012.

Bibliografía

- [73] F. Avila-Herrera, A. Cerdeira, J. B. Roldan, P. Sánchez-Moreno, I. M. Tienda-Luna and B. Iñíguez, "Pseudo-Boltzmann model for modeling the junctionless transistors," *Solid-State Electronics*, vol. 95, pp. 19-22, May 2014.
- [74] S. A. Schwarz and S. E. Russek, "Semi-Empirical Equations for Electron Velocity in Silicon: Part II—MOS Inversion Layer," *IEEE Trans. Electron Devices*, vol. 30, no. 12, pp. 1634-1639, Dec. 1983.
- [75] J. W. Slotboom and H. D. Graaf, "Measurements of bandgap narrowing in Si bipolar transistors," *Solid State Electronics*, vol. 19, no. 10, pp. 857-862, Oct. 1976.
- [76] C. C. Mcandrew, "Validation of MOSFET model Source-Drain Symmetry," *IEEE Trans. Electron Devices*, vol. 53, no. 9, pp. 2202-2206, Sept. 2006.
- [77] M. Shirahata, H. Kusano, N. Kotani, S. Kusanoki and Y. Akasaka, "A Mobility Model Including the Screening Effect in MOS Inversion Layer," *IEEE Trans. Computer-Aided Design*, vol. 11, no. 9, pp. 1114-1119, Sept. 1992.
- [78] M. S. Parihar and A. Kranti, "Revisiting the doping requirement for low power junctionless MOSFETs," *Semicond. Sci. Technol.*, vol. 29, no. 7, Apr. 2014.
- [79] A. Cerdeira, F. Ávila-Herrera, B. C. Paz, M. Estrada and M. Pavanello, "Role of the extensions in Double-Gate Junctionless MOSFETs in the drain current at high gate voltage," in *Proceedings of 30th Symposium on Microelectronics Technology and Devices (SBMicro)*, Salvador, Bahia, Brazil, 2015.
- [80] C. Lombardi, S. Manzini, A. Saporito and M. Vanzi, "A Physically Based Mobility Model for Numerical Simulation of Non-Planar Devices," *IEEE Trans. on CAD*, vol. 7, no. 11, pp. 1164-1171, Nov. 1988.
- [81] J. P. Duarte, M.-S. Kim, S.-J. Choi and Y.-K. Choi, "A Compact Model of Quantum Electron Density at the Subthreshold Region for Double-Gate Junctionless Transistors," *IEEE Trans Electron Dev.*, vol. 59, no. 4, pp. 1008-1012, Apr. 2012.
- [82] P. Sebah and X. Gourdon, "Newtons method and high order iterations," 2001. [Online]. Available: <http://old.sztaki.hu/~bozoki/oktatas/nemlinearis/SebahGourdon-Newton.pdf>. [Accessed 28 02 2017].