



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS
DEL INSTITUTO POLITÉCNICO NACIONAL

UNIDAD ZACATENCO
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA
SECCIÓN DE ELECTRÓNICA DEL ESTADO SÓLIDO

**Diseño de un interruptor de RF-MEMS como alternativa
para el funcionamiento cuasi-flotante del FGMOS**

Tesis que presenta:

ING. BENITO GRANADOS ROJAS

Para obtener el grado de:

MAESTRO EN CIENCIAS

EN LA ESPECIALIDAD DE INGENIERÍA ELÉCTRICA

Director de Tesis:
DR. MARIO ALFREDO REYES BARRANCA

Agradecimientos

Agradezco a todos aquellos que me impulsaron para alcanzar esta nueva meta.

Y con mucho cariño dedico este trabajo a mi familia, por ser la fuente de inspiración y el soporte de todos los nuevos proyectos que emprendo. Cada uno de los pasos que doy obtiene su fuerza de ellos.

Extiendo también mi más grande agradecimiento a mi asesor, el Dr. Alfredo Reyes Barranca, por la gran confianza que depositó sobre mí desde el primer momento y el entusiasmo que me contagió para desarrollar una más de mis metas académicas.

Siendo invaluable su ayuda, agradezco de igual manera al M. en C. Luis Martín Flores Nava por respaldar mis ideas y estar siempre en la mejor disposición de analizar, debatir y solucionar las inquietudes académicas del día a día.

En cuanto a la mejora y correcciones del presente trabajo, agradezco a los profesores sinodales, Dr. José Antonio Moreno Cadenas y Dr. Felipe Gómez Castañeda, por su tiempo y por la completa y oportuna revisión.

No menos importante, comparto también la satisfacción de este nuevo logro con todos mis compañeros estudiantes del grupo de Sistemas VLSI, con los que compartí valiosos momentos de trabajo y diversión.

*Incluyo por último, mi agradecimiento al personal académico y administrativo de la Sección de Electrónica del Estado Sólido y al **CONACyT** por todos los recursos y apoyo otorgados para la realización de este trabajo.*

A todos, gracias.

Benito Granados Rojas

Agosto, 2015

Contenido

<i>Contenido</i>	<i>I</i>
<i>Índice de figuras</i>	<i>III</i>
<i>Índice de tablas</i>	<i>V</i>
<i>Resumen</i>	<i>VI</i>
<i>Abstract</i>	<i>VII</i>
<i>Objetivos</i>	<i>VIII</i>
<i>Justificación</i>	<i>IX</i>
1. Introducción	1
1.1. Antecedentes	3
1.1.1. MEMS y su clasificación	6
1.1.2. Tecnología CMOS estándar	9
1.1.3. Compuerta flotante.....	14
1.1.4. Micromaquinado.....	18
1.2. Aplicaciones y estado del arte.....	21
1.3. MEMS electrostáticos	25
1.4. Reglas de escalamiento.....	27
1.5. Elementos capacitivos.....	28
1.5.1. Estructuras capacitivas básicas	29
1.5.2. Sistema masa-resorte.....	31
1.5.3. Simulación multifísica.....	32
1.6. Conclusiones del capítulo.....	33
2. Aspectos teóricos	35
2.1. Actuación electrostática.....	35
2.1.1. Capacitancia entre placas paralelas	37
2.1.2. Capacitancia lateral	39
2.1.3. Fuerza Electrostática	40
2.1.4. Punto de Equilibrio.....	43

2.2.	El efecto Joule	46
2.3.	Desempeño como interruptor	51
2.3.1.	Pérdidas de inserción	52
2.3.2.	Aislamiento.....	53
2.3.3.	Respuesta en frecuencia	54
2.4.	El transistor MOS de compuerta flotante	57
2.5.	Conclusiones del capítulo.....	64
3.	<i>Métodos de diseño</i>	67
3.1.	Geometría y diseño topológico	68
3.2.	Elementos microelectromecánicos	69
3.3.	Compuerta flotante en tecnología CMOS	72
3.4.	Elementos auxiliares	74
3.5.	Modelo multifísico	76
3.6.	Conclusiones del capítulo.....	77
4.	<i>Métodos de prueba</i>	79
4.1.	Simulación electromecánica por elemento finito	79
4.2.	Simulación eléctrica en plataforma SPICE.....	87
	Conclusiones del capítulo.....	92
5.	<i>Conclusiones generales</i>	93
5.1.	Aportaciones	94
5.2.	Trabajo futuro	95
	<i>Referencias bibliográficas</i>	96
	<i>Anexo A</i>	98
	<i>Anexo B</i>	101
	<i>Anexo C</i>	103
	<i>Anexo D</i>	105

Índice de figuras

Figura 1-1. Acelerómetro MEMS de uso principalmente académico Sparkfun ADXL345.	1
Figura 1-2. Elementos de un sistema microsensar básico.	2
Figura 1-3. Elementos de un sistema microactuador básico.	2
Figura 1-4. Microfotografía SEM de un microactuador (manipulador robótico).....	3
Figura 1-5. John Bardeen, William Shockley y Walter Brattain en los laboratorios Bell, 1948.....	4
Figura 1-6. Diagrama de transistores NMOS y PMOS en la tecnología CMOS estándar.....	9
Figura 1-7. Primera capa de polisilicio en el proceso CMOS estándar.....	12
Figura 1-8. Esquema de capas de materiales en el proceso OnSemi C5N de 0.5 μ m.....	13
Figura 1-9. Configuración de compuerta en transistor (a) MOS convencional (b) FGMOS.	15
Figura 1-10. Desplazamiento del voltaje de umbral en el FGMOS	15
Figura 1-11. Inyección por electrones calientes.	16
Figura 1-12. Inyección de carga por tunelamiento Fowler-Nordheim.....	17
Figura 1-13. Inyección Fowler-Nordheim autolimitada.	17
Figura 1-14. Inyección de carga mediante un interruptor electromecánico.	17
Figura 1-15. Esquema de cavidades en el micromaquinado volumétrico.	21
Figura 1-16. Esquema del micromaquinado superficial.....	21
Figura 1-17. Reportes de la literatura en RF-MEMS.....	23
Figura 1-18. Curva de Paschen para el aire a presión atmosférica: el factor pd [Pa-m] representa en el eje horizontal múltiplos de una separación d (10 μ m) a una presión p (aire a presión atmosférica).	27
Figura 1-19. Interruptores electrostáticos (a) tipo shunt y circuito eléctrico equivalente, donde Z_0 es la impedancia de la línea de transmisión, (b) tipo óhmico en configuración cantiléver.	29
Figura 1-20. Transductores capacitivos (a) tipo peine [comb-drive], (b) membrana rectangular con dos resortes, (c) membrana cuadrada con cuatro resortes.....	29
Figura 1-21. Símbolo y distribución de cargas en un capacitor de placas paralelas.	30
Figura 1-22. Estructura capacitiva suspendida y sistema mecánico equivalente.....	32
Figura 1-23. Equilibrio entre las fuerzas elástica y electrostática.	32
Figura 2-1. Capacitor de dos conductores.	37
Figura 2-2. Capacitor de placas paralelas.....	38
Figura 2-3. Esquema de capacitancia lateral en elementos coplanares.	40
Figura 2-4. Esquema de un capacitor C conectado a una fuente de voltaje V	41
Figura 2-5. Esquema de un transductor de placas paralelas enlazado a un resorte k	42
Figura 2-6 Punto de inflexión en voltaje vs. desplazamiento.	44
Figura 2-7. Flexión por elongación en viga doblemente empotrada.	47
Figura 2-8. Efectos de la elongación de los resortes de suspensión.....	48
Figura 2-9. Deformación de la membrana de aluminio sometida a calentamiento Joule.....	49
Figura 2-10. Distribución e incremento de la temperatura por calentamiento Joule.	50
Figura 2-11. Esquema de línea de transmisión típica en los sistemas RF-MEMS.	52
Figura 2-12. Circuito equivalente de línea de transmisión con carga.	52
Diseño de un interruptor de RF-MEMS como alternativa para el funcionamiento cuasi-flotante del FGMOS	

Figura 2-13. Circuito equivalente en c.d. del interruptor en modo de conducción (on)	53
Figura 2-14. Circuito equivalente en c.d. del interruptor en modo de corte (off).....	53
Figura 2-15. Circuito de impedancias equivalentes para análisis en frecuencia.....	54
Figura 2-16. Diagrama de Bode del circuito equivalente.	56
Figura 2-17. Estructura y capacitancias del transistor FGMOS.	57
Figura 2-18. Estructura principal (simplificada) del FGMOS y circuito equivalente.....	58
Figura 2-19. Estructura capacitiva del FGMOS en $V_{DS} = 0V$ y circuito equivalente.....	60
Figura 2-20. Estructura capacitiva del FGMOS en $V_{DS} \neq 0V$ y circuito equivalente.....	61
Figura 2-21. Análisis de nodos y mallas en el arreglo de impedancias del transistor FGMOS.....	62
Figura 3-1. Proceso de diseño.	68
Figura 3-2. Capas y corte transversal de la tecnología AMIS 0.5.	69
Figura 3-3. Estructura tipo membrana propuesta.	70
Figura 3-4. Secuencia de metales 1 a 3 en la estructura de membrana.	70
Figura 3-5. Dimensiones propuestas para la membrana base de $120\mu m$	70
Figura 3-6. Superposición de Poly 1 y Metal 3 en la estructura de membrana.	72
Figura 3-7. Capacitor Poly 1 – Poly 2.....	73
Figura 3-8. Transistores NMOS y PMOS convencionales.	73
Figura 3-9. Secuencia de diseño FGMOS-N.....	74
Figura 3-10. Pads de conexión a VSS, a VDD y de tensión de referencia.....	75
Figura 3-11. I/Opad, NC pad, padless y padless corner.	75
Figura 3-12. Celdas de FGMOS y de membranas de 100, 120 y $150\mu m$	75
Figura 3-13. Propuesta básica de PadFrame.....	76
Figura 3-14. Modelo geométrico para simulación multifísica.....	77
Figura 4-1. Dimensiones y capas del modelo mecánico equivalente.	80
Figura 4-2. Selecciones explícitas de superficie.	81
Figura 4-3. Desplazamiento en z en función de la fuerza aplicada.	82
Figura 4-4. Esfuerzo Von Mises en función de la fuerza aplicada.	82
Figura 4-5. Esfuerzos von Mises máximos en función de la fuerza aplicada.	83
Figura 4-6. Constante elástica k.	83
Figura 4-7. Desplazamiento en función del voltaje aplicado (membrana 120 micras).....	84
Figura 4-8. Circuito equivalente MEMS.	85
Figura 4-9. Desplazamiento en función del potencial de compuerta flotante.	85
Figura 4-10. Desplazamiento en función de las dimensiones de la membrana de prueba.	86
Figura 4-11. Circuitos FGMOS equivalentes de prueba.	87
Figura 4-12. Componentes SPICE creados.	88
Figura 4-13. Circuito de estímulo para los transistores FGMOS.	88
Figura 4-14. Simulación Clocked NeuMOS inicial.....	89
Figura 4-15. Comportamiento del transistor FGMOS tipo N.	90
Figura 4-16. Comportamiento del transistor FGMOS tipo P.	90
Figura 4-17. Curva de transconductancia del transistor FGMOS tipo N en función de la precarga. .	91
Figura 4-18. Curva de transconductancia del transistor FGMOS tipo P en función de la precarga..	91

Diseño de un interruptor de RF-MEMS como alternativa para el funcionamiento cuasi-flotante del FGMOS

Índice de tablas

Tabla 1-1. Comparativa entre los procesos de fabricación microelectrónico y de microsistemas.....	5
Tabla 1-2. MEMS clasificados por funcionamiento.....	7
Tabla 1-3. MEMS clasificados por proceso de fabricación.....	7
Tabla 1-4. MEMS clasificados por tipo de energía principal.	8
Tabla 1-5. Propiedades del óxido de silicio.	12
Tabla 1-6. Resistividad eléctrica en los materiales de fabricación.....	13
Tabla 1-7. Micromaquinado volumétrico vs. micromaquinado superficial.	19
Tabla 1-8. Micromaquinado: Ataque seco vs. ataque húmedo.	19
Tabla 1-9. Velocidad de ataque en el micromaquinado volumétrico	21
Tabla 1-10. Principales características del capacitor de placas paralelas.....	30
Tabla 1-11. Simulación multifísica.....	33
Tabla 2-1. Ciclo de trabajo del microinterruptor electrostático.	36
Tabla 2-2. Corriente de drenador en el FGMOS.....	64

Resumen

El presente trabajo aborda de manera teórica y por medio de procedimientos matemáticos y simulaciones computarizadas los aspectos de diseño estructural, comportamiento mecánico y caracterización eléctrica de los interruptores electromecánicos a pequeña escala, en adelante también llamados interruptores MEMS o simplemente interruptores. Asimismo, este proyecto pretende crear conciencia sobre los alcances y limitaciones en los procesos de fabricación de circuitos integrados y sistemas microelectromecánicos con la intención de plantear nuevos retos en el ámbito académico e industrial a corto y mediano plazo.

Si bien el caso de estudio en este trabajo es el de analizar las características de los dispositivos micrométricos involucrados, la aplicación principal y cuyas necesidades se busca cubrir, es la de alimentar con carga eléctrica la compuerta flotante de un transistor FGMOS proveyendo a la terminal de compuerta flotante de una trayectoria física de transporte de carga, misma que puede ser interrumpida de manera mecánica actuando sobre el interruptor electromecánico. Esta es una alternativa para abordar el principio de operación cuasi-flotante de la compuerta flotante del FGMOS, de tal forma que se eliminan o reducen las fugas de corriente características al emplear un MOS convencional como interruptor entre la fuente de corriente continua y la compuerta flotante.

Cabe mencionar que los transistores de compuerta flotante FGMOS son una variante de los transistores MOS (metal-óxido-semiconductor) convencionales, cuyas características permiten extender y abarcar diversas aplicaciones de la electrónica analógica como lo son medidores de aceleración, sensores de reacción química y gases, e incluso, aplicaciones de redes neuronales artificiales; sin embargo, la tecnología de fabricación estándar de circuitos integrados presenta problemas en el manejo de la carga electrostática fija en la terminal de compuerta, la cual deteriora el comportamiento de los dispositivos. Es por esto que este trabajo propone, evalúa y compara distintas configuraciones de interruptores electromecánicos, los cuales de manera intrínseca restringen la aparición de cargas no deseadas.

Abstract

In this work, taking advantage of mathematical procedures and computer simulations, a wide theoretical analysis is developed on matter of MEMS switches. The design project also considers the physical limitations due to the standard manufacturing processes of integrated circuits and microelectromechanical systems, aiming at new challenges and applications for the MEMS devices.

Even though this work emphasizes the characteristics of the MEMS devices involved, the main application for which necessities this work is intended are related to the charge and discharge mechanism in the floating gate terminal in FGMOS transistors. The path that electric current follows to the gate might be interrupted by using an electromechanical switch controlled by the adjacent integrated circuit.

FGMOS are an specific type of MOS transistor which characteristics allows to cover many analog electronic applications, for example, accelerometers and artificial neural networks; anyway, the current standard manufacturing technology on integrated circuits involves some non-desirable issues on the managing of static charge in the gate terminal, that's why this work proposes and evaluates some MEMS switch configurations, that due to its architecture avoid the undesired charges.

Objetivos

Objetivo General

Establecer un diseño de interruptor electromecánico de dimensiones micrométricas basado en la tecnología MEMS y con apego a las reglas de diseño y procesos de fabricación de la tecnología estándar de circuitos integrados CMOS de $0.5\mu\text{m}$; asimismo, validar el diseño a través de los modelos eléctricos y matemáticos pertinentes, así como el funcionamiento por medio de herramientas de simulación multifísica de elemento finito.

Objetivos Particulares

- Proponer y evaluar la estructura mecánica para el interruptor microelectromecánico, identificando las propiedades y ventajas de las diferentes capas de los materiales que componen al circuito integrado.
- Obtener un modelo de simulación eléctrica adecuado para la implementación del interruptor microelectromecánico como medio de carga y descarga de la compuerta flotante en aplicaciones con transistores FGMOS.
- Diseñar el circuito integrado adjunto que permita la interacción de los equipos de alimentación, estímulo y medición con el microactuador.
- Estimar el desempeño del microinterruptor en su posible aplicación para la operación del FGMOS cuasi-flotante.

Justificación

Los dispositivos FGMOS cuyo diseño y fabricación parten de la tecnología estándar de circuitos integrados CMOS de $0.5\mu\text{m}$, presentan problemas de concentración de carga en la terminal flotante. Dado que esta región de material semiconductor está, por definición, aislada eléctricamente del resto del circuito, una vez que el exceso de carga eléctrica ha llegado por efecto túnel o defectos de fabricación, es de gran dificultad extraerla o minimizar sus efectos, que en este caso afectan de manera significativa al punto de operación y voltajes de umbral del transistor. Es por esto que se propone como alternativa de solución, un interruptor microelectromecánico que sirva de mecanismo de carga y descarga de la compuerta flotante. Por otra parte, considerando el traslape existente entre la microelectrónica y la tecnología MEMS y dentro de la experiencia que se está intentando ganar dentro del Grupo de Sistemas VLSI de la SEES, se busca incrementar el conocimiento alrededor de los actuadores microelectromecánicos y sus potenciales aplicaciones.

1. Introducción

Los sistemas microelectromecánicos MEMS (MicroElectroMechanical Systems) conforman un área de la Ingeniería Eléctrica estrechamente relacionada con la Microelectrónica y el Diseño de Circuitos Integrados (CIs). En general, los MEMS pueden ser considerados microsistemas de sensores y/o actuadores embebidos dentro de las diversas capas de materiales que existen en un circuito integrado aunque, de manera particular, el grupo de dispositivos conocido como MEMS se caracteriza por contener al menos un elemento sensible o móvil de dimensiones microscópicas.

Por definición, el apelativo MEMS sugiere la interacción entre fuerzas eléctricas y mecánicas, sin embargo, no todos los dispositivos y sistemas que usualmente reconocemos como MEMS involucran estas dos variables, siendo que una gran parte de los mismos son, en al menos parte del sistema, puramente mecánicos, hidrodinámicos, termoeléctricos, piezoeléctricos o electromagnéticos.

Los sistemas microelectromecánicos (MEMS) han logrado una muy amplia y creciente penetración en el mercado de la electrónica, estando hoy en día presentes en prácticamente todos los ámbitos de la vida cotidiana, incluyendo por supuesto, el entretenimiento, la seguridad y control de vehículos, la industria militar y un sinnúmero de aplicaciones académicas y de apoyo a la investigación. Un caso especialmente aprovechado en aplicaciones y prototipos académicos son los acelerómetros MEMS; su presentación como unidad modular (Figura 1-1) les permite trabajar en integración con otros sistemas y así establecer el esquema de control y estabilidad en móviles, vehículos y brazos robóticos articulados.

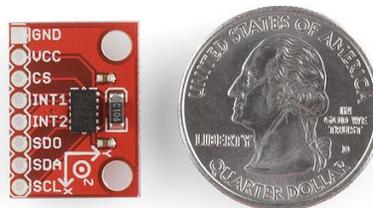


Figura 1-1. Acelerómetro MEMS de uso principalmente académico Sparkfun ADXL345.¹

Al igual que su contraparte macroscópica, estos sistemas electromecánicos de pequeñas dimensiones pueden fácilmente identificarse por el rol que juegan dentro del sistema electrónico y por la estructura que comparten sus diferentes variantes. Ya sea como microsensores o como microactuadores, el núcleo de un sistema microelectromecánico consta de dos partes principales, un elemento de sensado o actuación y una unidad de transducción.² En la Figura 1-2 y la Figura 1-3 se esquematizan ambos casos del MEMS básico. Cabe resaltar que los dispositivos MEMS, por su naturaleza interactiva con el medio físico, son sistemas electrónicos inherentemente analógicos, sin embargo, esto no inhibe su capacidad para integrarse con elementos digitales de procesamiento para formar sistemas más versátiles y complejos.

Desde otro punto de vista, podría generalizarse que los sistemas microsensores son aquellos puentes e interfaces entre el mundo físico y el sistema electrónico intérprete, ya sea registrando variaciones en la presión, la temperatura, reacciones químicas, desplazamiento háptico e incluso sutiles cambios en el campo eléctrico, por mencionar algunas aplicaciones.

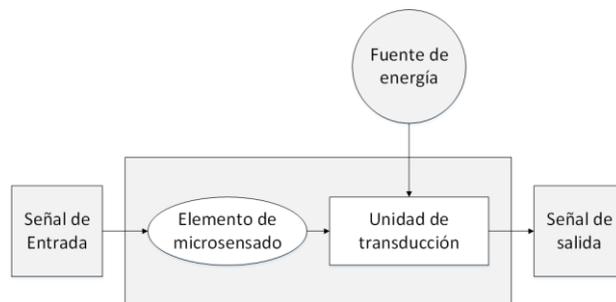


Figura 1-2. Elementos de un sistema microsensado básico.

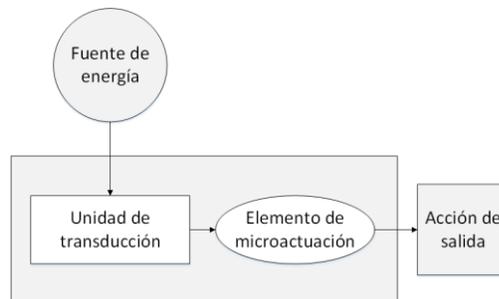


Figura 1-3. Elementos de un sistema microactuador básico.

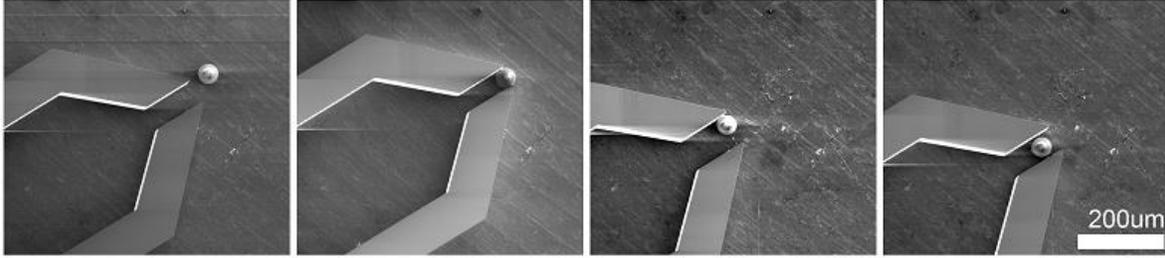


Figura 1-4. Microfotografía SEM de un microactuador (manipulador robótico).³

Por otra parte, los sistemas microactuadores están más estrechamente relacionados con el control de señales de energía o información. Este es el caso de los interruptores eléctricos u ópticos, también se han aprovechado como sistemas de propulsión motriz o como efectores finales en mecanismos (Figura 1-4) y robots de muy pequeñas dimensiones.

1.1. Antecedentes

Los MEMS surgen de manera natural como una alternativa de estudio durante la incansable búsqueda por obtener mejores métodos de fabricación de circuitos integrados. La necesidad de métodos de depósito y decapado de materiales precisos y confiables permitió a investigadores de todo el mundo idear nuevas estructuras para crear dispositivos interesantes. En particular, la entonces nueva habilidad para liberar capas del circuito integrado de sus respectivos soportes mecánicos permitió sugerir una variedad de aplicaciones donde una diminuta masa móvil y sus interacciones con el circuito electrónico circundante pudieran aprovecharse para la detección de fuerzas o señales presentes en el sistema, así como para la ejecución de tareas motrices, control de microfluidos, etc.

La historia de los sistemas microelectromecánicos está escrita en términos de la tecnología de semiconductores y la industria microelectrónica. Shockley, Bardeen y Brattain (1947) son reconocidos como los desarrolladores del primer transistor funcional, fabricado a partir de un cristal de germanio (Figura 1-5). Este suceso puede ser considerado el nacimiento de una de las mayores industrias a nivel global, disparando una vertiginosa competencia por obtener el conocimiento científico y técnico en el manejo y perfeccionamiento de los materiales semiconductores. Muestra de esto son las diversas patentes que se presentarían en la siguiente década, las cuales incluyen al transistor de punto-contacto (Westinghouse, 1948), el transistor de superficie-barrera (Philco, 1953), el primer transistor comercial de silicio (Bell Labs,

1956) y en especial el primer circuito integrado monolítico de germanio (Texas Instruments, 1958) con el que Kilby se hizo años después acreedor al Premio Nobel de física. Este primer concepto de circuito integrado monolítico sería prontamente mejorado por Noyce (Fairchild Semiconductors, 1959) quien obtuvo mejores resultados haciendo uso de cristales de silicio.

La difícil y costosa obtención de cristales de silicio de buena calidad semiconductor fue una fuerte limitante para la fabricación de dispositivos electrónicos a mediados del siglo XX. Sin embargo, el desarrollo en ese rubro no ha cesado y hoy en día por su abundancia y calidad, el silicio se ha posicionado como la materia prima principal y de más amplio uso en la industria microelectrónica.

Más allá del silicio y en conjunto con éste, una gran variedad de elementos y compuestos, tanto semiconductores como conductores y dieléctricos, son parte de los circuitos integrados modernos. Dichos componentes suelen presentarse por capas en la mayoría de los procesos industriales de fabricación como lo es el de la tecnología CMOS estándar, la cual es objeto de estudio en el presente trabajo y se abordará en las secciones siguientes. La generación de capas de distintos materiales involucra diversos métodos de depósito y decapado, a los cuales la aparición de los MEMS está relacionada. Algunos de los MEMS más sencillos pueden constar únicamente de porciones de material metálico o semiconductor en configuración de viga con empotramiento simple, caso que llega a presentarse cuando el activo decapante profundiza más de lo deseado, retirando el soporte mecánico alrededor de cierto elemento circuital y cuyas nuevas características y comportamiento son de nuestro interés.

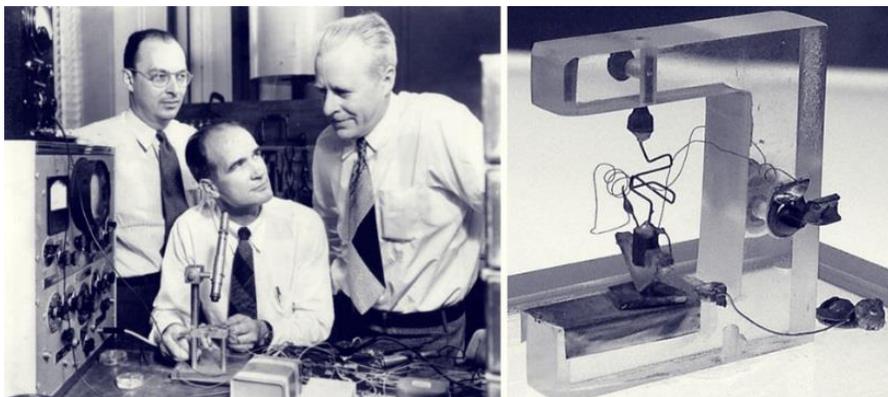


Figura 1-5. John Bardeen, William Shockley y Walter Brattain en los laboratorios Bell, 1948.

Tabla 1-1. Comparativa entre los procesos de fabricación microelectrónico y de microsistemas

Microelectrónica	Sistemas microelectromecánicos
Utiliza silicios cristalinos monolíticos, compuestos del silicio y plásticos.	Silicio cristalino, compuestos del silicio, GaAs, cuarzo, polímeros y metales.
Transmite señales eléctricas para aplicaciones eléctricas específicas.	Gran variedad de funciones biológicas, químicas, ópticas, electromecánicas, etc.
Estructura mecánica estacionaria, usualmente planar.	Puede incluir componentes móviles y complejas estructuras tridimensionales.
Motivos y patrones complejos con alta densidad de integración.	Motivos y patrones relativamente sencillos por encima del sustrato.
Relativamente pocos elementos a ensamblar.	Relativamente muchos elementos a ensamblar.
Aislamiento respecto al ambiente circundante.	Interfaces de sensado en contacto con el ambiente circundante.
Madurez en las metodologías de diseño.	Metodologías de diseño y estándares incipientes.
Gran número de interconexiones y trayectorias.	Pocas interconexiones y trayectorias.
Estándares industriales disponibles.	Ausencia de estándares industriales generales.
Producción masiva.	Producción limitada acorde a las necesidades.
Técnicas de fabricación probadas y extensamente documentadas.	Uso de diversas técnicas de fabricación de microelectrónica.
Técnicas de manufactura probadas y extensamente documentadas.	Diversas técnicas de manufactura.
Tecnología de encapsulado relativamente bien establecida.	Tecnología de encapsulado incipiente.

Se puede deducir entonces que un proceso controlado de decapado, el cual es selectivo y en muchos casos preferentemente anisotrópico, es la base de la fabricación de MEMS. Más aún, vale la pena resaltar las diferencias y particularidades que presentan un proceso de fabricación microelectrónica estándar y un proceso de fabricación de microsistemas. A continuación se presenta una comparativa entre ambos procesos desde el enfoque de la tecnología de fabricación, evolución industrial y aplicaciones. Es esencial reconocer las diferencias entre el diseño y fabricación de los microsistemas respecto a la tecnología microelectrónica y de circuitos integrados, las cuales están descritas en la Tabla 1-1⁴.

En la actualidad, al igual que cualquier circuito integrado o sistema microelectrónico, por sus reducidas dimensiones y bajos costos unitarios, los MEMS presentan una producción industrial masiva. La primera aplicación con dispositivos MEMS que se integró al mercado a gran escala es la de los sensores de presión. Dichos elementos de medición han ido evolucionando y hoy en día pueden ser encontrados incluso al interior de relojes deportivos y algunos otros instrumentos de medición relacionados. La industria automotriz por su parte, toma MEMS con características de medición de fuerzas inerciales para implementar los más

modernos sistemas de seguridad en los vehículos, siendo un acelerómetro de precisión en conjunto con un sistema digital quienes han protegido por años la integridad de los pasajeros. En otros casos de medición inercial, los giroscopios han resultado efectivos en las aplicaciones de estabilización de imagen en cámaras fotográficas y de video, sistemas de entretenimiento, teléfonos celulares y en la navegación por GPS.

1.1.1. MEMS y su clasificación

Los dispositivos MEMS cuentan con un gran número de aplicaciones, es por ello que existe también una variedad de opciones para clasificarlos. Para fines de este trabajo podemos clasificarlos mediante tres criterios principales:

- MEMS por función principal.
 - MEMS como actuadores.
 - MEMS como sensores.
- MEMS por proceso de fabricación.
 - MEMS por micromaquinado superficial.
 - MEMS por micromaquinado volumétrico.
- MEMS por transducción.
 - MEMS por fuerzas electrostáticas.
 - MEMS por fuerzas piezoeléctricas.
 - MEMS por fuerzas térmicas.
 - MEMS por fuerzas magnéticas.

Dada esta clasificación y sus múltiples combinaciones, en este trabajo procedemos a identificar cada una de ellas y encontrar un dispositivo adecuado para la aplicación propuesta.

Como se revisó en la sección introductoria, cuando se les clasifica por su funcionamiento los MEMS pueden ser encontrados como sensores o actuadores. Los dispositivos sensores interactúan directamente con el medio físico circundante y en general, transducen algún tipo de energía de entrada en una señal eléctrica medible. Asimismo, los MEMS que funcionan como actuadores utilizar recursos eléctricos para realizar un desplazamiento mecánico. Debemos considerar que en ambos casos, ya sea la entrada de energía que se recibe o la

acción mecánica que se realice, son señales de muy pequeña magnitud desde el punto de vista macroscópico. Sin embargo, dado el escalamiento de las fuerzas en relación a las dimensiones geométricas del dispositivo, las fuerzas electrostáticas, la presión atmosférica y otros tipos de energía toman relevancia sobre el comportamiento del dispositivo. Algunas de las posibles aplicaciones que se encuentran basadas en los microsensores o microactuadores, se presentan en la Tabla 1-2.

Los dispositivos MEMS también pueden clasificarse por el proceso de fabricación necesario para obtenerlos. En específico, por los alcances de los métodos de decapado, los cuales pueden eliminar ya sea las capas superficiales de polisilicio, metales y óxidos o en otros casos, al sustrato mismo (ver Tabla 1-3). A estas dos variantes se les conoce como *micromaquinado superficial* y *micromaquinado volumétrico* respectivamente y sus propiedades se abordarán más adelante.

Tabla 1-2. MEMS clasificados por funcionamiento.

Clasificación	Energía	Aplicaciones
Microsensores	Presión en fluidos	<ul style="list-style-type: none"> ▪ Medición de presión atmosférica; ▪ Presión de fluidos en ductos y turbomáquinas; ▪ Dispositivos neumáticos; etc.
	Campo eléctrico, magnético y capacitancia	<ul style="list-style-type: none"> ▪ Acelerómetros, giroscopios y brújulas electrónicas; ▪ Detección de movimiento; etc.
	Energía térmica	<ul style="list-style-type: none"> ▪ Sensado de temperatura; ▪ Detección de reacciones químicas y radiación; etc.
Microactuadores	Energía electromecánica	<ul style="list-style-type: none"> ▪ Interruptores electromecánicos y ópticos; ▪ Micromanipuladores robóticos; ▪ Control de microfluidos; etc.
	Energía térmica	<ul style="list-style-type: none"> ▪ Interruptores bimetálicos; ▪ Control de reacciones químicas; etc.

Tabla 1-3. MEMS clasificados por proceso de fabricación.

Clasificación	Ataque principal	Aplicaciones
Micromaquinado superficial	Sustrato (silicio cristalino)	Eliminar las restricciones mecánicas entre las capas de depósito.
Micromaquinado volumétrico	Capas de depósito (metales, óxidos y polisilicio)	Generar espacios profundos y libres por debajo de las capas de depósito.

Tabla 1-4. MEMS clasificados por tipo de energía principal.

Clasificación	Fenómenos principales	Aplicaciones
MEMS por fuerzas electrostáticas	<ul style="list-style-type: none"> ▪ Capacitancia ▪ Campo eléctrico 	Acelerómetros, giroscopios, interruptores electrostáticos, varactores, microactuadores.
MEMS por fuerzas piezoeléctricas	<ul style="list-style-type: none"> ▪ Piezoelectricidad ▪ Estrés mecánico 	Sensores de presión, micrófonos, acelerómetros.
MEMS por fuerza piezoresistivas	<ul style="list-style-type: none"> ▪ Piezoresistividad ▪ Estrés mecánico 	Sensores de presión (esfuerzo de extensión y compresión).
MEMS por fuerzas térmicas	<ul style="list-style-type: none"> ▪ Efecto Joule ▪ Transferencia de calor por conducción 	Sensores de reacción química, sensores de temperatura, microactuadores bimetálicos.
MEMS por fuerzas magnéticas	<ul style="list-style-type: none"> ▪ Inductancia ▪ Campo magnético 	Detectores de campo magnético. Microactuadores.

Por último, para fines de este trabajo podemos clasificar a los dispositivos microelectromecánicos por el tipo de energía y fuerzas que se transducen y finalmente se aprovechan como una señal eléctrica, como se muestra en la Tabla 1-4. Los MEMS de fuerzas piezoeléctricas y fuerzas piezoresistivas detectan los cambios que el estrés mecánico produce en el campo eléctrico y resistencia eléctrica, respectivamente, en un material de prueba dado.

Los MEMS de fuerzas electrostáticas, también llamados capacitivos, utilizan un fenómeno inherente a cualquier dispositivo electrónico como lo son las capacitancias y campos eléctricos que aparecen entre las capas de material y a lo largo de todas sus superficies. A través de ligeras variaciones en la capacitancia, ya sea de placas paralelas o de franja lateral, se pueden detectar los desplazamientos relativos entre placas, para detectar movimiento o aceleración, por ejemplo.

Otro tipo de MEMS convencionales son los de fuerzas térmicas; estos pueden sacar ventaja del efecto Joule como método de actuación mecánica o como herramienta para detección indirecta de otros parámetros. En última instancia, consideraremos a los MEMS de fuerzas magnéticas, que si bien son de difícil manufactura y aplicaciones escasas, ofrecen un amplio territorio para la investigación básica. Esto no sucede así en el mundo macroscópico, en el cual la actuación magnética es una de las más ampliamente utilizadas.

1.1.2. Tecnología CMOS estándar

La tecnología CMOS estándar es aquella que une elementos MOS, en especial transistores MOS canal N y canal P en el mismo sustrato como los mostrados en la Figura 1-6, consiguiendo así, la integración de algunos dispositivos sencillos como inversores y amplificadores operacionales y tan complejos como lo son las unidades aritmético-lógicas (ALU) presentes en los microprocesadores.

La estandarización de procesos en la industria electrónica es una herramienta importante también en el ámbito académico, puesto que permite desarrollar prototipos de investigación siguiendo procedimientos y metodologías bien establecidas. Siguiendo el proceso de desarrollo eventualmente se solicita la fabricación de los circuitos y dispositivos previamente diseñados, analizados y simulados, para finalmente proceder a una caracterización física de los parámetros eléctricos en el laboratorio.

En el caso particular de este trabajo, la metodología a utilizar es la tecnología CMOS estándar de $0.5\mu\text{m}$ bajo el proceso OnSemi C5N⁵ (antes conocido como AMIS) del proveedor MOSIS⁶. Los parámetros tecnológicos propios de esta tecnología definen las reglas de diseño y materiales disponibles para el proceso de fabricación y pueden consultarse en la sección de apéndices del presente documento. Cabe aclarar que al ser esta tecnología específica para la fabricación de circuitos integrados CMOS, se pretende adaptar sus características y propiedades para nuestro propósito, de tal manera que se puedan obtener estructuras tridimensionales típicas de los MEMS, mediante un post-proceso de micromaquinado que se deberá realizar posterior a la fabricación del dado o chip.

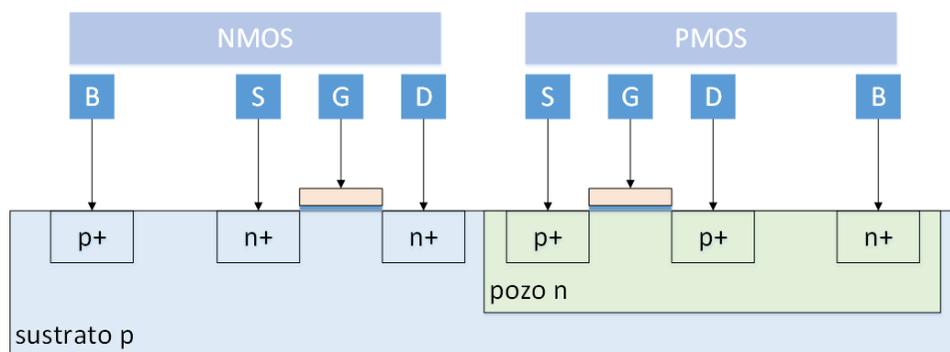


Figura 1-6. Diagrama de transistores NMOS y PMOS en la tecnología CMOS estándar.

Esta aproximación tiene sus limitaciones, debido a que las dimensiones y características de las diferentes capas no están concebidas para desempeñarse como sensores o actuadores. Sin embargo, esto no impide que mediante estrategias de diseño, se puedan idear estructuras que puedan ser liberadas mediante un proceso de micromaquinado (ya sea superficial o volumétrico), aprovechando las propiedades enmascarantes de las capas usadas en la fabricación de dispositivos CMOS, que fundamentalmente son las mismas que se emplean en tecnologías dedicadas a la obtención de estructuras MEMS. También vale la pena comentar que estas últimas tecnologías, son adecuadas para fabricar estructuras MEMS, pero no ofrecen una plataforma para la integración de elementos electrónicos como lo hace la tecnología CMOS. Aun así, es posible hacer una adaptación para acoplar ambas tecnologías, con lo que se obtiene la llamada tecnología CMOS-MEMS. Este es el objetivo del diseño que se presenta y desarrolla en el presente trabajo.

Una manera conveniente de identificar a las diversas tecnologías de fabricación de circuitos integrados, así como sus ventajas, desventajas y alcances, es mediante los siguientes parámetros:

- *Ancho de canal*: esta cantidad expresa el mínimo de separación que puede haber entre el drenador y la fuente de un transistor MOS dado; se debe a las limitantes tecnológicas del proceso y el dato ofrece una forma indirecta para conocer el grado de integración del circuito definitivo, es decir, la cantidad de elementos integrados por área en la oblea de silicio. En nuestro caso de estudio, la tecnología de fabricación utilizada corresponde a un ancho de canal mínimo de $0.5\mu\text{m}$.
- *Materiales de fabricación*⁷: si bien la gran mayoría de las aplicaciones en la electrónica integrada se desarrollan sobre obleas de silicio cristalino, éste no es el único material que forma parte del proceso ni del producto final. Mencionando algunos de los materiales que conforman a los circuitos integrados podemos encontrarnos con metales como el aluminio (Al), el cobre (Cu), el oro (Au) y la plata (Ag). Por otra parte, algunas aplicaciones requieren de compuestos orgánicos y polímeros, también es común utilizar nitruros y carburos y por supuesto, diversos compuestos del silicio, tales como el silicio policristalino, dióxido de silicio (SiO_2),

carburo de silicio (SiC) y nitruro de silicio (Si₃N₄). Cada uno de estos cumple con diferentes funciones dentro del proceso o como parte de la estructura terminal. En especial, los compuestos del silicio se utilizan de muy diversas formas, como se explica a continuación:

- Silicio cristalino (Si): Conforman la oblea de material cristalino, la cual da soporte mecánico a la estructura y contiene regiones a las que por medio de métodos de difusión e implantación iónica se le dan las propiedades eléctricas deseadas. La región activa es donde ocurren los principales fenómenos de transporte dentro del material semiconductor de un dispositivo dado. En el caso de los transistores MOS, son regiones de material cristalino impurificado que para efectos del dispositivo, trabajan como fuente o drenador. Cabe señalar que el silicio cristalino de la oblea contiene una impurificación más ligera que la región activa para poder funcionar como sustrato de los dispositivos. En general, si el sustrato tiene una impurificación tipo p, debe construirse una región tipo n llamada pozo en la cual se construyan los dispositivos canal p. A las aplicaciones que involucran pozo n y por tanto ambos tipos de transistor PMOS y NMOS, se le conoce como tecnología CMOS o MOS complementaria.

- Silicio policristalino (p-Si): Comúnmente llamado “polisilicio” o “poly”, es un material de silicio puro, sin embargo, su estructura atómica no es totalmente cristalina a lo largo de su extensión (Figura 1-7). Se conforma de un aglomerado de pequeños monocristales por lo que sus características eléctricas son intermedias entre las de un semiconductor y un dieléctrico. Suele utilizarse como material conductor para construir las compuertas del transistor MOS y en ocasiones es sustituido por metales como el aluminio o el cobre para esta misma tarea. Las razones principales por las que su uso se generalizó son su resistencia a las altas temperaturas del proceso de fabricación y sus características eléctricas similares a las del sustrato que permiten controlar y obtener valores deseables en el voltaje de umbral de los transistores MOS.



Figura 1-7. Primera capa de polisilicio en el proceso CMOS estándar.

Tabla 1-5. Propiedades del óxido de silicio.

Propiedades	Valores
Densidad, g/cm ³	2.27
Resistividad, $\Omega \cdot \text{cm}$	$\geq 10^{16}$
Permitividad relativa	3.9
Punto de fusión, °C	~1700
Calor específico, J/g-°C	1.0
Conductividad térmica, W/cm-°C	0.014
Coefficiente de expansión térmica, ppm/°C	0.5

- Óxido de silicio (SiO₂): Es un compuesto que aparece de manera natural en la superficie expuesta de la oblea, sin embargo su espesor y velocidad de crecimiento pueden controlarse de manera industrial bajo condiciones de temperatura y humedad específicas. Es utilizado como capa de protección y aislamiento eléctrico entre las regiones activas y capas conductoras que forman a los dispositivos. Permite acoplar diversas capas de material una sobre otra por encima de la superficie de la oblea, extinguiendo casi por completo las posibilidades de corto circuito entre capas y dispositivos. Las propiedades más representativas del óxido de silicio son mostradas en la Tabla 1-5⁸.
- Carburos y nitruros de silicio (SiC, Si₃N₄): Son compuestos altamente resistentes a la oxidación, a las altas temperaturas y a la difusión de otras partículas como el agua o el sodio. Es por esto que suelen utilizarse como materiales de pasivación y protección. En especial el nitruro de silicio es considerado una mascarilla efectiva para el decapado volumétrico profundo en la fabricación de MEMS, protegiendo a los dispositivos del ataque.

- *Capas de materiales disponibles:* Todos los procesos de fabricación estándar se basan en tecnología planar, la cual consiste en generar dispositivos e interconectarlos a través de capas paralelas de materiales apiladas una sobre otra por encima del sustrato. Para hacer efectiva esta técnica se ha desarrollado una gran variedad de procesos fotolitográficos haciendo posible la generación de motivos impresos demarcando las dimensiones de los dispositivos en cada una de las capas y los espacios para las interconexiones entre ellos.
- *Resistividad:* Una de las propiedades físicas más relevantes en la fabricación de electrónica integrada y dispositivos MEMS es la resistividad. Esta propiedad puede ayudar a determinar las dimensiones del dispositivo para efectos de controlar una corriente eléctrica determinada. En otros casos puede determinar incluso el proceso tecnológico necesario para el desarrollo del prototipo. La Tabla 1-6 muestra una clasificación de los materiales en términos de su resistividad⁹.

Tabla 1-6. Resistividad eléctrica en los materiales de fabricación.

Materiales	Resistividad eléctrica aproximada ρ , $\Omega \cdot \text{cm}$	Clasificación
Plata (Ag) Cobre (Cu) Aluminio (Al) Platino (Pt)	10^{-6} $10^{-5.8}$ $10^{-5.5}$ 10^{-5}	Conductor
Germanio (Ge) Silicio (Si) Arseniuro de Galio (GaAs) Fosforo de Galio (GaP)	$10^{-3} - 10^{1.5}$ $10^{-3} - 10^{4.5}$ $10^{-3} - 10^8$ $10^{-2} - 10^{6.5}$	Semiconductor
Óxido de Silicio (SiO_2) Vidrio Diamante Cuarzo	10^9 $10^{10.5}$ 10^{14} 10^{18}	Aislante

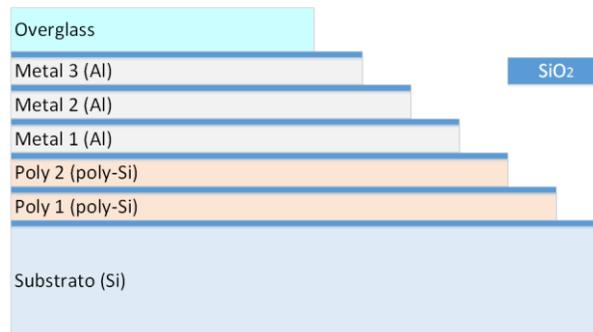


Figura 1-8. Esquema de capas de materiales en el proceso OnSemi C5N de $0.5\mu\text{m}$.

La tecnología OnSemi C5N de MOSIS, es una tecnología 2P3M, en otras palabras, además del sustrato, las capas de óxido aislante, vidrio y pasivación, están disponibles dos capas de polisilicio y tres capas de metal (Al) para utilizarse comúnmente como compuerta del transistor MOS y como pistas conductoras respectivamente, vías y zonas de conexión (pads). La Figura 1-8 muestra un esquema de la distribución de estas capas para esta tecnología.

1.1.3. Compuerta flotante

Lo referente al funcionamiento integral y aplicaciones del transistor de compuerta flotante FGMOS (Floating-Gate MOS) se presenta más adelante en este trabajo dentro del marco del *Capítulo 2: Aspectos teóricos*, sin embargo, en este punto es pertinente resaltar que el término '*compuerta flotante*' (FG) se refiere a una de las terminales del dispositivo que se encuentra aislada eléctricamente del resto del dispositivo, completamente encapsulada dentro material dieléctrico, en este caso, una capa de SiO₂ (dióxido de silicio), ampliamente utilizado en el proceso CMOS estándar.

La versión más comúnmente utilizada de la compuerta flotante implementada con tecnología CMOS estándar consta de dos elementos principales, específicamente, dos compuertas trabajando en conjunto sobre el mismo transistor. La Figura 1-9 (a) nos muestra el símbolo y configuración típica de un transistor MOS convencional. En este dispositivo, el voltaje de umbral está establecido en un valor fijo y la operación en los regímenes de acumulación, inversión débil e inversión fuerte, están gobernados directamente por el voltaje aplicado en la compuerta. Dicha compuerta, preferentemente de silicio policristalino (poly), se encuentra aislada de la región activa del sustrato por una muy delgada capa de SiO₂ en el orden de 40nm llamada *óxido de compuerta* y se considera que su acción sobre el sustrato es directa. Por otra parte, la Figura 1-9 (b) muestra el símbolo y arquitectura de un transistor MOS con compuerta flotante.

En este caso, la compuerta que está próxima a la región activa está igualmente formada por la primera capa de polisilicio del proceso, pero se encuentra aislada del resto del circuito, embebida entre capas de material dieléctrico. Por encima de esta compuerta intermedia o *flotante* se deposita una segunda compuerta ya sea con la segunda capa de polisilicio o con

la primera capa de metal del proceso. Sobre esta segunda compuerta, a la que llamamos *compuerta de control (CG)*, se aplica el voltaje de compuerta deseado por medio de una fuente externa, siempre considerando que la carga atrapada en la compuerta flotante produce un corrimiento en el valor final del voltaje de umbral del transistor, ya sea para disminuir o aumentar el voltaje de umbral externo necesario para alcanzar las mismas condiciones de operación que con el transistor MOS convencional, dependiendo en si la carga atrapada es positiva o negativa. La Figura 1-10 muestra el desplazamiento del voltaje de umbral en la característica de transconductancia del transistor FGMOS para distintos valores de carga en la compuerta flotante. Se considera que la aproximación lineal interseca al eje horizontal en un valor práctico del voltaje de umbral.

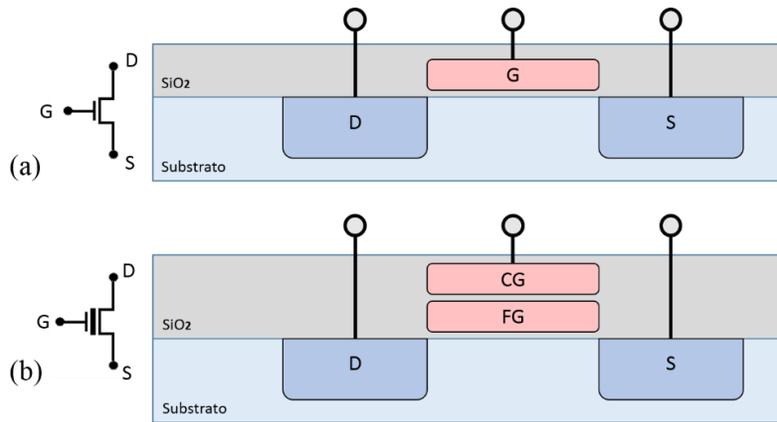


Figura 1-9. Configuración de compuerta en transistor (a) MOS convencional (b) FGMOS.

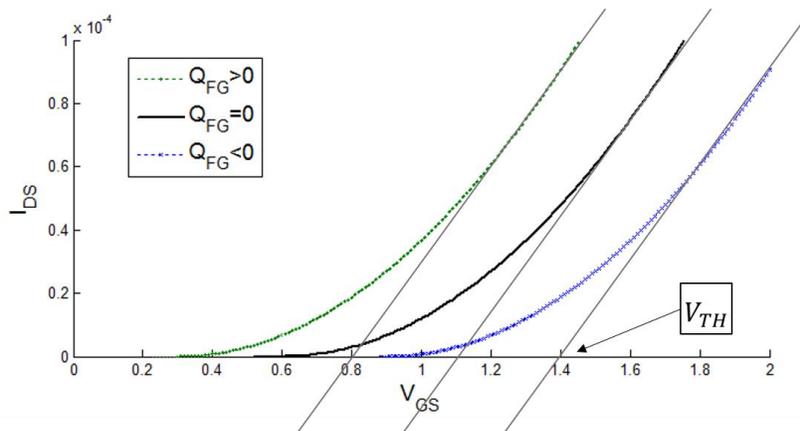


Figura 1-10. Desplazamiento del voltaje de umbral en el FGMOS

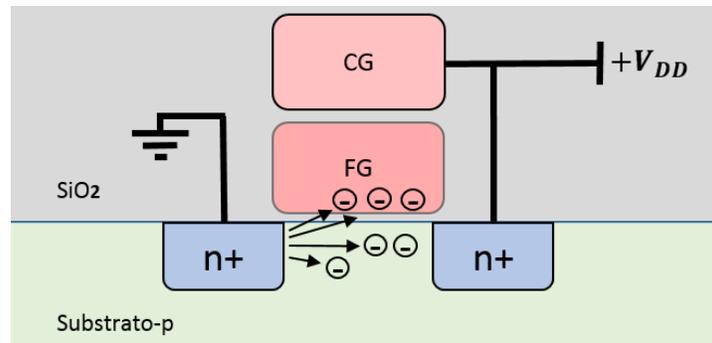


Figura 1-11. Inyección por electrones calientes.

Otra cuestión de interés en este trabajo es el método de carga y descarga de la compuerta flotante. Dos de las más comúnmente utilizadas son la inyección de carga por electrones calientes y la inyección por tunelamiento Fowler-Nordheim. El mecanismo de inyección por electrones calientes (ver Figura 1-11) se logra aplicando diferencias de potencial considerables en las terminales de drenador y compuerta (del orden de 25V)¹⁰, brindándole a las cargas eléctricas que atraviesan el canal la suficiente energía cinética para atravesar el óxido de compuerta. Como es de esperarse, la carga negativa (electrones) es atraída hacia la compuerta aplicando un potencial positivo alto en la misma.

Por otra parte, la Figura 1-12 muestra una simplificación de la configuración típica en un transistor FGMOS con un subsistema de inyección de carga por tunelamiento Fowler-Nordheim. Usualmente la terminal de compuerta flotante se diseña con una extensión más allá de sus dimensiones en el dispositivo para alcanzar una zona de inyección en la cual pueda transferirse carga por medio de una estructura capacitiva con una terminal de voltaje externa. En el punto de inyección se aplica una tensión que provoca el campo eléctrico necesario a fin de producir un tunelamiento Fowler-Nordheim a través del dieléctrico intermedio. Este método permite inducir carga en la compuerta flotante y llevar el potencial eléctrico de la misma hasta el valor deseado si se conocen los parámetros capacitivos de las estructuras de inyección y de compuerta.

La técnica de tunelamiento es efectiva para cargar la compuerta flotante hasta el potencial deseado, sin embargo, la carga que no logra atravesar por completo el material dieléctrico intermedio permanece atrapada siendo de difícil extracción y deteriorando paulatinamente el comportamiento del dispositivo. Más aún, se dice que la inyección por tunelamiento es

autolimitada puesto que conforme la carga eléctrica se incorpora a la compuerta flotante, el voltaje se incrementa ejerciendo una fuerza de repulsión sobre las cargas entrantes. En la Figura 1-13 observamos que cuando el valor de voltaje de inyección se establece la corriente de inyección se detiene debido al equilibrio alcanzado entre el los campos eléctricos del potencial aplicado y de las cargas previamente inyectadas. Efectivas técnicas de carga se han desarrollado mediante pulsos de voltaje a través de estructuras de compuerta cuasi-flotante.

Como parte central de este trabajo y con el objetivo de evitar los inconvenientes del método por tunelamiento, se implementa el diseño y evaluación de un nuevo mecanismo para la carga y descarga de la compuerta flotante de un transistor FGMOS mediante un interruptor electromecánico de dimensiones micrométricas, implementado en las capas de fabricación del proceso CMOS estándar.

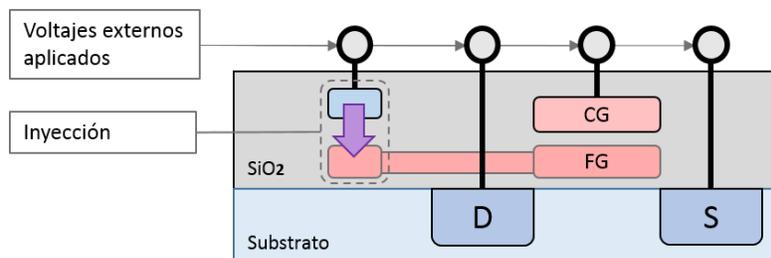


Figura 1-12. Inyección de carga por tunelamiento Fowler-Nordheim.

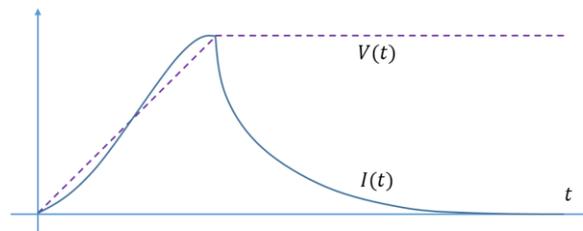


Figura 1-13. Inyección Fowler-Nordheim autolimitada.

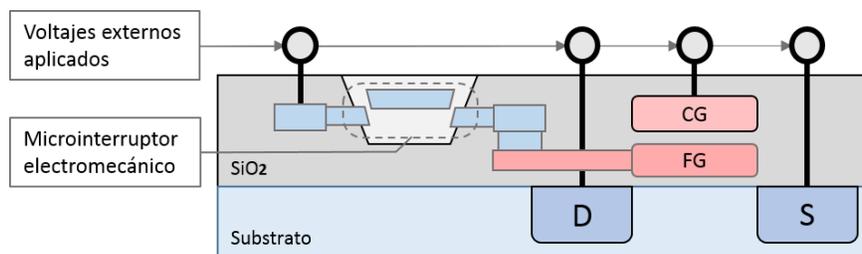


Figura 1-14. Inyección de carga mediante un interruptor electromecánico.

Diseño de un interruptor de RF-MEMS como alternativa para el funcionamiento cuasi-flotante del FGMOS

La Figura 1-14 muestra un esquema simplificado de la arquitectura propuesta, en el cual, la trayectoria de transporte de carga hacia la compuerta puede ser interrumpida por estímulos eléctricos sobre una interfaz mecánica previamente liberada durante un proceso de micromaquinado superficial.

Alternativamente, la propuesta podría aplicarse hacia el concepto cuasi-flotante del FGMOS, con el cual se precarga transitoriamente la compuerta flotante con un voltaje que ayude a cumplir una función determinada, como se hizo en *Sensor inteligente de imágenes en tecnología CMOS con aplicaciones en robótica*¹¹ y *Red Neuronal celular programable en tecnología CMOS*¹² procedimientos similares fueron también aplicados y detallados en *Very low-voltage analog signal processing based on quasi-floating gate transistors*¹³, *A new family of very low-voltage analog circuits based on quasi-floating-gate transistors*¹⁴ y *Tunable linear MOS resistors using quasi-floating-gate techniques*¹⁵. En estos trabajos, se emplea un transistor MOS convencional como interruptor, el cual conecta momentáneamente a la compuerta flotante con una fuente de CD para establecer un voltaje inicial de tal forma que se lleva al FGMOS hacia un punto de operación apropiado para cumplir una función en particular. Sin embargo, una desventaja de esta aproximación es que al compartir un mismo sustrato el transistor MOS convencional y el FGMOS, se tiene una trayectoria de fuga por lo que la precarga se tiene que refrescar continuamente mientras se esté operando la celda correspondiente. Esto podría evitarse con interruptor mecánico que abra completamente la trayectoria de fuga y elimine la necesidad del refrescamiento del voltaje cuasi-flotante. La precarga podría realizarse también transitoriamente y esta función se propone hacer con un interruptor similar a los interruptores RF MEMS. Quizá la desventaja que se tendría sería el área empleada para la implementación del interruptor pero no se requerirían circuitos de refrescamiento. Los interruptores RF MEMS originalmente son diseñados para transmitir señales de muy altas frecuencias (del orden de MHz) y en el estudio que se propone en este trabajo se trabajaría a frecuencias muy por debajo de los límites que exigen las aplicaciones en comunicaciones.

1.1.4. Micromaquinado

La característica principal que distingue a los MEMS de entre los dispositivos microelectrónicos es que utilizan estructuras tridimensionales con funciones no sólo electrónicas sino mecánicas y térmicas, por mencionar algunas. Dichas estructuras

tridimensionales se encuentran formando parte del circuito integrado pues comparten la oblea y los materiales de las capas depositadas sobre la misma. En principio, el circuito integrado puede ser funcional y trabajar con señales electrónicas analógicas, digitales o mixtas. Sin embargo, para que un sistema microelectrónico sea considerado como MEMS se requiere generar una estructura tridimensional adyacente, para lo que es preciso aplicar un proceso de micromaquinado, es decir, retirar el material alrededor de nuestra patrón geométrico de interés para aislar la estructura ya sea mecánica o térmicamente del sustrato y con respecto a las demás capas de material.

El proceso de micromaquinado, como método para remover material se presenta en dos variantes generales que atacan ya sea al sustrato o a los materiales depositados en el mismo para lograr diferentes aplicaciones. En otras palabras, la estructura resultante puede clasificarse según haya sido eliminado material en el sustrato o en las capas superiores. La Tabla 1-7 presenta una comparativa entre los procesos de micromaquinado considerando sus aplicaciones.

Tabla 1-7. Micromaquinado volumétrico vs. micromaquinado superficial.

Proceso de micromaquinado	Ataque	Objetivo
Volumétrico (ver Figura 1-15)	Sustrato de silicio cristalino	Generar espacios abiertos y membranas por debajo de la superficie de trabajo del sustrato.
Superficial (ver Figura 1-16)	Capas de óxido de silicio, polisilicio y metales	Generar membranas, vigas y resortes con los materiales de las capas depositadas sobre la superficie del sustrato.

Tabla 1-8. Micromaquinado: Ataque seco vs. ataque húmedo.

Parámetro	Ataque seco	Ataque húmedo
Direccionalidad	Buena para la mayoría de los materiales	Relación de hasta 100:1 únicamente en materiales monocristalinos
Producción automática	Buena	Pobre
Impacto ambiental	Bajo	Alto
Adherencia de la mascarilla	No crítica	Muy crítico
Selectividad	Pobre	Muy bueno
Materiales removibles	Sólo ciertos materiales	Todos
Escalabilidad del proceso	Difícil	Fácil
Limpieza del proceso	Condicionada	Muy bueno
Control dimensional crítico	Muy bueno (<0.1µm)	Pobre
Costo de equipamiento	Alto	Relativamente bajo
Velocidad típica de ataque	Baja (0.1 – 0.6µm/min)	Rápido (>1µm/min)
Parámetros operativos	Muchos	Pocos
Control sobre la velocidad de ataque	Bueno en caso de ataque lento	Difícil

Diseño de un interruptor de RF-MEMS como alternativa para el funcionamiento cuasi-flotante del FGMOS

Otra forma de clasificar a los procesos de micromaquinado es por su método de ataque o decapado, que puede ser húmedo o seco, es decir, eliminar material por medio de reacción química con soluciones líquidas o por procesos físicos en ambientes de gas y plasma respectivamente. Las comparativas entre los parámetros del proceso de decapado se presentan en la Tabla 1-8¹⁶.

El micromaquinado volumétrico tiene como propósito eliminar material del sustrato cristalino y puede aplicarse ya sea por la superficie superior (donde se depositan los otros materiales) con la intención de crear cavidades o por la cara inferior con el objetivo de crear membranas delgadas de silicio en la cercanía de la región activa, como se muestra en la Figura 1-15. El micromaquinado volumétrico suele ser un decapado húmedo con distintas soluciones reactivas que atacan a la red cristalina de silicio.

Esta cualidad cristalina del sustrato produce que el decapado sea anisotrópico en muchos de los casos, es decir, la velocidad de ataque varía según la orientación de la red, teniendo direcciones preferentes en las que el material se disuelve con mayor velocidad. En el presente trabajo así como en la mayoría de las aplicaciones académicas, se trabaja con sustratos de silicio cristalino tipo p, cuya superficie activa coincide con el plano (100) de la red. Los reactivos más comúnmente utilizados atacan al silicio y sus compuestos en la dirección preferencial con las velocidades mostradas en la Tabla 1-9¹⁷:

Los compuestos más utilizados como decapantes para el silicio y sus compuestos son el hidróxido de potasio (KOH), el etilendiamina y pirocaterol (EDP), el hidróxido de tetrametil amonio (TMAH) y la hidracina. Suelen utilizarse en solución 1:1 por peso con agua. En contraste, el micromaquinado superficial, procura mantener intacto al sustrato y genera microestructuras por encima de la superficie depositando materiales de la tecnología estándar apilados uno sobre otro, usualmente intercalados con capas conocidas como de sacrificio, las cuales generalmente son de óxido de silicio (SiO_2). La capa de sacrificio provee un soporte mecánico inicial para generar las estructuras metálicas o semiconductoras deseadas. Después, mediante procedimientos fotolitográficos y de decapado, se elimina la capa de sacrificio liberando de esta forma la estructura del microsistema, generalmente en forma de membranas o vigas suspendidas por encima del sustrato, como se aprecia en la Figura 1-16. Para fines de

este trabajo se utilizará el micromaquinado superficial como método para liberar actuadores con características de membranas y resortes metálicos¹⁸.

1.2. Aplicaciones y estado del arte

La tecnología MEMS surge como un derivado de la tecnología CMOS estándar, la cual predomina actualmente en la industria electrónica, sin embargo, es preciso remarcar que los avances particulares de la tecnología microelectromecánica han logrado tener hoy en día una industria plenamente dedicada a su desarrollo, excluyendo incluso algunos de los factores más representativos del proceso CMOS que los vio nacer.

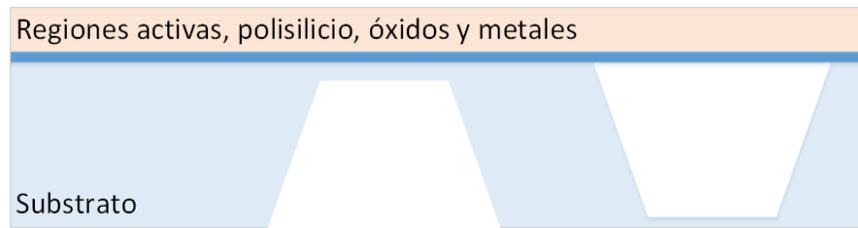


Figura 1-15. Esquema de cavidades en el micromaquinado volumétrico.

Tabla 1-9. Velocidad de ataque en el micromaquinado volumétrico

Material	Decapante	Velocidad de ataque
Silicio (100)	KOH	0.25 – 1.4 $\mu\text{m}/\text{min}$
	EDP	0.75 $\mu\text{m}/\text{min}$
Óxido de silicio	KOH	40 – 80 nm/h
	EDP	12 nm/h
Nitruro de silicio	KOH	5 nm/h
	EDP	6 nm/h



Figura 1-16. Esquema del micromaquinado superficial.

Más aún, en la actualidad los interruptores MEMS de tipo membrana se han desplegado a lo largo de la tecnología MOS de comunicaciones como un medio efectivo para el conmutado y control de señales de radiofrecuencia. Diversos dispositivos clasificados como RF-MEMS han sido descritos en la literatura principalmente por su desempeño en operación a altas frecuencias y su bajo consumo energético.

La gran mayoría de las aplicaciones de conmutación y filtrado de señales de radiofrecuencia basan su funcionamiento en el varactor electromecánico tipo shunt descrito en la sección 1.5 Elementos capacitivos del presente trabajo. Sin embargo, existen diversos desarrollos reportados en el que una línea de transmisión entra y sale del modo de conducción por medio de contacto mecánico como en el sistema aquí propuesto. De manera general, las características que respaldan el uso de interruptores microelectromecánicos de radiofrecuencia y suman a su viabilidad como dispositivo comercial son las siguientes¹⁹:

- Alta linealidad – En comparación con los interruptores de estado sólido, los interruptores MEMS convencionales han mostrado una linealidad hasta mil veces mayor.
- Alto aislamiento – Por definición los interruptores electromecánicos tipo membrana consisten de una separación de aire entre los extremos de la línea de transmisión durante el estado off, esto garantiza una capacitancia parásita acoplada de muy pequeña y nulo flujo de corriente.
- Relativo bajo costo – Costo comparable o menor a su versión macroscópica representada por los relevadores mecánicos, sin embargo, aún mucho mayor que su contraparte de estado sólido.
- Diseño simplificado – En relación con los relevadores macroscópicos, el área de diseño requerida se reduce significativamente al no requerirse inductores ni polarización mediante un flujo de corriente directa.
- Bajo consumo de potencia – Dada su naturaleza y estructura, de manera ideal los interruptores de actuación capacitiva no consumen corriente y, a pesar de los altos potenciales de actuación y circuitería requeridos su consumo es menor que el de los interruptores tipo diodo.

Cabe resaltar también las desventajas más significativas de los interruptores microelectromecánicos, las cuales se presentan principalmente en comparación con sus equivalentes de estado sólido:

- Baja velocidad de conmutación – Por su naturaleza mecánica la frecuencia máxima de operación es muchas veces menor que aquella para los transistores e interruptores de estado sólido.
- Baja confiabilidad – Si bien el desarrollo continúa y la confiabilidad va en ascenso día con día, los interruptores con elementos micromecánicos tienden a fallar en una mucho mayor proporción que sus similares de funcionamiento totalmente electrónico.

En *Design of Multi-actuation RF MEMS Switch Using CMOS Process* (Lee, Ko, & Huang, 2008) se muestra un interruptor RF MEMS capacitivo actuado por fuerza electro térmica y electrostática de manera simultánea. Una vez obtenido el desplazamiento deseado, el sostenimiento del mismo se realiza únicamente por fuerza de atracción electrostática utilizando un voltaje y consumo de potencia relativamente bajos.

El dispositivo mostrado en la Figura 1-17 (a) fue fabricado en la tecnología CMOS estándar 2P4M de $0.35\mu m$ y se le aplicó un post-proceso para la liberación de la estructura que consiste de una guía de onda coplanar (CPW) y una membrana sujeta por elementos de resorte en la capa de Metal 4.

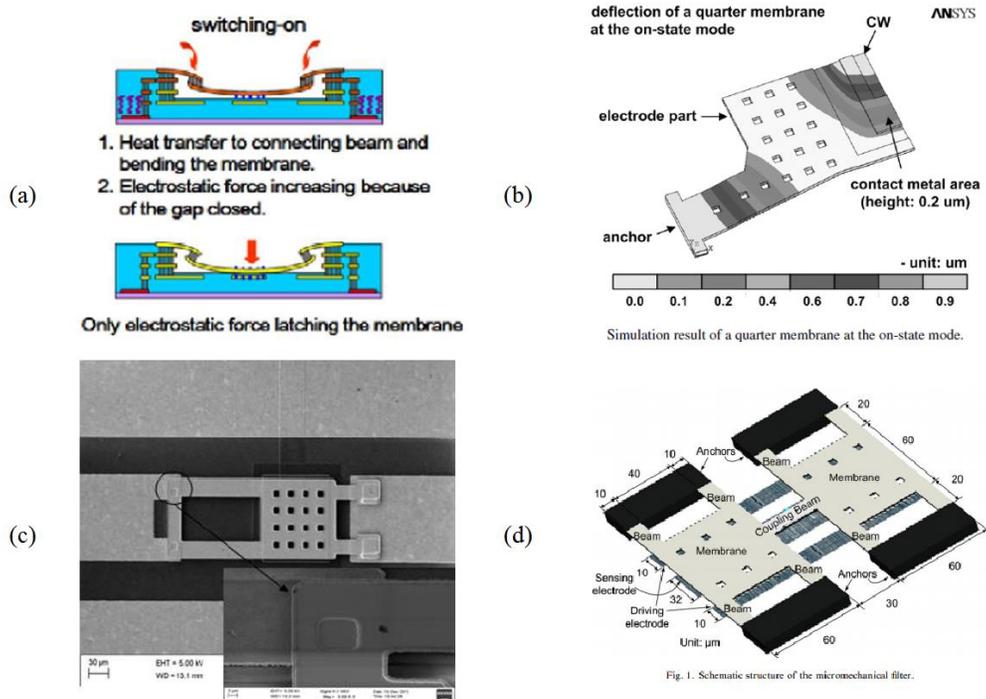


Figura 1-17. Reportes de la literatura en RF-MEMS.

En este esquema se obtiene ventaja de la expansión térmica que por efecto Joule se presenta en la membrana para dar un impulso inicial al desplazamiento. Por su parte, en el artículo *A Low-Loss Single-Pole Six-Throw Switch Based on Compact RF MEMS Switches* (Lee, Je, Kang, & Choi, 2005) introducen un multi-interruptor de un polo y seis tiros de contacto metálico implementado en un área menor a 1mm^2 y con parámetros de aislamiento e inserción del orden de -30.6dB y -0.1dB respectivamente, en operación hasta 20GHz . La Figura 1-17 (b) muestra una simulación multifísica simétrica de la membrana y su elemento de resorte asociado. Contribuyendo al estudio de los RF-MEMS como elementos de conmutación, *Fabrication and characterization of RF MEMS high isolation switch up to X-band* (Dey, Parihar, & Koul, 2013) presenta avances recientes en el desarrollo de un microactuador acoplado a una CPW y alcanzando de manera experimental una característica de aislamiento del orden de -60dB en frecuencias de hasta 12GHz . Una microfotografía SEM del actuador en cantiléver se presenta en la Figura 1-17 (c). Más allá de los microinterruptores de guías de onda coplanar, una manera de aislar señales de alta frecuencia es por medio de filtros como el presentado en *Simulation and fabrication of HF microelectromechanical bandpass filter* (Dai, Chiang, & Chang, 2007) donde la Universidad Nacional Chung Hsing y el Centro de Tecnología RFID de Taiwan exponen el microfiltro pasabanda de la Figura 1-17 (d) fabricado en dimensiones del orden de $150\mu\text{m}$ dentro de la tecnología CMOS estándar de $0.35\mu\text{m}$ y de probada eficiencia en una señal base de 39.6MHz , la cual puede ser aprovechada en aplicaciones de radiofrecuencia comunes.

Cabe señalar que los desarrollos aquí citados, así como la gran mayoría de las aplicaciones industriales suman esfuerzos en el control, modulación y transmisión de señales de radiofrecuencia, todas ellas en frecuencias comerciales y de alta velocidad de transferencia de datos, sin embargo, el presente trabajo busca implementar la arquitectura RF-MEMS en las tareas de control, carga y descarga del potencial eléctrico de la compuerta flotante de un transistor FGMOS, elaborando diseños y simulaciones físicas dentro del marco de la tecnología CMOS estándar de $0.5\mu\text{m}$ y combinando las experiencias previas del grupo de investigación como los son *Sensor Inteligente de Imágenes en Tecnología CMOS, con Aplicaciones en Robótica* (Ponce-Ponce, 2005) y *Red Neuronal Celular Programable en Tecnología CMOS* (Molinar-Solis, 2006) con algoritmos de control probados para el

sostenimiento del potencial flotante como lo es *Clock-Controlled Neuron-MOS Logic Gates* (Kotani, Shibata, Imai, & Ohmi, 1998) donde un esquema de sincronía refresca de manera periódica la carga presente en la compuerta flotante y permite a sistemas de funcionamiento cuasi-flotante desarrollar tareas de almacenamiento no volátil.

1.3. MEMS electrostáticos

La gran mayoría de los MEMS en uso comercial pueden clasificarse por el tipo de energía que se intercambia para obtener la señal de información, es decir, el tipo de fuerza que se ejerce hacia o desde el sensor o actuador principal:

- Fuerzas Electrostáticas,
- Fuerzas Magnéticas,
- Fuerzas Térmicas y
- Fuerzas Piezoeléctricas.

En el mercado y la industria dominan principalmente los MEMS de fuerzas electrostática y electotérmica y se hacen presentes en una amplia variedad de aplicaciones. Por otra parte los MEMS de principios piezoeléctricos, si bien son utilizados de manera masiva, sus aplicaciones son relativamente pocas y bastante específicas. Por último, los MEMS de propiedades magnéticas, son por el momento objeto de estudio más que de aplicación práctica, debido a su dificultad en la fabricación de bobinas y elementos magnetostáticos en la tecnología planar actual de fabricación de semiconductores.

Es de nuestro interés analizar las características de consumo de energía, potencia, eficiencia mecánico-eléctrica y optimización de los microsistemas electrostáticos, para lo que es fundamental conocer cómo las magnitudes físicas y fenómenos que afectan al mundo macroscópico, se modifican en función del tamaño de los sujetos de prueba, en este caso, para dimensiones y cuerpos masivos micrométricos. En general, la física tiene un comportamiento distinto a micro-escala y los dispositivos y sistemas microelectromecánicos deben basarse en principios de operación diferentes a los de su contraparte macroscópica.

El intercambio de energía en un sistema microelectromecánico electrostático se da a través de la fuerza electrostática presente entre ambas superficies conductoras de un capacitor. En la tecnología MEMS, estos capacitores se forman con combinaciones de las capas

conductoras, semiconductoras y dieléctricas disponibles durante el proceso de fabricación. En un capacitor de características convencionales, cuando un campo eléctrico aparece entre las terminales conductoras, se hace presente un esfuerzo de compresión o expansión en el dieléctrico intermedio, lo que puede llevar a deformaciones e incluso ruptura mecánica. Por otra parte, existe un estrés eléctrico debido al campo, el cual puede insertar carga en el dieléctrico alterando el comportamiento del dispositivo y en algunos casos la destrucción del mismo por corriente eléctrica excesiva.

En una gran variedad de aplicaciones de los dispositivos MEMS, los dieléctricos propios de la tecnología de fabricación, tales como el óxido de silicio, se sustituyen por aire o vacío, permitiendo así que en presencia de un potencial y su respectivo campo eléctrico, las partes del capacitor o alguna de ellas se muevan libremente, esto es, convertir el potencial eléctrico en un desplazamiento mecánico. Una desventaja de los dispositivos de actuación capacitiva, en especial de los capacitores de franja lateral, es que requieren de tensiones eléctricas elevadas para lograr un desplazamiento considerable de sus elementos mecánicos. Sin embargo, hay un límite del campo eléctrico máximo que el capacitor y el dieléctrico intermedio pueden soportar sin caer en una condición de ionización, donde el medio dieléctrico se vuelve conductivo inhabilitando al dispositivo.

En medios gaseosos como el aire y a separaciones muy pequeñas, este valor máximo de campo eléctrico crece rápidamente e inversamente proporcional a la distancia entre las placas del capacitor puesto que las moléculas bajo influencia del campo no alcanzan la velocidad de ionización en avalancha. La curva de Paschen²⁰ es un análisis del valor crítico de voltaje que se puede aplicar en una estrecha separación dieléctrica. Por debajo de esta curva se previenen los efectos de avalancha y es preciso notar que a separaciones mínimas las cargas no tienen espacio para alcanzar la ionización en avalancha y por tanto un campo eléctrico mayor es requerido para la ruptura. La Figura 1-18 nos muestra que en aire a presión atmosférica, el voltaje de ruptura en una separación dieléctrica de $5\mu m$ es de aproximadamente $200V$, por tanto, se considera un campo eléctrico en el orden de $4 \times 10^7 V/m$ el cual es mínimo y puede aumentar súbitamente para separaciones menores.

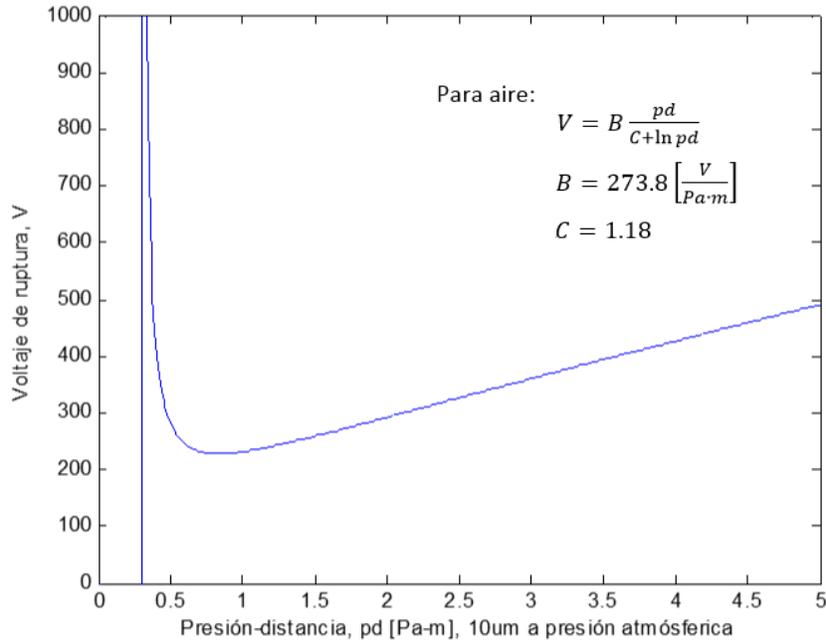


Figura 1-18. Curva de Paschen para el aire a presión atmosférica: el factor pd [Pa·m] representa en el eje horizontal múltiplos de una separación d (10 μ m) a una presión p (aire a presión atmosférica).

En vacío y para separaciones extremadamente pequeñas, es imposible obtener un escalamiento generalizado para los actuadores electrostáticos, sin embargo, resulta evidente que la relación fuerza-masa se incrementa conforme las dimensiones de los dispositivos decrecen, siendo esto una ventaja en el uso de microactuadores electrostáticos en la tecnología MEMS.

1.4. Reglas de escalamiento

Las reglas de escalamiento nos permiten analizar cómo determinado fenómeno físico afecta a un cuerpo o sustancia en función de otros parámetros como lo pueden ser sus dimensiones físicas. Un ejemplo práctico del análisis de escala es la relación superficie-volumen. Dado que la superficie A de un cuerpo es proporcional a l^2 y su volumen V lo es a l^3 , donde l es cada una de las dimensiones del cuerpo, se puede ver que $A/V \sim l^{-1}$, es decir, los efectos de la superficie se vuelven predominantes conforme la dimensión l se reduce. Es por estos efectos superficiales que pequeñas partículas y organismos pueden fácilmente adherirse a las superficies o quedar suspendidos en el aire venciendo a las fuerzas de gravedad.

Es oportuno resaltar que fuerzas como la viscosa, que crece junto con la superficie y en medios como el aire a nivel macroscópico parece ser despreciable, en mecanismos micrométricos puede generar un sobre-amortiguamiento, ocasionando pérdidas en la frecuencia de operación del sistema.

1.5. Elementos capacitivos

La fuerza mecánica presente dentro de una estructura capacitiva se debe a la atracción electrostática entre las cargas en cada extremo del dispositivo. En ausencia de una restricción mecánica, dichas fuerzas pueden provocar el desplazamiento de los elementos cargados, fenómeno que permite la integración de dispositivos de uso comercial como lo son acelerómetros, giroscopios y microespejos. Por otra parte, una nueva rama de aplicaciones se está desarrollando en el área de la radiofrecuencia, donde estas propiedades mecánicas se aprovechan en forma de resonadores, interruptores y varactores. Es pertinente en este punto y para fines de posterior análisis introducir algunas de las arquitecturas más representativas empleadas como interruptores microelectromecánicos actuados por fuerzas electrostáticas.

Primeramente, en la Figura 1-19²¹ hacemos distinción entre dos tipos de interrupción capacitiva de una línea de transmisión. La Figura 1-19 (a) corresponde a un interruptor capacitivo tipo *shunt* la cual permite o restringe el paso de una señal de corriente alterna en función de su frecuencia y de la impedancia capacitiva del interruptor, el cual se comporta como un varactor. De igual manera, la Figura 1-19 (b) muestra un interruptor capacitivo *ohmico*, en el cual el interruptor cierra la línea de transmisión por contacto directo, desplazándose a través de todo el espacio dieléctrico. Dados los ejemplos más habituales de interruptores electrostáticos, se presentan en la Figura 1-20 las principales variedades de transductores electrostáticos para lograr dicho funcionamiento. Dichos transductores entregan un desplazamiento mecánico cuando entre sus terminales se presenta una tensión eléctrica. La Figura 1-20 (a) es una representación del capacitor lateral tipo peine (*comb-drive*) el cual se manufactura a partir de una misma capa de material dentro del dispositivo, es decir, ambos peines son coplanares y el desplazamiento del peine móvil respecto al peine fijo se debe a la fuerza capacitiva lateral presente en el espacio interdigitado de los peines. Por otra parte, la Figura 1-20 (b) y (c) muestran dos variantes del interruptor de membrana suspendida por dos y cuatro resortes respectivamente.

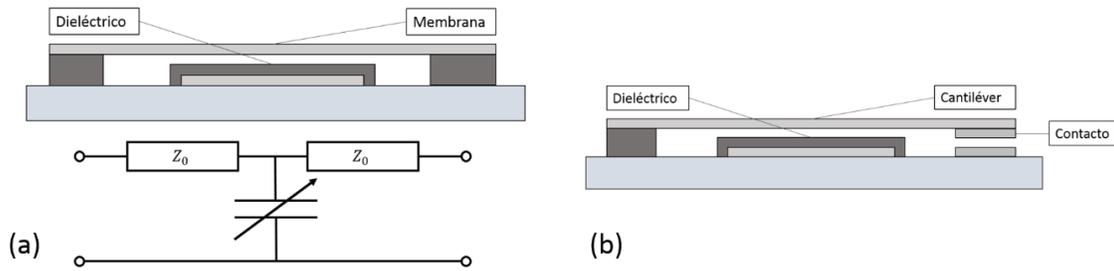


Figura 1-19. Interruptores electrostáticos (a) tipo shunt y circuito eléctrico equivalente, donde Z_0 es la impedancia de la línea de transmisión, (b) tipo óhmico en configuración cantiléver.

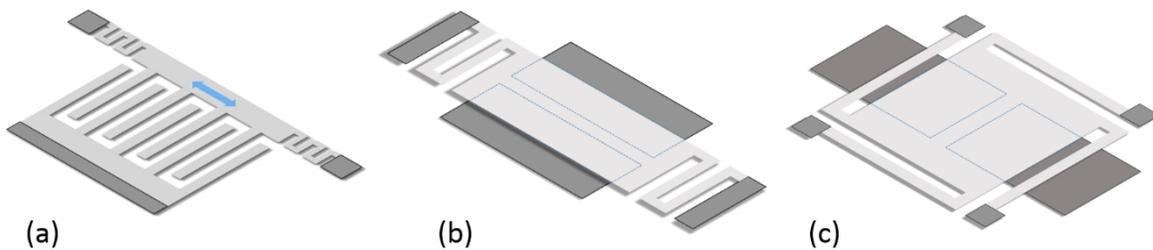


Figura 1-20. Transductores capacitivos (a) tipo peine [comb-drive], (b) membrana rectangular con dos resortes, (c) membrana cuadrada con cuatro resortes.

En este caso, la estructura capacitiva se conforma con una línea de transmisión fija, espacio abierto (dieléctrico) previamente micromaquinado y una membrana metálica suspendida de manera rígida por medio de vigas en la misma capa superior de material. Como se analiza más adelante en diversos puntos de este trabajo, ya sea el peine móvil o la membrana, con sus respectivas vigas de soporte, actúan como un sistema masa-resorte del cual se pueden extraer parámetros como la constante elástica k y por tanto, la fuerza de restauración del sistema.

1.5.1. Estructuras capacitivas básicas

En general, un capacitor²² es un dispositivo eléctrico que consta de dos o más terminales conductoras separadas por un medio dieléctrico. Dicho dieléctrico, que puede ser también aire o vacío; es atravesado por las líneas de flujo del campo eléctrico que aparece entre las terminales conductoras cuando éstas se someten a una diferencia de potencial. La operación

de elementos capacitivos ofrece un fenómeno de almacenamiento de energía, en este caso un almacenamiento de potencial eléctrico, debido a que se induce una fuerza de atracción sobre las cargas acumuladas en cada terminal pues éstas son de signo contrario. Cuando la diferencia de potencial entre las terminales sufre cambios o es retirada, bajo los efectos de esta fuerza de atracción, la redistribución de las cargas a lo largo del conductor hacia el equilibrio se ve amortiguada. Para efectos de este trabajo, se considera a un capacitor básico como dos superficies conductoras portadoras de carga y a los sistemas capacitivos más complejos (unión MOS, FGMOS, etc.) como superposiciones de capacitores básicos. Si bien existen diversas estructuras capacitivas, incluso con geometrías irregulares, la Figura 1-21 muestra la estructura capacitiva más común y en cuyo funcionamiento se basan las estructuras presentadas en este trabajo.

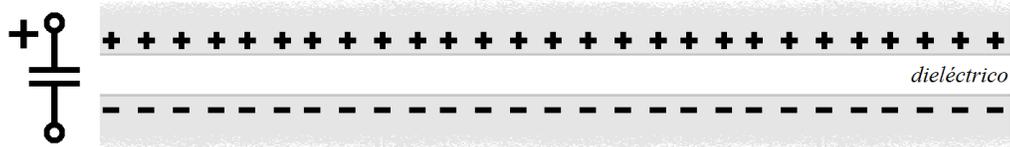


Figura 1-21. Símbolo y distribución de cargas en un capacitor de placas paralelas.

Tabla 1-10. Principales características del capacitor de placas paralelas.

Características principales del capacitor de placas paralelas	Descripción y notación
Como en todo medio conductor, la carga eléctrica se encuentra uniformemente distribuida a lo largo de la superficie de las terminales conductoras y en cantidades iguales de cargas contrarias a cada extremo del dispositivo. Por lo tanto, la densidad de carga superficial ρ_s equivale a la carga total Q distribuida sobre toda la superficie S .	$\rho_s = \frac{Q}{S}$
El campo eléctrico fluye de las cargas positivas a las negativas con una intensidad igual a la razón entre la densidad de carga superficial ρ_s y la permitividad eléctrica ϵ .	$\vec{E} = -\frac{\rho_s}{\epsilon} \hat{a}_x$
Para un capacitor cuyas dimensiones de área son mucho mayores que la separación d entre sus placas pueden desprejarse los efectos de borde y el potencial eléctrico presente en las terminales conductoras puede obtenerse como la integral de las líneas de campo a través de la trayectoria normal a las placas.	$V = -\int_0^d E \cdot dl = \frac{Qd}{\epsilon S}$
La capacitancia C de un capacitor se define como la razón entre la magnitud de la carga en una de las placas y la diferencia de potencial entre ellas.	$C = \frac{Q}{V} = \frac{\epsilon S}{d}$
Para un dieléctrico dado, la permitividad relativa ϵ_r puede hallarse relacionando su capacitancia con la de un capacitor de iguales dimensiones pero con el vacío (o aire) como dieléctrico.	$\epsilon_r = \frac{C}{C_0}$
La energía almacenada, en este caso el trabajo eléctrico W_E obtiene integrando las contribuciones puntuales del campo eléctrico E y considerando la simetría del sistema. ²³	$W_E = \frac{1}{2} \int \epsilon E^2 dv = \frac{1}{2} CV^2$

Diseño de un interruptor de RF-MEMS como alternativa para el funcionamiento cuasi-flotante del FGMOS

La Tabla 1-10 engloba las principales características²⁴ que se consideran para la posterior propuesta y diseño tanto del interruptor capacitivo como de la estructura de compuerta flotante en el transistor FGMOS.

Es pertinente también considerar que el funcionamiento de un capacitor se deteriora cuando la carga eléctrica queda atrapada dentro del dieléctrico intermedio, ya sea por defectos de fabricación o tunelamiento cuando se le somete a grandes diferencias de potencial en sus terminales. Podemos decir que el principio de funcionamiento de la compuerta flotante en un transistor FGMOS tradicional se basa en una ruptura y tunelamiento controlados de las estructuras capacitivas que se forman entre las capas de material de la tecnología CMOS estándar, sin embargo, debido a los relativamente altos voltajes que se requieren para atravesar el aislamiento de óxido de silicio, las probabilidades de carga acumulada en el dieléctrico aumentan significativamente y el funcionamiento del dispositivo se deteriora rápidamente junto con el desplazamiento del voltaje de umbral. Es propósito de este trabajo proponer alternativas al método de carga y descarga de la compuerta flotante, cambiando el método de tunelamiento, por una trayectoria conductora móvil, la cual permita o interrumpa el paso de carga eléctrica sin necesidad de que ésta atraviese capas de dieléctrico para llegar a su destino de almacenamiento.

1.5.2. Sistema masa-resorte

A fin de incluir un análisis integral del comportamiento de microinterruptor, es necesario contemplar las fuerzas mecánicas que se presentan sobre él. Si bien el sistema es actuado mediante una fuerza electrostática la cual produce desplazamiento, existe una fuerza elástica de restauración en las vigas que sostienen al micro interruptor por encima de la línea de transmisión. Como se expuso en la Figura 1-20 y para efectos de análisis mecánico, la membrana y sus respectivas vigas de soporte se pueden reducir a un sistema masa resorte en equilibrio, donde un resorte con constante elástica k representa el efecto combinado de todas las vigas involucradas; la Figura 1-22 muestra una representación genérica de la estructura capacitiva de membrana y su sistema mecánico equivalente. Sin embargo, se pretende aplicar una diferencia de potencial eléctrico entre ambas terminales de la estructura capacitiva, por lo que un nuevo punto de equilibrio aparece y se muestra en la Figura 1-23, donde los efectos gravitacionales sobre la masa de la membrana son despreciables.

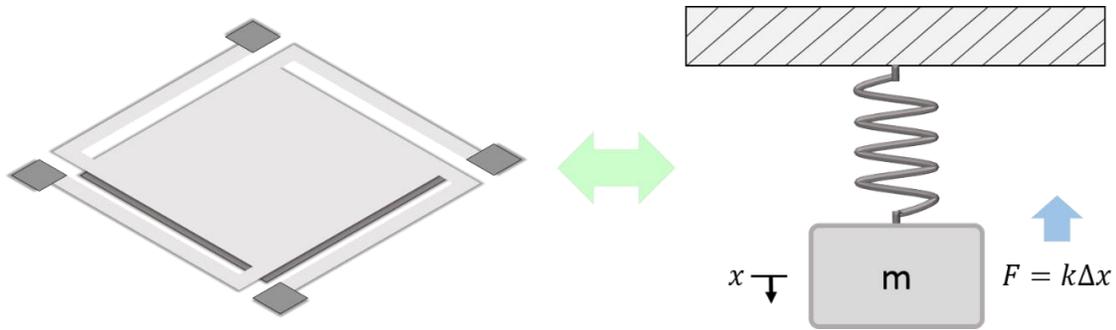


Figura 1-22. Estructura capacitiva suspendida y sistema mecánico equivalente.

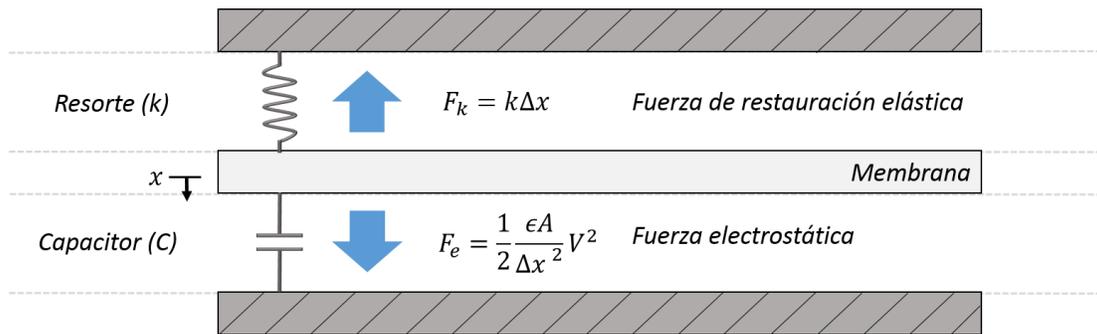


Figura 1-23. Equilibrio entre las fuerzas elástica y electrostática.

Estas fuerzas en equilibrio y los principios de actuación electrostática se analizan a profundidad en el capítulo 2 del presente trabajo.

1.5.3. Simulación multifísica

Como parte de este capítulo introductorio, se presenta también un paquete de software para simulación multifísica por el método de elemento finito. Este paquete permite la integración de variables físicas de distintos ámbitos como lo son mecánica de materiales, esfuerzos y deformaciones, condiciones de temperatura y campos electromagnéticos. Todos ellos interactuando sobre la misma muestra de material, previamente mallada para su análisis punto a punto. En el caso particular de este trabajo, se realizan simulaciones de deformación mecánica por efecto de campo eléctrico utilizando el módulo de electromecánica de la suite *COMSOL Multiphysics*®²⁵ en su versión 4.4. Como se muestra en la Tabla 1-11 y en el capítulo 4 del presente trabajo, se evalúa el desempeño de las estructuras propuestas mediante los siguientes estudios:

Tabla 1-11. Simulación multifísica.

Tipo de Análisis	Módulo	Resultados previstos
Mecánico Estudio estacionario	Electromechanics	<ul style="list-style-type: none"> ▪ Desplazamiento en función de la geometría propuesta. ▪ Constante elástica k equivalente.
Electromecánico Estudio estacionario	Electromechanics	<ul style="list-style-type: none"> ▪ Desplazamiento en función del potencial aplicado. ▪ Voltaje mínimo de operación ▪ Voltaje mínimo de sostenimiento
Electrotérmico Estudio estacionario	Heat Transfer (Joule Heating)	<ul style="list-style-type: none"> ▪ Incremento de temperatura por efecto Joule ▪ Deformación por efecto Joule

Estos resultados conjugados con el análisis teórico y la simulación SPICE convencional generan un panorama integral sobre el desempeño del dispositivo. De esta manera puede establecerse cada arquitectura y estructura del interruptor propuesta como apropiada o no apropiada para cada una de las condiciones de operación que la aplicación de carga y descarga de compuerta flotante en transistores FGMOS sugiere.

1.6. Conclusiones del capítulo

En este capítulo se realizó un acercamiento a los objetivos del trabajo de tesis. Se toman como base los antecedentes históricos y conocimientos fundamentales de la tecnología de semiconductores para lo que en los próximos capítulos será la propuesta de un prototipo dispositivo de actuación microelectromecánica.

De los tópicos relacionados con la tecnología de fabricación, se resuelve que la tecnología C5N (antes AMIS 0.5) es adecuada para efectos del desarrollo de un MEMS actuado por fuerza electrostática fabricado por micromaquinado superficial.

De la revisión bibliográfica se obtienen las ecuaciones pertinentes para plantear ejercicios de simulación multifísica vía software. Este juego de simulaciones que se presentarán en el capítulo 4 viene a reforzar el trabajo teórico del capítulo 2 brindando seguridad para emprender los procesos de fabricación y caracterización futuros.

En conjunto, el capítulo presenta las herramientas para clasificar apropiadamente al dispositivo propuesto, así como ubicarlo adecuadamente en alguno de los nichos de aplicación académica e industrial que se desarrollan en la actualidad.

¹ (SparkFun, 2009) SparkFun Triple Axis Accelerometer Breakout - ADXL345
<https://www.sparkfun.com/products/9836>

² (Hsu, 2002) Hsu, Tai-Ran – MEMS & MICROSYSTEMS: Design and Manufacture, Intl. Edition 2002 pp.2-3
ISBN:0-07-113051-9

³ (FemtoTools, 2011) <http://www.femtotools.com/index.php?id=applications-handling-sem>

⁴ (Hsu, 2002) p. 12

⁵ <https://www.mosis.com/vendors/view/on-semiconductor/c5>

⁶ (MOSIS.com, 2015)

⁷ (Hsu, 2002) pp. 235-250.

⁸ (Hsu, 2002) p. 248.

⁹ (Hsu, 2002) p. 237.

¹⁰ (Baker, 2005) p.468.

¹¹ (Ponce-Ponce, 2005)

¹² (Molinar-Solis, 2006)

¹³ (Ramirez-Angulo, Lopez-Martin, Carvajal, & Chavero, 2004)

¹⁴ (Ramirez-Angulo, Urquidi, Gonzalez-Carvajal, Torralba, & Lopez-Martin, 2003)

¹⁵ (Torralba, y otros, 2009)

¹⁶ (Hsu, 2002) p. 319.

¹⁷ (Hsu, 2002) p. 313.

¹⁸ (Hsu, 2002) pp. 318-319.

¹⁹ (Kaajakary, 2009) p. 294.

²⁰ (Kaajakary, 2009) p. 217.

²¹ (Kaajakary, 2009) pp. 295, 298.

²² (Sadiku, 2003) p. 224.

²³ (Sadiku, 2003) pp. 146,226.

²⁴ (Sadiku, 2003) pp. 225-226.

²⁵ (COMSOL.com, 2015)

2. Aspectos teóricos

El presente capítulo hace una revisión detallada de las técnicas y procedimientos matemáticos que sustentan el diseño propuesto en posteriores instancias. Considerando que el microinterruptor es una estructura capacitiva y con énfasis en sus propiedades físicas inherentes, se da solución a las ecuaciones dinámicas del sistema. Es objetivo de este trabajo obtener las expresiones que describan el campo eléctrico, la fuerza electrostática y los parámetros capacitivos de una estructura genérica que pueda adaptarse como interruptor. Evaluando el sistema en función de una membrana suspendida mediante un resorte de constante elástica k , encontrar los potenciales mínimos de actuación y de sostenimiento, necesarios para hacer descender y mantener en posición de contacto a la membrana respectivamente. Una vez encontrados los parámetros eléctricos se procede a hallar las características de desempeño relativas al funcionamiento como interruptor, es decir, las pérdidas o atenuaciones de señal durante el estado de conducción del microinterruptor y el nivel de aislamiento eléctrico durante el estado de corte del mismo. Así mismo, de manera indirecta puede obtenerse una estimación de los consumos de energía en ambos estados.

Adicionalmente, este trabajo busca caracterizar los efectos del calentamiento por efecto Joule en la membrana conductora con especial atención en la deformación mecánica. Dicha deformación puede influir de manera significativa en el potencial necesario para la actuación electrostática del interruptor.

Finalmente, se sustenta la viabilidad del microinterruptor como mecanismo de carga y descarga de la compuerta flotante de un transistor FGMOS, del cual se describirá matemáticamente su funcionamiento y puntos de operación.

2.1. Actuación electrostática

Se debe entender como actuación electrostática al método por el cual las partes móviles de un dispositivo obtienen su desplazamiento a partir de la interacción de las cargas eléctricas almacenadas en su superficie. Si bien la interacción electrostática es débil en el mundo macroscópico, donde la aproximación que domina es la interacción electromagnética, la primera toma relevancia cuando las dimensiones de los dispositivos móviles son

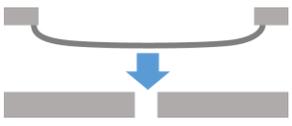
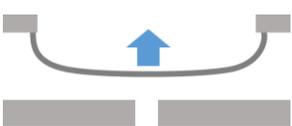
micrométricas y submicrométricas. En pequeñas dimensiones, y como se mencionó en la sección 1.4, Reglas de escalamiento, los efectos relacionados con la superficie toman mayor relevancia que aquellos dependientes del volumen o la masa de los elementos dinámicos, es por esto que la energía requerida para obtener desplazamientos relativamente grandes, es de magnitud absoluta muy baja y puede obtenerse por fuerza electrostática con concentraciones de carga eléctrica moderadas y tensiones de alimentación del orden de 1 Volt.

Como se mostró en la Tabla 1-2, los sistemas MEMS pueden catalogarse como sistemas microsensores o sistemas microactuadores, y es pertinente resaltar que la aplicación aquí propuesta corresponde a estos últimos. A cambio de suministrar energía eléctrica, en este caso electrostática a través de una estructura capacitiva, se presenta un desplazamiento mecánico cuyo ciclo completo de transición en el caso ideal puede segmentarse en las tres fases mostradas a continuación en la Tabla 2-1.

En el caso práctico se considerarán también deformaciones prescritas por el calentamiento por efecto Joule y un margen de seguridad debido a deformaciones por esfuerzos de compresión residuales propios del proceso de fabricación CMOS convencional.

Las ecuaciones que sustentan el equilibrio de fuerzas mecánica y electrostática se presentan en las secciones 2.1.3 y 2.1.4.

Tabla 2-1. Ciclo de trabajo del microinterruptor electrostático.

Operación	Desplazamiento	Parámetros Eléctricos	
		Transición del interruptor	Corte→Conducción
Tiro (Pull-in)		Transición del interruptor	Corte→Conducción
		Capacitancia (en función de la separación)	Baja
		Voltaje aplicado requerido	Moderado
Sostenimiento (Hold-down)		Transición del interruptor	Conducción
		Capacitancia (en función de la separación)	Alta
		Voltaje aplicado requerido	Bajo
Liberación (Release)		Transición del interruptor	Conducción→Corte
		Capacitancia (en función de la separación)	Alta
		Voltaje aplicado requerido	—

2.1.1. Capacitancia entre placas paralelas

En un sentido más general, la capacitancia se presenta entre cualesquiera dos conductores portadores de carga eléctrica, de igual magnitud pero de sentido contrario y cuando estos se encuentran separados por un medio dieléctrico o el vacío²⁶. En dicho arreglo (ver Figura 2-1), y por efectos del campo eléctrico presente y la ley de Coulomb, las cargas eléctricas son susceptibles de mutua atracción mediante las líneas de campo que convencionalmente salen de la terminal positiva y entran en la terminal negativa. Este fenómeno puede interpretarse para fines de este trabajo como un mero almacenamiento de carga eléctrica puesto que, como en muchas aplicaciones cotidianas, aunque la fuente de voltaje sea retirada, las cargas presentan resistencia a su redistribución a través del conductor producto de la atracción coulombiana entre ambas terminales del dispositivo comúnmente llamado capacitor o condensador. Los efectos capacitivos de arreglos de tres o más terminales conductoras en el espacio libre pueden asimilarse como superposiciones de los campos eléctricos emanados.

La estructura más común en la que se presentan los capacitores es la de placas paralelas, en esta estructura, las terminales positiva y negativa se conciben como dos superficies conductoras paralelas separadas por un medio dieléctrico en las cuales la carga eléctrica se distribuye uniformemente generando de campo eléctrico también uniforme y normal a la superficie de las placas, siendo común en la práctica, despreciar los efectos de curvatura del campo eléctrico en los bordes de la estructura puesto que en el capacitor ideal, la separación entre las placas es muy pequeña en comparación con la superficie de las mismas.

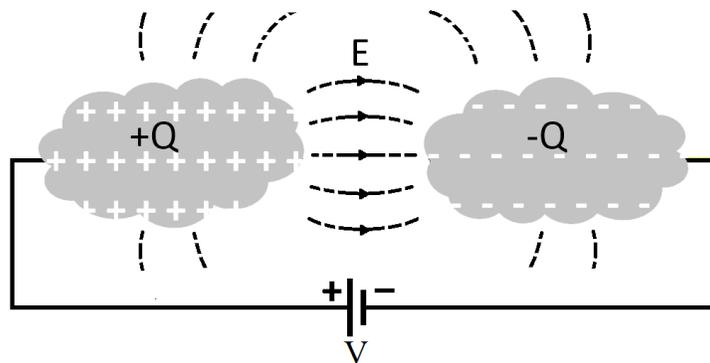


Figura 2-1. Capacitor de dos conductores.

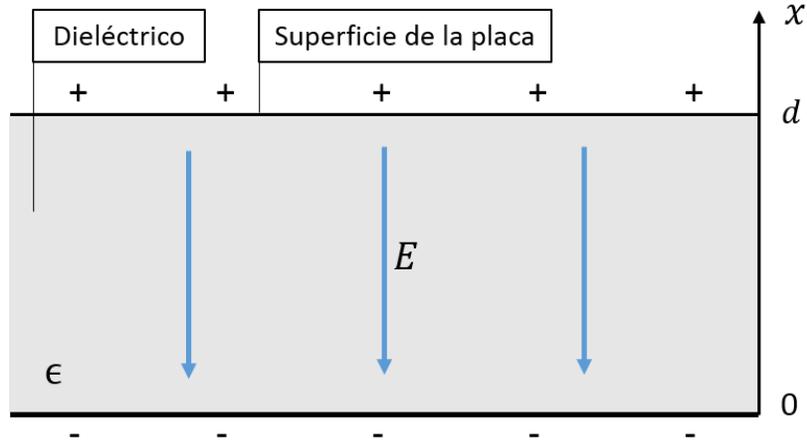


Figura 2-2. Capacitor de placas paralelas.

Para el capacitor de placas paralelas mostrado en la Figura 2-2, la densidad superficial de carga eléctrica en una de las placas equivale a la relación entre la carga total y la superficie total de la placa como se observa en la expresión (2-1), donde A denota el área de dicha superficie.

$$\rho_S = Q/A \quad (2-1)$$

Considerando un dieléctrico con permitividad eléctrica uniforme y con base al flujo eléctrico $D = -\rho_S \hat{x}$, la magnitud del campo eléctrico se expresa de manera vectorial como se muestra en la ecuación (2-2).

$$E = \frac{\rho_S}{\epsilon} (-\hat{x}) = -\frac{Q}{\epsilon A} \hat{x} \quad (2-2)$$

A continuación, buscando una expresión para la capacitancia, en la expresión (2-3) se obtiene el potencial eléctrico como la integral de línea del campo en la dirección que éste decrece²⁷.

$$V = -\int_0^d E \cdot dl = -\int_0^d \frac{Q}{\epsilon A} \hat{x} \cdot dx \hat{x} = \frac{Qd}{\epsilon A} \quad (2-3)$$

Finalmente, corroborando lo expuesto en la Tabla 1-10, obtenemos la expresión (2-4) para la capacitancia C .

$$C = \frac{Q}{V} = \frac{\epsilon A}{d} \quad (2-4)$$

En el caso de los microsensores y microactuadores propios de la tecnología MEMS²⁸, los cuales desde el punto de vista de dispositivos electrónicos son varactores, en particular, capacitores cuya capacitancia es variable en función de la separación entre las placas, la magnitud de la capacitancia puede generalizarse a la expresión (2-5), donde x es el desplazamiento medido a partir de la separación de referencia d .

$$C = \epsilon \frac{A}{d - x} \quad (2-5)$$

2.1.2. Capacitancia lateral

En este apartado se abordará la llamada *capacitancia lateral* que es un caso particular de la capacitancia entre placas paralelas que aparece con frecuencia en los dispositivos de la tecnología CMOS estándar. Esta capacitancia se presenta entre dos elementos conductores coplanares separados por dieléctrico, es decir, que pertenecen a la misma capa de material dentro del circuito integrado. La Figura 2-3 muestra un caso en el que se presenta capacitancia lateral también conocida como *de franja*. Trabajando con tecnología CMOS estándar, la capacitancia lateral se presenta con frecuencia como una capacitancia parásita entre los dispositivos adyacentes en el diseño topológico (layout) como lo son transistores, capacitores y líneas de transmisión. Incluso, la capacitancia parásita considerada lateral o de franja tiene efecto entre las diversas partes del mismo dispositivo como lo pueden ser drenador y fuente del transistor MOS respecto al sustrato. La capacitancia lateral tiene un uso extenso en la tecnología MEMS puesto que los acelerómetros y demás elementos de sensado inercial sacan provecho de la capacitancia de franja presente en los transductores tipo peine o interdigitado (comb-drive). En el arreglo tipo comb-drive, como el mostrado en la Figura 1-20 (a), los peines fijo y móvil configuran un capacitor variable cuya capacitancia aumenta o disminuye con respecto a una referencia cuando el dispositivo se acelera en una u otra dirección.

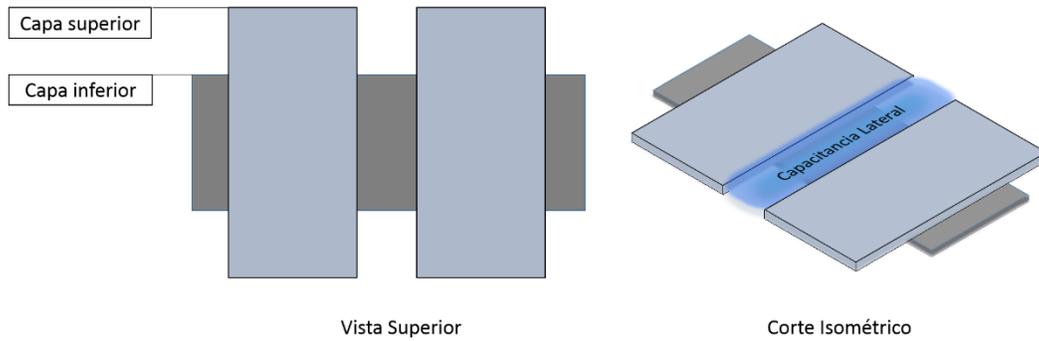


Figura 2-3. Esquema de capacitancia lateral en elementos coplanares.

2.1.3. Fuerza Electrostática

La fuerza con la que dos elementos cargados se atraen al interior de un capacitor de placas paralelas, depende principalmente del voltaje de actuación aplicado y de la geometría de la estructura conductor-dieléctrico-conductor. Para obtener una expresión dinámica de la fuerza de atracción entre las placas de un capacitor, es necesario conocer la energía que éste almacena. La fuerza electrostática (2-6) es en general el gradiente de la energía almacenada por el sistema y de dirección opuesta al incremento de energía:

$$F_e = -\nabla W = -\frac{\partial W}{\partial x} \quad (2-6)$$

Donde, F_e es la fuerza electrostática, W es la energía potencial almacenada en el sistema y x es el desplazamiento mecánico respecto al equilibrio. Para un capacitor de placas paralelas a voltaje constante (Figura 2-4), la energía almacenada²⁹ en el sistema equivale a:

$$W_c = \frac{1}{2} CV^2 \quad (2-7)$$

Donde C es la capacitancia y V el voltaje aplicado. De manera total, la carga que se almacena es:

$$Q = VC \quad (2-8)$$

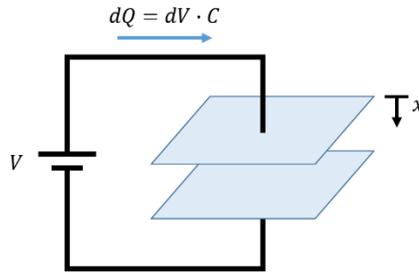


Figura 2-4. Esquema de un capacitor C conectado a una fuente de voltaje V .

Se tiene además que para un voltaje dado, la capacitancia C , y por tanto la carga Q , dependen de la geometría, en especial de la separación entre las placas del capacitor. Derivando las expresiones (2-7) y (2-8) a voltaje constante, se obtienen:

$$dW_c = \frac{1}{2} V^2 dC \quad (2-9)$$

y

$$dQ_c = V dC \quad (2-10)$$

Donde la carga que se hace presente en el capacitor proviene de la fuente de voltaje, por tanto:

$$dQ_v = -dQ_c \quad (2-11)$$

Y la energía almacenada en la fuente se reduce de manera que:

$$dW_v = V dQ_v = -V dQ_c \quad (2-12)$$

Combinando las ecuaciones (2-9) y (2-12) se obtiene el cambio total en la energía eléctrica almacenada:

$$dW_e = dW_c + dW_v = \frac{1}{2} V^2 dC - V dQ_c \quad (2-13)$$

$$dW_e = \frac{1}{2} V^2 dC - V(V dC)$$

$$dW_e = -\frac{1}{2}V^2 dC \quad (2-14)$$

Finalmente, la fuerza eléctrica es el gradiente de la energía almacenada en dirección del desplazamiento, por lo que dividiendo la ecuación (2-14) entre el diferencial dx obtenemos:

$$F_e = -\frac{dW_e}{dx} = \frac{1}{2}V^2 \frac{dC}{dx} \quad (2-15)$$

Esta fuerza resulta ser positiva en la dirección que la capacitancia aumenta, es decir, depende de la geometría del dispositivo y es proporcional al voltaje elevado al cuadrado, por lo que no es dependiente de la polarización del mismo. La capacitancia en un capacitor de placas paralelas (Figura 2-5) está dada por:

$$C = \epsilon \frac{A}{d-x} \quad (2-16)$$

Donde $\epsilon = \epsilon_R \epsilon_0$ es la permitividad absoluta del medio dieléctrico, A es el área de los electrodos, d es la separación inicial entre ellos y x es el desplazamiento respecto a la posición inicial. En relación a las ecuaciones (2-15) y (2-16) podemos encontrar que:

$$F_e = -\frac{dW_e}{dx} = \frac{1}{2}V^2 \frac{dC}{dx} = \frac{1}{2} \frac{\epsilon A}{(d-x)^2} V^2 \quad (2-17)$$

Donde el término $1/(d-x)^2$ es no lineal e incrementa el valor de la fuerza hacia infinito cuando x se aproxima a la separación d , por lo que es preciso analizar el punto de equilibrio.

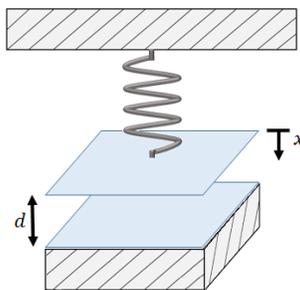


Figura 2-5. Esquema de un transductor de placas paralelas enlazado a un resorte k.

2.1.4. Punto de Equilibrio

Como punto de partida, se desprecian los efectos inerciales del sistema asumiendo que el voltaje de polarización en el capacitor varía lentamente en relación a la frecuencia de resonancia mecánica. Por otra parte, a fin de conocer la fuerza total actuando sobre la parte móvil del capacitor, deben considerarse tanto la fuerza electrostática debida al campo eléctrico presente, como la mecánica de restauración del resorte en tensión, equivalente a $F_m = -kx$ donde k es la constante de elasticidad del resorte y x es el desplazamiento. La fuerza total es:

$$F = F_e + F_m = \frac{1}{2} \frac{\epsilon A}{(d-x)^2} V^2 - kx \quad (2-18)$$

De la ecuación (2-18) resulta intuitivo que a bajos niveles de voltaje aplicado, se vuelve predominante el factor de fuerza del resorte. El desplazamiento de equilibrio se encuentra igualando la ecuación (2-18) a cero y es de esta manera que podemos obtener un valor de tensión eléctrica aplicada que para un resorte dado, equilibra las fuerzas eléctrica y de restauración. Para valores de voltaje mayores, eventualmente las placas del capacitor se unirán por fuerza electrostática, superando la tensión del resorte. En el diseño de interruptores y varactores es preciso conocer el voltaje de tiro (pull-in voltage) V_p y el desplazamiento x_p que se presentan justo antes de que la fuerza de resorte ceda y las placas se unan. Es necesario conocer también las condiciones de estabilidad alrededor de dichos puntos de operación.

En el equilibrio, puede calcularse el desplazamiento x_0 de manera analítica a partir de la expresión (2-18), sin embargo, resulta más conveniente encontrar el valor de voltaje V en el cual las fuerzas se equilibran. Por lo tanto, se procederá a igualar con cero la suma de fuerzas y despejar el cuadrado del voltaje V .

$$\frac{1}{2} \frac{\epsilon A}{(d-x)^2} V^2 - kx_0 = 0$$

$$V^2 = \frac{2kx_0}{\epsilon A} (d-x_0)^2 \quad (2-19)$$

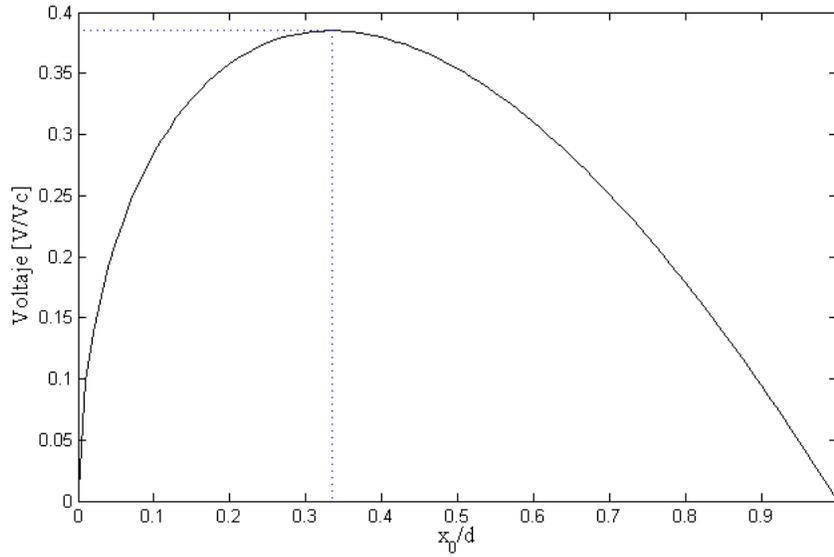


Figura 2-6 Punto de inflexión en voltaje vs. desplazamiento.

A partir de la ecuación (2-19) se expande el binomio y se factoriza el término x_0/d lo que sirve para localizar el punto dentro de la separación d donde $x = x_0$.

$$V^2 = \frac{2kd}{\epsilon A} \left(\frac{x_0}{d}\right) (d^2 - 2x_0d - x_0^2) = \frac{2kd^3}{\epsilon A} \left(\frac{x_0}{d}\right) \left(1 - 2\frac{x_0}{d} - \frac{x_0^2}{d^2}\right)$$

$$V^2 = \frac{2kd^3}{\epsilon A} \left(\frac{x_0}{d}\right) \left(1 - \frac{x_0}{d}\right)^2 \quad (2-20)$$

Verificadas las unidades se puede definir el *voltaje característico*³⁰ $V_C = \sqrt{2kd^3/\epsilon A}$ como un factor independiente de la relación x_0/d y graficar la ecuación (2-21) como se muestra en la Figura 2-6, donde la energía aplicada, en este caso el voltaje, llega a una inflexión cuando el desplazamiento x se ubica en un tercio de la separación inicial d , es decir, $x_0 = \frac{d}{3}$.

$$V^2 = V_C^2 \left(\frac{x_0}{d}\right) \left(1 - \frac{x_0}{d}\right)^2 \quad (2-21)$$

Para obtener una comprobación matemática de este hecho, resulta conveniente evaluar la derivada de la ecuación de fuerzas (2-18) con respecto al desplazamiento, lo cual también da

algunos criterios de estabilidad alrededor del punto x_0 . La estabilidad del punto de equilibrio se analiza derivando la expresión de fuerza total:

$$\frac{dF}{dx} = \frac{\epsilon A}{(d-x)^3} V^2 - k \quad (2-22)$$

Donde se tiene una rigidez en el sistema tal que, para pequeñas variaciones alrededor del equilibrio, la fuerza de restauración del resorte dominará el comportamiento. Además, sustituyendo $x = x_0$ y a cero voltaje aplicado, se tiene que $dF/dx = -k$, lo que recuerda a un sistema estable dominado por la Ley de Hooke para resortes con carga. Combinando las expresiones (2-19) y (2-22) en el equilibrio se obtiene:

$$\frac{dF}{dx}_{x=x_0} = \frac{2kx_0}{(d-x_0)} - k \quad (2-23)$$

De la expresión (2-23) se puede apreciar que para $dF/dx = 0$ el desplazamiento de tiro $x_p = x_0$, es decir, el desplazamiento x en el punto de tiro (pull-in voltage) es:

$$x_p = \frac{1}{3}d \quad (2-24)$$

Corroborando lo expuesto de manera gráfica. Éste es el punto donde la rigidez del sistema se vuelve negativa y por tanto, un pequeño desplazamiento lo vuelve inestable.

Finalmente, el voltaje de tiro V_p , es decir, el voltaje aplicado a partir del cual se vence la fuerza de restauración del resorte asociado, se obtiene sustituyendo la expresión (2-24) en la ecuación (2-19) y haciendo uso del voltaje V_C previamente definido, quedando como se expresa a continuación:

$$V^2 = \frac{2k \frac{1}{3}d(d - \frac{1}{3}d)^2}{\epsilon A} = \frac{2k \frac{1}{3}d(\frac{2}{3}d)^2}{\epsilon A} = \frac{8}{27} \frac{k}{\epsilon A} d^3$$

$$V_p = \sqrt{\frac{8}{27} \frac{k d^3}{\epsilon A}} = \sqrt{\frac{4}{27}} \sqrt{\frac{2k d^3}{\epsilon A}}$$

$$V_P = \sqrt{\frac{4}{27}} V_C \quad (2-25)$$

Una vez alcanzado el voltaje de tiro V_P , la fuerza de restauración del resorte cede y las placas del capacitor se unen, lo cual se debe evitar. Por tanto, más allá de V_P las ecuaciones (2-18) y (2-19) no tienen estabilidad. Asimismo, la expresión (2-25) depende fuertemente de la separación d y por tanto, para operar con bajos niveles de voltaje, se desea tener separaciones d pequeñas entre las placas del capacitor, lo que por supuesto reduce el recorrido x_P en el que se puede implementar un varactor. De lo anterior, se ve la importancia del diseño apropiado del interruptor según el propósito de aplicación. Uno de los principales objetivos es el empleo de bajos voltajes para lograr el funcionamiento del interruptor, para lo cual se deberán tener en cuenta también los parámetros tecnológicos a emplear.

2.2. El efecto Joule

Se conoce por *efecto Joule* o *calentamiento Joule* (Joule heating) a la disipación de la energía cinética de los portadores de carga en forma de calor. En todo medio resistivo por el que fluye una corriente eléctrica, los electrones interactúan con partículas estructurales y estados de carga fija del mismo medio a través de colisiones, lo que produce un intercambio de energía en el que el portador de carga cede la energía cinética obtenida del potencial eléctrico a la red estructural aumentando así su temperatura. El calentamiento Joule no debe ser confundido con los efectos *Peltier-Seebeck*³¹ y *Thompson*³², los cuales describen diferentes aspectos del efecto termoeléctrico y las relaciones entre el campo eléctrico y los gradientes de temperatura en los sólidos.

El interés en el calentamiento Joule viene de la deformación, en este caso, elongación mecánica a la que son sometidos los cuerpos rígidos cuando su temperatura aumenta. La llamada expansión térmica puede incrementarse de manera lineal, superficial o volumétrica las dimensiones de un cuerpo rígido en proporción al *coeficiente de expansión térmica* α del material dado. Para un cuerpo libre y rígido de aluminio, como aquellos que se usan con frecuencia en los sistemas MEMS, y cuya elongación de interés se mide en una única dirección, el *coeficiente de expansión térmica lineal* es $\alpha_{L\text{Aluminio}} = 23.1 \times 10^{-6} K^{-1}$.

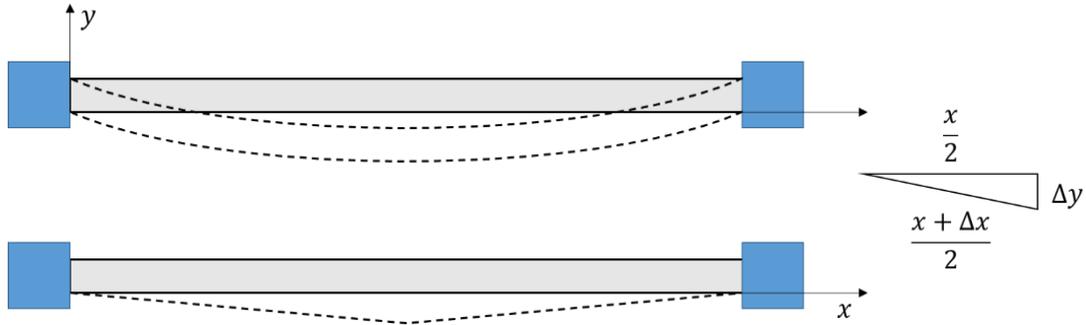


Figura 2-7. Flexión por elongación en viga doblemente empotrada.

La expresión (2-1) nos indica el porcentaje unitario que se expande el cuerpo sólido en una dirección dada en función del coeficiente α_L y de una diferencia de temperatura $\Delta T = T_{final} - T_{inicial}$.

$$\frac{\Delta L}{L} = \alpha_L \Delta T \quad (2-26)$$

Para el diseño de un interruptor microelectromecánico con arquitecturas similares a las mostradas en la Figura 1-20 (b) y (c) partimos de considerar a la membrana central como una viga doblemente empotrada, con una libertad de desplazamiento vertical del orden de $1\mu m$ y una longitud entre empotramientos del orden de $100\mu m$. Mediante la aproximación de la Figura 2-7 podemos estimar los efectos de un desplazamiento libre vertical del 100%, es decir, la elongación máxima que la viga de aluminio puede tener para desplazarse $1\mu m$ hacia abajo (por efectos del calentamiento Joule). Sean $x = 100\mu m$ y $\Delta y = 1\mu m$, entonces de la expresión (2-40) se obtiene la primera aproximación de Δx , es decir, ΔL de la ecuación (2-26).

$$\Delta x = 2 \sqrt{\left(\frac{x}{2}\right)^2 + \Delta y^2} - x \approx 0.02\mu m \quad (2-27)$$

Sustituyendo el resultado de (2-40) en (2-26) obtenemos un estimado de la diferencia de temperaturas que la viga de aluminio resiste antes de que su deformación alcance un 100% de su espacio de libre recorrido.

$$\frac{\Delta L}{L} = \alpha_L \Delta T$$

$$\Delta T = \frac{0.02\mu m}{100\mu m \cdot 23.1 \times 10^{-6} K^{-1}} \approx 8.65^{\circ}C \quad (2-28)$$

De la ecuación (2-18), una elongación de tan sólo 20nm (0.02%) en la viga de aluminio puede deteriorar permanentemente el funcionamiento del microinterruptor. De manera natural esta elongación se logra con variaciones de temperatura superiores a 8°C, lo cual es criterio suficiente para descartar la opción de una membrana doblemente empotrada o anclada para su implementación en las capas más internas de la tecnología CMOS estándar. Sin embargo, un empotramiento por medio de resortes, como el descrito en la Figura 1-20 (c) es menos susceptible a fallar puesto que la elongación de los resortes (empotrados por un extremo cada uno) repercute únicamente en un giro despreciable (~1.4°) de la estructura (ver Figura 2-8), por lo que si cada uno de los resortes tiene una longitud del orden de 100µm, incluso el incremento del 1% admite diferencias de temperatura del orden de los 400°C como se ve en la ecuación (2-29).

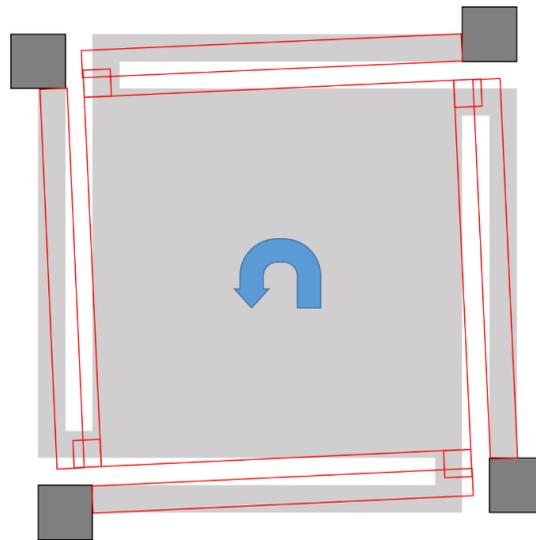


Figura 2-8. Efectos de la elongación de los resortes de suspensión.

$$\Delta T = \frac{1\mu m}{100\mu m \cdot 23.1 \times 10^{-6} K^{-1}} \approx 432.9^{\circ}C \quad (2-29)$$

Alcanzar temperaturas por arriba de 100°C por efecto Joule requiere de grandes disipaciones de potencia; en la arquitectura de la Figura 2-8 los brazos de suspensión son la parte más

susceptible a alcanzar altas temperaturas pues su forma estrecha les confiere mayor resistencia eléctrica. La resistencia eléctrica de un cuerpo puede calcularse conociendo sus dimensiones y su resistividad, que en el caso del Aluminio es $\rho = 28.2 \text{ n}\Omega \cdot \text{m}$. Para las dimensiones del brazo de resorte ilustrado en la Figura 2-9 la resistencia eléctrica es la calculada en la ecuación (2-30), donde L es la longitud del resorte y A el área de la sección transversal del mismo.

$$R = \rho \frac{L}{A} = (28.2 \text{ n}\Omega \cdot \text{m}) \left(\frac{100 \mu\text{m}}{3 \mu\text{m} \cdot 1.15 \mu\text{m}} \right) \approx 0.81 \Omega \quad (2-30)$$

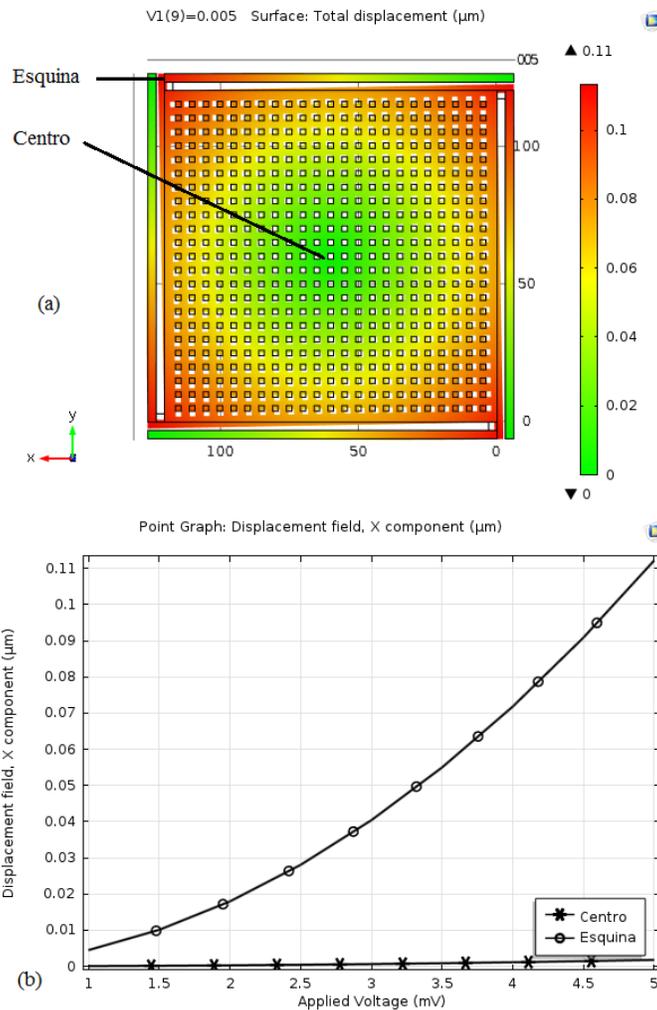


Figura 2-9. Deformación de la membrana de aluminio sometida a calentamiento Joule.

La simulación física del calentamiento Joule en conjunto con los parámetros de diseño expuestos más adelante en el capítulo 3 y el Anexo A, corrobora lo anterior. En este caso, una

membrana de aluminio de $120\mu\text{m}$ por lado, anclada por medio de resortes, se somete a una diferencia de potencial en el orden de 5mV . La Figura 2-9 (a) muestra la deformación de la membrana con un máximo desplazamiento en las esquinas y un mínimo desplazamiento al centro y en las uniones de sujeción. Cabe señalar que la imagen mostrada tiene un factor de amplificación de escala del orden de 20 y la deformación máxima del orden de $0.1\mu\text{m}$ no genera un desplazamiento relevante. La Figura 2-9 (b) muestra el crecimiento del desplazamiento en dirección del eje x conforme se incrementa la diferencia de potencial en los extremos de la muestra. El desplazamiento es máximo en la región cercana a las esquinas y mínimo en el centro, lo que puede interpretarse como un movimiento giratorio en torno al centro.

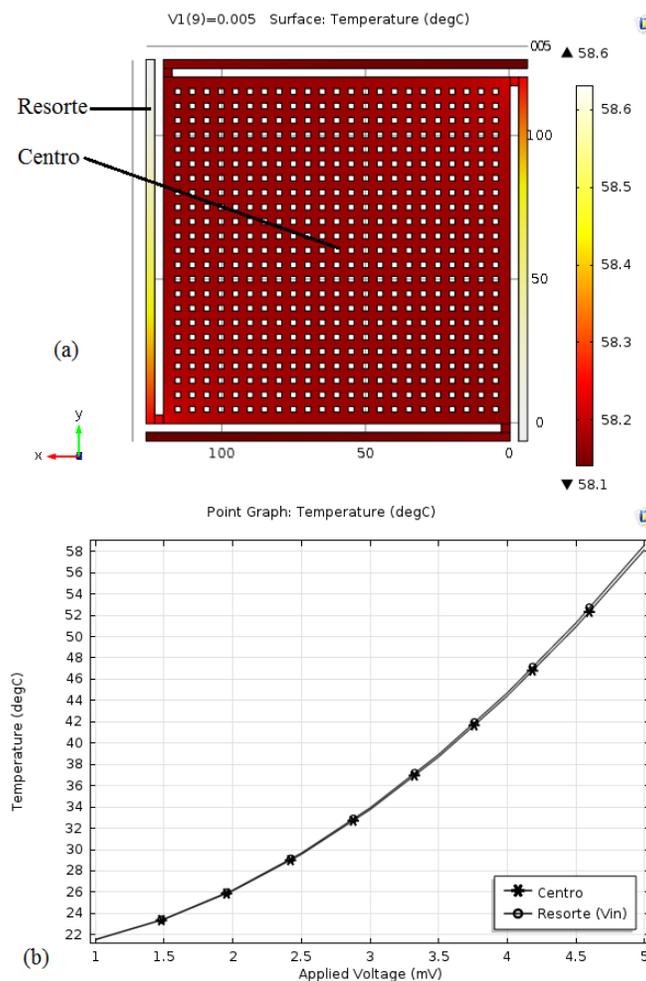


Figura 2-10. Distribución e incremento de la temperatura por calentamiento Joule.

Por su parte, la Figura 2-10 (a) y (b) muestran respectivamente la distribución y el incremento en la temperatura que se alcanzan aplicando el voltaje de prueba en la muestra. Se observa que la temperatura máxima no excede los 60°C por lo que se considera un punto de operación seguro para la electrónica adjunta en el circuito integrado sin necesidad de aislar térmicamente al mismo.

De esta manera se puede ratificar que la expansión térmica es menor al 1% por lo que sus efectos se desprecian en la tarea de diseño, y por supuesto, la temperatura que se alcanza en estas condiciones de operación es significativamente menor que el punto de fusión del aluminio, por lo que se puede, en general, descartar los efectos negativos del calentamiento Joule en la operación del dispositivo.

2.3. Desempeño como interruptor

La aplicación principalmente desarrollada en el mercado para los microinterruptores, tanto de estado sólido como de tecnología MEMS, es la de los sistemas de comunicaciones, en especial para transmitir o filtrar señales de radiofrecuencia entre los distintos bloques al interior del circuito integrado. Los sistemas RF-MEMS³³ han probado tener cualidades de desempeño superiores a su contraparte de estado sólido, por lo que en aplicaciones específicas de radar y equipos profesionales de medición se les prefiere a pesar de su relativo alto costo. Las pérdidas de inserción (insertion loss) denotadas por $|S_{on}|^2$ y el aislamiento (isolation) denotado por $|S_{off}|^2$, comúnmente expresadas en decibelios, son dos parámetros de transmisión eléctrica que nos permiten conocer de manera directa el desempeño de un interruptor como habilitador e inhibidor de una señal respectivamente.

En líneas de transmisión convencionales, es apropiado considerar una impedancia resistiva de 50Ω como interfaz entre cada uno de los componentes del sistema. Asimismo, una pérdida de inserción de hasta 0.05dB y un aislamiento de al menos 15dB son considerados buenos en aplicaciones industriales del orden de 5GHz . Sin embargo, independientemente del régimen de desempeño del microinterruptor, es necesario también considerar el compromiso entre el desempeño y el consumo de energía. Un sistema con bajas pérdidas de señal está relacionado con un bajo consumo de energía, no obstante, puede implicar complicaciones en la fabricación, implementación o interconexión entre sistemas.

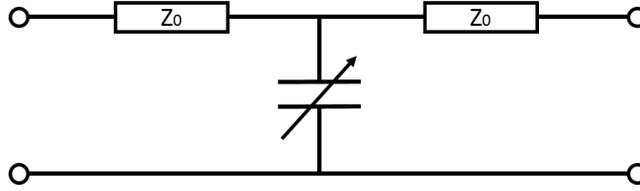


Figura 2-11. Esquema de línea de transmisión típica en los sistemas RF-MEMS.

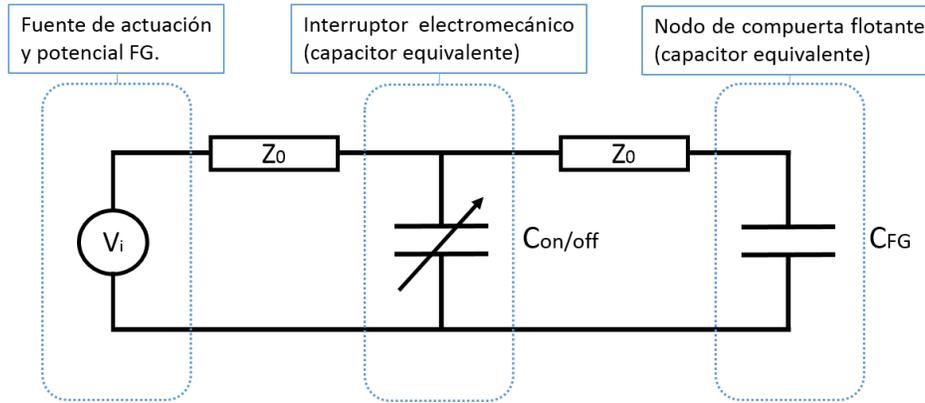


Figura 2-12. Circuito equivalente de línea de transmisión con carga.

Para obtener los parámetros de inserción y aislamiento del sistema propuesto, adaptaremos el modelo de una línea de transmisión comúnmente utilizada en sistemas RF-MEMS³⁴ capacitivos como el mostrado en la Figura 2-11, donde $Z_0 = 50\Omega$ es la impedancia típica de una línea de transmisión de radiofrecuencia.

Al diagrama anterior y como se ve en la Figura 2-12, añadimos la fuente de voltaje de entrada V_i que ejerce una diferencia de potencial entre la membrana y tierra. De igual manera, a la salida del circuito equivalente colocamos la capacitancia C_{FG} que representa a la carga, en este caso, la capacitancia entre la compuerta flotante y substrato, que incluidas las capacitancias parásitas puede considerarse del orden de $70fF$ en nuestro modelo de prueba.

2.3.1. Pérdidas de inserción

A pesar de que el modelo equivalente presentado en la Figura 2-12 representa de manera cabal al interruptor capacitivo tipo Shunt muy ampliamente utilizado en dispositivos de radiofrecuencia, el propósito del dispositivo propuesto en este trabajo es interrumpir la línea de transmisión de manera mecánica y no sólo hacer variar la capacitancia variable que se manifiesta con el desplazamiento de la membrana. En el modo de conducción (on) del

interruptor propuesto, el circuito equivalente sería el mostrado en la Figura 2-13, donde los parámetros de capacitancia $C_{on} \approx 220fF$ y $C_{FG} \approx 70fF$ provienen de lo expuesto en el capítulo 3. Siendo V_i una fuente de corriente directa, el potencial se transmite íntegro a C_{FG} comportándose C_{on} como un circuito abierto. Estos valores de prueba para las capacitancias parásitas y de acomplamiento, se aproximaron con base a los parámetros de diseño expuestos en el Anexo B.

2.3.2. Aislamiento

De manera complementaria, el capacitor formado por el interruptor abierto, es decir, en estado de corte (off) adquiere un valor aproximado $C_{off} \approx 50fF$, sin embargo, puesto que la desconexión mecánica es total el circuito equivalente se reduce a dos subcircuitos independientes, donde el voltaje de entrada V_i continúa interactuando con el capacitor formado por la membrana del interruptor, más no así el otro extremo de la línea de transmisión que permanece unido a la terminal de compuerta flotante y al potencial que esté siendo inducido en ésta por las terminales del FGMOS y/o la carga almacenada al momento. Las figuras 2-13 y 2-14 muestran respectivamente el circuito equivalente en estado on y off de corriente continua para el interruptor electromecánico.

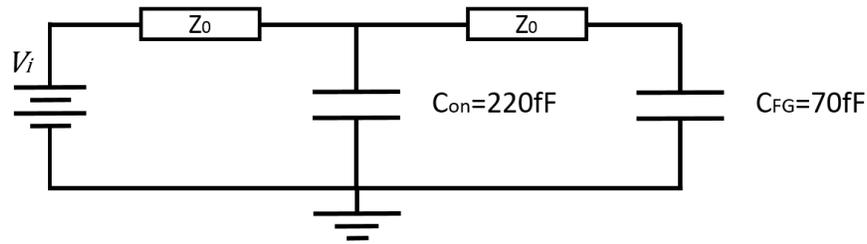


Figura 2-13. Circuito equivalente en c.d. del interruptor en modo de conducción (on)

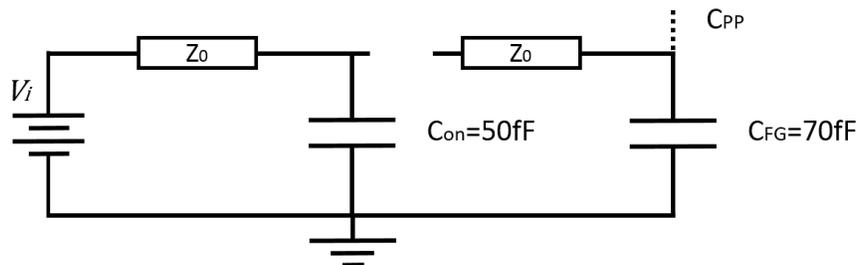


Figura 2-14. Circuito equivalente en c.d. del interruptor en modo de corte (off)

2.3.3. Respuesta en frecuencia

La aplicación propuesta en este trabajo es la de transferir una señal de corriente directa a la terminal de compuerta flotante de un transistor FGMOS, sin embargo, resulta de utilidad en la caracterización del dispositivo electromecánico estimar su funcionamiento en presencia de una señal de corriente alterna, en este caso pulsos de voltaje aplicados entre la membrana y la terminal de tierra. Consideremos en primera instancia, el diagrama de la Figura 2-15 donde se muestra el equivalente en impedancias de los resistores y capacitores formados cuando el sistema opera en conducción. En este circuito equivalente, la impedancia capacitiva se obtiene como $Z_C = 1/j\omega C$ y los elementos resistivos correspondientes a la línea de transmisión continúan como $Z_0 = 50\Omega$. Cabe mencionar que la frecuencia natural de oscilación del sistema masa-resorte evaluado en la ecuación (2-31) filtrará de manera mecánica frecuencias de orden superior las cuales durante la conexión en estado encendido (*on*) modularán el potencial presente en la compuerta flotante. Dicha frecuencia natural de oscilación se presenta a continuación con parámetros seleccionados de la sección 3.1. Geometría y diseño topológico.

$$f = \sqrt{\frac{k}{m}} = \sqrt{\frac{0.9N/m}{4.31 \times 10^{-11}kg}} \approx 145kHz \quad (2-31)$$

Retomando el circuito equivalente, la *función de transferencia*, que caracteriza al circuito como un bloque de control nos da información de la magnitud de la atenuación que el dispositivo produce en la señal de entrada.

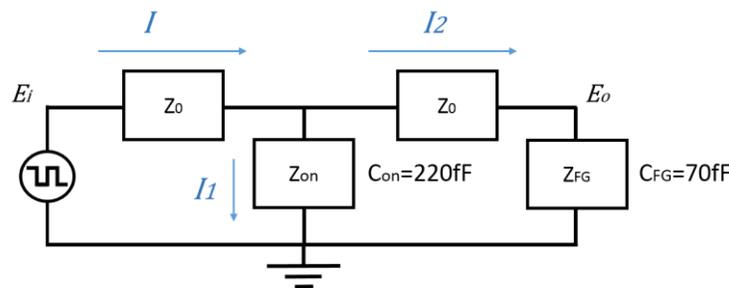


Figura 2-15. Circuito de impedancias equivalentes para análisis en frecuencia.

La respuesta del sistema puede estimarse por medio de funciones de transferencia de elementos en cascada³⁵ y de la Figura 2-15 podemos observar que $Z_{on}I_1 = (Z_0 + Z_{FG})I_2$ y que $I_1 + I_2 = I$. Por divisores de tensión se resuelve que:

$$I_1 = \frac{Z_0 + Z_{FG}}{Z_{on} + Z_0 + Z_{FG}} I \quad (2-32)$$

y

$$I_2 = \frac{Z_2}{Z_{on} + Z_0 + Z_{FG}} I \quad (2-33)$$

Para obtener la ganancia del sistema dividimos la señal de salida entre la de entrada, para lo cual denotamos a partir de la Figura 2-15 que:

$$E_{i(j\omega)} = IZ_0 + I_1Z_{on} = \left[Z_0 + \frac{Z_{on}(Z_0 + Z_{FG})}{Z_{on} + Z_0 + Z_{FG}} \right] I \quad (2-34)$$

y

$$E_{o(j\omega)} = I_2Z_{FG} = \frac{Z_{on}Z_{FG}}{Z_{on} + Z_0 + Z_{FG}} I \quad (2-35)$$

Por tanto se obtiene:

$$\frac{E_{o(j\omega)}}{E_{i(j\omega)}} = \frac{Z_{on}Z_{FG}}{Z_0(Z_{on} + Z_0 + Z_{FG}) + Z_{on}(Z_0 + Z_{FG})} \quad (2-36)$$

que es la función de transferencia en términos de la impedancia capacitiva. El resultado (2-31) puede sustituirse por su contraparte de Laplace como se muestra en la expresión (2-31), la cual nos ofrece una manera de estimar el parámetro de pérdida de inserción $|S_{on}|^2$ en la frecuencia natural del sistema masa-resorte y a una frecuencia típica de los sistemas de comunicación (5GHz) como se muestra en las expresiones (2-31) y (2-31) respectivamente:

$$\frac{E_o}{E_i} = \frac{1}{(Z_0 \cdot C_{on} \cdot Z_0 \cdot C_{FG})s^2 + (Z_0 C_{on} + Z_0 C_{FG} + Z_0 C_{FG})s + 1} \quad (2-37)$$

$$|S_{on}|^2_{145kHz} = 10 \log_{10} \left| \frac{E_o}{E_i} \right|^2 = 10 \log_{10} (0.999)^2 \approx -1.42 \times 10^{-4} dB \quad (2-38)$$

$$|S_{on}|^2_{5GHz} = 10 \log_{10} \left| \frac{E_o}{E_i} \right|^2 = 10 \log_{10} (0.623)^2 \approx -4.1 dB \quad (2-39)$$

Finalmente, los coeficientes de la expresión (2-31) nos permiten elaborar los diagramas de Bode³⁶ representados en la Figura 2-16 y del cual se puede interpretar al sistema como un filtro pasabajas con corte de muy alta frecuencia en el orden de las decenas de gigahertz y esto se considera una pérdida de inserción muy baja para fines prácticos y cercana a cero en un entorno de trabajo de corriente continua.

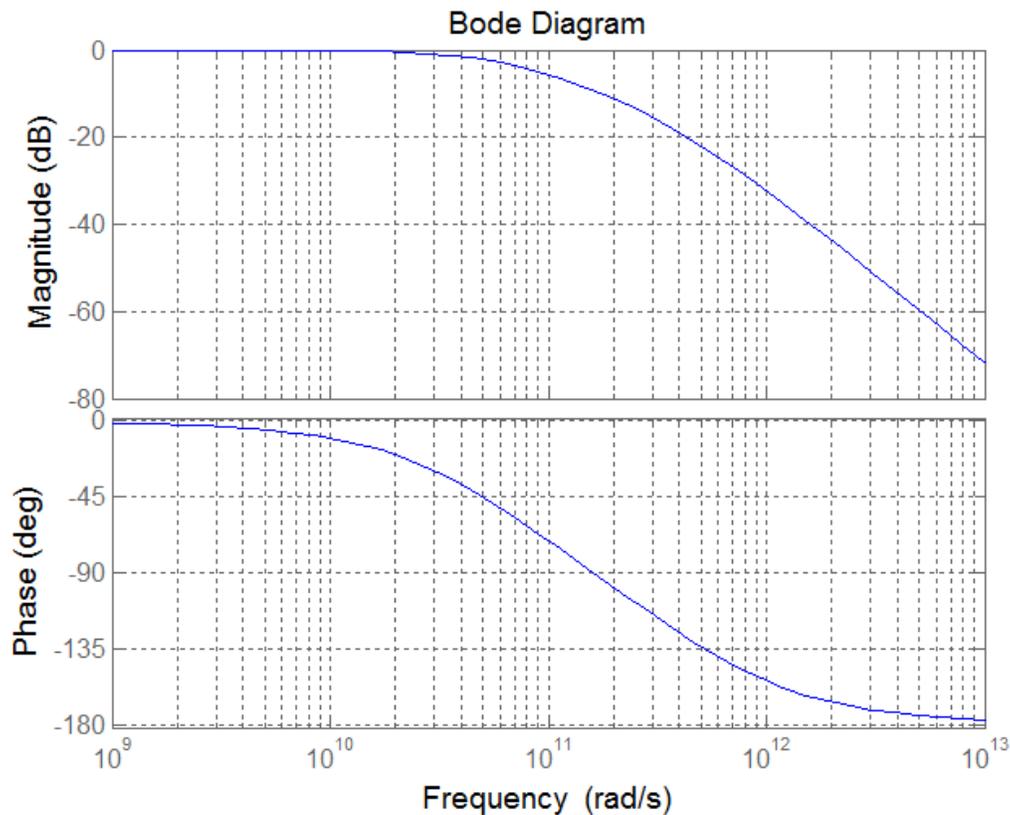


Figura 2-16. Diagrama de Bode del circuito equivalente.

Es preciso tomar en cuenta también que en el estado de corte (*off*) la señal de entrada no se transmite a la salida, en este caso, a la compuerta flotante, sin embargo, los pulsos recibidos tienen un efecto positivo para controlar el potencial flotante por medio de técnicas como el algoritmo Clock-controlled Neuron-MOS ilustrado por Kotani et al.³⁷ y señalado en el apartado 4.2. Simulación eléctrica en plataforma SPICE del presente trabajo.

2.4. El transistor MOS de compuerta flotante

El transistor MOS de compuerta flotante o FGMOS, ha tenido gran aceptación y un uso extendido como medio de almacenamiento de información por las propiedades almacenamiento de carga eléctrica inherentes de su estructura capacitiva. Se ha introducido al mercado principalmente como una EPROM no volátil confiable con tasas de pérdida de información del 0.1% en diez años³⁸. Por otra parte, el FGMOS ha tomado relevancia en aplicaciones de emulación de células neuronales³⁹ y procesamiento de imágenes⁴⁰ además de por su ya mencionada capacidad de almacenamiento, por su fácil implementación como bloque de suma ponderada de carga eléctrica, en especial en los llamados transistores MIFGMOS o *transistores de compuerta flotante de múltiple entrada* (Multiple-Input Floating-Gate MOSFETs).

Retomando lo visto en la sección 1.1.3 Compuerta flotante, se procede a un análisis de la estructura y comportamiento del transistor MOS de compuerta flotante. La Figura 2-17 muestra la estructura simplificada del transistor FGMOS con sus regiones de *drenador* (D) y *fuelle* (S), la *compuerta flotante* (FG, floating gate) y la terminal de la *compuerta de control* (CG, controlling gate).

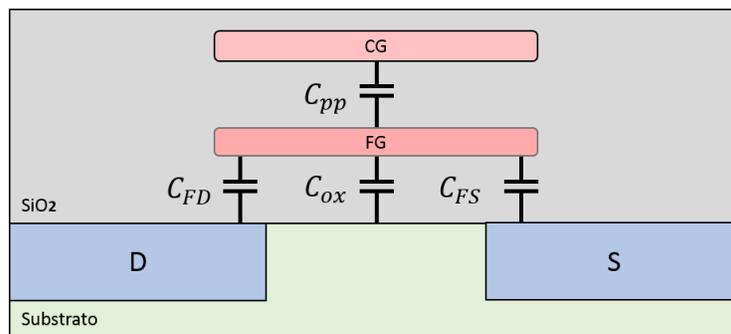


Figura 2-17. Estructura y capacitancias del transistor FGMOS.

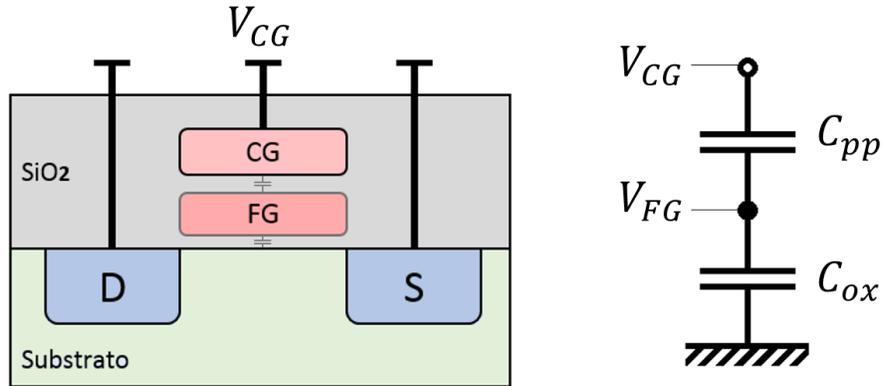


Figura 2-18. Estructura principal (simplificada) del FGMOS y circuito equivalente.

De igual manera, se muestran la capacitancia C_{ox} en el *óxido de compuerta*, la capacitancia entre las capas poly 2 y poly 1 C_{pp} y las capacitancias parásitas C_{FD} y C_{FS} debidas al traslape entre la compuerta flotante y las regiones de drenador y fuente respectivamente.

Para comenzar con el análisis se simplifica la estructura real de fabricación del FGMOS omitiendo las capacitancias parásitas por traslape y analizando la estructura capacitiva principal mostrada en la Figura 2-18 en donde se observa que el potencial flotante presente en la compuerta flotante (V_{FG}) depende directa y únicamente de los voltajes acoplados en los capacitores C_{pp} y C_{ox} cuando se aplica tensión en la terminal de la compuerta de control V_{CG} .

Se define la impedancia capacitiva de una capacitancia C como se muestra en la expresión (2-40), esto nos permite dar a la estructura capacitiva el tratamiento que se sigue en un arreglo con elementos resistivos conectados en serie y/o paralelo⁴¹.

$$Z_C = \frac{1}{j\omega C} \quad (2-40)$$

Esta transformación en particular, nos permite obtener la expresión (2-41) para el voltaje en el nodo central, es decir, el potencial en la compuerta flotante V_{FG} en términos del voltaje externo aplicado V_{CG} analizando el circuito equivalente de la Figura 2-18 mediante el siguiente divisor de tensión:

$$V_{FG} = V_{CG} \frac{\frac{1}{j\omega C_{ox}}}{\frac{1}{j\omega C_{pp}} + \frac{1}{j\omega C_{ox}}} = V_{CG} \frac{j\omega C_{pp}}{j\omega C_{pp} + j\omega C_{ox}} = V_{CG} \frac{C_{pp}}{C_{pp} + C_{ox}}$$

$$V_{FG} = V_{CG} \frac{C_{pp}}{C_{TOT*}} \quad (2-41)$$

Donde C_{TOT*} es una convención para la sumatoria de las capacitancias involucradas como se muestra en la expresión (2-42).

$$C_{TOT*} = C_{pp} + C_{ox} \quad (2-42)$$

Un resultado notable de este desarrollo es la introducción del *coeficiente de acoplamiento* K_{CG} , el cual, como se muestra en la expresión (2-43) es la relación entre la capacitancia C_{pp} (poly 2 – poly 1) y la capacitancia total C_{TOT*} de la expresión (2-42). Sustituyendo (2-43) en (2-41) obtenemos la expresión más simple para el voltaje flotante V_{FG} en términos del voltaje aplicado V_{CG} , mostrado en la ecuación (2-44).

$$K_{CG} = \frac{C_{pp}}{C_{TOT*}} \quad (2-43)$$

$$V_{FG} = K_{CG} V_{CG} \quad (2-44)$$

Para efectos de este trabajo y aplicaciones de similar magnitud podemos considerar a la contante de acoplamiento K_{CG} como un parámetro certero para medir la proporción entre los voltajes V_{GC} y V_{FG} , así como para determinar el voltaje de umbral del dispositivo, considerando en todo momento que las capacitancias parásitas y campos eléctricos circundantes pueden alterar ligeramente estas características.

En el caso particular de la tecnología CMOS, donde contamos con capacitancias por unidad de superficie típicas⁴² de $750 \text{ aF}/\mu\text{m}^2$ y $863 \text{ aF}/\mu\text{m}^2$ para el óxido entre poly 2 y poly 1 (C_{pp}) y para el óxido de compuerta entre poly 1 y sustrato (C_{ox}) respectivamente, una constante de acoplamiento resultante $K_{CG} = 0.46$ puede aproximarse de manera práctica a un factor de 0.5 en la mayoría de los casos.

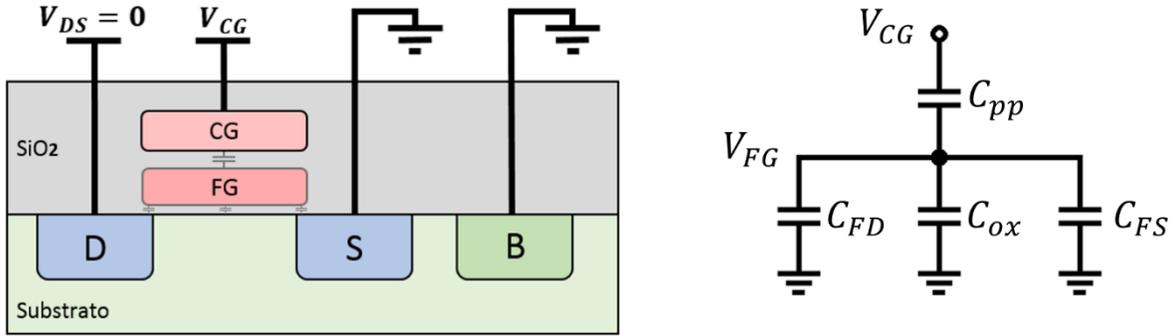


Figura 2-19. Estructura capacitiva del FGMOS en $V_{DS} = 0V$ y circuito equivalente.

Si siguiendo con el análisis del FGMOS, se introducen las capacitancias parásitas C_{FD} y C_{FS} en la estructura mostrada en la Figura 2-19, en la cual, como primera aproximación asumimos que no se aplica diferencia de potencial entre las terminales de drenador y fuente ($V_{DS} = 0$) y por lo tanto, el efecto en la estructura capacitiva y en particular, el voltaje que aparece en la compuerta flotante (V_{FG}) se debe únicamente al voltaje aplicado en la terminal de la compuerta de control (V_{CG}). Las terminales de fuente y substrato del dispositivo se consideran a tierra durante este desarrollo, así como en una gran variedad de aplicaciones.

Para el circuito equivalente mostrado en la Figura 2-19 la impedancia capacitiva total consta del paralelo de impedancias de C_{ox} con las capacitancias parásitas C_{FD} y C_{FS} en serie con la impedancia del capacitor C_{pp} como se muestra en la expresión (2-45).

$$Z_T = \frac{1}{j\omega C_{pp}} + \frac{1}{j\omega C_{FS} + j\omega C_{ox} + j\omega C_{FD}} \quad (2-45)$$

De igual manera que en el desarrollo anterior, evaluamos el voltaje V_{FG} a partir del divisor de voltaje propuesto en el circuito equivalente mostrado en la Figura 2-19 esta vez considerando todas las contribuciones de impedancia capacitiva, incluso para las capacitancias parásitas C_{FD} y C_{FS} . De este nuevo cálculo se obtiene la expresión (2-46) la cual es similar a (2-41), sin embargo, el término de sumatoria C_{TOT}^* involucra a los elementos parásitos como se observa en la expresión (2-47).

$$V_{FG} = V_{CG} \frac{\frac{1}{j\omega C_{FS} + j\omega C_{ox} + j\omega C_{FD}}}{\frac{1}{j\omega C_{pp}} + \frac{1}{j\omega C_{FS} + j\omega C_{ox} + j\omega C_{FD}}} = V_{CG} \frac{C_{pp}}{C_{FS} + C_{ox} + C_{FD} + C_{pp}}$$

$$V_{FG} = V_{CG} \frac{C_{pp}}{C_{TOT^*}} \quad (2-46)$$

$$C_{TOT^*} = C_{FS} + C_{ox} + C_{FD} + C_{pp} \quad (2-47)$$

A este punto se define una nueva constante de acoplamiento K_{CG} que considera las capacitancias parásitas como se muestra en la expresión (2-48).

$$K_{CG} = \frac{C_{pp}}{C_{TOT^*}} = \frac{C_{pp}}{C_{FS} + C_{ox} + C_{FD} + C_{pp}} \quad (2-48)$$

Por tanto, el nuevo valor del potencial flotante a diferencia de lo presentado en la expresión (2-44) se conforma como se muestra en la expresión (2-49).

$$V_{FG} = K_{CG} V_{CG} = V_{CG} \frac{C_{pp}}{C_{FS} + C_{ox} + C_{FD} + C_{pp}} \quad (2-49)$$

Por último en el análisis del potencial flotante, se añaden los efectos resultantes de aplicar una diferencia de potencial entre las terminales de drenador y fuente del transistor FGMOS, es decir, $V_{DS} \neq 0$. Nuevamente en este desarrollo, por conveniencia, fijamos las terminales de fuente y sustrato al potencial de tierra.

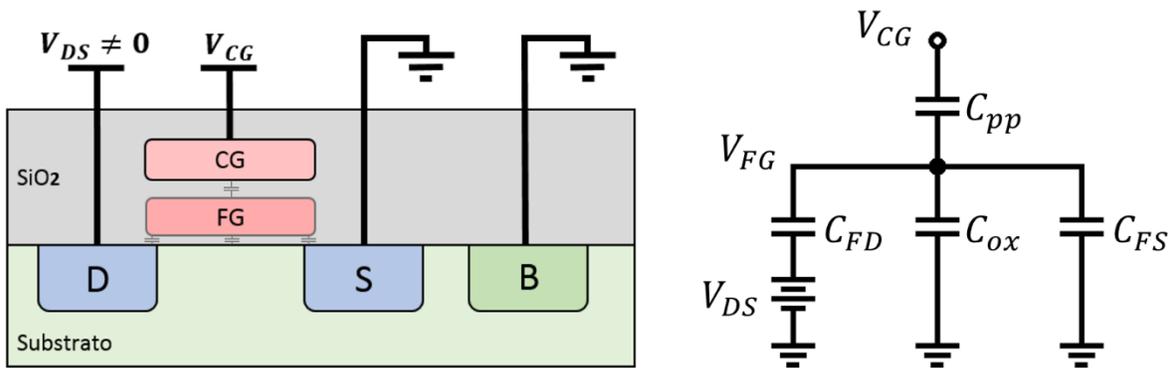


Figura 2-20. Estructura capacitiva del FGMOS en $V_{DS} \neq 0V$ y circuito equivalente.

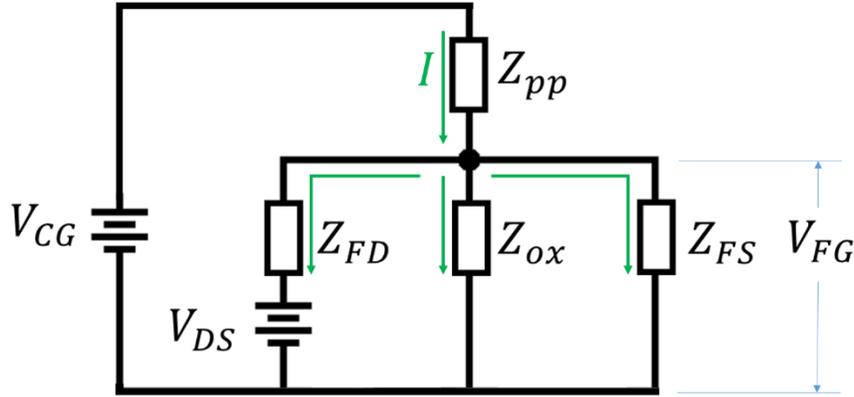


Figura 2-21. Análisis de nodos y mallas en el arreglo de impedancias del transistor FGMOS.

En la Figura 2-20 se muestra la estructura capacitiva que incluye también a los elementos parásitos y considerando ahora la diferencia de potencial V_{DS} entre drenador y fuente, que también puede ser vista netamente como el voltaje aplicado en la terminal de drenador (D) puesto que la terminal de fuente se encuentra a tierra.

Una vez considerada la transformación de los elementos capacitivos a su contraparte de impedancia, en particular $Z_{pp} = 1/j\omega C_{pp}$ y realizando el análisis de voltajes en las mallas de la Figura 2-21, encontramos que en todo momento se mantiene la relación expresada en la ecuación (2-50). Por otra parte, de un análisis de corrientes en el nodo de la compuerta flotante, obtenemos la corriente total expresada en la ecuación (2-51).

$$V_{FG} = V_{CG} - Z_{pp} \cdot I \quad (2-50)$$

$$I = \frac{V_{FG}}{\frac{1}{j\omega C_{FS}}} + \frac{V_{FG}}{\frac{1}{j\omega C_{ox}}} + \frac{V_{FG} - V_{DS}}{\frac{1}{j\omega C_{FD}}} \quad (2-51)$$

Partimos de combinar (2-50) y (2-51) para encontrar el voltaje de compuerta flotante a partir de los voltajes V_{CG} y V_{DS} aplicados.

$$V_{FG} = V_{CG} - \frac{1}{j\omega C_{pp}} (j\omega C_{FS} V_{FG} + j\omega C_{ox} V_{FG} + j\omega C_{FD} V_{FG} - j\omega C_{FD} V_{DS})$$

$$\begin{aligned}
 V_{FG} &= V_{CG} - \frac{1}{C_{pp}} (V_{FG}(C_{FS} + C_{ox} + C_{FD}) - C_{FD}V_{DS}) \\
 V_{FG} &= V_{CG} - V_{FG} \left(\frac{C_{FS} + C_{ox} + C_{FD}}{C_{pp}} \right) + V_{DS} \left(\frac{C_{FD}}{C_{pp}} \right) \quad (2-52)
 \end{aligned}$$

Despejando el potencial flotante V_{FG} de la expresión (2-52):

$$\begin{aligned}
 V_{FG} \left(\frac{C_{FS} + C_{ox} + C_{FD}}{C_{pp}} + 1 \right) &= V_{FG} \left(\frac{C_{FS} + C_{ox} + C_{FD} + C_{pp}}{C_{pp}} \right) = V_{CG} + V_{DS} \left(\frac{C_{FD}}{C_{pp}} \right) \\
 V_{FG} \left(\frac{C_{TOT^*}}{C_{pp}} \right) &= V_{CG} + V_{DS} \left(\frac{C_{FD}}{C_{pp}} \right) \\
 V_{FG} &= \left(\frac{C_{pp}}{C_{TOT^*}} \right) \left(V_{CG} + V_{DS} \left(\frac{C_{FD}}{C_{pp}} \right) \right) \quad (2-53)
 \end{aligned}$$

De manera similar a los desarrollos anteriores, la capacitancia total se interpreta como la sumatoria de todas los elementos capacitivos involucrados, sin embargo, para simplificar la notación de la ecuación (2- introducidos el factor⁴³ f , como la relación entre la capacitancia parásita de compuerta – drenador C_{FD} y la capacitancia entre capas de polisilicio C_{pp} . Finalmente, la expresión (2-54) nos muestra un modelo para el voltaje de compuerta flotante V_{FG} más íntegro y aproximado al comportamiento experimental. Cabe mencionar que el factor $f = C_{FD}/C_{pp}$ es en ocasiones despreciado pues su magnitud típica es muy pequeña.

$$V_{FG} = K_{CG}(V_{CG} + fV_{DS}) \quad (2-54)$$

El análisis previo nos permite hacer adecuaciones a las características de transconductancia en las regiones lineal y de saturación. La Tabla 2-2 muestra los cambios efectuados en la corriente de drenador cuando el voltaje compuerta – fuente se sustituye por la tensión de compuerta flotante de la expresión (2-54) y donde V_{GS^*} corresponde al voltaje aplicado en compuerta o voltaje de la compuerta de control V_{CG} .

Tabla 2-2. Corriente de drenador en el FGMOS

Transistor MOS convencional	Transistor MOS de compuerta flotante
$I_D = \beta \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right]$ <p>Región lineal</p>	$I_D = \beta \left[\left((K_{CG}(V_{GS^*} + fV_{DS})) - V_{TH} \right) V_{DS} - \frac{V_{DS}^2}{2} \right]$
$I_D = \frac{\beta}{2} (V_{GS} - V_{TH})^2$ <p>Región de saturación</p>	$I_D = \frac{\beta}{2} (K_{CG}(V_{GS^*} + fV_{DS}) - V_{TH})^2$
$g_m = \frac{\delta I_{DS}}{\delta V_{GS}} = \beta (V_{GS} - V_{TH})$ <p>Transconductancia</p>	$g_m = \frac{\delta I_{DS}}{\delta V_{GS^*}} = \beta K_{CG}^2 (V_{GS^*} + fV_{DS} - \frac{V_{TH}}{K_{CG}})$

Como lo prevén los resultados de la sustitución en la Tabla 2-2, se requiere aplicar en la compuerta de control un voltaje V_{CG^*} aproximadamente $1/K_{CG}$ veces mayor para obtener los mismos puntos de operación que aplicando V_{GS} sobre la compuerta del transistor MOS convencional.

2.5. Conclusiones del capítulo

Este capítulo refleja principalmente la viabilidad de implementación del prototipo en términos de la tecnología CMOS estándar y niveles de consumo de energía razonables, dando pie a continuar con un proceso de diseño estructurado y con apego a las normas y limitaciones del fabricante MOSIS.

Del análisis electrostático se recupera suficiente información para la toma de decisiones en la selección de capas de materiales de un proceso de fabricación dado, es decir, considerando las repercusiones del escalamiento y las herramientas para modelado dinámico aquí expuestas. Más aún, conociendo las propiedades de espesor y orden de depósito de las capas, se obtiene el más amplio criterio para definir la capa adecuada para cada elemento de un sistema microsensado o microactuador. También es importante resaltar el compromiso entre el diseño de fácil implementación y el consumo de energía, que es una constante en los

sistemas electrónicos y en especial en los de alta escala de integración. Si bien aplicaciones de radiofrecuencia en un amplio espectro de frecuencias están basados en el probado alto desempeño y confiabilidad de los microinterruptores RF-MEMS, la aplicación de inyección, extracción y control de la carga eléctrica al interior de la compuerta flotante de un transistor FGMOS (aplicación mayormente relacionada con corriente continua) pudiera no ser totalmente compatible con los parámetros de desempeño de la tecnología RF.

En cuanto al desempeño del interruptor como línea de transmisión de la señal, se concluye que en corriente continua las únicas pérdidas serán debidas a la resistividad de la membrana de aluminio y la calidad de su contacto metálico, mientras que en el ámbito de la corriente alterna, la pérdida de inserción en el régimen de hasta decenas de MHz se mantiene por debajo del $-0.05dB$ solicitado comúnmente en telefonía⁴⁴.

Finalmente, el análisis realizado sobre el comportamiento de la compuerta flotante nos brinda certeza y expectativas para abordar la etapa de simulación eléctrica, destacando el interés en conservar la carga deseada en la compuerta flotante en un entorno ideal de fuga de corriente cero y sin dejar de lado que la herramienta multifísica de ser necesario, podría adaptarse para corroborar y dar solidez a un prototipo en desarrollo.

²⁶ (Sadiku, 2003) p. 224

²⁷ (Sadiku, 2003) p. 134

²⁸ (Kaajakary, 2009) p. 91

²⁹ (Sadiku, 2003) p. 226

³⁰ (Kaajakary, 2009) p. 227

³¹ (Sze & Kwok, 2007) pp. 748-749

³² (McKelvey, 1966) pp. 191-196

³³ (Kaajakary, 2009) p.285

³⁴ (Kaajakary, 2009) p.295

³⁵ (Ogata, 2005) pp. 90-95

³⁶ (Ogata, 2005) p. 516

³⁷ (Kotani, Shibata, Imai, & Ohmi, 1998)

³⁸ (Bleiker, 1987)

³⁹ (Molinar-Solis, 2006)

⁴⁰ (Ponce-Ponce, 2005)

⁴¹ (Baker, 2005) p. 67

⁴² (MOSIS C5N, 2015)

⁴³ (Molinar-Solis, 2006) p. 123

⁴⁴ (Kaajakary, 2009) p. 296

3. Métodos de diseño

La tecnología CMOS estándar de $0.5\mu m$ es una solución versátil y accesible para llevar a cabo proyectos de diseño académicos. La suite de herramientas de Tanner⁴⁵ y en particular, la paquetería conocida como L-Edit⁴⁶ permite diseñar libremente la topología geométrica de muy diversos circuitos integrados, sin embargo, las características que son relevantes en la interfaz de usuario, son en primera instancia, la posibilidad de consolidar la compatibilidad del diseño propuesto con las reglas y normas de fabricación reales en el proceso industrial y, por otra parte, la capacidad de extraer parámetros eléctricos en el formato SPICE para realizar simulaciones del comportamiento eléctrico de la topología diseñada.

A diferencia del diseño electrónico convencional, el diseño de las estructuras consideradas como microelectromecánicas se convierte en un proceso interdisciplinario, donde el ajuste de parámetros de simulación eléctrica y las consideraciones mecánicas de deformación y conductividad térmica están interrelacionados, sin dejar de lado importantes características del post-proceso como el control sobre el micromaquinado.

La estrategia de diseño del presente trabajo comprende tres grupos de tareas principales cuyos resultados parciales se retroalimentan para influir en el análisis global de la propuesta topológica inicial. La Figura 3-1 muestra de manera general los rubros de diseño y sus tareas fundamentales. El proceso inicia con una propuesta inicial basada en las dimensiones que se pueden implementar en las diferentes capas de material de la tecnología CMOS, un layout de prueba se somete al método DRC (Design Rule Checking) y se verifica que las estructuras puedan ser fabricadas de conformidad con el proceso tecnológico. Dado un diseño satisfactorio el proceso se diversifica generando de manera paralela un modelo físico correspondiente en la plataforma de COMSOL, el cual conserva las características del layout y considera los espesores de cada una de las capas así como la separación entre las mismas. El proceso de diseño electrónico CMOS continúa con el diseño de los dispositivos activos y pasivos que circundan al elemento electromecánico y los elementos auxiliares como los son bloques de interconexión y pads de conexión al exterior.

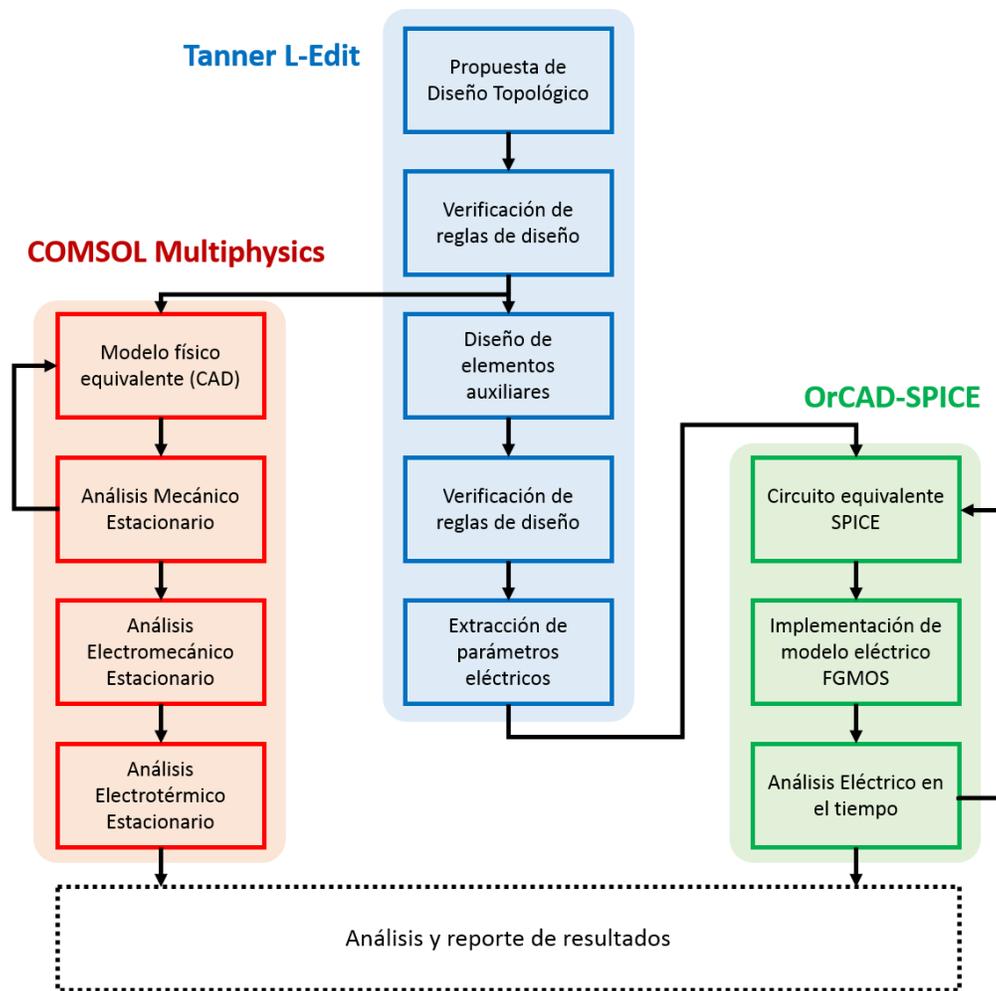


Figura 3-1. Proceso de diseño.

3.1. Geometría y diseño topológico

La tecnología AMIS de $0.5\mu m$ (SCN3ME_SUBM) para transistores con longitud de canal mínima de $0.6\mu m$ incorpora 27 reglas de diseño con sus correspondientes apartados y casos particulares. Se le considera una tecnología escalable pues los diseños en su plataforma utilizan la medida unitaria lambda ($\lambda = 0.3\mu m$) que puede traducirse a diferentes magnitudes a través de las diversas tecnologías de fabricación CMOS conservando sus proporciones. Dicho esto, puede resaltarse que la longitud mínima de canal en un transistor MOS diseñado bajo una tecnología AMIS escalable, independientemente de su edición, es de 2λ .

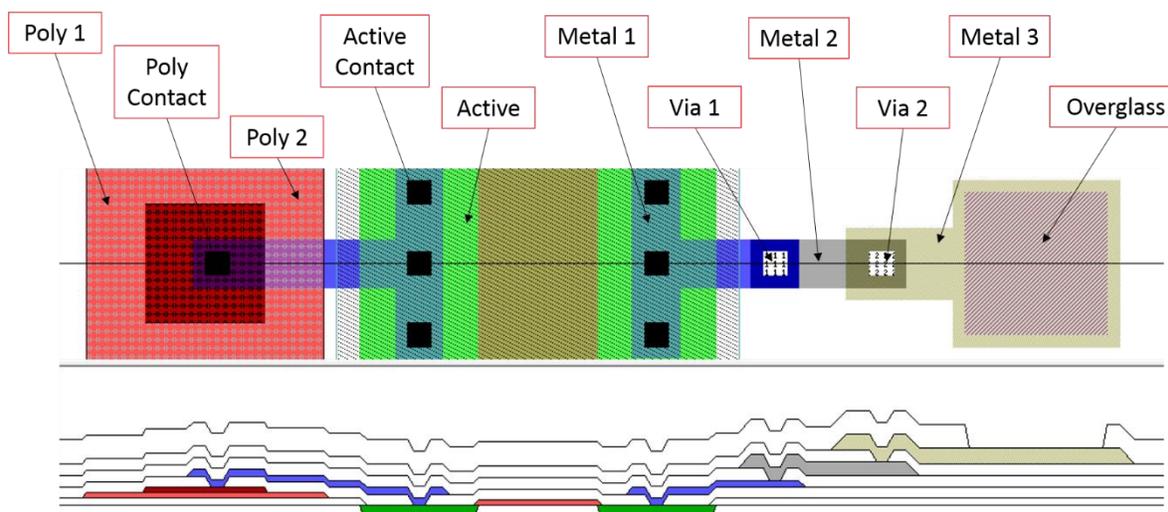


Figura 3-2. Capas y corte transversal de la tecnología AMIS 0.5.

Otro aspecto a considerar en la tecnología AMIS, es que ésta tiene un enfoque de fabricación, por lo que sus diversas capas, ya sean dibujadas o derivadas, corresponden a mascarillas fotolitográficas y éstas a su vez se identifican mediante un número estandarizado por el protocolo GDSII (Graphic Database System 2). El Anexo C incluye importantes parámetros de fabricación CMOS bajo la tecnología AMIS 0.5.

La Figura 3-2 presenta un layout de muestra con las principales capas de la tecnología AMIS y un corte transversal de las mismas en el que se aprecian las interconexiones entre ellas. Cabe resaltar que la capa superior Overglass es una capa de decapado en el proceso de fabricación que deja expuesta a la superficie la capa de Metal 3 lo que permite hacer postprocesos de micromaquinado superficial de manera directa.

3.2. Elementos microelectromecánicos

Con base a los resultados del análisis sobre el efecto Joule mostrados en la sección 2.2 y optando por la arquitectura de la Figura 1-20 (c), se propone un diseño del tipo membrana rectangular de lados iguales la cual se sujeta por sus cuatro esquinas mediante resortes empotrados como se muestra en la Figura 3-3. El elemento tipo membrana es aquél que ha de desplazarse por actuación capacitiva para encontrarse con los extremos de la línea de transmisión y cerrar momentáneamente el circuito de conexión con la compuerta flotante del FG MOS.

Diseño de un interruptor de RF-MEMS como alternativa para el funcionamiento quasi-flotante del FG MOS

De manera general, por la naturaleza del postproceso aplicado sobre el circuito fabricado en tecnología CMOS estándar, es preciso diseñar esta membrana con un arreglo de aberturas a lo largo de la membrana las cuales permitan el paso del agente decapante y liberen a la estructura de sus capas de óxido de silicio superior e inferior por igual.

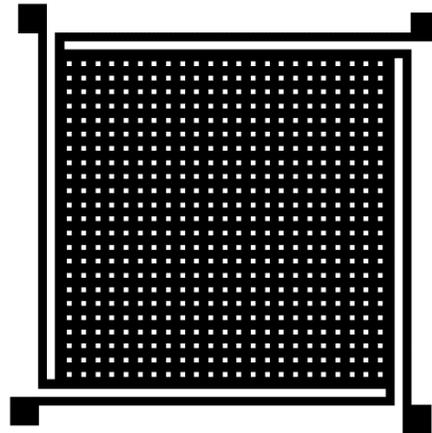


Figura 3-3. Estructura tipo membrana propuesta.

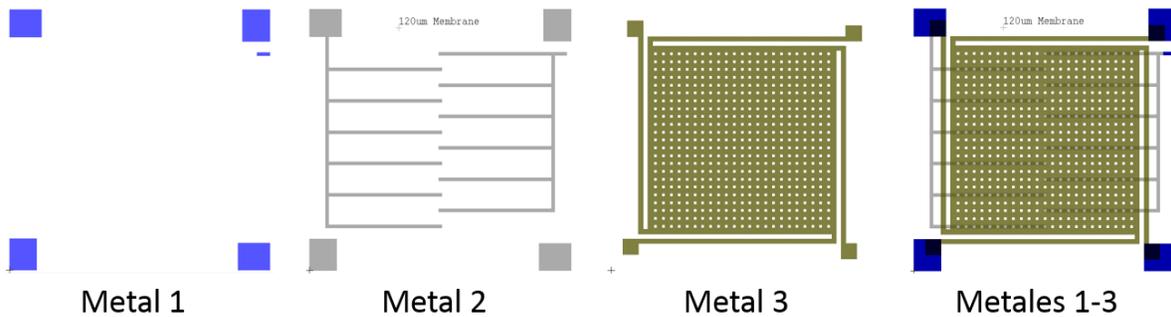


Figura 3-4. Secuencia de metales 1 a 3 en la estructura de membrana.

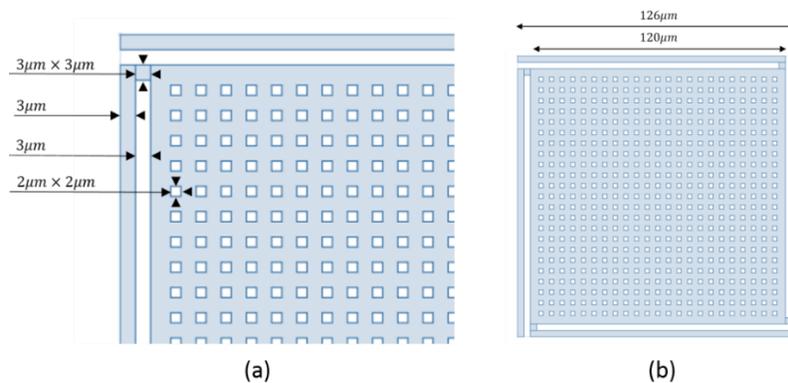


Figura 3-5. Dimensiones propuestas para la membrana base de $120\mu m$.

Como primera aproximación se propone implementar la estructura antes descrita en la capa de Metal 2 del proceso CMOS y hacerla cerrar el circuito al entrar en contacto con Metal 1. Sin embargo, la separación entre los metales 1 y 2 ($d = 1\mu m$) es mayor que el desplazamiento de equilibrio de fuerzas ($x_0 = x_p = 0.83\mu m$) y la propuesta se desecha por dificultades en el proceso de simulación multifísica que implican sobrepasar el voltaje de tiro (V_p) descrito en la sección 2.1.4 Punto de Equilibrio, dando como resultado la no convergencia de la simulación dinámica.

Continuando con el flujo de diseño, se propone en consecuencia enlazar una membrana de Metal 3 con una línea de transmisión de Metal 2, lo que implica valores $d = 1\mu m$ y $x_0 = x_p = 1.55\mu m$, mismos que convergen con un error relativo inferior a 1×10^{-3} .

La secuencia mostrada en la Figura 3-4 representa a las 3 capas metálicas del proceso de fabricación en lo que a la estructura de membrana se refiere, en primera instancia, en Metal 1 se implementan bloques rectangulares de sujeción, mismos que aparecen también en sus contrapartes superiores y se enlazan una con otras por medio de vías metálicas de las capas Via 1 y Via 2. Por su parte, en Metal 2 se desarrolla una propuesta de línea de transmisión, con conexión a un voltaje externo a través del anclaje superior izquierdo y conexión con la compuerta flotante del FGMOS mediante una línea de salida, los elementos en esta capa se desean delgados con la menor área activa posible evitando que absorban o interfieran el campo eléctrico de actuación. Por último se muestran el elemento de membrana en Metal 3 con sus respectivos anclajes y una superposición en las tres capas metálicas. Esta representación se basa en una membrana de $120\mu m$ de lado, la cual tomamos como base para este trabajo.

Retomando las características de la membrana, la Figura 3-5 (a) muestra las dimensiones de los resortes, nodos de unión y aberturas en la membrana, las cuales son compartidas para posteriores diseños de prueba que van desde las $100\mu m$ hasta las $150\mu m$, por su parte, la Figura 3-5 (b) muestra las dimensiones que ocupan una membrana base de $120\mu m$ y sus respectivos resortes, pero sin considerar las áreas de sujeción, es decir, una representación de la masa móvil susceptible a la actuación electrostática.

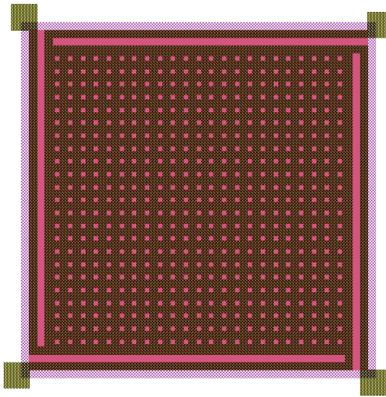


Figura 3-6. Superposición de Poly 1 y Metal 3 en la estructura de membrana.

Finalizando con el diseño de la estructura capacitiva de actuación, se implementa una capa de Poly 1, la cual, por proceso se sitúa debajo de Metal 1 y se busca que su superficie abarque a toda la masa móvil para que su efecto de actuación capacitiva sea máximo dentro de las dimensiones de la estructura. La Figura 3-6 muestra una superposición de la capa de Poly 1 y Metal 3 que conforman las placas del varactor utilizado como interruptor. La Figura 3-6 también incluye las placas de sujeción y la ventana en Overglass para el postproceso.

3.3. Compuerta flotante en tecnología CMOS

Como aplicación, la estructura electromecánica antes descrita busca conectarse a la compuerta flotante de un transistor FGMOS proveyendo a ésta de un potencial de precarga que permita desplazar el punto de operación del voltaje de umbral. Como se revisó en la sección 1.1.3, el transistor FGMOS se compone de dos subestructuras capacitivas acopladas las cuales pueden ser diseñadas, fabricadas y analizadas por medio del proceso de fabricación CMOS estándar.

El primer paso en el diseño de un transistor MOS de compuerta flotante involucra conocer la capacitancia de difusión N o P hacia Poly 1 según sea el caso de un transistor NMOS o PMOS respectivamente. La paquetería L-Edit de Tanner configurada en tecnología AMIS 0.5 provee datos de $2476aF/\mu m^2$ y $2377aF/\mu m^2$ para regiones activas N y P, respectivamente. Una vez conocida la capacitancia Poly 1 – Substrato, pueden determinarse las dimensiones aproximadas del capacitor Poly 1 – Poly 2 necesario para una constante de acoplamiento K_{CG} deseada.

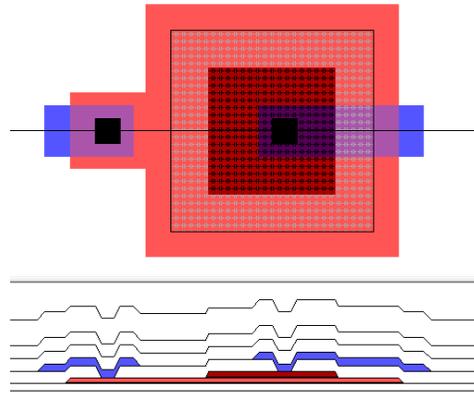


Figura 3-7. Capacitor Poly 1 – Poly 2.

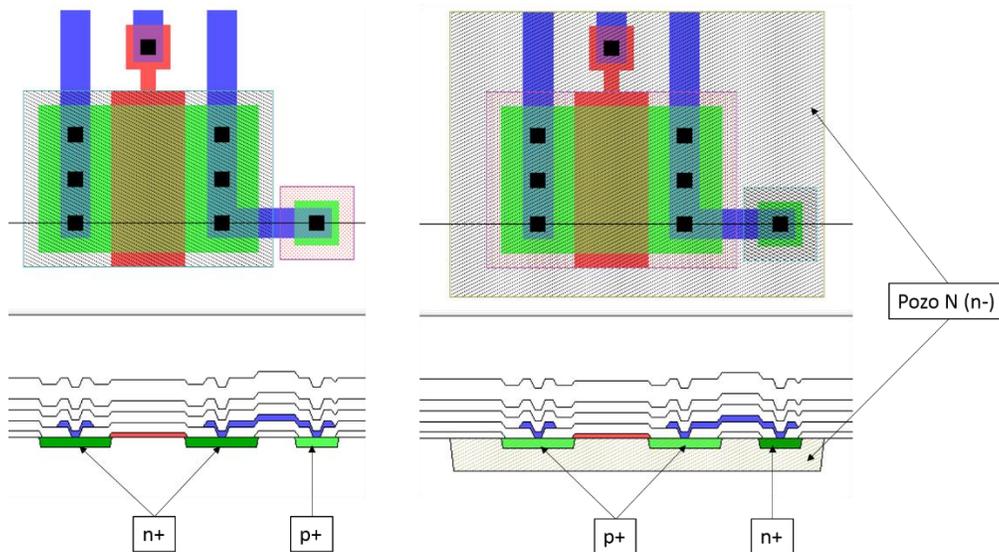


Figura 3-8. Transistores NMOS y PMOS convencionales.

La Figura 3-7 muestra una implementación de capacitor Poly 1 – Poly 2 y su correspondiente corte transversal. Las terminales de contacto se fabrican con las capas Poly Contact y Poly 2 Contact y la extracción de parámetros eléctricos SPICE se derivan de la capa Capacitor ID.

Por su parte, la Figura 3-8 ilustra las diferencias entre los transistores NMOS y PMOS de la tecnología AMIS 0.5, donde resaltan las regiones de difusión de portadores P y N y el pozo N necesario para la fabricación de transistores tipo P en el substrato P utilizado en esta tecnología CMOS. Sin embargo, los transistores PMOS suelen diseñarse con un *ancho de canal W* tres veces mayor que los transistores NMOS para compensar las diferencias de movilidad de portadores.

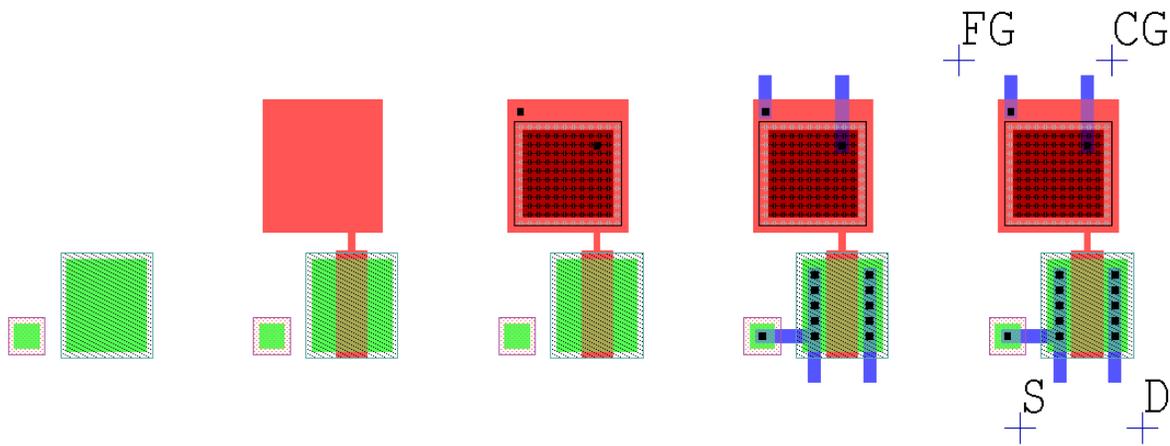


Figura 3-9. Secuencia de diseño FGMOS-N.

La secuencia de diseño en L-Edit mostrada en la Figura 3-9 muestra las capas, interconexiones y terminales de un transistor FGMOS tipo N.

3.4. Elementos auxiliares

Como trabajo complementario, en el presente trabajo se propone una alternativa de *PadFrame* adecuado a las necesidades del proyecto, así como la implementación de cada uno de los bloques de diseño en el formato de *celda*, de manera que puedan ser llamados como instancias en la configuración final de este prototipo y en posteriores desarrollos. El padframe comprende el marco exterior del diseño y por medio de celdas de entrada y salida ofrece puntos de conexión al exterior que constan de pads metálicos en una abertura de Overglass, dichos pads permiten realizar mediciones directas por medio de una máquina de puntas y facilitan el encapsulado por medio de *bonding wires*.⁴⁷

Los pads presentados en la Figura 3-10 incluyen pads de conexión a VDD y VSS, considerando la implementación de los diodos de protección en región activa y el pad de tensión de referencia (ref Pad) con un resistor de pozo N de $10k\Omega$ conectado a sustrato. Por su parte, la Figura 3-11 muestra el pad de entrada/salida (I/O pad) para conectar fuentes y tomar mediciones generales; el pad sin conexión (NC pad), la línea sin pad (padless) y la esquina sin pad (padless corner), siendo que estos tres últimos funcionan principalmente como puente para unir a los demás tipos de pad y completar el circuito del padframe.

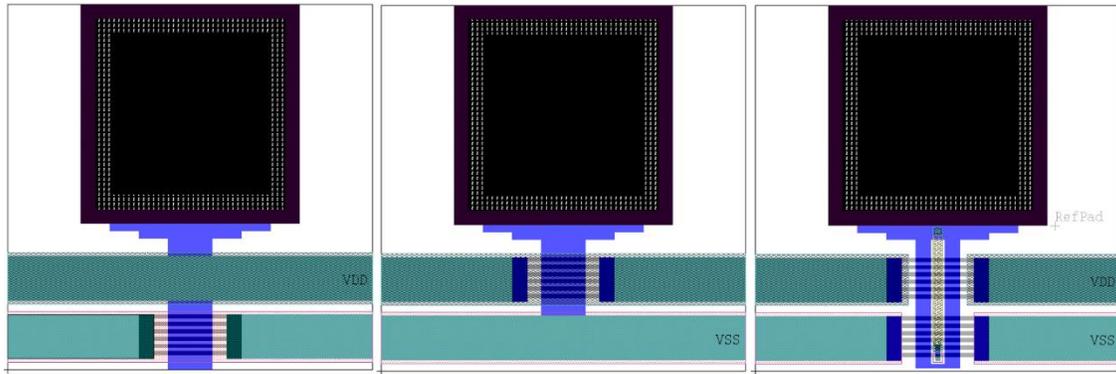


Figura 3-10. Pads de conexión a VSS, a VDD y de tensión de referencia.

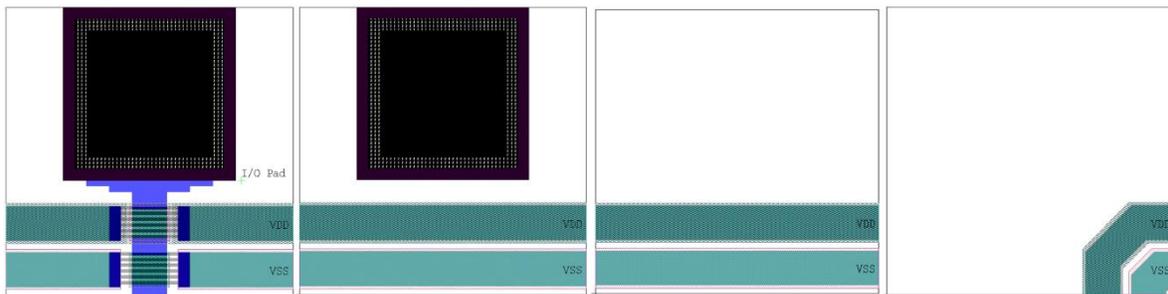


Figura 3-11. I/O pad, NC pad, padless y padless corner.

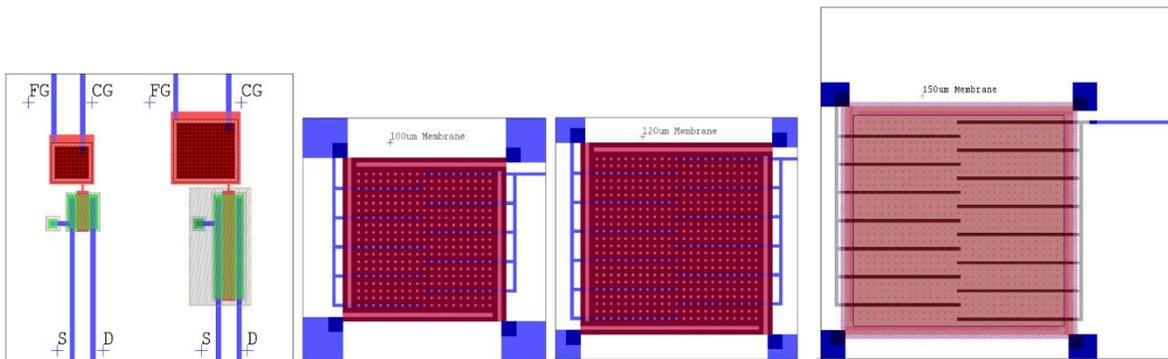


Figura 3-12. Celdas de FGMOS y de membranas de 100, 120 y 150 μ m.

Todos los pads antes descritos fueron almacenados como celdas de diseño, y de igual manera, se generaron una celda conteniendo dos transistores FGMOS, uno tipo N y uno tipo P con sus respectivos puntos de conexión, y las tres celdas para membranas de prueba de 100, 120 y 150 μ m que se muestran en la Figura 3-12.

Por último, en la Figura 3-13 se reúnen las distintas celdas en una propuesta base de diseño integrando las diversas celdas procurando espacio para conectar celdas de diferentes tamaños con transistores FGMOS ya sea tipo N o tipo P.

Diseño de un interruptor de RF-MEMS como alternativa para el funcionamiento cuasi-flotante del FGMOS

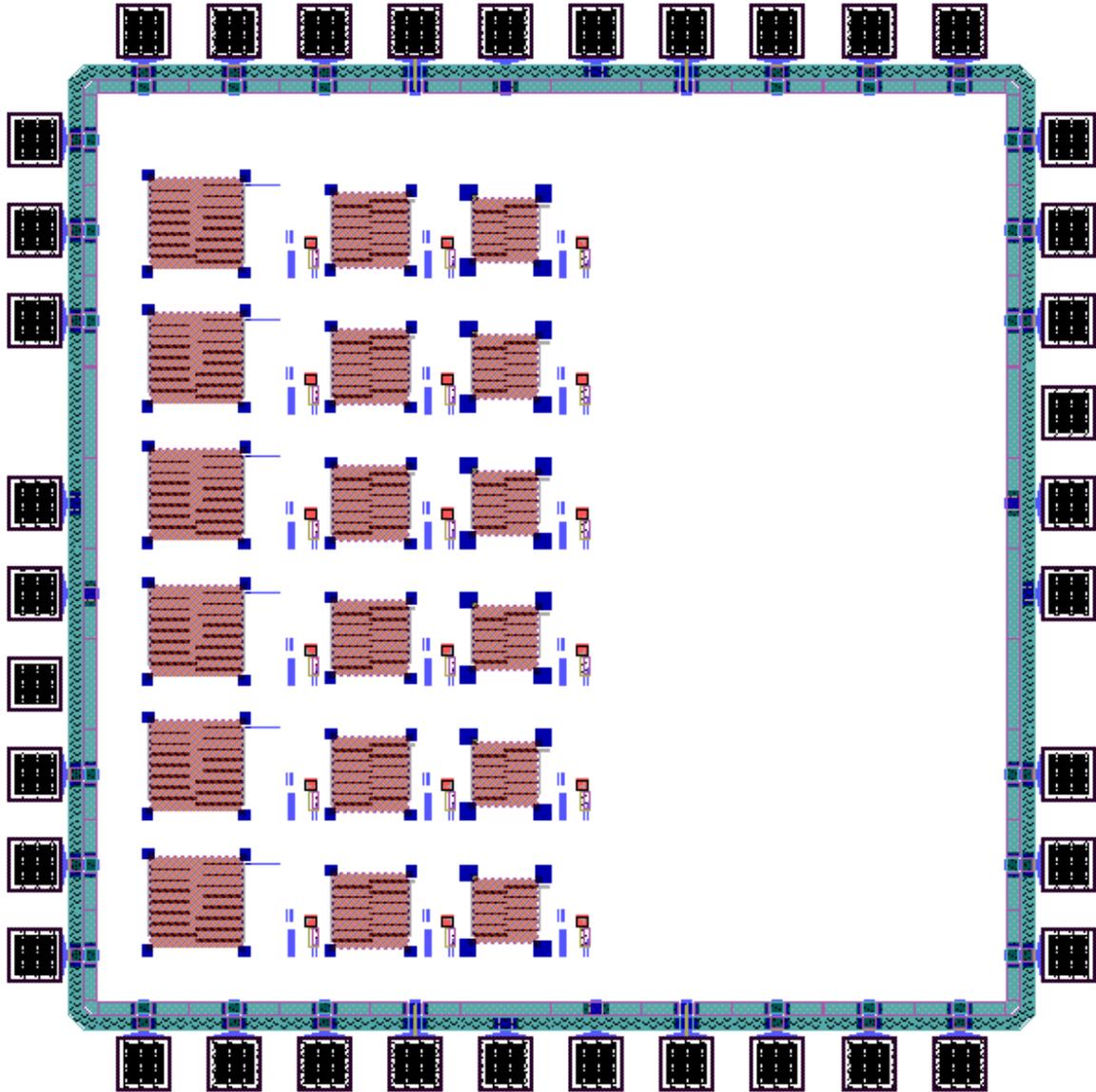


Figura 3-13. Propuesta básica de PadFrame.

3.5. Modelo multifísico

Conforme se van estructurando las características del diseño, se van realizando adecuaciones al modelo mecánico que ha de simularse por medio de la herramienta COMSOL Multiphysics. El diseño de $120\mu m$ previamente descrito se traslada a un modelo tridimensional equivalente, que incluye la geometría y capas mostradas en la Figura 3-14.

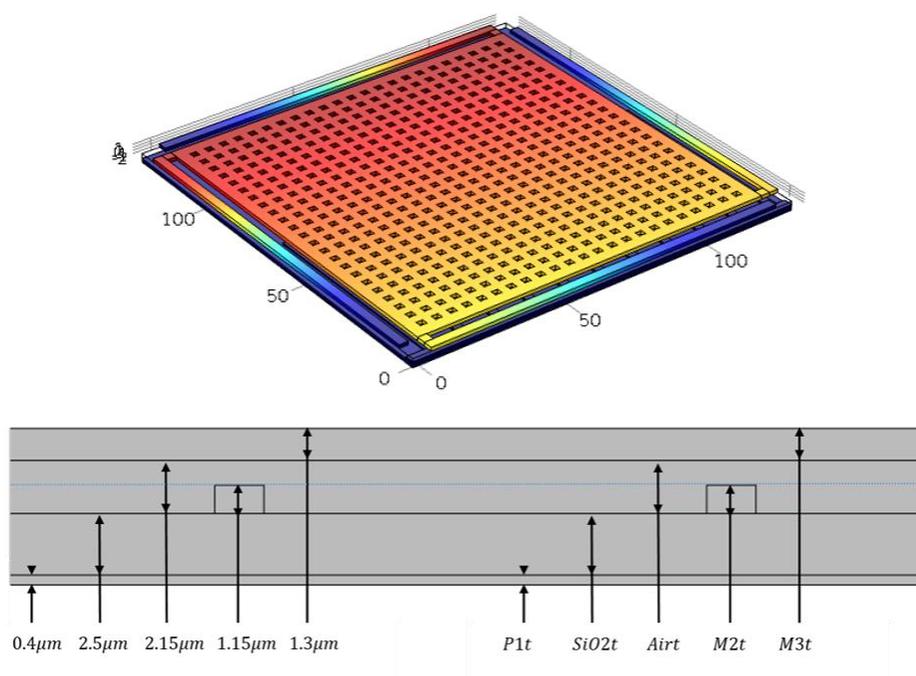


Figura 3-14. Modelo geométrico para simulación multifísica.

La interfaz de COMSOL Multiphysics permite dibujar bloques geométricos que representan a los volúmenes sólidos y gaseosos involucrados, concediéndole a cada uno un medio material con sus correspondientes parámetros y propiedades físicas. A fin de realizar una simulación por elemento finito, la geometría se somete a un proceso de mallado y se establecen algunas de las condiciones de frontera deseadas para el cálculo de los gradientes de fuerza y temperatura involucrados. Los parámetros de simulación establecidos para el presente trabajo y los resultados de la misma se ubican en el Anexo A y en el capítulo 4.1 Simulación electromecánica por elemento finito, respectivamente.

3.6. Conclusiones del capítulo

La base primordial de un diseño de layout efectivo es el conocimiento de la tecnología de dispositivos CMOS en la que se está trabajando la fabricación del circuito integrado propuesto. Tener noción de los procesos tecnológicos involucrados y las características de cada una de las capas y materiales disponibles en la tecnología, permite al diseñador sacar

ventaja de los mismos para fabricar novedosos dispositivos como lo son algunas de las estructuras MEMS aquí analizadas y propuestas.

Asegurar una completa revisión al proceso tecnológico y a la bibliografía relacionada permite establecer una relación más estrecha entre el diseño del layout y la simulación eléctrica pertinente. Un caso particularmente llamativo de esta relación, cuando el caso de estudio involucra el diseño de transistores MOS de compuerta flotante, es el de los capacitores de acoplamiento Poly 2 – Poly 1 y Poly 1 – Substrato, los cuales modulan la constante de acoplamiento K_{CG} . Obtener previo conocimiento de las capacitancias intrínsecas del proceso y cómo varían éstas conforme la tecnología avanza de escala de integración, permite al diseñador establecer la estrategia de diseño y dimensiones de los capacitores, por supuesto, conservando el apego a las reglas de diseño, lo cual es fundamental para contar a plenitud con los beneficios de un servicio profesional de fabricación CMOS.

Por último pero no menos importante, dichas nociones sobre el proceso industrial y sus implicaciones en el estudio eléctrico, permiten determinar los parámetros y estímulos de la simulación multifísica. Si bien en el diseño CMOS convencional la simulación eléctrica es un indicador necesario y suficiente del desempeño del diseño, para el desarrollo de dispositivos y sistemas microelectromecánicos toma relevancia singular la simulación dinámica de la estructura en cuestión. Conocer la composición y dimensiones de las capas de la tecnología CMOS convencional seleccionada es crucial para el diseño de MEMS basados en dicho proceso.

⁴⁵ (Tanner Research, <http://www.tanner.com/>, 2001)

⁴⁶ (Tanner Research, <http://www.tannereda.com/l-edit-pro>, 2015)

⁴⁷ (Baker, 2005) p. 59

4. Métodos de prueba

A continuación se presentan los métodos de análisis electromecánico, electrotérmico y eléctrico que se aplicaron al sistema propuesto. La simulación multifísica comprende un apartado de caracterización mecánica de la estructura tipo membrana y aplicación de potencial electrostático con su correspondiente desplazamiento mecánico. Por otra parte, la simulación eléctrica establece un modelo y componente representativo para ambos: el transistor de compuesta flotante y el interruptor electromecánico. Las consecuencias del efecto Joule en la muestra analizada se detallaron en la sección 2.2. Los parámetros de simulación multifísica y simulación eléctrica se ubican a manera de referencia en el Anexo A y el Anexo B, respectivamente.

4.1. Simulación electromecánica por elemento finito

El proceso de simulación electromecánica realizado con el paquete COMSOL comienza con el modelo geométrico equivalente, el cual, se compone de dominios. Cada uno de estos dominios es la extrusión de un plano de trabajo y ocupa un volumen al cual se le pueden asociar las características de un material en particular. A grandes rasgos, la simulación multifísica se compone de los siguientes pasos:

- Selección del espacio de trabajo y tipo de estudio: Dependiendo de la variable física a analizar, se selecciona entre modelos 2D, 3D o de simetría axial y entre estudios en el dominio del tiempo, el dominio de la frecuencia o estacionarios.
- Definición de la geometría: Se definen los dominios (cuerpos sólidos y/o volúmenes de fluido) a analizar y para facilitar su manejo se hacen selecciones explícitas de ciertas regiones o conjuntos de superficies de especial interés.
- Asignación de materiales: se le confiere a cada uno de los dominios las propiedades de un material, las que pueden incluir propiedades mecánicas, térmicas, eléctricas, entre otras.
- Física: se selecciona el tipo de fenómenos físicos de interés y se definen las fuerzas, gradientes, restricciones y condiciones de frontera que el usuario quiere incluir en su modelo. Algunas de estas propiedades se superponen mientras que algunas otras se ven inhibidas por una de mayor jerarquía o más reciente actualización. En un proyecto multifísico, como por ejemplo el de Efecto Joule, es preciso interrelacionar o acoplar

adecuadamente las propiedades eléctricas y térmicas del mismo dominio, a fin de obtener un resultado realista y apropiado.

- **Mallado:** Se definen las propiedades y dimensiones de la malla para el análisis de elemento finito mediante las ecuaciones apropiadas para cada módulo (eléctrico y térmico). La resolución de la malla y su compatibilidad con el dominio en particular afectan directamente al costo computacional de la simulación, por lo que es importante lograr un compromiso entre tiempo de cómputo y exactitud.
- **Estudio:** se configuran las variables independientes y el barrido de las mismas en el análisis, así como las tolerancias máximas de error en el resultado. Una vez ejecutado el estudio, inicia el cómputo de las variables dependientes para cada una de las condiciones previamente establecidas o solicitadas.
- **Resultados:** provee de una interfaz para la representación gráfica y tabulación de resultados, ya sea globales, volumétricos, superficiales o puntuales para cada dominio mallado e involucrado en el estudio.

Para el modelo propuesto en el presente trabajo, se siguió el esquema arriba mencionado a través de un modelo 3D con estudio estacionario. La Figura 4-1 muestra la geometría dibujada y la asignación de materiales que se hizo a cada uno de los dominios.

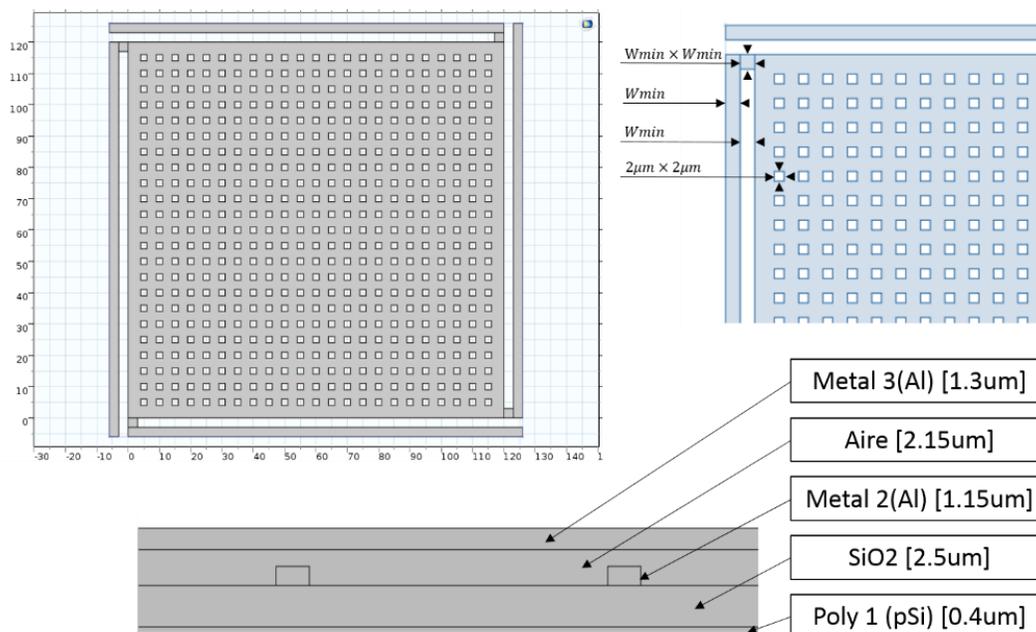


Figura 4-1. Dimensiones y capas del modelo mecánico equivalente.

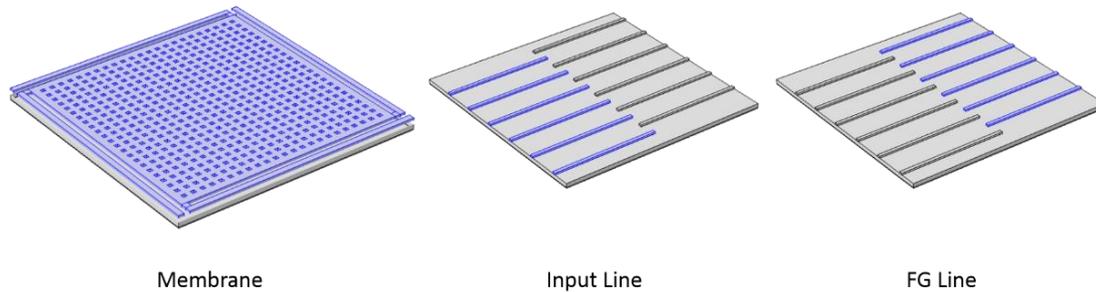


Figura 4-2. Selecciones explícitas de superficie.

Por su parte, la Figura 4-2 muestra tres de las cuatro selecciones explícitas fundamentales para el análisis electrostático, pues estas superficies son las que han de portar los potenciales eléctricos de interés. Cabe resaltar que estos dominios se corresponden con las capas de diseño topológico descritas en la sección 3.1 una vez realizado el post proceso de maquinado superficial. Continuando con el proceso de simulación, se establecen las restricciones mecánicas del sistema (*fixed constrain*), es decir, las capas de Poly 1, SiO₂ y Metal 2, así como los extremos de cada una de las vigas de resorte se fijan con un desplazamiento cero para todo momento de la simulación. Este proceso es válido para las simulaciones mecánica y electrostática. El primer contexto de prueba se realiza aplicando una fuerza de prueba superficial (*boundary load*), vertical en dirección de $-z$ (hacia abajo) sobre toda la superficie de la membrana, excepto en los extremos de los resortes.

El estudio se configura en un barrido anidado de los parámetros fuerza (*Applied Force*) de 0 a $1.5\mu N$ y la longitud de lado de la membrana cuadrangular (*membrane length*). El resultado de la prueba se muestra en la Figura 4-3 como el desplazamiento en el eje z en función de la fuerza aplicada. Del resultado anterior destaca que una membrana aproximadamente de $115\mu m$ por lado, tendría un desplazamiento aproximado de $1\mu m$ por cada μN aplicado. A continuación, parte del mismo estudio revela la magnitud del esfuerzo que las vigas de aluminio soportan en presencia de la fuerza de prueba. La Figura 4-4 ilustra el crecimiento del esfuerzo von Mises mientras que la Figura 4-5 resalta los puntos de máximo estrés. Cabe señalar que no se rebasa el esfuerzo límite de deformación inelástica⁴⁸ típico para el aluminio ($\sim 70MPa$).

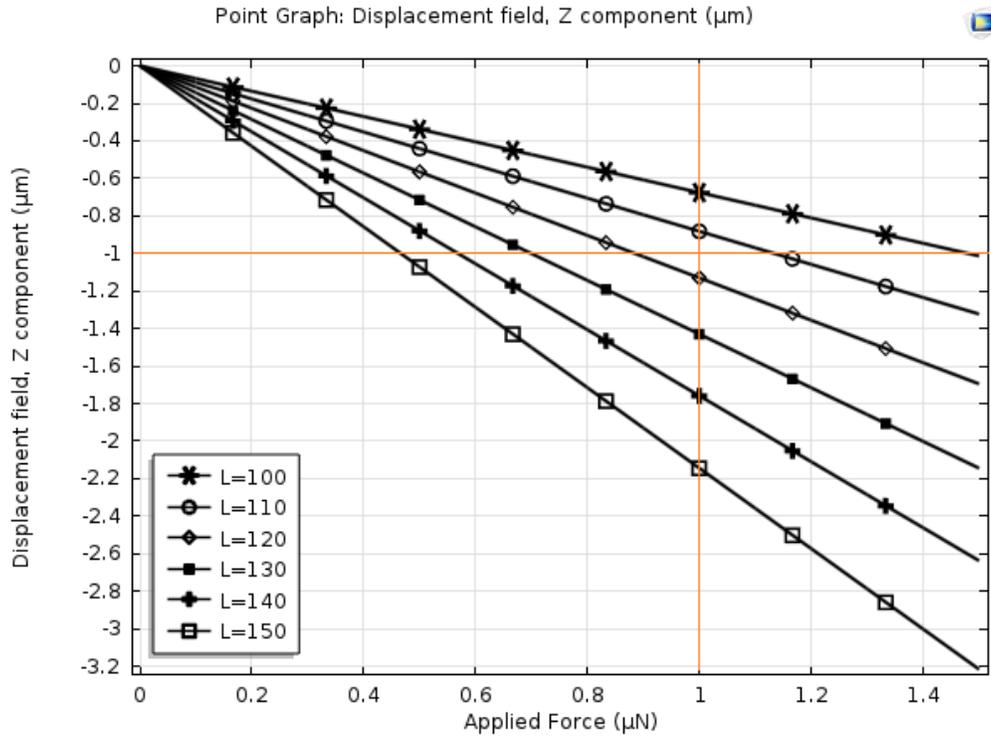


Figura 4-3. Desplazamiento en z en función de la fuerza aplicada.

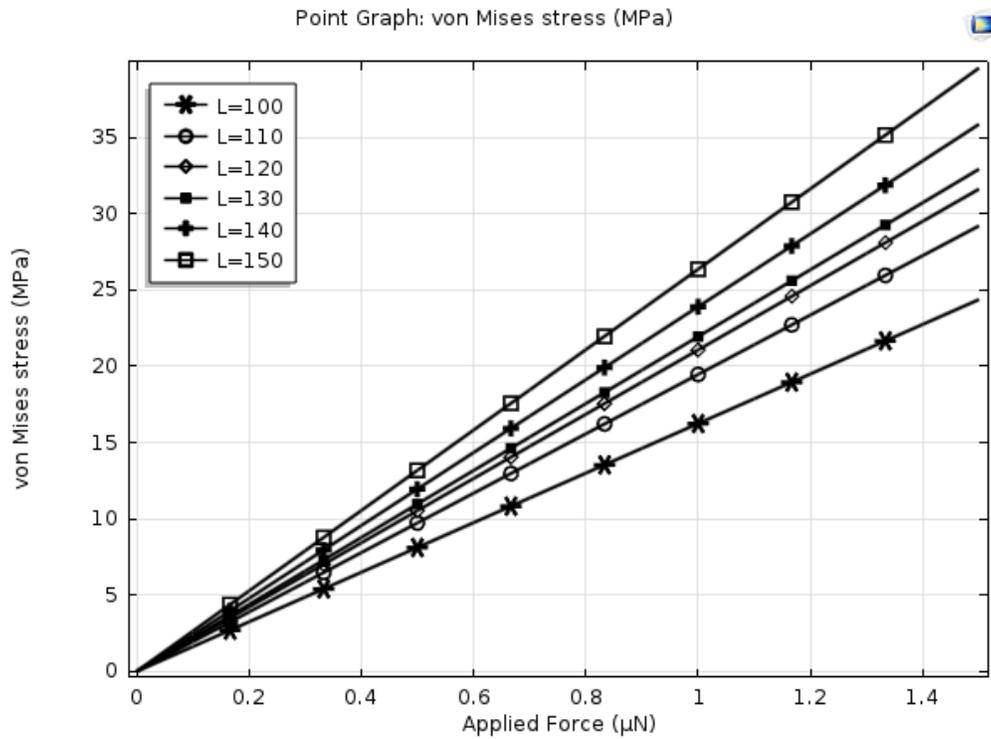


Figura 4-4. Esfuerzo Von Mises en función de la fuerza aplicada.

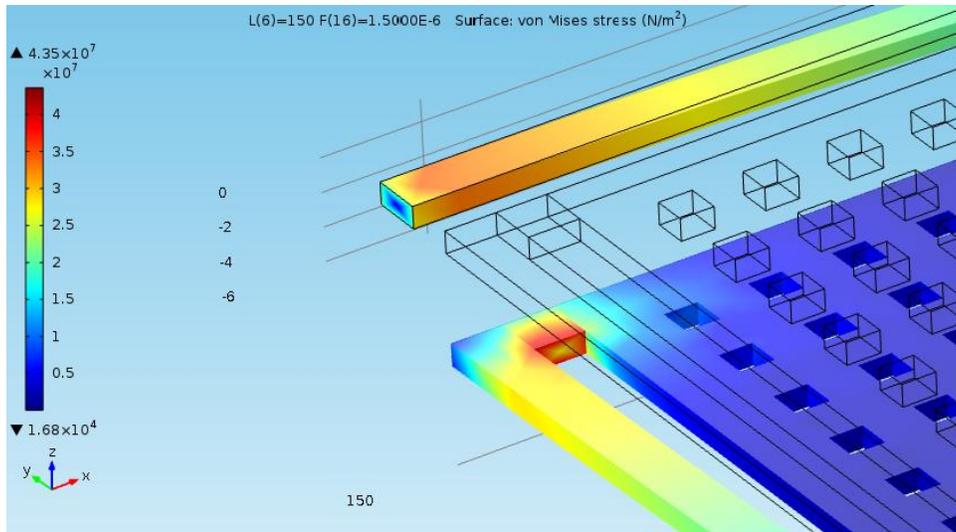


Figura 4-5. Esfuerzos von Mises máximos en función de la fuerza aplicada.

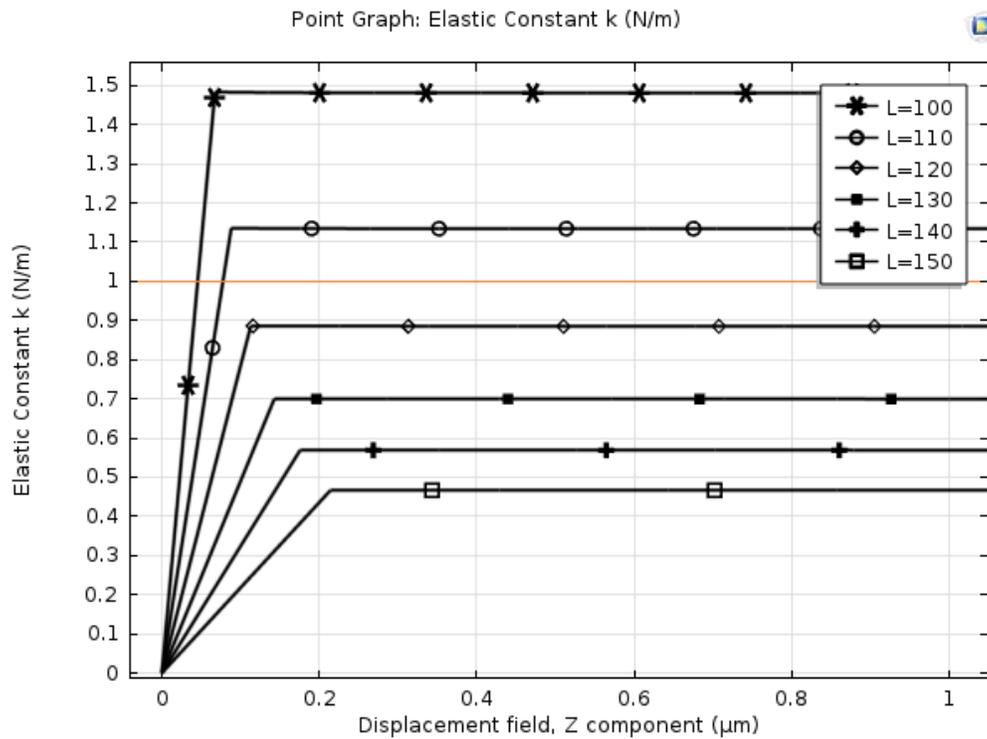


Figura 4-6. Constante elástica k .

Otro resultado notable de la caracterización mecánica de las membranas de prueba es la constante elástica k , cuya magnitud se muestra en la Figura 4-6 como una característica lineal a lo largo del desplazamiento en z y consistente con los resultados previamente mostrados en la Figura 4-3.

La caracterización mecánica de la membrana nos ofrece una aproximación a los parámetros de fuerza necesarios para lograr reducir a cero la separación ($d = 1\mu m$) entre la membrana de Metal 3 y la línea de transmisión de Metal 2. Sin embargo, es preciso realizar una simulación en la que el desplazamiento se deba a la interacción electrostática entre dichas capas conductoras. A continuación, en lugar de la fuerza de prueba, se realizan los arreglos pertinentes en el modelado multifísico para proveer a la placa inferior de Poly 1 de un potencial de tierra (Ground = 0V), así mismo, se le confiere a la membrana en Metal 3 un barrido de potencial positivo de 0 a 10V. Retomando la expresión (2-17) para fuerza electrostática, corroboramos que el desplazamiento mostrado en la Figura 4-7 es proporcional a $V^2/(d-x)^2$ y por tanto se describe una curva parabólica cuya pendiente aumenta conforme se incrementa el potencial aplicado V . Este resultado fue simulado para la membrana base de $120\mu m$, sin embargo, la presencia de la línea de transmisión de Metal 2, ocupando una posición intermedia entre la placa de Poly 1 y la membrana de Metal 3, es un factor adicional que influye en el campo eléctrico y en el realismo de la simulación.

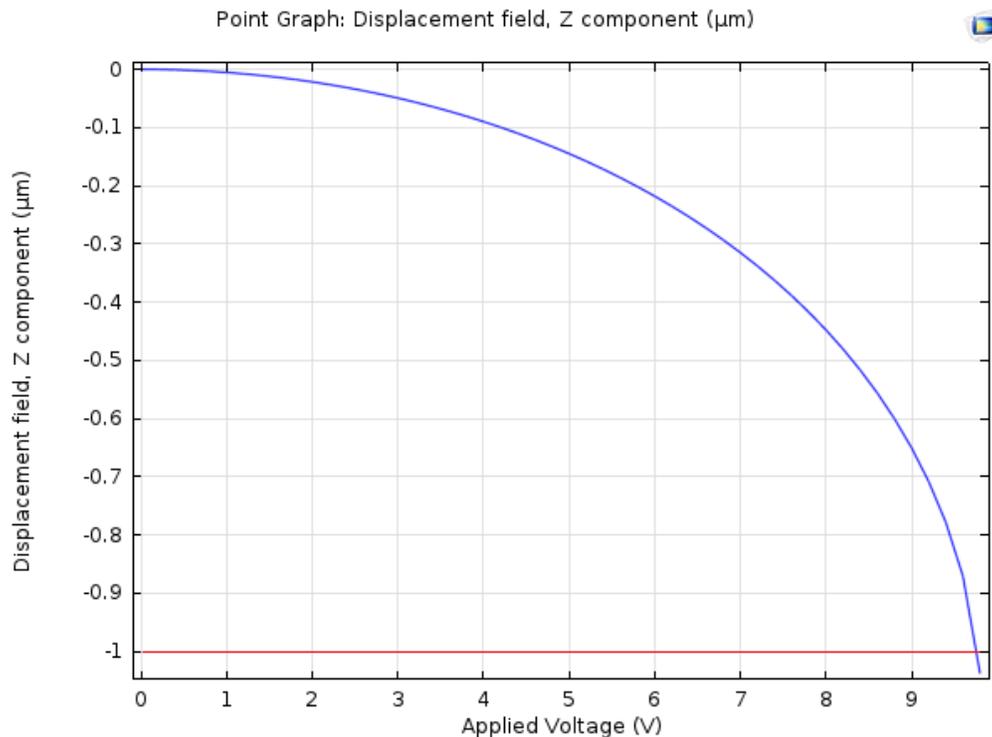


Figura 4-7. Desplazamiento en función del voltaje aplicado (membrana 120 micras).

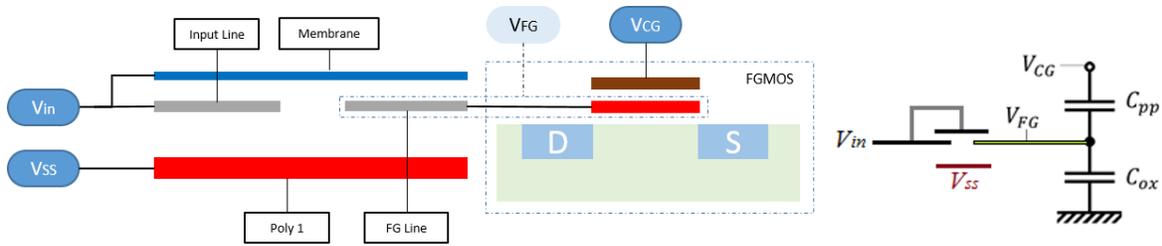


Figura 4-8. Circuito equivalente MEMS.

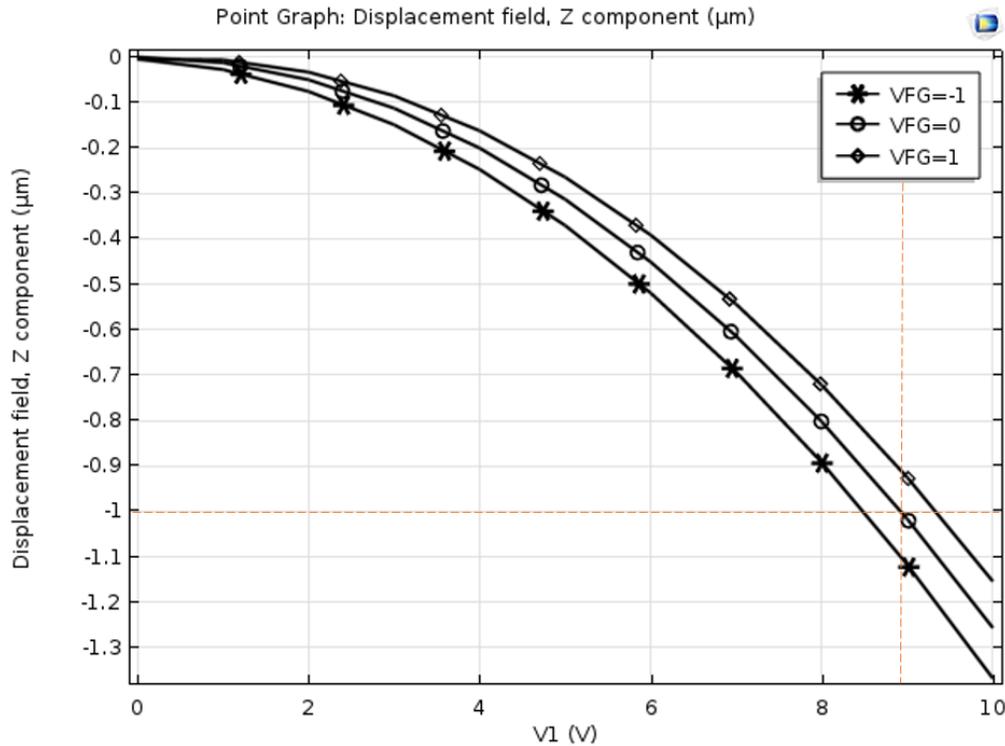


Figura 4-9. Desplazamiento en función del potencial de compuerta flotante.

Para la simulación definitiva establecemos el circuito equivalente que engloba tanto al sistema electromecánico como al transistor FGMOS. La Figura 4-8 muestra los nodos de interés en el circuito eléctrico equivalente. En el circuito mostrado se propone alimentar con un voltaje V_{in} tanto a la membrana en Metal 3 como al extremo izquierdo de la línea de transmisión en Metal 2 etiquetado como *Input Line*, por otra parte, alimentar con un potencial lo suficientemente negativo, de manera que la diferencia de potencial sea suficiente a la terminal de Poly 1. Sin embargo, en la terminal flotante podrían estar presentes tanto el voltaje acoplado por V_{CG} , como la carga atrapada por el proceso de fabricación e incluso un voltaje previamente precargado.

Una vez reconfigurado el modelo físico se realiza la simulación para tensiones de $0V$, $-1V$ y $1V$ respecto a tierra en la terminal de compuerta flotante. Estos valores pueden favorecer en mayor o menor grado al desplazamiento de la membrana ejerciendo también una fuerza electrostática atractiva, sin embargo, y dado que no se consideran los efectos del voltaje de compuerta de control V_{CG} y de drenador – fuente V_{DS} , tomaremos el potencial de $0V$ como referencia central. La Figura 4-9 ilustra los efectos de distintos potenciales aplicados en la compuerta flotante (terminal *FG Line*). Se observa que un potencial más negativo favorece al desplazamiento de la membrana, necesitándose entonces menor diferencia de potencial entre las placas para la actuación electrostática.

Por último, en el análisis electromecánico se incluye una simulación que ofrece información sobre la rigidez del sistema en función de las dimensiones de la membrana. Esta simulación incluye un barrido paramétrico anidado del voltaje aplicado de 0 a $10V$ y el la longitud de lado de la membrana para 100 , 110 , 120 , 130 , 140 y $150\mu m$.

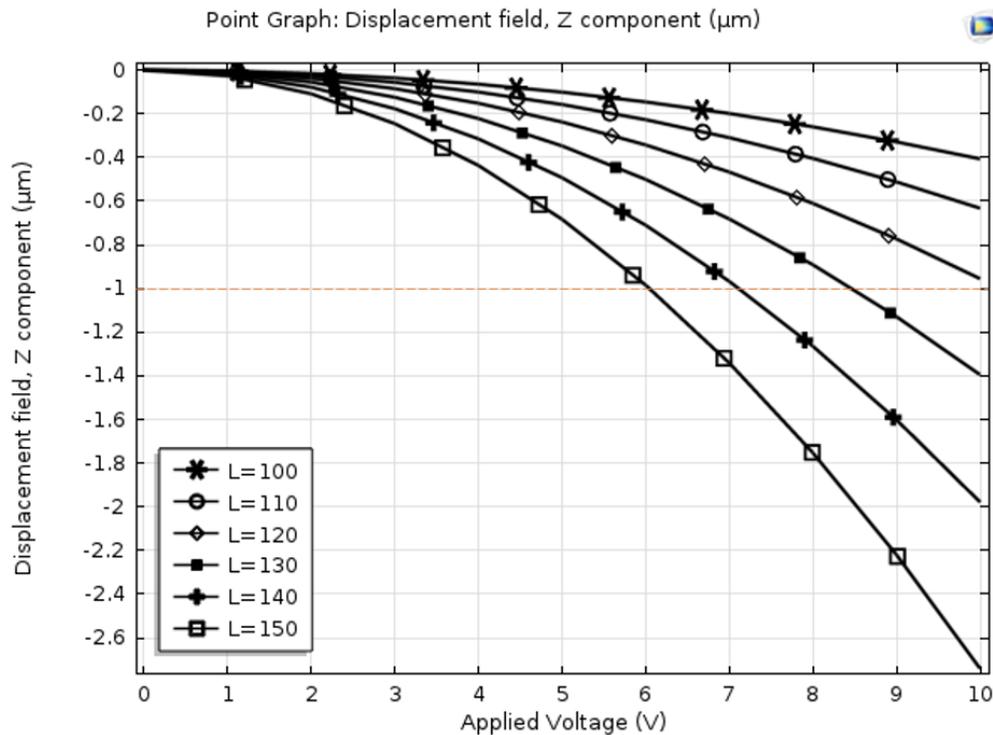


Figura 4-10. Desplazamiento en función de las dimensiones de la membrana de prueba.

Concluimos indicando que la simulación se realiza en el nodo *Electromechanics* para un mallado *Normal, Physics-Controlled Mesh* sin aplicar ningún potencial en particular en la terminal de compuerta flotante, por lo que en el resultado mostrado en la Figura 4-10 se asume un potencial flotante dinámico acoplado capacitivamente. Se aprecia una reducción significativa (~40%) del potencial necesario para hacer decender la membrana de prueba de $150\mu m$.

4.2. Simulación eléctrica en plataforma SPICE

La simulación eléctrica del sistema propuesto busca consolidar la viabilidad de lo señalado en los apartados de diseño y verificar el funcionamiento del sistema conforme al análisis eléctrico de la compuerta cuasi-flotante previamente realizado en la sección 2.4. El proceso de simulación eléctrica se llevó a cabo en su totalidad en la plataforma SPICE distribuida por Cadence⁴⁹ en su suite OrCAD 10.3. Dicho proceso puede dividirse en tres tareas principales que fueron, la comprobación del circuito equivalente de conformidad con lo expuesto en el análisis matemático antes mencionado y generación de nuevos modelos y componentes SPICE englobando las características deseadas, la aproximación a un mecanismo síncrono de estímulo que permita mitigar la volatilidad del sistema cuasi-flotante y, la obtención de resultados del proceso de precarga y curvas de transconductancia.

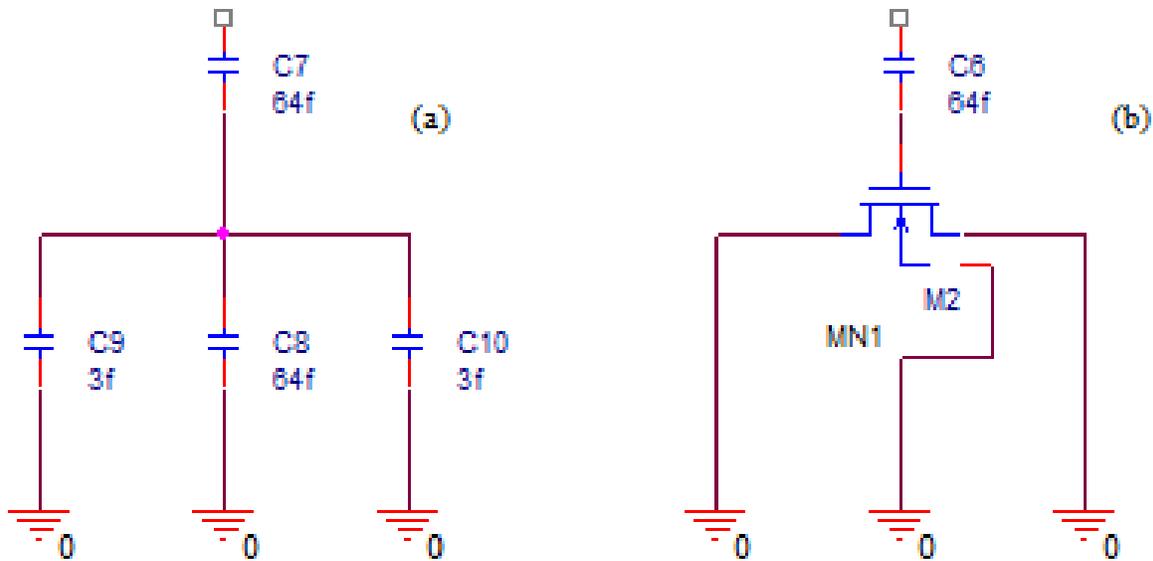


Figura 4-11. Circuitos FGMOS equivalentes de prueba.

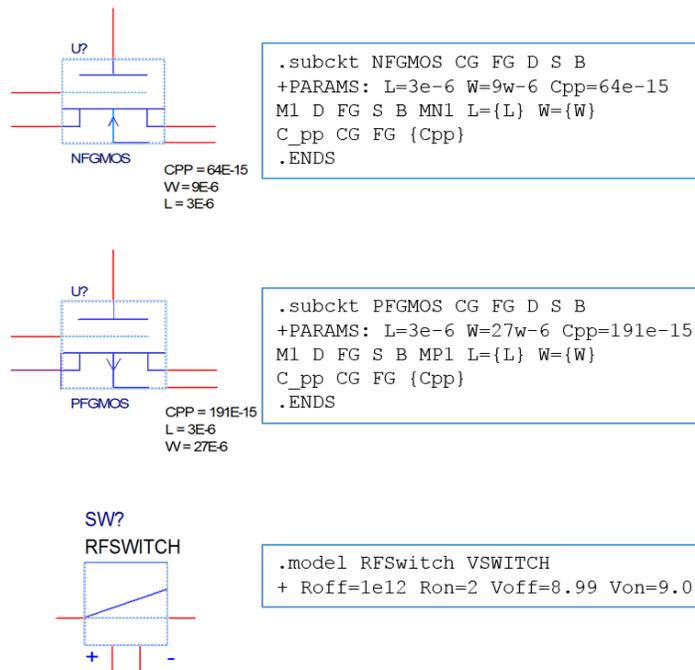


Figura 4-12. Componentes SPICE creados.

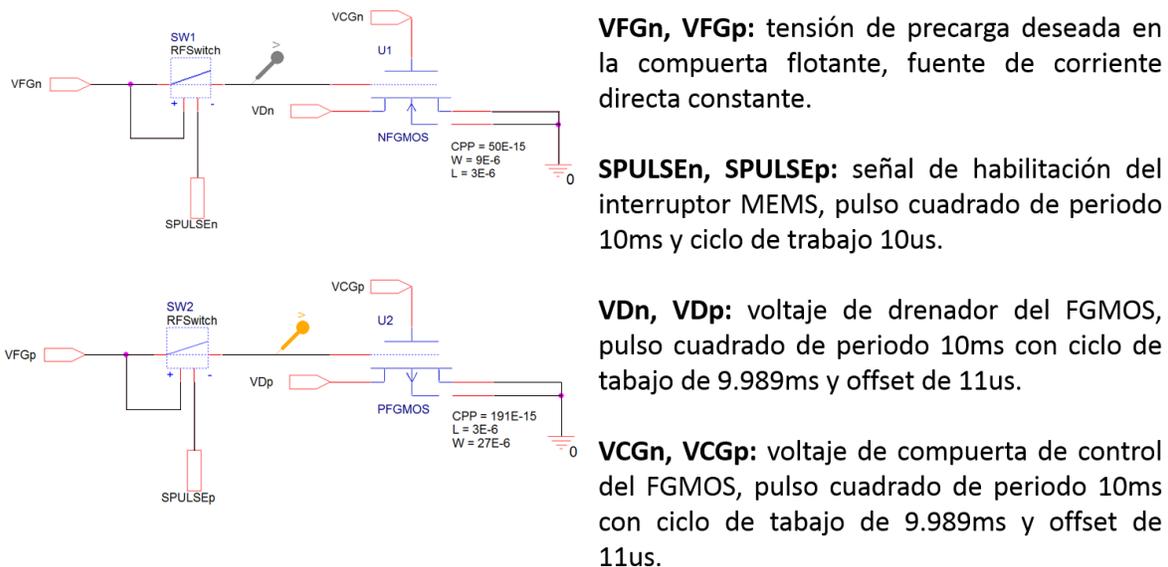


Figura 4-13. Circuito de estímulo para los transistores FGMOS.

Primeramente se comprobó la estrecha similitud entre los circuitos equivalentes mostrados en la Figura 4-11, sin embargo resulta más práctica la elaboración de un nuevo componente que corresponda con el circuito de la Figura 4-11 (b). Se decidió crear los tres nuevos componentes SPICE mostrados en la Figura 4-12, dos ellos en la modalidad de subcircuito

para un transistor FGMOS tipo N y uno tipo P, y un modelo más representando al interruptor electromecánico. Los modelos tipo listado y las terminales de los componentes se detallan de igual manera en la Figura 4-12. Por su parte, la Figura 4-13 muestra el circuito de estímulo y las señales implementadas para ambos transistores N y P.

Objetivo de este trabajo es establecer un potencial de precarga en la compuerta flotante de un transistor FGMOS, para este fin y dado que el sistema propuesto presenta un comportamiento cuasi-flotante al no estar en todo momento aislado del sistema periférico, en especial, al acceder a la compuerta flotante. Se propone analizar y adaptar el método utilizado por Molinar⁵⁰ y descrito en *Clock-Controlled Neuro-MOS Logic Gates*⁵¹ (Kotani, Shibata, Imai, & Ohmi, 1998). El llamado *Clocked NeuMOS* cobró relevancia y popularidad por su extensa aplicación en la precarga de terminales flotantes para aplicaciones de sistemas MOS neuronales. El método consiste en permitir el paso de un potencial de precarga a la compuerta cuasi-flotante ya sea por medio de un interruptor mecánico o un transistor MOS integrado. Acto seguido, retirar la señal de precarga y tras un breve tiempo de no traslape, aplicar tensión a las terminales convencionales del transistor MOS, es decir, drenador, fuente y en este caso, compuerta de control. La simulación realizada en la Figura 4-14 confirma la presencia de un voltaje acoplado en la compuerta flotante por acción de la compuerta de control y más aún, el incremento del voltaje flotante en función de la tensión de precarga una vez pasado el pulso de actualización, es decir, una vez reconectado el microinterruptor MEMS.

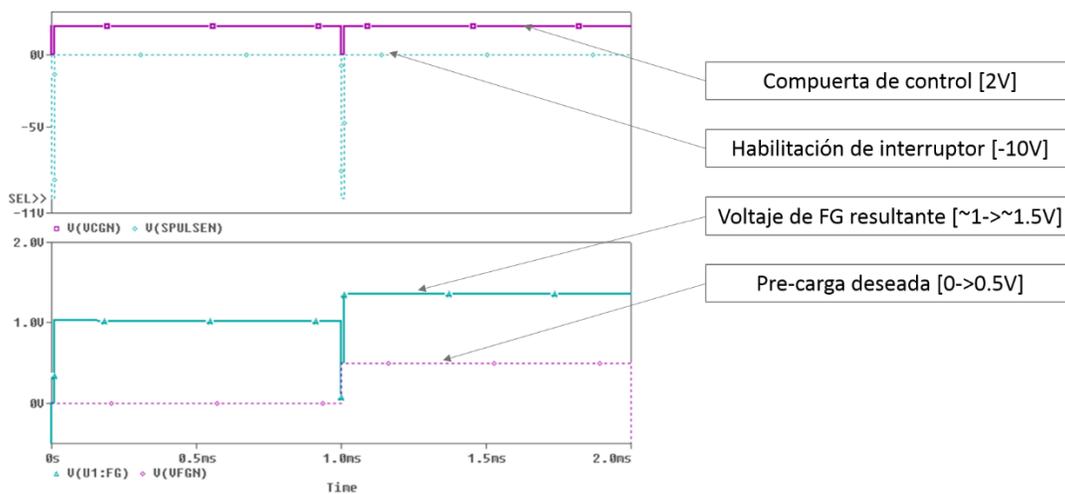


Figura 4-14. Simulación Clocked NeuMOS inicial.

Presentado en un formato más extenso, la Figura 4-15 y la Figura 4-16 muestran respectivamente la aplicación de tensiones de precarga de $-1V$, $-0.5V$, $0V$, $0.5V$ y $1V$ para transistores FGMOS N y P. En ambos casos existe una superposición de la tensión de precarga con el voltaje analizado y propuesto en la ecuación (2-54). Dicha expresión tiene como factor fundamental la constante de acoplamiento capacitivo K_{CG} que para efectos de las simulaciones aquí mostradas se ajustó a un valor aproximado de $K_{CG} = 0.5$, tomando en cuenta los parámetros capacitivos descritos en el apartado 3.3 del presente trabajo. Así mismo, se utilizó un rango máximo de -1 a $+1V$ para el potencial de precarga, considerando que los voltajes de umbral V_{TH} de ambos transistores son de ese orden o menores y dicha precarga es suficiente para llevarlos a conducción.

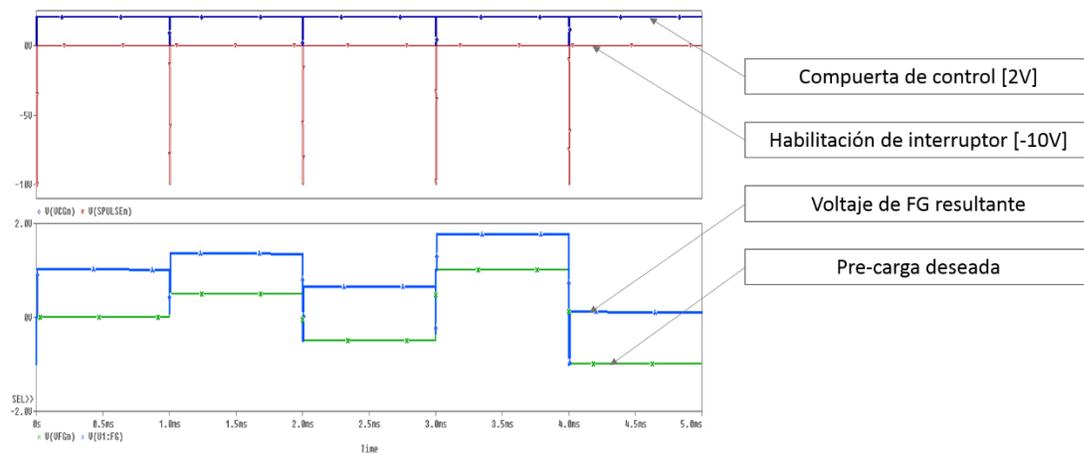


Figura 4-15. Comportamiento del transistor FGMOS tipo N.

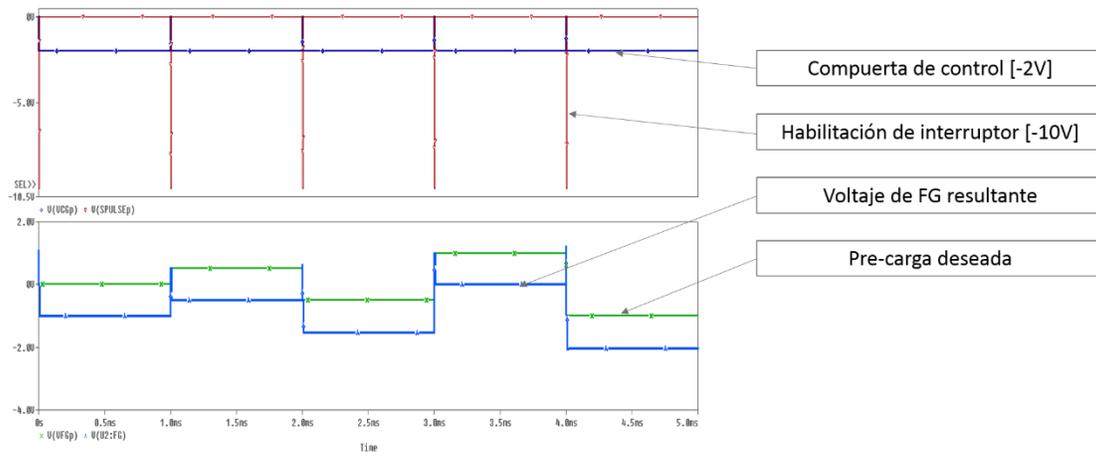


Figura 4-16. Comportamiento del transistor FGMOS tipo P.

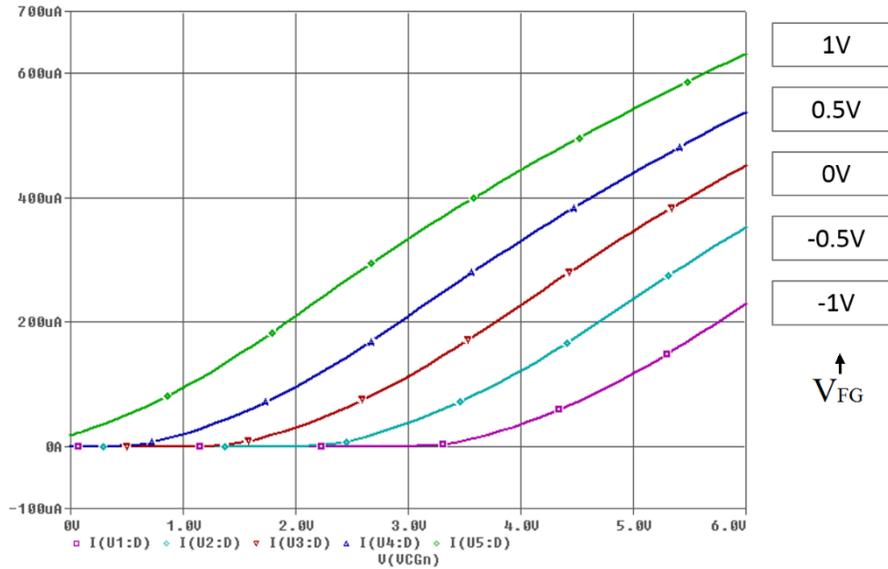


Figura 4-17. Curva de transconductancia del transistor FG MOS tipo N en función de la precarga.

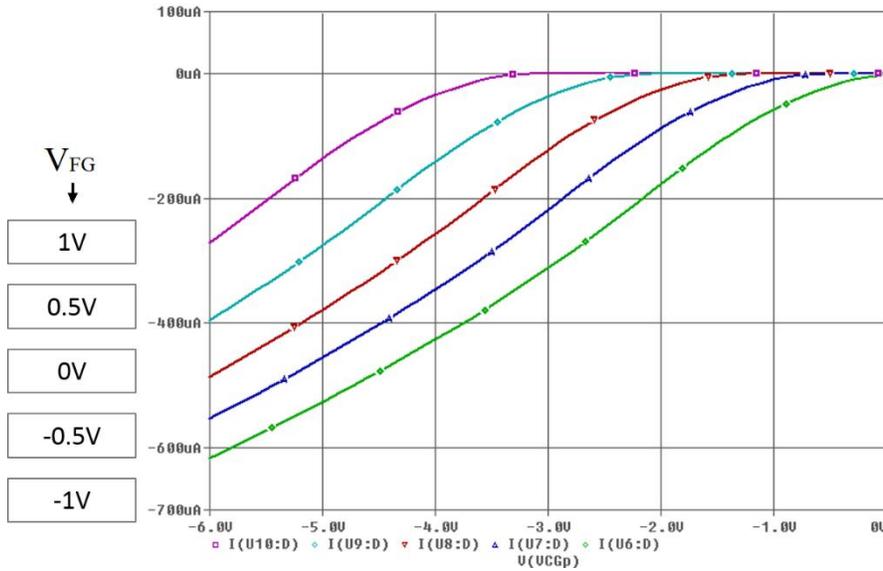


Figura 4-18. Curva de transconductancia del transistor FG MOS tipo P en función de la precarga.

Finalizando el análisis eléctrico, se presentan las curvas de transconductancia de la Figura 4-17 para el caso del transistor tipo N y de la Figura 4-18 para su contraparte tipo P. Estas simulaciones se realizaron con una fuente paramétrica haciendo un barrido de 0 a 6 y $-6V$ respectivamente, iniciando un instante ($1\mu s$) después de terminado el pulso de actualización. Como se supuso en el análisis matemático del FG MOS, el voltaje de umbral de cada transistor se desplazó respecto al voltaje de la compuerta de control en una magnitud aproximada a la de la tensión de precarga, lo cual es un resultado satisfactorio.

Conclusiones del capítulo

Los resultados de simulación tanto multifísica como eléctrica resultan favorables para la implementación del sistema microelectromecánico. Los datos recabados al final de cada una de las simulaciones resultaron ser de interpretación directa y confirman el comportamiento esperado en el planteamiento de los objetivos.

De la simulación multifísica resalta un voltaje de actuación relativamente bajo (del orden de 10V) en comparación con los reportados en *Design of Multi-actuation RF MEMS Switch Using CMOS Process*⁵² (Lee, Ko, & Huang, 2008), trabajo que inspiró esta alternativa de mecanismo de carga y descarga FGMOS. Otro resultado notable de la simulación multifísica reside en la escalabilidad del proyecto a través de las diversas tecnologías de fabricación CMOS, ya que el esquema de membrana, al igual que los transistores MOS, pueden reducirse en dimensiones y voltajes de activación conforme las capas del proceso se vuelven más delgadas.

En cuanto a la simulación eléctrica, el sistema presentó características muy precisas y apegadas a las que el modelo matemático reveló. Por otra parte, se considera que los modelos SPICE y componentes creados para el presente trabajo, son susceptibles de perfeccionarse y eventualmente formar parte de las herramientas cotidianas del grupo de trabajo.

⁴⁸ (Michigan-Tech, 2015)

⁴⁹ (Cadence, 2015)

⁵⁰ (Molinar-Solis, 2006) p. 129

⁵¹ (Kotani, Shibata, Imai, & Ohmi, 1998)

⁵² (Lee, Ko, & Huang, 2008)

5. Conclusiones generales

- Tras realizar un análisis de la bibliografía relacionada con los microinterruptores RF-MEMS, surgió una primera aproximación a lo que sería una novedosa alternativa de actuación para precargar y descargar la compuerta flotante de los transistores FGMOS ampliamente estudiados en la trayectoria del grupo de trabajo. Para estos efectos se decidió implementar un proyecto de diseño en la tecnología CMOS estándar de $0.5\mu\text{m}$, la cual es versátil para una amplia gama de componentes electrónicos y ofrece, a través de postprocesos propios, un campo abierto para la implementación de MEMS.
- Se obtuvieron las ecuaciones y aproximaciones matemáticas adecuadas para plantear la dinámica del sistema electromecánico; estas herramientas permiten al diseñador desarrollar diferentes aspectos tanto de la simulación multifísica como de la simulación eléctrica.
- El análisis de desempeño del interruptor, en conjunto con las nociones previas sobre la naturaleza capacitiva de la tecnología CMOS, ofrece una perspectiva de bajo consumo energético.
- El análisis electrostático generó los criterios para determinar las capas de la tecnología CMOS que son más apropiadas para cada una de las tareas. En particular, este análisis definió las dos capas que conforman al varactor principal, por lo que de manera indirecta se obtiene el voltaje de operación, que si bien es relativamente alto para la mayoría de las aplicaciones de electrónica mixta, se mantiene por debajo de los valores reportados en la literatura para sistemas RF-MEMS convencionales. Esto da motivo para contribuir al uso de tecnologías CMOS estándar, que complementadas con un post-proceso de micromaquinado superficial, se concluya con una tecnología CMOS-MEMS de fácil acceso y de menor precio que las tecnologías dirigidas que solo ofrecen estructuras MEMS sin la electrónica asociada.
- En cuanto al diseño electrónico y topológico, se reafirmaron los conocimientos acerca de los procesos industriales involucrados en la fabricación de circuitos integrados, así como las ventajas y oportunidades que representa trabajar con una tecnología formal

y establecida, sin por ello descartar los beneficios de la fabricación de dispositivos con materiales y procesos de microelectrónica personalizados.

- Se comprobaron por medio de la simulación eléctrica SPICE los efectos de las capacitancias tanto de diseño como parásitas en la tecnología de fabricación y se reforzó la noción de su gran importancia en todo tipo de proyecto microelectrónico, en especial en aquellos que involucran potenciales flotantes. Fruto de este análisis se introdujo un sencillo pero eficaz componente, así como un modelo para simular de manera sencilla el comportamiento cuasi-flotante del sistema. Esta nueva instancia de desarrollo lleva la intención de integrarlo a las herramientas del grupo de trabajo y a través de su estudio y perfeccionamiento, alcanzar resultados cada vez más precisos.
- En general, los resultados de la simulación multifísica y eléctrica ofrecen indicadores suficientes para pasar de la etapa de diseño que representa este trabajo, a una futura fabricación y caracterización del dispositivo RF-MEMS físico. Sin duda, se cumplen los objetivos de proponer, analizar, modelar, diseñar y estimar el desempeño de un dispositivo microelectromecánico cuya implementación no sólo contribuye a la expansión del vasto campo de aplicación de los MEMS, sino que apunta hacia mejorar la operación y control de sistemas con tecnología FGMOS.

5.1. Aportaciones

- Modelado matemático del sistema dinámico equivalente para un varactor de RF implementado como interruptor electromecánico de acceso cuasi-flotante en un FGMOS.
- Modelado matemático alternativo para la obtención del potencial de compuerta flotante en un FGMOS basado en el método por impedancias capacitivas.
- Modelo básico funcional y creación de componentes para la simulación eléctrica SPICE de un transistor MOS de compuerta cuasi-flotante (quasi-FGMOS) incluyendo la interfaz electromecánica lo que permite la simulación integral del sistema MEMS propuesto.

- Alternativa básica de padframe con optimización de espacio para su prueba en posteriores diseños topológicos del grupo de trabajo.
- Disertación sobre las consideraciones de relevancia en el diseño y fabricación de estructuras MEMS (principalmente capacitivas) a través de las diferentes tecnologías CMOS estándar utilizadas en el grupo de trabajo.

5.2. Trabajo futuro

Inclusión de la estructura propuesta como celda de prueba en futuros proyectos de fabricación del grupo de trabajo.

- Comprobación de la actuación electrostática de la estructura.
- Desarrollo del método sincronizado de alimentación para la compuerta cuasi-flotante.
- Comprobación de las frecuencias máximas y mínimas estables de conmutación del sistema y volatilidad de la carga flotante.

Proponer y analizar un esquema de inducción de potencial (totalmente) flotante por acoplamiento capacitivo, actuando la membrana en puntos de operación intermedios sin alcanzar el contacto.

Colaboración con el grupo de Ciencia e Ingeniería de Materiales (MSE) de la Universidad de Texas en Dallas (UTD), especializado en el desarrollo de electrónica flexible y transistores de capa delgada (TFT).

- Capacitación en extenso en el diseño de la tecnología CMOS del fabricante MOSIS y en el proceso de fabricación TFT propio de UTD.
- Implementación de dispositivos RF-MEMS en tecnología TFT full custom.
- Integración de una tecnología TFT-MEMS en el área de comunicaciones y sensores biomédicos.

Referencias bibliográficas

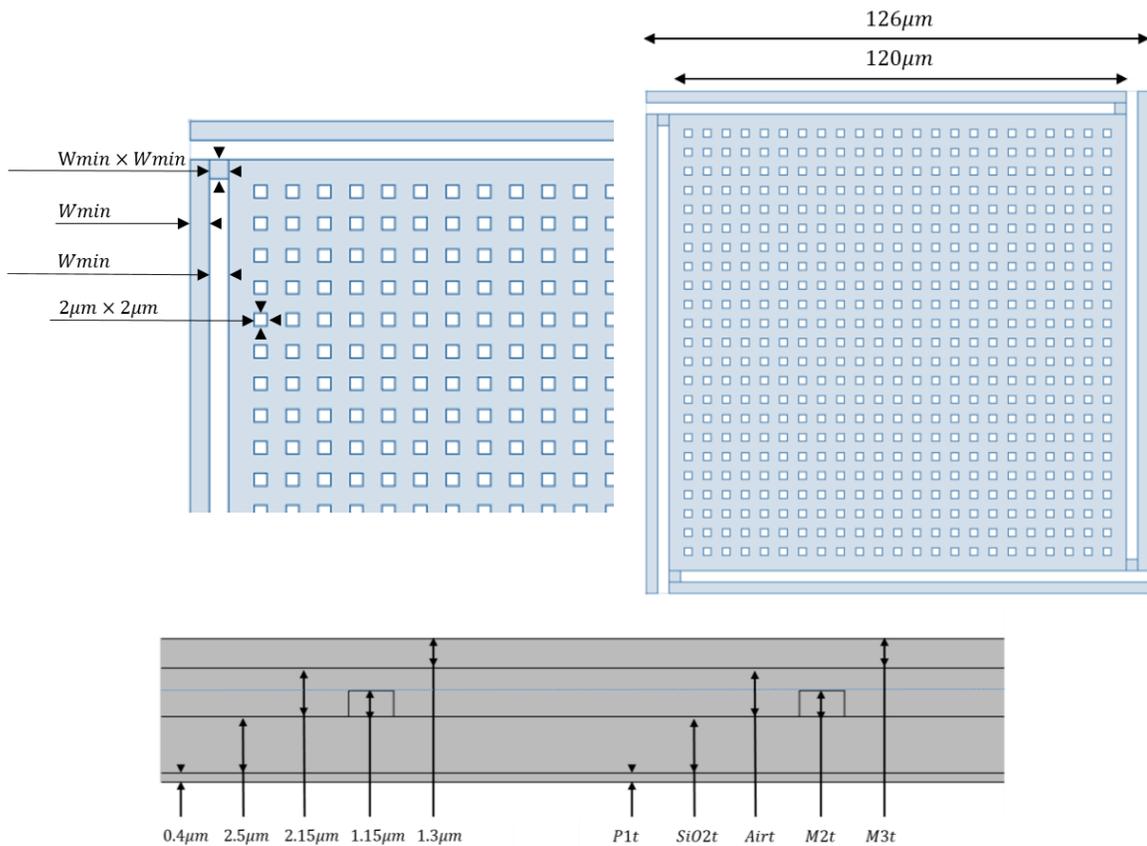
- Baker, R. J. (2005). *CMOS Circuit Design, Layout and Simulation*. Wiley-Interscience (IEEE).
- Bleiker. (1987). Analysis and modeling of the programming, retention and endurance characteristics of floating-gate EEPROM cells. *Ph D. dissertation Swiss Federal Institute of Technology (ETHZ)*.
- Cadence. (2015). *OrCad*. Obtenido de http://www.cadence.com/products/orcad/Pages/new_orcad.aspx
- COMSOL.com. (2015). Obtenido de COMSOL.com: <http://www.comsol.com/>
- Dai, C., Chiang, M., & Chang, M. (2007). Simulation and fabrication of HF microelectromechanical bandpass filter. *Microelectronics Journal* 38, 828-833.
- Dey, S., Parihar, M., & Koul, S. (2013). Fabrication and characterization of RF MEMS high isolation switch upto X-band. *2013 IEEE International Conference on Microwaves,*.
- FemtoTools. (2011). *Femto Tools Applications*. Obtenido de <http://www.femtotools.com/index.php?id=applications-handling-sem>
- Hsu, T.-R. (2002). *MEMS & MICROSYSTEMS Design and Manufacture*. McGraw-Hill.
- Kaajakary, V. (2009). *Practical MEMS*. Small Gear Publishing.
- Kotani, K., Shibata, T., Imai, M., & Ohmi, T. (1998). Clock-Controlled Neuro-MOS Logic Gates. *IEEE Transactions on Circuits Systems II: Analog and Digital Signal Processing*, Vol. 45, No. 4, 518-522.
- Lee, C., Ko, C., & Huang, T. (2008). Design of Multi-actuation RF MEMS Switch Using CMOS Process. *IEEE 978-1-4244-3624-8/O8/*, 141-144.
- Lee, J., Je, C., Kang, S., & Choi, C. (2005). A Low-Loss Single-Pole Six-Throw Switch Based on Compact RF MEMS Switches. *IEEE Transactions on Microwave Theory and Techniques Vol. 53, No. 11*, 3335-3344.
- McKelvey, J. P. (1966). *Solid State and Semiconductor Physics*. Krieger.
- Michigan-Tech. (2015). *Properties of Selected Matrices*. Obtenido de Material Science And Engineering : <http://www.mse.mtu.edu/~drjohn/my4150/props.html>
- Molinar-Solis, J. (2006). *Red Neuronal Celular Programable en Tecnología CMOS*. México, D.F.: CINVESTAV.
- MOSIS C5N. (2015). Obtenido de <https://www.mosis.com/vendors/view/on-semiconductor/c5>

- MOSIS.com. (2015). Obtenido de MOSIS.com: <https://www.mosis.com/>
- Ogata, K. (2005). *Ingeniería de Control Moderna*. Pearson.
- Pareja Aparicio, M. (2007). *Creación de nuevos componentes para ORCAD 10.3*. Barcelona, España: Marcombo, Ediciones Técnicas.
- Ponce-Ponce, V. H. (2005). *Sensor Inteligente de Imágenes en Tecnología CMOS, con Aplicaciones en Robótica*. México, D.F.: CINVESTAV.
- Ramirez-Angulo, J., Lopez-Martin, A. J., Carvajal, R. G., & Chavero, F. M. (2004). Very low-voltage analog signal processing based on quasi-floating gate transistors. *Solid-State Circuits, IEEE Journal of* 39 (3), 434-442.
- Ramirez-Angulo, J., Urquidi, C., Gonzalez-Carvajal, R., Torralba, A., & Lopez-Martin, A. (2003). A new family of very low-voltage analog circuits based on quasi-floating-gate transistors, . *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, Vol. 5(5), 214-220.
- Sadiku, M. (2003). *Elementos de electromagnetismo*. Alfaomega.
- SparkFun. (2009). *SparkFun Triple Axis Accelerometer Breakout - ADXL345*. Obtenido de <https://www.sparkfun.com/products/9836>
- Sze, S. M., & Kwok, K. (2007). *Physics of Semiconductor Devices*. Wiley-Interscience.
- Tanner Research, I. (2001). <http://www.tanner.com/>. Obtenido de <http://www.tanner.com/>
- Tanner Research, I. (2015). <http://www.tannereda.com/l-edit-pro>. Obtenido de <http://www.tannereda.com/l-edit-pro>: <http://www.tannereda.com/l-edit-pro>
- Torralba, A., Luján-Martínez, C., Carvajal, R., Galan, J., Pennisi, M., Ramirez-Angulo, J., & López-Martin, A. (2009). Tunable linear MOS resistors using quasi-floating-gate techniques. *Circuits and Systems II: Express Briefs, IEEE Transactions on* 56 (1), 41-45.

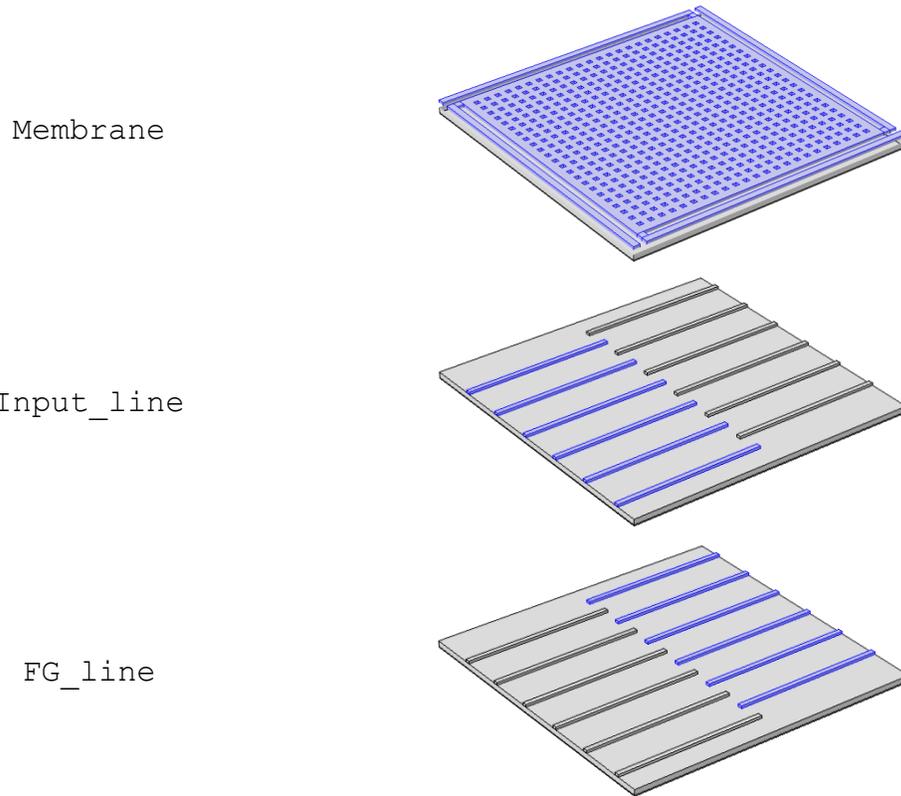
Anexo A

Parámetros de simulación multifísica

Parameter	Value	Description
L	120 [um]	Membrane length
Wmin	3 [um]	Minimum used Width
P1t	0.4 [um]	Poly 1 thickness
SiO2t	2.5 [um]	SiO2 Thickness
Airt	2.15 [um]	Air Thickness
M2t	1.15 [um]	Metal 2 Thickness
M3t	1.3 [um]	Metal 3 Thickness
Voltage	1 [V]	Applied Voltage



Explicit Selections



Physics

Electromechanics		
Linear Elastic Dielectric	Solid Domains	<input checked="" type="checkbox"/>
	Air Domain	<input type="checkbox"/>
Prescribed Mesh Displacement	X Displacement	<input checked="" type="checkbox"/>
	Y Displacement	<input checked="" type="checkbox"/>
	Z Displacement	<input type="checkbox"/>
Fixed Constrain	Beam tips	<input checked="" type="checkbox"/>
	TransLine Selection	<input checked="" type="checkbox"/>
	FG_Line Selection	<input checked="" type="checkbox"/>
	SiO2 Selection	<input checked="" type="checkbox"/>
	Ground Selection	<input checked="" type="checkbox"/>
Ground	Ground Selection	<input checked="" type="checkbox"/>
Terminal (Voltage)	Membrane Selection	<input checked="" type="checkbox"/>
	Input_Line Selection	<input checked="" type="checkbox"/>
Joule Heating		
Heat Flux	All Domains	<input checked="" type="checkbox"/>
Solid Mechanics(Fixed Constrain)	Beam tips	<input checked="" type="checkbox"/>
Thermal Expansion(Multiphysics)	All Domains	<input checked="" type="checkbox"/>

Stationary Study: Parametric Sweep

Electromechanics: Voltage (0, 0.1, 10)
Solid Mechanics: Force (0, 1e-7, 1e-6)
Joule Heating: Voltage (1e-3, 1e-3, 5e-3)

Results

Electromechanics

3D Graphic Group: Surface

Von Mises Stress (N/m²)

1D Graphic Group: Point Graph

Displacement field, Z component (um) vs Applied voltage (V)

Applied force(uN) vs Applied voltage (V)

Elastic constant k (N/m) vs Displacement field, Z component (um)

Von Mises stress (MPa) vs Applied force (um)

Joule Heating

3D Graphic Group: Surface

Total displacement [Deformation] (um) vs Applied voltage (V)

Temperature (degC) vs Applied voltage (V)

1D Graphic Group: Point Graph

Temperature (degC) vs Applied voltage (V)

Displacement field, X component (um) vs Applied voltage (V)

Anexo B

Parámetros y modelo de simulación eléctrica SPICE

Extracción de parámetros de fabricación *v09-params* nivel 7

```
*MOSIS WAFER ELECTRICAL TESTS
*RUN: V09M                                VENDOR: AMIS (ON-SEMI)
*TECHNOLOGY: SCN05                        FEATURE SIZE: 0.5 microns
*Run type: SHR
*V09M SPICE BSIM3 VERSION 3.1 PARAMETERS
*SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8
*DATE: Feb 4/11
*LOT: V09M                                WAF: 2103
*Temperature_parameters=Default
```

Modelo NMOS

```
.MODEL MN1 NMOS (                                LEVEL = 7
+VERSION = 3.1                                TNOM = 27                                TOX = 1.41E-8
+XJ = 1.5E-7                                NCH = 1.7E17                                VTH0 = 0.6033055
+K1 = 0.9193622                                K2 = -0.1065538                                K3 = 20.591979
+K3B = -9.1011155                                W0 = 4.393248E-8                                NLX = 1.426577E-9
+DVT0W = 0                                DVT1W = 0                                DVT2W = 0
+DVT0 = 0.8628177                                DVT1 = 0.4045315                                DVT2 = -0.5
+U0 = 455.6568715                                UA = 1E-13                                UB = 1.383698E-18
+UC = 8.07605E-12                                VSAT = 1.97155E5                                A0 = 0.5976138
+AGS = 0.1289087                                B0 = 2.029789E-6                                B1 = 5E-6
+KETA = -2.756238E-3                                A1 = 2.328154E-4                                A2 = 0.3
+RDSW = 1.074553E3                                PRWG = 0.0988607                                PRWB = 7.238942E-3
+WR = 1                                WINT = 1.965107E-7                                LINT = 8.377083E-8
+XL = 1E-7                                XW = 0                                DWG = -8.437034E-9
+DWB = 3.078094E-8                                VOFF = -7.633973E-5                                NFACTOR = 1.1573034
+CIT = 0                                CDSC = 2.4E-4                                CDSCD = 0
+CDSCB = 0                                ETA0 = 3.231837E-3                                ETAB = 4.803812E-3
+DSUB = 0.0537894                                PCLM = 2.1073222                                PDIBLC1 = 4.117691E-4
+PDIBLC2 = 1.173409E-3                                PDIBLCB = -0.2714521                                DROUT = 2.514784E-4
+PSCBE1 = 2.167284E10                                PSCBE2 = 4.309903E-9                                PVAG = 0
+DELTA = 0.01                                RSH = 84.3                                MOBMOD = 1
+PRT = 0                                UTE = -1.5                                KT1 = -0.11
+KT1L = 0                                KT2 = 0.022                                UA1 = 4.31E-9
+UB1 = -7.61E-18                                UC1 = -5.6E-11                                AT = 3.3E4
+WL = 0                                WLN = 1                                WW = 0
+WWN = 1                                WWL = 0                                LL = 0
+LLN = 1                                LW = 0                                LWN = 1
+LWL = 0                                CAPMOD = 2                                XPART = 0.5
+CGDO = 1.82E-10                                CGSO = 1.82E-10                                CGBO = 1E-9
+CJ = 4.175598E-4                                PB = 0.840291                                MJ = 0.4297322
+CJSW = 3.483931E-10                                PBSW = 0.8                                MJSW = 0.2059566
+CJSWG = 1.64E-10                                PBSWG = 0.8                                MJSWG = 0.2059566
+CF = 0                                PVTH0 = -0.0505758                                PRDSW = 281.2200286
+PK2 = -0.0697499                                WKETA = -6.123851E-3                                LKETA = -2.318372E-3 )
*
```

Modelo PMOS

```

.MODEL MP1 PMOS (
+VERSION = 3.1          TNOM = 27          TOX = 1.41E-8
+XJ = 1.5E-7          NCH = 1.7E17        VTH0 = -0.9152268
+K1 = 0.553472       K2 = 7.871921E-3      K3 = 8.3456329
+K3B = 0.8137476     W0 = 1E-8          NLX = 1.661298E-7
+DVT0W = 0           DVT1W = 0          DVT2W = 0
+DVT0 = 0.6826241    DVT1 = 0.2907764    DVT2 = -0.3
+U0 = 201.3603195    UA = 2.408572E-9    UB = 1E-21
+UC = -1E-10         VSAT = 1.043844E5   A0 = 0.8625012
+AGS = 0.097008      B0 = 5.131287E-7    B1 = 0
+KETA = -4.865785E-3 A1 = 4.099078E-4    A2 = 0.5220155
+RDSW = 3E3          PRWG = -0.0260778   PRWB = -0.0514886
+WR = 1              WINT = 2.224208E-7  LINT = 1.277363E-7
+XL = 1E-7           XW = 0              DWG = 1.017918E-11
+DWB = -2.133914E-8 VOFF = -0.0728335   NFACTOR = 1.0000003
+CIT = 0             CDSC = 2.4E-4       CDSCD = 0
+CDSCB = 0           ETA0 = 0            ETAB = -0.0178415
+DSUB = 0.3875471    PCLM = 2.4913442    PDIBLC1 = 0.0335017
+PDIBLC2 = 3.071184E-3 PDIBLCB = 0.0157585 DROUT = 0.1973195
+PSCBE1 = 1E8        PSCBE2 = 3.383681E-9 PVAG = 0.0150059
+DELTA = 0.01        RSH = 107.7         MOBMOD = 1
+PRT = 0             UTE = -1.5          KT1 = -0.11
+KT1L = 0            KT2 = 0.022         UA1 = 4.31E-9
+UB1 = -7.61E-18     UC1 = -5.6E-11     AT = 3.3E4
+WL = 0              WLN = 1             WW = 0
+WWN = 1             WWL = 0             LL = 0
+LLN = 1             LW = 0              LWN = 1
+LWL = 0             CAPMOD = 2          XPART = 0.5
+CGDO = 2.35E-10     CGSO = 2.35E-10     CGBO = 1E-9
+CJ = 7.137225E-4    PB = 0.8741848      MJ = 0.4883246
+CJSW = 2.425711E-10 PBSW = 0.8           MJSW = 0.2079833
+CJSWG = 6.4E-11     PBSWG = 0.8         MJSWG = 0.2079833
+CF = 0              PVTH0 = 5.98016E-3 PRDSW = 14.8598424
+PK2 = 3.73981E-3    WKETA = 7.275123E-3 LKETA = 0.0298866
*)

```

Extracción de parámetros del transistor NMOS de prueba, capacitor de acoplamiento FG MOS y capacitor poly-substrato:

```

M1 8 10 7 7 NMOS L=3u W=9u $ (0 0 10 30)
C6 3 2 C=64.89504f $ (363 46 392 74) ***Cpp
C4 2 ? C=64.6236f $ (382 6 392 35)

```

Extracción de parámetros del transistor PMOS de prueba, capacitor de acoplamiento FG MOS y capacitor poly-substrato:

```

M2 5 6 9 9 PMOS L=3u W=27u $ (77 -60 87 30)
C8 1 4 C=191.808f $ (419 46 469 94) ***Cpp
C5 4 ? C=192.537f $ (459 -55 469 35)

```

Anexo C

Parámetros tecnológicos CMOS

Secuencia de fabricación:

```
# File: mAMIs05.xst
# For: Cross-section process definition file
#Step      Layer Name      Depth      Label      Comment
#-----
Substrate  Si                500        p-         # 1. Substrate
Implant.   N-well             3          n-         # 2. n-Well
Implant.   ActPSelNotPoly      0.9        p+         # 3. p-Implant
Implant.   ActNSelNotPoly      0.9        n+         # 4. n-Implant
Deposition SiO2                0.6        -          # 5. Field Oxide
Etch       Active            0.6        -          # 6.
Deposition SiO2                0.04       -          # 7. Gate Oxide
Deposition Poly              0.4        -          # 8. Polysilicon
Etch       NotPoly             0.44       -          # 9.
Deposition SiO2                0.07       -          # 10. 2nd Gate Oxide
Deposition Poly2        0.4        -          # 11. 2nd Polysilicon
Etch       NotPoly2            0.47       -          # 12.
Deposition SiO2                0.9        -          # 13.
Etch       P1/P2/Act Contact  0.9        -          # 14.
Deposition Metal1       0.6        -          # 15. Metal 1
Etch       Not Metal1          0.6        -          # 16.
Deposition SiO2                1          -          # 17.
Etch       Via1                 1          -          # 18.
Deposition Metal2       1.15       -          # 19. Metal 2
Etch       Not Metal2          1.15       -          # 20.
Deposition SiO2                1          -          # 21.
Etch       Via2                 1          -          # 22.
Deposition Metal3       1.3        -          # 23. Metal 3
Etch       Not Metal3          1.3        -          # 24.
Deposition SiN                 2          -          # 25. Overglass
Etch       Overglass           2          -          # 26.
```

On Semiconductor C5: 0.5 μm Process Technology¹

Process Characteristics	
Operating Voltage	5, 12 V
Substrate Material	P-Type, Bulk or EPI
Drawn Transistor Length	0.6 μm
Gate Oxide Thickness	13.5 nm
Contact/Via Size	0.5 μm

Standar Transistors		
	Typ. Value	Unit
N-Channel		
Vt	0.7	V
Idsat	450	$\mu\text{A}/\mu\text{m}$
P-Channel		
Vt	-0.9	V
Idsat	-260	$\mu\text{A}/\mu\text{m}$

Resistors		
	Typ. Value	Unit
Poly	25	Ω/square
Hi-R Poly	1000	Ω/square
N-Diffusion	80	Ω/square
P-Diffusion	110	Ω/square
N-Well	855	Ω/square

Poly-Poly Capacitors		
	Typ. Value	Unit
Area	0.9	fF/ μm^2
Periphery	0.065	fF/ μm

Layers sorted by GDSII number (GDS# Layer Name)					
26	Pad Comment	46	Poly	52	Overglass
34	High Res Implant	47	Poly Contact	55	Poly2 Contact
42	N Well	48	Active Contact	56	Poly2
43	Active	49	Metal1	61	Via2
44	P Select	50	Vial	62	Metal3
45	N Select	51	Metal2		

¹ <http://www.onsemi.com/PowerSolutions/content.do?id=16693>

Anexo D

Abreviaturas y símbolos

Abreviaturas

2P3M	2 Polysilicons, 3 Metals
ALU	Arithmetic Logic Unit
CG	Control Gate
CIs	Circuitos Integrados
CMOS	Complementary Metal Oxide Semiconducto (device)
DRC	Design Rule Checking
EDP	Ethylene Diamine and Pyrocatechol
FG	Floating gate
FGMOS	Floating-Gate MOS (transistor)
GPS	Global Positioning System
IEEE	Institute of Electrical and Electronics Engineers
KOH	Potassium Hydroxide
MEMS	MicroElectroMechanical Systems
MOS	Metal-oxide-semiconductor
NMOS	N-channel MOS (transistor)
PMOS	P-channel MOS (transistor)
RFID	Radio-Frequency IDentification
RF-MEMS	RadioFrequency MEMS
SPICE	Simulation Program with Integrated Circuits Emphasis

Símbolos

$ S_{off} ^2$	Aislamiento
$ S_{on} ^2$	Pérdidas de inserción
C_{TOT}	Capacitancia total (FGMOS)
C_{FD}	Capacitancia parásita compuerta flotante - drenador
C_{FS}	Capacitancia parásita compuerta flotante - fuente
C_{ox}	Capacitancia de óxido (de compuerta)
C_{pp}	Capacitancia poly 1 - poly 2
F_e	Fuerza electrostática
F_k	Fuerza de restauración (del resorte)
F_m	Fuerza mecánica
I_{DS}	Corriente de drenador (trasistor MOS)
K_{CG}	Constante de acoplamiento (capacitivo en FGMOS)
Q_{FG}	Carga en la compuerta flotante
Si_3N_4	Nitruro de silicio
V_C	Voltaje característico (del varactor MEMS)
V_{CG}	Voltaje en la compuerta de control
V_{DD}	Voltaje de drenador (máximo potencial)
V_{DS}	Voltaje drenador - fuente
V_{FG}	Voltaje en la compuerta flotante
V_{GS}	Voltaje compuerta - fuente
V_{SS}	Voltaje de fuente (mínimo potencial)
V_{TH}	Voltaje de umbral (transistor MOS)
V_p	Voltaje de tiro (Pull-in voltage)
W_e	Trabajo eléctrico
Z_0	Impedancia característica (de una línea de transmisión)
Z_C	Impedancia capacitiva

g_m	Transconductancia
x_0	Desplazamiento de tiro (d/3)
α_L	Constante de expansión térmica lineal
ρ_s	Densidad superficial
ϵ_0	Permitividad eléctrica del vacío.
ϵ_R (SiO_2)	Permitividad eléctrica relativa del óxido de silicio.
$^{\circ}C$	Grados centígrados (Celsius)
ΔL	Expansión térmica lineal
ΔT	Cambio de temperatura
Δx	Desplazamiento en x
Δy	Desplazamiento en y
A	Área
Ag	Plata
Al	Aluminio
C	Capacitancia
Cu	Cobre
D	Drenador (drain)
E	Campo eléctrico
G	Compuerta (gate)
$GaAs$	Arsenuro de galio
GaP	Fosfuro de galio
Ge	Germanio
K	Grados Kelvin
Pt	Platino
Q	Carga eléctrica
R	Resistencia
S	Fuente (source)
Si	Silicio
SiO_2	Óxido de silicio (dióxido de silicio)
SiC	Carburo de silicio
SiN	Nitruro de silicio
T	Temperatura
TiN	Nitruro de titanio
V	Voltaje
d	Separación (entre placas paralelas)
dB	Decibelio
f	Factor de ajuste parásito (C_{FD}/C_{pp})
k	Constante elástica (de un resorte)
m	metro
$p - Si$	Polisilicio
α	Constante de expansión térmica
β	Factor de transconductancia
ρ	Resistividad
ω	Frecuencia angular