



**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS
AVANZADOS DEL INSTITUTO POLITÉCNICO NACIONAL.**

UNIDAD ZACATENCO
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA
SECCIÓN DE ELECTRÓNICA DEL ESTADO SÓLIDO.

**FABRICACIÓN Y CARACTERIZACIÓN DE
ESTRUCTURAS MDS PARA AOSTFTs.**

T E S I S

Que presenta:

ING. ISAI SALVADOR HERNANDEZ LUNA

Para obtener el Grado de:

MAESTRO EN CIENCIAS.

EN LA ESPECIALIDAD DE
INGENIERÍA ELÉCTRICA.

Directores de tesis:

DRA. MAGALI ESTRADA DEL CUETO.

DR. SALVADOR IVAN GARDUÑO VÉRTIZ.

México, D.F.

Diciembre, 2015.



DEDICATORIA.

Dedico el presente trabajo de tesis a mis queridos papás Cristina y Sergio que siempre están presentes en cada decisión, en cada alegría y en cada momento malo, lo cual hace que refuerce ese lazo que siempre nos mantiene unidos.

Así mismo dedico mi trabajo de tesis a mi hermano Dalí, que también ha sido parte fundamental para mi desarrollo profesional y emocional desde los primeros años de mi infancia.



AGRADECIMIENTOS.

Agradezco a la Dra. Magali Estrada haberme aceptado para formar parte de su equipo de trabajo, así mismo por todo su apoyo, consejos y formación que me ha brindado la cual sin su ayuda no habría sido posible terminar mi trabajo de tesis.

Agradezco al Dr. Ivan Garduño por ser mi asesor de tesis de quien he aprendido y reforzado todo el trabajo realizado, que igual y sin su ayuda éste no podría a verse terminado.

Al Dr. Alfredo Reyes y al Dr. Luis Reséndiz por aceptar ser parte de mi jurado y revisar mi trabajo.

A mis compañeros de generación y muy buenos amigos (Ángel, Chuy Benito, Esme, Morales, Ernesto, Melo y Analarissa) por todo su gran apoyo y confianza que me han brindado durante el transcurso de la maestría.

A todo el personal de la SEES, quien me ha brindado su apoyo y facilidades para el desarrollo del trabajo de tesis, en especial a Dany, Norma, Benito, Erika, Edmundo, Martín, José, Mario, Miguel, Tavira y Yesenia.

A mí querida familia en especial a tía Aurorita, Yuly, Ricardo, Yuly, Richi y Armandin quienes también están presentes en todos los buenos y malos momentos y su ayuda también ha sido un factor importante para mi desarrollo personal.

A mis queridos amigos de bachillerato, a quienes siempre les he guardado un buen cariño, en especial al Rudisimopop e Ilse.

Agradezco especialmente al CINVESTAV y al CONACYT por haberme permitido estudiar la maestría.



RESUMEN.

El presente trabajo de tesis se enfoca a la fabricación y estudio de la estructura Metal-Dieléctrico-Semiconductor (MDS) utilizando capas del material óxido de hafnio (HfO_2) como material dieléctrico y del compuesto óxido de hafnio-indio-zinc (HIZO) como material semiconductor, con el objetivo de poder utilizarlas posteriormente en dispositivos tales como transistores de capa delgada con óxidos semiconductores amorfos (AOSTFTs).

Se estudian aspectos de interés de la estructura MDS, así como los parámetros eléctricos y tecnológicos de la capa dieléctrica y semiconductor. Se analizaron algunos problemas que no han sido reportados anteriormente, como es la reducción de la capacitancia máxima conforme aumenta la señal de frecuencia de medición, así como el desplazamiento hacia valores positivos de la curva C-V y la disminución de la región de acumulación. Se dan algunas propuestas, como el uso de capas de mejor calidad, para tener una menor distribución de estados y así observar menor disminución de la capacitancia máxima, las cuales nos permiten obtener mejores características para poder ser utilizadas en AOSTFTs.



ABSTRACT.

This thesis focuses on the fabrication and study of structures metal-dielectric-semiconductor (MDS) using layers of hafnium oxide (HfO_2) as dielectric material and hafnium-indium-zinc oxide (HIZO) as semiconductor material, for a later use in devices such as Amorphous Oxide Semiconductors Thin Film Transistors (AOSTFTs).

Electrical and technological properties of each layer, as well as the structure of a MDS are studied. Some problems were analyzed that have not been previously reported, like the reduction of the maximum capacitance with increasing measurement signal frequency and the shift towards positive values of C-V and decreased accumulation region. Some proposals, such as the use of a layer of better quality, to have a lower distribution of states and observe minor decreases in maximum capacitance, which allow us to obtain better characteristics in AOSTFTs.



CONTENIDO.

DEDICATORIA.	II
AGRADECIMIENTOS.	III
RESUMEN.	IV
ABSTRACT.	V
CONTENIDO.	VI
OBJETIVOS.	VIII
CAPÍTULO 1. INTRODUCCIÓN.	1
1.1 Generalidades.	1
1.2 Antecedentes.	2
1.3 Justificación.	5
1.4 Estado del arte.	6
1.4.1 Óxidos Semiconductores Amorfos.	6
1.4.2 Óxido de Hafnio-Indio-Zinc.	9
1.4.3 Óxido de Galio-Indio-Zinc.	10
1.4.4 Dieléctricos de alta-k.	11
1.4.4.1 Óxido de Hafnio.	12
1.4.4.1.1 Métodos de obtención del HfO ₂ .	13
1.5 Conclusiones	15
Bibliografía.	16
CAPÍTULO 2. MÉTODO DE CARACTERIZACIÓN Y FABRICACIÓN DE ESTRUCTURAS METAL-DIELÉCTRICO SEMICONDUCTOR	21
2.1 Estructura.	21
2.2 Métodos de caracterización de estructuras MDS por medición de curvas C-V.	23
2.2.1 Teoría de las curvas capacitancia-voltaje (C-V) en estructuras MDS	24
2.2.2 Característica de C-V a alta frecuencia.	29



2.2.3 Otras mediciones de caracterización de la estructura.	30
2.2.3.1 Elipsometría.	30
2.3 Proceso de fabricación.	30
2.3.1 Limpieza de sustratos	31
2.3.2 Depósitos de Materiales.	32
2.3.3 Litografía.	35
2.3.4 Lift-Off.	36
2.3.5 Estructura MDS de GIZO y HfO ₂ mediante otras técnicas de depósito.	37
2.4 Conclusiones	40
Bibliografía.	41
CAPÍTULO 3. CARACTERIZACIÓN DE ESTRUCTURAS MDS, OBTENIDAS POR DIFERENTES MÉTODOS DE DEPÓSITO.	43
3.1 Caracterización de la capa dieléctrica de HfO ₂ depositada por medio de la técnica de sputtering de RF.	43
3.2 Dispositivos con capas de HfO ₂ e HIZO depositadas por medio de sputtering de RF.	48
3.3 Dispositivos de HfO ₂ y GIZO depositados por las técnicas de ALD y PLD, respectivamente.	54
3.4 Comparación entre dispositivos con materiales semiconductores de GIZO e HIZO.	56
3.5 Simulación de estructuras MDS en ATLAS.	57
3.6 Modelado de las curvas características.	62
3.7 Conclusiones.	64
Bibliografía.	66
CONCLUSIONES GENERALES.	67
TRABAJO A FUTURO.	69



OBJETIVOS.

El presente trabajo de Tesis se planteó como objetivo general:

La obtención y caracterización de la estructura Metal-Dieléctrico-Semiconductor de capas de HfO_2 e HIZO para su posible aplicación en AOSTFTs, haciendo hincapié en sus propiedades eléctricas y tecnológicas.

Para ello nos planteamos los siguientes objetivos particulares:

- Conocer el estado el arte de los materiales a utilizar.
- Relacionarse con el método de pulverización catódica (Sputtering) de RF, para la obtención de las capas dieléctrica (HfO_2) y semiconductor (HIZO).
- Fabricación de la estructura MDS con la finalidad de caracterizar y controlar la calidad de la estructura a través de mediciones de Capacitancia-Voltaje (C-V).
- Hacer una comparación de la característica C-V de la estructura MDS fabricada con capas de HfO_2 e HIZO obtenidas por el método de Sputtering de RF, con la estructura MDS que utiliza capas de HfO_2 y la mezcla de óxidos de Galio-Indio-Zinc (GIZO) por depósito de capas atómicas (ALD) y depósito por láser pulsado (PLD), respectivamente.
- Analizar los parámetros eléctricos obtenidos de la estructura MDS y así poder determinar si es factible su uso para la fabricación de AOSTFTs.



CAPÍTULO 1. INTRODUCCIÓN.

1.1 Generalidades.

Los óxidos de diferentes materiales presentan una gran cantidad de propiedades físicas y estructurales pudiendo ser catalogados como conductores, semiconductores o dieléctricos, según su conductividad, campos eléctricos o magnéticos aplicados, el medio en donde se utilizan, entre otros factores. Estos materiales, con funcionalidades peculiares, son de gran interés y se ha mostrado una alta motivación en cuanto a su investigación e integración en dispositivos electrónicos como transistores u otras aplicaciones específicas modernas como en memorias, procesadores o pantallas digitales [1.1 - 1.5].

Dentro de estos materiales se encuentran los óxidos semiconductores, que tienen gran importancia en su aplicación en dispositivos electrónicos, como es el caso de transistores de capa delgada (TFTs). Dentro de estos materiales, se encuentran los óxidos semiconductores amorfos, los cuales presentan una transparencia óptica alta (transmitancia superior al 20%), movilidad electrónica alta (más de $10 \text{ cm}^2/\text{Vs}$) y microestructura amorfa, en comparación con semiconductores orgánicos y de silicio amorfo hidrogenado (a-Si:H), pudiendo ser aplicados a procesos de fabricación de menor costo que los dispositivos de silicio cristalino o policristalino. Estos últimos están siendo integrados en pantallas de cristal líquido de matriz activa, así como de led luminiscente, electroforéticas y transparentes. [1.1 - 1.5].

Los óxidos semiconductores se pueden obtener usando métodos de depósito de semiconductores convencionales, como es el caso de depósitos a vapor químico (chemical vapor deposition), depósito de capa atómica (atomic layer deposition), depósito de láser pulsado (pulsed laser deposition), depósito a partir de soluciones (solution-phase deposition) y pulverización catódica por



radio frecuencia (RF Sputtering), entre otros, facilitando la fabricación de dispositivos en áreas de grandes dimensiones ($\sim 9 \text{ m}^2$) [1.1 - 1.5].

1.2 Antecedentes.

La invención de los transistores de capa delgada ocurrió en 1925 y fue patentada en 1930 por J.E. Lilienfeld y O. Heil, aunque en esos momentos se tenía poco conocimiento sobre los materiales semiconductores y de técnicas al vacío para producir películas delgadas [1.6]. Dentro de sus primeras patentes, Lilienfeld describe los principios básicos del transistor de efecto de campo metal semiconductor, así como del transistor de efecto de campo metal-dieléctrico-semiconductor, tomando más de un par de décadas para fabricar el primer TFT, el cual se logró por Weimer en los laboratorios RCA en 1962 [1.7].

En 1968, Boesen and Jacobs reportaron un TFT con óxido de zinc (ZnO) monocristalino dopado con litio como semiconductor, con dieléctrico evaporado de óxido de silicio no estequiométrico (SiO_x) y electrodos de aluminio, observando características eléctricas, que, a pesar de tener una corriente de canal reducida $< 180 \mu\text{A}$, con una transconductancia máxima de los 1650 μmhos , ésta podía ser modulada al variar el voltaje aplicado a la compuerta. En este caso no se observó saturación en la corriente de drenaje [1.8].

La posibilidad de aplicar silicio amorfo (a-Si) para la fabricación de TFTs fue probada por Spear y Le Comber en la Universidad de Dundee en Escocia [1.9]. En 1975, ellos demostraron que la conductividad eléctrica en una película delgada de silicio amorfo hidrogenado (a-Si:H), puede ser controlada mediante el dopaje con impurezas de fósforo (P) o de boro (B). El a-Si:H fue depositado mediante el método de depósito a partir de fase vapor. Así pues, con este hecho se consideró que se pueden tener materiales amorfos semiconductores con diferente conductividad, ya sea tipo n o tipo p. Dependiendo de las variaciones de las impurificaciones, se pudieron obtener conductividades de manera



sistemática y reproducible, lo cual pudo conducir a múltiples aplicaciones para estos materiales.

En 1979 se fabricaron TFTs usando a-Si:H como capa activa y se demostró que podían ser aplicados como elementos de control en matrices activas de diodos luminiscentes (LEDs) [1.10]. Adicionalmente, en 1981 se demostró que este tipo de transistores también se pueden utilizar para controlar pantallas de cristal líquido (LCDs) [1.11]. Este hallazgo aceleró en gran medida la investigación y desarrollo de los TFTs de a-Si:H, de tal forma que desde 1982, diversos fabricantes de pantallas de panel delgado, como la compañía Sharp, utilizan TFTs con a-Si:H como controladores (drivers).

Fue hasta el año 1996 cuando Hideo Hosono y Masahiro Yasikawa, del Instituto de Tecnología de Tokio, propusieron una hipótesis en donde se predice que compuestos dobles o triples de óxidos amorfos de cationes de metales pesados, con una configuración electrónica de $(n-1)d^{10}ns^0$ ($n>4$), eran candidatos prometedores para una nueva clase de semiconductores amorfos. Estos materiales muestran una conductividad eléctrica alta dentro del rango de valores de 10^{-1} a 10^{-2} Scm^{-1} a 300 K, debido a una alta concentración de portadores, por arriba de 10^{18} cm^{-3} . Esta alta conductividad provee una movilidad por efecto de campo con valores alrededor de 10 $\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$, la cual es bastante mayor que la que se obtienen con el a-Si:H, que suele reportarse menor a 1 $\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ [1.12].

Debido a lo anterior, los dispositivos con un buen rendimiento que mostraban que los TFTs fabricados con óxidos semiconductores podían ser una tecnología viable, empezaron a reportarse en el 2003 con los trabajos de TFTs con ZnO por Hoffman, Carcia y Masuda [1.13, 1.14, 1.15]. Hoffman y Carcia reportaron dispositivos totalmente transparentes con movilidad del orden de 2.5 $\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ [1.14]. Sin embargo, las temperaturas de procesamiento o post-procesamiento necesarias para que estos semiconductores permitieran obtener



dispositivos con un buen rendimiento eran bastante altas, entre 450° C y 600° C. Carcia mostró que la pulverización catódica por RF utilizando magnetrón, permitía depositar capas de ZnO a temperatura ambiente, con propiedades eléctricas similares a las obtenidas en procesos de fabricación a alta temperatura, aunque por este método de depósito no se obtuvieron capas totalmente transparentes [1.14].

En 2004, Nomura mostró transistores de capa delgada fabricados sobre sustratos flexibles con óxido de Galio-Indio-Zinc (GIZO), con características eléctricas impresionantes como una movilidad de efecto de campo de $80 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ y una relación de corriente on/off de 10^6 , el voltaje de umbral es de 3 V, - por lo que los dispositivos conducían en voltaje de compuerta mayor a los 3 V (normally off) [1.16, 1.17]. A partir de entonces, se dedican muchos esfuerzos a la investigación de óxidos semiconductores amorfos para su utilización en dispositivos TFTs, especialmente con vistas a su utilización en las próximas generaciones de pantallas luminiscentes [1.17].

Desde el año 2004, se han publicado numerosos resultados a partir de investigaciones relacionadas con los óxidos amorfos semiconductores (AOS), donde se ha estudiado el papel de diferentes componentes en las mezclas de óxidos utilizadas en los AOSTFTs [1.2 - 1.5]. Sin embargo, aún queda bastante por conocer para producir compuestos optimizados que permitan un alto rendimiento y estabilidad en sus parámetros eléctricos. Otro aspecto importante es el estudio de materiales dieléctricos que permitan obtener la menor densidad de trampas en la interfaz con el semiconductor, así como menor densidad de trampas que ayuden a reducir la cantidad de efectos por polarización, así que posean alta constante dieléctrica (k_i) para reducir el rango de voltaje de operación de los AOSTFTs.

En la actualidad, el motor principal para acelerar la investigación en semiconductores de óxidos amorfos y de AOSTFTs es la fuerte necesidad de su



uso en pantallas de panel delgado o dispositivos modernos, donde se requiere reducir costos de fabricación y su obtención en grandes áreas.

1.3 Justificación.

Como se mencionó anteriormente, los AOSTFTs han progresado a pasos agigantados debido a sus excelentes características eléctricas, lo cual ha permitido que ya hayan sido introducidos comercialmente en equipos electrónicos, especialmente como controladores en las pantallas de diodos luminiscentes orgánicos (OLEDs).

A pesar del importante desarrollo alcanzado, aún quedan muchos aspectos, tanto tecnológicos como físicos por estudiar y dominar, lo que permitiría optimizar las características de estos dispositivos y su estabilidad en diferentes condiciones de operación.

La fabricación y estudio de estructuras Metal-Dieléctrico-Semiconductor (MDS) utilizando el óxido de Hafnio-Indio-Zinc (HIZO) como material semiconductor y el óxido de Hafnio (HfO_2) como dieléctrico, ambos depositados por pulverización catódica, nos permitirá profundizar en las características de ambos materiales y de la interfaz entre ellos. Los resultados del estudio de estas estructuras pueden ser extrapolados a AOSTFTs que utilicen dichos materiales, ya que el funcionamiento de los mismos está basado en estructuras MDS.

Adicionalmente, el estudio del comportamiento de estructuras MDS utilizando HfO_2 como dieléctrico e IGZO como semiconductor, depositados por ALD y PLD respectivamente, nos ayudará a comparar sus características con las estructuras fabricadas con HIZO.



1.4 Estado del arte.

1.4.1 Óxidos Semiconductores Amorfos.

El campo de la microelectrónica ha estado dominado por el uso de silicio, donde el silicio cristalino (c-Si) ha tenido una gran importancia debido a su abundancia, a un dopaje controlable para ambos tipos de conductividades ya sea tipo n o p, movilidades muy altas para electrones ($1400 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$) y huecos ($400 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$) permitiendo su uso en circuitos MOS complementarios. Además, se tiene una buena comprensión y estudio de sus propiedades eléctricas. Sin embargo, para aplicaciones que comprenden grandes áreas, como en la fabricación de pantallas de matriz activa de diodos luminiscentes orgánicos (AMOLED) y arreglos de sensores, entre otras, el c-Si tiene como limitaciones su capacidad para ser procesado en áreas grandes y sobre sustratos de vidrio, además de que su costo de fabricación es alto y que es un material opaco, restringiéndolo para su aplicación en la electrónica transparente [1.4, 1.5].

Por otro lado, el a-Si:H y los semiconductores orgánicos han estado en constante investigación para su utilización en dispositivos electrónicos y en TFTs. Sin embargo, el rendimiento de estos dispositivos se encuentra limitado por las bajas movilidades de efecto de campo en el canal de los transistores, del orden o menores de $1 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$, donde el transporte de carga está controlado por saltos entre los estados localizados en la banda prohibida (hopping)[1.17].

Por ello, una nueva generación de óxidos semiconductores empieza a ser estudiada y aplicada como materiales activos en TFTs. Como se mencionó en los antecedentes, el primer TFT basado en ZnO fue propuesto en 1968 y fue varios años después cuando el grupo de Hosono propuso el uso de un rango amplio de materiales de óxidos semiconductores amorfos para la tecnología de AMOLEDs [1.12] así como la introducción de TFTs totalmente transparentes sugerida por Hoffman *et al* [1.14], donde las principales ventajas de esta tecnología con respecto a materiales policristalinos es su alta movilidad, la



posibilidad de obtener una excelente uniformidad en los parámetros del dispositivo debido a su estructura amorfa, lo cual permite una mayor estabilidad sobre sustratos de gran tamaño, aplicando procesos de depósito a baja o incluso a temperatura ambiente.

Los óxidos semiconductores amorfos se están convirtiendo en materiales semiconductores muy importantes para aplicaciones electrónicas pasivas y activas, debido a sus altos rendimientos eléctricos y mayor uniformidad de las capas en áreas grandes, en comparación con óxidos semiconductores policristalinos como el óxido de Indio (In_2O_3), óxido de Estaño (SnO_2) y el óxido de Zinc (ZnO), los cuales con una movilidad del orden $10\text{-}100\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ tienden a cristalizarse a valores cercanos a la temperatura ambiente, presentando problemas de decremento de su movilidad y no poder ser ocupados para aplicaciones en áreas grandes [1.18]. Para evitar la cristalización manteniendo las buenas características eléctricas se han explorado óxidos ternarios metálicos, entre los cuales se destacan el óxido de Indio-Zinc (IZO), óxido de Indio-Estaño (ITO) y óxido de Zinc-Estaño (ZTO), los cuales han mostrado mejores rendimientos, así como la reducción de problemas de frontera de grano. Su uso en transistores de capa delgada ha permitido aplicaciones flexibles, dependiendo de la técnica de depósito y sus condiciones posteriores [1.18].

Concerniente a los diferentes óxidos semiconductores amorfos, hay una variedad enorme que van desde óxidos binarios hasta óxidos cuaternarios [1.1, 1.2, 1.12]. Las técnicas utilizadas para el depósito de las capas a baja temperatura y en vacío, incluyen, la pulverización catódica de RF, de haz de iones, el depósito mediante laser pulsado, entre otras. Entre las técnicas que no utilizan vacío, el centrifugado (Spin Coating) y los depósitos por baño químico han sido también empleados en la fabricación de TFTs [1.2].

Los óxidos binarios In_2O_3 , SnO_2 y ZnO también usados como contactos de óxidos transparentes (TCOs), donde sus masas efectivas están por debajo de los $0.3 m_e$ y sus correspondientes altas movilidades son muy valoradas al



requerirse altas concentraciones de electrones ($10^{20} - 10^{21} \text{ cm}^{-3}$), mientras que en los AOS la concentración de electrones debe ser preferentemente $< 10^{16} \text{ cm}^{-3}$. La incorporación de indio (In) o de estaño (Sn) en un AOS tiende a incrementar la concentración de electrones, como en el caso del IZO e ITO, los cuales pueden ser utilizados en AOSTFTs. A pesar de las buenas propiedades de transporte que presentan los óxidos ternarios, los dispositivos fabricados con estos materiales presentan inestabilidad en el voltaje de umbral (V_T) cuando son polarizados durante su operación. Una alternativa para reducir estas inestabilidades por polarización ha sido introducir un catión metálico con una fuerte afinidad por el oxígeno, en otras palabras que éste tenga la posibilidad de enlazarse a átomos de oxígeno. Dentro de los materiales que se han estado investigando se encuentran el óxido de Zinc-Indio-Estaño (ZITO), óxido de Hafnio-Indio-Zinc (HIZO) y el óxido de Galio-Indio-Zinc (GIZO) [1.17, 1.19, 1.20].

El buen rendimiento de óxidos semiconductores, especialmente con respecto a la habilidad de mantener un buen transporte de electrones, se debe a que en su banda de conducción contienen orbitales ns esféricos e isotrópicos [1.17]. Metales con cierta estructura electrónica, como el Sn o In, forman óxidos con una banda de conducción alta y masa electrónica pequeña, lo cual beneficia al incremento de la movilidad. Dentro de sus mecanismos de conducción se encuentran el mecanismo por “saltos” (hopping), por estados extensos y por estados extensos con barrera, los cuales todavía se encuentran en estudio [1.19]. En contraste, la incorporación de cationes metálicos como el zinc (Zn), aluminio (Al), hafnio (Hf) y galio (Ga) conducirá a la disminución de la concentración de electrones, los cuales se muestran como un mejor estabilizador y un fuerte enlazante con átomos de oxígeno en la red de óxidos amorfos, permitiendo una mejora en la estabilidad con polarizaciones aplicadas durante periodos prolongados de tiempo en los TFTs resultantes [1.12].



1.4.2 Óxido de Hafnio-Indio-Zinc.

Como ya se indicó, los TFTs que emplean óxidos semiconductores amorfos como el GIZO e HIZO, han sido objeto de estudio intenso como alternativas a dispositivos de a-Si:H, por el significativo incremento de movilidad que se obtiene con ellos [1.20, 1.21, 1.22]. Por ejemplo, para el caso de transistores de HIZO se ha reportado una movilidad de efecto de campo alrededor de $10 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$, una pendiente de subumbral del orden de o menor de 0.23 V/década y una alta relación de corriente de on/off ($>10^8$), parámetros todos superiores a los presentados por los TFTs de a-Si:H [1.20].

Las películas que integran al HIZO son de materiales con conductividad tipo n. Por lo tanto, la concentración de electrones se puede disminuir, incrementando la concentración molar del Hf [1.20]. Por ejemplo, la concentración de electrones puede bajarse de 10^{19} a 10^{16} cm^{-3} aumentando la concentración molar de Hf de 0 a 0.4 % mol [1.20].

Con tratamientos térmicos posteriores, las vacancias de oxígeno pueden ser reducidas aún más mediante la incorporación de cationes de Hf que ayudan a enlazar átomos de oxígeno, lo cual refleja una tendencia a la oxidación del metal, pero por otro lado el Hf puede reducir la movilidad de electrones [1.21, 1.22].

Algunos autores han reportado también que AOSTFTs de HIZO muestran un buen rendimiento eléctrico y mayor estabilidad bajo tensiones de polarización, por ejemplo, el desplazamiento de voltaje de umbral puede ser de alrededor de 1.5 V, en comparación con AOSTFTs de GIZO o IZO [1.20]. Esto se atribuye a la incorporación de Hf en el sistema IZO donde el Hf, debido a su alta electronegatividad, mejora la estabilidad de los TFTs bajo estrés de polarización [1.23, 1.24].



Las propiedades de las capas de óxidos semiconductores dependen en gran medida del método de depósito. Entre los métodos más utilizados se encuentran sputtering de RF, spin-coating y sol-gel. [1.20 - 1.24].

Las capas de HIZO depositadas por medio de pulverización catódica de RF a temperatura ambiente, muestran una estructura amorfa independientemente de la concentración de Hf. Las propiedades eléctricas de los TFTs de a-HIZO dependen fuertemente de la concentración de Hf en las películas [1.23 – 1.26].

1.4.3 Óxido de Galio-Indio-Zinc.

El GIZO es otro óxido semiconductor utilizado en la fabricación de AOSTFTs. Se deposita mediante los mismos métodos de depósito que los utilizados para las capas de HIZO. Estos materiales exhiben también una alta movilidad de alrededor de $10 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$, una relación de corriente de 10^6 y una pendiente de subumbral de alrededor de 0.25 V/década [1.20]. Estas características, como ya se mencionó anteriormente, se deben a su traslape de orbitales ns de cationes metálicos pesados. Por lo tanto, los orbitales ns de estos elementos metálicos pueden contribuir a una conducción dentro de un valor mínimo de la banda de conducción, la cual funciona como una ruta de transporte de electrones en el GIZO [1.27, 1.28].

Sin embargo, a pesar de que los TFTs de GIZO exhiben rendimientos eléctricos buenos, este material continuó teniendo problemas de estabilidad eléctrica, lo cual ha llevado a la búsqueda de materiales que puedan reducir eficientemente el estrés ya sea por polarización o por iluminación. Éstos han mostrado un desplazamiento positivo de alrededor de 3.4 V de V_T después de aplicar voltaje de polarización por 60 h, mientras los TFTs de HIZO, muestran menos desplazamiento de V_T de alrededor de 1.5 V . Por otro lado, se ha reportado desplazamiento de V_T de alrededor de 5 V después de 3 h. de polarización a transistores de TFTs con óxido de indio-zinc amorfo (a-IZO), por



ello el HIZO se considera una alternativa para este tipo de problemas [1.20]. Adicionalmente, el GIZO está considerado como un material tóxico [1.1].

1.4.4 Dieléctricos de alta- k .

La reducción en el espesor del SiO_2 como dieléctrico de compuerta en transistores CMOS contribuye a mejorar su rendimiento, por lo que en las últimas décadas, el escalamiento de los transistores de efecto de campo metal-óxido-semiconductor (MOSFETs) ha llevado a una mayor integración de transistores por unidad de área a bajos costos, teniendo una mejor funcionalidad y rendimiento como una conmutación más rápida. Por otro lado, debido a que la longitud de canal de los dispositivos ha llegado a escalas inferiores a los 25 nm, el espesor efectivo del óxido como dieléctrico de compuerta, el cual tradicionalmente usaba al óxido de silicio (SiO_2), está obligado a tener un espesor menor a 1 nm, lo cual corresponde aproximadamente a 3 monocapas de este material, llegando a su límite físico. Esto da lugar a grandes corrientes de fuga a través de la compuerta debido predominantemente al efecto de tuneo directo [1.29, 1.30]. Esta limitación física del SiO_2 llevó al estudio de nuevos óxidos con una constante dieléctrica mayor al SiO_2 (alta- k), que permitan alcanzar los mismos rendimientos en el transistor como los alcanzados por el SiO_2 pero usando dieléctricos más gruesos [1.29].

En los últimos 20 años, se han obtenido avances significativos en la obtención y selección de dieléctricos de alta- k empleados en la estructura de compuerta, con la comprensión de sus propiedades físicas y su integración en tecnología CMOS. Una variedad de óxidos metálicos de alta- k como el óxido de aluminio (Al_2O_3), nitruro de silicio (Si_3N_4), HfO_2 , óxido de titanio (TiO_2), óxido de lantano (La_2O_3), óxido de zirconio (ZrO_2), etc., han sido intensamente estudiados para estas aplicaciones [1.18]. Otros parámetros importantes a considerar son el ancho de banda, una buena compatibilidad con el semiconductor en la estructura MDS y la densidad de carga en la interfaz con el semiconductor, así



como su estabilidad térmica, morfología, uniformidad de la película y confiabilidad. Finalmente, hay que considerar la inestabilidad del voltaje de banda plana, así como la presencia de histéresis, cuando se analiza la curva de capacitancia-voltaje (C-V) en estructuras MDS [1.30, 1.31].

Para los AOSTFTs, el uso de dieléctricos de alta- k permite la reducción del rango de voltaje de operación. El tratamiento de estos dieléctricos a través del concepto de espesor equivalente, el cual se representa como relación entre las constantes dieléctricas y su espesor, se muestra en la siguiente ecuación:

$$X_{equi} = X_i \cdot \frac{K_{SiO_2}}{k_i} \quad (1.1)$$

Donde X_i es el espesor real del dieléctrico, la k_{SiO_2} es la constante dieléctrica del SiO_2 y k_i es la constante dieléctrica del material usado para reemplazar al SiO_2 .

Para que el espesor real del dieléctrico en un dispositivo MDS cumpla con las normas de escalamiento, éste debe tener un valor mayor al valor del espesor equivalente. Al mismo tiempo se desea tener una capa con espesor mayor, lo cual permite que exista una densidad de corriente menor a través de ella. Por ello, resulta conveniente analizar el comportamiento de los dispositivos considerando que se tiene un espesor equivalente del SiO_2 . Aunque este escalamiento no se requiere en los AOSTFTs, ya que sus dimensiones son grandes, si es útil trabajar con el valor de espesor equivalente.

1.4.4.1 Óxido de Hafnio.

Como ya se mencionó, el HfO_2 es una de las alternativas fuertes como dieléctrico de compuerta para fabricar dispositivos con dieléctricos de alta- k . Una capacitancia alta de compuerta puede ser alcanzada simultáneamente con corrientes de compuerta baja. Una capacitancia de compuerta alta permite un mejor control de la compuerta sobre el canal e incrementos de corriente de



drenador. Debe tomarse en consideración, que el ancho de banda del dieléctrico es inversamente proporcional a la constante dieléctrica [1.29].

El HfO_2 presenta una constante dieléctrica entre valores de 8 a 25, ancho de banda grande (5.8 eV) [1.32, 1.34], compatibilidad con procesos que utilizan compuerta de poli-silicio o de diferentes metales y campo de ruptura alto (3.8-6.7 MV/cm). La densidad de estados en la interfaz con el semiconductor, depende de la calidad de las películas, así como del material semiconductor utilizado entre otros factores, pero en todos los casos ésta es mayor a la que se obtiene con la interfaz Si / SiO_2 .

Las características del HfO_2 dependen fuertemente del método de obtención de este material y existe una gran variedad de ellas, por ejemplo: el depósito de capas atómicas (ALD), epitaxia de haces moleculares (MBE), depósito por láser pulsado (PLD), depósito en fase de vapor químico (CVD), evaporación térmica reactiva y pulverización catódica por RF [1.31, 1.32, 1.33].

El tratamiento térmico posterior, reduce los defectos presentes en la película, aumentando la constante dieléctrica debido a modificaciones estructurales [1.31].

1.4.4.1.1 Métodos de obtención del HfO_2 .

El depósito por capas atómicas es considerado como el método que da lugar a películas de HfO_2 con mejores características o propiedades. Se obtiene una k del orden 20 a 25, un buen control de espesor y una baja densidad de estados en la interfaz con el semiconductor [1.31, 1.32, 1.33]. Hay varios precursores que se utilizan para el crecimiento de películas de HfO_2 , donde el tetracloruro de Hafnio (HfCl_4) es uno de los precursores del HfO_2 más común y recientemente han sido utilizados precursores de alquilamida [1.31, 1.32, 1.33]. La tasa de crecimiento de películas de HfO_2 que se obtienen por ALD con precursores comunes son de alrededor de 0.1 nm por ciclo como máximo [1.32, 1.33].



Las capas obtenidas por pulverización catódica por RF a temperatura ambiente, presentan la posibilidad de tener un dieléctrico de compuerta de relativamente alta- k con valores de alrededor de 8 a 10 [1.34] y calidad aceptable, lo cual es un requerimiento principal para tecnología CMOS avanzada, la técnica es de bajo costo en comparación con ALD, donde no se requiere de altas temperaturas para su depósito. El valor de k y en general la calidad de la capa obtenida depende de las condiciones del depósito, así como del blanco utilizado, así como el dopaje del HfO_2 con otros materiales [1.34, 1.35].



1.5 Conclusiones

Los materiales óxidos semiconductores presentan numerosas características para ser integrados en dispositivos actuales con particulares novedosas, dentro de las que los caracteriza son su aplicación en áreas grandes, sustratos transparentes y que a su vez presentan mayores ventajas con respecto a materiales policristalinos y materiales orgánicos como son, movilidades superiores, menor desplazamiento de V_T debido a polarización por estrés y mejor uniformidad debido a su estructura amorfa.

La principal ventaja de materiales óxidos semiconductores es que se pueden depositar usando métodos convencionales, como es el caso de sputtering a temperatura ambiente, pudiendo realizar transistores de capa delgada a bajos costos y con características aceptables.

Las capas de HIZO depositadas por sputtering de RF a temperatura ambiente, muestran una estructura amorfa, donde sus características eléctricas dependen en gran medida de la concentración de Hf. El uso del HIZO se presenta como una alternativa para reemplazar al a-Si:H de dispositivos eléctricos modernos, así también presenta mejores características con respecto a AOSTFTs de GIZO e IZO.

El GIZO es otro óxido semiconductor utilizado en la fabricación de AOSTFTs, el cual también es depositando mediante métodos a bajo costo. Por otro lado, estos materiales exhiben rendimientos eléctricos buenos, pero el cual presenta problemas de estabilidad eléctrica, lo cual ha llevado a la búsqueda de materiales que puedan reducir eficientemente el estrés por polarización o iluminación.

El escalamiento de los transistores MDS ha tenido significantes avances en la obtención y selección de dieléctricos de *alta-k* empleados en la estructura de compuerta, donde el HfO₂ se presenta como una alternativa para su uso.



Bibliografía.

- [1.1] John F. Wager, Boa, Yeh, Randy L. Hoffman, Douglas A. Keszler. An amorphous oxide semiconductor thin-film transistor route to oxide electronics. *Current Opinion in Solid State and Materials Science*. Volume 18. April 2014. Pages 53 - 61.
- [1.2] E. Fortunato, * P. Barquinha, and R. Martins. Oxide Semiconductor Thin-Film Transistors: A Review of Recent Advances. *Advanced Materials*. Volume 24. June 2012. Pages 2945-2986.
- [1.3] Joon Seok Park, Wan-JooMaeng, Hyun-Suk Kim, Jin-Seong Park. Review of recent developments in amorphous oxide semiconductor thin-film transistor devices. *Thin Solid Films*. Volume 520. January 2012. Pages 1679-1693.
- [1.4] Yoshitaka Yamamoto. Technological Innovation of Thin-Film Transistors: Technology Development, History, and Future. *Japanese Journal of Applied Physics*. Volume 51. June 2012. Article number 060001.
- [1.5] Jang-Yeon Kwon, Do-Joong Lee and Ki Bum kim. Review Paper: Transparent Amorphous Oxide Semiconductor Thin Film Transistor. *Electronic Materials Letters*. Volume 7. 2011. Pages 1-11.
- [1.6] Lilienfeld Julius Edgar. US1745175 (A)-1930-01-28. Electric current control mechanism. Application number: 272437D.
- [1.7] Paul K. Weimer. The TFT- A New Thin-Film Transistor. *Proceedings of the IRE*. Volume 50. June 1962. Pages: 1462-1469.
- [1.8] George F. Boesen, John E. Jacobs. Northwestern University. ZnO Field-Effect Transistor. *Proceedings of the IEEE*. August 1968. Pages: 2094 – 2095.
- [1.9] W. E. Spear and P.G. Le Comber. University of Dundee. Substitutional Doping of Amorphous Silicon. *Solid State Communications*. Volume 88. December 1993. Pages: 1015-1018.



- [1.10] P. G. LeComber, W. E. Spear, A. Ghaith. University of Dundee. Amorphous-Silicon Field-Effect Device and Possible Application. Electronics Letters. Volume 15. March 1979. Pages: 179-181.
- [1.11] A. J. Snell, K. D. Mackenzie, W. E. Spear, and P. G. LeComber. University of Dundee. Application of Amorphous Silicon Field Effect Transistors in Addressable Liquid Crystal Display Panels. Applied Physics. Volume 24. November 1980. Pages: 357- 362.
- [1.12] Hideo Hosono, Masahiro Yasukawa, Hiroshi Kawazoe. Novel oxide amorphous semiconductors: transparent conducting amorphous oxides. Journal of Non-Crystalline Solids. Volume 203. 1996. Pages: 334 – 3344.
- [1.13] R. L. Hoffman, N. L. Dehuff, E.S. Kettenring, D. Hong, H. Q. Chiang and J. F. Wager. Transparent thin-film transistors with zinc indium oxide channel layer. Journal of Applied Physics. Volume 97. March 2005. Article ID: 064505.
- [1.14] P. F. Carcia, R. S. McLean, M. H. Reilly, and G. Nunes. Transparent ZnO thin-film transistor fabricated by RF magnetron sputtering. Applied Physics Letters. Volume 82. February 2003. Pages : 1117-1119
- [1.15] P. F. Carcia, R. S. McLean, M. H. Reilly. High-performance ZnO thin-film transistors on gate dielectrics grown by atomic layer deposition. Applied Physics Letters. Volume 88. March 2006. Article ID: 123509.
- [1.16] Kenji Nomura, Hiromichi Ohta, Kazushige Ueda, Toshio Kamiya, Masahiro Hirano, Hideo Hosono. Thin-Film Transistor Fabricated in Single-Crystalline Transparent Oxide Semiconductor. Science. Volume 300. May 2003. Pages: 1269 – 1272.
- [1.17] Kenji Nomura, Hiromichi Ohta, Akihiro Takagi, Toshio Kamiya, Masahiro Hirano, and Hideo Hosono. Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors. Nature Publishing Group. Volume 432. November 2004. Pages: 488 – 492.



-
- [1.18] Antonio Facchetti, Tobin J. Marks. *Transparent Electronics. From Synthesis to Applications.* WILEY.
- [1.19] Toshio Kamiya, Kenji Nomura, Hideo Hosono. Present status of amorphous In-Ga-Zn-O thin-film transistors. Topical review. *Science a Technology of Advanced Materials.* Volume 11, September 2010. Pages: 044305
- [1.20] Chang-Jungm Kim, Sangwook Kim, Je-Hu Lee, Jin-Seong Park, Sunil Kim,, Jaechul Park, Eunha Lee, Jaechul Lee, Youngsoo Park, Joo Han Kim, Sung Tae Shin, and U-in Chung. Amorphous Hafnium –indium-zinc oxide semiconductor thin film transistors *Applied Physics Letters.* Volume 95. 2009. Article ID: 252103.
- [1.21] Eugene Chong, KyoungChul Jo, and Sang Yeol Lee. High stability of amorphous hafnium-indium-zinc-oxide thin film transistor. *Applied Physics Letters.* Volume 96. April 2010. Article ID: 152102.
- [1.22] Woong Hee Jeong, Gun Hee Kim, Dong Lim Kim, Hyun Soo Shin, Hyun Jae Kim, Myung-Kwan Ryu, Kyung-Bae Park, Jong Baek Seon, Sang-Yoon Lee. Effects of Hf incorporation in solution-processed Hf-InZnO TFTs. *Thin Solid Films.* Volume 519. June 2011. Pages: 570-5743.
- [1.23] Eugene Chong, Yoon Soo Chun, Seung Han Kim, Sang Yeol Lee. Improvement of bias stability of indium zinc oxide thin film transistors by the incorporation of hafnium fabricated by radio-frequency magnetron sputtering. *Thin Solid Films.* Volume 519. August 2011. Pages: 6881-6883.
- [1.24] Yusrama Denny, Hye Chung Shin, SoonjooSeo, Sunk Kun Oh, Hee Jae Kang, Dahlang Tahir, Sung Heo, Jae Gwan Chung, Jae Cheol Lee, Sven Tougaard. Electronic and Optical properties of hafnium indium zinc oxide thin film by XPS and Reels. *Journal of Electron Spectroscopy and Related Phenomena.* Volume 185. December 2011. Pages: 18 - 22.
- [1.25] Kyoung-Seok Son, Hyun-Suk Kim, Wan-JooMaeng, Ji-Sim Jung, Kwang-Hee Lee, Tae-Sang Kim, JoonSeok Park, Jang-Yeon Kwon,



- Bonwon Koo, and Sang-Yoon Lee. The Effect of Dynamic Bias Stress on the Photon-Enhanced Threshold Voltage Instability of Amorphous HfInZnO Thin-Film Transistors. *Electron Device Letters*. Volume 32. February 2011. Pages: 164 – 166.
- [1.26] Sun-II Kim, Sang Wook Kim, Chang Jung Kim, and Jin-SeongParkb. The Impact of Passivation Layers on the Negative Bias Temperature Illumination Instability of Ha-In-Zn-O TFT. *Journal of The Electrochemical Society*. Volume 158. December 2010. Pages: H115 - H118.
- [1.27] Sang-Yun Sung, Jun Hyuk Choi, Un Bin Han, Ki Chang Lee, JoonHyung Lee, Jeong-Joo Kim, Wantae Lim, S. J. Pearton, D.P. Norton, and Young-Woo Heo. Effects of ambient atmosphere on the transfer characteristics and gate-bias stress stability of amorphous indium-gallium-zinc oxide thin-film transistors. *Applied Physics Letters*. Volume 96. March 2010. Article: 102107.
- [1.28] Dong-Seok Yang, Jae Cheol Lee, JaeGwan Chung, Eunha Lee, BenayadAnass, Nark-Eon Sung, Jay Min Lee, Hee Jae Kang. Local Structure and local conduction paths in amorphous (In,Ga,Hf)-ZnO semiconductor thin films. *Solid State Communications*. Volume 152. October 2012. Pages: 1867 – 1869.
- [1.29] Robert Chau, SumanDatta, Mark Doczy, Brian Doyle, Jack Kavalieros, and Mathew Metz. High- k Metal-Gate Stack and its MOSFET Characteristics. *IEEE Electron Device Letters*. Volume 25. June 2004. Pages: 408 – 410.
- [1.30] A. Madan, S.C. Bose, P. J. George, Chandra Shekhar. Evaluation of Device Parameters of HfO₂/SiO₂/Si Gate Dielectric Stack for MOSFETs. *Proceedings of the 18th International Conferene on VLSI Design held jointly with 4th International Conference on Embedded Systems Design*. 2005. Pages: 386 – 391.



-
- [1.31] Dim-Lee Kwong. CMOS Integration Issues with High-K Gate Stack. Proceedings of the 11th International Symposium on the Physical and Failure Analysis of Integrated Circuits. 2004. Pages: 17 – 20.
- [1.32] MinhaSeo, SeongKeun Kim, Yo-Sep Min and CheolSeong Hwang. Atomic layer deposited HfO₂ and HfO₂/TiO₂ bi-layer using a heterolepticHf-precursor for logic and memory applications. Journal of Material Chemistry. Volume 21. 2011. Pages: 18497 – 18502.
- [1.33] Raul Rammula, JaanAarik, Hugo Mandar, PeeterRitslaid, VainoSammelselg. Atomic Layer deposition of HfO₂: Effect of structure development on growth rate, morphology and optical properties of thin films. Applied Surface Science. Volume 257. November 2010. Pages: 1043 – 1052.
- [1.34] A.G. Khairnar, A. M. Mahajan. Effect of post-deposition annealing temperature on RF-sputtered HfO₂ thin film or advanced Cmos technology. Solid State Sciences. Volume 15. September 2012. Pages: 24 – 28.
- [1.35] Rui Ma, Mao Liu, Gang He, Ming Fang, Guoling Shang, Jiwei Zhang, Xuefei Chen, Juan Gao, Guangtao Fei, Lide Zhang. Effects of rapid thermal annealing on interfacial and electrical properties of Gd-doped HfO₂ high-k gate dielectrics. Journal of Alloys and Compounds. Volume 646. October 2015. Pages: 310 – 314.



CAPÍTULO 2. MÉTODO DE CARACTERIZACIÓN Y FABRICACIÓN DE ESTRUCTURAS METAL-DIELÉCTRICO SEMICONDUCTOR

La estructura Metal-Dieléctrico-Semiconductor (MDS) es parte fundamental en los transistores de capa delgada de óxidos semiconductores amorfos (AOSTFTs), por lo tanto, fabricarlos, caracterizarlos y analizar sus propiedades es muy necesario para determinar si los parámetros obtenidos permiten su utilización en AOSTFTs, así como para optimizar los parámetros de estos dispositivos.

2.1 Estructura.

La estructura MDS típicamente está formada por una capa de material dieléctrico en contacto con una capa semiconductor y con un contacto metálico a ambos lados. El metal en contacto con el dieléctrico es la compuerta, mientras el metal en contacto con el semiconductor, debe formar un contacto óhmico con el mismo. Desde el punto de vista de la secuencia de fabricación, la compuerta puede ser la primera capa que se deposita, o la última. En la figura 2.1 se muestran las dos configuraciones de la estructura MDS.

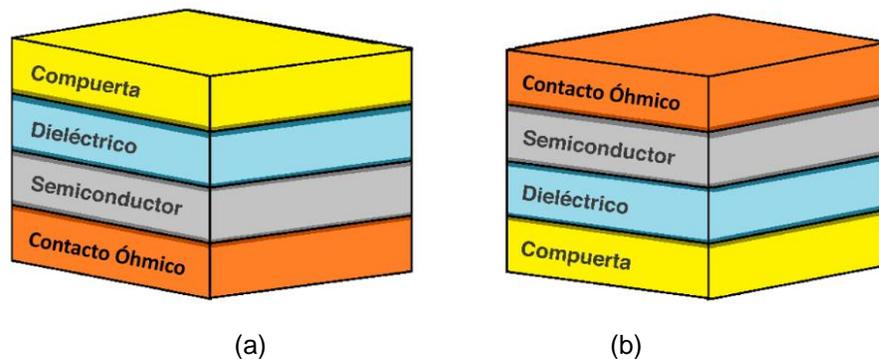


Figura 2.1. Estructura MDS (a) Compuerta por arriba. (b) Compuerta por debajo.



Al aplicarle un voltaje externo a la estructura antes mencionada, parte del voltaje caerá en el dieléctrico y parte del voltaje en el semiconductor. El dieléctrico es el encargado de evitar que la corriente pueda llegar hasta el semiconductor, provocando la acumulación de cargas junto a la interfaz metal-dieléctrico o la deserción de portadores dentro de la capa semiconductor. Si las características del semiconductor lo permiten, como es el caso del silicio, también puede producirse una región de inversión junto a la interfaz dieléctrico-semiconductor.

En el caso de un semiconductor tipo N, la acumulación ocurre cuando a la estructura se le aplica un voltaje positivo a la compuerta que provoca que los electrones del semiconductor sean atraídos hacia la interfaz dieléctrico-semiconductor dando lugar a una densidad de carga negativa que excede la densidad que tiene en el material en equilibrio.

La deserción se logra cuando el voltaje de compuerta es negativo y las cargas negativas son repelidas de la superficie del semiconductor. Eventualmente la densidad de electrones será menor que la densidad que se tiene en el material en equilibrio. El aumento de la carga positiva en la compuerta compensa la disminución de la densidad de carga negativa.

Si se sigue aumentando el voltaje negativo aplicado a la compuerta en los materiales que lo permitan, se da un incremento en la generación de portadores minoritarios, que al ser atraídos a la superficie por acción del campo eléctrico, producen una concentración mayor que aquella debida a los portadores mayoritarios en equilibrio, por lo tanto, se produce la inversión de conductividad en la superficie cercana a la interfaz con el dieléctrico. En la figura. 2.2 se muestra el diagrama de bandas para estos tres casos que se describieron, para un semiconductor tipo n.

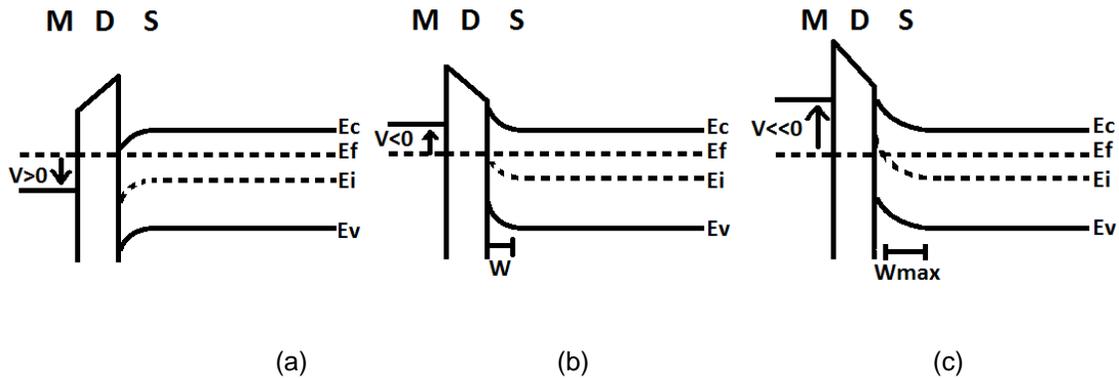


Figura 2.2. Diagrama de bandas para un semiconductor tipo n, en el caso de (a) acumulación, (b) deserción y (c) inversión.

La relación entre el potencial y la carga por unidad de área dentro del semiconductor, puede describirse mediante la ecuación de Poisson. Para la caracterización de una estructura MDS, se utiliza el método de medición de capacitancia- voltaje (C-V) que se describirá a continuación. En la medición de la curva C-V, generalmente están presentes una señal de polarización y una señal alterna de muy pequeña amplitud para medir la capacitancia diferencial de la estructura MDS a cada voltaje de polarización dado. Según la frecuencia con que varían estas dos señales pueden ocurrir diferentes comportamientos de la estructura.

2.2 Métodos de caracterización de estructuras MDS por medición de curvas C-V.

Una vez definida la estructura MDS, éstas pueden ser caracterizadas utilizando la teoría C-V que se describe a continuación. Este método permite caracterizar procesos tecnológicos, así como determinar los parámetros de dichas estructuras.



2.2.1 Teoría de las curvas capacitancia-voltaje (C-V) en estructuras MDS

Como ya se indicó, la relación entre el potencial y la carga por unidad de área dentro del semiconductor, puede describirse mediante la ecuación de Poisson [2.1-2.3].

$$\frac{d^2\psi}{dx^2} = -\frac{\rho(x)}{\kappa_s \epsilon_0} \quad (2.1)$$

donde ψ representa el potencial aplicado a la estructura.

La densidad de carga $\rho(x)$ en el semiconductor tipo n, se expresa como:

$$\rho(x) = -q[N_d - N_a + p_n - n_n], \quad (2.2)$$

donde N_d y N_a son la densidad de donadores y aceptores, respectivamente; p_n corresponde a la densidad de huecos y n_n a la densidad de electrones.

La densidad de donadores y aceptores en equilibrio, es: $p_{no} = N_a$ y $n_{no} = N_d$, tomando como referencia que en el volumen del semiconductor el potencial $\psi = 0$ debido a que hay neutralidad de carga, por otro lado, se tiene que la concentración de electrones y huecos en la superficie es:

$$p_n = n_{no} e^{-\beta\psi} ; \quad (2.3)$$

$$n_n = n_{no} e^{\beta\psi} . \quad (2.4)$$

donde β es la carga sobre el potencial térmico.

Por ello, la densidad total de carga, será igual a:

$$\rho(x) = -q[n_{no} - p_{no} + p_{no} e^{-\beta\psi} - n_{no} e^{\beta\psi}], \quad (2.5)$$

$$\rho(x) = q[p_{no}(e^{-\beta\psi} - 1) - n_{no}(e^{\beta\psi} - 1)] \quad (2.6)$$

De la ley de Gauss se conoce que el campo eléctrico (F) se puede expresar como:



$$F(x) = \frac{Q_{sem}}{k_s \epsilon_o} = \int \frac{\rho(x) dx}{k_s \epsilon_o} = - \frac{d\Psi}{dx}, \quad (2.7)$$

Donde k_s es la constante dieléctrica del semiconductor, ϵ_o es la permitividad del vacío y Q_{sem} es la carga total en el semiconductor.

Sustituyendo, evaluando e integrando desde el volumen hacia la superficie, tenemos que:

$$\int_0^{\Psi} \frac{d\Psi}{dx} d\left(\frac{d\Psi}{dx}\right) = \frac{q}{\epsilon_s} \int_0^{\Psi} (p_{no}(e^{-\beta\Psi} - 1) - n_{no}(e^{\beta\Psi} - 1)) d\Psi \quad (2.8)$$

Si definimos que la longitud de Debye (L_D) y la función F_D como:

$$L_D = \sqrt{\frac{kT k_s \epsilon_o}{q^2 p_{no}}}, \quad (2.9)$$

$$F_D(\beta\Psi, \frac{n_{no}}{p_{no}}) = \left[(\beta\Psi + e^{-\beta\Psi} - 1) + \frac{n_{no}}{p_{no}} (e^{\beta\Psi} - \beta\Psi - 1) \right]^{1/2}, \quad (2.10)$$

el campo eléctrico en la superficie (F_s) será igual a:

$$F_s = + \frac{\sqrt{2kT}}{qL_D} F_D(\beta\Psi_s, \frac{n_{po}}{p_{po}}) \quad (2.11)$$

y la carga superficial (Q_s) será:

$$Q_s = -\epsilon_s F_s = - \frac{\sqrt{2kT} \epsilon_s}{qL_D} F_D(\beta\Psi_s, \frac{n_{no}}{p_{no}}). \quad (2.12)$$

La capacitancia debida a la carga en el semiconductor (C_s) está definida por la derivada de la carga con respecto al potencial superficial.

$$C_s = \frac{dQ_s}{d\Psi_s}. \quad (2.13)$$

Cuando se llega a la condición de bandas planas en el semiconductor (C_{FBS}), el $\Psi_s = 0$, la capacitancia del semiconductor (C_s) se define por la carga



que solo penetra en el semiconductor hasta una distancia de la superficie del orden de la longitud de Debye, la cual corresponde a:

$$C_{FBS} = \frac{\kappa_s \epsilon_o}{L_D}. \quad (2.14)$$

La capacitancia del dieléctrico (C_i) está definida por su constante dieléctrica k_i y su espesor X_o :

$$C_i = \frac{\kappa_i \epsilon_o}{X_0}. \quad (2.15)$$

La capacitancia total de la estructura MDS (C_T) corresponde a la suma de la capacitancia del dieléctrico en serie con la capacitancia del semiconductor.

$$\frac{1}{C_T} = \frac{1}{C_i} + \frac{1}{C_s}. \quad (2.16)$$

La constante dieléctrica del material usado como dieléctrico, a una frecuencia dada, se obtiene midiendo la capacitancia máxima de la estructura, es decir, cuando existe acumulación fuerte de portadores en la interfaz dieléctrico-semiconductor en el dispositivo. En este caso la estructura tiene un comportamiento de placas paralelas separada por el dieléctrico y la k_i se obtiene despejándola de la expresión (2.15).

La capacitancia de bandas planas total (C_{FB}) se obtiene sustituyendo (2.14) en (2.16)

$$C_{FB} = \frac{\kappa_i \epsilon_o}{X_0 + \frac{\kappa_i L_D}{\kappa_s}}. \quad (2.17)$$

Para determinar el voltaje de bandas planas de una estructura MDS, una vez obtenido el valor teórico de la capacitancia de bandas planas, se busca el valor de la capacitancia en el gráfico C-V y el voltaje para dicho valor de capacitancia, corresponderá al voltaje de bandas planas de la estructura MDS



analizada, en la Figura 2.3 se muestra un ejemplo de cómo es obtenido el valor de voltaje de banda plana.

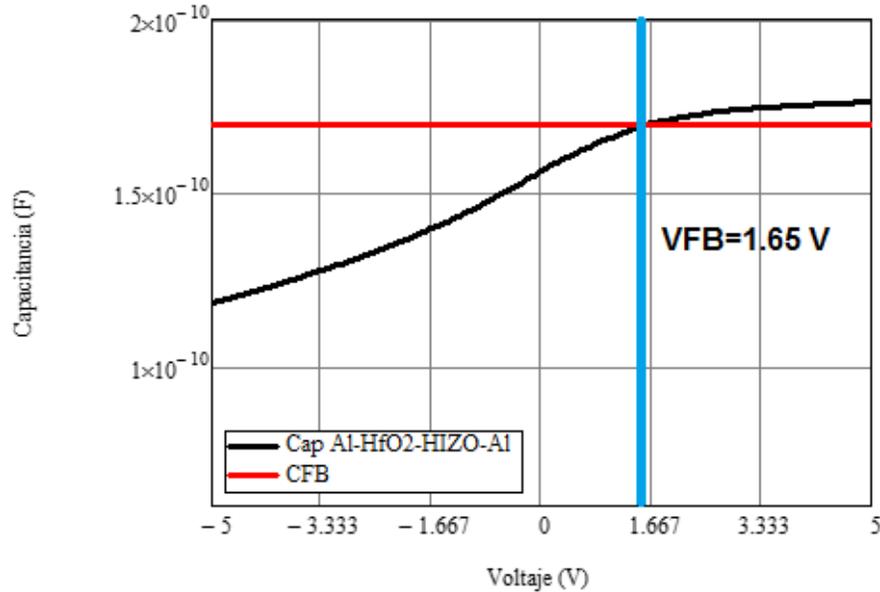


Figura 2.3. Ejemplo de obtención del V_{FB} a partir de la C_{FB} de la gráfica C-V obtenida de forma experimental.

Para tener un buen ajuste en el modelado de la curva característica de capacitancia, es necesario conocer la concentración de impurezas y la constante dieléctrica del semiconductor, donde el valor para este último dato puede variar de acuerdo al método de depósito que se ocupe, por lo tanto, desconocemos su valor para nuestra estructura. Para poder conocer estos datos y realizar el ajuste de la curva nos ayudamos del gráfico $1/C^2$ vs V para tener un valor aproximado del producto de k_s por la concentración de impurezas (N_B), donde la concentración de impurezas puede ser calculada de la siguiente forma:

$$N_B = \frac{2}{\kappa_s \cdot q \cdot \epsilon_o \cdot B \cdot Area^2}, \quad (2.18)$$

donde B ($1/F^2V$) corresponde al valor de la pendiente del gráfico $1/C^2$ vs V en la zona donde la función varíe de forma lineal. Esta parte lineal corresponde a la



transición de la región de acumulación a la región de deserción. En la imagen 2.4 se muestra un ejemplo de cómo es obtenido el parámetro B .

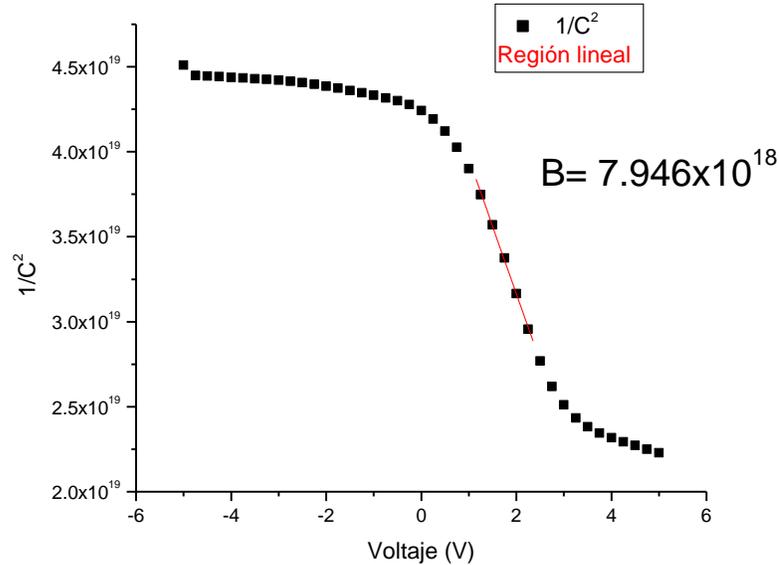


Figura 2.4. Ejemplo de obtención de parámetro B en el grafico $1/C^2$ vs Voltaje obtenido de forma experimental.

A partir del ajuste del modelo con la curva de capacitancia medida es posible extraer el valor de la k_s , y a su vez mediante la ecuación (2.18), obtenemos la concentración de portadores. Una vez calculada la concentración de portadores, es posible obtener la capacitancia mínima en la estructura, la cual es definida por la capacitancia del dieléctrico en serie con la capacitancia del semiconductor en la región de empobrecimiento. Si es posible invertir la conductividad de la superficie del material semiconductor, la capacitancia mínima es definida por:

$$C_{\min} = \frac{1}{\frac{1}{C_i} + \frac{k_i W_{\max}}{k_s}} \cdot Area, \quad (2.19)$$

donde W_{\max} es el ancho máximo de la región de carga espacial que se alcanza en la condición de inversión fuerte, o sea cuando el potencial en la superficie ϕ_s



es igual a $\varphi_s = 2\varphi_F$. También la W_{\max} varía de acuerdo a la concentración de impurezas en el semiconductor y se define de la siguiente forma:

$$W_{\max} = \sqrt{\frac{2k_s \varepsilon_0 (2\varphi_F)}{qN_B}} \quad (2.20)$$

Cuando el espesor del semiconductor (X_s) es menor que la región de carga espacial, la capacitancia alcanza su valor mínimo cuando se llega al caso de empobrecimiento total de la capa de semiconductor.

2.2.2 Característica de C-V a alta frecuencia.

Dentro de la medición de las curvas de C-V, están presentes la señal de polarización y una señal alterna de amplitud pequeña que permite medir la capacitancia diferencial en cada voltaje aplicado a la estructura. Dentro de sus configuraciones de medición se encuentra la característica donde la señal de medición se realiza a frecuencias altas (10^3 a 10^5 Hz), donde la concentración de portadores minoritarios en la región de inversión no puede seguir las variaciones a dicha señal, mientras que para valores de frecuencia menor sí (< 10 Hz).

Por otro lado, una característica de los materiales amorfos es que la velocidad de reacción, la cual está definida por el tiempo requerido para que los portadores minoritarios en el semiconductor puedan generarse o recombinarse, lo cual es relativamente lenta, esta depende para cada material, por lo cual incluso cuando la frecuencia de la señal de medición es baja, la curva C-V que se mide corresponde a una curva C-V de alta frecuencia [2.4, 2.5, 2.6], este comportamiento corresponde a nuestro caso en el estudio de nuestros materiales semiconductores.



2.2.3 Otras mediciones de caracterización de la estructura.

Para complementar las mediciones realizadas, el espesor e índice de refracción de cada capa fue medido físicamente por el método de elipsometría.

2.2.3.1 Elipsometría.

La elipsometría es un método de análisis óptico, útil para la determinación de espesores y constantes ópticas de los materiales como pueden ser el índice de refracción “n” y el coeficiente de extinción “k”. Su principio se basa en la variación que presenta la reflexión de un rayo incidente sobre la muestra. Para poder hacer mediciones de los espesores se han utilizado testigos de sustratos de silicio tipo-n o tipo-p con el depósito del material a medir, las cuales se depositaron con los mismos parámetros a los que son depositados los materiales al realizar la estructura MDS.

2.3 Proceso de fabricación.

Para la fabricación de la estructura Metal-Dieléctrico-Semiconductor, se depositaron capas de óxido de hafnio (HfO_2) y óxido de zinc-indio-hafnio (HIZO) como material dieléctrico y semiconductor, respectivamente. Se utilizó Aluminio como material de electrodos de compuerta y de tierra. A continuación se describen los procesos realizados.

Se eligieron sustratos de vidrio, debido a que son fáciles de conseguir y por su bajo costo; también se utilizaron sustratos de Silicio tipo-N o tipo-P. Todos los sustratos se seccionaron en cuadrados de 25 mm de lado para una mayor adaptabilidad al proceso y a las capacidades de los equipos con que cuentan los laboratorios.



2.3.1 Limpieza de sustratos

Antes de ser ocupados, los sustratos fueron sometidos a etapas de limpieza, con el fin de eliminar de la superficie cualquier partícula contaminante, ya que éstas degradan los dispositivos. El proceso de limpieza que se aplicó a los sustratos es conocido como RCA (Radio Cooperation of America), el cual fue propuesto para los sustratos de silicio, por Werner Kern en 1965 y se mantiene como proceso estándar de limpieza, en la tecnología MOS [2.7, 2.8].

A continuación en la tabla 2.1 se describen las etapas del proceso de limpieza para cada uno de los sustratos ocupados.

Tricloroetileno (C_2HCl_3)	5 min en Ultrasonido	Temperatura Ambiente
Acetona ($CH_3(CO)CH_3$)	5 min en Ultrasonido	Temperatura Ambiente
Piraña ($H_2O_2+SO_4H_2$) (1:3)	10 min	70 °C
HF ($HF+H_2O$) (1:9)	10 s.	Temperatura Ambiente
X1 ($H_2O+H_2O_2+HN_4OH_2$) (5:1:1)	10 min. Baño María	70 °C
X2 ($H_2O+H_2O_2+HCl$) (5:1:1)	10 min. Baño María	70 °C
Observación: Para los sustratos de vidrio se utiliza la misma limpieza, pero sin la etapa del HF.		

Tabla 2.1 Etapas del proceso de limpieza empleado para sustratos.



El C_2HCl_3 es usado para eliminar materiales orgánicos en la superficie del sustrato [2.8]. La acetona tiene la misma función del C_2HCl_3 pero ésta tiene menor tensión de vapor y elimina contaminantes que pudieran quedar sobre la superficie luego de la limpieza en C_2HCl_3 [2.8]. El uso del compuesto Piraña, es altamente corrosivo para los metales y oxidantes, llegando a la ignición de materias orgánicas, pudiendo carbonizarlas [2.9].

Uno de los principales propósitos del peróxido de hidrogeno es formar una capa de óxido de silicio del orden de unos 2 nm, con el fin de evitar la oxidación del silicio, durante su exposición al medio ambiente [2.9]. Previamente, las obleas se limpian con HF para eliminar cualquier residuo de óxido nativo presente en su superficie por su exposición al medio ambiente [2.9]. El silicio es un material hidrofóbico, mientras que el óxido de silicio es hidrofílico, por lo que el cambio de las características de la superficie del sustrato, luego de este paso de limpieza, es fácil de observar.

Los sustratos de vidrio, no se pueden pasar por la limpieza en HF ya que se atacaría su superficie. Además de formar la capa fina de SiO_2 ya mencionada en sustratos de Si, la limpieza en X1 también elimina posibles restos orgánicos y contaminantes que aún queden sobre la superficie del sustrato, mientras que el compuesto X2 ayuda a eliminar restos de metales pesados, hidrógenos metálicos e iones alcalinos [2.9]. La solución X2 también es utilizada para la limpieza de vidrios, pero ésta no oxida la superficie. En toda la limpieza se ocupa agua deionizada de alta pureza con una resistividad de alrededor de 18 M Ω cm y materiales de pureza electrónica.

2.3.2 Depósitos de Materiales.

Dentro de los métodos de depósito para materiales óxidos semiconductores amorfos antes mencionados, se utilizó el método de pulverización catódica, que permite depositar compuestos de materiales,



además de controlar el depósito de capas con espesores en el orden de decenas de nanómetros.

Bajo este método de pulverización catódica se engloban diferentes técnicas, como DC (Corriente Directa) y RF (Radio frecuencia). En nuestro caso se utiliza el método de RF, ya que el de DC solo permite depositar metales, a menos que se realice en presencia de un gas reactivo, proceso que se conoce como pulverización catódica reactiva. La idea principal del método, se trata de bombardear la superficie del blanco (target), producido con el compuesto químico o material que se requiere depositar, con iones de alta energía de un gas o mezcla de gases, para que estos transmitan su energía a los átomos del blanco, y de esta forma son desprendidos del mismo, teniendo como resultado el depósito del material sobre el sustrato [2.10].

El electrodo activo utilizado es un magnetrón que permite concentrar el plasma de manera uniforme en el área donde se coloca el sustrato. La pulverización catódica por magnetrón se puede trabajar con presiones dentro del rango de pascales (Pa), lo cual aumenta la aceleración alcanzada por los iones en el plasma, al disminuir los choques entre ellos [2.10]. Los depósitos de estos materiales se realizaron en dos cámaras diferentes a temperatura ambiente, a presión de depósito en el rango de 20 a 8 mTorr (2.67 a 1.07 Pa). El tiempo de depósito varió dependiendo de la tasa de depósito de cada cámara, el espesor deseado y del material a depositar. La densidad de potencia ocupada para cada material es de 5.7 W/cm^2 para el caso del HfO_2 y 4.27 W/cm^2 para el HIZO.

Se ha reportado que películas de HIZO con concentraciones de Hf menores al 0.1 mol %, llega a cristalizarse localizadamente con una estructura nanocristalina. Por arriba de esta concentración molar, las películas de HIZO presentan una fase amorfa homogénea, permitiendo una uniformidad en sus características al ser depositadas sobre áreas grandes, así como una menor



concentración de portadores, la cual se decreta de valores de 10^{19} a 10^{16} cm^{-3} con respecto al contenido del Hf en un porcentaje del 0 a 0.4 mol % [2.11].

El HIZO compuesto por $\text{HfO}_2:\text{In}_2\text{O}_3:\text{ZnO}$ con una concentración de 0.3:1:1 mol %, respectivamente, ha presentado una mejor estabilidad bajo polarización de estrés, a diferencia de concentraciones menores de 0.1 mol % de Hf [2.11]. Por tales motivos, el blanco de HIZO utilizado en el desarrollo de este trabajo contiene esta concentración mencionada.

En la tabla 2.2 se muestra un resumen de los parámetros específicos de depósito de los materiales HIZO y HfO_2 que se analiza para la realización del presente trabajo.

Material	HIZO ($\text{HfO}_2:\text{In}_2\text{O}_3:\text{ZnO}$)	HfO_2
mol %	0.3:1:1	-
Método de depósito.	Sputtering por magnetrón de RF	Sputtering por magnetrón de RF
Presión base de la cámara.	$2 \cdot 10^{-5}$ Torr (2.6 mPa)	$2 \cdot 10^{-5}$ Torr (2.6 mPa)
Presión de depósito.	8 mTorr (1 Pa)	20 mTorr (2.6 Pa)
Densidad de Potencia RF	4.27 W/cm^2	5.7 W/cm^2
Tasa de crecimiento	~2 nm/min	~0.5 nm/min
Pureza	99.9 + %	99.9 + %

Tabla 2.2 Parámetros de depósito para el HIZO y HfO_2 .



La obtención del material dieléctrico como del semiconductor bajo la técnica de sputtering de RF, se les realizó varios ajustes en sus parámetros de depósito hasta obtener capas controladas y repetibles en su espesor, comprobando el valor de su espesor mediante la técnica de elipsometría.

El aluminio fue empleado para los electrodos de contacto el cual se depositó por evaporación térmica a temperatura ambiente y a una presión base menor de 2×10^{-5} Torr (2.6 mPa), con un tiempo de depósito de un minuto y una corriente de 40 A., para obtener espesores del orden de 100 nm.

El aluminio fue empleado debido a que tiene una función de trabajo de 4.06- 4.26 eV el cual es cercano a la función de trabajo del HIZO el cual es estimado en un valor de alrededor de los 3.7 eV, el cual puede propiciar a la formación de un contacto óhmico con el semiconductor. A su vez que la técnica utilizada para su depósito es considerado de bajo costo, el cual es uno de los objetivos del proceso. Así mismo el material presenta una buena estabilidad térmica y una buena adherencia con los materiales utilizados. Se descartó el uso de oro o plata debido a que tienen un valor mayor de función de trabajo y pueden generar un contacto Shottky, donde el oro a su vez presenta mala adherencia en sustratos de vidrio.

Para atacar el aluminio se utilizó el atacante químico húmedo compuesto por ácido ortofosfórico y metanol en una relación de 7:1 a una temperatura de 70 °C, con una tasa de ataque mayor a los 7 nm por segundo.

2.3.3 Litografía.

La litografía de capacitores con diferente área, es realizada con ayuda del equipo Heidelberg GP200 laser writer, el cual es un sistema de escritura por láser, capaz de realizar patrones directamente sobre los sustratos. Este sistema proporciona una exposición precisa del diseño topográfico que el usuario define en un software de diseño asistido por computadora (CAD).



El diseño topográfico está compuesto por siete diferentes tamaños de capacitores de forma cuadrada, los cuales varían en un rango desde 540 μm hasta 40 μm de longitud por lado. El equipo de litografía utilizado permite exponer el diseño de forma invertida o no, es decir que las figuras expuestas quedan como huecos o, en caso de que se invierta el diseño, las figuras no se exponen y quedan como islas. Dichas opciones son bastante útiles para realizar el proceso de fotolitografía que define el área de los contactos, ya que éste se puede realizar aplicando la técnica conocida como “lift-off” [2.12, 2.13], o bien, a través del ataque químico de la capa superior de aluminio.

Previamente al proceso litográfico se deposita una capa de fotoresina positiva sobre la muestra por la técnica de centrifugado (Spin-Coating) para ser fotograbada según los patrones del diseño topográfico con ayuda del equipo de litografía. Una vez realizado el proceso litográfico, en partes donde la fotoresina fue sensibilizada y revelada, el material que queda expuesto se puede atacar o depositar una capa de otro material, previa eliminación de la fotoresina, según el proceso que se requiera.

La técnica de centrifugado se basa en la aplicación de un material soluble en el centro del sustrato, donde al sustrato se le hace girar para esparcir el material sobre toda la superficie con ayuda de la fuerza centrífuga. Con la velocidad de centrifugado se ajusta el espesor final de la capa del material que se deposita. Para mejorar la adherencia de los materiales depositados, se realizan tratamientos térmicos a diferentes temperaturas.

2.3.4 Lift-Off.

El método de lift-off, consiste en realizar el proceso litográfico definiendo áreas con la fotoresina, la cual no se quita, sino hasta después de hacer el depósito de algún material sobre la capa de fotoresina. Por ejemplo, en el caso de los electrodos de los capacitores, éstos pueden ser definidos por esta técnica al delimitar las áreas de los contactos con el proceso litográfico antes de



depositar el metal. Para eliminar la fotoresina se sumerge la muestra en acetona, ésta penetra por los bordes de la figura donde se dejó fotoresina, permitiendo que se disuelva y, al mismo tiempo, se elimine la capa de metal en exceso de las regiones donde la fotoresina no fue revelada y el metal quedó depositado sobre la fotoresina.

Se hace uso de ultrasonido para facilitar el desprendimiento, pero existe la posibilidad del levantamiento del material en zonas en donde se quiere conservar.

2.3.5 Estructura MDS de GIZO y HfO₂ mediante otras técnicas de depósito.

En el desarrollo del presente trabajo de tesis se estudió la estructura MDS con GIZO y HfO₂ como materiales semiconductor y dieléctrico, respectivamente, para ser comparadas con la estructura MDS de HIZO-HfO₂ fabricados en los laboratorios de la SEES del CINVESTAV. Esta estructura GIZO-HfO₂ fue fabricada en la Universidad de Texas en Dallas en el laboratorio de Investigación de Ciencias Naturales e Ingeniería.

La técnica ocupada para el depósito de la capa semiconductor fue por láser pulsado (PLD), mientras que para la capa dieléctrica fue mediante el depósito de capas atómicas (ALD). Para las técnicas empleadas se ocuparon equipos comerciales, los cuales corresponde a la marca Neocera's Pioneer 180 UHV Pulsed Laser Deposition y al Savannah 100 Atomic Layer Deposition.

El principio del depósito por láser pulsado se basa en que un haz de laser pulsado es enfocado sobre una superficie de un cátodo sólido. La fuerte absorción de la radiación electromagnética por la superficie sólida conduce a una rápida evaporación del material del cátodo. Controlando el número de pulsos, se puede lograr un control fino de películas con espesores de capas atómicas. La temperatura del sustrato durante el depósito de la película por PLD está dentro del rango de los 350 °C y los 600 °C, por lo tanto mediante este



método se puede asegurar la formación de una película altamente cristalina y una buena interfaz sobre los materiales [2.10].

Mientras que el depósito de capa atómica (ALD), es una técnica capaz de depositar capas de materiales en fase de vapor, en escalas del orden de Angstroms. El depósito consiste en inducir pulsos alternados secuenciales de precursores químicos gaseosos que reaccionan con el sustrato. Las reacciones con la superficie constituyen una parte de la síntesis del material. Enseguida se hacen pasar más gases precursores los cuales van formando el material deseado. Parte de todos los gases constituyen el material final. Seguido de esto, la cámara se purga con gas inerte como el N_2 o Ar para remover precursores que no hayan sido reaccionados o subproductos de la reacción no deseada. Este proceso se realiza mediante ciclos hasta que se llegue al espesor deseado. Dentro de sus principales características son que las capas contienen propiedades optimizadas las cuales contienen menos impurezas, mejor control de la estequiometría, así como un tasa de depósito controladas y la posibilidad de sintetizar nuevos materiales [2.14].

La estructura fabricada con estos materiales se basa en la fig.2.1-b donde el contacto de compuerta es de Cr/Au con un espesor de alrededor de 10/100 nm, ambos depositados por haz de electrones (Electron Beam) sobre un sustrato de Si pasivado con una capa de SiO_2 crecido térmicamente. Posteriormente, se depositó la capa de HfO_2 por ALD con precursores de Tetrakis, TEMAH y agua a $100\text{ }^{\circ}C$. El semiconductor GIZO es depositado por PLD usando un solo blanco a una concentración molar de 1:1:1 molar %. Como contacto óhmico se depositó Aluminio por haz de electrones, con un espesor de 100 nm.

En la tabla 2.3 se muestra un resumen de los parámetros ocupados para el depósito del GIZO y HfO_2 .



Material	GIZO (HfO₂:In₂O₃:ZnO)	HfO₂
Método de depósito.	Depósito por Láser Pulsado (PLD)	Depósito por Capas Atómicas (ALD)
Espesor	70 nm	90 nm
Parámetros de depósito.	100 °C, 20 mTorr en O ₂	100 °C

Tabla 2.3 Parámetros de depósito para el GIZO y HfO₂.



2.4 Conclusiones

La estructura MDS es parte fundamental para el funcionamiento de transistores de capa delgada, por lo tanto se requiere entender la teoría que describa el comportamiento físico entre las capas que la conforma.

Con el estudio de las curvas de C-V se puede caracterizar procesos tecnológicos mediante la obtención de sus parámetros eléctricos como lo pueden ser la C_{FB} , el V_{FB} , la N_B , las constantes dieléctricas de los materiales, los cuales estarían definiendo hasta cierto punto el funcionamiento de los AOSTFTs.

Conocer los procesos necesarios para fabricar estas estructuras es de vital importancia para la fabricación de dispositivos con parámetros y rendimientos competentes actualmente.

Se utilizaron técnicas a baja temperatura y de relativo bajo costo para la fabricación de las estructuras MDS analizadas en este trabajo, las cuales fueron pulverización catódica por RF, depósito a laser pulsado y depósito de capa atómica.

Dentro de los métodos empleados para el depósito de las capas de los materiales, el uso de cada uno de ellos va a depender de las posibilidades y de las características que se requieran y se deseen. Para ello se requieren estudios donde se comparen las características obtenidas y, así mismo, se puedan optimizar sus parámetros.



Bibliografía.

- [2.1] M. Estrada, A. Escobosa. Tecnología de Fabricación de Microcircuitos: Aspectos Básicos. Tecnología de microcircuitos. Editorial Académica Española. Edición 2012.
- [2.2] A. S. Grove. Physics and Technology of Semiconductor Devices. Edit John Wiley and Sons. Edition 1967.
- [2.3] Sze S. M. Ng K.K. Physics of semiconductor devices. New Jersey, U.S.A. John Wiley and Sons. Third Edition 2007.
- [2.4] Ajay Bhoolokam, Manoj Nag, Adrian Chasin, Soeren Steudel, Jan Genoe, Gerwin Gelinck, Guido Groeseneken, Paul Heremans. Analysis of frequency dispersion in amorphous In-Ga-Zn-O thin-film transistors. Journal of Information Display. Volume 16. January 2015. Pages: 31 – 36.
- [2.5] K. H. Shiu, T. H. Chiang, P. Chang, L. T. Tung, M. Hong, J. Kwo, W. Tsai. 1nm equivalent oxide thickness in $\text{Ga}_2\text{O}_3(\text{GdO}_3)/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ metal-oxide –semiconductor capacitors. Applied Physics Letters. Volume 92. April 2008. Article ID172904
- [2.6] Donghun Choi, James S. Harris. Annealing condition optimization and electrical characterization of amorphous $\text{LaAlO}_3/\text{GaAs}$ metal-oxide semiconductor capacitors. Applied Physics Letters. Volume 90. June 2011. Article ID 243505.
- [2.7] W. Kern, D A. Puotinen. Cleaning solutions based on hydrogen peroxide for use in silicon semiconductor technology. RCA rev. 31:187-206, 1970.
- [2.8] Werner Kern. Handbook of Semiconductor Wafer Cleaning Technology. Noyes Publications. Park Ridge NJ. 1993
- [2.9] Werner Kern. The Evolution of Silicon Wafer Cleaning Technology.
- [2.10] Roman A. Surmenev. A review of plasma-assisted methods for calcium phosphate-based coatings fabrication. Surface and Coatings Technology. Volume 206. January 2012. Pages: 2035 – 2056.



-
- [2.11] Chang-Jungm Kim, Sangwook Kim, Je-Hu Lee, Jin-Seong Park, Sunil Kim,, Jaechul Park, Eunha Lee, Jaechul Lee, Youngsoo Park, Joo Han Kim, Sung Tae Shin, and U-in Chung. Amorphous Hafnium –indium-zinc oxide semiconductor thin film transistors Applied Physics Letters. Volume 95. 2009. Article ID: 252103.
- [2.12] Dietrich W. Widmann. Metallization for Integrated Circuitis Using a Lift-Off Technique. IEEE Journal of Solid State Circuits, Volume 11. August 1976. Pages: 466 – 471.
- [2.13] Yoshio Hom-ma, Hisao Nozawa y Seiki Harada. New Lift-Off Metallization Technique for High Speed Bipolar LSI's. Central Research Laboratory, Hitachi, Ltd. Kokibunji, Tokyo, Japan. Volume 25. 1979. Pages: 54 – 57.
- [2.14] Richard W. Johnson, Adam Hultqvist, y Stacey F. Bent. A brief review of atomic layer deposition: from fundamentals to applications. Materialstoday. Volume 17. June 2014. Pages: 236 – 246.



CAPÍTULO 3. CARACTERIZACIÓN DE ESTRUCTURAS MDS, OBTENIDAS POR DIFERENTES MÉTODOS DE DEPÓSITO.

En el capítulo anterior se describió la estructura Metal-Dieléctrico-Semiconductor (MDS), así como su fabricación y métodos de caracterización. En el presente capítulo, se describirán los resultados de la caracterización de las estructuras fabricadas. También se realiza una comparación entre las características de la estructura MDS fabricadas con los óxidos de Hafnio-Indio-Zinc (HIZO) y de Galio-Indio-Zinc (GIZO) como semiconductor, teniendo como dieléctrico al óxido de Hafnio (HfO_2). Se realizó el modelado de las características de capacitancia-voltaje (C-V) y la simulación de dichas estructuras para obtener parámetros que nos ayuden a entender mejor su comportamiento. Las curvas C-V fueron medidas usando el equipo Agilent E4980A.

3.1 Caracterización de la capa dieléctrica de HfO_2 depositada por medio de la técnica de sputtering de RF.

Para poder caracterizar las capas que se ocupan en la estructura MDS, se analizó el material dieléctrico por separado, para así poder observar y extraer datos de su comportamiento [3.1, 3.2].

Se realizó el depósito del material HfO_2 bajo el método de sputtering a temperatura ambiente sobre un sustrato de Silicio tipo P, seguido de un depósito de aluminio (Al). Sobre el Al se realizó una litografía para definir las áreas de los capacitores formados en estructuras de Si- HfO_2 -Al, los cuales fueron útiles para caracterizar al dieléctrico.

En la figura 3.1 se puede observar la curva característica de la capacitancia con respecto al voltaje, donde el material dieléctrico es una capa de HfO_2 con un espesor de 36 nm.

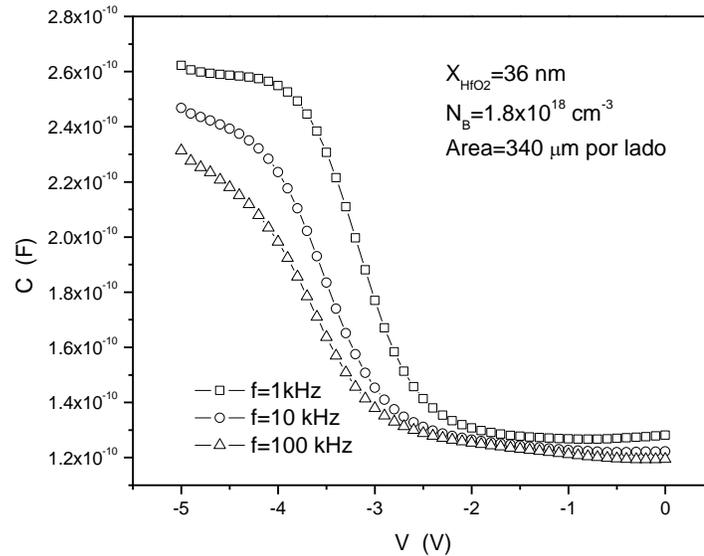


Figura 3.1. Gráfica de C-V de la estructura MDS formada por Al-HfO₂-Si tipo P.

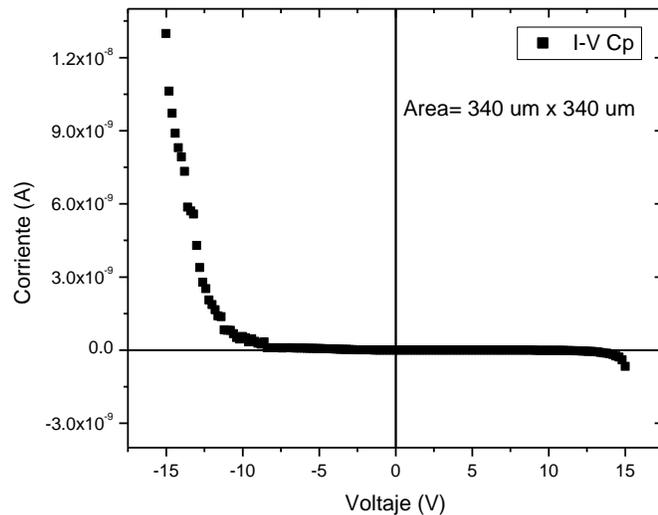
El barrido de voltaje se realizó de valores negativos a positivos, donde se puede observar que para las tres mediciones 1, 10 y 100 kHz, pasa de la región de acumulación a empobrecimiento en un rango menor a 5 V. La región de empobrecimiento tiende a valores constantes debido a que se utiliza el método de medición de C-V a alta frecuencia; como se indicó en el capítulo dos la concentración de portadores minoritarios en la región de inversión no puede seguir las variaciones de la señal a alta frecuencia. La capacitancia en la región de empobrecimiento está dada por la capacitancia del dieléctrico en serie con la capacitancia del semiconductor. La capacitancia dependerá del ancho de la región de carga espacial, como se mencionó en el capítulo dos.

En la figura 3.1 se puede apreciar que a una frecuencia de 1 kHz la curva de C-V muestra una región de máxima capacitancia, correspondiente a la condición de acumulación fuerte del semiconductor, junto a la interfaz con el dieléctrico. Conforme se aumenta la frecuencia de medición, se observa que la capacitancia disminuye, dando un efecto de desplazamiento de las curvas hacia

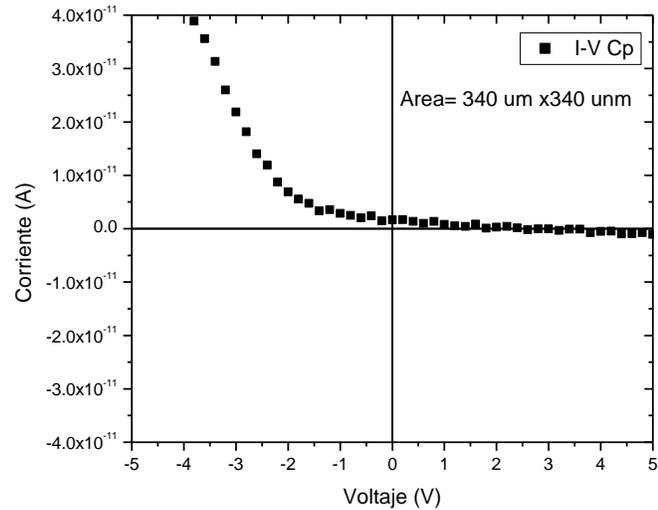


valores negativos. La disminución en el valor de la capacitancia máxima, se debe a que la constante dieléctrica se reduce conforme se aumenta el valor de la frecuencia de medición [3.3]. La constante dieléctrica obtenida considerando la capacitancia máxima en la saturación de la región de acumulación de la curva C-V, a dos diferentes frecuencias de medición corresponde un valor de entre 9 @ 10 kHz la cual se va reduciendo hasta valores de alrededor de 8.5 @ 100 kHz, en un valor de voltaje de los -5 V.

La región de saturación por la acumulación de portadores mayoritarios no se logra ver para todas las mediciones en el rango de voltaje que se midió la muestra. El valor máximo de capacitancia parece observarse a voltajes más negativos, pero no se incrementó el rango de voltaje negativo aplicado ya que alrededor de los -5 V, se observa que la capacitancia empieza a subir ligeramente, lo que sugiere que hay corriente a través del dieléctrico.



a)



b)

Figura 3.2. Grafica de I-V del capacitor de HfO₂ sobre p-Si.

Para confirmar esto, en la figura 3.2 se muestra la gráfica de corriente-voltaje (I-V) del capacitor de HfO₂ con la estructura antes mencionada, donde para valores negativos se encuentra la región de acumulación y para valores positivos la región de inversión.

En la Fig. 3.2a, se observa que alrededor de los -10 V, la corriente a través del dieléctrico aumenta bruscamente, correspondiendo a un campo crítico del orden de 5×10^6 V/cm. Sin embargo, una ampliación de esta curva dentro del rango de voltaje de -5 V a 5 V, muestra que, por debajo del valor del campo crítico, la corriente empieza a subir incluso antes de alcanzar los -5 V, Fig. 3.2b. Aunque la corriente es pequeña, del orden de decenas de pA, el dieléctrico mantiene un incremento exponencial de la corriente con el voltaje, que pudiera indicar problemas en la calidad del dieléctrico.

Para el caso de valores positivos de voltaje, el incremento de corriente se observa para valores mayores de 10 V. Esto se debe a que cuando el semiconductor se empobrece, el voltaje aplicado cae parte en el dieléctrico y



parte en el semiconductor empobrecido, por lo que hay que aplicar más voltaje para alcanzar la ruptura del dieléctrico.

En la Fig. 3.3 se observan mediciones de C-V en ambos sentidos, a las mismas frecuencias de 1 kHz y 10 kHz. En ellas se observa que el desplazamiento de la histéresis, que se debe al grado de polarización del dieléctrico, está alrededor de 0.75 V. Se ve que mediciones sucesivas repiten en ambos sentidos.

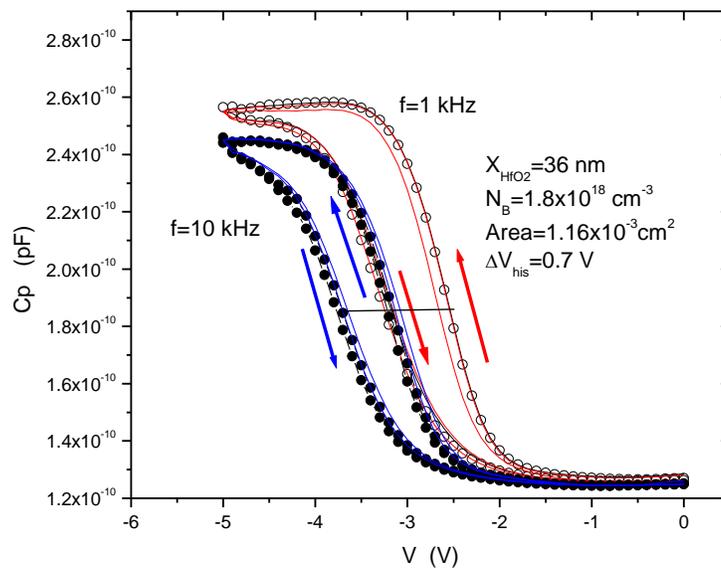


Fig. 3.3 Curvas C-V con barrido en ambos sentidos, a diferentes frecuencias.

El desplazamiento paralelo de la curva C-V hacia valores más positivos al disminuir la frecuencia de medición, tanto al medir de más a menos como al medir de menos a más, indica la presencia de estados de interfaz que pueden cargarse o descargarse, siguiendo la variación de la amplitud de la señal menor, pero no de mayor frecuencia de la señal de medición.



3.2 Dispositivos con capas de HfO_2 e HIZO depositadas por medio de sputtering de RF.

Para poder caracterizar las muestras de las capas del material semiconductor y dieléctrico, se realizaron dispositivos Metal-Dieléctrico-Semiconductor los cuales fueron fabricados mediante dos tipos de procesos con similar estructura:

Proceso 1 (Al/Si- HfO_2 -HIZO-Al). Al sustrato, ya sea aluminio sobre vidrio o Silicio, se le deposita la capa dieléctrica seguida de la capa del semiconductor, ambas por el método de Sputtering. Se realiza la litografía de capacitores y después se deposita aluminio. Se quita el aluminio sobrante mediante la técnica de Lift-off, dentro de una de las ventajas es que ningún material usado es expuesto por algún tipo de atacante.

Proceso 2 (Al/Si-HIZO- HfO_2 -Al). Al sustrato, ya sea Aluminio sobre vidrio o solo silicio, se le deposita una capa del semiconductor seguida del dieléctrico, ambas por el método de Sputtering. Enseguida es depositada una capa de Aluminio mediante evaporación y se continúa con el proceso de litografía. Por último, se ataca el aluminio para definir los motivos de los capacitores. Una de las ventajas de esta estructura es que el dieléctrico cubre al semiconductor de posibles ataques, como lo puede hacer el atacante de Aluminio.

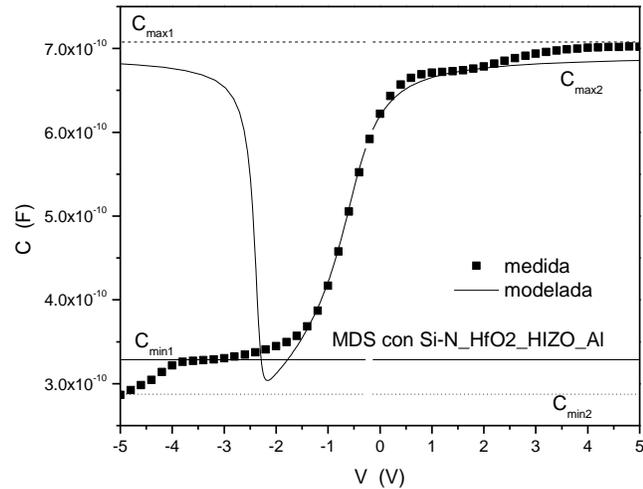


Figura 3.4. Gráfico C-V de Si-N_HfO₂_HIZO_AI a 100 kHz. La curva modelada consideró un stack de dos dieléctricos, el HIZO empobrecido sobre el HfO₂.

En la figura 3.4 se observa la gráfica de la característica C-V usando un sustrato de Silicio tipo N de alta conductividad ($N_D=5 \times 10^{17} \text{ cm}^{-3}$) usando el proceso 1, donde se observa que el rango de variación de la curva C-V está entre -5 V y de 5 V, a una frecuencia de la señal de medición de 100 kHz. El dispositivo se polarizó con una diferencia de potencial positiva (H_i) sobre el contacto de aluminio depositado sobre el HIZO. Como el HIZO es un semiconductor tipo N, si esta capa actuara como semiconductor en la estructura MDS, la acumulación se observaría para voltajes negativos aplicados al HIZO respecto al Si tipo N. Lo observado en la Fig. 3.4 indica que, a pesar de que el silicio tipo N es de alta conductividad, es este material el que está actuando como sustrato semiconductor.

Las variaciones de la capacitancia en la región de empobrecimiento y acumulación están dadas por las capacitancias en serie correspondientes al HfO₂ y el HIZO. El HfO₂ presenta una capacitancia constante, mientras que el HIZO se comporta como un semiconductor más dopado que el Si, pero cuya capacitancia varía al empobrecerse o acumularse y con ello altera la forma de la



curva C-V resultante. Un análisis más completo de lo que sucede puede verse en la misma Fig. 3.4

En la Figura 3.4 se ve que el cálculo de la capacitancia máxima, considerando que el HIZO está en condición de bandas planas, corresponde a C_{max1} de la curva medida, mientras el valor de capacitancia modelada a partir de la teoría presentada en el capítulo dos, indicado como C_{max2} corresponde a una estructura donde el HfO_2 y el HIZO se consideran como dieléctricos. Algo semejante ocurre en la región de valores de C mínima, donde C_{min1} y C_{min2} corresponden a las capacitancias calculadas cuando el HIZO se considera como semiconductor en condición de bandas planas y como dieléctrico, respectivamente. En la Fig. 3.5 se muestra la estructura MDS en condición de bandas planas, cuya aproximación se tomó para el cálculo.

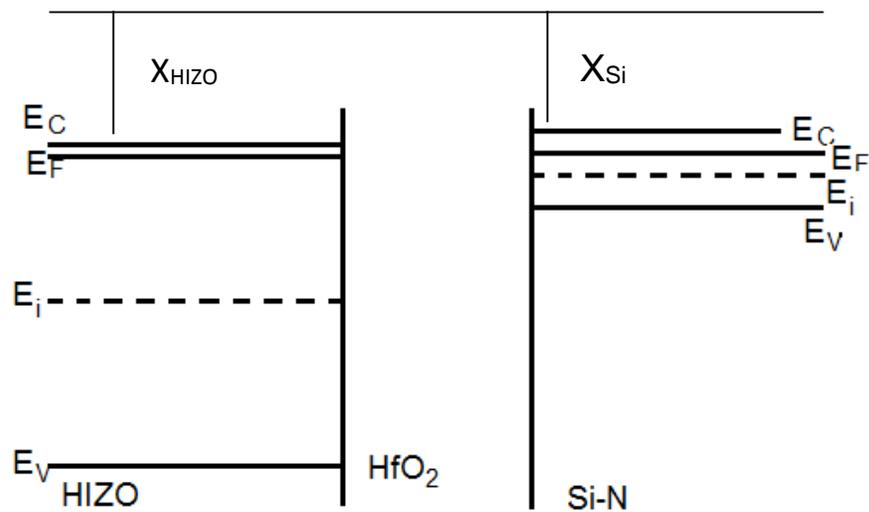


Fig. 3.5 Diagrama de bandas de la estructura MDS en condición de bandas planas.

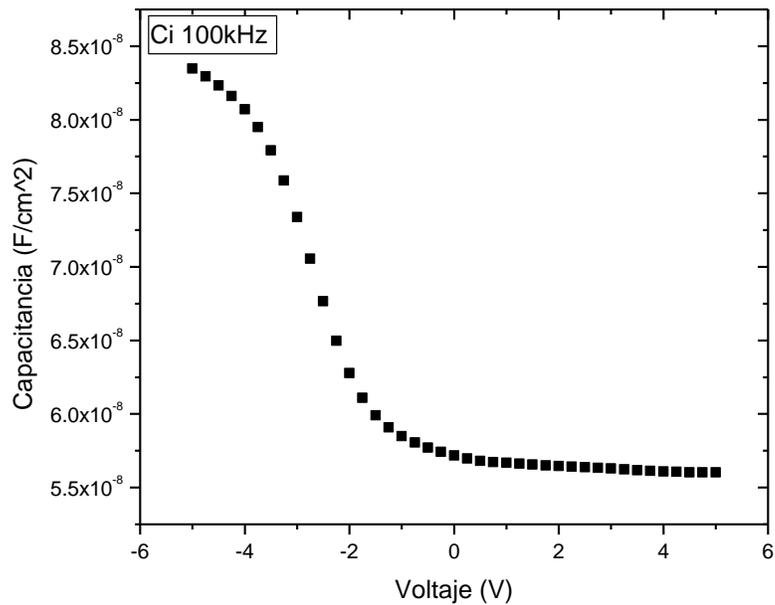


Figura 3.6. Gráfico C-V de SiP-HfO₂-HIZO-Al a 100 kHz.

La misma estructura del proceso 1 se probó utilizando un sustrato de Silicio P y la gráfica C-V obtenida se muestra en la Fig. 3.6, para una señal de medición de 100 kHz. Este dispositivo se midió también polarizando el Hi al aluminio y se observa que la acumulación de portadores mayoritarios se presenta a valores negativos y la deserción hacia valores positivos, lo cual corresponde a características del semiconductor tipo P cuando el Hi está aplicado al electrodo de aluminio en la estructura indicada. Al obtener el valor de la concentración para el semiconductor tipo P ($ND_P=7 \times 10^{16} \text{ cm}^{-3}$), mediante la curva $1/C^2$ vs V la cual se muestra en la figura 3.7, da como resultado una concentración de portadores del rango reportado para el valor del Silicio tipo P ($ND=5 \times 10^{16} \text{ cm}^{-3}$) ocupado como sustrato. Por lo tanto, la curva C-V medida corresponde a una estructura MDS donde el Si está como semiconductor y los materiales HIZO y HfO₂ como dieléctricos.

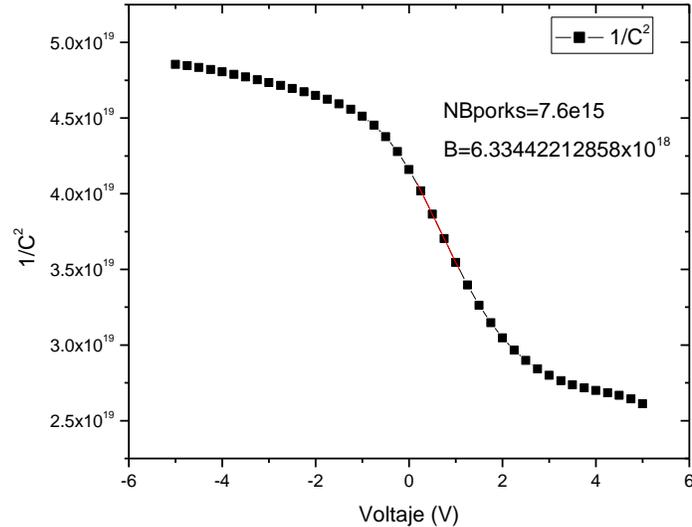


Figura 3.7. Gráfico 1/C² para obtener la concentración de portadores de la estructura.

Por lo anterior, se descartó el uso de los substratos de Si altamente dopados como metal de compuerta, ya que se necesita pasivar la superficie del Si como sustrato con una capa de óxido de silicio o algún otro aislante para continuar con el proceso de fabricación y éste no altere los parámetros de la capa de HIZO que se quiere caracterizar. Por otro lado, se pretendía utilizar el Si como contacto posterior para facilitar la fabricación de la estructura.

Al utilizar aluminio sobre vidrio como sustrato para la estructura antes mencionada, con 80 nm del dieléctrico y 80 nm de semiconductor y aplicarle una polarización de Hi al sustrato con frecuencia de 10 kHz de señal de medición, se observó un comportamiento creciente en la capacitancia máxima, con respecto al aumento de voltaje de polarización, no mostrando tener una saturación de portadores mayoritarios en la región de acumulación, como se muestra en la figura 3.8. Esto mismo ocurre al variar la frecuencia de medición por encima de los 10 kHz.

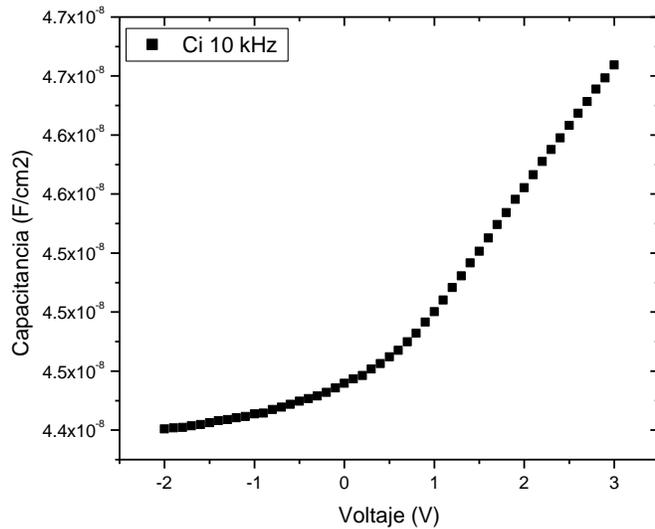


Figura 3.8. Gráfica C-V de Al-HfO₂-HIZO-Al a 10 kHz

Sin embargo, al disminuir el valor de la frecuencia de la señal de medición empieza a observarse la región de acumulación hacia valores positivos y la región de deserción hacia valores negativos. Estas características se muestran en la figura 3.9.

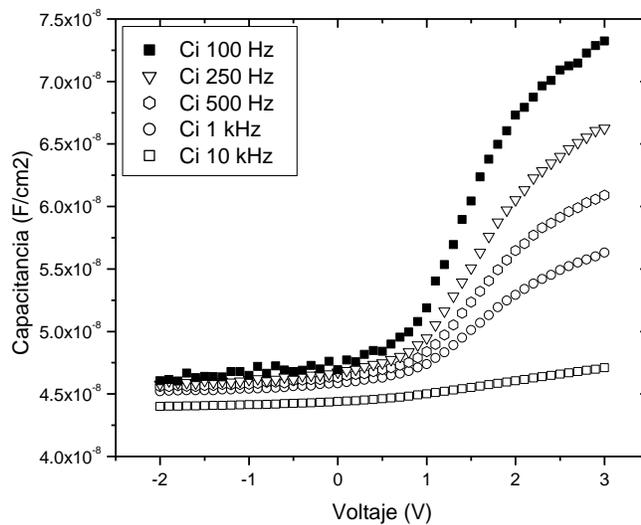


Figura 3.9. Gráfica C-V de Al-HfO₂-HIZO-Al a varias frecuencias.



En la figura 3.9 se observa, que tanto el valor de la capacitancia mínima como el de la capacitancia máxima se van reduciendo conforme se incrementa la frecuencia de la señal de medición. Al mismo tiempo la curva se desplaza hacia la región donde debe acumularse, en este caso hacia la derecha y se reduce la pendiente que se observa en la región de caída entre la C_{max} y la C_{min} . El decremento de la capacitancia máxima, pensamos inicialmente que se debía a la reducción de la constante dieléctrica debido al aumento de la frecuencia en la señal de medición. Sin embargo, como se verá más tarde, hay otras causas posibles de esta reducción.

La reducción de la capacitancia mínima puede deberse también a la variación de las constantes dieléctricas k_f y k_s , aunque también depende del material de contacto, y de la barrera que éste forme con el semiconductor, así como de la presencia de una resistencia serie. En este último caso, se observa un valor mayor que el esperado.

El rango de operación es menor a los 5 volts, indicando que este tipo de estructura puede hacer operar un transistor de capa delgada, en el intervalo mostrado.

3.3 Dispositivos de HfO_2 y GIZO depositados por las técnicas de ALD y PLD, respectivamente.

Se caracterizaron muestras de capacitores de una estructura similar a la mostrada en la Figura 2.1, donde el HfO_2 que se ocupa como material dieléctrico es depositado mediante la técnica de depósito por capas atómicas (ALD) a una temperatura de 100 °C, obteniendo una constante dieléctrica de 19 con un espesor de 90 nm. Se usó como material semiconductor el GIZO el cual fue depositado por láser pulsado (PLD), a una presión constante de 20 mTorr y temperatura de 100 °C, con un espesor de 70 nm.



En la figura 3.10 se muestra la gráfica C-V, donde el dispositivo se midió con una señal de polarización en el rango de -2 volts a 3 volts a una frecuencia de 1MHz, donde tampoco se observa una zona de saturación en la región de acumulación de portadores mayoritarios del semiconductor en valores positivos. Este comportamiento se parece al que se muestra en la figura 3.8 para el HIZO medido a 10 kHz.

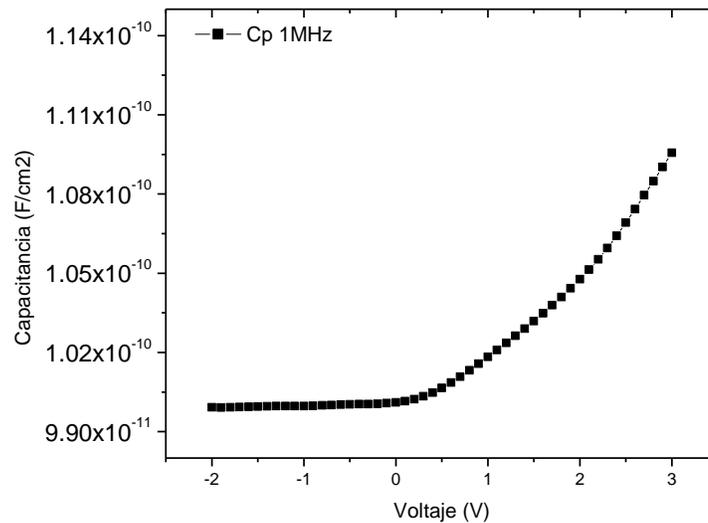


Figura 3.10. Gráfica C-V de GIZO-HfO₂ a 1 MHz.

En la figura 3.11 se observa que al variar la frecuencia hacia valores menores en la señal de medición, se tiene que la curva característica C-V se empieza a formar en un valor de 200 kHz, donde para valores de 200 Hz se tiene bien definida la región de acumulación y empobrecimiento en un rango de 2 volts. Se observa algo similar a lo mostrado en la figura 3.8 para el HIZO, solo que el efecto aparece a una frecuencia de medición mayor. La región de empobrecimiento de portadores mayoritarios se produce a valores negativos y la región de acumulación hacia valores positivos.

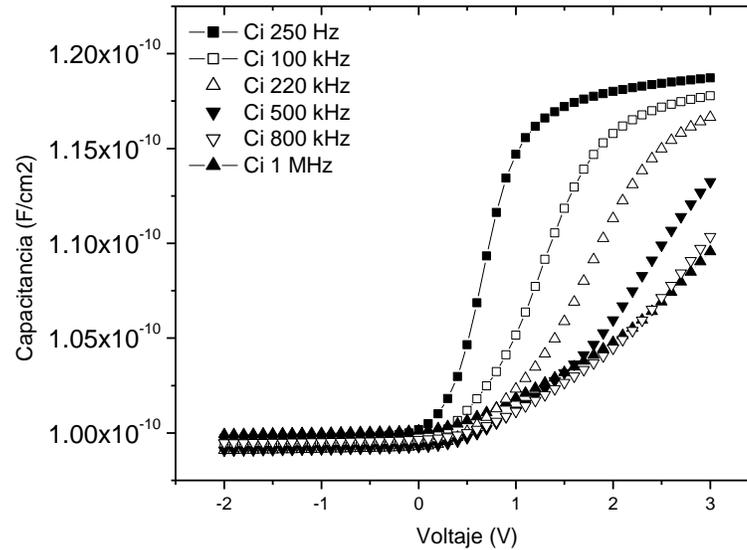


Figura 3.11. Gráfico C-V de GIZO-HfO₂ a varias frecuencias.

En estas mediciones se puede observar que a frecuencias menores de 100 kHz hasta valores de 200 kHz, se observa una saturación en la región de acumulación como se puede ver en la curva C-V, pero si se va aumentando la frecuencia de señal de medición, se observa que la región de acumulación deja de saturarse y decrece la capacitancia máxima dentro del rango del barrido de voltaje al que se realiza la medición. Otra característica que se observa es que la capacitancia mínima tiene valores muy cercanos, en donde se puede observar ligeramente un aumento a valores mayores de frecuencia. Como se mencionó anteriormente ésta se puede deber al material que se ocupa como contacto, que en el caso de estas estructuras es el Aluminio.

3.4 Comparación entre dispositivos con materiales semiconductores de GIZO e HIZO.

Se realiza una comparación entre los dispositivos antes presentados, donde se tendrá como referencia CapHIZO a la estructura que contiene el



semiconductor de HIZO y HfO_2 como dieléctrico. Así mismo, la referencia de CapGIZO corresponde a la estructura que contiene al GIZO como material semiconductor y al HfO_2 como material dieléctrico. Ambos dispositivos fueron fabricados de la forma como se indicó en las dos subsecciones anteriores dieléctrico/semiconductor.

De las figuras 3.9 y 3.11, se puede observar que existe una variación de tres órdenes de magnitud con respecto a la frecuencia de la señal de medición, donde encontramos que para el CapGIZO las 3 regiones características de capacitancia se observan a menos de 100 kHz y para el CapHIZO a menos de 1 kHz. En la región de empobrecimiento del CapGIZO la capacitancia mínima tiende a subir, mientras que para el CapHIZO la capacitancia mínima tiende a bajar.

Por otro lado, el hecho de que para ciertos valores mayores de la frecuencia de la señal de medición no se logra observar en gran parte una saturación en la región de acumulación, no indica que la región no se encuentra presente. Esto puede explicarse con el hecho de que para ciertos valores de frecuencia, los portadores no logran seguir la señal de medición y aunque la estructura está en acumulación, la medición no presenta una saturación en tal región de la característica de la curva C-V del capacitor.

3.5 Simulación de estructuras MDS en ATLAS.

El comportamiento de la estructura MDS de los materiales del presente trabajo de tesis, depositadas por las técnicas antes mencionadas, fueron simuladas utilizando el programa ATLAS de dos dimensiones.

El objetivo fue determinar o tener una idea más clara de la causa o causas del comportamiento observado en las curvas antes analizadas. Dentro de éstas, destaca la reducción de la capacitancia máxima conforme aumenta la



señal de frecuencia de medición, así como el desplazamiento hacia valores positivos de la curva C-V y la disminución de la región de acumulación.

En la simulación se introdujeron los parámetros básicos del material HIZO con una energía banda prohibida de 3.5 eV, y constante dieléctrica relativa de 8 y un espesor de 70 nm.

De acuerdo a lo obtenido del experimento, se consideró una concentración de impurezas de $N_D=1 \times 10^{17} \text{ cm}^{-3}$ y una distribución de estados (DOS) de volumen continuos, descrito por una dependencia exponencial con la energía (E_a), una densidad máxima (g_{do}) y una sección de captura de electrones (σ_{tae}), donde estos parámetros de la distribución de estados se variaron para analizar su efecto sobre la curva C-V.

En la figura 3.12 se muestran algunos resultados interesantes. Para una densidad de estados $g_{do}=1 \times 10^{21} \text{ cm}^{-3}$ y $E_a=0.07 \text{ eV}$, la curva C-V simulada a una frecuencia de medición de 1 Hz, que corresponde a los símbolos huecos, se muestra un desplazamiento hacia la derecha, casi paralelo para valores de $\sigma_{tae} < 1 \times 10^{-19} \text{ cm}^{-2}$, a medida que se disminuye la sección de captura de 1×10^{-3} a $1 \times 10^{-23} \text{ cm}^{-2}$. Para valores de $\sigma_{tae} > 1 \times 10^{-17} \text{ cm}^{-2}$, la curva C-V tiende a deformarse ligeramente en las regiones cercanas a la acumulación y empobrecimiento. Para comparación, en la figura se graficó también la curva C-V correspondiente a una estructura MDS donde el semiconductor no tiene distribución de estados localizados.

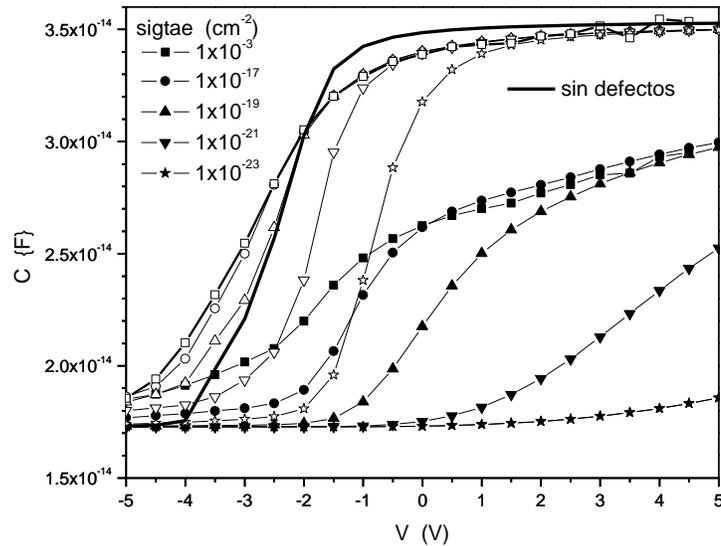


Figura 3.12. Grafica C-V simulada al variar la sigtae para frecuencias de medición de 100 kHz (símbolos rellenos) y 1 Hz (símbolos huecos).

Para una frecuencia de 100 kHz de la señal de medición, que corresponde a los símbolos rellenos, la C_{max} disminuye y la curva C-V también se desplaza hacia valores positivos, hasta que la C_{max} no se observa en la región de voltajes que se grafica. La pendiente de la curva disminuye al reducir la sección de captura.

En estado estacionario, para alcanzar la C_{max} debe alcanzarse la condición de acumulación fuerte, o al menos una concentración de portadores en la interfaz que permita considerar que hay un plano de carga en la superficie del HIZO. Si se considera una $N_D=1 \times 10^{17} \text{ cm}^{-3}$, acorde a los resultados obtenidos con el simulador, la presencia de la DOS descrita arriba, reduce la concentración de portadores a $N=2 \times 10^{16} \text{ cm}^{-3}$, cuando se aplican 10 V a través de la estructura. Es posible que esta concentración de portadores en la interfaz sea suficiente para medir una capacitancia igual, o aproximadamente igual, a la capacidad del dieléctrico.



En la Fig. 3.13 se muestra un corte transversal de la capa de HIZO simulada, para $N_D=1 \times 10^{17} \text{ cm}^{-3}$ y diferentes valores de g_{do} . Se ve que si la $g_{do}=1 \times 10^{19} \text{ cm}^{-3}$, la concentración de portadores en la interfaz HIZO/ HfO_2 es aproximadamente la misma y no hay dudas que se cumple la condición para medir la capacitancia del dieléctrico. Sin embargo, cuando $g_{do}=1 \times 10^{23} \text{ cm}^{-3}$, la concentración de portadores se reduce a 10^{11} cm^{-3} para el espesor del semiconductor que corresponde a los 70 nm, por la captura de éstos en los estados localizados. Esta concentración de portadores debe resultar lo suficientemente baja para que la capacitancia medida corresponda a la del dieléctrico, en serie con una región de empobrecimiento dentro del HIZO, que reduce la capacitancia máxima medida.

En la Fig. 3.14 se muestran las curvas C-V simuladas a una $f=1 \text{ Hz}$ con una $N_D=1 \times 10^{17} \text{ cm}^{-3}$, para 2 valores de g_{do} , uno de ellos de $1 \times 10^{23} \text{ cm}^{-3}$ y el otro de $1 \times 10^{21} \text{ cm}^{-3}$ para sig_{tae} de $1 \times 10^{-3} \text{ cm}^{-2}$ y $1 \times 10^{-23} \text{ cm}^{-3}$. Como se observa, incluso a esta frecuencia de 1 Hz se presenta una reducción de C_{max} , si la g_{do} es lo suficientemente alta.

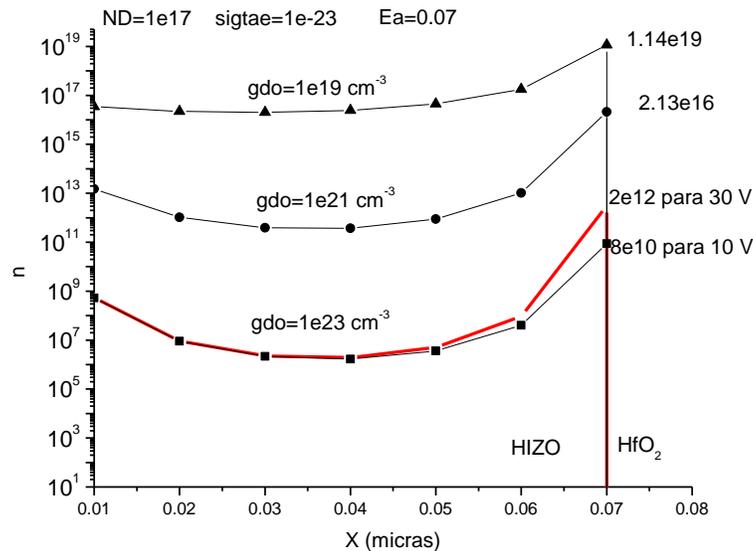


Figura 3.13 Distribución de electrones dentro de la capa de HIZO para $N_D=1 \times 10^{17} \text{ cm}^{-3}$, para diferentes valores de g_{do} .

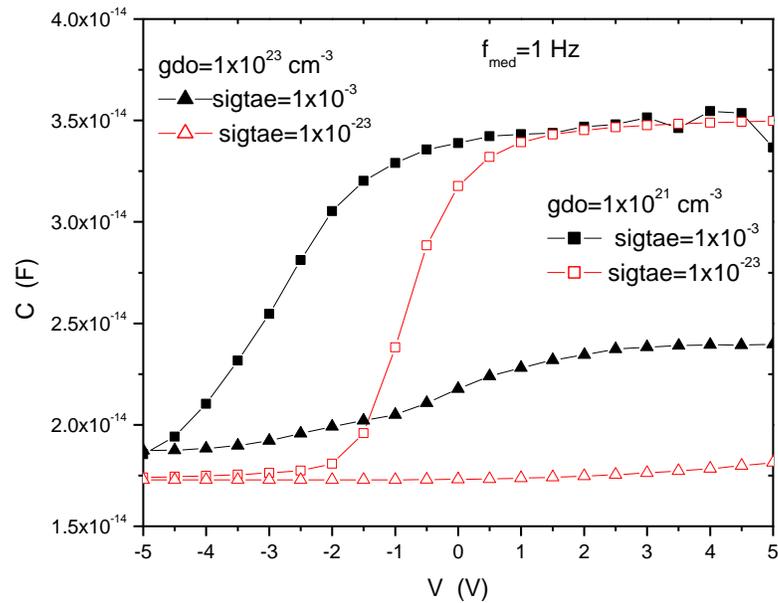


Figura 3.14 Curvas C-V simuladas para dos valores de g_{do} a 1 Hz.

Resumiendo los resultados de la simulación, se ve que incluso si se considera que no hay variación de la constante dieléctrica con la frecuencia, el valor de la C_{max} puede disminuir si se incrementa la densidad de estados g_{do} , lo que se conduce a una disminución de la concentración de portadores. Esto se observa en los cortes transversales que se realizan a través de la capa de HIZO durante la simulación. Con una densidad menor de estados, el efecto se observa para mayor frecuencia de medición, posiblemente porque los portadores no son capaces de seguir la señal. Esto es consecuente con que a menor sección de captura, el efecto es más notable.

Por el análisis anterior, se puede concluir que el efecto de disminución de la C_{max} se observará a mayor voltaje, para capas de mejor calidad, cuando la densidad de estados es menor.



3.6 Modelado de las curvas características.

Con ayuda de las expresiones antes definidas en el capítulo 2, se realizó el modelado de las estructuras antes presentadas, para poder encontrar parámetros que nos ayuden a definir mejor el comportamiento de los dispositivos.

En la figura 3.15 se muestra el modelado de la curva C-V medida en una estructura de Al-HfO₂-HIZO-Al descrita en el subcapítulo 3.2, obteniéndose una constante dieléctrica del HfO₂ $k_i=10$ a 20 Hz y una concentración de impurezas del semiconductor de $1.9 \times 10^{18} \text{ cm}^{-3}$ para una constante dieléctrica del HIZO $k_s=9$. Para una frecuencia de medición de 10 kHz la constante dieléctrica k_i bajó a 9. El voltaje de banda plana es de 1.65 V, correspondiendo a una densidad de estados de interfaz de $2 \times 10^{12} \text{ cm}^{-2}$.

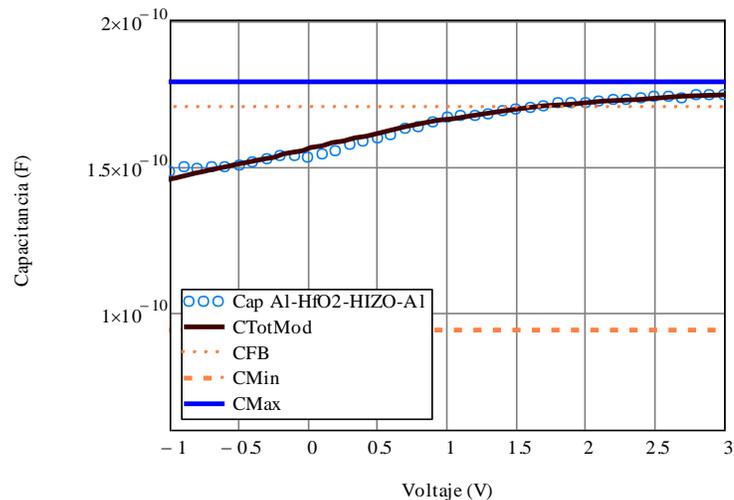


Figura 3.15. Modelado de la curva CV medida en una estructura de Al-HfO₂-HIZO-Al.

Para el caso del modelado de la estructura Au-HfO₂-GIZO-Al descrita en el subcapítulo 3.3, se obtuvo una constante dieléctrica del HfO₂ de alrededor de $k_i=19$ a 10 kHz. La concentración de impurezas en el semiconductor fue de $1.34 \times 10^{18} \text{ cm}^{-3}$ con una constante dieléctrica $k_s=9$ a la misma frecuencia. Un voltaje de banda plana cercano a 1 volt, correspondiente a una densidad de



estados de interfaz de $3 \times 10^{12} \text{ cm}^{-2}$, estas características se muestran en la figura 3.16.

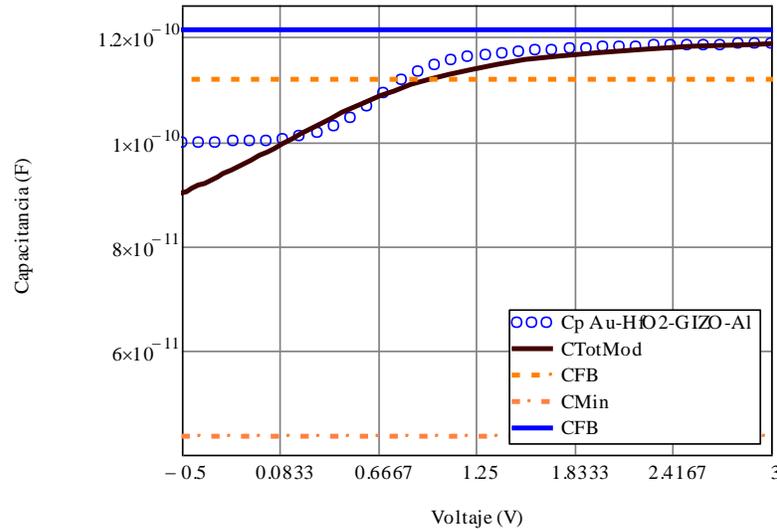


Figura 3.16. Modelado C-V de una estructura de Al-HfO₂-GIZO-Al.

Como se observa en la obtención de los parámetros, para el caso de la estructura con GIZO, se obtiene una mayor constante dieléctrica k_i , debida a la técnica de depósito por ALD a 100 °C. Para este caso, es de esperarse una mejor calidad de capa de HfO₂, que la obtenida por pulverización catódica a temperatura ambiente.

Las características observadas debido a las variaciones de la señal de la frecuencia de medición y a la magnitud de la capacitancia, se deben en gran parte a la calidad de las capas. Por otro lado, en las dos estructuras en comparación, CapGIZO y CapHIZO, se puede observar un desplazamiento de las curvas hacia valores positivos conforme se incrementa la señal de frecuencia de medición, así como una disminución en la región de acumulación, lo cual se puede deber a la presencia de una alta densidad de trampas en el volumen o estados de interfaz o defectos en los materiales amorfos, los cuales pueden estar generando estas características.



3.7 Conclusiones.

Se describieron los resultados obtenidos de las estructuras MDS de HfO_2 e HIZO fabricadas por diferentes métodos de depósito, así mismo, se hizo una comparación entre las características de los semiconductores HIZO y GIZO, teniendo al HfO_2 como dieléctrico en común.

El uso de dieléctricos de alta k nos ayuda a la reducción de voltajes de operación de los dispositivos, en nuestro caso nos permitió tener un rango de voltaje menor a los 5 V. entre la capacitancia máxima y mínima.

Se puede observar que a diferentes métodos de depósito de materiales, se pueden mejorar las características de los dispositivos. En el caso del método de depósito mediante Sputtering se tienen características de menor calidad, en comparación a las técnicas PLD y ALD debido a que sus constantes dieléctricas obtenidas corresponde a los 10 y 19 respectivamente, así como concentración de portadores de 1.9×10^{18} y $1.34 \times 10^{18} \text{ cm}^{-3}$, donde estos valores rigen en gran medida el funcionamiento de la estructura.

Existe una fuerte dependencia en el comportamiento de la curva característica de C-V con respecto a la frecuencia de la señal de medición, produciendo incrementos en la capacitancia mínima y decrementos en la máxima, así como, desplazamientos hacia valores positivos de dicha característica.

Conforme se aumenta la frecuencia de la señal de medición mayor a los 100 kHz para los capacitores de GIZO o mayor de un 1 kHz para los capacitores de HIZO, la saturación de la región de acumulación no es bien observada, pero esto no indica que la región de acumulación no se encuentra presente. Lo cual puede estar asociado a una alta densidad de trampas en el volumen, afectando la generación/recombinación de portadores mayoritarios.



El comportamiento de la estructura MDS fue simulada utilizando el programa ATLAS de dos dimensiones, con el objetivo de tener una idea más clara de la causa del comportamiento observado en las curvas obtenidas experimentalmente. Donde para ciertas distribuciones de estados localizados, las curvas C-V muestran desplazamiento hacia valores positivos a medida que se disminuye la sección de captura. Para ciertos valores de la sección de captura, la curva C-V tiende a deformarse ligeramente en las regiones cercanas a la acumulación y empobrecimiento.

De los resultados de la simulación, se puede concluir que el efecto de la disminución de la C_{max} se observará a voltajes mayores, para capas de mejor calidad, cuando la densidad de estados es menor. .



Bibliografía.

- [3.1] M. Estrada, A. Escobosa. Tecnología de Fabricación de Microcircuitos: Aspectos Básicos. Tecnología de microcircuitos. Editorial Académica Española. Edición 2012.
- [3.2] S. Grove. Physics and Technology of Semiconductor Devices. Edit John Wiley and Sons. Edition 1967.
- [3.3] Magali Estrada, Fernando Ulloa, Marío Ávila, José Sánchez, Antonio Cerdeira, Alejandra Castro-Carranza, Benjamín Iñiguez, Lluís F. Marsal, Josep Pallarés. Frequency and Voltaje Dependence of the Capacitance of MIS Structures Fabricated with Polymeric Materials. IEEE transactions on Electron Devices. Volume 60. June 2013. Pages: 2057 – 2063.
- [3.4] J C Tinoco, R Garcia, B Iñiguez, A Cerdeira, M Estrada, “Threshold voltage model for bulk strained-silicon NMOSFETs”, Semiconductor Science and Technology. Volume 23. March 2008. Article ID 035017.



CONCLUSIONES GENERALES.

Los materiales óxidos semiconductores amorfos se han estado estudiando y aplicando como materiales activos en TFTs, donde se han estado observando mejores características con respecto a materiales policristalinos y orgánicos, donde dentro de sus principales ventajas está su uso sobre sustratos transparentes en áreas grandes bajo métodos de depósito de bajo costo.

Se obtuvieron películas de HfO_2 e HIZO de manera controlada y repetible, mediante la técnica de Sputtering por magnetrón de RF, a temperatura ambiente, donde se midió su espesor por elipsometría obteniendo una desviación estándar de 5.8861 y 7.4708 para cada uno de los materiales respectivamente.

El uso del método de medición de capacitancia-voltaje (C-V) provee una técnica directa para analizar el comportamiento de estructuras MDS, permitiendo de esta manera, determinar las propiedades características de los materiales usados en dicha estructura, así como el funcionamiento de los transistores de capa fina se basa en la estructura MDS.

Se logró la fabricación de la estructura Metal-Dieléctrico-Semiconductor (MDS) por el método de sputtering de RF, la cual se caracterizó y posteriormente se modeló basado en la característica capacitancia-voltaje, de donde se obtuvieron constantes dieléctricas para el HfO_2 de 10 y para el HIZO de 9, con una NDS= de $1.9 \times 10^{18} \text{ cm}^{-3}$.

Se realizó una comparación de las estructuras MDS con base a HIZO y a HfO_2 (CapHIZO), ambas depositadas por Sputtering de RF, con la estructura MDS de HfO_2 y GIZO (CapGIZO) depositada por ALD y PLD, donde las características obtenidas se deben en gran medida a la calidad de sus capas, obteniéndose valores muy diferentes como constantes dieléctricas de 10 y 19



respectivamente, así como concentración de portadores de 1.9×10^{18} y 1.34×10^{18} cm^{-3} , los cuales rigen en gran medida el funcionamiento de la estructura.

La frecuencia que se ocupó en las señales de mediciones de C-V en la estructura CapHIZO fue de 1 kHz, lo cual es tres órdenes de magnitud menor que la empleada en la estructura CapGIZO, que fue de 100 kHz, en donde para ambos casos, a cierta frecuencia mayor de la señal de medición no se logra observar una saturación en la región de acumulación, lo cual indica que los portadores mayoritarios no logran seguir la señal de medición, aunque la estructura esté en acumulación.

Se encontró a partir del resultado de las simulaciones, que si se considera que no hay variación de la constante dieléctrica con la frecuencia, el valor de la C_{max} puede disminuir si se incrementa la densidad de estados gdo, lo que conduce a su vez a una disminución de la concentración de portadores.

A partir del modelado de las curvas de C-V para la estructura de HIZO- HfO_2 , sus características eléctricas, como el voltaje de bandas planas de 1.65 V y la concentración de portadores de 1.9×10^{18} cm^{-3} , muestran que es factibles su uso para la fabricación de TFTs, en donde no se descartan problemas tecnológicos en su fabricación.



TRABAJO A FUTURO.

Introducir el uso de la estructura MDS estudiada en el trabajo de tesis, en la fabricación de transistores de capa delgada.

Continuar con el estudio de los materiales para delinear procesos con los que se mejoren las características de cada una de las capas.

Hacer un estudio para el mejoramiento de las capas a través de tratamientos térmicos posteriores al depósito a diferentes temperaturas y bajo diferentes ambientes de gases.

Estudiar más a fondo el comportamiento de la distribución de estados en la estructura MDS.