

**CENTRO DE INVESTIGACIÓN Y ESTUDIOS
AVANZADOS DEL IPN**

UNIDAD ZACATENCO

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA

SECCIÓN DE ELECTRÓNICA DEL ESTADO SÓLIDO

**Propiedades Extendidas del Transistor MOS de Compuerta
Flotante para su Aplicación como Circuito Transductor.**

TESIS

Que presenta:

M. en C. Sergio Domínguez Sánchez

Para obtener el grado de:

DOCTOR EN CIENCIAS

EN LA ESPECIALIDAD DE INGENIERÍA ELÉCTRICA.

Directores de tesis:

Dr. Mario Alfredo Reyes Barranca

Dr. Salvador Mendoza Acevedo

Ciudad de México

Diciembre 2017

A mis padres, Ma. del Carmen Sánchez Martínez y Fidel Alvaro Domínguez.

A mis hermanos, Andrea, Moises y Alvaro.

A Maria Fernanda Romo García.

Por su apoyo incondicional y confianza depositada en mí durante todo este tiempo.

Gracias a todos por haber fomentado en mí el deseo de superación y el anhelo de triunfo en la vida.

Mil palabras no bastarían para agradecerles.

Agradecimientos

Agradezco de manera muy especial y sincera al Dr. Mario Alfredo Reyes Barranca y al Dr. Salvador Mendoza Acevedo por su orientación, seguimiento, supervisión y apoyo en el desarrollo del presente trabajo. Por su amabilidad, buena disposición y paciencia mostrados durante todo el trabajo realizado.

Un especial agradecimiento a mis sinodales Dr. José Antonio Moreno Cadenas, Dr. Felipe Gómez Castañeda, Dr. Gabriel Romero Paredes Rubio y al Dr. Jacobo Esteban Munguía Cervantes por sus enseñanzas, consejos y comentarios realizados a lo largo de mi estancia en el posgrado.

Agradezco de manera muy especial a M. en C. Luis Martín Flores Nava, Dr. Oliverio Arellano Cardenas, M. en C. Adolfo Tavira Fuentes M. en C. Emilio Rafael Espinosa García y a M. en C. Miguel Galván Arellano, que sin su apoyo en sus respectivos laboratorios este trabajo no hubiera sido posible.

Quiero expresar mi gratitud y agradecimiento al Centro de Nanociencias y Micro y Nanotecnologías del Instituto Politécnico Nacional por facilitarme el uso del equipo de caracterización eléctrica en sus instalaciones.

Agradezco y reconozco por su buen trabajo y buena disposición durante mi estancia en la Sección a Yesenia Cervantes Aguirre.

Agradezco a mis compañeros que hicieron más llevadero el transcurso de este trayecto.

Agradezco al Centro de Investigación y de Estudios Avanzados del IPN, que de ahora en adelante será mi segunda Alma Mater

Por último hago extensivo mi agradecimiento al Consejo Nacional de Ciencia y Tecnología (CONACYT) por haberme otorgado una beca para realizar mis estudios de Doctorado.

RESUMEN

Este trabajo reporta un uso novedoso relacionado al transistor de compuerta flotante (FGMOS). Se demuestra que el voltaje típico de circuito abierto (V_{OC}) de un foto sensor CMOS puede ser acoplado a la compuerta flotante de un FGMOS. Varios diseños de estructuras foto sensoras son estudiadas y medidas. Los resultados demuestran que el voltaje de umbral del transistor puede ser modulado ópticamente con una serie de arreglos de foto sensores para aumentar el voltaje acoplado. Por lo tanto, una micro celda solar integrada con tecnología CMOS puede ser usada como compuerta de control dando una alternativa para modular la característica $I - V$ de un FGMOS, extendiendo las propiedades de este dispositivo más allá de los fenómenos de inyección conocidos comúnmente, usados para programarlo. Además, más de una compuerta de control puede ser usada con un solo transistor, dando la oportunidad de explorar la conveniencia de utilizar esta propuesta dentro de un diseño de pixeles ya que sólo se utiliza un transistor, con la compuerta flotante como nodo de suma.

ABSTRACT

This work reports a new operating use regarding the floating-gate MOS transistor (FGMOS). Here it is demonstrated that the typical open circuit voltage (V_{OC}) of a CMOS integrated photo sensor can be coupled to the floating gate of a FGMOS. Several photo sensors structure designs are studied and measured. Results demonstrated that the threshold voltage of the transistor can be modulated optically with a series array of photo sensors to increase the coupled voltage. Therefore, a micro solar cell integrated with a CMOS technology can be used as a control gate giving an optical alternative to modulate the $I - V$ characteristics of a FGMOS, extending the properties of this device beyond the known injection phenomena commonly used to program it. Also, more than one control gate can be used with only one transistor, giving opportunity to explore the convenience to use this proposal within a pixel design since only one transistor is used, with its floating gate as a summing node.

Contenido General

	Pag.
Resumen	vi
Abstract	vii
Lista de figuras	x
Lista de tablas	xiv
1 Introducción.	1
1.1 Antecedentes	2
1.1.1 Memorias de Semiconductores.	4
1.1.2 Dispositivos CMOS de compuerta flotante	8
1.1.3 Tecnología CMOS	9
1.2 Conclusión.	13
2 Teoría de los dispositivos usados.	15
2.1 Transistor de Compuerta Flotante FGMOS.	15
2.1.1 Mecanismos de polarización de la compuerta flotante.	18
2.1.2 Tipos de mecanismos.	19
2.1.3 Modelo del FGMOS	24
2.2 Dispositivos fotosensibles.	26
2.2.1 Fotosensores en tecnología CMOS.	26
2.2.2 Conceptos básicos del Fotodiodo.	27
2.2.3 Modelo del fotodiodo.	30
2.2.4 Simulaciones del fotodiodo en tecnología CMOS.	32
2.2.5 Diseño de estructuras fotosensibles.	33
2.3 Conclusión.	37
3 Evaluación preliminar del principio propuesto.	38

3.1	Simulación con dispositivos discretos	38
3.1.1	Voltaje de compuerta flotante con un fotodiodo como compuerta de control.	46
3.2	Resultados experimentales con dispositivos discretos.	49
3.3	Consideraciones de diseño para las estructuras de prueba.	54
3.4	Conclusión.	57
4	Caracterización de estructuras de prueba <i>fotodiodo-FGMOS</i>.	58
4.1	Caracterización óptica del fotodiodo.	58
4.1.1	Fuente luminosa	58
4.2	Caracterización eléctrica del fotodiodo.	62
4.3	Caracterización eléctrica de los dispositivos integrados.	64
4.3.1	Estructura 1	68
4.3.2	Estructura 2	70
4.3.3	Estructura 3	71
4.3.4	Estructura 4	73
4.3.5	Estructura 5	74
4.3.6	Estructura 6	74
4.4	Discusión.	76
5	Conclusiones.	78
	Productos.	79
	Trabajo futuro.	80
	Referencias	82
	Apéndices	
	Apéndice A: Modelo del transistor FGMOS.	86
	Apéndice B: Modelo para simulación del fotodiodo.	90
	Apéndice C: Parámetros Mosis AMI 0.50 um para la corrida V57X.	100

Lista de figuras

Figura	Pag.
1.1 Característica Corriente-Voltaje de un dispositivo FG cuando no hay electrones almacenados (curva A, "1") y cuando hay carga almacenada (curva B, "0") en la FG.	9
2.1 Transistor FGMOS con n compuertas de control.	16
2.2 Circuito equivalente para las capacitancias del transductor capacitivo.	21
2.3 Característica I-V de un fotodiodo con diferentes intensidades de iluminación. . .	23
2.4 Estructura del FGMOS a) Sección transversal del FGMOS; b) Circuito equivalente capacitivo con una compuerta de control.	25
2.5 Curvas características de un fotodiodo para los modos de operación Fotoconductor y Fotovoltaico. $P_0 - P_2$ representan diferentes intensidades de iluminación.	28
2.6 Circuitos equivalente para un fotodiodo de silicio.	31
2.7 Simulación en PSPICE de la curva del Fotodiodo $n_{pozo} - p_{sub}$ con diferentes fotocorrientes generadas.	33
2.8 Simulación en PSPICE de fotorrespuesta del Fotodiodo $n_{pozo} - p_{sub}$	34
2.9 Estructuras reportadas en [38].	34
2.10 Estructuras reportadas en [39].	35
2.11 Sección transversal de tres tipos de fotodiodos compatibles con tecnología CMOS estándar.	35
2.12 Estructura del Fotodiodo.	36
3.1 Medición de curvas de transferencia a la salida del amplificador.	39

3.2	Función de transferencia simulada en PSPICE de un MOS convencional con fotodiodo $n_{pozo} - p_{sub}$	40
3.3	Curva de transconductancia simulada de un FGMOS canal-N con dos compuertas de control.	41
3.4	Gráfica de $\sqrt{I_{DS}}$ vs V_{CG} con el capacitor de acoplamiento C_{PH} de área $2A$	42
3.5	Gráfica de V_{FG} vs V_{CG} con el capacitor de acoplamiento C_{PH} de área doble.	43
3.6	Gráfica de $\sqrt{I_{DS}}$ vs V_{CG} con el ánodo del fotodiodo conectado al capacitor de acoplamiento C_{PH} de área $2A$	43
3.7	Gráfica de V_{FG} vs V_{CG} con el ánodo del fotodiodo conectado al capacitor de acoplamiento C_{PH} de área $2A$	45
3.8	Gráfica de $\sqrt{I_{DS}}$ vs V_{CG} con el cátodo del fotodiodo conectado al capacitor de acoplamiento C_{PH} de área $2A$	45
3.9	Gráfica de V_{FG} vs V_{CG} con el cátodo del fotodiodo conectado al capacitor de acoplamiento C_{PH} de área $2A$	46
3.10	Diagrama esquemático de la estructura <i>fotodiodo – FGMOS</i>	48
3.11	Capacitancia de agotamiento de un fotodiodo, dos fotodiodos conectados en serie y tres fotodiodos conectados en serie.	49
3.12	Dispositivos fotodetectores.	50
3.13	Curvas de transferencia experimentales de un amplificador usando el módulo solar Steren.	51
3.14	Medición de voltaje a la salida del fotodetector.	52
3.15	Desplazamiento de la señal V_{IN} producida por el módulo solar Steren medido en el nodo de salida del foto detector.	52
3.16	Caracterización I-V de la Micro celda Solar.	53
3.17	Desplazamiento de la señal V_{IN} producido por el fotodiodo IXYS CPC1824 medido en el nodo de salida del foto detector.	53
3.18	Curvas de transferencia experimentales de un amplificador usando el fotodiodo IXYS CPC1824.	55

3.19	Estructuras y configuraciones de prueba en chip prototipo.	56
4.1	Fotoluminiscencia del LED Ultra brillante blanco (VLHW5100)	59
4.2	Potencia óptica del LED ultra brillante en función del voltaje aplicado.	60
4.3	Fotorespuesta del fotodiodo p^+/n_{pozo} , Fotocorriente vs. Longitud de onda.	61
4.4	Gráfico de la eficiencia cuántica del fotodiodo p^+/n_{pozo} . $A = 1.44 \times 10^6 \text{ cm}^2$	61
4.5	(a) Curvas $I - V$ del fotodiodo después de iluminar con diferentes niveles de irradiación. (b) Fotocorriente del fotodiodo como función del voltaje aplicado al LED.	63
4.6	(a) Curvas $I - V$ para dos fotodiodos en serie iluminados con diferentes niveles de irradiación. (b) Fotocorriente de los fotodiodos como función del voltaje aplicado al LED.	65
4.7	(a) Curva $I - V$ para tres fotodiodos en serie después de iluminar con diferentes niveles de irradiación. (b) Fotocorriente de los fotodiodos como función del voltaje aplicado al LED.	66
4.8	Diodo sencillo con el ánodo conectado al capacitor de acoplamiento ($A=20.4 \mu\text{m} \times 20.4 \mu\text{m}$).	67
4.9	Diodo sencillo con el cátodo conectado al capacitor de acoplamiento ($A=20.4 \mu\text{m} \times 20.4 \mu\text{m}$).	67
4.10	Arreglo de tres diodos en serie con el cátodo conectado al capacitor de acoplamiento con Área=6A	68
4.11	Arreglo paralelo de tres diodos con el cátodo conectado al capacitor de acoplamiento con Área=2A cada uno.	68
4.12	Curvas de transconductancia para la configuración de la figura 4.8 (b) en oscuridad e iluminación.	69
4.13	Curvas de transconductancia para la configuración de la figura 4.8 (c) en oscuridad e iluminación.	70
4.14	Curvas de transconductancia para la configuración de la figura 4.9 (b) en oscuridad e iluminación.	72

4.15	Curvas de transconductancia para la configuración de la figura 4.9 (c) en oscuridad e iluminación.	73
4.16	Curvas de transconductancia para la configuración de la figura 4.10 en oscuridad e iluminación.	75
4.17	Curvas de transconductancia para la configuración de la figura 4.11 en oscuridad e iluminación.	76

Lista de tablas

Tabla	Pag.
1.1 Tipos de memorias y sus principales características.	6
4.1 Potencia de irradiación correspondiente con el voltaje aplicado al LED blanco ultra brillante.	62

Capítulo 1

Introducción.

En el presente trabajo se pretende analizar el efecto que produce en la característica $I - V$ del transistor de compuerta flotante, FGMOS, al modificar el voltaje de compuerta flotante, V_{FG} , por métodos poco convencionales y novedosos. Se analizarán diferentes maneras de inducir un cambio en el V_{FG} principalmente el producido por foto sensores, comportándose entonces como un circuito transductor.

Como elemento central del trabajo desarrollado, en el primer capítulo se abordará el estado del arte relacionado al dispositivo FGMOS, su historia y desarrollo, sus principales aplicaciones y su importancia dentro del desarrollo de la tecnología computacional. Además se analizará brevemente la tecnología que permitió el desarrollo de este dispositivo, y los pasos dentro del proceso de fabricación que posibilitaron la miniaturización del dispositivo, haciendo a este dispositivo uno de los más importantes elementos de memoria en la historia.

En el segundo capítulo se realizará un compendio de la teoría básica obtenida de una extensa revisión bibliográfica, que permite entender de manera más profunda y concisa a los dispositivos básicos utilizados en este trabajo. En primera instancia se analizará al transistor FGMOS, sus ecuaciones, propiedades y modelos del dispositivo, todos estos elementos claves para el presente trabajo. Después, se analizará el dispositivo foto sensible fotodiodo, su principio de operación, comportamiento característico y modos de operación así como su modelo de simulación.

En el capítulo tres se planteará el concepto desde el punto de vista de los dispositivos mencionados anteriormente. Se utilizarán elementos discretos para simular y medir el efecto propuesto. Además, con los resultados obtenidos con estas simulaciones y mediciones, se determinarán los parámetros para diseñar estructuras de prueba que permitan comparar los resultados obtenidos de manera preliminar, con los que se obtendrán con las estructuras fabricadas en tecnología CMOS estándar.

En el capítulo cuatro, se caracterizarán las estructuras fabricadas, para esto, se requiere caracterizar la fuente luminosa que se usará para caracterizar ópticamente los dispositivos fotosensores. Además se obtendrá el comportamiento eléctrico de cada estructura diseñada.

Por último en el capítulo cinco, se presentarán las conclusiones obtenidas del presente trabajo.

1.1 Antecedentes

La primera estructura de un transistor MOS de compuerta flotante fue reportado por Kahng y Sze en 1967 [1] y posteriormente se comenzó a utilizar en configuraciones para memorias EEPROM, EPROM [2] y flash en el dominio digital dado que este dispositivo es capaz de retener carga en su compuerta flotante y por lo tanto es una memoria no volátil. En 1989, Intel emplea este elemento en una red neuronal artificial con entrenamiento incorporado (ETANN) [3], demostrando su potencial en el dominio analógico. Normalmente, esta carga puede modificarse mediante tunelamiento Fowler-Nordheim o por inyección de electrones calientes. Inicialmente, el proceso de fabricación era propio únicamente de las compañías fabricantes de circuitos integrados, pero Thomsen y Brooke [4] demostraron que la inyección era posible también mediante el empleo de las capas ofrecidas por tecnología estándar, accesible a la academia y particulares. A partir de ahí, se han generado infinidad de trabajos que emplean al FGMOS como elemento central para el procesamiento de señales y creación de redes, como las reportadas en [5–10]. Hace algunos años, en el Laboratorio de Sistemas VLSI se comenzaron a hacer diversos trabajos y se tomó como referencia al ISFET reportado en [11], que ha sido optimizado en los trabajos reportados en [12] y [13], pero que son empleados

en soluciones para detectar el pH de las mismas. Este principio se adaptó para proponer un prototipo de sensor de gas MEMS basado en la transferencia de carga debido a reacciones químicas, reportado en [14, 15]. A esta forma de modificar las características eléctricas del FGMOS se le bautizó en estos trabajos como “inyección química”, dado que el origen de la carga creada sobre la compuerta flotante tiene su origen como resultado de una reacción química ente el gas a sensor y el material con el que se hace la película sensora. Éste es un fenómeno diferente al eléctrico usualmente empleado para inyectar carga sobre la compuerta flotante. De igual manera el principio se adaptó para el desarrollo de dos prototipos de sensores de aceleración haciendo uso de una transducción de tipo mecánica producida por la fuerza inercial generada por la aceleración [16, 18]. En este caso la modificación de las características eléctricas del FGMOS se hacen con base a un coeficiente de acoplamiento variable, lo cual es resultado de un estímulo mecánico, como la aceleración. Una vez más, este principio es diferente al causado mediante tunelamiento Fowler- Nordheim o Electrones Calientes. Por lo tanto, se puede comentar que los dos principios anteriores representan una demostración de que el FGMOS puede tener las mismas propiedades reportadas desde sus inicio, pero logrado esto mediante medios químicos o mecánicos que no se habían reportado anteriormente. A este par de principios anteriormente mencionados, se le puede agregar el estímulo óptico que se reporta en esta tesis, con lo que se demuestran de manera práctica las propiedades extendidas que puede llegar a tener el FGMOS y que tienen su origen en los trabajos desarrollados por el Grupo de Sistemas VLSI. Estos desarrollos han servido para demostrar que el alcance del FGMOS puede ir más allá de lo actualmente reportado y éste es el principal objetivo de esta tesis. Aprovechando diferentes formas para establecer un voltaje sobre la compuerta flotante, es posible emplear al FGMOS como un transductor en dispositivos como los acelerómetros MEMS, pero además, se puede aprovechar el llamado “Voltaje a circuito abierto, V_{oc} ”, característico de las celdas solares, para agregar un potencial sobre la compuerta flotante del FGMOS gracias a que no se tendrá corriente en la compuerta, es decir, el nodo es similar a un circuito abierto. Esto sugiere una investigación para encontrar un diseño topológico (layout), mediante el cual se diseñe un dispositivo fotodetector, cuyo arreglo permita inducir un voltaje sobre la compuerta flotante, adicional al que se logra mediante las compuertas de control con

las que cuenta este tipo de transistores. De esta manera, se trata de demostrar que es posible llevar las aplicaciones del FGMOS, mas allá de lo hasta el momento reportado en la literatura.

1.1.1 Memorias de Semiconductores.

Las memorias de semiconductores de estado solido son el facilitador del mundo digital contemporáneo. Los chips de memoria de hoy en día integran miles de millones de transistores en una pequeña porción de silicio y llevan la densidad y encapsulado de los circuitos integrados hacia límites cada vez superiores y que no eran posibles hace años.

Antes de la tecnología actual en base a semiconductores hubo un gran desarrollo con memorias de núcleo magnético que fueron desarrolladas y comercializadas entre 1947 y 1952 posicionando a éstas como el dispositivo de almacenaje por predilección. Éstas tenían una densidad de 2000 B y un desempeño de acceso aleatorio de $5 \mu s$ siendo además su lectura destructiva, requiriendo reescritura de la información después de leerla. Sus costos iniciales fueron de US\$1.00/b llegando eventualmente a los US\$0.01/b [19]. La confiabilidad y bajo costo de las memorias de núcleo magnético llevó a principios de la década de los 60's a su adopción casi universal como memoria primordial de las computadoras, hasta que la memoria a base de semiconductores emergió en los años 70's.

En 1966 el Dr. Robert Dennard en el Centro de Investigación IBM Thomas J. Watson, inventó la "memoria transistor de efecto de campo", ahora conocida como DRAM con un transistor y un capacitor por celda, y fabricado en un proceso semiconductor. Tuvo la característica de bajo costo y alto desempeño necesaria para encontrar su camino hacia los sistemas de alto cómputo. La DRAM no tuvo éxito inmediato, sin embargo, no fue sino hasta 1979 cuando Intel introdujo la revolucionaria 1103 DRAM (un diseño de tres transistores por celda), que la industria empezó a tomar seriamente a la DRAM.

La llegada de una tecnología de memoria principal fiable, rápida y económica permitió la revolución de la computadora personal. Con la buena respuesta que se obtuvo de las memorias de semiconductores se buscó desarrollar características tales como, rápido almacenaje de información, rápida recuperación de la información almacenada, posibilidad de grabar grandes cantidades de datos y que los datos no se borren a menos que se desee (característica no volátil).

1.1. Antecedentes

Para memorias artificiales unas de estas características pueden ser más importantes que otras, dependiendo de la aplicación, buscando siempre que el costo sea el menor posible.

Las memorias de semiconductores han estado presentes por muchas décadas. Su densidad se ha incrementado continuamente (casi cuatro veces cada tres años) y son usadas en muchas aplicaciones donde se requiere alta velocidad y baja potencia.

Las memorias CMOS (Complementary Metal-Oxide-Semiconductor) se pueden dividir en dos grandes categorías: RAM (Random Access Memories) las cuales son volátiles, pierden su información una vez que la fuente de poder es apagada, y ROM's (Read Only Memories) siendo éstas no volátiles, mantienen la información almacenada cuando la fuente de poder es retirada.

Hay una gran variedad de tipos de ROM y RAM que están disponibles. Éstas surgen de la variedad de aplicaciones y también del número de tecnologías disponibles. A continuación se describen brevemente algunos de los tipos y en la tabla 1.1 se resumen las características de éstas..

PROM: Memoria de sólo lectura programable (Programmable Read Only Memory). Es una memoria de semiconductor que sólo puede tener datos escritos una vez, los datos escritos en ella son permanentes. Estas memorias se compran en un formato en blanco y se programan usando un programador PROM especial.

La PROM almacena sus datos en forma de carga en un capacitor. Hay un capacitor de almacenamiento de carga para cada celda y ésta se puede leer repetidamente según sea necesario. Sin embargo, se observa que después de muchos años la carga puede escaparse y los datos pueden perderse. Este tipo de memoria de semiconductor solía ser ampliamente utilizada en aplicaciones donde se requería una forma de ROM, pero donde los datos necesitaban ser cambiados periódicamente.

EPROM: Se trata de una memoria de sólo lectura programable borrable (Erasable Programmable Read Only Memory). Esta forma de memoria de semiconductor se puede programar y luego borrar en un momento posterior. Esto se logra normalmente exponiendo el silicio a luz ultravioleta. Para que esto suceda, hay una ventana circular en el encapsulado de la EPROM para permitir que la luz alcance el silicio del chip.

1.1. Antecedentes

Tabla 1.1 Tipos de memorias y sus principales características.

Tipo de Memoria	Característica
Flash	Bajo costo, alta densidad, arquitectura de alta velocidad; baja potencia, alta confiabilidad.
ROM Read Only Memory	Alta densidad, confiable, bajo costo; tiempo consumido de enmascarado requerido, adecuado para producciones altas con código estable.
RAM Random Access Memory	Alta velocidad, alta potencia, menor densidad de memoria, densidad limitada (aumenta el costo).
EPROM Electrically Programmable Read-Only Memory	Alta densidad de memoria; debe ser expuesta a iluminación UV para borrado.
EEPROM Electrically Erasable Programmable Read Only Memory	Borrado eléctricamente, menor confiabilidad, mayor costo, menor densidad.
DRAM Dynamic Random Access Memory	Bajo costo, alta densidad, alta velocidad, alta potencia.

EEPROM: Es una memoria de sólo lectura programable borrrable eléctricamente (Electrically Erasable Programmable Read Only Memory). Los datos se pueden escribir en él y se puede borrar usando un voltaje. Esto se aplica típicamente a un pin de borrado en el chip. Al igual que otros tipos de PROM, la EEPROM retiene el contenido de la memoria incluso cuando se apaga la alimentación. También como otros tipos de ROM, la EEPROM no es tan rápido como RAM.

Las celdas de memoria EEPROM se fabrican a partir de **MOSFET de compuerta flotante** (conocido como FGMOS).

Memoria Flash: La memoria Flash puede considerarse como un desarrollo de la tecnología EEPROM. Los datos se pueden escribir en ella y se puede borrar, aunque sólo en bloques, pero los datos se pueden leer en celdas individuales. Para borrar y volver a programar áreas del chip, se usan voltajes de programación a niveles disponibles dentro del equipo electrónico. También es no volátil, y esto lo hace particularmente útil.

La memoria flash almacena los datos en una matriz de celdas de memoria. Las celdas de memoria están hechas de **MOSFET de puerta flotante** (conocido como FGMOS). Estos FGMOS tienen la capacidad de almacenar una carga eléctrica durante periodos prolongados de tiempo (2 a 10 años) incluso sin conexión a una fuente de alimentación.

DRAM: La RAM dinámica es una forma de memoria de acceso aleatorio. Esta DRAM utiliza un capacitor para almacenar cada bit de datos, y el nivel de carga en cada capacitor determina si ese bit es lógico 1 ó 0. Sin embargo, estos capacitores no tienen su carga indefinidamente, y por lo tanto, los datos deben actualizarse periódicamente. Como resultado de esta actualización dinámica lleva el nombre de RAM dinámica.

SRAM: Memoria estática de acceso aleatorio (Static Random Access Memory). Esta forma de memoria de semiconductor obtiene su nombre del hecho de que, a diferencia de DRAM, los datos no necesitan ser actualizados dinámicamente. Es capaz de soportar tiempos de lectura y escritura más rápidos que DRAM (típicamente 10 *ns* contra 60 *ns* para DRAM), y además su tiempo de ciclo es más corto porque no necesita pausar entre accesos. Sin embargo, consume más potencia, es menos denso y más caro que DRAM.

SDRAM: DRAM síncrona. Esta forma de memoria de semiconductor puede funcionar a velocidades más rápidas que la DRAM convencional. Se sincroniza con el reloj del procesador y es capaz de mantener dos conjuntos de direcciones de memoria abiertas simultáneamente. Mediante la transferencia de datos alternativamente de un conjunto de direcciones, y luego el otro, SDRAM reduce los retrasos asociados con RAM no síncrona, que debe cerrar un banco de direcciones antes de abrir el siguiente.

MRAM: Se trata de RAM magneto-resistiva, ó RAM magnética. Es una tecnología de memoria RAM no volátil que utiliza cargas magnéticas para almacenar datos en lugar de cargas eléctricas. A diferencia de las tecnologías que incluyen DRAM, que requieren un flujo constante de electricidad para mantener la integridad de los datos. Como se sabe y se podrá notar, este tipo de memorias utilizan medios eléctricos para ser programadas y poseen propiedades volátiles y no volátiles. Esto es lo usualmente hecho con memorias basadas en los FGMOS. Como se mencionó anteriormente, el propósito de esta tesis es demostrar que el FGMOS puede tener características similares al aplicar un estímulo lumínico.

1.1.2 Dispositivos CMOS de compuerta flotante

Los dispositivos de compuerta flotante (FG) son el núcleo central de las Memorias no volátiles (NVM's). Los conceptos básicos y la funcionalidad de este tipo de dispositivos se comprende fácilmente si es posible determinar el potencial en la FG. Más del 90% de las NVM's está basada en el concepto de compuerta flotante [20]. A pesar de las muchas mejoras desde su primera introducción, las memorias Flash (y por consiguiente dispositivos FG) continúan teniendo el papel más importante en la arena de las NVM's.

Para tener una celda de memoria que pueda conmutar de un estado a otro (De "programada, 0" a "borrada, 1") y que además pueda almacenar la información independientemente de las condiciones externas, el elemento de almacenaje necesita ser un dispositivo el cual pueda cambiar su conductividad de manera no destructiva.

Desde el punto de vista de la propiedad no volátil del FGMOS, el voltaje de compuerta flotante de este dispositivo puede ser alterado cambiando la cantidad de carga presente en la compuerta flotante. Además, almacenando o removiendo carga de la compuerta flotante, el voltaje de umbral puede ser cambiado repetidamente de un estado alto a bajo (estados "programado" y "borrado" respectivamente).

La operación de "lectura" se realiza aplicando un voltaje en compuerta que estará en un umbral de valores entre borrado y programado y sensando el flujo de corriente a través del dispositivo. En la figura 1.1 se muestra la característica de un dispositivo FG en los estados de "programado" y "borrado".

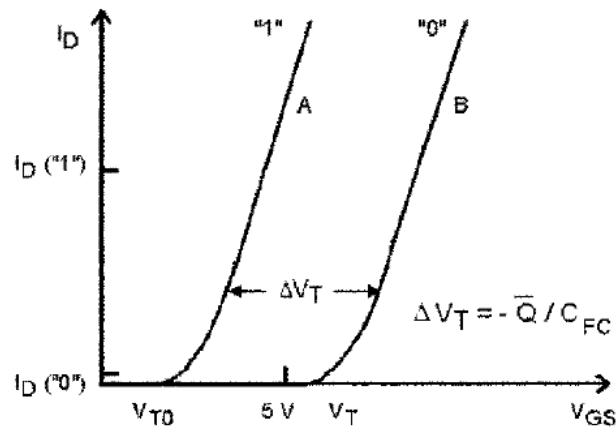


Figura 1.1 Característica Corriente-Voltaje de un dispositivo FG cuando no hay electrones almacenados (curva A, "1") y cuando hay carga almacenada (curva B, "0") en la FG.

Sintetizando la información anterior podemos decir que se tienen dos maneras por las cuales es posible alterar o modificar el voltaje de compuerta flotante del dispositivo. La primera es induciendo un voltaje en la compuerta por medio de las compuertas de control y la segunda es modificando la carga en la compuerta flotante. Estas dos variables se analizarán más adelante dentro de la ecuación característica del dispositivo. Cabe mencionar que al modificar cualquiera de estas variables es posible alterar el voltaje en compuerta flotante que a su vez modifica la característica $I - V$ del dispositivo.

1.1.3 Tecnología CMOS

Como ya se mencionó antes, los dispositivos de compuerta flotante son celdas básicas para muchos tipos de memorias no volátiles: Flash, EPROM y EEPROM. En una memoria, las celdas de FG tienen que ser conectadas y compactadas para usar la menor área de silicio posible. Sin embargo un sinnúmero de problemas se presentan con la tecnología al tratar de alcanzar las dimensiones mínimas. Uno de los más evidentes es la clase de limpieza necesaria para manufacturar los circuitos integrados de hoy en día. Estos niveles de limpieza necesitan sistemas de purificación de aire sofisticados y técnicas de manejo de las obleas para evitar contaminación con el ambiente externo. Pero estos son solo los aspectos más evidentes; todos

los pasos tecnológicos tienen que coincidir con esta reducción de dimensiones: Litografía, limpieza, tecnologías de aislamiento, implantación iónica, oxidación del silicio, grabado, depósito, etc. Todos los efectos sistemáticos tienen que ser corregidos o tomados en cuenta.

Además, más y más interacciones entre los diferentes pasos del proceso juegan un rol importante en la evolución de las tecnologías de silicio. Entre todos los pasos, la litografía ha sido siempre la barrera para la reducción de dispositivos. Por este motivo este paso es el más caro dentro del proceso; su costo es cerca de una tercera parte de todo el costo de manufactura.

1.1.3.1 Litografía.

Dos aspectos tecnológicos están relacionados a la litografía: El alineamiento entre niveles de máscaras y la resolución.

1) *Alineación.* La capacidad de la máquina de exposición de alinear las máscaras tiene impacto directo en las distancias y por lo tanto en las dimensiones finales. Una manera de mejorar la alineación en una línea de producción es usar para un lote de obleas la misma pieza de equipo para exponer las máscaras importantes. El costo de hacer esto es muy alto en término de tiempo y explotación del equipo, por eso esta solución es raramente usada.

Otra solución más complicada que siempre es perseguida en el desarrollo de procesos es la “autoalineación”: esto hace referencia a pasos por los cuales los niveles se alinean unos a otros por construcción no gracias a la exposición. El ejemplo más simple de esto es la implantación de fuente y drenador en transistor MOS: el alineamiento de la compuerta es obtenido gracias a que la compuerta misma previene que los dopantes alcancen el canal y permite el dopado de las regiones fuente y drenador. Esta “autoalineación” se ha extendido a otros procesos.

2) *Resolución.* La resolución de una máquina de exposición (RES) es proporcional a la longitud de onda (λ) usada y es inversamente proporcional a la apertura numérica (NA) del sistema:

$$RES = R_1 \frac{\lambda}{NA}$$

Las formas de mejorar la resolución son las siguientes: 1) reducción de la longitud de onda, 2) incrementar la NA, 3) reducción del coeficiente de proporcionalidad R_1 .

1.1. Antecedentes

Empezando por la longitud de onda, actualmente una longitud de onda de $248nm$ es usada en producción en masa para la tecnología de $130nm$. Resultados enormes se han obtenido con respecto al pasado: la dimensión mínima es la mitad de la longitud de onda usada. Para una tecnología de $90nm$, se usa una longitud de onda producida por un láser excimer flúor kriptón (KrF) de $193nm$.

Como ya se pudo notar, la proporción $\frac{R_1}{NA}$ puede ser del orden de 0.5. La apertura numérica es el seno del máximo ángulo incidente. Incrementar NA reduce la profundidad de enfoque del proceso litográfico llevando así a una mejor planarización. Es necesario exponer todas las estructuras lo más cerca posible a un plano común. Para alcanzar este objetivo diferentes técnicas de planarización se han desarrollado. Actualmente la más usada es el pulido mecánico químico “Chemical Mechanical Polishing” (CMP). Como lo dice el nombre, ésta es una técnica para planarizar por medio de un químico (a través de un componente de grabado) y mecánico (a través de un cepillo). Otra técnica en uso es el aislamiento superficial de foso “Shallow Trench Isolation” (STI) la cual es una técnica para aislar eléctricamente dispositivos activos por medio de dióxido de silicio: se obtiene grabando un foso en el silicio y llenando éste con dióxido de silicio. Las estructuras resultantes son mucho más planas con respecto a otras técnicas.

La última manera de mejorar la resolución es la reducción de R_1 . Diferentes técnicas se han desarrollado para reducir este parámetro. Uno de los principales es el proceso llamado máscara de cambio de fase ó “Phase Shift Mask” (PSM). Se tiene que usar una capa adicional para la producción de estas máscaras, de esta manera el costo se incrementa. Otras técnicas para mejorar la imagen resultante consiste en modificar el patrón en la máscara con el fin de explotar los efectos de difracción.

1.1.3.2 Aislamiento de campo.

Después del proceso de litografía, el paso más importante es el aislamiento de los componentes activos. El principal elemento de aislamiento es el dióxido de silicio. Como siempre, en microelectrónica, el principal objetivo es la reducción de dimensiones, desde el punto de vista del aislamiento, la manera en la que se logra esta reducción es con transiciones abruptas entre las regiones activas y las aisladas vía la realización de estructuras lo más planas

posible, de manera que se beneficie el proceso de litografía. El primer esquema de aislamiento es el llamado LOCOS ó Local Oxidation of Silicon (Oxidación Local de Silicio) donde dióxido de silicio se forma en áreas selectas en la oblea de silicio obteniendo una interfaz $Si - SiO_2$ a un punto más bajo que el resto de la superficie del silicio.

Otra tecnología usada, mencionada anteriormente, es la STI. Esta técnica es la preferida para tecnologías sub micrométricas ya que evita el llamado “pico de pájaro” que con la técnica anterior se produce, de manera condensada el proceso consiste principalmente en el grabado de fosos en el silicio, depósito de un dieléctrico para llenar los fosos y remover el exceso del mismo.

1.1.3.3 Oxidación del Silicio.

Para la fabricación de transistores FGMOS la oxidación de silicio es uno de los pasos más críticos dentro del proceso. Este proceso comienza con la limpieza de la superficie del silicio para subsecuente oxidación. El crecimiento del óxido es crucial ya que el óxido de compuerta determina el acoplamiento entre la compuerta y el canal y permite el correcto aislamiento del electrodo de compuerta.

1.1.3.4 Implantación Ionica, Depósito, Grabado, Pulido Químico Mecánico, Metalización.

Estos pasos no han tenido avance importante pero sí una continua mejora en la tecnología existente.

Implantación Iónica: Las mejoras en este paso se direccionan a la ampliación del rango de las energías de implantación

- hacia altas energías de implantación (arriba de 2 MeV) de manera que se puedan obtener uniones profundas y pozos de aislamiento.
- hacia energías bajas para obtener profundidades de unión en fuente y drenador menores, requeridas para obtener transistores MOS más pequeños.

1.2. Conclusión.

Los principales aspectos relacionados a los procesos de *depósito* y *grabado* son la limpieza y la uniformidad a través de la oblea y entre obleas y lotes. Hasta las generaciones de 0.5 y 0.35 μm , las capas de óxido eran obtenidas oxidando las capas de silicio policristalino y nitruro de silicio ya que el óxido obtenido era de mejor calidad comparado con el depositado. La necesidad de reducir los efectos de canal corto ha llevado a una necesidad de “enfriar” los procesos y ha empujado hacia la dirección del depósito de capas. Una vez más la uniformidad es una cuestión crítica, en celdas individuales y entre celdas: el espesor de la capa y la longitud debe variar lo menos posible a través del dispositivo.

El objetivo del *pulido químico mecánico* es la planarización de las estructuras. Además de las razones explicadas antes, una superficie plana es necesaria para el depósito de capas metálicas, pues pasos abruptos pueden causar grietas en la misma capa de metal.

El último paso del proceso que se mencionará es la *metalización*. El mayor cambio de los últimos años es la introducción de cobre como capa de interconexión. La ventaja de éste con respecto al aluminio es menor resistividad y mayor inmunidad a la electromigración. La introducción de cobre y de capas dieléctricas de baja k resulta en una reducción de la capacitancia de interconexión en el rango cercano al 30 – 40% [21].

1.2 Conclusión.

Se examinó la teoría esencial que define a los elementos principales del presente trabajo así como el trabajo previo que derivó en el análisis del efecto propuesto. También se hizo un repaso a los diferentes tipos de dispositivos de compuerta flotante remarcando su importancia dentro de la industria digital actual.

Se analizó el comportamiento del FGMOS y la posibilidad de modificar su característica I-V con el influjo al voltaje de compuerta que tienen diversos dispositivos al ser conectados a la compuerta flotante.

Con base a las diferentes memorias que se han desarrollado a partir del FGMOS, se muestra que primordialmente esta estructura ha sido utilizada como memoria digital, en la cual su programación se basa exclusivamente en medios eléctricos. Estos métodos provocan el

1.2. Conclusión.

encendido o apagado de la memoria, dándole una propiedad No Volátil al dispositivo. Además, se destaca la exclusividad tecnológica que implica la fabricación de estas estructuras, es decir, éstas se logran a partir de incluir procesos particularmente especiales para que tengan un funcionamiento apropiado. Lo anterior es de destacar ya que el desarrollo planteado en la presente tesis implica un proceso tecnológico CMOS de fabricación llamado "estándar", que a pesar de ser más simple que los explicados, permite la fabricación de estructuras FGMOS con buen funcionamiento. Además, se trata de demostrar que existen otras formas de modular las características I-V del FGMOS, diferentes a las convencionales y que pueden darle propiedades volátiles o no volátiles de funcionamiento, que lo pueden llevar a aplicaciones diferentes a las de su empleo como memorias digitales.

Capítulo 2

Teoría de los dispositivos usados.

Introducción.

Como ya se mencionó el objetivo del presente trabajo es modificar el voltaje de compuerta flotante de formas antes no estudiadas. En este capítulo se verá a fondo el funcionamiento de los dos dispositivos involucrados en este proceso. Por un lado se estudiará al transistor de compuerta flotante haciendo revisión a las ecuaciones que describen el comportamiento del mismo, así como a los mecanismos por los cuales se puede modificar este voltaje. Además revisará el modelo del transistor FGMOS el cual permite simular, con ayuda de la herramienta de cómputo PSPICE, su comportamiento eléctrico.

Por otro lado se analizarán los dispositivos foto sensibles, en particular el fotodiodo. Se revisarán conceptos básicos sobre éste, principio de operación, características eléctricas y su modelo, así como algunas simulaciones del comportamiento eléctrico del mismo. Este capítulo concluirá con algunas consideraciones de diseño que permitirán el planteamiento de algunas estructuras de prueba.

2.1 Transistor de Compuerta Flotante FGMOS.

El transistor MOS de compuerta flotante (FGMOS) es un dispositivo que consiste en una compuerta completamente aislada entre el canal y la compuerta de control que tiene acceso eléctrico externo. Comúnmente, este dispositivo es usado como memoria no volátil en sistemas digitales, pero más allá de esto, ha sido usado también como memoria análoga a partir del

2.1. Transistor de Compuerta Flotante FGMOS.

cual varias aplicaciones nuevas han sido encontradas. La funcionalidad del FGMOS se puede ampliar aún más si se agrega más de una compuerta de control. Debe de mencionarse que cada compuerta de control es acoplada capacitivamente con la compuerta flotante, con dióxido de silicio como dieléctrico, formando un divisor de voltaje con elementos capacitivos, donde la compuerta flotante es un nodo de suma.

Existen capacitancias en el FGMOS, debidas a la superposición entre el canal del transistor MOS y la compuerta flotante (C_{OX}), drenador y la compuerta flotante (C_D), fuente y la compuerta flotante (C_S) y sustrato y la compuerta flotante (C_B). Éstas están definidas dependiendo del aspecto geométrico del transistor MOS y el área de cada compuerta de control y la compuerta flotante. La figura 2.1 muestra la sección transversal de un FGMOS y su circuito equivalente para n compuertas de control, junto con su símbolo.

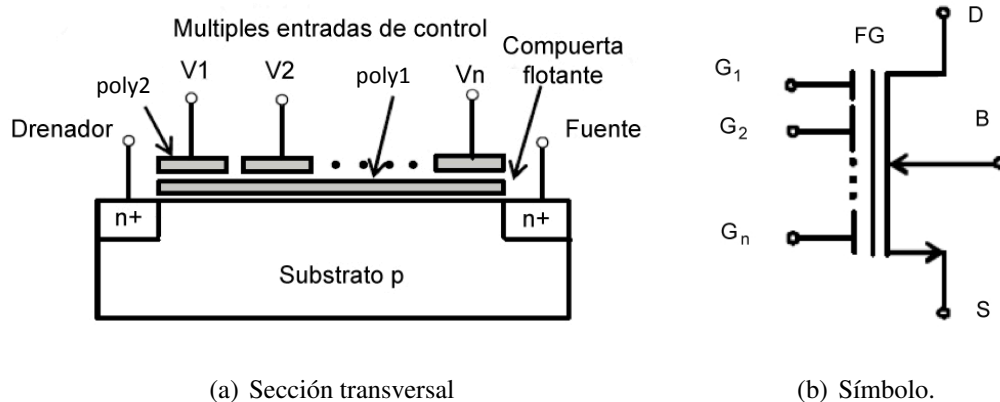


Figura 2.1 Transistor FGMOS con n compuertas de control.

Los dispositivos FGMOS son fabricados con tecnologías estándar que incluye dos capas de polisilicio. La capa nombrada *poly1* es usada como compuerta flotante mientras que *poly2* es usada como compuerta de control.

Considerando que la compuerta flotante es un nodo de suma de voltajes sin que se presente un flujo de corriente, la operación del FGMOS se presta para ensayar fenómenos que producen un voltaje a partir de un estímulo.

Una importante característica del nodo formado en la compuerta flotante es que una fracción del voltaje correspondiente aplicado en cada compuerta de control es sumado, por

2.1. Transistor de Compuerta Flotante FGMOS.

lo que esta suma actúa sobre el canal del transistor MOS. La razón de porqué solo una fracción de cada voltaje aplicado a cada compuerta de control es reflejado en la compuerta flotante es debido a la capacitancia de acoplamiento que forma un divisor de voltaje. Además, lo que sea que pase en la compuerta flotante, eléctricamente hablando, afectará el voltaje de umbral del transistor MOS referenciado a la compuerta de control. Por ejemplo, podría haber un voltaje presente en la compuerta flotante creada por inyección de electrones, suficientemente alta para crear un canal de conducción entre la fuente y el drenador, incluso con voltaje cero aplicado a la compuerta de control.

En consecuencia, el rol de la compuerta flotante en un FGMOS es el mismo que la Compuerta en un transistor MOS convencional. Además del voltaje presente en la compuerta flotante debido a la capacitancia de acoplamiento, puede haber una contribución extra de voltaje introducida por inyección de carga electrónica o por mecanismos de extracción como tunelamiento Fowler-Nordheim o electrones calientes. Por lo tanto, esta carga tiene influencia sobre el voltaje de umbral, incrementando o disminuyendo este parámetro cuando los electrones son inyectados o extraídos de la compuerta flotante respectivamente. Ya que la compuerta flotante está completamente aislada por SiO_2 , la carga es almacenada permanentemente hasta que mecanismos de inyección/extracción la reviertan, i.e., se trata de un dispositivo no volátil. Se aprovecha esta propiedad en aplicaciones digitales como RAMs y Flash EEPROMs [2], y en configuraciones analógicas como Redes Neuronales Artificiales [3] y Amplificadores Diferenciales [22], entre otros.

Es común que durante la fabricación de dispositivos FGMOS se introduzca carga indeseable y aleatoria a la compuerta flotante, permaneciendo ahí debido a que no hay caminos de conducción desde la capa de *poly1* a otras partes del chip.

Con base a ello, el voltaje en la compuerta flotante se puede expresar como una suma ponderada de los voltajes de entrada V_i , por medio de un divisor de voltaje capacitivo de la siguiente manera [5]:

$$V_{FG} = \sum_{i=1}^n \frac{C_i}{C_T} V_i + \frac{C_S}{C_T} V_S + \frac{C_D}{C_T} V_D + \frac{C_B}{C_T} V_B + \frac{Q_{FG}}{C_T} \quad (2.1)$$

2.1. Transistor de Compuerta Flotante FGMOS.

Donde n es el número de entradas, C_i y V_i son los voltajes y capacitancias de la i -ésima entrada en la compuerta de control y C_T es la suma de todas las capacitancias vistas por la misma. La ecuación 2.1 incluye los acoplamientos capacitivos parásitos (C_S), (C_D) y (C_B) entre la compuerta flotante y la fuente (V_S), drenador (V_D) y substrato (V_B), respectivamente. Además la capacitancia total se define como:

$$C_T = \sum_{i=1}^n C_i + C_S + C_D + C_B \quad (2.2)$$

Q_{FG} es la ya mencionada anteriormente “carga residual” atrapada durante el proceso de fabricación en la interfaz óxido-silicio. De las ecuaciones 2.1 y 2.2 se define al coeficiente de acoplamiento k_i como:

$$k_i = \frac{C_i}{C_T} \quad (2.3)$$

2.1.1 Mecanismos de polarización de la compuerta flotante.

Hay al menos dos implicaciones importantes en la ecuación 2.1: El voltaje de compuerta flotante está en función de la carga almacenada en ella, es decir, Q_{FG} , además del voltaje acoplado capacitivamente, debido a las compuertas de control.

Como el voltaje en la compuerta flotante está en función de la carga almacenada en ella, la curva característica $I - V$ del transistor puede ser desplazada a un punto deseable en particular si ésta es modificada. Sin embargo, para este caso, la carga residual es una desventaja, y la variable de entrada que modifica el comportamiento del FGMOS sólo será el voltaje en las compuertas de control. El resultado es un simple transistor con una gran variedad de posibles voltajes de umbral efectivos [23] [24].

De lo anterior, se puede deducir que el voltaje en la compuerta flotante (V_{FG}) puede depender de dos variables, que son Q_{FG} y k_i , es decir, que las características eléctricas pueden ser modificadas ya sea alterando la carga o teniendo un coeficiente de acoplamiento variable. De experimentos preliminares realizados, se logró establecer que con base a la variación de cualquiera de estos dos parámetros, es posible tener influencia sobre las características $I - V$ del MOS. Es posible modificar también esta propiedad de desplazar la característica $I - V$ del dispositivo a un punto deseable con alguno de los siguientes mecanismos:

2.1. Transistor de Compuerta Flotante FGMOS.

- Químico
- Mecánico
- Fotovoltaico
- Piezoeléctrico

Como se verá más adelante, se puede ver que se tienen dos diferencias importantes con respecto a los mecanismos regularmente empleados para la programación o inyección/extracción de carga en la compuerta flotante:

1. no existe inyección/extracción eléctrica de carga.
2. la estructura no presenta propiedades de memoria no-volátil, es decir, una vez que se deja de aplicar el estímulo, las condiciones eléctricas del dispositivo vuelven a su condición inicial.

La “inyección química” se ha demostrado en sensores de gas de semiconductores (SGS), lo cual fue tema de una tesis de maestría y dos de doctorado [16, 17, 25]. El mecanismo de variación del voltaje en compuerta flotante se analizó en estructuras de sensores inerciales y sensores de presión, motivo de dos tesis de maestría [16, 17]. Actualmente se continúa con estos desarrollos y se agrega, en esta tesis doctoral, el análisis del fenómeno provocados en el FGMOS mediante el mecanismos de generación de carga haciendo uso de foto sensores. En secciones siguientes, se reportan algunas propuestas y análisis sobre ensayos con celdas solares discretas, con el objetivo de sugerir estructuras de prueba que trasladen estos resultados hacia la tecnología CMOS estándar comúnmente empleada en la fabricación de circuitos integrados, como con la que se realizan los FGMOS.

2.1.2 Tipos de mecanismos.

Como se mencionó anteriormente, pueden existir diversos tipos de mecanismos mediante los cuales se puede modificar el voltaje en la compuerta flotante. A continuación se describen las posibilidades concebidas hasta este momento para poder alterar la carga en la compuerta

2.1. Transistor de Compuerta Flotante FGMOS.

flotante o inducir un voltaje en la misma.

Químico

Este principio se adaptó para proponer un prototipo de sensor de gas basado en un microcalefactor con el cual se calienta una película sensible a gases para producir una reacción química de la cual uno de sus productos es carga libre. Si esta película es parte de la compuerta flotante, se tendrá una “inyección química” que alterará al voltaje de umbral en función de la concentración del gas reactante.

Además, esta variante en el prototipo, no requiere de una terminal de referencia, como la que requieren algunos otros sensores como el sensor de pH y además con una compuerta de control se puede establecer el punto de operación del dispositivo, para “sintonizarlo” y así lograr una mejor resolución. El funcionamiento del sensor de gas desarrollado está clasificado como voltamétrico, es decir, que no requiere del flujo de una corriente, como el amperométrico.

Esto da lugar al desarrollo de sensores químicos como el *Ion Sensitive FET (ISFET)*, sensores de gas y biosensores, etc. Una gran ventaja, desde el punto de vista tecnológico, es que estos dispositivos pueden ser fabricados basados en tecnologías CMOS estándar, aunque en general, son necesarios algunos post procesos para completar la estructura de los dispositivos, como el depósito de la película o el típico micromaquinado necesario para MEMS; esto también se refleja en reducción de costos de fabricación.

Entonces, el transistor FGMOS puede ser utilizado como transductor aprovechando la carga derivada de la reacción química entre el gas a detectar, pudiendo ser éste oxidante o reductor, y la película sensora.

La reacción química producida entre la interfaz gas-película sensora genera una reacción redox liberando electrones, tal como se muestra a continuación.



2.1. Transistor de Compuerta Flotante FGMOS.

La reacción 2.4 describe la adsorción de oxígeno del aire en una película sensora. En las reacciones 2.5 y 2.6 se muestran los mecanismos de reacción equivalentes para dos gases reductores al exponerse al oxígeno, observándose para cada una de ellas el balance, además de los electrones liberados tras ésta. La carga liberada tras la reacción genera un potencial electroquímico (E) cuya proporción es dependiente de la concentración de gas, este potencial está dado por la ecuación de Nernst. Por lo tanto, este potencial puede ser agregado o sustraído de la compuerta flotante. De esta manera y en función de la concentración del gas medido, es posible correlacionar esta magnitud con la corriente de salida de un FGMOS.

Mecánico

El principio se basa en variaciones mecánicas producidas por la fuerza inercial generada por los cambios de aceleración. El sistema utiliza el transistor FGMOS para implementar la transducción capacitiva, haciendo uso de los capacitores en las múltiples compuertas de control. El capacitor de una compuerta de control del transistor se forma con una serie de dedos anclados a la masa móvil constituyendo uno de los electrodos del capacitor, el otro electrodo está conformado por una serie de dedos anclados al sustrato. La capacitancia variable se crea con las caras laterales de los dedos al acercarse o alejarse debido al movimiento inercial de la masa. En la figura 2.2 se muestra el circuito equivalente donde se muestran las capacitancias parásitas del transistor así como las de entrada en las compuertas de control, incluida también la capacitancia variable del sistema.

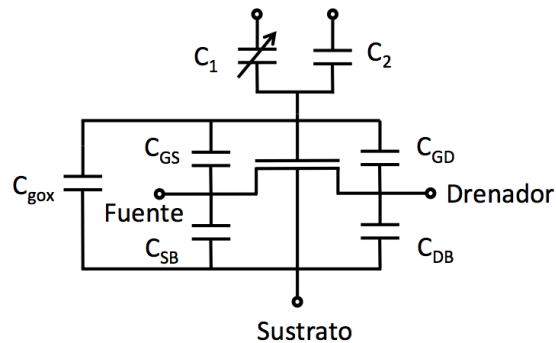


Figura 2.2 Circuito equivalente para las capacitancias del transductor capacitivo.

2.1. Transistor de Compuerta Flotante FGMOS.

Para medir el desplazamiento, una placa del capacitor se mantiene fija mientras la otra es conectada al objeto móvil. Cuando el objeto se mueva, la placa del capacitor también se moverá, esto resulta en un cambio de distancia entre las dos placas y en consecuencia un cambio en el valor del capacitor. Este cambio de capacitancia se ve reflejada en el voltaje de compuerta flotante, el cual propicia una variación de corriente a la salida del FGMOS proporcional a la aceleración.

Con base a la ecuación 2.1, se puede ver que si el primer término que involucra al coeficiente de acoplamiento (ecuación 2.3) es variable, entonces en consecuencia el voltaje en la compuerta flotante será función de la distancia entre los electrodos de la capacitancia variable que se ilustra en la figura 2.2. Esto es con base a la ecuación 2.7 que expresa el valor de una capacitancia de placas paralelas y que es función de la distancia entre las placas.

$$C = \frac{\epsilon\epsilon_0}{d}A \quad (2.7)$$

Donde ϵ es la permitividad del dieléctrico (aire en este caso), ϵ_0 es la permitividad del vacío, d es la distancia entre los electrodos del capacitor y A es el área de los electrodos del capacitor.

Fotónico

Este tipo de principio de inducción de voltaje puede producirse si un fotodiodo es conectado a la compuerta flotante de un FGMOS. En este caso, la excitación proviene de la luz, generando en consecuencia un voltaje de circuito abierto que puede ser agregado a la compuerta flotante realizando el mismo rol que el explicado anteriormente. Para esta modalidad, una vez removida la iluminación, la característica I-V del FGMOS regresará al equilibrio, es decir, no almacena carga.

Los fotodiodos operan por absorción de fotones o partículas cargadas y generan un flujo de corriente en un circuito externo, proporcional a la potencia incidente. Éstos pueden ser usados para detectar la presencia o ausencia de pequeñas cantidades de luz.

Es posible inducir un voltaje en la compuerta generado por cambios de iluminación ya que se genera un “voltaje de circuito abierto” o V_{oc} para cada nivel de intensidad lumínica como se muestra en la figura 2.3, estos cambios de iluminación se verán reflejados en el voltaje de compuerta flotante, el cual producirá una variación de corriente a la salida del FGMOS

2.1. Transistor de Compuerta Flotante FGMOS.

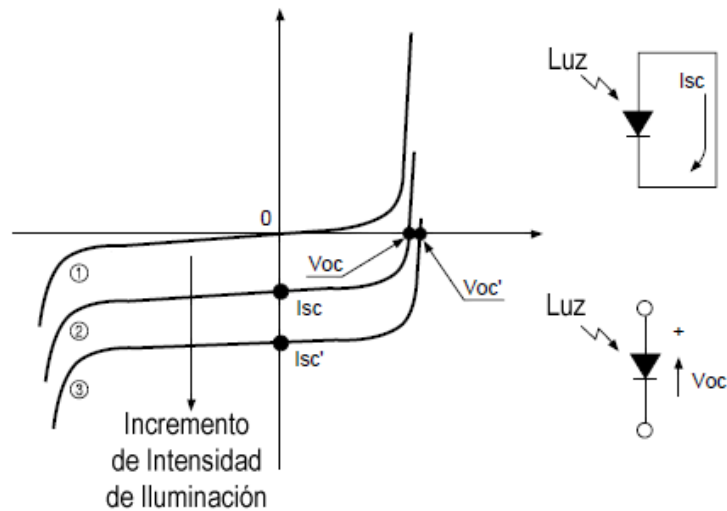


Figura 2.3 Característica I-V de un fotodiodo con diferentes intensidades de iluminación.

proporcional a los cambios de iluminación.

Piezoeléctrico

Este método de variación de voltaje en la compuerta flotante del FGMOS consiste en una película piezoeléctrica depositada en el área activa de la compuerta del FGMOS. Cuando un material piezoeléctrico es conectado directamente a la compuerta flotante, y si una fuerza mecánica es aplicada, se generará un potencial eléctrico, cambiando así la característica I-V del FGMOS.

El efecto piezoeléctrico es la habilidad de ciertos materiales para generar una carga en respuesta a un estrés mecánico. Una característica única del efecto piezoeléctrico es que es reversible, esto quiere decir que materiales que exhiben directamente el efecto piezoeléctrico también exhiben el efecto piezoeléctrico inverso (generación de deformación cuando un campo eléctrico es aplicado). Cuando un material piezoeléctrico es puesto bajo estrés mecánico, un corrimiento de los centros de carga positivos y negativos toma lugar en el material, lo que resulta en un campo eléctrico externo.

2.1. Transistor de Compuerta Flotante FGMOS.

Hay muchos materiales naturales y creados por el hombre que exhiben un rango de efectos piezoeléctricos. Algunos materiales de origen natural piezoeléctricos incluyen a la Berlinita (estructuralmente idéntica al cuarzo), el azúcar de caña, el cuarzo, topacio, tourmalina, y hueso (el hueso seco presenta algunas propiedades piezoeléctricas debido a los cristales de apatita). Un ejemplo de materiales piezoeléctricos hechos por el hombre incluye titanato de bario y titanato zirconato de plomo, así como algunos polímeros tales como el fluoruro de polivinilideno (PVDF).

Este último es muy conocido por su excelente propiedad piezoeléctrica la cual está basada en el monómero de fluoruro de vinilideno [$-CH_2 - CF_2-$]. El PVDF es un tipo de polímero semicristalino en el que predominan tres fases cristalinas (α , β y γ), las dos primeras en mayor grado. La fase β es la responsable de la piezoelectricidad en el PVDF debido a la orientación en los átomos en su estructura molecular, por lo que es importante crecer esta fase en el polímero. Algunos factores que influyen en el desarrollo de la fase β son: el momento dipolar del solvente, la temperatura de la solución y la temperatura de secado.

2.1.3 Modelo del FGMOS

Durante los últimos 40 años muchos modelos de dispositivos elementales han sido desarrollados, algunos con énfasis en la física, otros en el comportamiento, todos tomando en cuenta que el modelo tiene que ser implementado en un programa de computadora que pronostique el comportamiento de un circuito completo. El modelo compacto de los dispositivos de compuerta flotante buscan el mismo objetivo. En una primera aproximación pueden considerarse las operaciones de lectura y escritura de una sola celda. Sin embargo, el modelo compacto permite simular los efectos de la celda que no están directamente involucrados en la operación del dispositivo así como los efectos de los elementos parásitos.

El punto de partida del modelo de dispositivos de compuerta flotante es el modelo del transistor MOS (Metal Óxido Semiconductor) [26]. Muchos de estos modelos del transistor MOS desarrollados se encuentran disponibles (Philips MM11 [28], BSIM [29], EKV [30], SP [31], HiSIM [32]), en la presente tesis se trabajó con el modelo BSIM pudiendo ser modificado a la necesidad del usuario. Además, una de las principales ventajas de esta aproximación es el

2.1. Transistor de Compuerta Flotante FGMOS.

uso de un modelo MOS perfeccionado que empata casi a la perfección con el funcionamiento real del dispositivo. La idea es modelar el dispositivo de compuerta flotante como un circuito con un transistor MOS y un capacitor entre la compuerta de control y el nodo de compuerta flotante, el cual es la compuerta del transistor MOS [26]. De hecho la capacitancia no se incluye en el modelo implementado pero el valor de capacitancia sí, junto con la carga inyectada en la compuerta flotante para calcular el potencial del nodo F_G , que es aplicada a través de un voltaje de una fuente de voltaje controlada por voltaje. No existe solución al cálculo del potencial del nodo de la compuerta flotante en simulación de circuitos en DC [27].

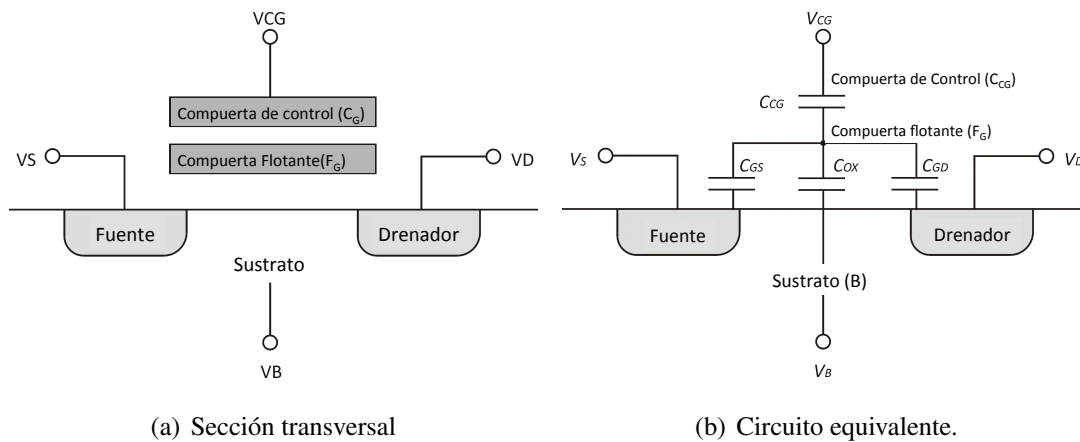


Figura 2.4 Estructura del FGMOS a) Sección transversal del FGMOS; b) Circuito equivalente capacitivo con una compuerta de control.

En la figura 2.4 se muestra en el inciso a) la sección transversal de un transistor de compuerta flotante en donde se puede apreciar el transistor MOS base, en el inciso b) se presenta el circuito equivalente capacitivo con una compuerta de control.

Uno de los objetivos fundamentales en el uso de un modelo de FGMOS es poder simular el potencial eléctrico en la compuerta flotante, para esto, no es suficiente definirlo por medio de listado de nodos o diagrama esquemático de componentes estándar como resistencias, capacitores y transistores MOS ya que los simuladores no logran converger, ya que la terminal de compuerta flotante es un nodo flotante para el simulador.

2.2. Dispositivos fotosensibles.

Mediante el uso de macro modelos es posible realizar la simulación eléctrica del dispositivo haciendo uso de fuentes de voltaje independientes y fuentes de voltaje dependientes de voltaje. Este modelo detallado se puede consultar en el Apéndice A.

2.2 Dispositivos fotosensibles.

Los dispositivos opto electrónicos incluyen aquellos que convierten la radiación óptica en energía eléctrica o viceversa, y aquellos que detectan señales ópticas a través de procesos electrónicos. En esta sección se revisarán aquellos considerados como fotovoltaicos, que son aquellos que convierten la radiación óptica en energía eléctrica. El dispositivo más importante dentro de esta categoría es la celda solar por su importancia dentro de la industria de las fuentes de energías renovables.

2.2.1 Fotosensores en tecnología CMOS.

Existen 3 clases de foto detectores: foto conductores, que son principalmente utilizados para detección infrarroja; fotodiodos de capa de agotamiento, los cuales son útiles para detección coherente e incoherente de alta velocidad, y fotodiodos de avalancha, que son detectores de presencia o ausencia de pequeñas cantidades de luz [33].

Además estos dispositivos pueden ser usados en el desarrollo de sensores más complejos tales como el sensor de pixeles activos o “ Active Pixel Sensor” (APS, por sus siglas en inglés) [34] [35]. El APS es un sensor foto sensible basado en tecnología CMOS y es usado comúnmente en cámaras de celular, cámaras web, y en la mayoría de las cámaras DSLR's (del inglés Digital Single Lens Reflex). El APS se basa en el efecto fotoeléctrico y se forma por numerosos fotodiodos, uno para cada pixel, los cuales producen una corriente que varía en función de la intensidad lumínica incidente. En este sensor se incorpora un amplificador de la señal eléctrica en cada fotodiodo, además de un conversor digital en el mismo chip.

Se ha reportado que los APS tienen elevado ruido de patrón fijo (FPN, por sus siglas en inglés, ruido que no varía con el tiempo y que se presenta como un fondo fijo en imágenes). Este ruido se cree es debido a que los APS convencionales tienen un amplificador por separado

2.2. Dispositivos fotosensibles.

en cada pixel y estos amplificadores normalmente no serán uniformes por todo el chip, esta desigualdad residual será la que genere el ruido.

2.2.2 Conceptos básicos del Fotodiodo.

Como ya se vio en la sección anterior, los dispositivos CMOS ópticos como los fotodiodos son dispositivos de suma importancia como celda base para el desarrollo de sensores.

Los fotodiodos de silicio son dispositivos semiconductores sensibles a partículas y fotones de alta energía. Éstos operan absorbiendo fotones o partículas cargadas y generando a su vez un flujo de corriente en un circuito externo, proporcionales a la potencia incidente. Pueden ser calibrados para mediciones extremadamente precisas con sensibilidades debajo de 1 pW/cm^2 hasta mayores de 100 mW/cm^2 . Los fotodiodos son utilizados en una amplia variedad de aplicaciones como espectroscopía, fotografía, instrumentación analítica, sensores de posición óptica, alineación de haz, caracterización de superficies, localizadores láser, comunicaciones ópticas e instrumentos de imagen médico. Los fotodiodos son simples diodos de union P-N. Una unión P-N se forma ya sea difundiendo impurezas tipo P (ánodo), como boro, en una oblea de silicio tipo N, o impurezas tipo N, como fósforo, en una oblea de silicio tipo P. El área difundida define el área activa del fotodiodo.

2.2.2.1 Principio de Operación.

El silicio es un semiconductor con un ancho de banda de 1.12 eV a temperatura ambiente. Éste es el ancho entre la banda de valencia y la de conducción. A una temperatura de cero absoluto la banda de valencia se encuentra completamente llena y la banda de conducción vacía. Conforme la temperatura se incrementa, los electrones comienzan a excitarse y escalan de la banda de valencia a la de conducción por energía térmica. Los electrones también pueden escalar a la banda de conducción por partículas o fotones con energía mayor a 1.12 eV , lo que corresponde a longitudes de onda menores a 1100 nm . Los electrones resultantes en la banda de conducción son libres de conducir corriente.

Debido al gradiente de concentración, la difusión de electrones de la región tipo N a la región tipo P y la difusión de huecos de la región tipo P a la región tipo N, genera un voltaje

2.2. Dispositivos fotosensibles.

interconstruido a través de la unión. la interdifusión de electrones y huecos entre las regiones N y P a través de la unión resulta en una región libre de portadores. Ésta es la llamada región de deserción. El voltaje interconstruido a través de la región de deserción resulta en un campo eléctrico con un máximo en la unión y un mínimo (sin campo) fuera de la región de deserción. Cualquier voltaje inverso aplicado se agrega al voltaje interconstruido resultando en una región de deserción más ancha. Los pares electrón-hueco generados por la luz son barridos por arrastre en la región de deserción y son colectados por difusión por la región no agotada. La corriente generada es proporcional a la luz incidente. La luz es absorbida exponencialmente con la distancia y es proporcional al coeficiente de absorción. El coeficiente de absorción es muy alto para longitudes de onda pequeñas en la región UV y pequeña para longitudes de onda más largas. Por lo tanto, fotones de longitud de onda pequeña como UV, son absorbidos en una capa delgada sobre la superficie mientras que el silicio se hace transparente para longitudes de onda superiores a 1200 nm . Además, fotones con energías más pequeñas que el ancho de banda no son absorbidos en absoluto.

2.2.2.2 Característica I-V

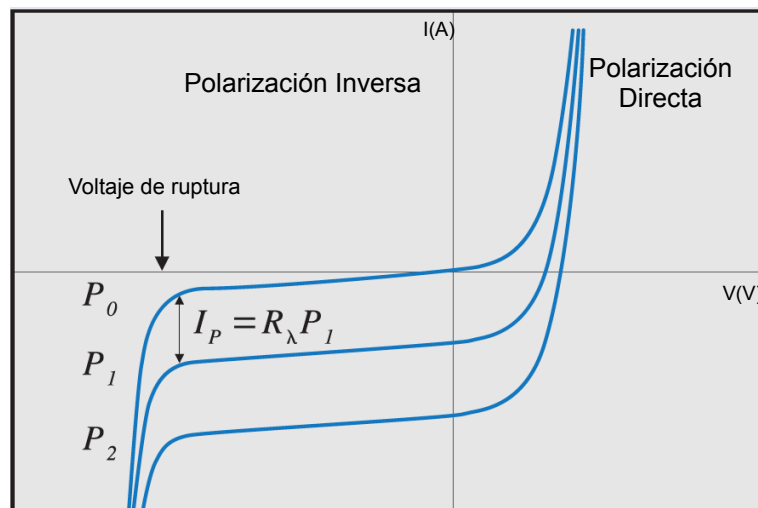


Figura 2.5 Curvas características de un fotodiodo para los modos de operación Fotoconductorivo y Fotovoltaico. $P_0 - P_2$ representan diferentes intensidades de iluminación.

2.2. Dispositivos fotosensibles.

La característica corriente-voltaje de un fotodiodo sin luz incidente es similar a la de un diodo rectificador. Cuando el fotodiodo se polariza directamente, existe un incremento exponencial en la corriente. Cuando se polariza inversamente, se tiene una pequeña corriente inversa de saturación. Ésta se relaciona a la corriente de oscuridad como sigue:

$$I_D = I_{SAT}(e^{\frac{qV_A}{k_B T}} - 1) \quad (2.8)$$

Donde I_D es la corriente de oscuridad, I_{SAT} es la corriente de saturación inversa, q es la carga del electrón, V_A es el voltaje de polarización aplicado, k_B la constante de Boltzman y T es la temperatura absoluta.

De la relación mostrada en la figura 2.5 se pueden definir varios estados:

1. $V = 0$, en este estado la corriente de oscuridad es $I_P = 0$.
2. $V = +V$, en este estado la corriente crece exponencialmente. Este estado también es conocido como modo de polarización directa.
3. $V = -V$, Cuando un voltaje muy grande de polarización inversa es aplicado al fotodiodo, la corriente de oscuridad se convierte en corriente de saturación, I_{SAT} .

Iluminando al fotodiodo con radiación óptica, la curva $I - V$ presenta un corrimiento por la cantidad de fotocorriente. Así:

$$I_{TOTAL} = I_{SAT}(e^{\frac{qV_A}{k_B T}} - 1) - I_P \quad (2.9)$$

Donde I_P es definida como la fotocorriente.

Como el voltaje inverso aplicado incrementa, hay un incremento abrupto en la corriente del fotodiodo. En este punto el voltaje inverso aplicado es referido como voltaje de ruptura. Es el máximo voltaje en polarización inversa, debajo del cual el fotodiodo operará. El voltaje de ruptura varía de un fotodiodo a otro y es medido usualmente para áreas activas pequeñas a corriente de oscuridad de $10 \mu A$

2.2.2.3 Polarización.

La señal de un fotodiodo puede ser medida como un voltaje o una corriente. La medición de corriente presenta una mejor linealidad, offset, y desempeño en ancho de banda. La fotocorriente generada es proporcional a la potencia de la luz incidente y debe ser convertida a voltaje usando una configuración de transimpedancia. El fotodiodo puede ser operado con o sin un voltaje inverso aplicado dependiendo de los requerimientos de una aplicación específica. Estos modos de operación son definidos como “Fotoconductor” (Polarizado) y “Fotovoltaico” (No polarizado) [36].

- **Modo Fotoconductor:** La aplicación de un voltaje inverso (cátodo positivo, ánodo negativo) puede mejorar la velocidad de respuesta y linealidad de los dispositivos. Esto es debido al incremento en la región de deserción y en consecuencia un decremento en la capacitancia de unión. Aplicando una polarización inversa, sin embargo, incrementará las corrientes de oscuridad y ruido.
- **Modo Fotovoltaico:** La operación en modo fotovoltaico (No polarizado) se prefiere cuando el fotodiodo es usado en aplicaciones de baja frecuencia (hasta $350kHz$) así como en aplicaciones de muy bajos niveles de iluminación. Además de que su configuración es más simple, las fotocorrientes en este modo tienen menos variación en respuesta con la temperatura.

2.2.3 Modelo del fotodiodo.

Para tener un análisis más completo y detallado, se elaboraron algunas simulaciones de las características de fotorespuesta de un fotodiodo CMOS, haciendo uso del modelo en PSPICE reportado en [37], donde se presenta una aproximación de corriente validada para estructuras de fotodiodos típicamente encontradas en procesos estándar de fabricación CMOS.

Un fotodiodo puede ser representado por una fuente de corriente en paralelo con un diodo ideal como se muestra en la figura 2.6

2.2. Dispositivos fotosensibles.

La fuente de corriente representa la corriente generada por la radiación incidente, el diodo representa la unión $P - N$. Adicionalmente, se conectan una capacitancia de unión (C_j) y una resistencia en serie (R_{SH}) con todos los componentes en este modelo.

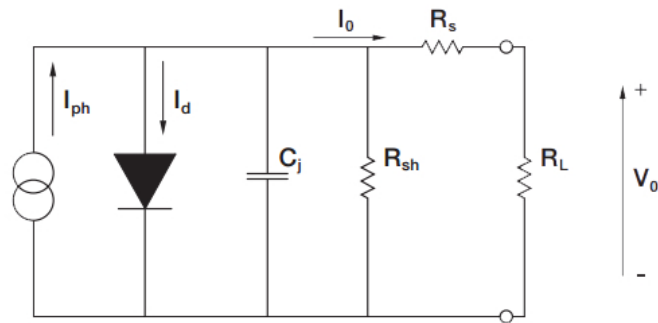


Figura 2.6 Circuitos equivalente para un fotodiodo de silicio.

Específicamente el modelo puede predecir la fotorespuesta ideal para fotodiodos de unión difundida a sustrato ($n^+ - p_{sub}$), unión difundida a pozo ($p^+ - n_{pozo}$) y pozo a sustrato ($n_{pozo} - p_{sub}$) los cuales se analizarán en una sección más adelante.

Este modelo está basado en una solución estándar de las ecuaciones de arrastre-difusión asumiendo condiciones ideales de inyección de bajo nivel. El modelo predice la corriente estática de fotodiodos integrados con tecnología CMOS en proceso estándar.

Como ya se mencionó, el modelo tiene la capacidad de simular los tres fotodiodos que se pueden inferir con la tecnología CMOS estándar. Los modelos $n^+ - p_{sub}$ y $n_{pozo} - p_{sub}$ son desarrollados analizando la respuesta de estado estable (en una dimensión) del diodo de unión $n - p_{sub}$ induciendo exceso de carga ópticamente. Se tomarán variaciones en los parámetros del modelo para las diferencias en la profundidad de unión y concentración de dopado entre los dos tipos de fotodiodo. El modelo del fotodiodo $p^+ - n_{pozo}$ se deriva usando una aproximación similar. En cualquier caso el análisis es basado en una solución ideal a las ecuaciones de arrastre-difusión. Se asume:

- El campo eléctrico es cero fuera de las regiones de deserción.
- La concentración excesiva de portadores minoritarios en todos los límites de la región de deserción es cero.

2.2. Dispositivos fotosensibles.

- La teoría SRH (Shockley-Read-Hall) es usada para modelar la generación y recombinación térmica.
- Se asumen movilidades constantes para electrones y huecos.
- La fuente óptica es monocromática
- Existen condiciones de bajo nivel de inyección.

Las ecuaciones resultantes con estas condiciones se introducen en el programa de simulación PSPICE usando el módulo de Modelado Análogo Comportamental (Analog Behavioral Modeling o AMB, por sus siglas en inglés). Permite el modelado de dispositivos complejos y circuitos a través del uso de funciones predefinidas o definidas por el usuario en el dominio del tiempo o frecuencia. Los parámetros del subcircuito de este modelo se pueden consultar en el Apéndice B.

2.2.4 Simulaciones del fotodiodo en tecnología CMOS.

Dos parámetros sobresalen cuando se habla de simulación de fotodiodos: La curva de respuesta I-V y la fotocorriente.

Inicialmente se trabajó la simulación de la respuesta del fotodiodo $n_{\text{pozo}} - p_{\text{sub}}$ para simular la curva del fotodiodo con diferentes fotocorrientes generadas por iluminación. En la figura 2.7 se observan las diferentes curvas obtenidas para las diferentes intensidades, donde I_{ph} es la fotocorriente generada por la iluminación.

Se puede observar además en la figura 2.7 el incremento en el V_{oc} del fotodiodo para cada nivel de iluminación. Este parámetro es de suma importancia ya que al no haber flujo de corriente a través de la compuerta del FGMOS solo se tendrá en el nodo FG, una fracción del voltaje V_{OC} generado. Esto se demostrará más adelante en simulación y en resultados experimentales.

Subsecuentemente se buscó simular la “fotorrespuesta” del dispositivo, este parámetro nos permite conocer bajo cuáles condiciones de iluminación, o longitudes de onda, se obtiene el mayor nivel de fotocorriente. En la figura 2.8 se observa la fotorrespuesta del fotodiodo

2.2. Dispositivos fotosensibles.

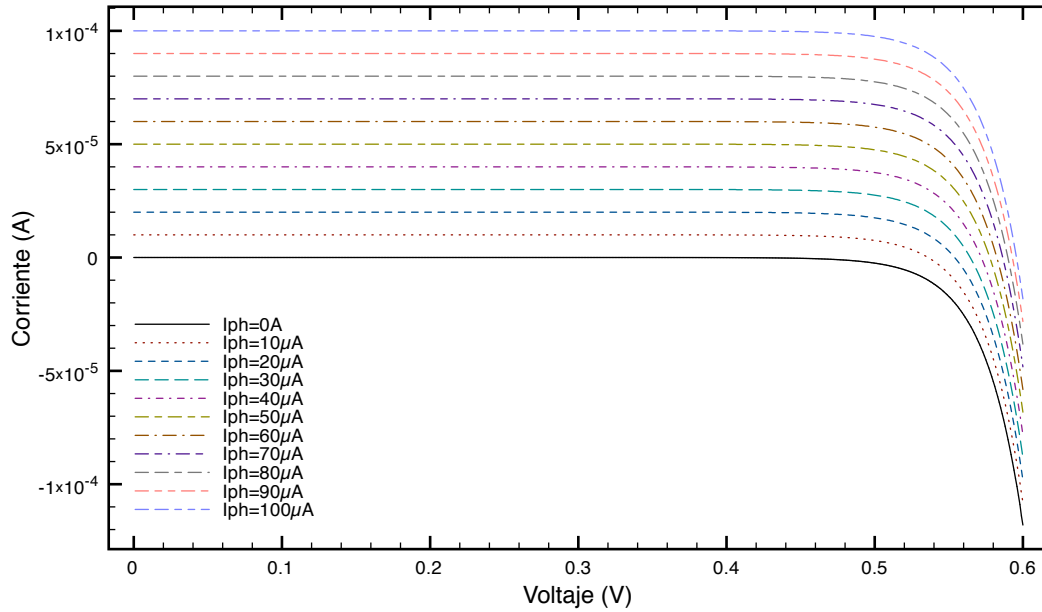


Figura 2.7 Simulación en PSPICE de la curva del Fotodiodo $n_{pozo} - p_{sub}$ con diferentes fotocorrientes generadas.

$n_{pozo} - p_{sub}$ el cual presenta mejor respuesta para longitudes de onda pequeñas, encontrando la máxima eficiencia en $0.65\mu m$.

2.2.5 Diseño de estructuras fotosensibles.

Diferentes referencias reportan el diseño y caracterización de celdas fotosensibles. Se realizó la revisión de algunas de ellas para encontrar la celda adecuada para el diseño de las estructuras de prueba inferidas.

En [38] se presentan diferentes diseños en tecnología CMOS de $0.35\mu m$ como se muestra en la figura 2.9. Se reporta que la estructura C tiene una mejor eficiencia de conversión, alcanzando hasta 17% de eficiencia.

En el inciso a) de la figura 2.9 se observan diversos diseños topológicos de fotodiodos con distintos patrones y dimensiones. Además, en el inciso b) se observa la sección transversal de una de estas estructuras con su circuito equivalente. El diodo superior (entre p_{diff} y n_{pozo}) es el diodo cosechador deseado, mientras que el más profundo es un diodo parásito cuya unión está compuesta por n_{pozo} y el substrato.

2.2. Dispositivos fotosensibles.

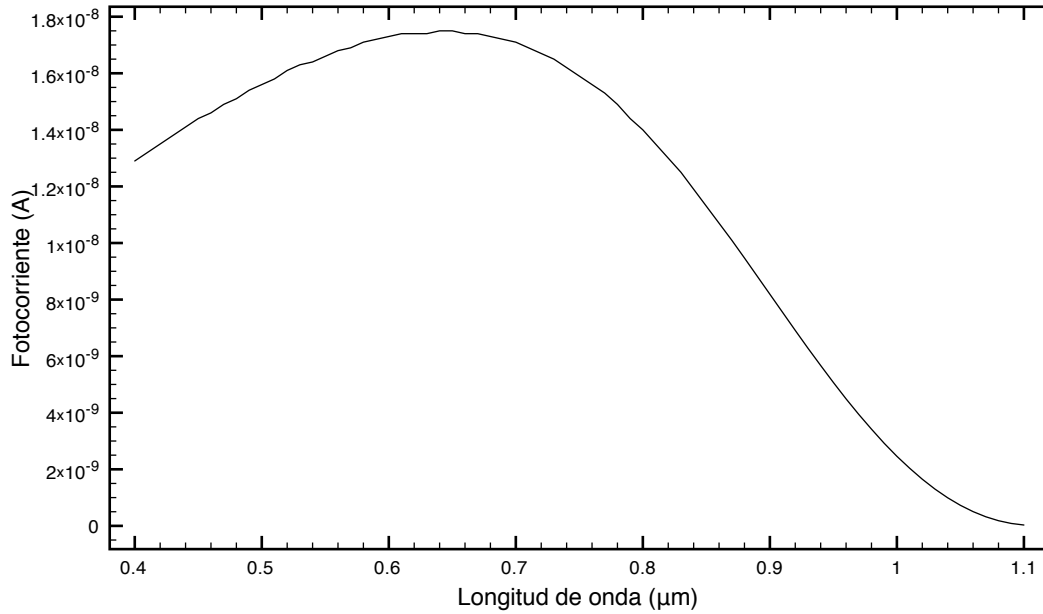
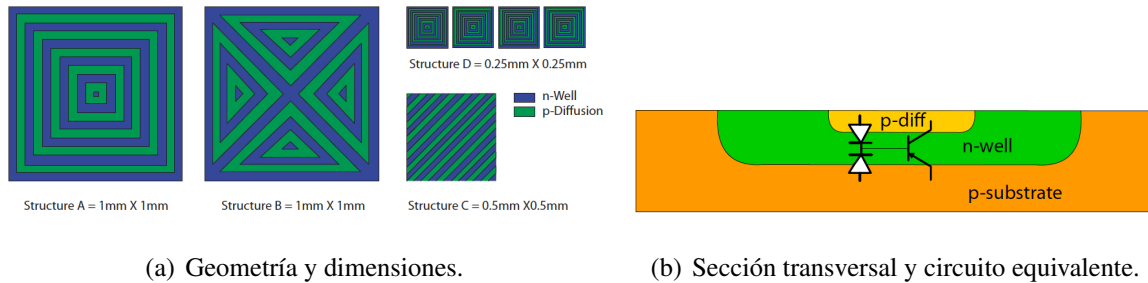


Figura 2.8 Simulación en PSPICE de fotorrespuesta del Fotodiodo $n_{pozo} - p_{sub}$.



(a) Geometría y dimensiones.

(b) Sección transversal y circuito equivalente.

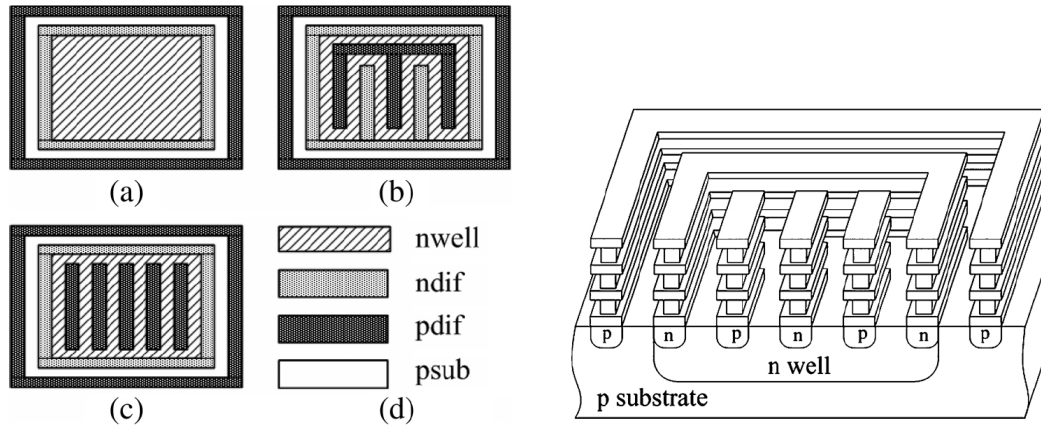
Figura 2.9 Estructuras reportadas en [38].

En [39] se exploran arreglos de fotodiodos integrados con capacitores de almacenamiento. Asimismo, se realiza un extenso estudio sobre el camino óptico de la luz hasta la superficie del fotodiodo ya que las placas capacitivas presentan un obstáculo para ésta.

En el inciso a) de la imagen 2.10 se observan las vistas superiores de los diseños topológicos de tres fotodiodos con distintas configuraciones. Además, en el inciso b) se muestra el corte transversal del segundo fotodiodo donde se pueden observar las correspondientes placas capacitivas y su respectiva conexión en las difusiones p y n .

Como ya se había mencionado en la sección anterior, en la literatura se encuentran 3 posibles estructuras de fotodiodo fabricadas en tecnología CMOS las cuales son: fotodiodos

2.2. Dispositivos fotosensibles.



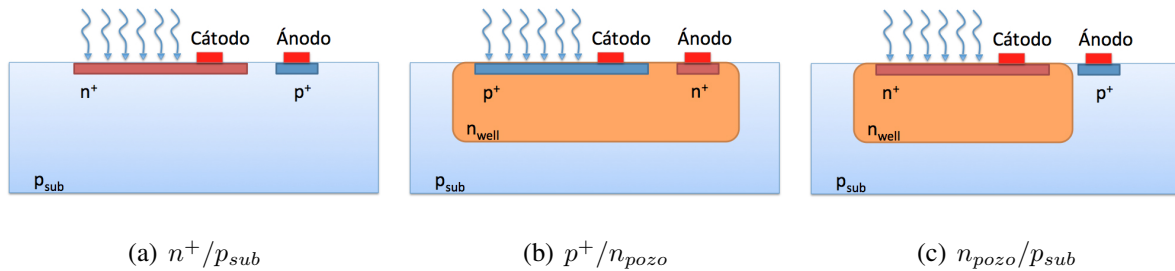
(a) Diseño topológico vista superior.

(b) Sección transversal del fotodiodo b).

Figura 2.10 Estructuras reportadas en [39].

de unión difundida a sustrato (n^+/p_{sub}), unión difundida a pozo (p^+/n_{pozo}) y pozo a sustrato (n_{pozo}/p_{sub}).

En la figura 2.11 se muestra un ejemplo de cada fotodiodo.



(a) n^+/p_{sub}

(b) p^+/n_{pozo}

(c) n_{pozo}/p_{sub}

Figura 2.11 Sección transversal de tres tipos de fotodiodos compatibles con tecnología CMOS estándar.

En el artículo [40] se reporta que el fotodiodo n^+/p_{sub} es el más sencillo y presenta la menor área de superficie y la segunda capacitancia de unión más pequeña. Padece de baja eficiencia de recolección debido a la región n altamente dopada y se espera baja capacidad de respuesta y sensibilidad comparados con las otras dos estructuras. El fotodiodo n_{pozo}/p_{sub} se beneficia de la baja concentración de dopado del pozo n , así que alcanza alta eficiencia de recolección. Sin embargo, para la misma área de la región de difusión n^+ , cuando es diseñado según al mínimo espaciamiento del pozo n a la región n^+ , este tipo de fotodiodo ocupa mayor

2.2. Dispositivos fotosensibles.

área que el de tipo n^+/p_{sub} . El mayor espaciado requerido del pozo extra y la implantación hace que el área sea aún mayor para el tipo de fotodiodo p^+/n_{pozo} y por otra parte, las dos capacitancias de unión, p^+ a pozo n y pozo n a p_{sub} , se suman en paralelo causando que la capacitancia total de unión de este tipo de fotodiodo sea mucho mayor que los otros tipos. Sin embargo, esto hace la región efectiva de agotamiento también mayor y por lo tanto mejora la eficiencia de recolección.

Basados en la literatura revisada sobre la tecnología CMOS de 0.5 de On Semiconductor, en el que es posible integrar fotodiodos así como transistores FGMOS, se decidió integrar la estructura p^+/n_{pozo} en conjunto con un FGMOS-P ya que cada dispositivo se encuentra fabricado en un pozo-N, aislando de esta manera el efecto que pudiera tener uno sobre el otro.

Por lo tanto, se diseñó un fotodiodo p^+/n_{pozo} como se muestra en la figura 2.12 con un área de ánodo de $12\mu m \times 12\mu m$ y $21.6\mu m \times 21.6\mu m$ de cátodo. El contacto en el nodo de ánodo se minimizó para de esta manera tener mayor área activa y permitir que la luz llegue a través de la unión p-n.

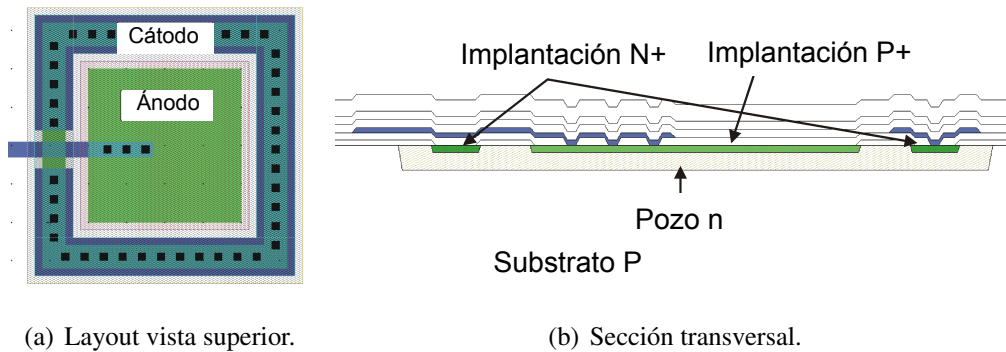


Figura 2.12 Estructura del Fotodiodo.

En el layout de la estructura del fotodiodo mostrada en la figura 2.12 puede observarse las terminales ánodo y cátodo, una de éstas será conectada a una de las placas del capacitor de acoplamiento formada con *poly1*, dando origen a dos tipos de configuración, directa e inversa respectivamente. Esta estructura se empleará además en configuraciones de arreglos serie que servirán para analizar el incremento del V_{OC} . También se propondrán configuraciones en paralelo para analizar el comportamiento de las estructuras, que como ya se mencionó, al no

2.3. Conclusión.

haber flujo de corriente a través de la compuerta flotante, es de sumo interés esta configuración para analizar el efecto en la variación de la capacitancia parásita en la respuesta $I - V$ del FGMOS.

2.3 Conclusión.

En este capítulo se hizo una revisión detallada sobre los aspectos teóricos que permitirán el desarrollo del presente trabajo. Con lo revisado hasta ahora podemos inferir una serie de simulaciones y experimentos que nos permitan constatar que el fenómeno propuesto puede presentarse, esto nos proporcionará herramientas para diseñar un grupo de estructuras de pruebas que serán fabricadas en un chip integrado para después ser caracterizadas óptica y eléctricamente.

Capítulo 3

Evaluación preliminar del principio propuesto.

Introducción.

Para constatar que el fenómeno propuesto y explicado precedentemente se puede manifestar, se diseñaron una serie de experimentos consistentes en mediciones experimentales realizadas a circuitos elaborados con elementos discretos, así como simulaciones en PSPICE haciendo uso de modelos eléctricos. Además en este capítulo se comentarán las consideraciones tomadas para el diseño de las estructuras de prueba integradas en el chip prototipo fabricado.

3.1 Simulación con dispositivos discretos

Con la literatura revisada se propuso una serie de simulaciones con elementos discretos que pudieran constatar el efecto propuesto en este trabajo.

Haciendo uso del modelo de un transistor MOS convencional de dimensiones: $L = 1.2\mu m$, $W = 12\mu m$, más el modelo adaptado para el fotodiodo de las simulaciones en la sección anterior, el cual tiene un área activa $A = 81\mu m^2$, se realizaron pruebas del circuito en configuración amplificador con resistencia de carga $R = 100K$, mostrado en la figura 3.1, para verificar que puede haber un corrimiento en la curva de transferencia a la salida del amplificador producido por cambios de voltaje inducidos a la compuerta del transistor generados por la celda foto detectora.

3.1. Simulación con dispositivos discretos

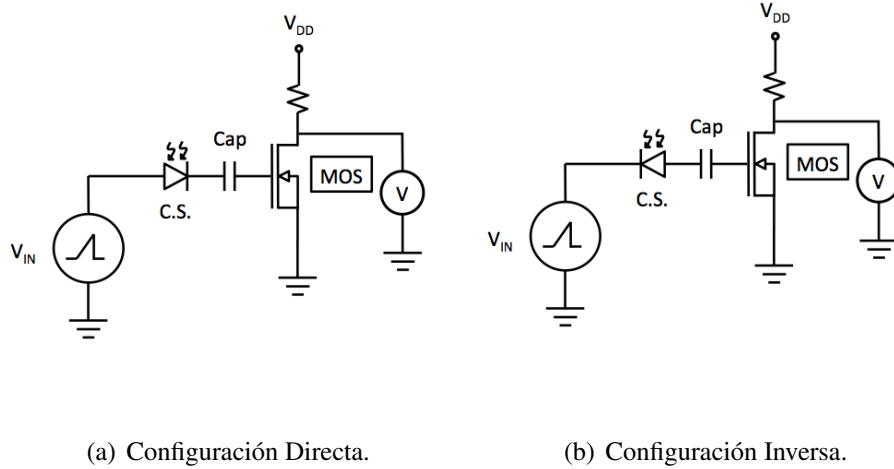


Figura 3.1 Medición de curvas de transferencia a la salida del amplificador.

La función de transferencia del amplificador simulada en PSPICE se muestra en la figura 3.2 para tres niveles distintos de foto corriente. La primer curva traza la respuesta del amplificador para una foto corriente $I_{ph} = 0$, es decir, para un fotodiodo no iluminado. Cabe mencionar que en el nodo de compuerta flotante no habrá flujo de corriente, por lo que las intensidades de foto corriente, I_{ph} , se manejan dentro del modelo del fotodiodo para hacer referencia a las diferentes intensidades de iluminación. Las curvas siguientes se simularon para una foto corriente de $I_{ph} = 20\mu A$ y de $I_{ph} = 40\mu A$ respectivamente, donde esto corresponde a dos intensidades distintas iluminando al fotodiodo.

La segunda simulación se realizó con el modelo del FGMOS con dimensiones: $L = 1.2\mu m$, $W = 6.3\mu m$, con capacitor de acoplamiento de valor $C = 28.29888fF$ y una fuente de voltaje para simular el efecto de una foto celda. En la figura 3.3 a) se muestra la simulación de un FGMOS canal-N con dos compuertas de control, V_{CG1} y V_{CG2} , donde un barrido de voltaje se hace en V_{CG1} de $-2V$ a $8V$, V_{CG2} con pasos de $0.5V$ y $V_{DD} = 5V$ para asegurar que el dispositivo opera en saturación. Los voltajes en las dos compuertas de control son aplicadas de forma externa y es acoplado a la compuerta flotante. Como se puede observar, en la gráfica I_{DS} vs V_{CG1} , una familia de curvas es derivada debido a la suma de voltajes acoplados sobre la compuerta flotante para cada valor de V_{CG2} , como predice la ecuación 2.1.

3.1. Simulación con dispositivos discretos

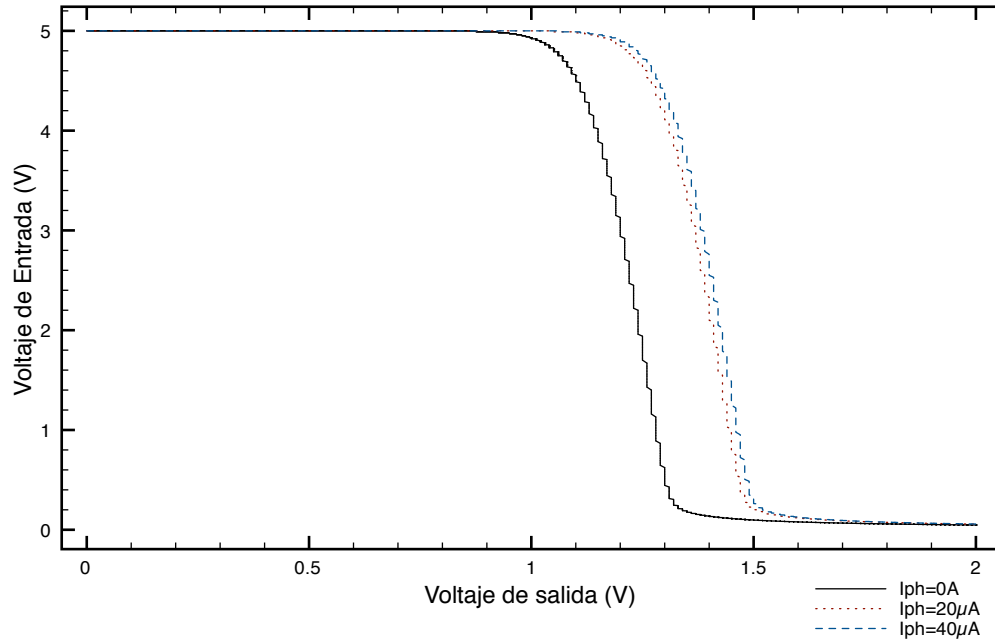


Figura 3.2 Función de transferencia simulada en PSPICE de un MOS convencional con fotodiodo

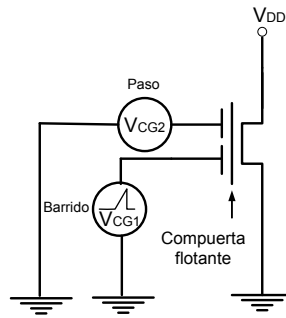
$$n_{\text{pozo}} - p_{\text{sub}}.$$

Esto será comprobado experimentalmente más adelante después de que un n-FGMOS con dos compuertas de control fue medido.

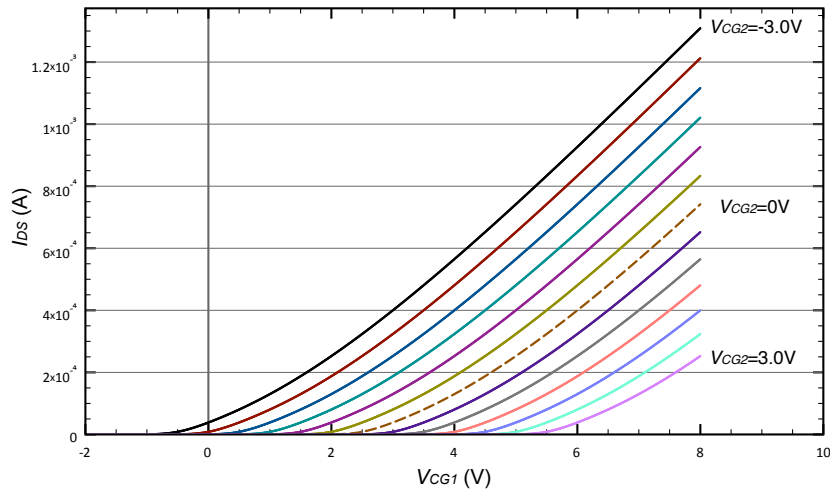
De la figura 3.3 se puede ver que la compuerta flotante del FGMOS juega el rol de un nodo de suma de voltajes ponderados provenientes de las compuertas de control. Por lo tanto, un voltaje presente en una compuerta de control proveniente de cualquier naturaleza puede reflejarse parcialmente sobre la compuerta flotante debido al coeficiente de acoplamiento, modulando en consecuencia la característica $I - V$ del FGMOS. Por lo tanto es importante remarcar que en el presente trabajo se muestra que este voltaje es diferente a los ya reportados.

Además, se realizaron simulaciones con PSPICE usando parámetros tecnológicos obtenidos de la corrida $V57X$ y geométricos para los capacitores de acoplamiento (C_{CG} y C_{PH}) conectados al $FGMOS$, formando de esta manera el transistor FGMOS con dos compuertas de control. Se programó V_{CG} como un barrido de voltaje de $-2V$ a $10V$, y V_{PH} fue programado como pasos de voltaje de $-3.3V$ a $3.3V$ con incrementos de $0.3V$. El FGMOS fue polarizado con $V_{DD} = 3.3V$. En la figura 3.4 se muestran las curvas $I - V$ de transconductancia para $\sqrt{I_{DS}}$ vs V_{CG} , donde no se considera carga residual sobre la compuerta

3.1. Simulación con dispositivos discretos



(a) Diagrama esquemático.



(b) Resultados de simulación

Figura 3.3 Curva de transconductancia simulada de un FGMOS canal-N con dos compuertas de control.

flotante, $Q_{FG} = 0$. Por otra parte en la figura 3.5 se muestra el comportamiento de V_{FG} en esta estructura. De la figura 3.4 puede destacarse la regularidad de la separación del juego de curvas ya que cada curva es desplazada el mismo valor de $0.3V$, siguiendo el valor del paso indicado en PSPICE para V_{PH} . Esto indica también que el voltaje de umbral del FGMOS va de valores positivos a negativos cuando V_{PH} pasa de valores positivos a negativos, como era de esperarse. Esto sucede cuando un voltaje positivo debido a V_{PH} se refleja sobre la compuerta flotante, entonces V_{CG} tiene que ser más negativa para crear la inversión de canal entre fuente y drenador para permitir flujo de corriente I_{DS} . Por otro lado, de la figura 3.5 se puede ver

3.1. Simulación con dispositivos discretos

también que V_{FG} tiene la misma pendiente a lo largo de los pasos de voltaje usados, con un valor de 0.3333, el cual puede ser considerado como un valor aproximado de coeficiente de acoplamiento, K_i . La ecuación mostrada en la figura 3.5 corresponde a la línea de tendencia para V_{FG} vs V_{CG} cuando $V_{PH} = 3.3V$. Como referencia rápida, la línea punteada corresponde a $V_{PH} = 0V$.

A fin de tener una referencia para comparar el comportamiento entre celdas con y sin fotodiodo, se presentan resultados de un grupo de simulaciones. No es posible determinar de manera experimental el voltaje de compuerta flotante, así que la manera de estimar aproximadamente la magnitud de V_{FG} es por medio de simulaciones. De éstas, puede quedar claro el rol jugado por el fotodiodo en cada tipo de estructura. En primera instancia, se mostrará cómo es la característica $I-V$ de un FGMOS, así como la evolución del voltaje en la compuerta flotante cuando un barrido de voltaje es aplicado a la compuerta de control, con el voltaje aplicado al foto sensor como un paso de voltaje paramétrico.

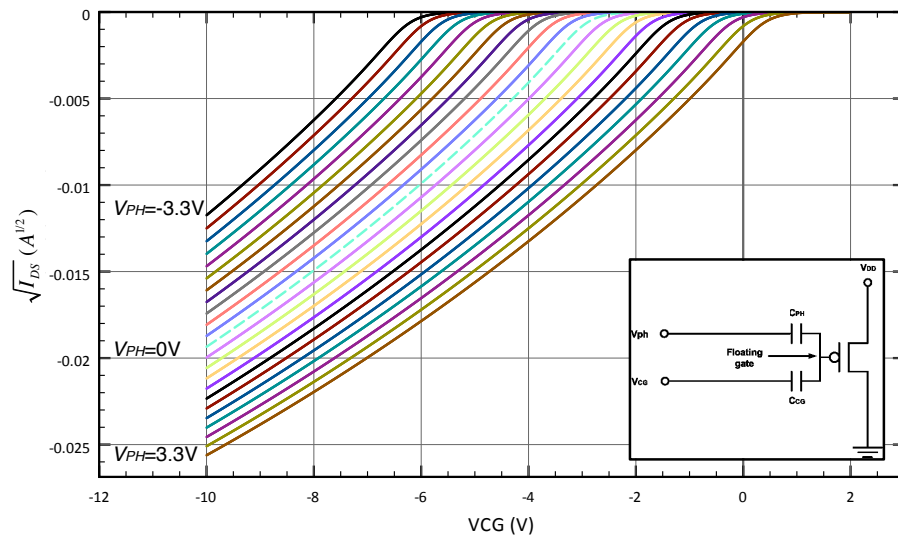


Figura 3.4 Gráfica de $\sqrt{I_{DS}}$ vs V_{CG} con el capacitor de acoplamiento C_{PH} de área $2A$.

3.1. Simulación con dispositivos discretos

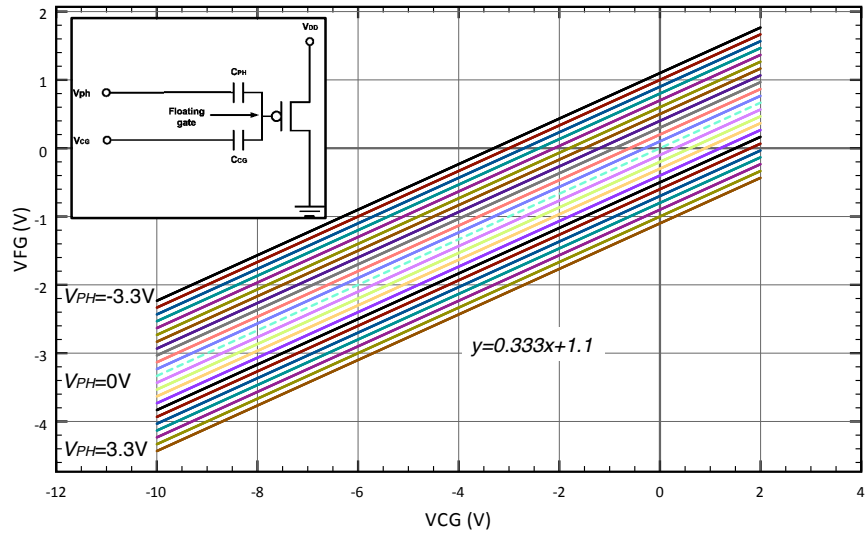


Figura 3.5 Gráfica de V_{FG} vs V_{CG} con el capacitor de acoplamiento C_{PH} de área doble.

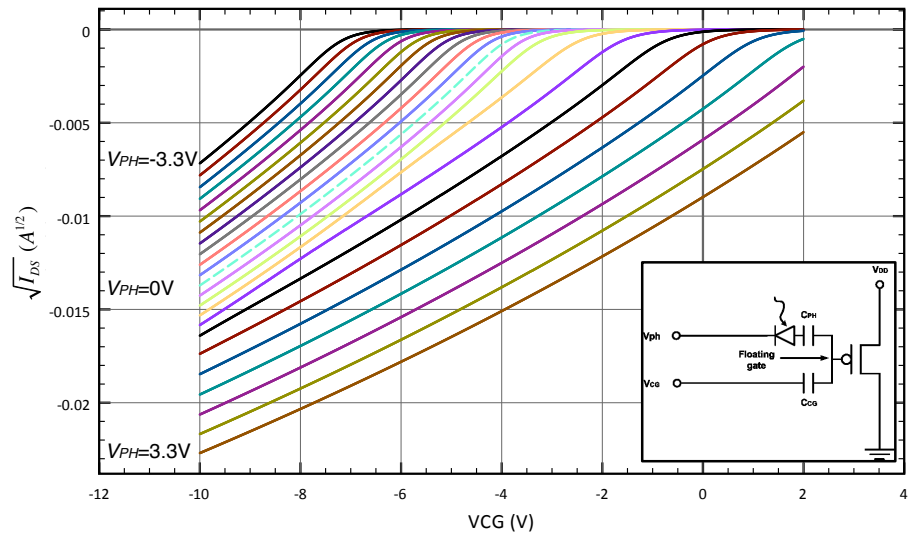


Figura 3.6 Gráfica de $\sqrt{I_{DS}}$ vs V_{CG} con el ánodo del fotodiodo conectado al capacitor de acoplamiento C_{PH} de área $2A$.

De la figura 3.6 sobresale inmediatamente la diferencia con la uniformidad de la respuesta comparada con la mostrada en la figura 3.4, y dos comportamientos pueden identificarse. Primero, aproximadamente cuando $V_{PH} > 0.6V$, las curvas tienen una separación regular entre ellas, variando de $0.79V$ para $V_{PH} = 1.2V$, hasta $0.89V$ para $V_{PH} = 3.3V$. Este

3.1. Simulación con dispositivos discretos

rango establece una polarización inversa para el fotodiodo ya que un voltaje positivo está siendo aplicado al cátodo. Segundo, cuando $V_{PH} < 0.6V$. al ir variando a través de voltajes negativos de V_{PH} , el diodo es polarizado de manera directa y se puede considerar que C_{PH} está recibiendo casi todo el voltaje aplicado en V_{PH} . Esto puede ser confirmado con la figura 3.7, donde dos pendientes pueden ser identificadas con los dos comportamientos mencionados anteriormente. Cuando el fotodiodo es polarizado de manera directa, la pendiente deducida de la línea de tendencia es mayor (0.25) que cuando es polarizado de forma inversa (0.20). Esto indica que en el primer caso un valor ligeramente más alto de V_{FG} se refleja sobre la compuerta flotante. Esto puede ser explicado también desde el punto de vista del coeficiente de acoplamiento. De la ecuación 2.3 se puede ver que si la capacitancia en el numerador se incrementa, el coeficiente de acoplamiento se incrementa correspondientemente, esto a su vez también modifica el valor de la capacitancia total. Si esto es cierto, se puede deducir de la ecuación 2.1 que el V_{FG} también se incrementará. Específicamente, cuando el diodo se polariza en directo, la capacitancia de agotamiento de unión se incrementa y la capacitancia resultante con C_{PH} en serie casi no tiene variación. Pero de lo contrario, cuando la unión es polarizada inversamente, la capacitancia de agotamiento de unión se reduce y la capacitancia resultante con C_{PH} en serie resultará en una reducción, disminuyendo el coeficiente de acoplamiento y V_{FG} , como puede verse en las ecuaciones de ajuste mostradas en la figura 3.7. Este comportamiento se revierte si ahora el cátodo es conectado a la capacitancia de acoplamiento, C_{PH} , como puede verse en las figuras 3.8 y 3.9. Nuevamente, los comportamientos identificados anteriormente se pueden observar cuando el fotodiodo es polarizado directamente o inversamente. Una vez más, de la línea de tendencia una pendiente de 0.25 se obtuvo cuando el fotodiodo se polarizó directamente y 0.30 con polarización inversa. Entonces, de estos resultados se confirma que una fracción del voltaje presente en una terminal (ánodo o cátodo) del fotodiodo puede estar presente sobre la compuerta flotante. Además, sugiere que el comportamiento de V_{FG} se modifica cuando este dispositivo es añadido entre la fuente de polarización de voltaje, V_{PH} , y el capacitor de acoplamiento, C_{PH} , presentando en teoría diferentes coeficientes de acoplamiento dependiendo en la manera en la que el fotodiodo se polariza. Este hecho será confirmado experimentalmente en secciones siguientes.

3.1. Simulación con dispositivos discretos

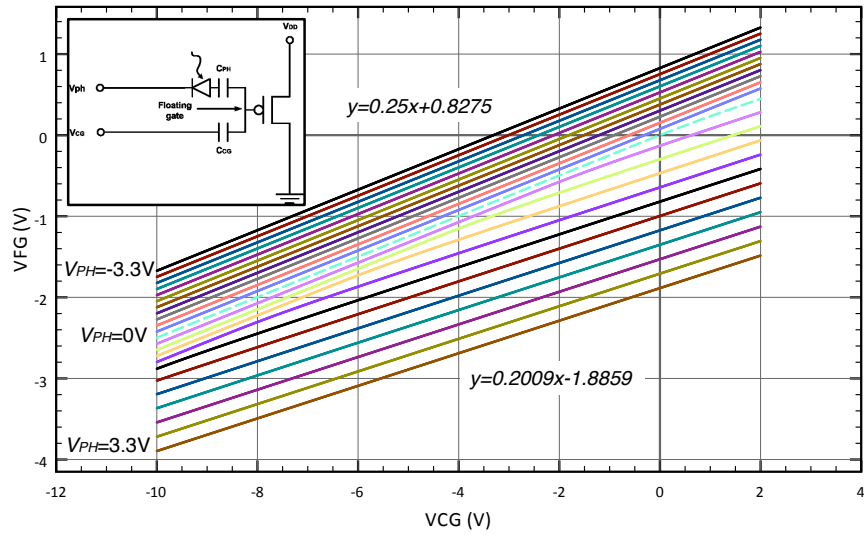


Figura 3.7 Gráfica de V_{FG} vs V_{CG} con el ánodo del fotodiodo conectado al capacitor de acoplamiento C_{PH} de área $2A$.

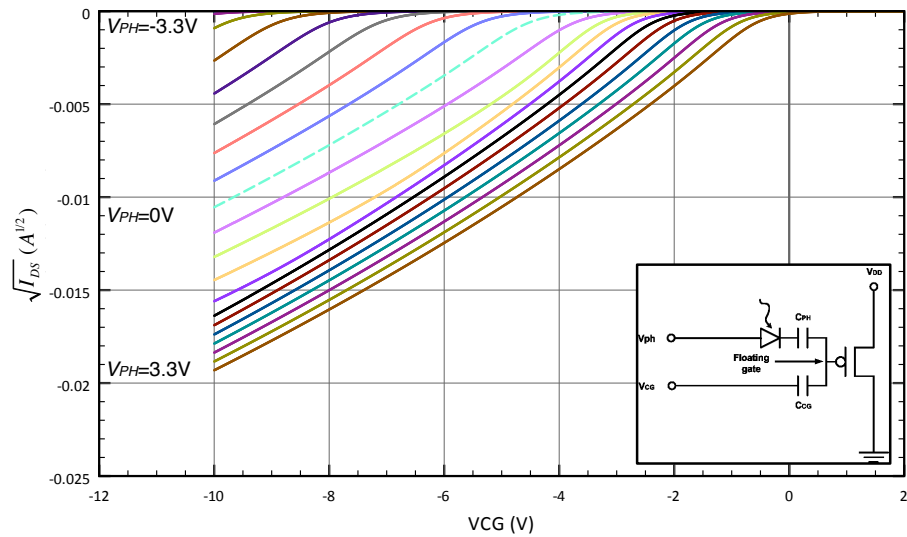


Figura 3.8 Gráfica de $\sqrt{I_{DS}}$ vs V_{CG} con el cátodo del fotodiodo conectado al capacitor de acoplamiento C_{PH} de área $2A$.

3.1. Simulación con dispositivos discretos

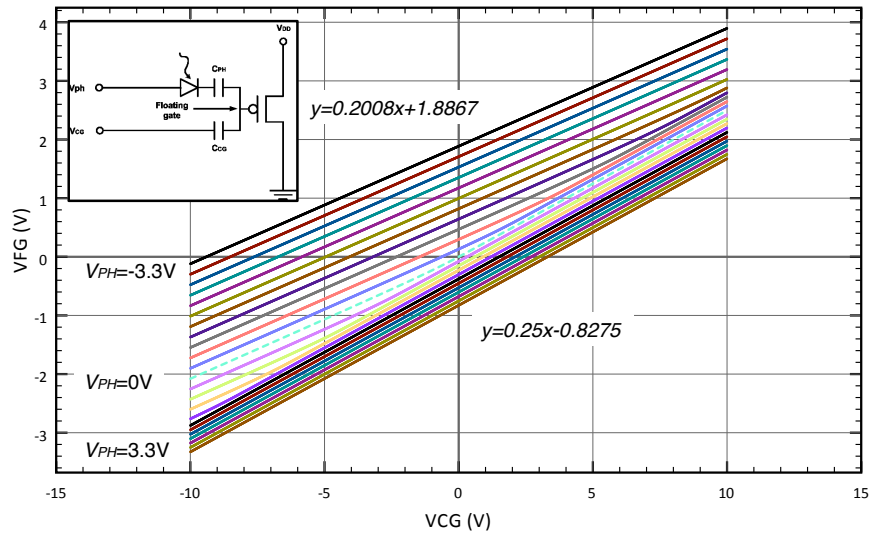


Figura 3.9 Gráfica de V_{FG} vs V_{CG} con el cátodo del fotodiodo conectado al capacitor de acoplamiento C_{PH} de área $2A$.

En este punto es evidente por medio de simulación que se puede modificar la característica $I - V$ del transistor modificando la iluminación incidente en el fotodiodo.

3.1.1 Voltaje de compuerta flotante con un fotodiodo como compuerta de control.

Recordemos que el propósito del presente trabajo es señalar el comportamiento que se tiene cuando un foto sensor es parte de la compuerta de control y mostrar como la característica $I - V$ del FGMOS responde, dependiendo del voltaje aplicado a una de las terminales disponibles del foto sensor. También es importante remarcar que la meta principal de este trabajo es demostrar que; una de las terminales del fotodiodo (ánodo ó cátodo) puede operar como una de las placas del capacitor de acoplamiento, de manera que un voltaje ponderado procedente del fotodiodo puede estar presente en la compuerta flotante de un FGMOS. Esta será una manera diferente en la que normalmente se realiza el acoplamiento, ya que normalmente un capacitor de acoplamiento simple y fijo está conectado directamente al nodo de señal, sin ningún dispositivo intermedio, tal como se mostrará en esta propuesta, ya que en este caso la capacitancia asociada del fotodiodo, ya sea polarizado directa o inversamente, se usa como

3.1. Simulación con dispositivos discretos

condensador de acoplamiento, siendo una alternativa diferente. Este caso se puede dirigir considerando de la ecuación 2.1, a la capacitancia de la unión $p - n$ presente en el fotodiodo. Por lo tanto, para un FGMOS con dos compuertas de control, el coeficiente de acoplamiento para la compuerta de control uno, K_{CG1} , puede ser expresada como se muestra a continuación, cuando un fotodiodo es colocado como compuerta de control;

$$K_{CG1} = \frac{C_j}{C_T} \quad (3.1)$$

$$C_j = \frac{C_{j0}}{\left(1 - \frac{V_D}{\phi_0}\right)^m} \quad (3.2)$$

$$\phi_0 = V_T \cdot \ln \left(\frac{N_a \cdot N_d}{n_i^2} \right) \quad (3.3)$$

Donde:

C_{j0} : Capacitancia de agotamiento de zero-bias (Fd/m^2)

V_D : Voltage a través de la unión $p - n$ (V)

ϕ_0 : Potencial interconstruido (V)

m : Coeficiente gradual

V_T : Voltaje térmico (V)

N_a : Concentración de aceptores (cm^3)

N_d : Concentración de donores (cm^3)

n_i : Concentración intrínseca de portadores (cm^3)

Adicionalmente, se muestra la capacitancia total de la estructura en la figura 3.10 se expresa como sigue:

$$V_{FG} = \frac{C_j \cdot C_{PH}}{C_T(C_j + C_{PH})} V_K + \frac{C_{CG}}{C_T} V_{CG1} + \frac{C_{OX}}{C_T} V_B + \frac{C_{GD}}{C_T} V_D + \frac{C_{GS}}{C_T} V_S + \frac{Q_{FG}}{C_T} \quad (3.4)$$

De la ecuación 3.4 se puede observar que V_{FG} es ahora una función de C_j que a su vez es una función del voltaje aplicado en la unión $p - n$ del fotodiodo (ver ecuación 3.2) y ya que los

3.1. Simulación con dispositivos discretos

otros términos en 3.4 son fijos, V_{FG} seguirá las variaciones en la capacitancia de agotamiento de la unión del fotodiodo.

En la figura 3.10 se muestra el diagrama esquemático de la estructura *fotodiodo – FGMOS*, donde se indican los elementos considerados para simulación.

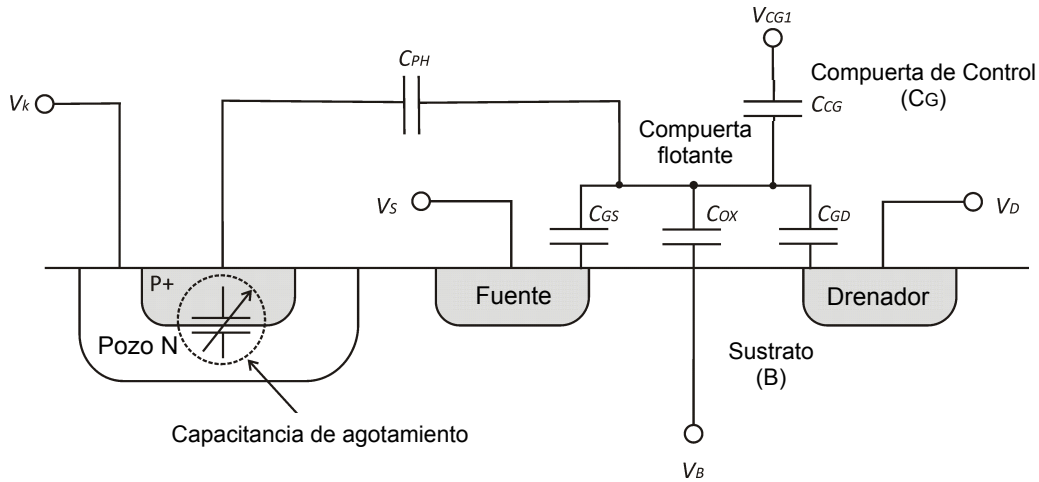


Figura 3.10 Diagrama esquemático de la estructura *fotodiodo – FGMOS*

3.1.1.1 Capacitancia de acoplamiento.

Usando la ecuación 3.2 con los parámetros del proceso *AMI 0.5 μ m* de la corrida *V57x* (Anexo C) y la geometría del fotosensor descrito anteriormente, se realizó una simulación para mostrar el rango de variación de la capacitancia de unión. Además, puesto que está conectado en serie con la capacitancia de acoplamiento, la cual esta hecha con aluminio, su variación influirá fuertemente en la capacitancia resultante porque es más pequeña que la capacitancia de acoplamiento.

La figura 3.11 muestra el rango de variación de la capacitancia de unión para uno, dos y tres fotodiodos conectados en serie respectivamente. Se encontró que para una polarización inversa de $-1,8V$ para un solo fotodiodo, la capacitancia de agotamiento es $Cd = 51.755fF$ y $Cd = 62.509fF$ para una polarización directa de $2V$. Para los mismos valores de polarización, los valores correspondientes para dos fotodiodos en serie $Cd = 25.955fF$ y $Cd = 31.255fF$, y para tres fotodiodos en serie $Cd = 17.304fF$ y $Cd = 20.836fF$. Por lo tanto, se pretende encontrar la influencia del tamaño de la capacitancia de acoplamiento conectada en serie con el

3.2. Resultados experimentales con dispositivos discretos.

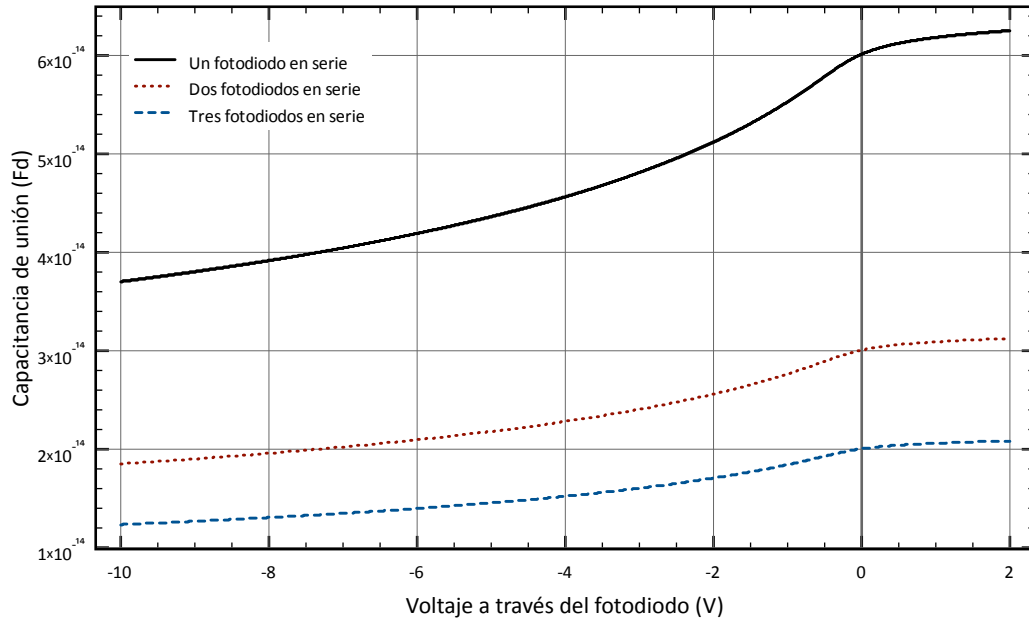


Figura 3.11 Capacitancia de agotamiento de un fotodiodo, dos fotodiodos conectados en serie y tres fotodiodos conectados en serie.

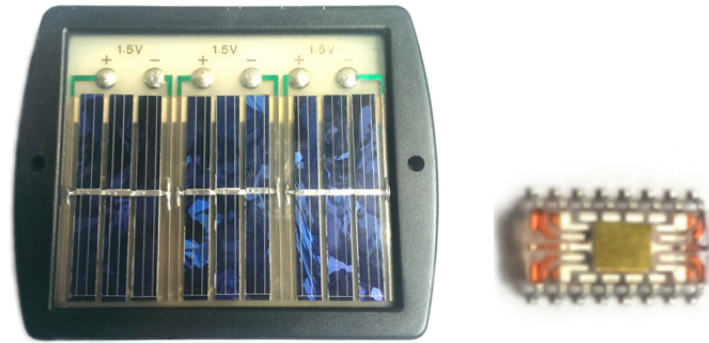
fotodetector, de tal manera que se pueda definir un área óptima para la estructura *fotodiodo – FGMOS*. Por lo tanto, se propusieron tres tamaños para este fin: una capacitancia con un área unitaria $A = 416 \mu m^2$, una capacitancia con un área $2A$ y una capacitancia con el área $6A$.

3.2 Resultados experimentales con dispositivos discretos.

De manera paralela se realizaron mediciones en circuitos físicos elaborados con elementos discretos.

Como elemento discreto para el detector se usaron dos tipos de celdas solares (C.S.) conectadas a la compuerta del transistor MOS, así como dos transistores MOS diferentes. En primera instancia se utilizó un módulo solar de la marca Steren que se muestra en el inciso a) de la Figura 3.12 con las siguientes características: $4V$ a circuito abierto y $100mA$ de corriente de corto circuito. En las pruebas siguientes se utilizó un fotodiodo integrado de la empresa IXYS con número de parte CPC1824 mostrado en el inciso b) de la Figura 3.12, con las siguientes características: $4V$ de circuito abierto y $100\mu A$ de corriente de corto circuito.

3.2. Resultados experimentales con dispositivos discretos.



(a) Módulo Solar Steren.

(b) Fotodiodo IXYS
CPC1824.

Figura 3.12 Dispositivos fotodetectores.

Los transistores utilizados en los circuitos fueron el MOS BS170P y el transistor MOS integrado ALD 1106PBL, ambos canal N. Con ambos dispositivos se realizaron las mismas mediciones, se obtuvieron las curvas de transferencia a la salida del amplificador conformado con el transistor MOS mostrado en la figura 3.14, así como también el incremento de potencial producido por las celdas al montarse una señal a la entrada de éstas.

Es importante señalar que estas mediciones se realizaron para subsecuentemente proponer y diseñar estructuras de prueba con las cuales se puedan corroborar los resultados en el dispositivo FGMOS de manera experimental.

La primer combinación de dispositivos utilizados para realizar las mediciones experimentales fue el transistor BS170P y el panel solar Steren. La configuración utilizada para hacer estas mediciones fue la misma realizada en las simulaciones previas mostrada en la figura 3.1.

En ésta se indica el nodo de salida en el cual fue tomada la lectura de los voltajes mostrados en la figura 3.13. Como puede verse en la Figura al obtener las curvas de transferencia del amplificador montado experimentalmente, la curva de transferencia es desplazada como consecuencia del potencial extra generado por la foto celda. Además, el lado hacia el cual la curva de transferencia se desplaza, con referencia a la curva sin iluminación, es determinada por la terminal de la celda solar (ánodo o cátodo) a la que es conectada la compuerta del transistor MOS, la notación usada en las gráficas para diferenciar la conexión en un sentido o

3.2. Resultados experimentales con dispositivos discretos.

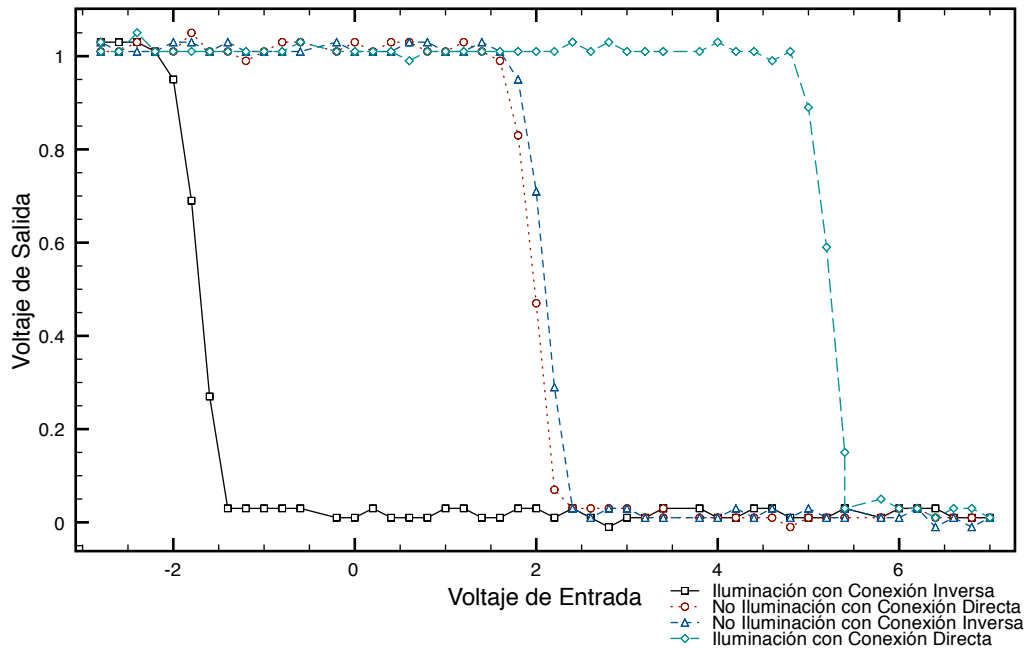


Figura 3.13 Curvas de transferencia experimentales de un amplificador usando el módulo solar Steren.

en otro fue; “conexión directa” para el ánodo de la celda conectado a la fuente generadora de la función rampa, y “conexión inversa” para el cátodo conectado a la misma fuente. En la figura 3.1 se muestran ambas configuraciones.

El corrimiento incremental o decremental, referenciado a la celda sin iluminación, se muestra en la Figura 3.15. Estas mediciones son tomadas en el nodo de salida del foto detector indicado con el símbolo del voltmetro, como se muestra en la figura 3.14, con la finalidad de determinar el efecto producido por la iluminación sobre el voltaje V_{IN} , aplicado en el nodo de entrada para ambas configuraciones.

Para las mediciones posteriores se utilizaron los dispositivos integrados ALD 1106PBL en el amplificador y el fotodiodo IXYS CPC1824. Para este último se realizó la caracterización I-V y de esta manera obtener los niveles de corriente y voltaje que podemos alcanzar experimentalmente en el montaje del circuito. Cada una de las curvas de la gráfica está referido al voltaje aplicado al LED donde $V_p = 0V$ representa oscuridad y $V_p = 2.5V$ a $V_p = 10V$ representan diferentes intensidades de iluminación.

3.2. Resultados experimentales con dispositivos discretos.

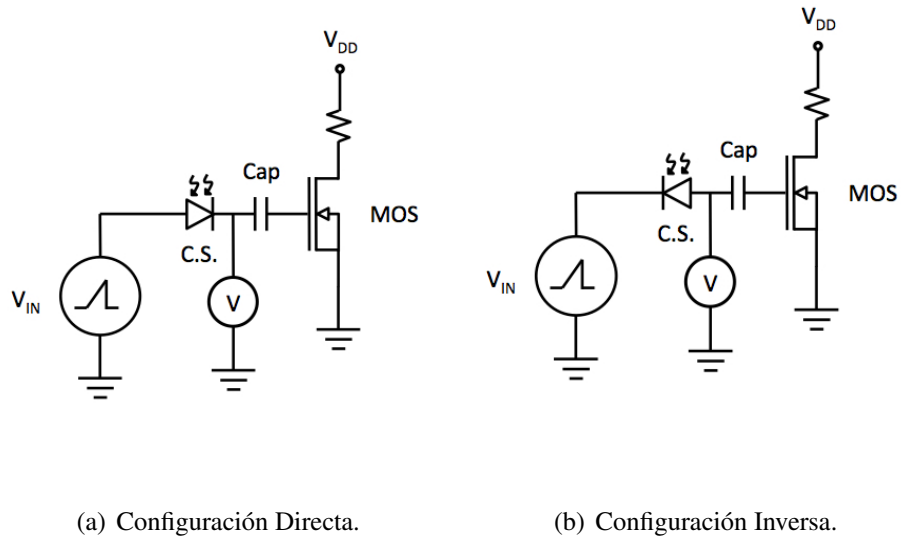


Figura 3.14 Medición de voltaje a la salida del fotodetector.

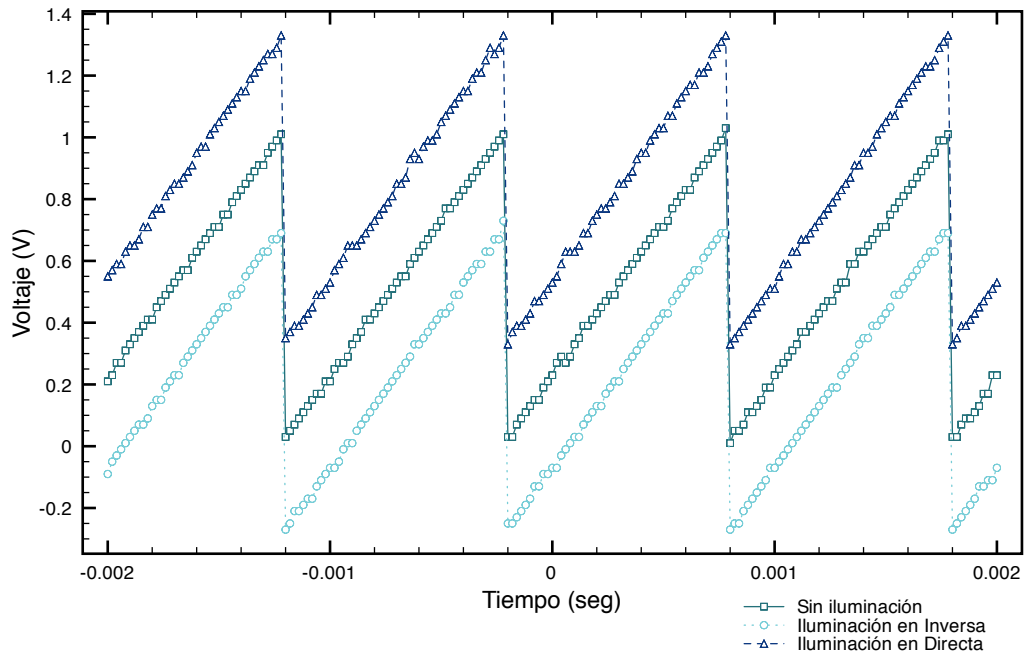


Figura 3.15 Desplazamiento de la señal V_{IN} producida por el módulo solar Steren medido en el nodo de salida del foto detector.

En la figura 3.16 se pueden observar las curvas características del fotodiodo obtenidas. Se puede observar que la corriente máxima alcanzada al punto mayor de iluminación es de $6.3\mu A$.

3.2. Resultados experimentales con dispositivos discretos.

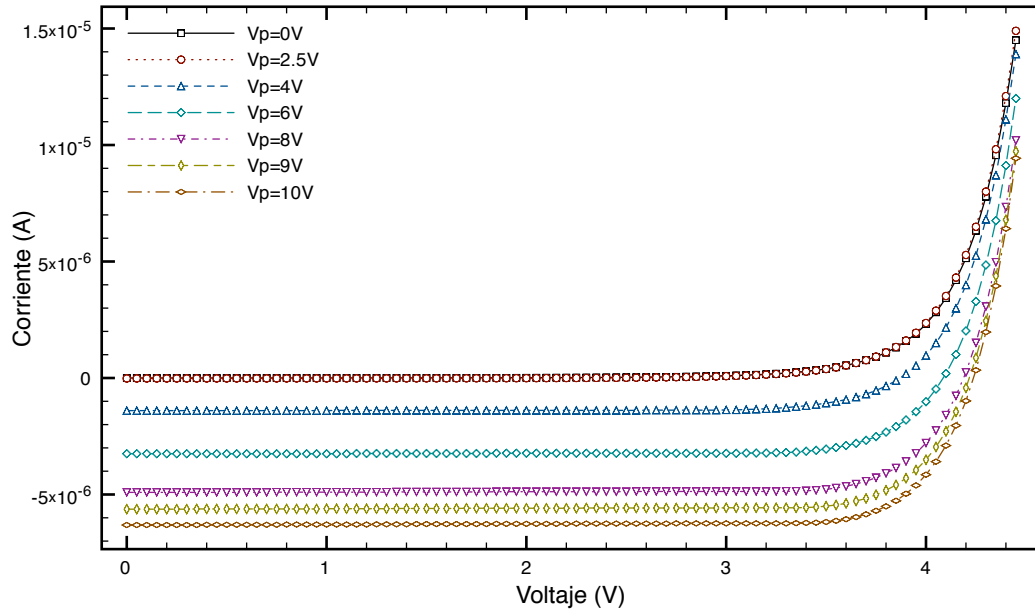


Figura 3.16 Caracterización I-V de la Micro celda Solar.

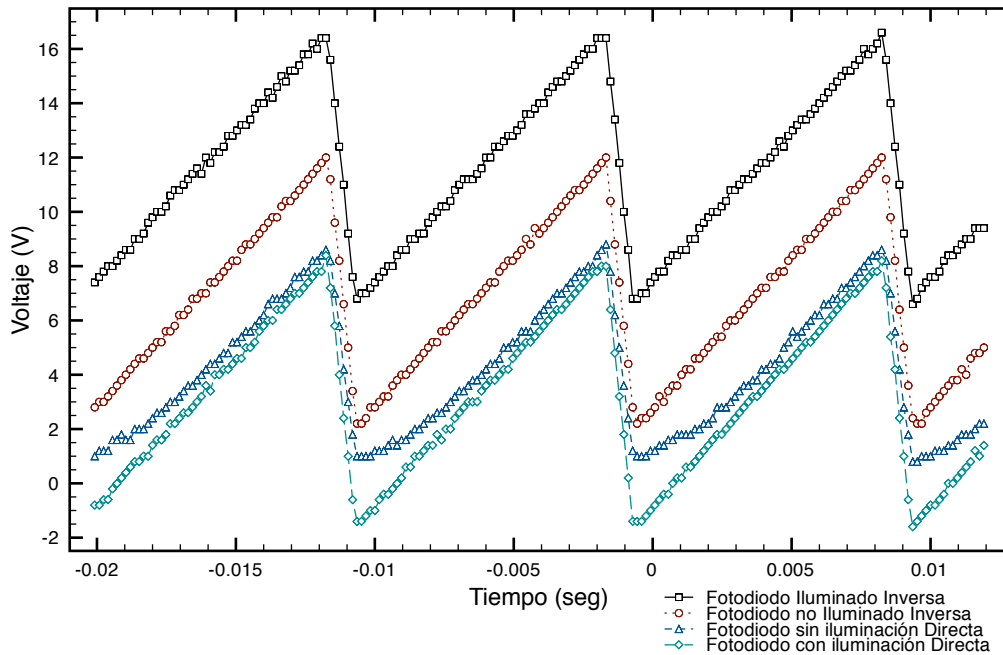


Figura 3.17 Desplazamiento de la señal V_{IN} producido por el fotodiodo IXYS CPC1824 medido en el nodo de salida del foto detector.

Se realizaron las mismas mediciones que para el módulo solar Steren, esto es, medición de voltaje después de la celda y función de transferencia a la salida del amplificador. En la figura

3.3. Consideraciones de diseño para las estructuras de prueba.

3.17 se presentan los voltajes a la salida del fotodiodo con iluminación y sin iluminación en el mismo.

Puede observarse en la figura que para la polarización inversa del fotodiodo se obtiene un potencial extra positivo al estar éste iluminado. De manera contraria se observa un decremento en el potencial al ser conectado de manera directa. Además se percibe una deformación en la forma de onda de la rampa. En la literatura se reporta que al ser polarizado inversamente un fotodiodo, su zona de carga espacial aumenta y los pares electrón-hueco generados por la absorción de la luz son separados por el campo eléctrico existente en esta zona, arrastrando los huecos hacia la zona p y los electrones hacia la zona n dando lugar a una corriente inversa a través del diodo. Es decir, que para su funcionamiento correcto, el fotodiodo es polarizado de manera inversa, generando así un aumento de la circulación de corriente. La deformación de la onda mostrada en la figura 3.17 puede estar relacionada a la baja corriente de oscuridad presente en el fotodiodo al ser polarizado directamente, este nivel de corriente es insuficiente para permitir la carga del capacitor de la punta del osciloscopio, deformando éste a su vez la onda.

En la figura 3.18 se muestra el desplazamiento de la curva de transferencia a la salida del amplificador. Se distingue un claro desplazamiento de la onda al ser iluminada con respecto a la no iluminada.

En ambos circuitos se encontró que el principio de inducción de carga a la compuerta del transistor se cumple. Además de esto, nos permite concebir las primeras estructuras de prueba al haber obtenido algunos valores mínimos necesarios para el correcto funcionamiento del sistema (valores de capacitancia en la compuerta, tamaños de transistor, niveles de corriente en los fotodiodos, etc.).

3.3 Consideraciones de diseño para las estructuras de prueba.

Se diseñaron varios arreglos de fotodiodo usados como compuerta de control de manera que se pudieran probar configuraciones serie y paralelo, así como en módulos de celdas solares. A

3.3. Consideraciones de diseño para las estructuras de prueba.

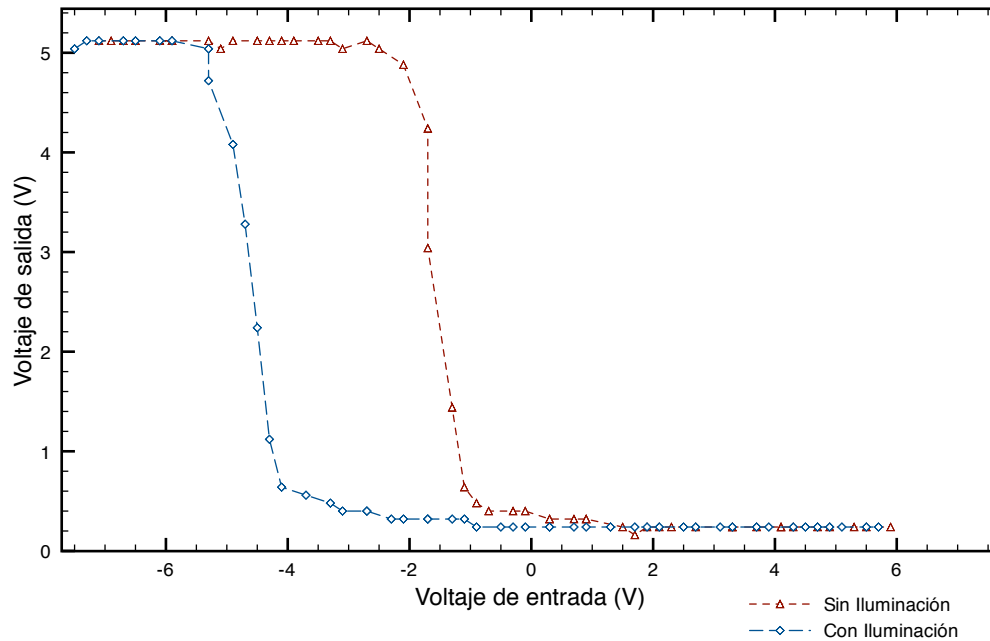


Figura 3.18 Curvas de transferencia experimentales de un amplificador usando el fotodiodo IXYS CPC1824.

pesar de que es evidente que no habrá corriente en la compuerta si el fotodiodo es acoplado capacitivamente a la compuerta flotante, parece interesante descubrir cómo estos arreglos se reflejan sobre el voltaje de compuerta flotante, modificando así la característica $I - V$ del FGMOS.

Las configuraciones propuestas usadas en este prototipo mostradas en la figura 3.19 se describen a continuación.

- (a) Diodo sencillo con el ánodo conectado al capacitor de acoplamiento con área A .
- (b) Diodo sencillo con el cátodo conectado al capacitor de acoplamiento con área A .
- (c) Diodo sencillo con el ánodo conectado al capacitor de acoplamiento con área $2A$.
- (d) Diodo sencillo con el cátodo conectado al capacitor de acoplamiento con área $2A$.
- (e) Tres diodos en serie con el cátodo conectado al capacitor de acoplamiento con área $6A$.
- (f) Tres diodos en paralelo con el cátodo conectado al capacitor de acoplamiento con área $2A$.

3.3. Consideraciones de diseño para las estructuras de prueba.

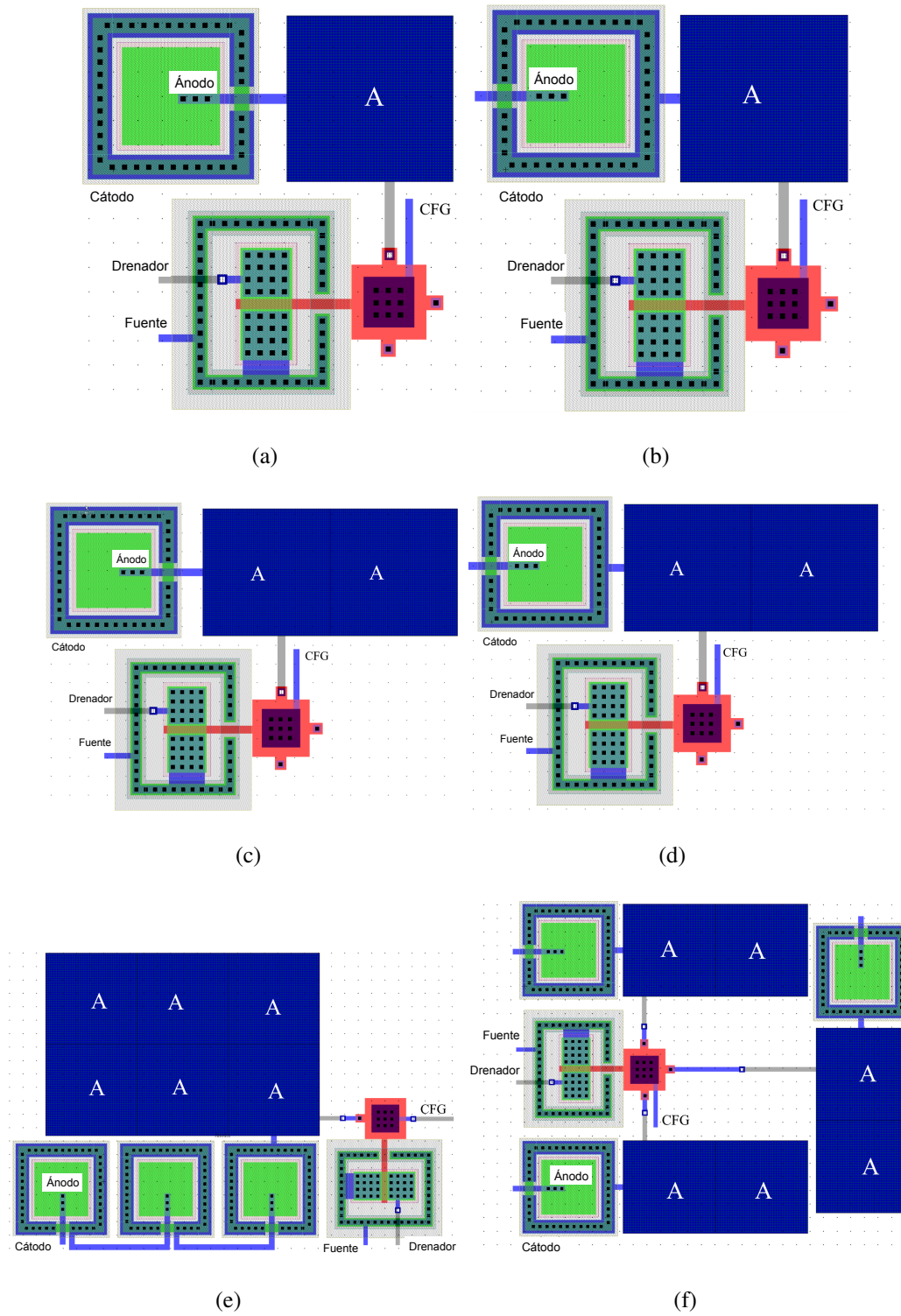


Figura 3.19 Estructuras y configuraciones de prueba en chip prototipo.

3.4. Conclusión.

En la figura se muestran los diseños de las seis celdas estudiadas en esta tesis, donde el capacitor de acoplamiento de las seis celdas consiste en la placa inferior construida con metal 1 y la superior con metal 2 con unidad de área de capacitor de $A = 20.4\mu m \times 20.4\mu m$. Usando los parámetros tecnológicos dados por la tecnología, esta área entrega un valor de capacitancia de $28.3fF$. Este capacitor de acoplamiento es conectado a la capa de poly1 que funge como compuerta flotante, conectando metal 2 a metal 1 con la ayuda de una capa via. El capacitor de acoplamiento de la compuerta de control, donde V_{CG} es aplicado, tiene una área de $6.15\mu m \times 6.15\mu m$ con un valor de capacitancia de $33.32fF$. Finalmente, el p-FGMOS usado se diseñó con las dimensiones $L = 1.2\mu m$ y $W = 6.3\mu m$. Usando un p-MOS se puede prevenir corrientes cruzadas (cross-talk) de sustrato indeseadas, si se usara un n-MOS el sustrato podría producir un diodo parásito con el pozo-n del fotodiodo.

Es importante remarcar que el propósito de estas estructuras es demostrar que el voltaje de circuito abierto del fotodiodo, V_{OC} , puede ser acoplado capacitivamente a la compuerta flotante del FGMOS, con el ánodo o el cátodo del foto sensor conectado al capacitor de acoplamiento. Además, un solo transistor FGMOS puede tener más de una compuerta de control donde cada una puede ser controlada por un fotodiodo (o arreglo de fotodiodos).

3.4 Conclusión.

En este capítulo se integró a los dispositivos analizados en secciones anteriores en una serie de experimentos que permitieron comprobar el efecto propuesto. De manera simulada se comprobó que la variación del V_{FG} se presenta al incidir diferentes potencias lumínicas sobre el fotosensor. Además de manera experimental haciendo uso de elementos discretos se pudo obtener variación en la curva de transferencia de un transistor MOS en configuración de amplificador, de esta manera se comprueba que V_{OC} de los fotosensores se acopla de manera correcta en la compuerta provocando variaciones en la característica I_V del transistor. Los resultados de estos experimentos dieron pie para obtener algunas consideraciones de diseño para fabricar las estructuras de prueba que serán caracterizadas en la siguiente sección.

Capítulo 4

Caracterización de estructuras de prueba *fotodiodo-FGMOS*.

Introducción.

En este capítulo se presentan las caracterizaciones eléctrica y óptica de las estructuras anteriormente diseñadas. Se analizarán los resultados obtenidos y se expondrán los fenómenos presentes en cada estructura. Para esto es necesario primero tener un marco de referencia fiable, por lo cual el primer paso será caracterizar la fuente lumínica. Se realizarán varias mediciones, primero para la fuente lumínica utilizada para iluminar el fotodiodo fabricado. Después se obtendrá la característica óptica de los fotodiodos. Por último se obtendrán las curvas características de cada estructura diseñada.

4.1 Caracterización óptica del fotodiodo.

4.1.1 Fuente luminosa

Para obtener una referencia relacionada a la fuente lumínica utilizada en las foto estructuras, y sea posible correlacionar esta información con la foto respuesta de las mismas, se procedió a caracterizar los LED Ultra brillantes. La caracterización óptica que se realizó es explicada a continuación.

La respuesta espectral de un dispositivo LED Ultra brillante de color blanco (VLHW5100) se muestra en la figura 4.1. Tres diferentes LEDs fueron probados y mostraron un pico alto

4.1. Caracterización óptica del fotodiodo.

de iluminación alrededor de la longitud de onda de 450nm , y dos picos más en 535 y 609nm , respectivamente. Es importante remarcar el bajo nivel de respuesta del LED a 650nm , ya que como se mostrará más adelante, la estructura foto sensible fabricada y estudiada en esta tesis, tiene como respuesta una alta fotocorriente precisamente en esta longitud de onda.

También, la potencia óptica entregada por el LED fue medida y es mostrada en la figura 4.2. Se caracterizó en un rango de voltaje de 0 a 6V aplicados al LED.

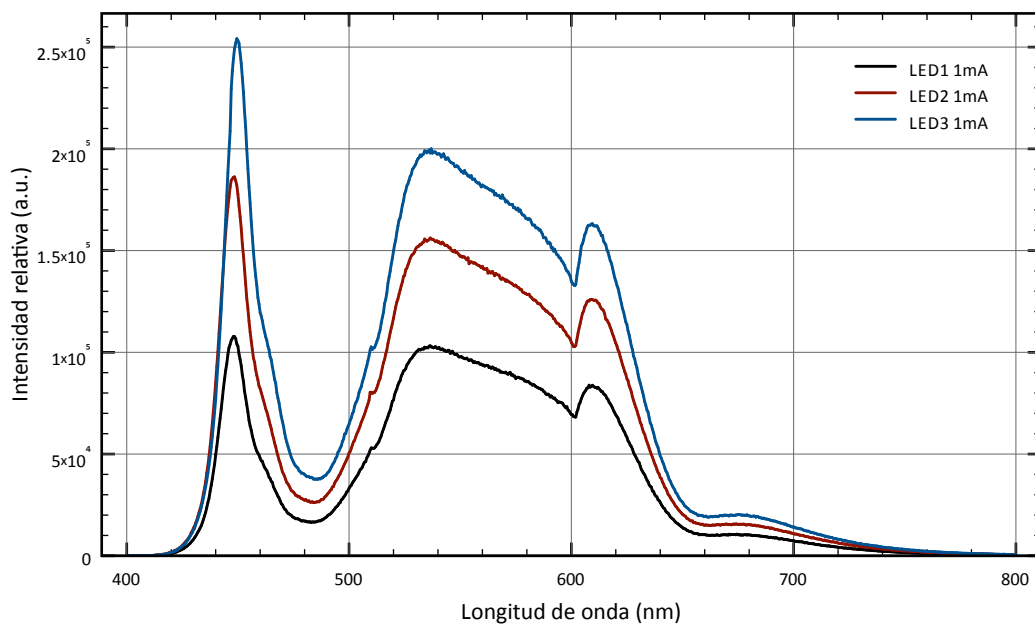


Figura 4.1 Fotoluminiscencia del LED Ultra brillante blanco (VLHW5100)

4.1. Caracterización óptica del fotodiodo.

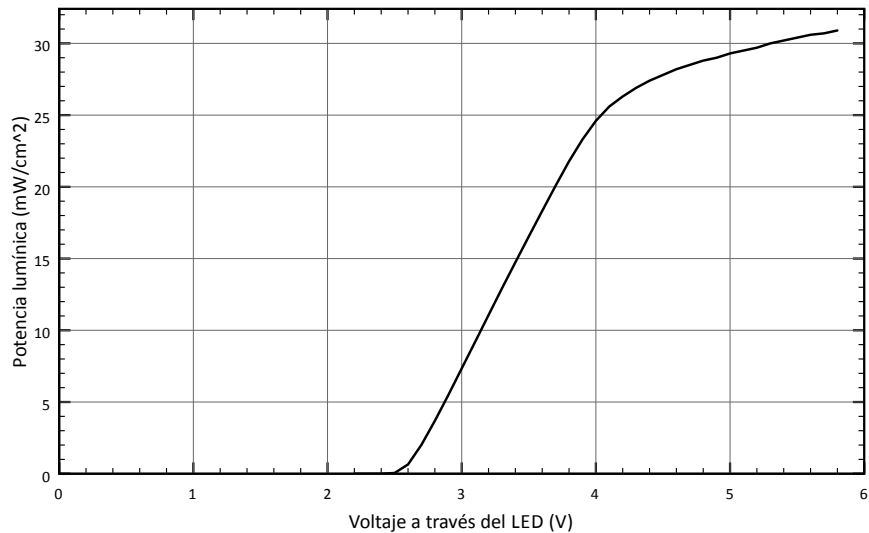


Figura 4.2 Potencia óptica del LED ultra brillante en función del voltaje aplicado.

Además es importante remarcar el comportamiento de la respuesta del LED al incrementar el voltaje aplicado, ya que éste será reflejado cuando el fotodiodo sea iluminado para obtener las curvas $I - V$. Como se puede observar, la potencia lumínica es lineal de $2.6V$ a $4V$. Sin embargo, si el LED es polarizado debajo de $2.6V$, no iluminará y las curvas para el foto sensor con el LED polarizado debajo de este voltaje corresponderá a la corriente de oscuridad. Por otro lado, cuando el LED es polarizado arriba de $4V$, la potencia comenzará a saturarse, perdiendo linealidad.

Para tener una relación de los espectros obtenidos de la fuente y rango de operación del fotodiodo, se procedió a caracterizar solo a la estructura foto sensible. La foto respuesta de la estructura p^+/n_{pozo} descrita anteriormente fue medida usando el monocromador *Instruments SA, Inc.*, con un rango de longitud de onda de 400 a $970nm$. Los resultados para la fotoconductividad y eficiencia cuántica se muestran en las figuras 4.3 y 4.4, respectivamente. De la respuesta de fotocorriente, se obtiene un máximo al rededor de $650nm$. La eficiencia cuántica experimental obtenida para esta estructura, fabricada con la tecnología *C5* de *On Semiconductor*, es diferente de la obtenida en [40], donde se utilizó una tecnología UCM de $0.18\mu m$. Es importante recordar que para la celda propuesta en este trabajo, donde el foto

4.1. Caracterización óptica del fotodiodo.

sensor será conectado a una compuerta de control del FGMOS, no existirá flujo de fotocorriente y el único parámetro de interés es el Voltaje a Circuito Abierto, V_{OC} .

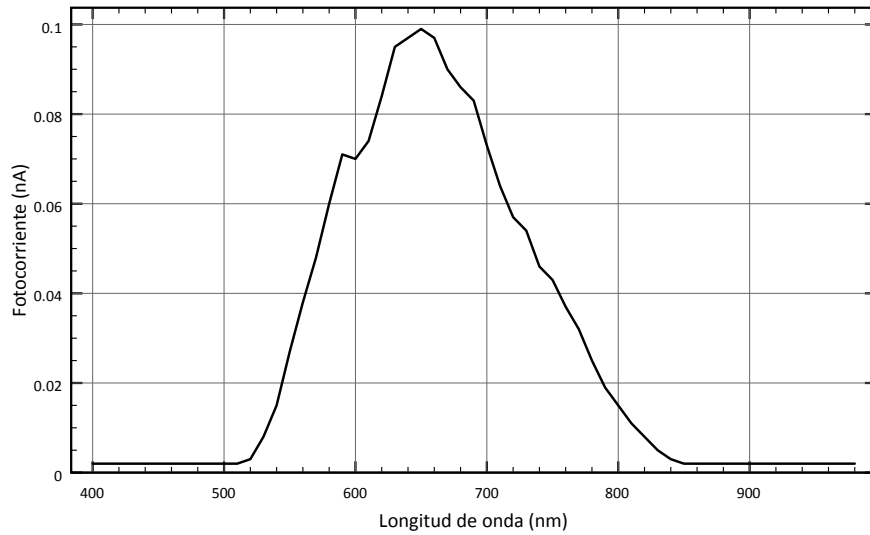


Figura 4.3 Fotorrespuesta del fotodiodo p^+/n_{pozo} , Fotocorriente vs. Longitud de onda.

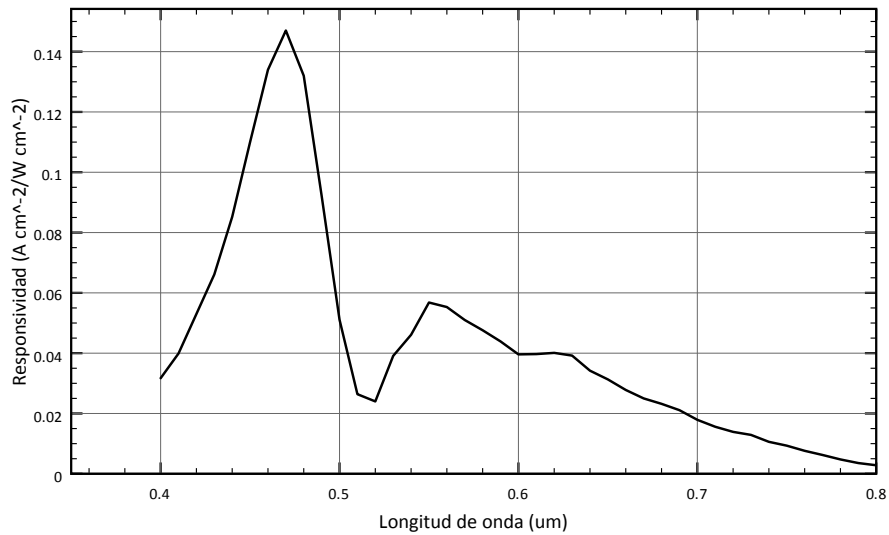


Figura 4.4 Gráfico de la eficiencia cuántica del fotodiodo p^+/n_{pozo} . $A = 1.44 \times 10^6 \text{ cm}^2$

4.2 Caracterización eléctrica del fotodiodo.

Lo siguiente fue medir las curvas $I - V$ del foto sensor sin conectar al FGMOS, iluminando con el LED Ultra brillante de color blanco, montando dentro de una caja negra donde el chip fue conectado. Se aplicaron diferentes voltajes al LED y la potencia de irradiación correspondiente se muestra en la tabla 4.1, de acuerdo con la figura 4.2. Es bien sabido que un arreglo en serie de celdas solares resultará en un incremento de V_{OC} dependiendo en el número de fotoceldas conectadas. Por lo tanto, tres diferentes resultados se muestran a continuación, para arreglos correspondientes a un fotodiodo, dos y tres fotodiodos conectados en serie. Es importante mencionar que la manera en que las curvas son presentadas es la forma en que la información es entregada por el Sistema Probador de semiconductores del fabricante Keithley modelo 4200-SCS, pero debe ser interpretada convencionalmente.

Tabla 4.1 Potencia de irradiación correspondiente con el voltaje aplicado al LED blanco ultra brillante.

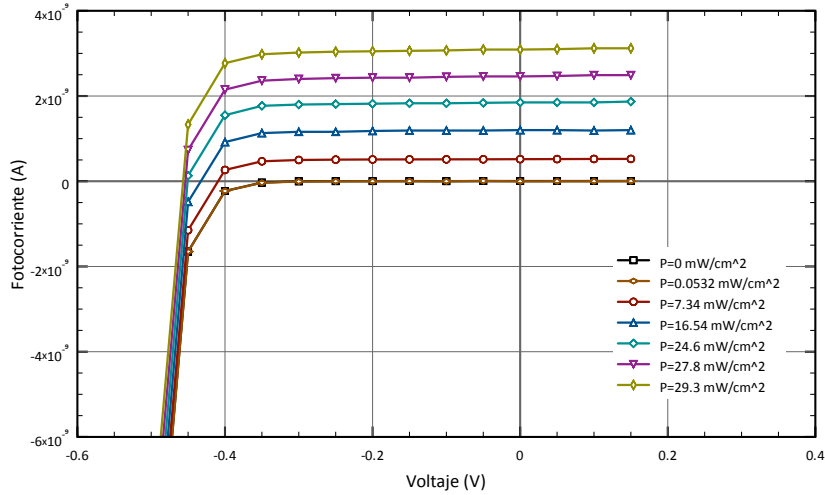
Voltaje a través del LED (V)	Potencia de irradiación (mW/cm²)
<2.6	0
2.5	0.0532
3.0	7.34
3.5	16.54
4.0	24.6
4.5	27.8
5.0	29.3

Para realizar estas mediciones se utilizaron diferentes chips interconectados en serie como se explicará a continuación.

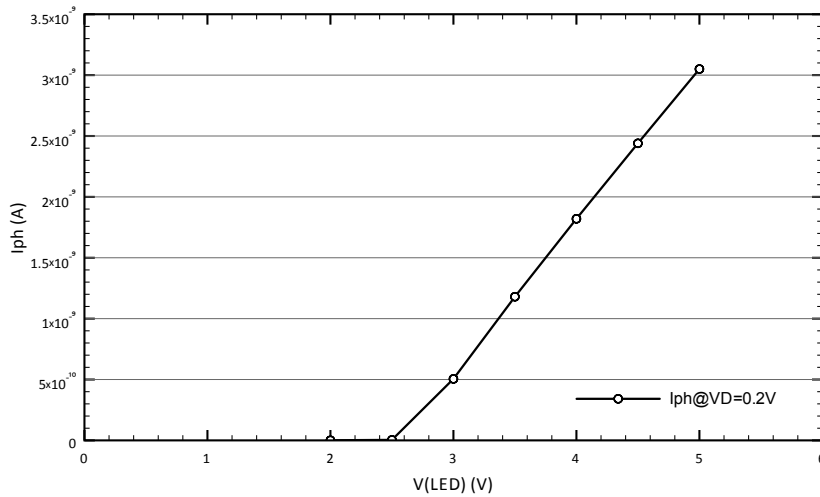
Primero, un solo fotodiodo fue medido, en oscuridad e iluminación, las curvas obtenidas se muestran en la figura 4.5. Puede observarse el incremento regular en la foto respuesta para este fotodiodo y que el V_{OC} se encuentra al rededor de $-0.45V$. Las curvas generadas en oscuridad y cuando se aplican $2.5V$ al LED se encuentran traslapadas, de acuerdo con los resultados en la figura 3.9, indicando que la potencia lumínica generada para este voltaje, produce una

4.2. Caracterización eléctrica del fotodiodo.

respuesta tan pequeña que no es significativa, así que solo seis curvas pueden ser identificadas. Este comportamiento se presenta en todos los resultados siguientes.



(a)



(b)

Figura 4.5 (a) Curvas $I - V$ del fotodiodo después de iluminar con diferentes niveles de irradiación. (b) Fotocorriente del fotodiodo como función del voltaje aplicado al LED.

Después, dos fotodiodos fueron interconectados en serie, cada uno en chip encapsulado por separado. El resultado se muestra en la figura 4.6. Se puede observar que se incrementa el V_{OC} , debido al arreglo en serie, aproximadamente a $-0.9V$. Nótese que la máxima corriente

4.3. Caracterización eléctrica de los dispositivos integrados.

alcanzada con una potencia lumínica de $29.3mW/cm^2$ es menor que con un solo fotodiodo. Esto puede deberse al incremento en la resistencia en serie del arreglo con dos fotodiodos de diferentes chips, junto con el hecho de que la respuesta del LED satura pasando los $25mW/cm^2$ como se muestra en la figura 4.2. Aquí se debe notar que aunque en la inserción se consideran siete condiciones de iluminación, las curvas generadas para 0y 0.0532, y para 27.8, $29.3mW/cm^2$, se encuentran traslapadas debido a la respuesta del LED mostrada en la figura 4.2, donde la saturación se encontró a bajos o altos voltajes aplicados al LED.

Finalmente, tres fotodiodos de tres diferentes chips fueron conectados en serie y el resultado es mostrado en la figura 4.7. Nuevamente, como era de esperarse, el V_{OC} se incrementó al rededor de $-1.35V$, a pesar de que parece que la fotocorriente no puede ir más allá que $1.5nA$, ya que hay un incremento en la resistencia en serie, disminuye la corriente que puede fluir a través del arreglo serie, comparado con la corriente a través de un solo fotodiodo o el arreglo serie de dos fotodiodos. Además, aquí es evidente que la no linealidad de la iluminación de los LED es la responsable de que solo se distingan cuatro de las siete condiciones de iluminación para el fotodiodo, ya que se presenta traslape tanto en bajos como en altos voltajes aplicados al LED.

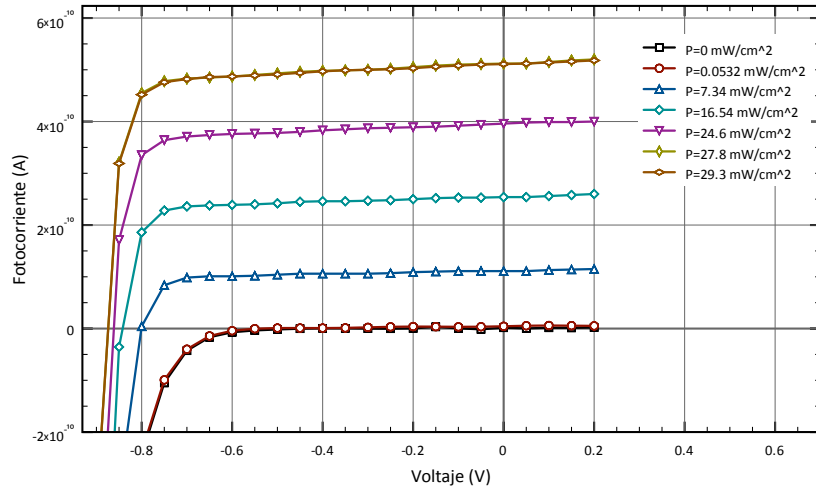
Después de estas mediciones, es claro que dependiendo del número de fotodiodos conectados en serie, se pueden presentar diferentes voltajes de modulación sobre la compuerta de control de un FGMOS y esto puede usarse para modificar la respuesta $I - V$ del mismo.

4.3 Caracterización eléctrica de los dispositivos integrados.

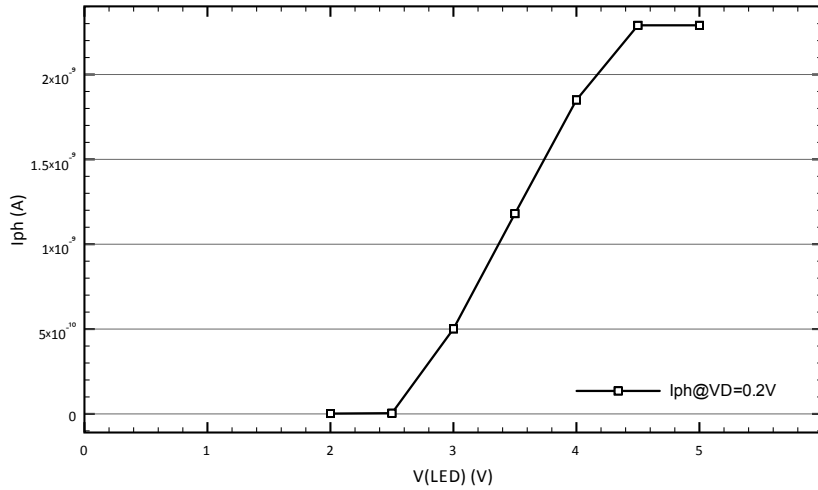
Como se mencionó anteriormente, se fabricaron seis diferentes celdas de prueba para ser caracterizadas con cuatro terminales de acceso en cada celda, que pueden ser usadas para caracterización eléctrica: una para V_{DD} , una para GND , una para polarizar la compuerta de control con V_{CG} y la última para polarizar la terminal del fotodiodo, V_{PH} .

En las figuras 4.8 a 4.11 se muestran los esquemáticos junto con las fotografías tomadas con microscopio óptico de los arreglos de los fotodiodos integrados de los circuitos que fueron medidos. Solo cuatro variaciones se muestran con respecto a las mostradas en la figura 3.19

4.3. Caracterización eléctrica de los dispositivos integrados.



(a)

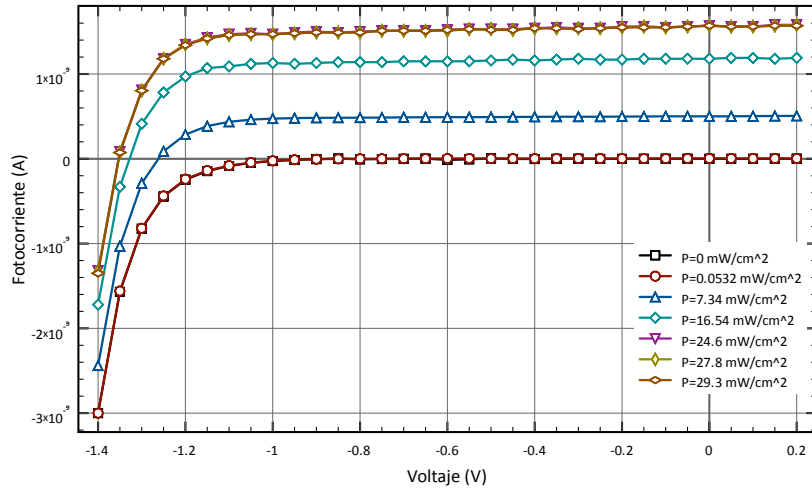


(b)

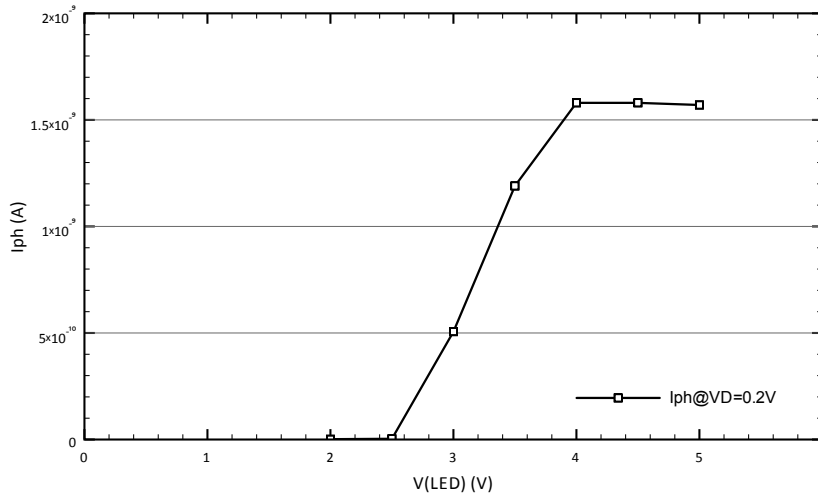
Figura 4.6 (a) Curvas $I - V$ para dos fotodiodos en serie iluminados con diferentes niveles de irradiación. (b) Fotocorriente de los fotodiodos como función del voltaje aplicado al LED.

ya que las figuras 3.19 (a) y 3.19 (c) son similares a 3.19 (b) y 3.19 (d), respectivamente, con la única diferencia en el área del capacitor de acoplamiento. V_{CG} es el voltaje aplicado a la compuerta de control, V_{PH} es el voltaje aplicado al foto sensor, C_{CG} es el capacitor de acoplamiento (con la misma área en todas las configuraciones) como compuerta de control,

4.3. Caracterización eléctrica de los dispositivos integrados.



(a)



(b)

Figura 4.7 (a) Curva $I - V$ para tres fotodiodos en serie después de iluminar con diferentes niveles de irradiación. (b) Fotocorriente de los fotodiodos como función del voltaje aplicado al LED.

y C_{PH} es el capacitor de acoplamiento (área diferente dependiendo de la configuración) conectado al foto sensor.

4.3. Caracterización eléctrica de los dispositivos integrados.

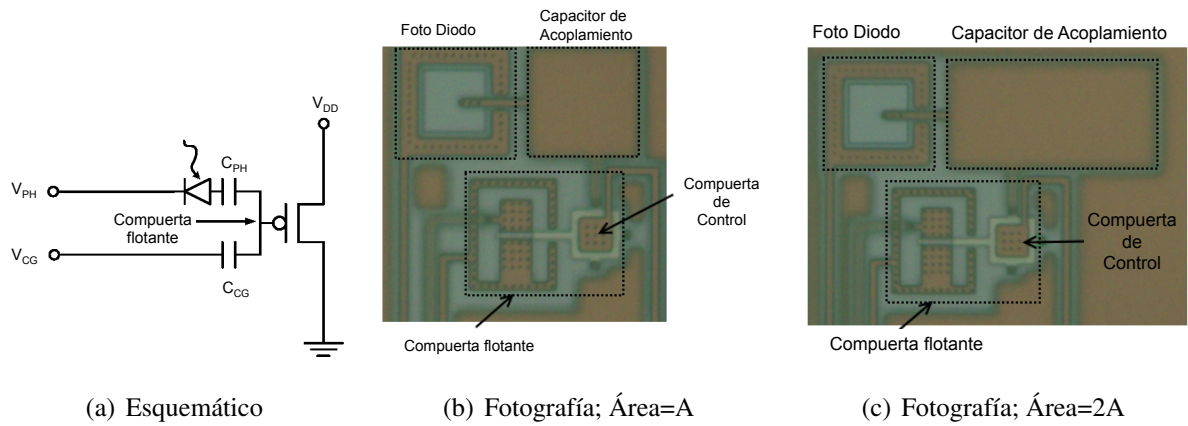


Figura 4.8 Diodo sencillo con el ánodo conectado al capacitor de acoplamiento ($A=20.4 \mu m \times 20.4 \mu m$).

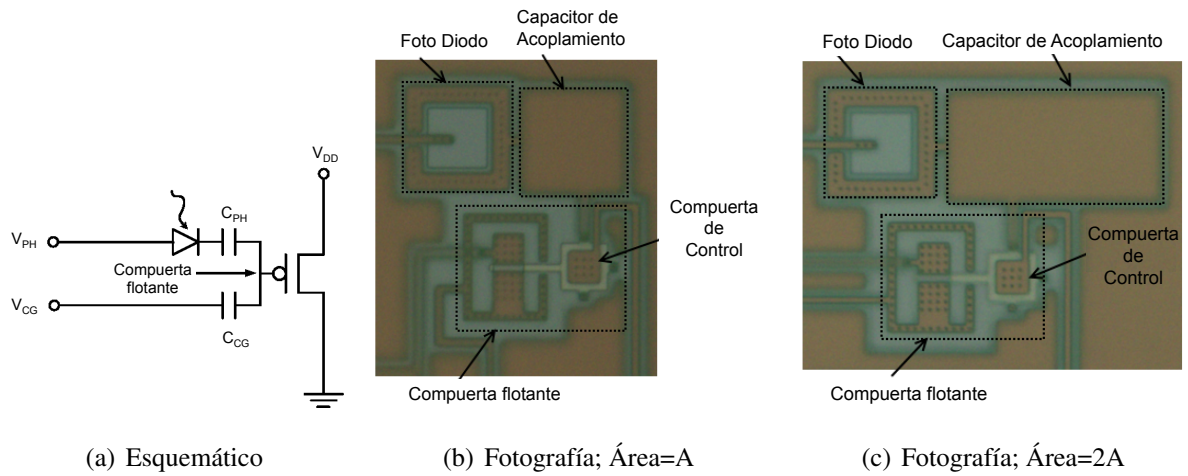


Figura 4.9 Diodo sencillo con el cátodo conectado al capacitor de acoplamiento ($A=20.4 \mu m \times 20.4 \mu m$).

4.3. Caracterización eléctrica de los dispositivos integrados.

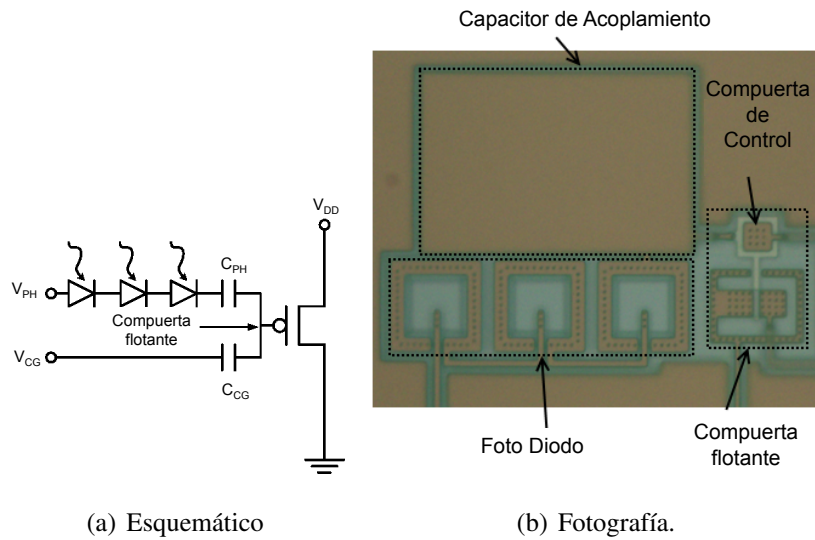


Figura 4.10 Arreglo de tres diodos en serie con el cátodo conectado al capacitor de acoplamiento con Área=6A

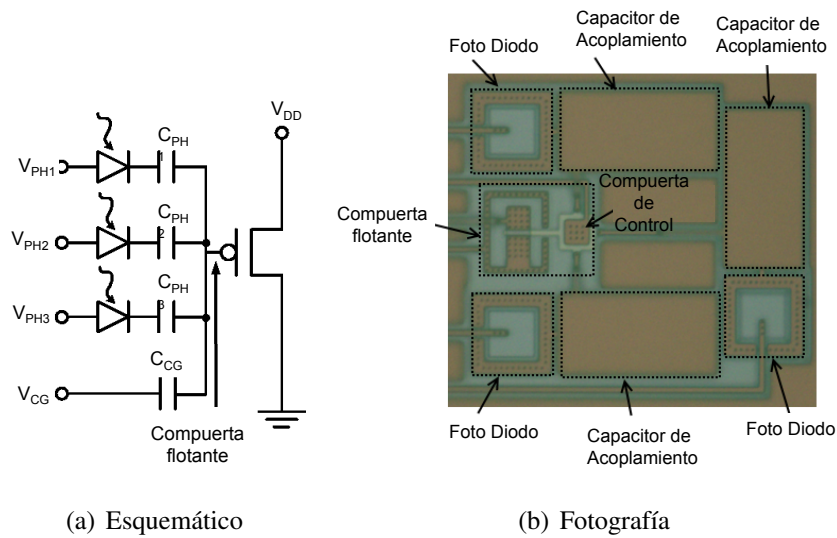


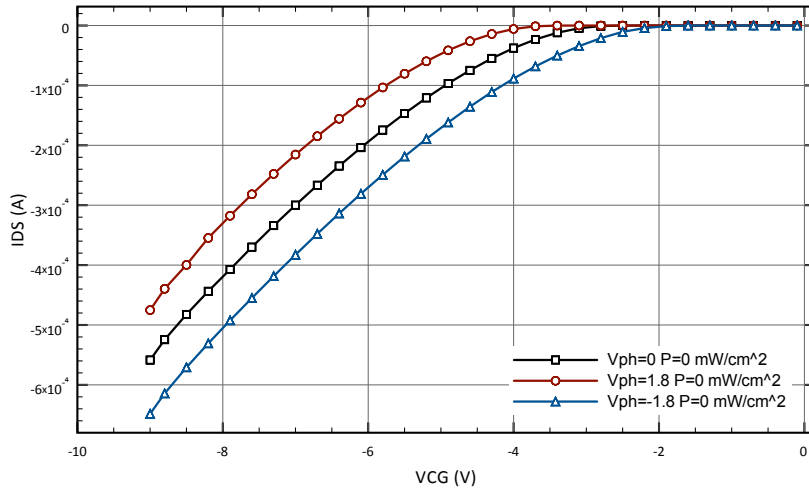
Figura 4.11 Arreglo paralelo de tres diodos con el cátodo conectado al capacitor de acoplamiento con Área=2A cada uno.

4.3.1 Estructura 1

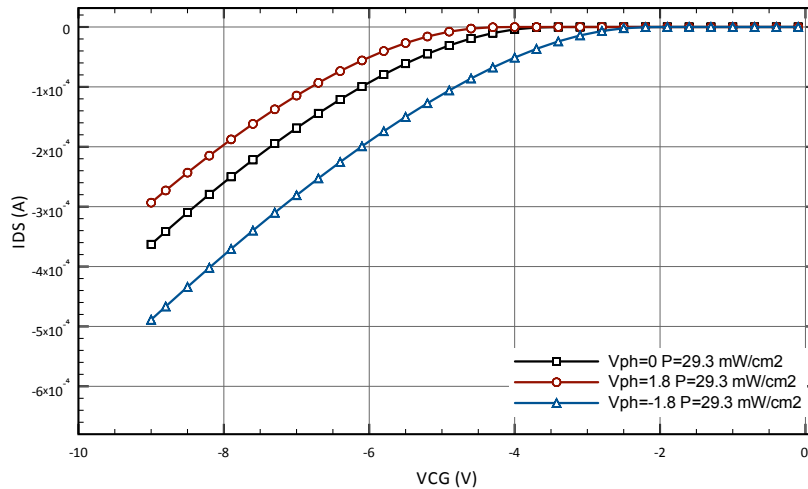
Las estructuras mostradas en la figura 3.19 fueron medidas en oscuridad e iluminación usando una potencia lumínica de $29.3mW/cm^2$ y los resultados son mostrados a continuación. La primera estructura medida corresponde a la configuración mostrada en la figura 4.8

4.3. Caracterización eléctrica de los dispositivos integrados.

(b) donde el ánodo se encuentra conectado al capacitor de acoplamiento de área $A = 20.4\mu m \times 20.4\mu m$. Se aplica un barrido de voltaje a la terminal etiquetada como V_{CG} y tres diferentes voltajes son aplicados en V_{PH} : $0V$, $1.8V$ y $-1.8V$, ambos en oscuridad e iluminación.



(a)



(b)

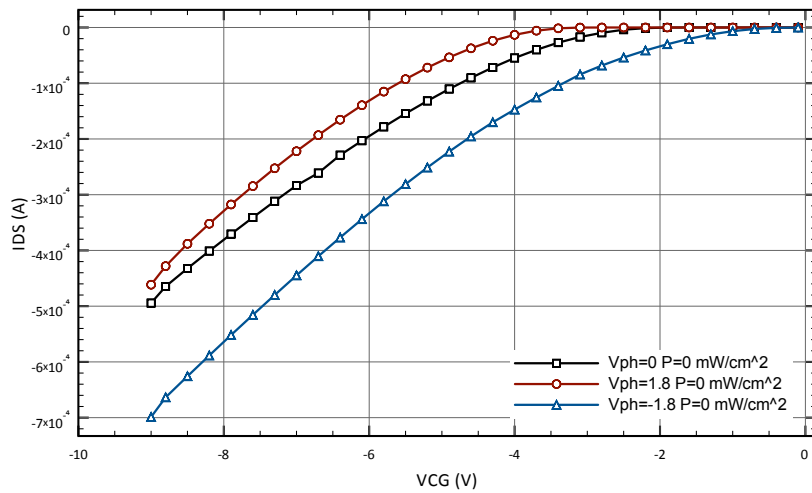
Figura 4.12 Curvas de transconductancia para la configuración de la figura 4.8 (b) en oscuridad e iluminación.

El voltaje de $\pm 1.8V$ aplicado en V_{PH} al ánodo o cátodo es para asegurar que el diodo se polarizará inversamente. Como es bien sabido, cuando el diodo es polarizado directo, la

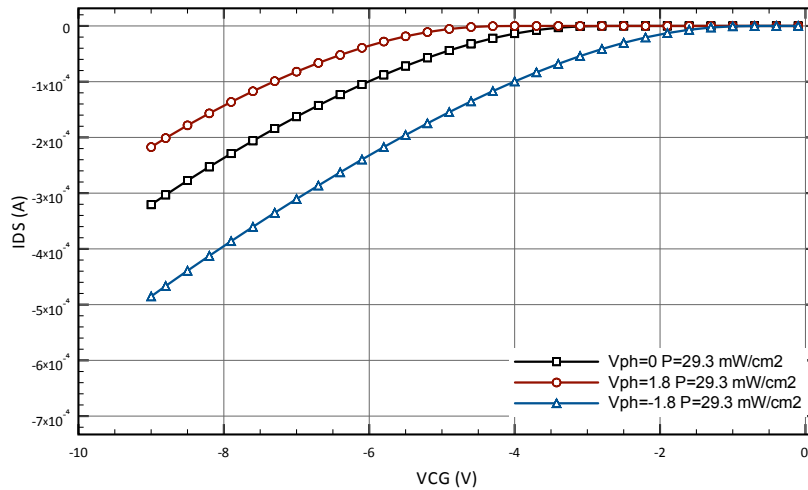
4.3. Caracterización eléctrica de los dispositivos integrados.

capacitancia de unión $p - n$ asociada es más grande, y cuando es polarizado inversamente es más pequeña. Esto influirá en la característica I-V de la configuración *fotodiodo-FGMOS*, como se mostrará a continuación. La figura 4.12 (a) muestra la curva de transconductancia medida en oscuridad y la figura 4.12 (b) en iluminación.

4.3.2 Estructura 2



(a)



(b)

Figura 4.13 Curvas de transconductancia para la configuración de la figura 4.8 (c) en oscuridad e iluminación.

4.3. Caracterización eléctrica de los dispositivos integrados.

Ahora, una configuración similar a la mostrada en la figura 4.8 (b) pero con capacitor de acoplamiento con doble área A (ver figura 4.8 (c)) fue medida y el resultado se muestra en la figura 4.13, similar al observado en la figura 4.12.

Así como en la simulación mostrada en la figura 3.7, cuando un voltaje negativo es aplicado en V_{PH} el coeficiente de acoplamiento es más grande que cuando un voltaje positivo es aplicado. Esto es más evidente cuando la estructura es iluminada, confirmando el comportamiento anticipado con la simulación. También, debe mencionarse que esta medición demuestra que el voltaje aplicado a V_{PH} se acopla efectivamente a la compuerta del transistor FGMOS vía el capacitor de acoplamiento, pero también que la iluminación puede influenciar la característica del transistor FGMOS.

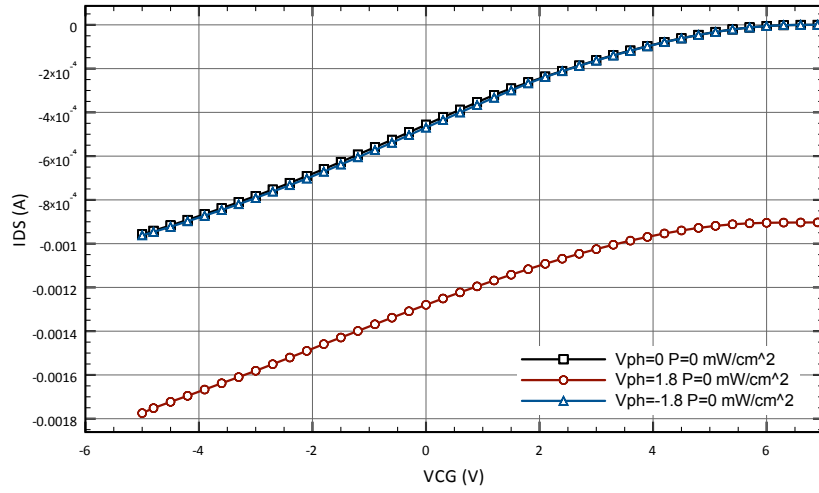
Se puede ver que debido a un área más grande en el capacitor de acoplamiento usado en esta configuración, el comportamiento esperado resulta en un coeficiente de acoplamiento diferente cuando es polarizado inversamente, esto es más evidente que en la figura 4.12.

4.3.3 Estructura 3

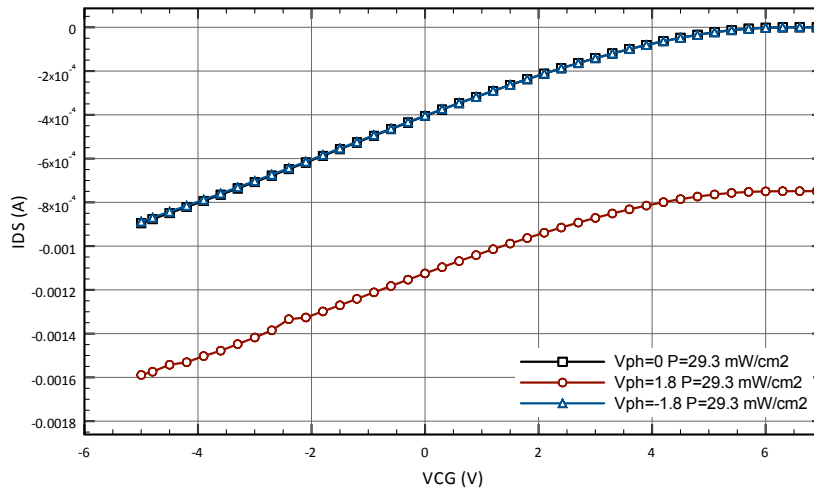
En la figura 4.14 se muestra el resultado obtenido después de medir la configuración mostrada en 4.9 (c), cuando en esta ocasión es polarizado V_{PH} en el ánodo del fotodiodo.

Hasta este punto, de las figuras anteriores puede notarse que la respuesta de transconductancia incluso en oscuridad e iluminación, presentan un desplazamiento de corriente y una respuesta diferente comparada con la obtenida cuando V_{PH} polariza el cátodo, como se muestra en la figura 4.12, específicamente cuando el fotodiodo es polarizado inversamente, p. ej. cuando $V_{PH} = 1.8V$. Esto puede ser explicado considerando que en esta situación V_{PH} puede estar presente a través del diodo parásito formado en las capas *p+/pozo-N/substrato-p/pozo-N* a través de la estructura del *fotodiodo-transistor p-MOS*. Ya que el volumen del transistor p-MOS (pozo-N) se encuentra cortocircuitado con la fuente del transistor, se puede establecer una condición de conducción para el transistor que pudiera ser responsable de este desplazamiento. Sin embargo, a pesar de la respuesta inesperada, una vez más se muestra que el voltaje puede ser acoplado a través del fotodiodo y el capacitor de acoplamiento. Además, la luz no tiene el mismo efecto observado en la figura 4.12, cuando

4.3. Caracterización eléctrica de los dispositivos integrados.



(a)



(b)

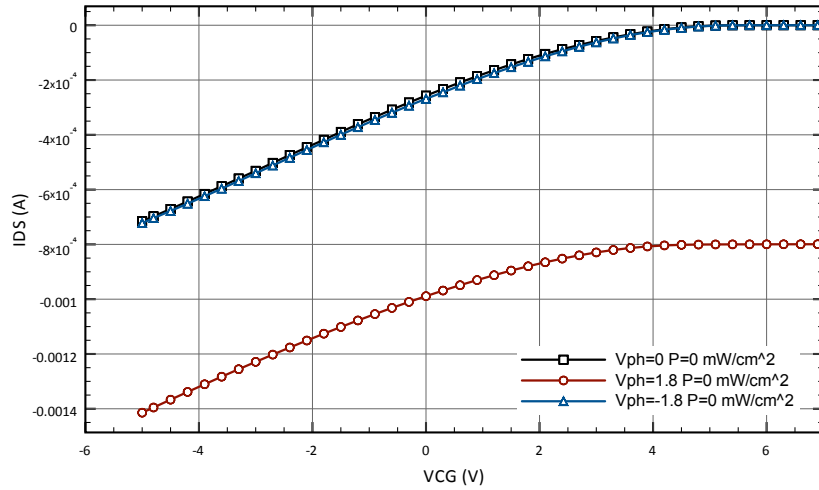
Figura 4.14 Curvas de transconductancia para la configuración de la figura 4.9 (b) en oscuridad e iluminación.

la corriente a través del FGMOS se incrementa cuando es iluminado. Esta desviación de la respuesta esperada puede ser debida al tipo de estructura elegida, esto es, sería interesante probar una configuración similar pero con un transistor n-MOS en lugar del p-MOS, para analizar si este comportamiento no se presenta. También, las curvas de transconductancia para $V_{PH} = 0V$ y $V_{PH} = -1.8V$ se traslapan, no habiendo diferencia entre la respuesta

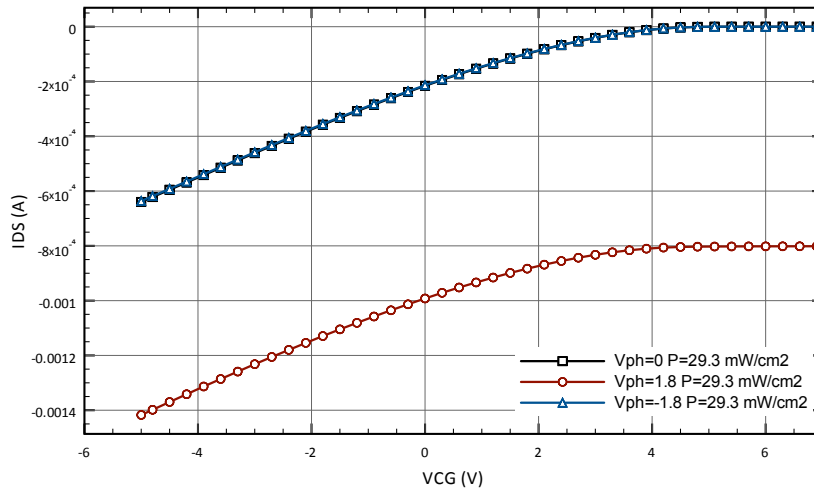
4.3. Caracterización eléctrica de los dispositivos integrados.

del fotodiodo en equilibrio y en polarización inversa. Por lo tanto, no hay ventajas aplicando voltajes inversos o iluminación más altos.

4.3.4 Estructura 4



(a)



(b)

Figura 4.15 Curvas de transconductancia para la configuración de la figura 4.9 (c) en oscuridad e iluminación.

4.3. Caracterización eléctrica de los dispositivos integrados.

Ahora, la configuración como la mostrada en la figura 4.9 (b), pero con un capacitor de acoplamiento con el doble del área A se midió y el resultado en oscuridad e iluminación se muestra en la figura 4.15. Como puede observarse, ésta es muy similar a la mostrada en la figura 4.14. Los resultados presentados en las figuras 4.14 y 4.15 difieren con los resultados esperados en la simulación, el ánodo conectado a V_{PH} , indicando una vez más que puede ser interesante probar con transistor canal n en lugar del p usado en estas estructuras. Parece estar claro con este último resultado que para la estructura (*pozo-N cátodo-p+ ánodo-capacitor de acoplamiento-FGMOS*), se obtienen mejores y confiables resultados cuando un voltaje externo (V_{PH} en este caso) es aplicado al cátodo del fotodiodo, en vez del ánodo.

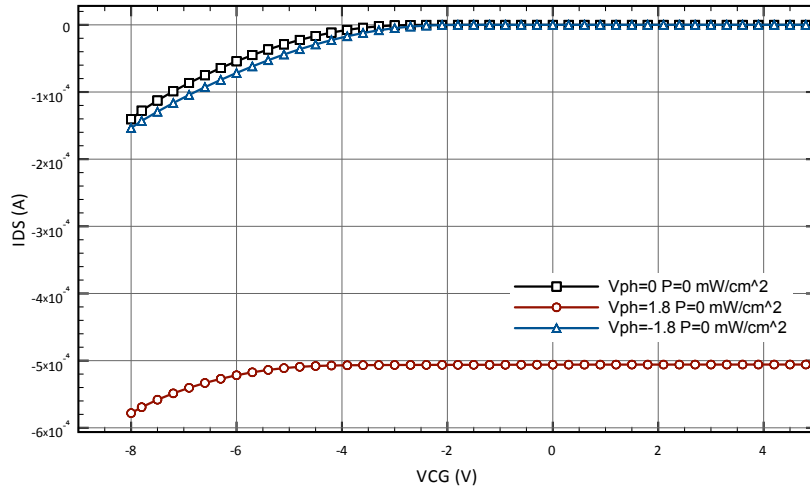
4.3.5 Estructura 5

Ahora, la siguiente estructura medida fue la mostrada en la figura 4.10 y los resultados se muestran en la figura 4.16, donde 3 fotodiodos conectados en serie se conectaron al capacitor de acoplamiento con un área $A = 6A$ y V_{PH} polarizando el ánodo del fotodiodo. Aquí, se puede notar que la curva de transconductancia es corrida a la derecha debido a la suma del voltaje de circuito abierto, V_{OC} , de cada fotodiodo. A pesar de que esta estructura presenta un comportamiento irregular con respecto a lo que se podría esperar, se puede mencionar que junto con un voltaje de acoplamiento efectivo en la compuerta flotante, este voltaje puede modularse con un arreglo serie de fotodiodos cuando éstos son iluminados. sin embargo, una corriente de offset está presente, como se obtuvo también en las mediciones presentadas en la figura 4.15, dando indicación de no es conveniente conectar V_{PH} al ánodo usando esta estructura.

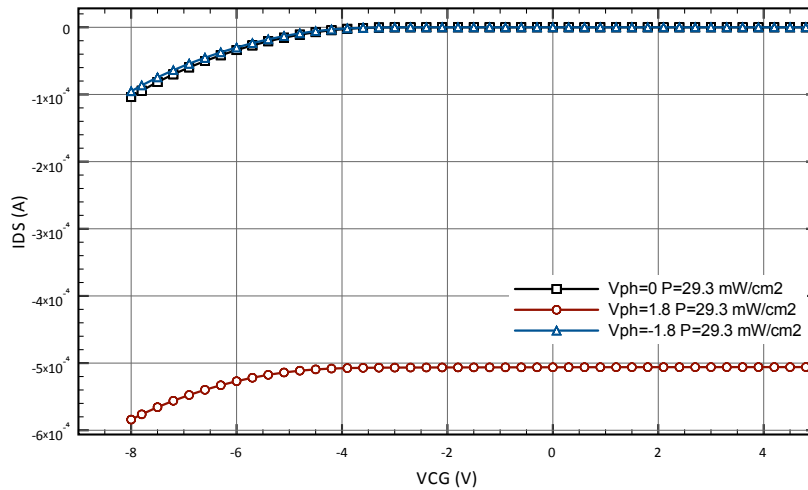
4.3.6 Estructura 6

Finalmente, la estructura mostrada en la figura 4.11 fue medida. Esta configuración tiene tres fotodiodos en paralelo, cada uno con un capacitor de acoplamiento con un Area $A = 2A$ y V_{PH} conectado a los tres ánodos al mismo tiempo. El resultado se graficó en la figura 4.17. Los efectos que pueden ser mencionados para esta configuración son los siguientes. Debido al arreglo paralelo de fotodiodos, las capacitancias de unión se agregan, incrementando la magnitud del capacitor de acoplamiento, y de esta manera el coeficiente de acoplamiento. Esto

4.3. Caracterización eléctrica de los dispositivos integrados.



(a)

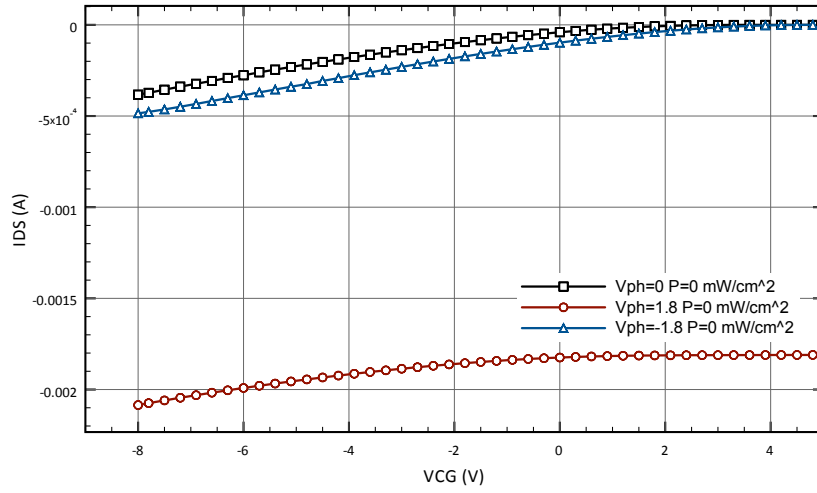


(b)

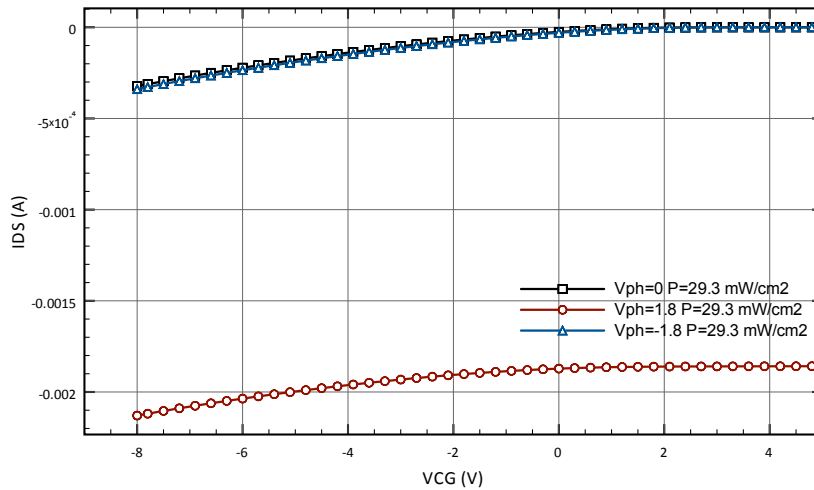
Figura 4.16 Curvas de transconductancia para la configuración de la figura 4.10 en oscuridad e iluminación.

ayuda a tener una fracción más grande de V_{PH} sobre la compuerta flotante, V_{FG} , el cual da lugar a una corriente mayor a lo largo del FGMOS, comparado con la configuración de arreglo serie de fotodiodos. Por otro lado, se puede observar que no hay incremento del V_{OC} de cada fotodiodo ya que se encuentran en paralelo. Aquí debemos recordar que no hay flujo de corriente a través de la compuerta del transistor, así que la corriente típica de corto circuito, I_{SC} , no se debe de tomar en cuenta.

4.4. Discusión.



(a)



(b)

Figura 4.17 Curvas de transconductancia para la configuración de la figura 4.11 en oscuridad e iluminación.

4.4 Discusión.

La hipótesis establecida al comienzo del trabajo fue que el voltaje típico de circuito abierto de una micro foto celda puede ser capaz de modular la característica $I - V$ de un transistor FGMOS si puede ser acoplado a la compuerta flotante por medio de un capacitor de acoplamiento. El propósito de este trabajo es el de demostrar que el fotodiodo puede ser usado

4.4. Discusión.

como compuerta de control cuando se diseñan FGMOS y que cuando se ilumina un arreglo de fotodiodos, el voltaje de umbral de estos dispositivos puede ser modulado. Después de todas las mediciones hechas usando diferentes configuraciones y orientaciones del fotodiodo conectado al capacitor de acoplamiento, se demostró que es posible tener una fracción del voltaje aplicado a una terminal del fotodiodo incluso en condiciones de oscuridad, y además, cuando es iluminado, una fracción de voltaje a circuito abierto, V_{OC} , está presente en la compuerta flotante que puede modular la característica $I - V$ del transistor FGMOS. Sin embargo, se obtuvieron mejores resultados cercanos a los obtenidos previamente por simulación cuando se conectó el cátodo del fotodiodo al voltaje aplicado. Aquí se especula que la razón por la respuesta inesperada cuando la polarización se hizo a través del ánodo, es por la construcción de la estructura, donde el cátodo se hace con el *pozo - N* y el sustrato del transistor MOS es también un cortocircuito del *pozo - N* con la fuente, introduciendo un arreglo de diodo en serie parásito que puede crear un camino directo para el voltaje aplicado al fotodiodo creando una condición de conducción para el transistor FGMOS. Esto da la idea de crear diferentes diseños usando un transistor n-FGMOS, por ejemplo. Este estudio extra puede incluir diferentes áreas de capacitores de acoplamiento por compuertas de control, diferentes patrones de metalización para la área iluminada de la micro foto celda, etc. Este trabajo puede ser dirigido a usar este tipo de estructuras como un pixel activo ya que un transistor puede recibir la información de varios foto sensores, reduciendo la complejidad de los actuales diseños de pixel.

Es necesario precisar que el voltaje nativo del MOSFET se mantiene inalterado todo el tiempo y debe de notarse que el voltaje de umbral medido considerando un FGMOS es llamado “voltaje de umbral aparente” ya que es obtenido como una función del voltaje aplicado sobre la compuerta de control, V_{CG} , no como una función del voltaje presente en la compuerta flotante, V_{FG} ya que es fijo una vez programado. Debe recordarse que las gráficas para la extrapolación del voltaje de umbral aparente, V_{TH}^* , se obtuvieron cuando un barrido de voltaje es aplicado a la compuerta de control V_{CG} . Para comprender la notación, específicamente, V_{TH} es el voltaje nativo del MOSFET interno, y V_{TH}^* es el voltaje de umbral aparente del FGMOS, y el último puede ser modulado.

Capítulo 5

Conclusiones.

Es bien sabido que un transistor FGMOS puede operar como una memoria no-volátil cuando es inyectada/extraída carga hacia/desde la compuerta flotante, manteniendo su condición mientras esta carga no sea removida por métodos conocidos de inyección/extracción como Fowler-Nordheim o Electrones calientes. Además, el transistor FGMOS puede ser operado también cuando solo un voltaje externo es aplicado a la(s) compuerta(s) de control y es acoplado a la compuerta flotante, esto es, cuando no se favorece la inyección/extracción de carga por medios eléctricos, modulando de todas formas la característica $I - V$, siempre y cuando el voltaje esté siendo aplicado a la compuerta de control. Una vez que este voltaje en la compuerta sea removido, el FGMOS regresará a su condición original. Pero además se debe recalcar que en ningún caso el voltaje de umbral nativo se modifica en absoluto.

- Para el caso reportado en este trabajo, se muestra por simulación y experimentalmente, que usando el FGMOS operando como sensor voltamétrico, el voltaje de circuito abierto, V_{OC} , de un micro fotodiodo, puede ser acoplado a la compuerta flotante usando el ánodo o el cátodo de este fotodiodo como compuerta de control, del cual el FGMOS en esta propuesta operará al inducirse un voltaje en la compuerta flotante, siendo esta la principal propiedad involucrada en la modulación de la característica $I - V$.
- También es bien sabido que la capacitancia de unión de un diodo puede ser modulada dependiendo de si la unión es polarizada inversa o directamente. Se demostró que esto introduce una capacitancia de acoplamiento variable dependiente del voltaje que en

consecuencia influirá en el valor que estará presente sobre la compuerta flotante, como se pudo deducir de la ecuación 2.2.

- Con este trabajo, se demuestra que es posible usar un fotodiodo como compuerta de control para modular la característica $I - V$ de un transistor FGMOS en oscuridad y bajo iluminación, algo que hasta ahora no había sido reportado aún. Esto puede lograrse ya que una fracción del voltaje de entrada puede estar presente sobre la compuerta flotante a través de un capacitor de acoplamiento sin la necesidad de integración de voltaje con la capacitancia parásita del transistor, como es hecho con configuraciones convencionales de pixel.
- Además, fue posible demostrar el efecto en oscuridad e iluminación, con mejores resultados cuando el voltaje de excitación se conectó al cátodo del fotodiodo, con la estructura construida en este trabajo.
- También, cuando es iluminado y dependiendo del arreglo de fotodiodo usado, es posible modular la característica $I - V$ del FGMOS con el voltaje de circuito abierto, V_{OC} , de un foto sensor, esto es, con un arreglo serie de un cierto número de fotodiodos. Por lo tanto, se demostró que puede ser inducido también un voltaje sobre la compuerta flotante proveniente de un fenómeno óptico diferente a las convencionales de inyección de electrones calientes o tunelamiento Fowler-Nordheim.

Este estudio se puede extender para examinar posibles aplicaciones de esta estructura en pixeles activos.

Productos.

Artículos en extenso publicados en memorias de congreso.

A prototype design for an accelerometer using a multiple floating-gate MOSFET as a transducer.

Conference Paper

Sep 2014 11th International Conference on Electrical Engineering, Computing Science and

Automatic Control (CCE)

Assessment of the possibility to couple a photosensor to a FloatingGate MOS transistor.

Conference Paper

Sep 2016 13th International Conference on Electrical Engineering Computing Science and Automatic Control

Publicación en revista.

Analysis and measurement of a photo diode used as a control gate in a floatinggate MOS transistor.

Domínguez-Sanchez Sergio, Reyes-Barranca Mario Alfredo, Mendoza-Acevedo Salvador, Flores-Nava Luis Martín, Sensors and Actuators: A Physical
<https://doi.org/10.1016/j.sna.2017.09.049>

Trabajo futuro.

- Medición de las estructuras fotosensibles integradas en el mismo chip en arreglos serie y paralelo, para encontrar la respuesta al estar acoplados con el FGMOS.
- Configurar un amplificador simple con el arreglo fotosensor-FGMOS, empleando al fotosensor como compuerta de control, para obtener su función de transferencia y graficarla con diferentes potencias de iluminación incidente.
- Realizar el estudio y fabricación de una estructura similar, pero empleando un n-FGMOS, para comparar los resultados obtenidos con el p-FGMOS.
- Analizar y proponer una estructura tipo pixel para captura de imágenes y comparar su funcionamiento con los sensores de pixel activo (APS) existentes en la actualidad.
- Modificar y proponer un modelo para el FGMOS que incluya la capacitancia de deserción del fotosensor.
- Estudio del factor de acoplamiento en función de la geometría de la estructura fotosensible y el área del capacitor fijo de acoplamiento.

Referencias

- [1] D. Kahng y S.M. Sze, "A floating-gate and its application to memory devices", The Bell System Technical Journal, vol. 46, no. 4, 1967, pp. 1288-1295.
- [2] D. Kahng y S. M. Sze "Floating-gate and its application to memory devices", Bell Syst. Tech. J., vol. 46, no. 4, pp.1288 -1295 1967
- [3] M. Holler, S. Tam, H. Castro, y R. Benson, "An electrically trainable artificial neural network with 10240 'floating gate' synapses", Proceeding of the International Joint Conference on Neural Networks, Washington, D.C., vol. II, 1989, pp. 191-196.
- [4] A. Thomsen y M.A. Brooke, "A floating-gate MOSFET with tunneling injector fabricated using a standard double-polysilicon CMOS process", IEEE Electron Device Letters, vol. 12, 1991, pp. 111-113.
- [5] T. Shibata y T. Ohmi, "A functional MOS transistor featuring gate-level weighted sum and threshold operations", IEEE Transactions on Electron Devices, vol. 39, no. 6, 1992, pp. 1444-1455.
- [6] O. Fujita, Y. Amemiya y A. Iwata, "Characteristics of floating gate device as analogue memory for neural networks", Electronics Letters, Vol. 27, Issue 11, 1991 , pp. 924 926.
- [7] Liming Yin, S. H. K. Embabi, E. Sanchez Sinencio "A floating-gate MOSFET D/A converter , Circuits and Systems", 1997. ISCAS '97, Proceedings of 1997 IEEE International Symposium on Volume: 1, 409 412.
- [8] A.J. Lopez-Martin, J. Ramirez-Angulo y R. G. Carvajal, "Low-voltage FGMOS-based balanced current scaling in moderate inversion, Circuit Theory and Design", 2007. ECCTD 2007. 18th European Conference on, 2007, pp. 56 59.
- [9] J. Galán, C. Lujan-Martinez, R. G. Carvajal, J. Ramirez-Angulo, A. Torralba y A. Lopez-Martin "Comparison of programmable linear resistors based on quasi-floating gate MOSFETs, Circuits and Systems", 2008. ISCAS 2008, IEEE International Symposium on, 2008, pp. 1712 1715.
- [10] E. Garcia-Moreno, E. Isern, M. Roca, R. Picos, J. Font, J. Cesari y A. Pineda. "A Temperature Compensated Floating Gate MOS Radiation Sensor With Current Output", IEEE TRANSACTIONS ON NUCLEAR SCIENCE, Issue: 99, 2013, pp. 1 5.

- [11] J. Bausells, J. Carrabina, A. Errachid y A. Merlos “Ton-sensitive field-effect transistors fabricated in a commercial CMOS technology”, *Sens. Actuat. B* 1999, 57, 56-62.
- [12] Y. L. Chin, J. C. Chou, T. P. Sun, H. K. Liao, W. Y. Chung y S. K. Hsiung “A novel SnO₂/Al discrete gate ISFET pH sensor with CMOS standard process”, *Sens. Actuat. B* 2001, 75, 36-42.
- [13] P. Georgiou y C. Toumazou, “An adaptive CMOS-based FG-ISFET for pH sensing, Circuits and Systems”, 2009, ISCAS 2009, IEEE International Symposium on, pp. 557-560.
- [14] Mario Alfredo Reyes Barranca, Salvador Mendoza-Acevedo, Luis M. Flores-Nava, Alejandro Avila-García, E. N. Vazquez-Acosta, José Antonio Moreno-Cadenas y Gaspar Casados-Cruz. “Using a Floating-Gate MOS Transistor as a Transducer in a MEMS Gas Sensing System Sensors”, *Sensors (Basel)* 2010; 10(11): 1041310434. Published online 2010 Nov 18.
- [15] M. A. Reyes-Barranca, S. Mendoza-Acevedo, L. M. Flores-Nava, A. Ávila-García, A. A. Gopar-Castillo y J. L. González-Vidal, “Analysis of the potential upon the floating gate of an FGMOSFET used as a gas sensor, Superficies y Vacío”, 21(3) 2008, pp. 5-9.
- [16] G. S. Abarca-Jiménez, “Sistema electrónico para un acelerómetro empleando un FGMOS para correlación de parámetro inercial”, Tesis Doctoral, CINVESTAV-IPN, 24 de Noviembre de 2016.
- [17] S. Domínguez-Sánchez, “Integración de un prototipo de acelerómetro para altas Gs”, CINVESTAV-IPN, 12 de Septiembre de 2013.
- [18] S. Dominguez-Sanchez, M. A. Reyes-Barranca, G. S. Abarca-Jimenez y S. Mendoza-Acevedo, “A prototype design for an accelerometer using a multiple floating-gate MOSFET as a transducer”, *Electrical Engineering, Computing Science and Automatic Control (CCE)*, 2014 11th International Conference on Electrical Engineering, vol , no , pp.1-6
- [19] K. C. Redmond y T. M. Smith, “Project Whirlwind: The History of a Pioneer Computer”. Bedford, MA: Digital Press, 1980.
- [20] R. Gregorian y G. C. Temes, “Analog Mos integrated circuits for signal processing”, J. Wiley Sons, 1986, pp. 558-559.
- [21] [1] P. Pavan, L. Larcher y A. Marmiroli, Principles of Floating Gate Devices, in *Floating Gate Devices: Operation and Compact Modeling*, 1ra ed. Boston, Springer US, 2004, cap. 2, secc. 1, pp. 1722.
- [22] Patricia Mejía-Chávez, Juan C. Sánchez-García, José Velázquez-López “Differential Difference Amplifier FGMOS for Electrocardiogram Signal Acquisition.” 2011 8th International Conference on Electrical Engineering, Computing Science and Automatic Control.

- [23] E. Sanchez-Sinencio, “Notas de clase de Asignatura: Advanced Analog Circuit Design Techniques”, The Analog & Mixed Signal Center, Texas A&M University.
- [24] S. J. Rapp (2010) “A comprehensive Simulation Model for Floating Gate Transistors”, Thesis Master of Science, College of Engineering and Mineral Resources, West Virginia University.
- [25] S. Mendoza Acevedo, “Prototipo de sensor para gases con tecnología MEMS”, Tesis Doctoral, CINVESTAV-IPN, 17 de Agosto de 2012.
- [26] IEEE 1995 Nonvolatile Semiconductor Memory Workshop, “Flash Memory Tutorial”, Monterey, California, August 14, 1995.
- [27] P. Pavan, L. Larcher y A. Marmiroli, Principles of Floating Gate Devices, in Floating Gate Devices: Operation and Compact Modeling, 1ra ed. Boston, Springer US, 2004, cap. 1, secc. 1.2, pp. 47.
- [28] The MOS model, level 1101 - http://www.semiconductors.philips.com/Philips_Models/
- [29] W. Liu, X. Jin, K. M. Cao, y C. Hu, “BSIM4.0.0 MOSFET Model Users Manual”, 2000.
- [30] M. Bucher, C. Lallament, C. Enz, F. Theodoloz, y F. Krummenacher, “The EPFL-EKV MOSFET model equations for circuit simulation, Version 2.6”, Technical Report, Electronics Laboratory, Swiss Federal Institute o Technology (EPFL), June 1997. [available online: <http://legwww.epfl.ch/ekv/>]
- [31] G. Gildenblat, N. Arora, R. Sung, y P. Bendix, “Scalable surface potential based compact MOSFET model”, Proc. 1997 International Semiconductor Device Research Symposium, p. 33, 1997.
- [32] <http://home.hiroshima-u.ac.jp/usdl/HiSIM.html>
- [33] [1] S. M. Sze, Optoelectronic Devices, in Physics of Semiconductor Devices, 1ra ed. John Wiley Sons, Inc, 1969, cap. 12, secc. 1, pp. 625626.
- [34] Kazuya Matsumoto et al., “A new MOS phototransistor operating in a non-destructive readout mode” Jpn. J. Appl. Phys. 24 (1985) .
- [35] Eric R. Fossum (1993), “Active Pixel Sensors: Are CCD’s Dinosaurs?” Proc. SPIE Vol. 1900, p. 214, Charge-Coupled Devices and Solid State Optical Sensors III, Morley M. Blouke; Ed.
- [36] OSI Optoelectronics, “Photodiode Characteristics and Applications”, www.osioptoelectronics.com
- [37] R. J. Perry and K. Arora, “Using PSPICE to simulate the photoresponse of ideal CMOS integrated circuit photodiodes”, Proc. IEEE Southeastcon Bringing Together Education, Science and Technology, pp.374 -380 1996

- [38] M. Ferri , D. Pinna , E. Dallago y P. Malcovati “Integrated micro solar cell structures for harvesting supplied microsystems in 0.35 μ m CMOS technology”, Proc. IEEE Sensors, pp.542 -545 2009
- [39] N. J. Guilar , T. J. Kleeburg , A. Chen , D. R. Yankelevich y R. Amirtharajah “Integrated solar energy harvesting and storag”, IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 17, no. 5, pp.627 -637 2009
- [40] G. Koklu, R. Etienne-Cummings, Y. Leblebici, G. De Micheli, y S. Carrara, “Characterization of Standard CMOS Compatible Photodiodes and Pixels for Lab-on-Chip Devices. In Circuits and Systems” (ISCAS), 2013 IEEE International Symposium on (pp. 1075-1078). 19-22 May, Beijing

Apéndice A: Modelo del transistor FGMOS.

```
* OrCAD Model Editor - Version 9.0
*$
.subckt TDCF1_SDS_PMOS DP SP BP G1 G2 SENS
*-----
*   MODELO COMPLETO PARA TRANSISTOR DE COMPUERTA FLOTANTE PMOS CON
*       DOS COMPUERTAS DE CONTROL.
*   MODELO DESARROLLADO POR VICTOR HUGO PONCE PONCE.
* ADAPTADO POR SERGIO DOMÍNGUEZ
* PARA LA TECNOLOGIA DE 0.5 MICRAS DE ON SEMIC.
* CORRIDA V57X
*-----
* DECLARACION DE PARAMETROS, PASADOS AL MODELO MEDIANTE EL SIMBOLO
* EN EL EDITOR ESQUEMATICO. C1 ES LA CAPACITANCIA ENTRE P1 Y P2
* OBTENIDA DEL LAYOUT.
+           PARAMS: C1=0
+   C2=0
+           AREA_POLY1=0
+           LP=0.63u   WP=1.2u
+           ASP=0     PSP=0
+           ADP=0     PDP=0
*-----
* PARAMETROS EXTRAIDOS DEL PROCESO DE FABRICACION CMOS
* SE DEBEN MANTENER ACTUALIZADOS.
* POR EJEMPLO, EN PSPICE "CGBO" EQUIVALE A "CGBON" PARA UN NMOS.
* EN EL MODELO BSIM3 PARA TRANSISTORES DE CANAL CORTO (SUBMICRO)
* SE SUBSTITUYE LD POR LINT Y WD POR WINT. PHIN SE SUBSTITUYE
* POR PB.
*-----
* DESCRIPCION PARA EL TRANSISTOR PMOS.
.PARAM           CGBO=1.0E-9       CGSO=2.34E-10   CGDO=2.34E-10
+ WINT=2.247043E-7 LINT=9.979797E-8 PB=0.8698912
+           TOX=1.41E-8
```

```

**          V(SENS)=0
*          TOX: en metros
*-----
*-----
* EXPRESIONES DEL MODELO
*-----
*-----
.PARAM RGDE=1E12
.PARAM EPSIO=34.51E-12      ;PERMITIVIDAD DEL SIO2
*          farads/metro
.PARAM DIST_POLY1_A_SUB=0.41826E-6; SEPARACION COMPUERTA-SUBST.
*          metros
*-----
* CAPACITANCIAS DE CONTROL DE ENTRADA
C1 G1 CF {C1}
C2 G2 CF {C2}
*-----
* RESISTENCIA ASOCIADAS A LA COMPUERTA DE CONTROL
RG1 G1 0 {RGDE}
RG2 G2 0 {RGDE}
*-----
* SUMA DE LAS CAPACITANCIAS DE CONTROL (Cin)
VCT1 CT1 0 {C1+C2}
RVCT1 CT1 0 {RGDE}
*-----
* VOLTAJE PARA SIMULAR LA CARGA EN LA COMPUERTA FLOTANTE
EVGAS GAS 0 VALUE={V(SENS)}
RGAS GAS 0 {RGDE}
*-----
* CAPACITANCIA PARASITA ENTRE CF Y CANAL, "COXP", PMOS
VCT2 CT2 0 {(EPSIO/TOX)*(LP-2*LINT)*(WP-2*WINT)}
RVCT2 CT2 0 {RGDE}
*-----
* CAPACITANCIA PARASITA ENTRE CF Y POZO (PMOS)
VCT3 CT3 0 {CGBO*(LP-2*LINT)}

```

```

RVCT3 CT3 0 {RGDE}
*-----
* CAPACITANCIA PARASITA ENTRE CF Y FUENTE Y DRENADOR, PMOS
VCT4 CT4 0 {(CGSO+CGDO)*(WP-2*WINT)}
RVCT4 CT4 0 {RGDE}
*-----
* CAPACITANCIA PARASITA ENTRE POLY1 Y SUSTRATO
VCT5 CT5 0 {(EPSIO/DIST_POLY1_A_SUB)*AREA_POLY1}
RVCT5 CT5 0 {RGDE}
*-----
* CAPACITANCIA TOTAL (TERMINO DEL DENOMINADOR PARA EL POTENCIAL
* DE CF) EL CALCULO DE LAS CAPACITANCIAS SE HACE A TRAVES DE
* FUENTES DE VOLTAJE, SIENDO UN METODO EQUIVALENTE
ECTOT CTOT 0 VALUE={V(CT1)+V(CT2)+V(CT3)+V(CT4)+V(CT5)}
RECTC CTOT 0 {RGDE}
*-----
* TERMINOS PARA EL POTENCIAL DE COMPUERTA FLOTANTE
*-----
* POTENCIAL DEBIDO A LA CAPACITANCIA DE CONTROL
*
ECIN CIN 0 VALUE={C1/V(CTOT)*V(G1)+C2/V(CTOT)*V(G2)}
RECIN CIN 0 {RGDE}
*-----
* POTENCIAL DE CF EN FUNCION DE LOS POTENCIALES EN FUENTE,
* DRENADOR Y SUSTRATO DEL PMOS
EDSP DSP 0 VALUE={CGSO*(WP-2*WINT)/V(CTOT)*V(SP)
+
+CGDO*(WP-2*WINT)/V(CTOT)*V(DP)
+
+CGBO*(LP-2*LINT)/V(CTOT)*V(BP)}
REDSP DSP 0 {RGDE}
*-----
* POTENCIAL DE CF EN FUNCION DE LOS POTENCIALES EN EL CANAL
* Y SUSTRATO, PMOS
*
EOXBP OXBP 0 VALUE={{(EPSIO/TOX)*(LP-2*LINT)*(WP-2*WINT)*(V(SP)+2*PB)}/V(CTOT)}
*

```

```

REOXBP OXBP 0 {RGDE}
*-----
* POTENCIAL DE CF EN FUNCION DEL POTENCIAL EN POLY1 SOBRE
* OXIDO GRUESO (BACK-PLATE) PARA UN PROCESO POZO N
EPOL1 POL1 0 VALUE={{(EPSIO/DIST_POLY1_A_SUB)*AREA_POLY1*V(BP)/V(CTOT)}}
RPOL1 POL1 0 {RGDE}
*-----
* POTENCIAL TOTAL EN LA COMPUERTA FLOTANTE

ECF CF 0 VALUE={V(DSP)+V(OXBP)+V(CIN)+
V(SENS)+V(POL1)} ;antes V(GAS),
RECF CF 0 {RGDE}
*-----
* MOSFET ASOCIADO AL MODELO
M1 DP CF SP BP MP1 L={LP} W={WP} AD={ADP} AS={ASP} PD={PDP} PS={PSP} OFF
*-----
.ends TMCf1_SDS_Pmos
*$

```

Apéndice B: Modelo para simulación del fotodiodo.

```
* PHOTODIODE  pplus-nwell
* Archivo: Photodiode_pplus.lib
*.subckt photodiode_CMOS_pplus-nwell
*-----
* subcircuito del fotodiodo CMOS p+/nwell
*
*-----PARAMETROS Y CONSTANTES GLOBALES-----

.param lambda = 0.633      ; longitud de onda de la luz
.param xj = 0.2e-4        ; profundidad de union
.param q = 1.602e-19      ; carga del electron
.param eo = 8.854e-14     ; permitividad del vacio
.param c = 3e8            ; velocidad de la luz
.param h = 1              ; constante de Planck
.param es = {11.8*eo}    ; permitividad del silicio

*-----DEVICE CONSTANTS-----

.param up = 102           ; movilidad de los huecos
.param un = 546           ; movilidad de los electrones
.param ni = 1.45e10       ; concentracion intrinseca
.param ni2 = {(ni*ni)}

*-----Source and Optical Constants-----

.param qeff = 1           ; eficiencia cuantica
.param reflection = 0     ; coeficiente de reflexion
.param hc = 1.24          ; cte. de Plankc por la vel. de la luz
.param tp = 0.1u         ; tiempo de vida de los huecos
.param tn = 0.1u         ; tiempo de vida de los electrones

*-----Derived Constants-----
```

```

.param vtx = 25.8e-3          ; voltaje termico
.param Dp = {(vtx*up)}       ; cte. de difusion de los huecos
.param Dn = {(vtx*un)}       ; cte. de difusion de los electrones
.param Lp = {(sqrt(Dp*tp))}   ; longitud de difusion de los huecos
.param Ln = {(sqrt(Dn*tn))}   ; longitud de difusion de los electrones

*-----Local parameters-----

.param alpha = {alpha_model(lambda)} ; coeficiente de absorcion
.param An = {A(alpha, xj, Ln)}       ; func. para condiciones de frontera
.param qg0 = {qg0_calc(pin, lambda)} ; generacion de portadores en la sup.

*-----Global Functions-----

.Func alpha_model(lambda) = {sqr((84.732/lambda)-76.417)}
.Func vbi(na,nd) = {vtx*log(na*nd/ni2)}
.Func qg0_calc(pin,lambda)={alpha_model(lambda)*(pin/hc)*(lambda*qeff*(1-reflection))}
.Func sqr(x)={x*x}
.Func xd_calc(v,na,nd)={sqrt((2*es*(vbi(na, nd) + v)/q)*((1/na) + (1/nd)))}
.Func A(alpha,x,L)={exp(-alpha*x)-cosh(x/L)/sinh(x/L)}

*-----S-U-B-C-K-T-----

.model Dfpp D(Is=14.1E-14 Cjo=.114f)
.SUBCKT photodiode_CMOS_pplus-nwell Vm Vp
+ params: area=1.44e-6 pin=500m ; editar la potencia incidente
+ dev_length=4.5e-4
+ na=1e20 nd=1e17 rs=1

*----- Subcircuit Definition-----

D_D1 Vp vpint Dfpp ; diodo ideal
G_G1 vpint Vp VALUE={area*jt(V(vpint, Vp))} ; fotocorriente
R_RS Vm vpint {rs} ; resistencia serie del diodo

```

```

*-----The Local function-----

.Func DRB(x) = {xj+xd_calc(x,na,nd)}
.Func DL(x) = {dev_length-xj-xd_calc(x,na,nd)}
.Func Ap(x) = {A(alpha,DL(x),Lp)}
.Func jnp(x) = {qg0*Ln*(alpha*Ln*exp(-alpha*xj)+An*cosh(xj/Ln)+
sinh(xj/Ln))/(sqr(alpha*Ln)-1)}
.Func jd(x) = {qg0*(exp(-alpha*xj)*(1-exp(-alpha*xd_calc(x,na,nd)))/alpha)}
.Func jsub(x) = {qg0*Lp*(Ap(x)+alpha*Lp)*exp(-alpha*DRB(x))/(1-sqr(alpha*Lp))}
.Func jt(x) = {(jd(x)-jsub(x)-jnp(x))}
.ENDS photodiode_CMOS_pplus-nwell

```

Circuito para evaluar el desempeño de un fotodiodo

Circuito para evaluar el desempeño de un fotodiodo

```

*Archivo: fot-serge_02.cir
* Se utiliza un MOS convencional
* para obtener una funcion de transferencia
*
*PHOTODIODE nwell-psub
*
*
VDD 4 0 DC 5V
Rd 1 2 0.1
*
*----- POLARIZACION INVERSA DE LA CELDA -----
*
X1 3 2 nwellpd ; polarizacion inversa
Iph 3 2 40u ; polarizacion inversa, fotocorriente
*
*----- POLARIZACION DIRECTA DE LA CELDA -----
*
*X1 2 3 nwellpd ;polarizacion directa

```

```

*Iph 2 3 40u ;polarizacion directa, fotocorriente
*
*-----
*
*----- Transistor MOS convencional -----
*
M1 5 3 0 0 MN1 L=1.2u W=12u
RL 4 5 100k
Vin 1 0 DC 5V ; voltaje de entrada del inversor
.PARAM lambda = 0.633 ; longitud de onda de la luz
.PARAM xj=3e-7 ; profundidad de union
*
*-----PARAMETROS Y CONSTANTES GLOBALES--

.param q = 1.602e-19
.param eo = 8.854e-14
.param c = 3e8
.param h = 4.13e-15 ;constante de Planck
.param es = {11.8*eo}
*-----DEVICE CONSTANTS-----
.param up = 102 ;movilidad de huecos
.param un = 546 ;movilidad de electrones
.param ni = 1.45e10
.param ni2 = {(ni*ni)}
*-----Source and Optical Constants----
.param qeff = 1
.param reflection = 0
.param hc = 1.24
.param tp = 0.1u ; tiempo de vida de huecos
.param tn = 0.1u ; tiempo de vida de electrones

*-----Derived Constants-----
.param vtx = 25.8e-3 ; voltaje termico
.param Dp = {(vtx*up)} ; constante de difusion de huecos
.param Dn = {(vtx*un)} ; constante de difusion de electrones

```

```

.param Lp = {(sqrt(Dp*tp))} ;long. de difusion de huecos
.param Ln = {(sqrt(Dn*tn))} ;long. de difusion de electrones

*-----Global Functions-----
.Func alpha_model(lambda) = {sqr((84.732/lambda)-76.417)} ; coef. de absorcion
.Func vbi(na,nd) = {vtx*log(na*nd/ni2)} ; potencial interconstruido
.Func qg0_calc(pin,lambda)={alpha_model(lambda)*(pin/hc)*(lambda*qeff*(1-reflection))}
.Func sqr(x)={x*x}
.Func xd_calc(v,na,nd)={sqr((2*es*(vbi(na, nd) + v)/q)*((1/na) + (1/nd)))}; ancho xd
.Func A(alpha,x,L)={(exp(-alpha*x)-cosh(x/L))/sinh(x/L)}

*-----S-U-B-C-K-T-----
* Is=14.1E-14 Cjo=2.86e-4
.model Dfnwell D()
.SUBCKT nwellpd Vm Vp
+ params: area=81e-6 pin=0.5m lambda=0.633
+ dev_length=36e-4
+ na=1.24e16 nd=1e17 rs=1
* pin=potencia incidente de luz (mW/cm2), lambda=long. de onda de la luz

*----- Subcircuit Definition-----

D_D1 Vp vpint Dfnwell
G_G1 vpint Vp VALUE={area*jt(V(vpint, Vp))}
R_RS Vm vpint {rs}

*-----Local parameters-----

.param alpha = {alpha_model(lambda)}
.param Ap = {A(alpha, xj, Lp)}
.param qg0 = {qg0_calc(pin, lambda)}

*-----The Local function-----

```

```

.Func DRB(x) = {xj+xd_calc(x, na, nd)}
.Func DL(x) = {dev_length-xj-xd_calc(x,na,nd)}
.Func An(x) = {A(alpha, DL(x),Ln)}
.Func jd(x) = {qg0*(exp(-alpha*xj)*(1-exp(-alpha*xd_calc(x, na, nd)))/alpha)}
.Func jsub(x) = {qg0*Ln*(An(x)+alpha*Ln)*exp(-alpha*DRB(x))/(sqr(alpha*Ln)-1)}
.Func jnw(x) = {qg0*Lp*(alpha*Lp*exp(-alpha*xj)+sinh(xj/Lp)+Ap*cosh(xj/Lp))/(1-sqr(alpha*Lp))}
.Func jt(x) = {(jd(x)+jsub(x)+jnw(x))}
*
.ENDS nwellpd
*
.LIB C:/v09m-params-GSAJ.lib
.STEP Iph 0 100u 10u
.DC Vin 0 2 0.001
*
.PROBE
.END

```

Circuito para evaluar el desempeño de tres fotodiodos en serie.

```

Circuito para evaluar el desempeño de tres fotodiodos
* en serie a la entrada del inversor
* Archivo: Amp_diodo_FGMOS.cir
* Se utiliza el modelo del FGMOS FGMOS_1C_DIODO.LIB
* con una sola compuerta de control
* para obtener una funcion de transferencia
*
* Ref.: Using PSPICE to simulate the photoresponse of ideal CMOS
* integrated circuit photodiodes
* PHOTODIODE p+/nwell
*
*----- Configuracion de un amplificador sencillo -----
*
VDD 4 0 DC -5V

```

```

RL 4 5 100k      ; resistencia de carga del amplificador
Vin 1 0 DC 5V    ; voltaje de entrada del inversor
VQ Q 0 0        ; carga en la compuerta flotante
RQ Q 0 1
*
*----- Transistor FGMOS -----
*
*.subckt TCMF2_VH_CMOS D S B G1 QFG
XFGMOS 5 0 0 3 Q TCMF2_VH_CMOS PARAMS: C1= 28.29888f L=1.2u W=6.3u
.PARAM AREA_POLY1=83.7225e-12; area del poly1 del capacitor de acoplamiento del chip1
*
*----- POLARIZACION INVERSA DE LA CELDA -----
*
*.SUBCKT ppluspd Vm (catodo) Vp (anodo)
*X1 1 3_1 ppluspd      ; polarizacion inversa

*X2 3_1 3_2 ppluspd    ; polarizacion inversa

*X3 3_2 3 ppluspd      ; polarizacion inversa
*
*----- POLARIZACION DIRECTA DE LA CELDA -----
*
X1 3_1 1 ppluspd      ; polarizacion directa

X2 3_2 3_1 ppluspd    ; polarizacion directa

X3 3 3_2 ppluspd      ; polarizacion directa
*
*-----
*
.PARAM vpin=1m ; potencia incidente, fuente equivalente (mW/cm2)
*
.PARAM lambda = 0.633 ; longitud de onda de la luz
*.PARAM lambda = 0.510 ; longitud de onda de la luz
.PARAM xj=0.2e-4 ; profundidad de union

```

```

*
*-----PARAMETROS Y CONSTANTES GLOBALES--
*
.param q = 1.602e-19      ; carga del electron
.param eo = 8.854e-14     ; permitividad del vacio
.param c = 3e8            ; velocidad de la luz
.param h = 4.13e-15      ; constante de Planck
.param es = {11.8*eo}    ; permitividad del silicio
*
*-----DEVICE CONSTANTS-----
.param up = 102          ; movilidad de huecos
.param un = 546          ; movilidad de electrones
.param ni = 1.45e10
.param ni2 = {(ni*ni)}
*-----Source and Optical Constants----
.param qeff = 1
.param reflection = 0
.param hc = 1.24
.param tp = 0.1u ; tiempo de vida de huecos
.param tn = 0.1u ; tiempo de vida de electrones
*-----Derived Constants-----
.param vtx = 25.8e-3      ; voltaje termico
.param Dp = {(vtx*up)}    ; constante de difusion de huecos
.param Dn = {(vtx*un)}    ; constante de difusion de electrones
.param Lp = {(sqrt(Dp*tp))} ; long. de difusion de huecos
.param Ln = {(sqrt(Dn*tn))} ; long. de difusion de electrones
*-----Global Functions-----
.Func alpha_model(lambda) = {sqr((84.732/lambda)-76.417)} ; coef. de absorcion
.Func vbi(na,nd) = {vtx*log(na*nd/ni2)} ; potencial interconstruido
.Func qg0_calc(vpin,lambda)={alpha_model(lambda)*(vpin/hc)*(lambda
*qeff*(1-reflection))}
.Func sqr(x)={x*x}
.Func xd_calc(v,na,nd)={sqrt((2*es*(vbi(na, nd) + v)/q)*((1/na) + (1/nd)))}; ancho xd
.Func A(alpha,x,L)={(exp(-alpha*x)-cosh(x/L))/sinh(x/L)}
*

```

```

*-----S-U-B-C-K-T-----
* -----Model for p+/-nwell diode-----
*
.model Dfpp D()
.SUBCKT ppluspd Vm Vp:
+ params: area= 1.44e-6 ; lambda=0.633
+ na=1e20 nd=1e17 rs=1 dev_length=4.5e-4
* Area del fotodiodo integrado en el chip de Sergio: 1.44e-6 cm2
*
*----- Subcircuit Definition-----
*
D_D1 Vp vpint Dfpp
G_G1 vpint Vp VALUE={area*jt(V(vpint, Vp))}
R_RS Vm vpint {rs}
*
*-----Local parameters-----
*
.param alpha = {alpha_model(lambda)}
.param An = {A(alpha,xj,Ln)}
.param qg0 = {qg0_calc(vpin,lambda)}
*
*-----The Local function-----
*
.func DRB(x) = {xj+xd_calc(x,na,nd)}
.func DL(x) = {dev_length-xj-xd_calc(x,na,nd)}
.func Ap(x) = {A(alpha,DL(x),Lp)}
.func jnp(x) = {qg0*Ln*(alpha*Ln*exp(-alpha*xj)+An*cosh(xj/Ln)+
sinh(xj/Ln))/(sqr(alpha*Ln)-1)}
.func jd(x) = {qg0*(exp(-alpha*xj)*(1-exp(-alpha*xd_calc(x,na,nd)))/alpha)}
.func jsub(x) = {qg0*Lp*(Ap(x)+alpha*Lp)*exp(-alpha*DRB(x))/(1-sqr(alpha*Lp))}
.func jt(x) = {(jd(x)-jsub(x)-jnp(x))}
*
.ENDS ppluspd
*
.LIB C:/v09m-params-GSAJ.lib ; libreria para el transistor MOS

```

```
.LIB C:/FGMOS_1C_DIOD0.LIB ; libreria para el transistor FGMOS
.STEP param vpin 0 500n 50n ; variacion de la potencia incidente de luz
.DC Vin -10 0 0.01 ; barrido del voltaje aplicado al fotodiodo
*
.PROBE
.END
```

Apéndice C: Parámetros MOSIS AMI 0.50 um para la corrida V57X.

MOSIS WAFER ELECTRICAL TESTS

RUN: V57X
 TECHNOLOGY: SCN05

VENDOR: ON-SEMI
 FEATURE SIZE: 0.5 microns

Run type: SHR

INTRODUCTION: This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot.

COMMENTS: SMSN3ME06_ON-SEMI

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	3.0/0.6			
Vth		0.79	-0.94	volts
SHORT	20.0/0.6			
Idss		462	-251	uA/um
Vth		0.69	-0.92	volts
Vpt		12.5	-12.1	volts
WIDE	20.0/0.6			
Ids0		< 2.5	< 2.5	pA/um
LARGE	50/50			
Vth		0.70	-0.97	volts
Vjbkd		11.3	-11.9	volts
Ijlk		158.4	<50.0	pA
Gamma		0.47	0.57	V ^{-0.5}

K' (Uo*Cox/2) 58.4 -18.7 uA/V^2

COMMENTS: Poly bias varies with design technology. To account for mask bias use the appropriate value for the parameter XL in your SPICE model card.

Design Technology	XL (um)	XW (um)
SCMOS_SUBM (lambda=0.30)	0.10	0.00
SCMOS (lambda=0.35)	0.00	0.20

FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS
Vth	Poly	>15.0	<-15.0	volts

COMMENTS:

PROCESS PARAMETERS	N+	P+	N_W	_U	POLY	PLY2_HR	POLY2	M1	UNITS
Sheet Resistance	84.5	109.2	820.9	23.5	1044	40.8	0.09	ohms/sq	
Contact Resistance	61.6	152.9		16.7		26.8		ohms	
Gate Oxide Thickness	140							angstrom	

PROCESS PARAMETERS	M2	M3	N_W	UNITS
Sheet Resistance	0.09	0.05	814	ohms/sq
Contact Resistance	0.80	0.81		ohms

COMMENTS:

CAPACITANCE PARAMETERS	N+	P+	POLY	POLY2	M1	M2	M3	N_W	UNITS
Area (substrate)	415	712	88		28	12	8	90	aF/um^2
Area (N+active)			2469		37	17	12		aF/um^2
Area (P+active)			2394						aF/um^2
Area (poly)				881	61	16	9		aF/um^2
Area (poly2)					56				aF/um^2
Area (metal1)						33	12		aF/um^2

Area (metal2)					31	aF/um ²	
Fringe (substrate)	341	215		53	33	26	aF/um
Fringe (poly)				67	39	28	aF/um
Fringe (metal1)					47	32	aF/um
Fringe (metal2)						63	aF/um
Overlap (N+active)			188				aF/um
Overlap (P+active)			245				aF/um

COMMENTS:

CIRCUIT PARAMETERS			UNITS
Inverters		K	
Vinv	1.0	2.02	volts
Vinv	1.5	2.28	volts
Vol (100 uA)	2.0	0.46	volts
Voh (100 uA)	2.0	4.47	volts
Vinv	2.0	2.46	volts
Gain	2.0	-18.91	
Ring Oscillator Freq.			
DIV256 (31-stg,5.0V)		99.81	MHz
D256_WIDE (31-stg,5.0V)		153.43	MHz
Ring Oscillator Power			
DIV256 (31-stg,5.0V)		0.48	uW/MHz/gate
D256_WIDE (31-stg,5.0V)		0.99	uW/MHz/gate

COMMENTS: SUBMICRON

V37P SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

* Temperature_parameters=Default

```

.MODEL CMOSN NMOS (
+VERSION = 3.1          TNOM   = 27          TOX    = 1.41E-8
+XJ      = 1.5E-7      NCH    = 1.7E17      VTH0   = 0.6176544
+K1      = 0.9137986   K2     = -0.1071877   K3     = 22.288867
+K3B     = -9.7485086  W0     = 2.658488E-8  NLX    = 1E-9
+DVTOW   = 0          DVT1W  = 0          DVT2W  = 0
+DVT0    = 0.8309419  DVT1   = 0.3317542   DVT2   = -0.5
+U0      = 460.0124125 UA     = 2.759471E-13  UB     = 1.603084E-18
+UC      = 3.089014E-12 VSAT   = 1.840576E5   A0     = 0.5615191
+AGS     = 0.1204319  B0     = 1.941274E-6   B1     = 5E-6
+KETA    = -2.797385E-3 A1     = 2.420581E-5   A2     = 0.3164714
+RDSW    = 1.115544E3  PRWG   = 0.0828351   PRWB   = 0.0311852
+WR      = 1          WINT   = 2.526685E-7  LINT   = 7.469087E-8
+XL      = 1E-7      XW     = 0          DWG    = -1.032244E-8
+DWB     = 1.914595E-8 VOFF   = -6.986376E-5  NFACTOR = 0.8533219
+CIT     = 0          CDSC   = 2.4E-4       CDSCD  = 0
+CDSCB   = 0          ETA0   = 2.045973E-3   ETAB   = -3.21453E-4
+DSUB    = 0.0833302  PCLM   = 2.3615569   PDIBLC1 = 9.500103E-5
+PDIBLC2 = 1.863456E-3 PDIBLCB = 0.0644698     DROUT  = 1.39184E-3
+PSCBE1  = 3.853855E8  PSCBE2 = 4.115782E-6   PVAG   = 0
+DELTA   = 0.01      RSH    = 82.4        MOBMOD  = 1
+PRT     = 0          UTE    = -1.5        KT1    = -0.11
+KT1L    = 0          KT2    = 0.022       UA1    = 4.31E-9
+UB1     = -7.61E-18  UC1    = -5.6E-11    AT     = 3.3E4
+WL      = 0          WLN    = 1          WW     = 0
+WWN     = 1          WWL    = 0          LL     = 0
+LLN     = 1          LW     = 0          LWN    = 1
+LWL     = 0          CAPMOD = 2          XPART  = 0.5
+CGDO    = 1.91E-10   CGSO   = 1.91E-10    CGBO   = 1E-9
+CJ      = 4.131634E-4  PB     = 0.8399766   MJ     = 0.4305505
+CJSW    = 3.400072E-10 PBSW   = 0.809471     MJSW   = 0.1977865
+CJSWG   = 1.64E-10   PBSWG  = 0.8         MJSWG  = 0.2019414
+CF      = 0          PVTH0  = -0.028514    PRDSW  = 114.6437024
+PK2     = -0.0768747 WKETA  = -0.0138828    LKETA  = 1.62687E-3
)

```

*

```

.MODEL CMOSF PMOS (
+VERSION = 3.1          TNOM   = 27          TOX   = 1.41E-8
+XJ      = 1.5E-7      NCH   = 1.7E17      VTH0  = -0.9152268
+K1      = 0.553472    K2    = 7.871921E-3  K3    = 8.5645893
+K3B     = 0.5506188   W0    = 1E-8        NLX   = 1.006451E-9
+DVTOW   = 0          DVT1W = 0          DVT2W = 0
+DVT0    = 0.4716221  DVT1  = 0.1854949  DVT2  = -0.3
+U0      = 201.3603195 UA    = 2.48572E-9   UB    = 1.005454E-21
+UC      = -1E-10     VSAT  = 1.578444E5   A0    = 0.8192884
+AGS     = 0.1111278  B0    = 5.743519E-7  B1    = 6.088988E-8
+KETA    = -4.865785E-3 A1    = 5.800723E-4  A2    = 0.3229711
+RDSW    = 3E3       PRWG  = -0.0219603  PRWB  = -0.0910566
+WR      = 1.01      WINT  = 2.247043E-7  LINT  = 9.979797E-8
+XL      = 1E-7      XW    = 0          DWG   = 2.080226E-9
+DWB     = -1.38669E-8 VOFF  = -0.0295318  NFACTOR = 0.5872216
+CIT     = 0          CDSC  = 2.4E-4      CDSCD = 0
+CDSCB   = 0          ETA0  = 4.979072E-4   ETAB  = -0.2
+DSUB    = 1          PCLM  = 2.3970968  PDIBLC1 = 0.0961044
+PDIBLC2 = 4.073922E-3 PDIBLCB = -0.0315594  DROUT = 0.2897615
+PSCBE1  = 8E10     PSCBE2 = 8.966681E-8  PVAG  = 0.0149129
+DELTA   = 0.01     RSH   = 106.7      MOBMOD = 1
+PRT     = 0          UTE   = -1.5      KT1   = -0.11
+KT1L    = 0          KT2   = 0.022     UA1   = 4.31E-9
+UB1     = -7.61E-18 UC1    = -5.6E-11  AT    = 3.3E4
+WL      = 0          WLN   = 1          WW    = 0
+WWN     = 1          WWL   = 0          LL    = 0
+LLN     = 1          LW    = 0          LWN   = 1
+LWL     = 0          CAPMOD = 2        XPART = 0.5
+CGDO    = 2.34E-10  CGSO  = 2.34E-10  CGBO  = 1E-9
+CJ      = 7.086018E-4 PB     = 0.8698912  MJ    = 0.4856488
+CJSW    = 2.340641E-10 PBSW  = 0.8329387  MJSW  = 0.2034305
+CJSWG   = 6.4E-11  PBSWG = 0.8        MJSWG = 0.2261452
+CF      = 0          PVTH0 = 5.98016E-3  PRDSW = 14.8598424
+PK2     = 3.73981E-3 WKETA  = 0.0120657  LKETA = -0.0104163 )

```