



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS  
DEL INSTITUTO POLITÉCNICO NACIONAL

UNIDAD ZACATENCO  
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA  
SECCIÓN DE BIOELECTRÓNICA

Prototipo de monitor ambulatorio de 3 derivaciones de larga duración  
con medición latido a latido en tiempo real del intervalo RT y la  
frecuencia cardíaca mediante la transformada wavelet  
implementada en un FPGA de bajo consumo

**Tesis que presenta:**

José Alberto García Limón

**para obtener el Grado de**

**Maestro Ciencias**

**En la especialidad de**

Ingeniería Eléctrica

**Director de la Tesis:** Dr. Carlos Alvarado Serrano

## **Agradecimientos**

A mis padres, Javier García Roldan y Gudelia Limón Rojas por todo su amor y apoyo a lo largo de mi vida, por ser mi ejemplo a seguir y mi mayor inspiración. A mis hermanos Juan, Francisco y Andrés por todo su apoyo. A mis cuñadas Magda y Lidia sus palabras de motivación.

Al Dr. Carlos Alvarado Serrano, por elegirme como su estudiante de maestría y brindarme la confianza, por su tiempo en esas largas videollamadas, por sus conocimientos compartidos y valiosos consejos para poder terminar mi maestría en estos tiempos de pandemia.

A mis compañeros del laboratorio Dalila, Tony, Gabriel, sobre todo a Frank por su apoyo con la programación del FPGA y sus oportunas observaciones.

A mis sinodales, Dr. Pablo Rogelio Hernández Rodríguez y Dr. Lorenzo Leija Salas, por su apoyo y sus consejos para la finalización de mi tesis.

A los doctores de la sección de Bioelectrónica por compartir sus conocimientos sin recelo, por su apoyo y paciencia durante mi formación.

A mis compañeros de generación Jonathan, Jessica, David, Elida, Víctor, Alexis, Gerardo y Rubén, de quienes aprendí mucho y con quienes pasé momentos de duro trabajo e incluso momentos muy divertidos.

A mi mejor amigo Jonathan, por su amistad y apoyo incondicional desde que estudiamos la ingeniería.

Al Centro de Investigación y de Estudios Avanzados (CINVESTAV), pero sobre todo al personal de la sección de Bioelectrónica.

A CONACYT (México) por el apoyo económico brindado durante dos años para solventar mis estudios de maestría.

# Contenido

RESUMEN .....	i
ABSTRACT .....	ii
<b>Capítulo 1. Introducción .....</b>	<b>1</b>
1.1 Planteamiento del problema.....	1
1.2 Estado del Arte.....	5
1.2.1 Algoritmos para la detección del complejo QRS .....	8
1.2.2 Algoritmos para la detección del final de la onda T .....	9
1.3 Objetivos .....	10
1.3.1 Objetivos Específicos .....	10
<b>Capítulo 2. Antecedentes.....</b>	<b>11</b>
2.1 Actividad eléctrica del corazón .....	11
2.2 Electrocardiografía .....	13
2.3 Onda, segmentos e intervalos del ECG .....	14
2.4 Derivaciones electrocardiográficas.....	15
2.4.1 Derivaciones en el plano frontal .....	16
2.5 Variabilidad de la frecuencia Cardíaca .....	19
2.6 Aplicación clínica del intervalo QT.....	19
2.6.1 Dinámica y variabilidad del intervalo QT .....	20
<b>Capítulo 3. Desarrollo .....</b>	<b>21</b>
3.1 Solución Propuesta .....	21
3.1.1 ADS1294.....	23
3.1.2 Memoria microSD.....	37
3.1.3 Arreglos de compuertas programables en campo (FPGA).....	45
3.2 Software implementado en el FPGA .....	48
3.2.1 Módulo para almacenamiento de datos en tarjeta de memoria Micro SD.....	52

3.2.3	Módulo de recepción de los datos enviados por el ADS1294 .....	55
3.2.4	Módulo de filtro digital.....	57
3.2.5	Módulo para la obtención de la frecuencia cardiaca e intervalo RT .....	59
3.2.6	Módulo de interfaz gráfica para visualización de la frecuencia cardiaca y duración del intervalo RT.....	74
3.3	Proceso para respaldar datos de la memoria.....	78
3.3.1	Interfaz de gráfica.....	79
<b>Capítulo 4. Resultados.....</b>		<b>81</b>
4.1	Características del prototipo.....	81
4.2	Ancho de banda del filtro digital .....	81
4.3	Detección del complejo QRS y final de la onda T .....	82
4.4	Dinámica y variabilidad del intervalo RT en registros de la base de datos QT.....	87
4.5	Consumo de Energía.....	90
<b>Capítulo 5. Conclusiones.....</b>		<b>92</b>
<b>Referencias.....</b>		<b>94</b>
Anexo A. Diseño en 3D de la base y la tapa.....		99
Anexo B. Prototipo terminado y placa final.....		101

## Índice de figuras

Fig. 1.	10 principales causas de muerte OMS [1].	1
Fig. 2.	Defunciones por enfermedades del corazón en México en 2019 [2].	2
Fig. 3.	Evolución del Holter [11].	7
Fig. 4.	Sistema eléctrico del corazón [3].	11
Fig. 5.	Potencial eléctrico de las células cardiacas [22].	13
Fig. 6.	Sistema de conducción del corazón [3].	14
Fig. 7.	Triangulo de Einthoven [24].	16
Fig. 8.	Derivaciones de extremidades aumentadas [25].	17
Fig. 9.	Derivaciones unipolares precordiales [25].	18
Fig. 10.	Relación entre los vectores del ECG de 12 derivaciones y el ECG de derivaciones ortogonales [23].	18
Fig. 11.	Componentes principales del sistema ambulatorio de ECG de 3 canales.	22
Fig. 12.	Diagrama a bloques del ADS1294 [12].	24
Fig. 13.	Circuito de pierna derecha y sus registros de configuración [12].	26
Fig. 14.	Diagrama a bloques del ADS1294 [12].	27
Fig. 15.	Circuito de WCT [12].	28
Fig. 16.	Terminal central de Goldberger [12].	29
Fig. 17.	Opciones de detección de estado de electrodos mediante excitación con DC [12].	30

Fig. 18. Tipos de configuración para fuente de alimentación recomendados por el fabricante [12]...	32
Fig. 19. Diagrama de tiempos para la interfaz SPI [12].	33
Fig. 20. Conexión de pines dedicados a comandos del sistema [12].	35
Fig. 21. Palabra de estado [12].	36
Fig. 22. Trama de datos entregada por la familia ADS129X [12].	37
Fig. 23. Asignación de pines de la tarjeta microSD [35].	38
Fig. 24. Estructura de comandos del estándar SPI de la tarjeta microSD [36]	40
Fig. 25. Formato de respuesta R1 [35].	41
Fig. 26. Formato de respuesta R3 [35].	41
Fig. 27. Formato de respuesta R7 [35].	41
Fig. 28. Formato de <i>Start Block Token</i> [35].	42
Fig. 29. Formato la escritura de bloque de datos [35]	42
Fig. 30. Formato de <i>Data Response Token</i> [35].	42
Fig. 31. Esquema de escritura de un bloque de datos [35].	45
Fig. 32. Descripción general de la arquitectura de un FPGA [38].	46
Fig. 33. Estructura interna simplificada de un CLE [38].	46
Fig. 34. Red de conexiones simplificada[38].	47
Fig. 35. Módulos implementados en el FPGA y su interacción con los diferentes periféricos.	50
Fig. 36. Máquina de estados del programa principal.	51

Fig. 37. Máquina de estados del Módulo para el almacenamiento de datos en la micro SD [36].....	53
Fig. 38. Máquina de estados del Módulo para el almacenamiento de datos en la micro SD [36]... ..	56
Fig. 39. Herramienta <i>Filter Design</i> de MATLAB ® y las características de diseño del filtro implementado.....	58
Fig. 40. Máquina de estado de filtro digital.....	59
Fig. 41. Máquina de estados del módulo para la obtención de la frecuencia cardiaca e intervalo RT.....	62
Fig. 42. Polaridades del complejo QRS.....	65
Fig. 43. ECG y transformada Wavelet en escala 3.....	66
Fig. 44. ECG y transformada Wavelet en escala 8.....	67
Fig. 45. Máquina de estados para la detección de complejo QRS.....	69
Fig. 46. Máquina de estados para la detección del final de la onda T.....	72
Fig. 47. Conjunto de caracteres de la LCD [46].....	77
Fig. 48. Distribución de la memoria ROM.....	78
Fig. 49. Software Winhex y proceso para copiar un bloque sobre un archivo “.txt”..	79
Fig. 50. Interfaz gráfica en el GUIDE de MATLAB. ....	80
Fig. 51. Segmento de la señal de estímulo con las frecuencias 0 Hz, 5 Hz, 10 Hz y 15 Hz.....	81
Fig. 52. Voltaje normalizado para el cálculo del ancho de banda.....	82
Fig. 53. Señales de ECG obtenidas de un sujeto de prueba.....	83

Fig. 54. Detección del complejo QRS y final de la onda T de diferentes registros. ...84	84
Fig. 55. Falsos negativos y proceso de recuperación del algoritmo del registro sel100. ....85	85
Fig. 56. Registro sel103 cargado en la interfaz gráfica. ....87	87
Fig. 57. Detección del complejo QRS y final de la onda T para el registro sel103. ...87	87
Fig. 58. Variabilidades temporales del registro sel103 .....88	88
Fig. 59. Relación del intervalo RT con la frecuencia cardiaca del registro sel103....88	88
Fig. 60. Registro sel30. ....89	89
Fig. 61. Registro nsr001 de la base de datos " <i>Normal Sinus Rhythm RR Database</i> ". ....89	89
Fig. 62. Registro nsr001 de la base de datos " <i>T-Wave Alternants Challenge Database</i> ". ....90	90
Fig. 63. Consumo total del dispositivo con 2 FPGAs diferentes.....90	90
Fig. 64. Diseño en 3D de la base y la tapa del prototipo. ....99	99
Fig. 65. Medidas en milímetros del diseño de la base.....99	99
Fig. 66. Medidas en milímetros del diseño de la tapa. ....100	100
Fig. 67. Vista superior y lateral del prototipo. ....101	101
Fig. 68. Vista superior e inferior de la placa final del prototipo. ....102	102



## Índice de Tablas

Tabla 1. Derivaciones del ECG [23] .....	16
Tabla 2. Registros de configuración [12]. .....	25
Tabla 3. Relación ganancia - ancho de banda .....	27
Tabla 4. Clasificación de comandos SPI del ADS1294 [12]. .....	34
Tabla 5. Formato ideal de datos entregados por el ADS1294 [12]. .....	37
Tabla 6. Asignación de pines de la tarjeta microSD [35] .....	38
Tabla 7. Comandos indispensables para configurar y escribir en la tarjeta [36]. .....	40
Tabla 8. Parámetros del filtro para el algoritmo de la transformada wavelet rápida [44]. .....	63
Tabla 9. Coeficientes <i>B-splines</i> antes y después de modificar [36]. .....	64
Tabla 10. Conjunto de instrucciones, el estado de RS y R/W y el tiempo de ejecución [46]. .....	75
Tabla 11. Direcciones de memoria RAM en hexadecimal [46]. .....	77
Tabla 12. Ubicación de los datos en la memoria. ....	79
Tabla 13. Resultados obtenidos por el algoritmo para la detección del pico de la onda R. ....	85
Tabla 14. Resultados del algoritmo de detección del final de la onda T en ms. ....	86

## RESUMEN

Actualmente las enfermedades cardiovasculares son una de las principales causas de muerte tanto en México como a nivel mundial, por lo que existe la necesidad del diseño de dispositivos para el monitoreo y estudio de forma no invasiva de los intervalos de tiempo del electrocardiograma (ECG) tales como los intervalos RR y RT. En este trabajo se presenta el desarrollo un prototipo de monitor Holter de 3 canales, además de la implementación de algoritmos para la medición latido a latido del intervalo RT y la frecuencia cardíaca basados en la transformada wavelet continua.

El prototipo tiene como elementos principales un conversor analógico-digital ADS1294, un FPGA de Xilinx XC7A35T-ICPG236C de la familia Artix-7 de bajo consumo, inmerso en una tarjeta de desarrollo Cmod-A7 de baja escala de integración, una pantalla LCD y una memoria micro SD de 16 GB. El ADS94 tiene como funciones la adquisición simultánea de los 3 canales, la detección de falso contacto de los electrodos y la transmisión de los datos digitalizados mediante el protocolo SPI. El FPGA se encarga de la recepción y filtrado (mediante un filtro digital FIR) de los datos del ADS1294, el procesamiento de estos datos para el cálculo de la frecuencia cardiaca (mediante un algoritmo de detección del complejo QRS) y la medición del intervalo RT (mediante un algoritmo de detección del final de la onda T), además del almacenamiento de los datos en una memoria micro SD mediante protocolo SPI. La pantalla LCD muestra la frecuencia cardiaca y la duración del intervalo RT latido a latido de la derivación aVF o DI, además de la visualización del estado de los electrodos.

El prototipo amplifica las señales de entrada 12 veces de forma analógica, posee un ancho de banda de 0 a 200 Hz, CMRR mayor a 80 dB en 60 Hz y un convertidor analógico-digital de 24 bits, de los cuales solo se emplearon de forma útil 16 bits. Las señales de ECG son muestreadas a una frecuencia de 1 kHz y una resolución de 762 nV. El consumo del prototipo es menor a 700 mW lo que permite una duración máxima de la batería de 36 horas. Para validar la exactitud de los algoritmos propuestos se utilizaron 10 registros de la base de datos QT (QTDB) obteniendo una exactitud superior al 95% para la detección del QRS y un error de  $5.4 \pm 7.07$  ms en la localización del final de la onda T, el cual se encuentra dentro del rango de tolerancia definido por expertos.

## **ABSTRACT**

Cardiovascular diseases are currently one of the leading causes of death in Mexico and worldwide. Therefore, there is a need for device design for non-invasive monitoring and study of electrocardiogram (ECG) time intervals such as intervals RR and RT. This work introduces the development of a prototype 3-channel Holter monitor, in addition to the implementation of algorithms for beat-to-beat measurement of the RT interval and heart rate based on the continuous wavelet transform.

The prototype has as main elements an analog-digital converter ADS1294, an FPGA of Xilinx XC7A35T-ICPG236C of the Artix-7 family of low consumption, immersed in a low-scale Cmod-A7 development card integration, an LCD display and a micro SD memory of 16 Gb. The ADS94 has as its functions the simultaneous acquisition of the 3 channels, the detection of false contact of the electrodes and the transmission of the digitized data using the SPI protocol. The FPGA is responsible for receiving and filtering (using a FIR digital filter) the ADS1294 data, processing this data for heart rate calculation (using a QRS complex detection algorithm) and measuring the RT interval (using a T-wave end detection algorithm), as well as storing the data in a micro SD memory via SPI protocol. The screen LCD shows the cardiac frequency and the duration of the interval RT beat to beat of the derivation aVF or DI, in addition to the visualization of the state of the electrodes.

The prototype amplifies input signals 12 times in analog form, has a bandwidth of 0 to 200 Hz, CMRR greater than 80 dB at 60 Hz, and a 24 bits analog to digital converter, of which are used as useful information 16 bits. ECG signals are sampled at a frequency of 1 kHz and a resolution of 762 nV. Prototype consumption is less than 700 mW allowing a maximum battery life of 36 hours. Ten QT database records (QTDB) were used to validate the accuracy of the proposed algorithms, obtaining an accuracy greater than 95% for QRS detection and an error of  $5.4 \pm 7.07$  ms in the end of T wave, which is within the tolerance range defined by experts.

# Capítulo 1. Introducción

## 1.1 Planteamiento del problema

De acuerdo con la Organización Mundial de la Salud (OMS), las enfermedades cardiovasculares (ECV) son la principal causa de muerte en todo el mundo. Las principales causas de mortalidad en el mundo son la cardiopatía isquémica y el accidente cerebrovascular como se muestra en la figura 1, que ocasionaron 15.2 millones de defunciones en 2016 y han sido las principales causas de mortalidad durante los últimos 15 años [1].

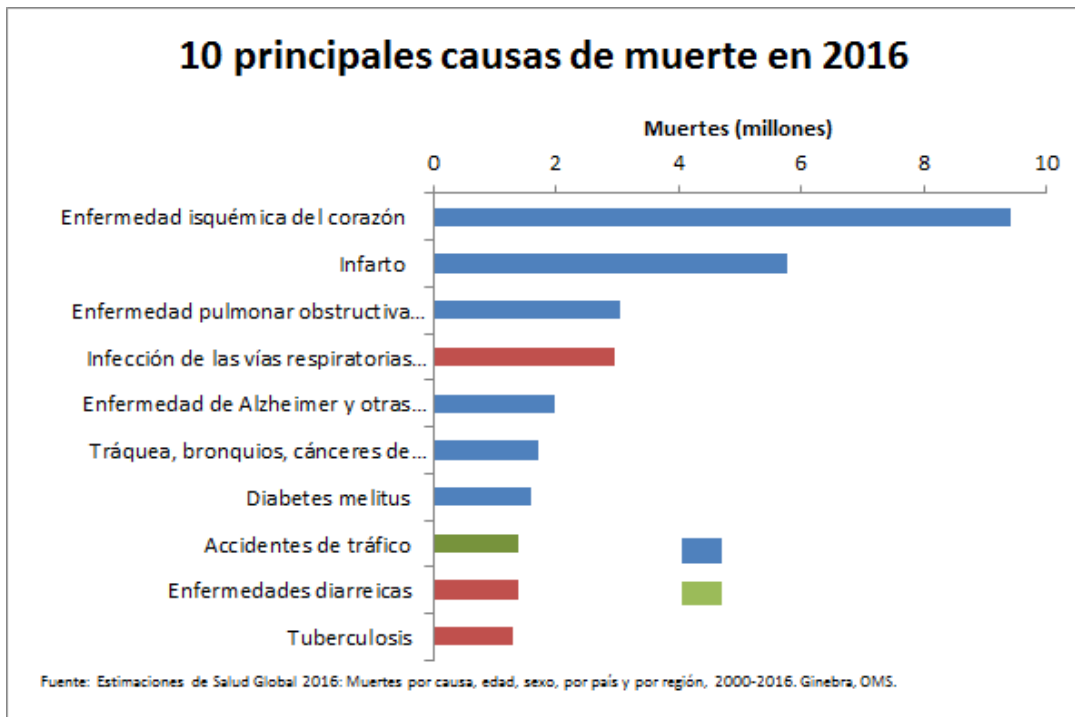


Fig. 1. 10 principales causas de muerte OMS [1].

En 2019 de acuerdo con datos del Instituto Nacional de Estadística y Geografía (INEGI), las 3 principales causas de muerte en México fueron las enfermedades en el corazón (156 041, 23.5%), diabetes mellitus (104 354, 15.7%) y los tumores malignos (88 680, 13.35%) tanto en hombres como en mujeres.

Las defunciones causadas por enfermedades del corazón han ocupado el primer lugar entre las principales causas durante varios años, entre ellas destacan las enfermedades isquémicas que presentan alta incidencia entre la población que fallece a partir de los 45 años [2].

Del total de las muertes ocasionadas por enfermedades del corazón, que asciende a 156 041 como observa en la figura 2, las isquémicas representaron el 72.8% con 113 653 casos, seguidas por las hipertensivas con 16.2% con 25 265 casos y las relacionadas con la circulación pulmonar y otras enfermedades del corazón con 10.5% con 16 393 casos. La fiebre reumática aguda y enfermedades cardíacas reumáticas crónicas les suman en conjunto, el 0.5% con 730 casos.

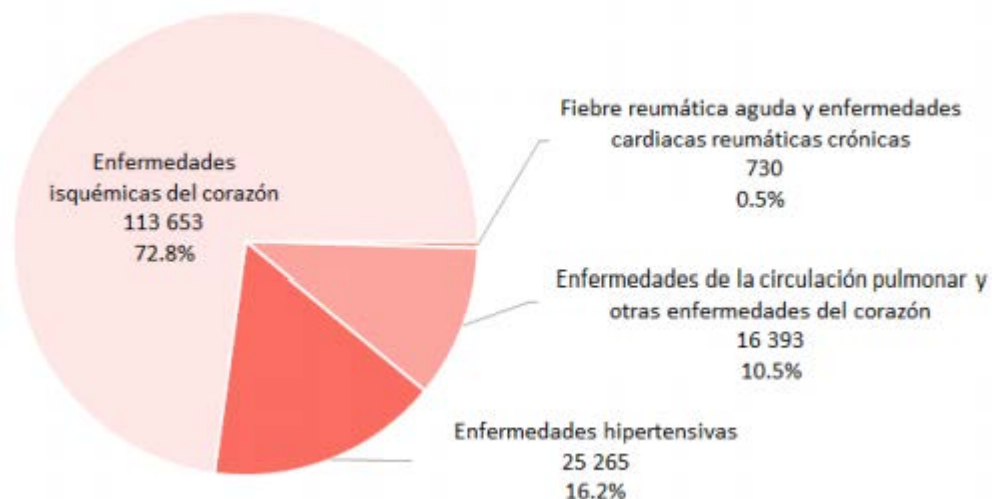


Fig. 2. Defunciones por enfermedades del corazón en México en 2019 [2].

La cardiopatía isquémica consiste en la muerte del tejido del miocardio cuando el flujo sanguíneo en las arterias coronarias es bloqueado. Dicho bloqueo es causado por la acumulación de grasa en la pared de los vasos sanguíneos y favorece la formación de coágulos. Esta reducción del flujo sanguíneo impide que el músculo cardíaco reciba suficiente oxigenación y en la mayoría de los casos produce alteraciones en el sistema de conducción cardíaco, elevando el riesgo de presentar arritmias ventriculares malignas [3].

Estudios realizados con monitores ambulatorios demostraron que las taquiarritmias ventriculares en la mayoría de los casos son el preámbulo a la muerte súbita, ya que pueden provocar fibrilación ventricular y posteriormente un paro cardiorrespiratorio. El 80% de las personas que sufren este tipo de paso (sin la pronta atención médica), fallece por la falta de oxígeno en su cuerpo. La tasa de presentar taquiarritmias ventriculares se incrementa en pacientes que han sufrido infarto agudo al miocardio o infarto crónico [4].

Las alteraciones en el sistema de conducción del corazón ocasionadas por isquemia pueden visualizarse en el ECG, como fluctuaciones y duraciones anormales de segmentos e intervalos. Generalmente el intervalo QT, el intervalo RR y la elevación del segmento ST son las tres principales anomalías cuando existen trastornos en la conducción, que se derivan en la aparición de arritmias ventriculares malignas [3]. Dependiendo de la derivación que se visualiza, algunas ondas presentarán anomalías, que indican la ubicación de un infarto en determinada cara del corazón [5].

Entre los marcadores más prometedores para el diagnóstico de enfermedades cardiovasculares se encuentran la frecuencia cardíaca, *Heart Rate* (HR por sus siglas en inglés) y la variabilidad de la frecuencia cardíaca, *Heart Rate Variability* (HRV por sus siglas en inglés). La HRV ha demostrado ser un parámetro predictor en el diagnóstico de la evolución de infartos, aterosclerosis coronaria y la muerte súbita [6].

El uso de la HRV generalmente se enfoca en la búsqueda de anomalías en el comportamiento eléctrico del corazón y en el estado del sistema nervioso autónomo simpático y parasimpático [6]. Por otro lado, algunos estudios utilizan la HR y el HRV para diagnosticar otros padecimientos, por ejemplo, aquellos asociados a la fatiga cognitiva, locomoción, metabolismo, etc. Las principales aplicaciones clínicas de la HRV son: el diagnóstico de neuropatía diabética y la predicción de muerte cardíaca súbita en pacientes post-infarto [6].

Es por ello la necesidad de la implementación de sistemas de monitoreo ambulatorio que permitan obtener la frecuencia cardíaca en tiempo real de manera confiable, que compitan con los sistemas actuales y que sean de bajo costo. Debido a que en ocasiones hay cardiopatías que presentan síntomas aleatorios que no siempre se presentan en registros del ECG de corta duración, es necesario un registro del ECG continuo de larga duración. Como solución a esta problemática desde los años 50 del siglo XX a la actualidad se desarrollan sistemas de monitoreo ambulatorio de registro continuo llamados Holter, los cuales adquieren el ECG por períodos de 24 o 48 horas mientras el paciente realiza sus actividades diarias [7].

Se conoce la relación entre la prolongación de la duración del intervalo QT (duración de la despolarización y repolarización ventriculares) y el riesgo de desarrollar arritmias graves en una amplia proporción de patologías cardiovasculares e incluso en individuos sanos. Desde la década de los 80 se ha desarrollado la instrumentación electrocardiográfica y diseñados algoritmos que permiten la detección y medición del intervalo QT en el ECG ambulatorio; sin embargo, debe destacarse que en la actualidad su empleo se limita al campo de la investigación clínica [8].

Desde un punto de vista técnico, la mayor dificultad estriba en la identificación del final de la onda T debido a la baja frecuencia de sus componentes; los algoritmos suelen emplear como referencia la línea de base, la primera derivada o algún nivel umbral. Por otro lado para identificar la onda Q, primero se debe conocer la posición de la onda R debido a que destaca por su amplitud, después realizar una búsqueda hacia atrás, ésto provoca ciertas dificultades para implementar algoritmos para la detección del intervalo QT en tiempo real [9]. Sin embargo, falta por conocer la validez clínica de los diferentes algoritmos de medida de este intervalo, aunque es de suponer un incremento en el número de estudios clínicos sobre el tema en un futuro próximo. La medida automatizada del intervalo QT con ajustes para la variabilidad de la frecuencia cardíaca y hora del día, en combinación con otras técnicas (tabla basculante), nos proporcionarán mejores formas de evaluar los mecanismos implicados en la repolarización ventricular y su variabilidad [9].

## 1.2 Estado del Arte

El registro ambulatorio del electrocardiograma (ECG) se originó con un biofísico estadounidense, el Dr. Norman J. Holter (1914-1983), quien desarrolló la tecnología de grabación y el procedimiento de monitoreo de ECG en la década de 1940. El monitor Holter original era una mochila de 75 lb con una grabadora de cinta FM de carrete, electrónica de interfaz de paciente analógica y baterías grandes. Podría registrar una derivación de ECG durante varias horas y brindó la primera oportunidad de registrar y analizar datos de ECG ambulatorios fuera de un hospital estándar o un entorno de atención ambulatoria [7].

Una de las funciones diagnósticas más importantes del Holter es determinar si los síntomas del paciente se corresponden con alteraciones en el ECG. Así, se ha podido demostrar que a menudo los síntomas que refieren los pacientes en la consulta no se corresponden con arritmias y, a la inversa, que muchas arritmias, en ocasiones graves, son asintomáticas. Cuando la presencia de síntomas corresponde con alteraciones en el ECG de Holter, el diagnóstico y la orientación terapéutica están en gran parte resueltos. En otras ocasiones se consigue determinar las situaciones o actividades que pueden desencadenar la aparición de arritmias [7].

La capacidad de obtener registros no continuos, puestos en marcha por el paciente o el desarrollo de un trastorno del ritmo, así como la posibilidad de realizar un análisis del registro en tiempo real, además de mejorar las prestaciones de la técnica, reducen el tiempo requerido para la obtención de un informe fiable. De todos modos, la electrocardiografía de Holter, tanto en los sistemas de registro como análisis, es una técnica en la que se están produciendo continuos avances [10].

Se emplea de forma rutinaria en la valoración ambulatoria de la isquemia miocárdica, tanto silente como sintomática (cambios en el segmento ST-T), análisis de parámetros con implicaciones pronósticas de complicaciones cardiovasculares futuras (variabilidad del intervalo RR, dispersión dinámica del intervalo QT, etc.), valoración



de la eficacia del tratamiento antiisquémico y antiarrítmico, etc. Estas aplicaciones proporcionan datos para conocer la génesis, mecanismos de producción o presencia sostenida de un trastorno del ritmo específica [9].

Después de tres décadas de experiencia clínica con la técnica de Holter se ha demostrado que constituye una de las pruebas para el diagnóstico clínico con mejor coste-efectividad en la valoración de las arritmias cardíacas (sintomáticas y asintomáticas), en la valoración pronóstica o estratificación del riesgo de diversos grupos de pacientes y en la evaluación de diversas modalidades de tratamiento cardiovascular (arritmias, isquemia, etc.)

La mejora en los sistemas de registro ha posibilitado la obtención de un trazado electrocardiográfico completo (dos o más canales) que nos permite una adecuada valoración eléctrica durante un largo período de tiempo, que incluye las diferentes fases de la actividad diaria de los pacientes. Esta evolución de instrumentos físicos más pequeños con mayor capacidad tecnológica ha caracterizado el desarrollo de la electrónica en los últimos 50 años.

Actualmente, la tecnología se ha centrado en el estudio de ECG ambulatorio continuo de 24 a 48 horas, y en las estrategias convencionales de monitoreo ambulatorio extendido para eventos arrítmicos infrecuentes o raros. Sin embargo, la aparición de Internet, Wi-Fi, redes celulares y transmisión de banda ancha ha posicionado estas modalidades en la puerta del mundo digital [11] como se observa en la figura 3.

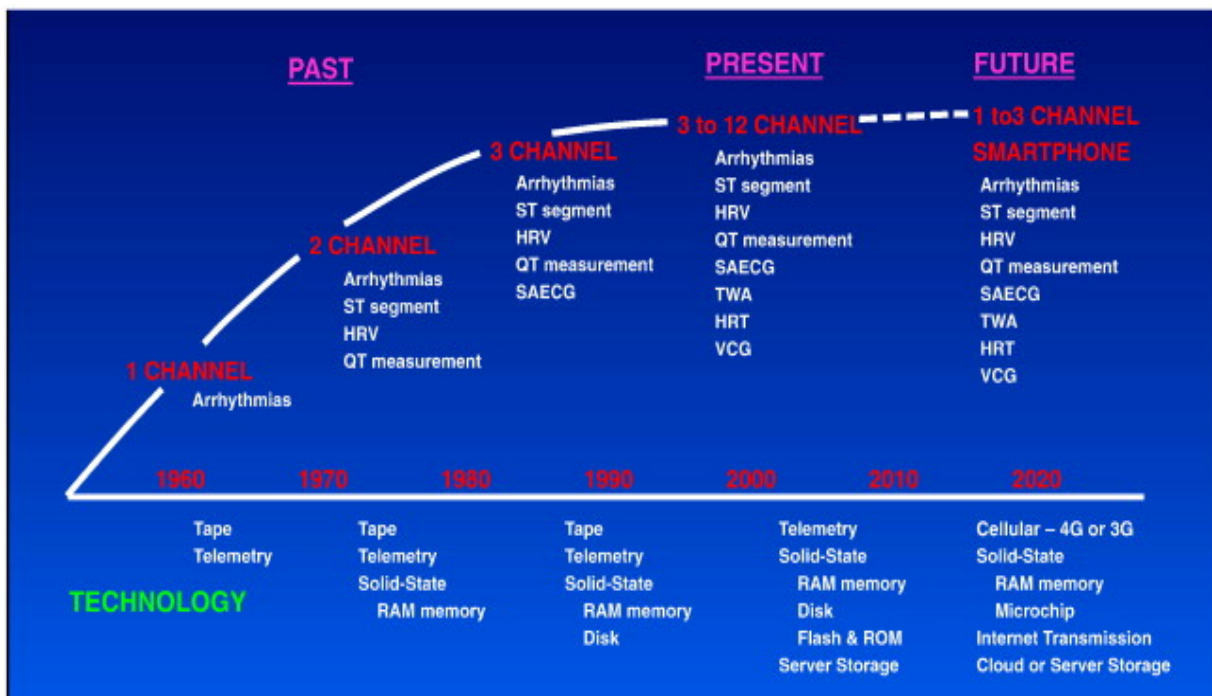


Fig. 3. Evolución del Holter [11].

El avance de la tecnología ha permitido una reducción importante tanto del tamaño como el consumo energético de dispositivos electrónicos, lo que ha generado una evolución en el diseño del Holter. En la actualidad existen dispositivos dedicados a la adquisición de señales biológicas que incorporan características comúnmente requeridas para la obtención del electrocardiograma (ECG) y electroencefalograma (EEG) como es el caso de la familia ADS1294X de Texas Instruments [12].

Para el prototipo que se propone desarrollar en este proyecto se empleará el ADS1294 de Texas Instruments (Estados Unidos) ya que ofrece una CMRR de 115 dB, un factor de amplificación programable de hasta 12 en amplitud, una frecuencia máxima de muestreo en el modo de bajo consumo de 16 ksps, una resolución de 24 bits, cuatro canales de adquisición simultánea y un módulo especial para el circuito de pierna derecha [17]. Estas características lo hacen el componente idóneo para el desarrollo del dispositivo ambulatorio.

### 1.2.1 Algoritmos para la detección del complejo QRS

Los algoritmos para la detección y medición de segmentos, ondas e intervalos del ECG se basan en una detección precisa y confiable del complejo QRS. Esto debido a que destaca entre las demás ondas por sus amplitud y alta frecuencia, en comparación con las ondas T y P. Una vez localizado el complejo QRS se realiza una búsqueda hacia atrás para la onda P, y una búsqueda hacia adelante para la onda T. Los algoritmos que en primera instancia tuvieron gran auge fueron los basados en técnicas frecuenciales tales como la implementación de filtros pasabanda para suprimir las onda T y P además del ruido, posteriormente se realiza una transformación de la señal (por ejemplo se deriva) para poder detectar el pico del complejo QRS que corresponde a la onda R [8,13]. El problema con este tipo de algoritmos es que la banda de frecuencia del complejo QRS es en cierta medida amplia, debido a que para cada sujeto es diferente, además que el ruido se encuentra en la banda de frecuencias del complejo QRS, lo que provoca que se traslapen.

La transformada Wavelet (TW) es una técnica espectro temporal muy prometedora ya que tiene la capacidad de distinguir las ondas del ECG de: ruido, artefactos de movimiento y derivas en la línea basal de manera robusta [14]. La ventaja de la transformada Wavelet es que es una herramienta que permite realizar un análisis multiescala, lo que quiere decir que dependiendo la escala utilizada en la transformada Wavelet ésta actúe como un banco de filtros en diferentes bandas de frecuencia. En la actualidad existen algoritmos para la detección del complejo QRS de forma automática basados en TW los cuales lograron una detección confiable y exacta, obteniendo una exactitud superior al 99% [15].

Estos algoritmos se han implementado en diferentes sistemas de procesamiento para la detección en tiempo real del complejo QRS, destacan los implementados en arreglos de compuertas programables en campo (FPGA) [16-18] debido a su excelente rendimiento, fiabilidad y la capacidad de realizar tareas que requieren grandes cantidades de datos y procesos en paralelo.

### 1.2.2 Algoritmos para la detección del final de la onda T

La detección de los puntos característicos de la onda T es crucial ya que provee información valiosa sobre diversos trastornos cardiacos. Es por ello que se han realizado esfuerzos para una detección confiable de la onda T, en particular del pico ( $T_p$ ) y final ( $T_e$ ). El problema que se presenta en la medición automática del  $T_e$  son sus componentes de baja frecuencia, además de su baja amplitud, y su detección se complica en casos de onda T plana y cuando su retorno a la línea de base está contaminado.

Existen una gran variedad de métodos propuestos para la detección del final de la onda T, basados en diferentes técnicas: umbrales sobre la primera derivada de la señal del ECG [8], la medición de un ángulo entre  $T_p$  y  $T_e$  [19] y a partir del cálculo de distancias [20]. Todos cuentan con ciertas ventajas e inconvenientes con respecto a las variaciones morfológicas de la onda T, la sensibilidad al ruido y derivas de la línea basal. Los algoritmos basados en la TW para la detección del final de la onda T mediante el uso de *splines* han mostrado que son robustos frente al ruido y artefactos de movimiento [15]. En años recientes se ha incrementado considerablemente el uso del FPGA como sistema de procesamiento para la implementación de algoritmos para el delineado del ECG, la detección del complejo QRS, incluso para la detección de onda P y T [21].

### **1.3 Objetivos**

Desarrollo de un prototipo de monitor ambulatorio para la adquisición y almacenamiento del ECG de 3 derivaciones quasiortogonales simultáneas de larga duración con medición latido a latido en tiempo real del intervalo RT y la frecuencia cardiaca mediante algoritmos basados en la transformada wavelet continua.

#### **1.3.1 Objetivos Específicos**

- Implementar un módulo de comunicación entre el ADS1294 y el FPGA para la adquisición de 3 derivaciones quasiortogonales simultaneas.
- Implementar un módulo de comunicación entre la memoria micro SD y el FPGA para el almacenamiento del ECG.
- Optimización de un módulo de detección del complejo QRS para la obtención de la frecuencia cardiaca latido a latido en tiempo real.
- Implementar un algoritmo para la medición latido a latido en tiempo real del intervalo RT.
- Realizar un módulo para la detección de falso contacto en los electrodos.
- Implementar un módulo de filtrado digital para delimitar el ancho de banda del ECG y reducir componentes electrónicos.
- Desarrollar un prototipo de monitor ambulatorio portátil de bajo consumo de energía, de dimensiones reducidas y bajo peso.

## Capítulo 2. Antecedentes

### 2.1 Actividad eléctrica del corazón

El electrocardiograma (ECG) es el registro de una señal eléctrica medida entre dos puntos de la superficie del cuerpo como consecuencia de la despolarización y repolarización auricular y ventricular. Las diferentes partes del corazón laten en secuencia ordenada: Contracción de las aurículas (sístole auricular), seguida de la contracción de los ventrículos (sístole ventricular) y durante la diástole las cámaras están relajadas.

La obtención de la señal ECG se da a partir de los potenciales de acción transmembrana en el sistema de conducción (Nodos SA y AV) y los músculos ventricular y auricular. Como se observa en la figura 4, en la parte superior de la aurícula derecha del corazón hay un paquete especializado de células conocidas como el nódulo sinoauricular (nódulo SA) que actúa como el marcapasos natural del corazón [3].

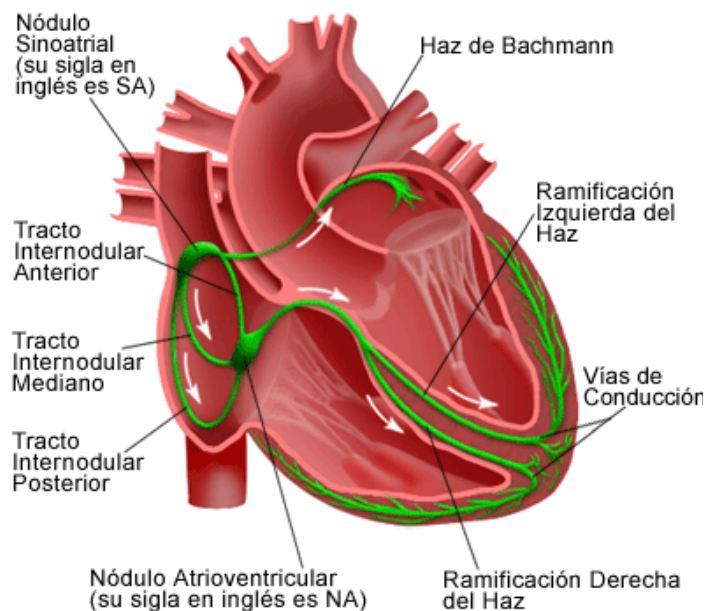


Fig. 4. Sistema eléctrico del corazón [3].

### 2.1.1 Potencial de acción cardiaco

Como se muestra en la figura 5, las fibras del miocardio tienen un potencial de reposo de membrana de aproximadamente  $-90\text{ mV}$ . El potencial de acción transmembrana de una sola célula del músculo cardiaco se caracteriza por la despolarización rápida, una meseta y un proceso de repolarización lenta.

**Fase 0 o reposo:** En esta fase la célula no está mandando señales eléctricas y mantiene una diferencia de potencial estable entre el interior y el exterior de la membrana. La célula permanece en este período hasta que es activada por un estímulo eléctrico, que proviene normalmente de una célula adyacente.

**Fase 1 o fase de despolarización rápida:** Cuando una célula es llevada al potencial umbral por medio de los potenciales de acción de las células vecinas, sus canales de  $\text{Na}^+$  rápidos regulados por voltaje se abren. Estos canales de  $\text{Na}^+$  se denominan rápidos debido a que se abren muy velozmente, en respuesta a la despolarización que llega al potencial umbral. La apertura de estos canales permite el influjo de  $\text{Na}^+$  porque el interior de las células del corazón es eléctricamente más negativo que en el exterior, y la concentración de  $\text{Na}^+$  es mayor en el exterior. La entrada de  $\text{Na}^+$  a favor del gradiente electroquímico produce una despolarización rápida. En pocos ms, los canales de  $\text{Na}^+$  rápidos se inactivan automáticamente y disminuyen el influjo de  $\text{Na}^+$  al interior de las células.

**Fase 2 o repolarización rápida:** La fase 2 del potencial de acción (PA) tiene lugar con la inactivación de los canales rápidos de  $\text{Na}^+$  y una corriente transitoria hacia el exterior de la célula debida al movimiento de los iones  $\text{K}^+$ , que causa la pequeña repolarización del PA.

**Fase 3 o meseta:** El PA cardíaco se mantiene por un equilibrio entre el movimiento hacia el interior del ion  $\text{Ca}^{2+}$  a través de los canales iónicos para el calcio (que se

abren cuando el potencial de membrana alcanza -40 mV) y el movimiento hacia el exterior del ion  $K^+$  a través de los canales lentos de potasio.

**Fase 4 o repolarización rápida:** Durante la fase 4 del PA, los canales voltaje dependientes para el  $Ca^{2+}$  se cierran, mientras que los canales lentos del  $K^+$  permanecen abiertos. Esto asegura una corriente hacia el exterior de la célula, que corresponde al cambio negativo en el potencial de membrana, que permite que más tipos de canales para el  $K^+$  se abran, éstos son principalmente los canales rápidos para el  $K^+$ . Esta corriente neta positiva hacia fuera causa la repolarización celular.

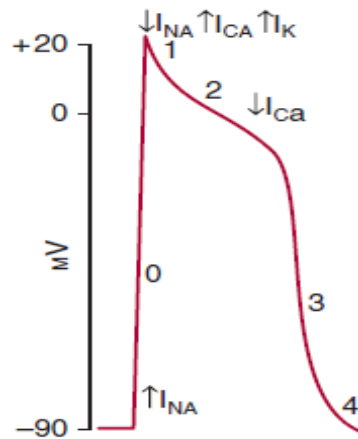


Fig. 5. Potencial eléctrico de las células cardíacas [22].

## 2.2 Electrocardiografía

La actividad eléctrica del corazón genera diferencias de potencial en la superficie del cuerpo, que son posibles de detectar y registrar mediante electrodos colocados en la piel. El electrocardiograma (ECG) es el registro lineal de la actividad eléctrica del corazón y se realiza mediante el electrocardiógrafo. Constituye una técnica de exploración rutinaria porque es no invasiva y de fácil manejo y por la riqueza de datos que proporciona, tanto anatómicos (hipertrofia o necrosis miocárdicas) como funcionales (ritmo cardíaco, trastornos de la conducción, etc). El ECG es la suma de la actividad eléctrica de todas las fibras del músculo cardíaco, registrada fuera de la célula como se muestra en la figura 6, donde se pueden observar los potenciales de acción en las diferentes partes del músculo cardíaco.



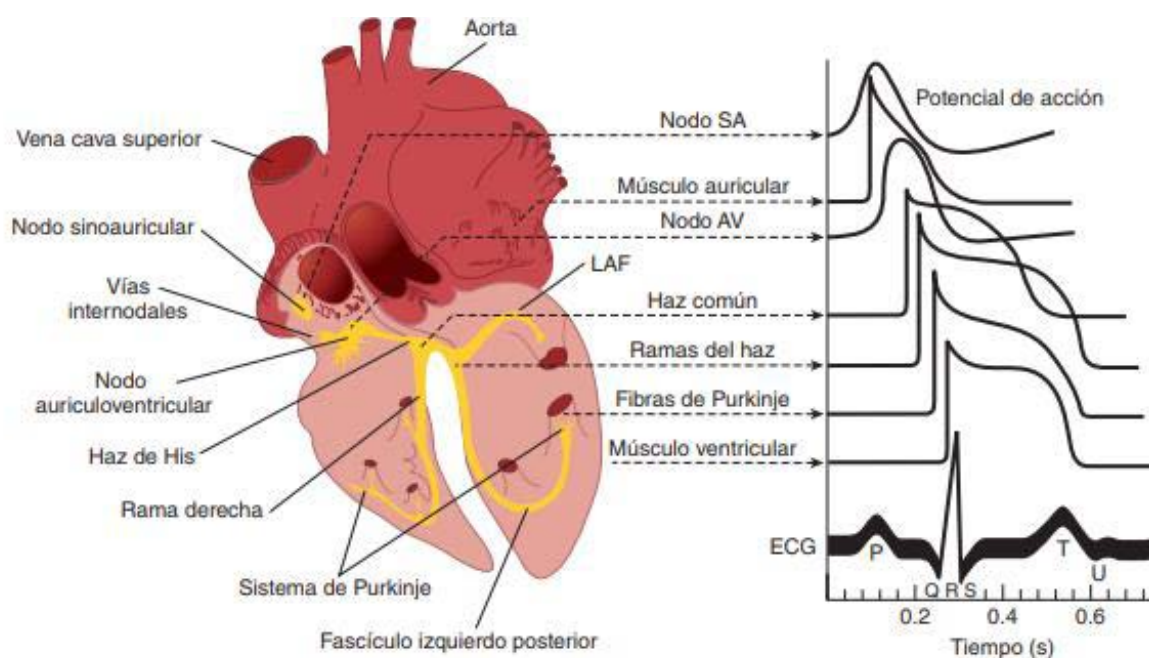


Fig. 6. Sistema de conducción del corazón. Se muestran los potenciales de acción transmembranales típicos de los nodos SA y AV y otras partes del sistema de conducción [3].

### 2.3 Onda, segmentos e intervalos del ECG

**Onda P:** En condiciones normales es la primera marca reconocible en el ECG. Representa la despolarización auricular.

**Intervalo PR:** Muestra el período de inactividad eléctrica correspondiente al retraso fisiológico que sufre el estímulo en el nodo auriculoventricular, incluye el tiempo necesario para la despolarización auricular, el retardo normal de la conducción en el nodo AV y el paso del impulso a través del haz de His. Su duración debe estar comprendida entre los 120 y 200 ms.

**Complejo QRS:** Es la marca más característica de la señal electrocardiográfica. Representa la despolarización de los ventrículos, su duración depende de la frecuencia cardíaca; si es mayor de 0.2 s puede indicar un bloqueo del nodo AV.

**Segmento ST:** Es el intervalo entre el final del complejo QRS y el inicio de la onda T. Representa el tiempo durante el que los ventrículos permanecen en estado activado y puede iniciarse la repolarización ventricular.

**Onda T:** Corresponde a la repolarización ventricular, aparece al final del segmento ST.

**Intervalo QT:** Comprende desde el inicio del complejo QRS hasta el final de la onda T y representa la despolarización y repolarización ventricular.

**Intervalo RR:** Corresponde al intervalo de tiempo entre la onda R de un complejo QRS y la onda R del siguiente complejo QRS (duración de un latido). Al dividir 60 s entre el intervalo RR se obtiene la frecuencia cardíaca por minuto con un ritmo ventricular regular.

## 2.4 Derivaciones electrocardiográficas

La actividad eléctrica del corazón genera un campo eléctrico que se puede representar matemáticamente por un vector con una magnitud y una dirección que va cambiando a lo largo del ciclo cardíaco. Cada derivación mide la diferencia de potencial entre dos puntos seleccionados y no registra la actividad eléctrica de una pequeña área del miocardio, si no que representa todos los eventos eléctricos de la totalidad de un ciclo, según son vistos desde el sitio seleccionado como la derivación.

Los electrodos se podrían colocar en cualquier lugar, pero están estandarizados, es decir, se utilizan unos sitios predeterminados para que todos los ECG sean iguales y, por lo tanto, comparables.

En el ECG normal se emplean 12 derivaciones de acuerdo con la tabla 1, por lo que el mismo evento eléctrico se observa de forma simultánea desde los 12 puntos distintos, cada uno maximiza los eventos que ocurren en el miocardio más próximo.

Tabla 1. Derivaciones del ECG [23]

Tipo de derivación	Electrodos	Definición
Bipolares de extremidades (Einthoven)	LA, RA, LL, RL	$I = LA - RA$ $II = LL - RA$ $III = LL - LA$
Aumentadas (Goldberger)	LA, RA, LL, RL	$aVR = RA - 0,5 (LA + LL)$ $aVL = LA - 0,5 (LL + RA)$ $aVF = LL - 0,5 (LA + RA)$
Unipolares precordiales (Wilson)	V1,V2,V3,V4,V5,V6	$V1 = v_1 - (LA + RA + LL) / 3$ $V2 = v_2 - (LA + RA + LL) / 3$ $V3 = v_3 - (LA + RA + LL) / 3$ $V4 = v_4 - (LA + RA + LL) / 3$ $V5 = v_5 - (LA + RA + LL) / 3$ $V6 = v_6 - (LA + RA + LL) / 3$

### 2.4.1 Derivaciones en el plano frontal

Las primeras tres derivaciones propuestas por Einthoven se conocen como derivaciones unipolares I, II y III. Éstas se obtienen a partir de los potenciales del brazo izquierdo (LA), brazo derecho (RA) y pierna izquierda (LL), y se forman por las posibles combinaciones entre pares como se observa en la figura 7. La pierna derecha (RL) sirve como referencia de tensión o algunas veces para eliminar corrientes en modo común.

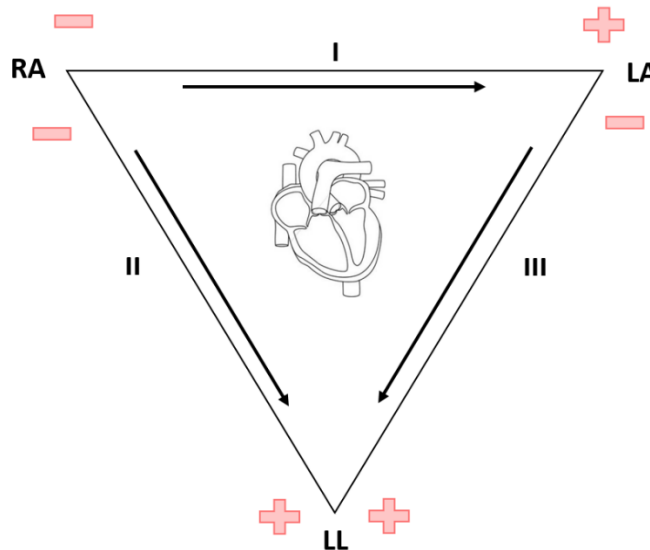


Fig. 7. Triángulo de Einthoven [24].

### 2.4.2 Derivaciones aumentadas

Las derivaciones aumentadas unipolares aVR, aVL y aVF propuestas por Goldberger se forman a partir de los puntos anteriores (LA, RA, LL) pero la tensión se mide entre una extremidad y la terminal central de Goldberger. El terminal central de Goldberger consiste en unir mediante resistencias las otras derivaciones de extremidades a un punto común que se obtiene de un promedio de los dos potenciales como se observa en la figura 8. Estas 3 derivaciones miden la actividad eléctrica cardiaca en el plano frontal.

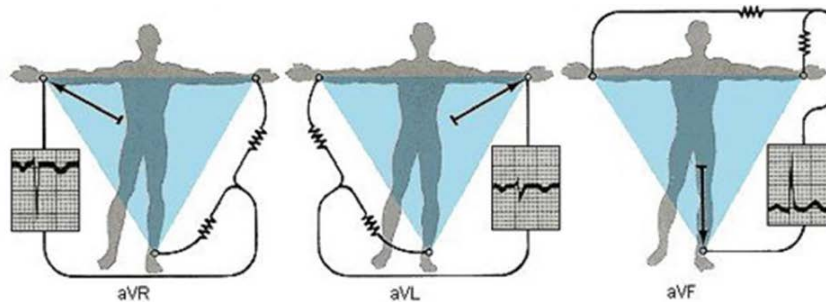


Fig. 8. Derivaciones de extremidades aumentadas [25].

### 2.4.3 Derivaciones en un plano transversal

Las derivaciones unipolares precordiales V1 a V6 propuestas por Wilson recogen la actividad eléctrica en el plano transversal. En estas derivaciones la tensión se mide entre 6 posiciones en el pecho establecidas, V1 a V6 y el terminal central de Wilson. El terminal central de Wilson se forma uniendo los electrodos de las extremidades LA, RA y LL mediante resistencias de 5 K $\Omega$  o 10 K $\Omega$ , propuestas por Wilson, a un punto común de modo que se obtiene el promedio de los tres potenciales de acuerdo con la figura 9.

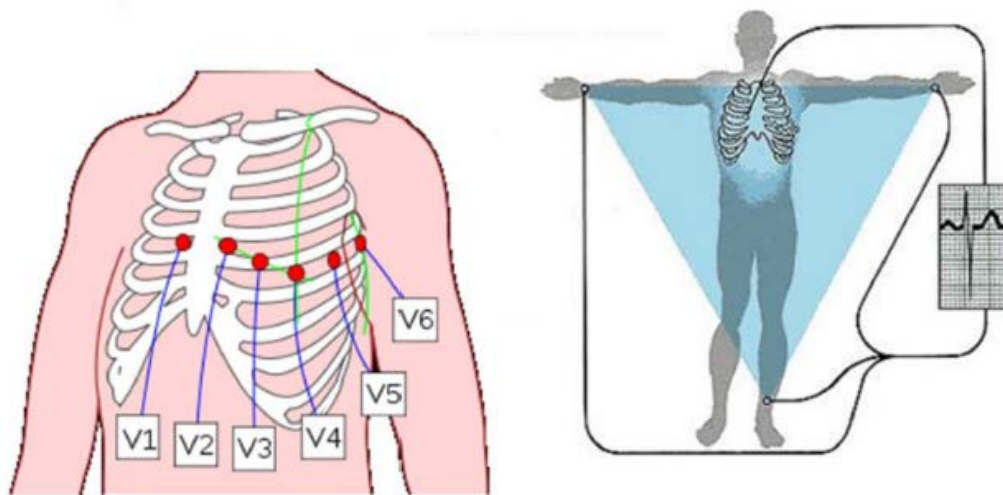


Fig. 9. Derivaciones unipolares precordiales [25].

El ECG de 12 derivaciones es redundante ya que basta con tres derivaciones ortogonales para poder representar el vector cardiaco, por lo que se utiliza el conjunto de derivaciones quasi-ortogonales, como V6, aVF y V2, o D1, aVF y V2 para representar el eje X, Y y Z respectivamente de acuerdo con la figura 10.

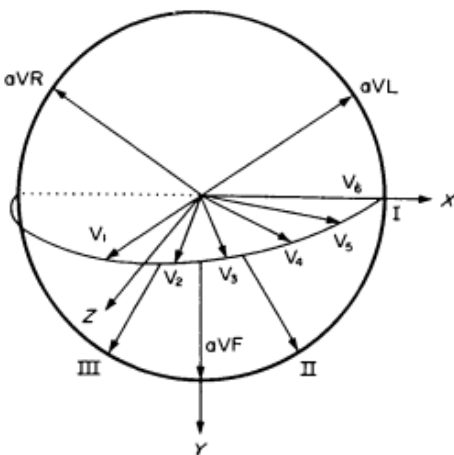


Fig. 10. Relación entre los vectores del ECG de 12 derivaciones y el ECG de derivaciones ortogonales [23].

## **2.5 Variabilidad de la frecuencia Cardíaca**

La variabilidad del ritmo cardíaco HRV, es la variación latido a latido de la frecuencia cardíaca o de la duración del intervalo RR, estas variaciones se deben a la conexión del corazón con el sistema nervioso autónomo (SNA), el cual se encarga de modular la respuesta cardiovascular de acuerdo con las necesidades del sujeto, por lo tanto, la HVR da información sobre la relación entre el corazón y el SNA [26]. En el corazón humano normal, cada latido se origina en el nodo sinoauricular; El corazón late normalmente alrededor de 70 veces por minuto en reposo y disminuye conforme aumenta la edad. La frecuencia disminuye (Bradycardia) durante el sueño y se acelera (taquicardia) por emociones, ejercicio, fiebre y muchos otros estímulos [3].

Aunque las contribuciones exactas de las divisiones simpáticas y parasimpáticas del sistema nervioso autónomo a la HVR son controvertidas, en los últimos años el análisis de HVR se ha empleado como una técnica no invasiva a partir de la serie temporal del intervalo RR mediante técnicas estadísticas, espectrales, espectro temporales y no lineales [27].

## **2.6 Aplicación clínica del intervalo QT**

El intervalo QT es un parámetro electrocardiográfico que refleja la duración de los procesos de despolarización y repolarización ventricular. Debido a que la repolarización es mucho más prolongada y las variaciones en la despolarización son menores (excepto por la aparición del bloqueo de la rama del haz), los cambios en el intervalo QT reflejan cambios en la repolarización.

Las señales en este intervalo son la suma de las duraciones de los potenciales de acción de los ventrículos [28], por lo que su prolongación puede reflejar la dispersión de los potenciales de acción de diferentes áreas del corazón, largo en algunas áreas y normal en otras, lo que facilita el fenómeno de reentrada y la aparición de arritmias ventriculares [29].

La medición en tiempo real del intervalo QT se complica debido a que primero es necesario la detección de la onda R, debido a que por su amplitud sirve como referente para la detección de las demás ondas del ECG. Una vez detectada la onda R se debe realizar una búsqueda hacia atrás del registro para la detección del inicio de la onda Q, esto supone un problema debido a que se requiere de una memoria para almacenar muestras anteriores y ésto propicia retrasos en el procesamiento. La medición del intervalo RT (pico de onda R y final de la onda T) permite estimar de forma muy aproximada la variabilidad de la repolarización ventricular [30], sobre todo en casos donde no exista onda Q, es por ello que en este trabajo se optó por medir el intervalo RT.

### **2.6.1 Dinámica y variabilidad del intervalo QT**

La dinámica y la variabilidad del intervalo QT son parámetros de gran interés derivados del monitor Holter que reflejan cambios en la vulnerabilidad del miocardio y que contribuyen a un mayor riesgo de eventos arrítmicos y muerte súbita [31]. La dinámica de la repolarización es el fenómeno que describe y cuantifica la adaptación del intervalo QT a los cambios en la frecuencia cardíaca. Una manera de evaluar esta dinámica es mediante el análisis de las pendientes del intervalo QT y el intervalo RR, ya que su incremento se observa en pacientes en riesgo de muerte cardíaca y eventos arrítmicos. La variabilidad del intervalo QT refleja cambios latido a latido en la duración y morfología de la repolarización. Estudios previos mostraron que un incremento de la variabilidad del intervalo QT es un poderoso predictor de eventos arrítmicos en pacientes post-infarto con disfunción ventricular izquierda [31]. Como se mencionó antes, la variabilidad de la frecuencia cardíaca obtenida mediante un monitor Holter proporciona una idea de la regulación del sistema nervioso autónomo sobre el corazón. Los cambios en la frecuencia cardíaca y su variabilidad influyen en los cambios del intervalo QT, aunque la variabilidad del intervalo QT no se relaciona completamente con cambios en el sistema nervioso autónomo [32].

## Capítulo 3. Desarrollo

### 3.1 Solución Propuesta

De manera general, la solución de la propuesta ante el planteamiento del problema y los objetivos presentados consiste en el desarrollo de un prototipo ambulatorio primeramente cumpla con los siguientes requisitos:

- 3 canales de adquisición simultáneos, para las derivaciones D1, aVF y V2.
- Implementación de algoritmo basado en la transformada wavelet para la medición de la frecuencia cardiaca y del intervalo RT latido a latido en tiempo real.
- CMRR mayor de 80 dB en 60 Hz
- Ancho de banda de 0 a 200 Hz
- Frecuencia de muestreo de 1 kHz
- Resolución inferior a 1  $\mu$ V
- Fuente de alimentación para el prototipo para alcanzar una duración mínima de 24 horas.
- Capacidad de almacenamiento para registros de 24 horas, datos de la frecuencia cardiaca y del intervalo QT latido a latido mediante una memoria micro SD.
- Dimensiones reducidas para ser ligero y portátil.
- Validación de los algoritmos en registros de bases de datos públicas.

El prototipo consta de 3 elementos fundamentales como se muestra en la figura 11, con el objetivo de cumplir con los objetivos propuestos los cuales son:

- La tarjeta de desarrollo Cmod A7 de Xilinx, que contiene un FPGA de la familia Artix-7 XC7A35T-ICPG236C de bajo consumo.
- Circuito integrado ADS1294 de Texas Instruments de bajo consumo, 4 canales, convertidores analógico digital de 24 bits y módulo para adquisición del ECG.
- Memoria micro SDHC de 16 GB marca Kingston Clase 10.



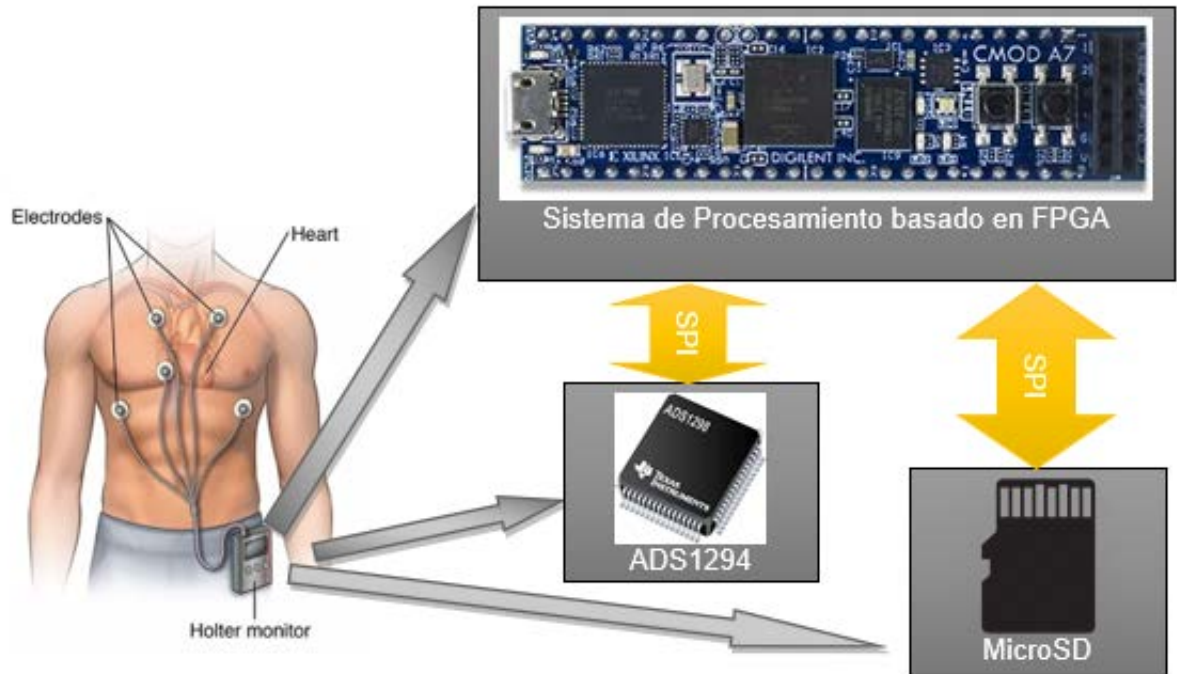


Fig. 11. Componentes principales del sistema ambulatorio de ECG de 3 canales.

Cabe destacar que el diseño e implementación del prototipo propuesto está basado principalmente en prototipos realizados en el laboratorio 16 de la Sección de Bioelectrónica, el primero de ellos implementado en un dsPIC33FJ64MC802 como unidad de procesamiento [33] y el segundo implementado en un FPGA inmerso en una tarjeta de desarrollo BASYS 3 de Xilinx [34].

En ambos se implementó un algoritmo basado en transformada Wavelet para la detección del complejo QRS para la obtención de la frecuencia cardiaca latido a latido [15].

Este trabajo tiene como objetivo en términos de software la optimización del algoritmo de detección del complejo QRS, la programación de un módulo para la medición en tiempo real del intervalo RT y la implementación de un filtro digital para reducir el número de componentes electrónicos del sistema. Por la parte del hardware la optimización de parámetros como el consumo del dispositivo, así como de sus dimensiones.

### 3.1.1 ADS1294

El ADS1294 de la serie (ADS129x) de Texas Instruments pertenece a una familia de convertidores analógico digital (ADC) multicanal, de muestreo simultáneo, con 24 bits de resolución y con una arquitectura delta-sigma ( $\Sigma\Delta$ ) que cuenta además con amplificadores de ganancia programable (PGAs), referencia y oscilador internos. El ADS1294 es un chip diseñado para atender la necesidad de adquisición de señales en aplicaciones médicas tales como la Electromiografía (EMG), Electrocardiografía (ECG) y Electroencefalografía (EEG) [12]. El ADS1294X cuenta con un sistema de multiplexores altamente programables que controlan los sistemas de temperatura, alimentación, entradas y el circuito de pierna derecha. Adicionalmente el Mux permite que cualquiera de los electrodos de entrada se programe como una unidad de referencia al paciente, además de programar una referencia interna a 2.4 V o 4 V. Contiene un oscilador interno que genera un reloj a 2.048 MHz.

El ADS1294 incorpora funciones indispensables y específicas para la obtención del ECG como lo son el bloque de terminal central Wilson (WTC) para derivaciones precordiales, la terminal de Goldberger para las derivaciones aumentadas, un bloque para detectar falso contacto de los electrodos (*lead-off*) mediante el uso de resistencias *pull-up*, *pull-down* o por una fuente de corriente, y el circuito de pierna derecha con un sistema versátil que permite elegir el promedio de cualquier combinación de electrodos. Es por estas cualidades que el ADS1294 es un elemento indispensable para el prototipo implementado. Las señales son obtenidas, acondicionadas y transmitidas hacia el FPGA por el ADS1294 mediante el protocolo SPI.

#### 3.1.1.1 Diagrama a bloques ADS1294

El ADS1294 tiene 4 canales de muestreo simultáneo donde cada canal cuenta con un filtro RC que actúa como un filtro para interferencia electromagnética. Posteriormente se encuentra un bloque de multiplexores que proveen una serie de opciones de configuración mediante la conmutación de interruptores.

Las configuraciones se realizan mediante software asignando valores apropiados a una serie de registros descritos más adelante. Seguido de los multiplexores continúa una serie de amplificadores de ganancia programable para acondicionar la señal. La salida de cada canal de amplificación se distribuye tanto a convertidor analógico digital Delta-sigma como al circuito de pierna derecha para atenuar el ruido en modo común como se observa en la figura 12. Una vez digitalizada pasa a un bloque de control que prepara la señal para su posterior transmisión por SPI. Para este proyecto se hará uso del terminal central de Wilson y la terminal central de Goldberger.

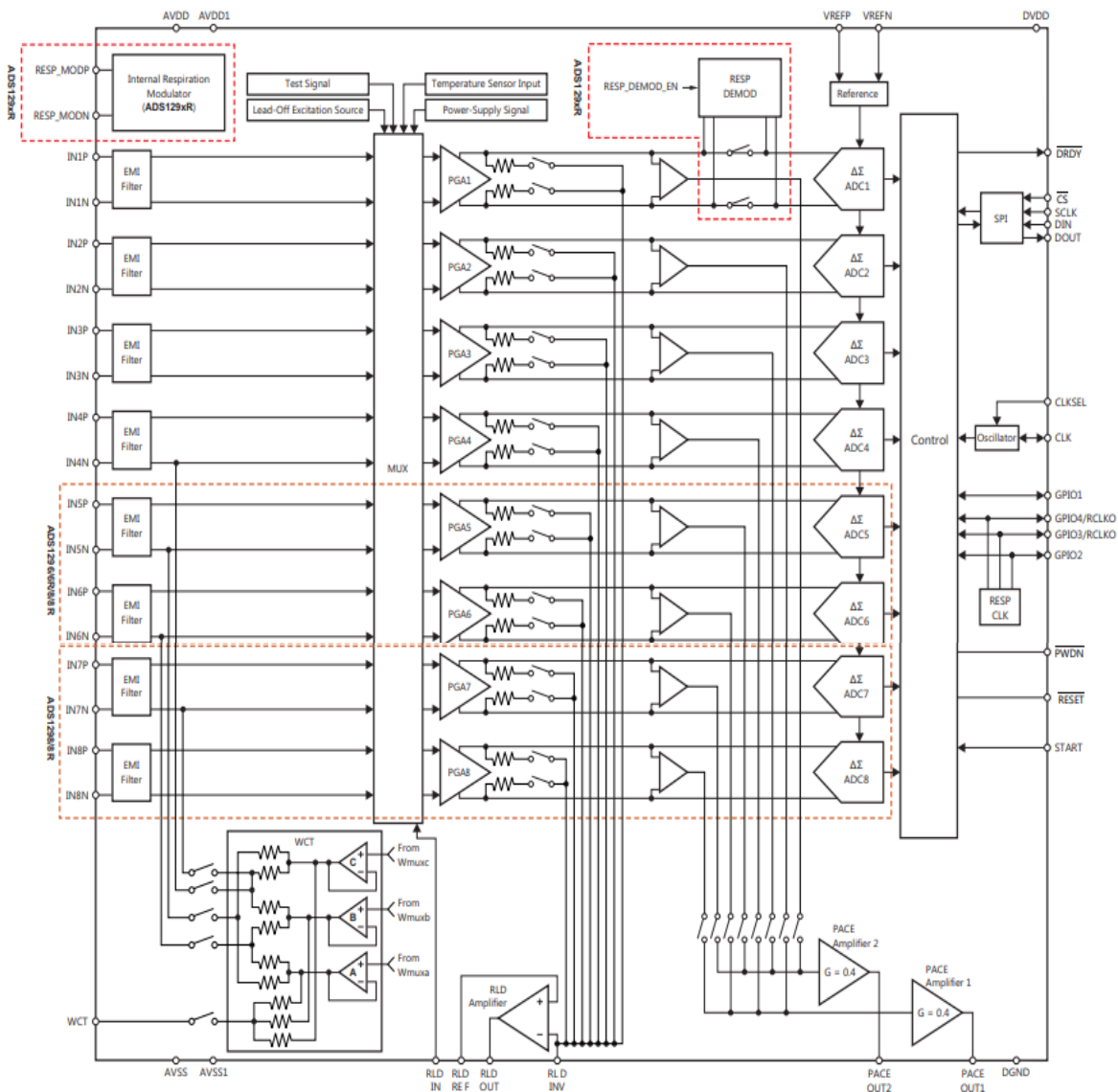


Fig. 12. Diagrama a bloques del ADS1294 [12].

### 3.1.1.2 Registros del ADS1294

Para la configuración del ADS1294 existen una serie de registros cuya asignación de valores dependerá del modo de funcionamiento con el cual se desee trabajar, estos registros se muestran en la tabla 2. Contiene registros para configuración general y para cada canal de adquisición además de las direcciones de memoria donde se encuentran dichos registros.

Tabla 2. Registros de configuración [12].

ADDRESS	REGISTER	RESET VALUE (Hex)	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
<b>DEVICE SETTINGS (READ-ONLY REGISTERS)</b>										
00h	ID	xx	DEV_ID7	DEV_ID6	DEV_ID5	1	0	DEV_ID2	DEV_ID1	DEV_ID0
<b>GLOBAL SETTINGS ACROSS CHANNELS</b>										
01h	CONFIG1	06	HR	DAISY_EN	CLK_EN	0	0	DR2	DR1	DR0
02h	CONFIG2	40	0	0	WCT_CHOP	INT_TEST	0	TEST_AMP	TEST_FREQ1	TEST_FREQ0
03h	CONFIG3	40	PD_REFBUF	1	VREF_4V	RLD_MEAS	RLDREF_INT	PD_RLD	RLD_LOFF_SENS	RLD_STAT
04h	LOFF	00	COMP_TH2	COMP_TH1	COMP_TH0	VLEAD_OFF_EN	ILEAD_OFF1	ILEAD_OFF0	FLEAD_OFF1	FLEAD_OFF0
<b>CHANNEL-SPECIFIC SETTINGS</b>										
05h	CH1SET	00	PD1	GAIN12	GAIN11	GAIN10	0	MUX12	MUX11	MUX10
06h	CH2SET	00	PD2	GAIN22	GAIN21	GAIN20	0	MUX22	MUX21	MUX20
07h	CH3SET	00	PD3	GAIN32	GAIN31	GAIN30	0	MUX32	MUX31	MUX30
08h	CH4SET	00	PD4	GAIN42	GAIN41	GAIN40	0	MUX42	MUX41	MUX40
09h	CH5SET <sup>(1)</sup>	00	PD5	GAIN52	GAIN51	GAIN50	0	MUX52	MUX51	MUX50
0Ah	CH6SET <sup>(1)</sup>	00	PD6	GAIN62	GAIN61	GAIN60	0	MUX62	MUX61	MUX60
0Bh	CH7SET <sup>(1)</sup>	00	PD7	GAIN72	GAIN71	GAIN70	0	MUX72	MUX71	MUX70
0Ch	CH8SET <sup>(1)</sup>	00	PD8	GAIN82	GAIN81	GAIN80	0	MUX82	MUX81	MUX80
0Dh	RLD_SENSP <sup>(2)</sup>	00	RLD8P <sup>(1)</sup>	RLD7P <sup>(1)</sup>	RLD6P <sup>(1)</sup>	RLD5P <sup>(1)</sup>	RLD4P	RLD3P	RLD2P	RLD1P
0Eh	RLD_SENSN <sup>(2)</sup>	00	RLD8N <sup>(1)</sup>	RLD7N <sup>(1)</sup>	RLD6N <sup>(1)</sup>	RLD5N <sup>(1)</sup>	RLD4N	RLD3N	RLD2N	RLD1N
0Fh	LOFF_SENSP <sup>(2)</sup>	00	LOFF8P	LOFF7P	LOFF6P	LOFF5P	LOFF4P	LOFF3P	LOFF2P	LOFF1P
10h	LOFF_SENSN <sup>(2)</sup>	00	LOFF8N	LOFF7N	LOFF6N	LOFF5N	LOFF4N	LOFF3N	LOFF2N	LOFF1N
11h	LOFF_FLIP	00	LOFF_FLIP8	LOFF_FLIP7	LOFF_FLIP6	LOFF_FLIP5	LOFF_FLIP4	LOFF_FLIP3	LOFF_FLIP2	LOFF_FLIP1
<b>LEAD-OFF STATUS REGISTERS (READ-ONLY REGISTERS)</b>										
12h	LOFF_STATP	00	IN8P_OFF	IN7P_OFF	IN6P_OFF	IN5P_OFF	IN4P_OFF	IN3P_OFF	IN2P_OFF	IN1P_OFF
13h	LOFF_STATN	00	IN8N_OFF	IN7N_OFF	IN6N_OFF	IN5N_OFF	IN4N_OFF	IN3N_OFF	IN2N_OFF	IN1N_OFF
<b>GPIO AND OTHER REGISTERS</b>										
14h	GPIO	0F	GPIOD4	GPIOD3	GPIOD2	GPIOD1	GPIOC4	GPIOC3	GPIOC2	GPIOC1
15h	PACE	00	0	0	0	PACEE1	PACEE0	PACEO1	PACEO0	PD_FACE
16h	RESP	00	RESP_DEMOD_EN1	RESP_MOD_EN1	1	RESP_PH2	RESP_PH1	RESP_PH0	RESP_CTRL1	RESP_CTRL0
17h	CONFIG4	00	RESP_FREQ2	RESP_FREQ1	RESP_FREQ0	0	SINGLE_SHOT	WCT_TO_RLD	PD_LOFF_COMP	0
18h	WCT1	00	aVF_CH6	aVL_CH5	aVR_CH7	aVR_CH4	PD_WCTA	WCTA2	WCTA1	WCTA0
19h	WCT2	00	PD_WCTC	PD_WCTB	WCTB2	WCTB1	WCTB0	WCTC2	WCTC1	WCTC0

### 3.1.1.3 Circuito de Pierna Derecha

El multiplexor de entrada mostrado en la figura 12 es específico para la obtención del ECG, ya que tiene como objetivo formar el circuito de pierna derecha por sus siglas en inglés (RLD). El electrodo de pierna derecha se encuentra disponible en el pin RLDOUT de acuerdo con los canales seleccionados para dicha función. De acuerdo con la tabla 2, la selección de los canales se realiza mediante la modificación de los registros RLD\_SENSP y RLD\_SENSN, CONFIG\_3 y CHnSET.

La referencia del circuito de pierna derecha se puede tomar de forma interna a partir del promedio de la alimentación analógica (AVDD y AVSS) mediante el bit RLDREF\_INT o una referencia externa a partir del pin RLDREF como se muestra en la parte inferior de la figura 13.

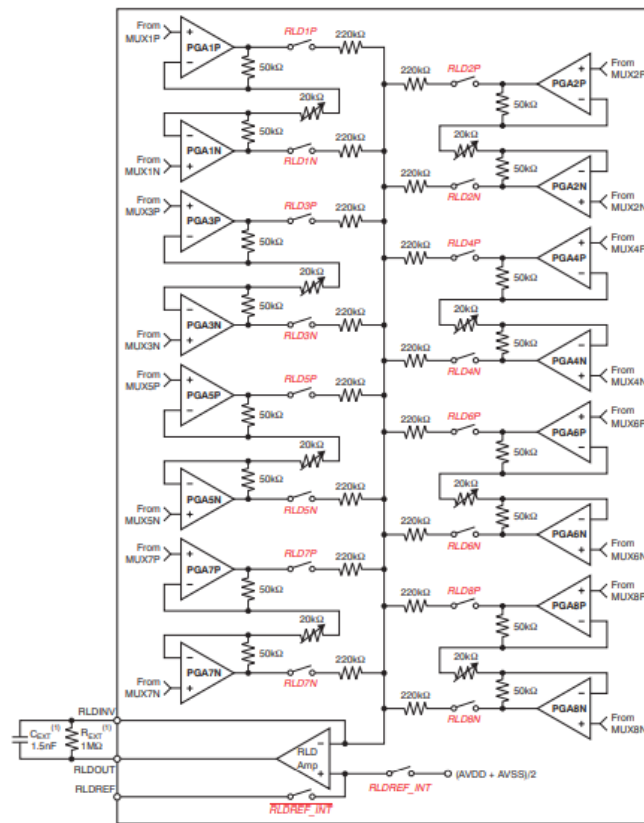


Fig. 13. Circuito de pierna derecha y sus registros de configuración [12].

Entre los pines RLDOUT y RLDINV se tiene una retroalimentación que consiste en un circuito RC que conectado a las terminales del amplificador funciona como un filtro activo pasabajas.

### 3.1.1.4 Acondicionamiento y amplificación del ECG

El PGA es un amplificador de entrada y salida diferenciales cuya ganancia es programable (1, 2, 3, 4, 6, 8 y 12) a través de los registros CHnSET de la tabla 2. La salida del amplificador se envía al ADC para su digitalización como se observa en la figura 14.

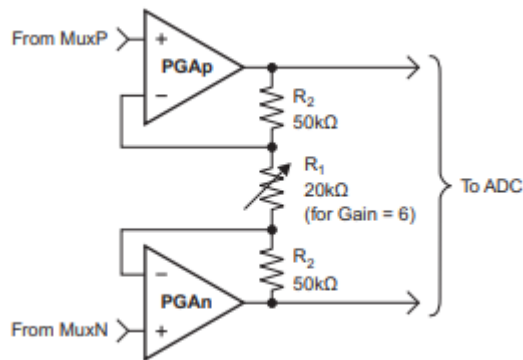


Fig. 14. Diagrama a bloques del ADS1294 [12].

Para elegir la ganancia también se tiene que tomar en cuenta que a mayor ganancia menos ancho de banda como se muestra en la tabla 3.

Tabla 3. Relación ganancia - ancho de banda [12].

GAIN	NOMINAL BANDWIDTH AT ROOM TEMPERATURE (kHz)
1	237
2	146
3	127
4	96
6	64
8	48
12	32

### 3.1.1.5 Terminal central de Wilson

Para la obtención de las derivaciones precordiales se requiere de un voltaje denominado Terminal Central de Wilson [21], por sus siglas en ingles WTC, que por definición consiste en el promedio de los potenciales obtenidos en los electrodos RA, LA y LL. Este voltaje se utiliza como referencia para la medición en los potenciales cerca del corazón. Como se muestra en la siguiente figura 15 el ADS1294 integra 3 amplificadores de bajo ruido para generar el voltaje de pierna derecha y mediante los registros WTC1, WTC2 y WTC3 se genera la ruta para la formación del circuito. Esto permite la formación de una ruta flexible y que se acople a las necesidades del usuario.

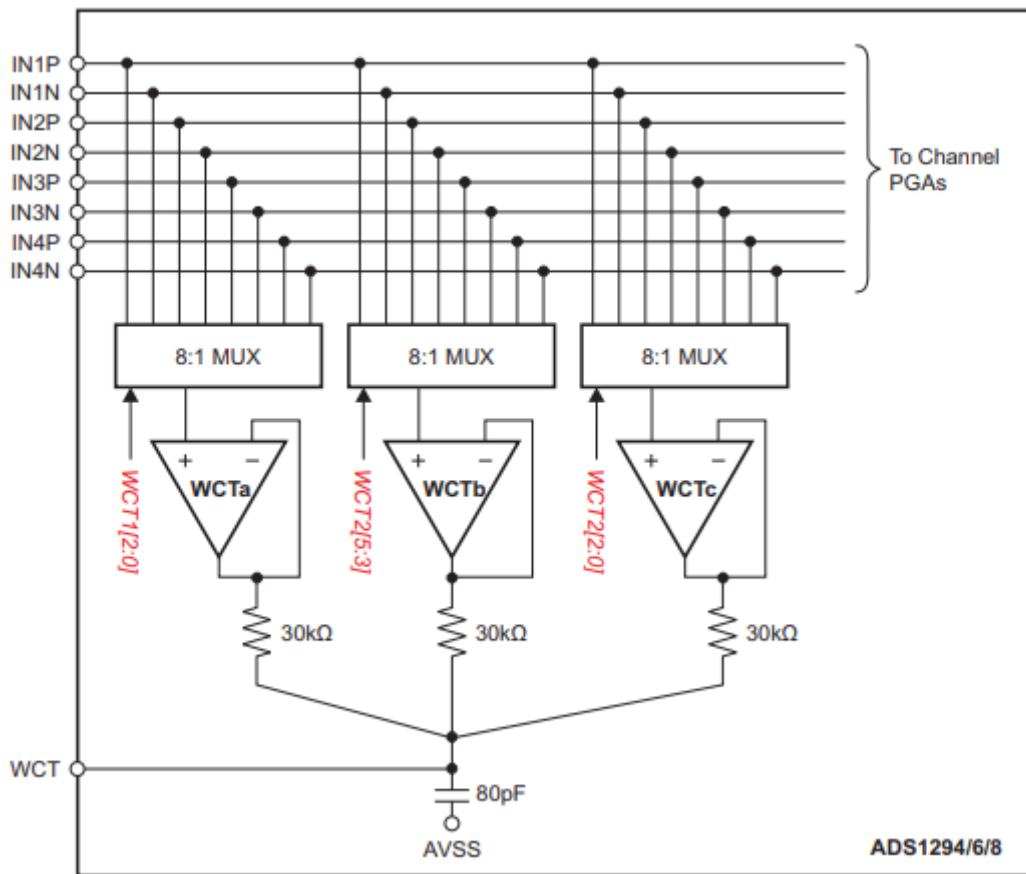


Fig. 15. Circuito de WTC [12].

### 3.1.1.6 Derivaciones aumentadas

Para la obtención de las derivaciones unipolares aumentadas (aVR, aVF y aVL) propuestas por Goldberger, el ADS1294 cuenta con 3 amplificadores que pueden para formar la terminal central de Goldberger (CTg) de acuerdo con la figura 16. Mediante los registros WCT1, WCT2 se puede elegir pares de electrodos que se requieran utilizar dependiendo de la derivación que se desea obtener. Para este proyecto se utilizó la configuración para obtener aVF.

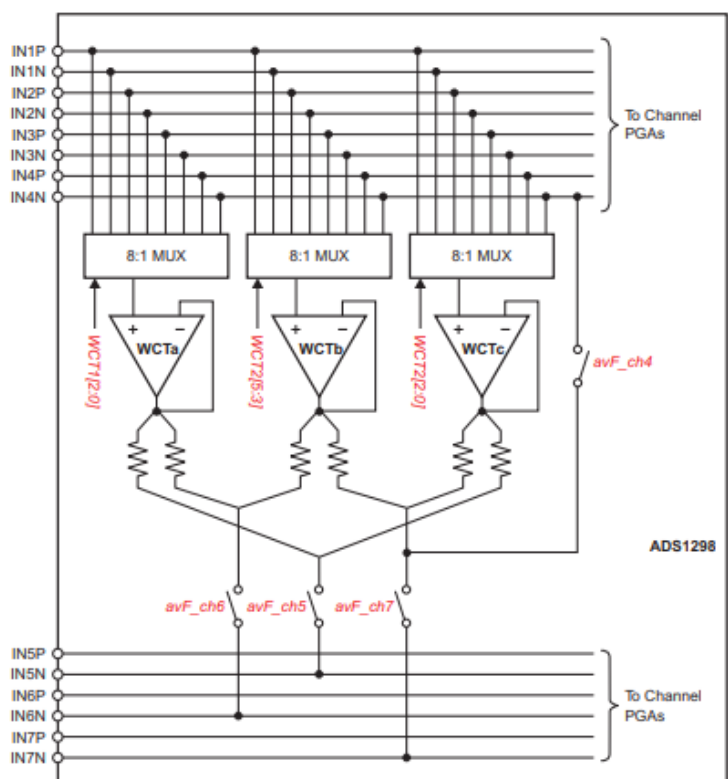


Fig. 16. Terminal central de Goldberger [12].

### 3.1.1.7 Detección de falso contacto en los electrodos

La detección de falso contacto en los electrodos es una función primordial en el diseño de un sistema de monitoreo ambulatorio de larga duración ya que se espera que el paciente desarrolle sus actividades cotidianas con la mayor normalidad posible sin afectar la adquisición del ECG. La medición precisa del ECG depende en gran medida



a que exista una ruta conductiva de baja impedancia (la interfaz electrodo piel). Si existe un contacto pobre en alguno de los electrodos se genera un severo desbalance en la interfaz electrodo piel, ésto provoca que exista una diferencia significativa en la impedancia de dos electrodos.

Este desbalance de impedancias genera que el amplificador diferencial convierta parte de las señales en modo común (ruido e interferencias) en señales en modo diferencial causando una distorsión en el ECG. El ADS1294 cuenta con un bloque funcional dedicado al monitoreo del estado de los electrodos (*lead-off*) para verificar una adecuada adquisición del ECG. Este bloque provee la flexibilidad de elegir varios métodos de monitoreo que trabajan con el mismo principio de funcionamiento el cual consiste en la inyección de una señal de excitación y medir la impedancia para determinar si el electrodo se encuentra haciendo contacto adecuadamente. Los métodos difieren en el contenido frecuencial de la señal de excitación y pueden seleccionarse por canal utilizando los registros LOFF\_SENSP y LOFF\_SESNS.

Para este proyecto se utilizó el método por señal de DC como fuente de excitación. La señal DC de excitación se selecciona entre resistencias *pullup* o *pulldown*, o una fuente de corriente como se observa en la figura 17. La selección se lleva a cabo mediante la escritura en el bit VLEAD\_OFF\_EN en el registro LOFF. En este proyecto se utilizó la configuración mediante fuente de corriente y su magnitud se asigna mediante los bits ILEAD\_OFF[1:0] en el registro LOFF.

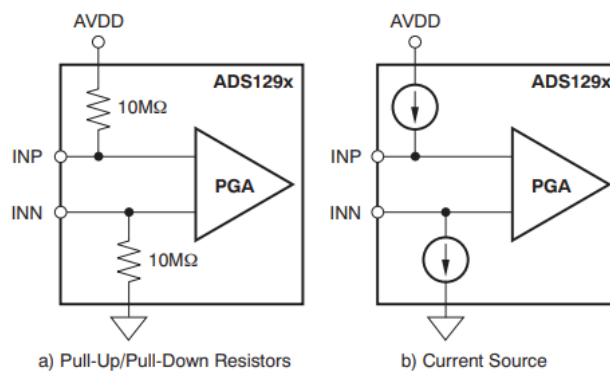


Fig. 17. Opciones de detección de estado de electrodos mediante excitación con DC [12]

Durante la conversión, el voltaje de entrada se monitorea simultáneamente utilizando un comparador y un DAC de 4 bits con los niveles establecidos por los bits COMP\_TH [2:0] en el registro LOFF. Las salidas del comparador se almacenan en los registros LOFF\_STATP y LOFF\_STATN. Estos dos registros se encuentran disponibles como parte del conjunto de datos de salida mediante el pin DOUT, el cual se describe más adelante.

### **3.1.1.8 Alimentación del ADS1294**

El ADS1294 cuenta con dos fuentes de alimentación, por un lado, se encuentra la alimentación analógica (AVDD-AVSS) cuyo rango de operación se encuentra en (2.7 V a 5.25 V) medido entre las dos terminales y la fuente de alimentación digital (DVDD-DGND) cuyo rango de operación se encuentra en (1.65 V a 2.6 V) medido entre las dos terminales. Existe una fuente extra llamada por el fabricante AVDD1 que provee energía a un bloque de bomba de carga, por lo que el fabricante sugiere que se conecte AVDD1 y AVSS1 a AVDD y AVSS respectivamente.

El fabricante recomienda dos tipos de configuraciones: conexión unipolar y conexión bipolar, siempre que se respeten los rangos de funcionamiento antes mencionados. En ambos casos se sigue el uso de los capacitores en los pines de referencia VREFP, VREFN, además en los pines VCAP1, VCAP2, VCAP3, VCAP4, WTC, AVDD y DVDD lo más cerca posible del ADS1294 acuerdo con la figura 18.

Para este proyecto se seleccionó el modo de conexión unipolar con una alimentación de 3.3 V, debido a que el FPGA puede suministrar energía tanto a la fuente analógica como la digital cumpliendo sus rangos de funcionamiento, logrando así que los niveles lógicos tanto del FPGA como del ADS1294 sean compatibles. Debido a que se utiliza una fuente de alimentación para la fuente analógica y digital del ADS1294 se incluyó un par de inductores para separar la tierra digital del plano de tierra analógica [33].

Para evitar las posibles interferencias ocasionadas por las transiciones que ocurren en la parte digital del prototipo, se incluyó un par de inductores que separan el plano de tierra digital del plano de tierra analógica.

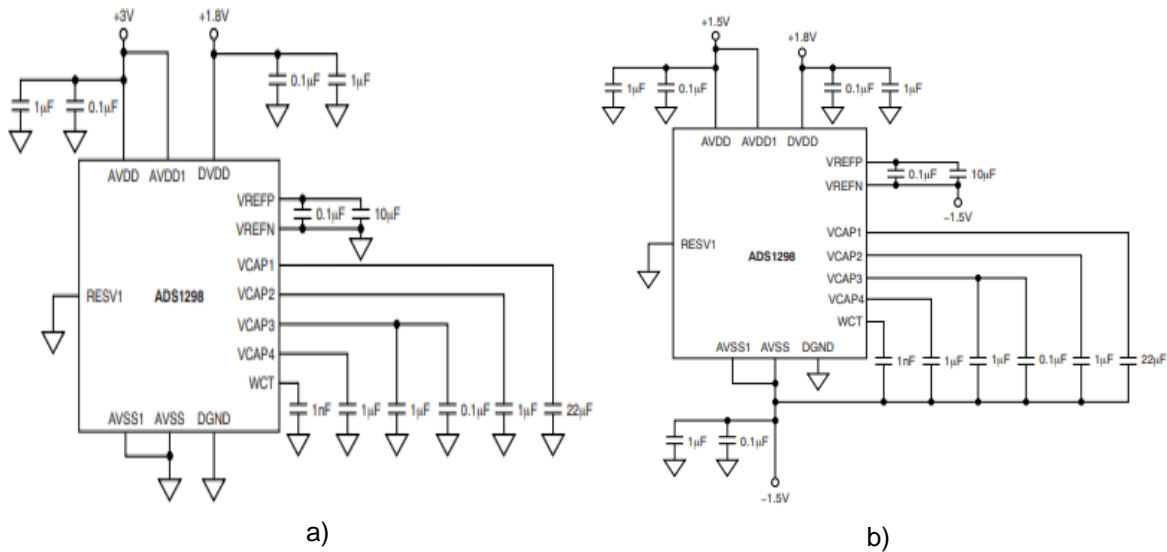


Fig. 18. Tipos de configuración para fuente de alimentación recomendados por el fabricante [12]. a) Modo fuente sencilla. b) Modo fuente bipolar.

### 3.1.1.9 Reloj del ADS1294

El ADS1294 requiere de una señal de reloj para su funcionamiento, dicha señal puede ser proporcionada mediante dos métodos de sincronización: un oscilador interno o de forma externa mediante el pin 37 (SCLK). El fabricante recomienda el empleo del oscilador interno para sistemas de baja potencia alimentados por baterías. Esto se debe a que se reducen las interferencias en la señal analógica ocasionadas por las transiciones abruptas inherentes a una señal de temporización digital, se minimiza el número de componentes, la complejidad del circuito y el consumo de energía. Por lo anterior se seleccionó el oscilador interno en el ADS1294. Para habilitar el oscilador interno se fija el pin 52 (CLKSEL) en estado alto (1 lógico) y se debe mantener el bit CLK\_EN del registro CONFIG1 en cero.

### 3.1.1.10 Protocolo de comunicación SPI del ADS1294

El ADS1294 cuenta con un módulo de comunicación SPI para comunicarse con otros dispositivos y transmitir los datos, de acuerdo con la figura 19 esta interfaz consta de 4 señales:

- CS: esta señal le indica al ADS1294 que fue seleccionado para realizar una transferencia de datos.
- SCLK (*clock*): Es la señal que sincroniza la transferencia de datos.
- MOSI: por sus siglas en inglés (*Master Out Slave In*) es la señal de salida del dispositivo maestro y la entrada de datos del dispositivo esclavo. Para este proyecto el dispositivo maestro es el FPGA y el dispositivo esclavo es el ADS1294.
- MISO: por sus siglas en inglés (*Master In Slave Out*) es la señal de entrada del dispositivo maestro y la señal de entrada del dispositivo esclavo)

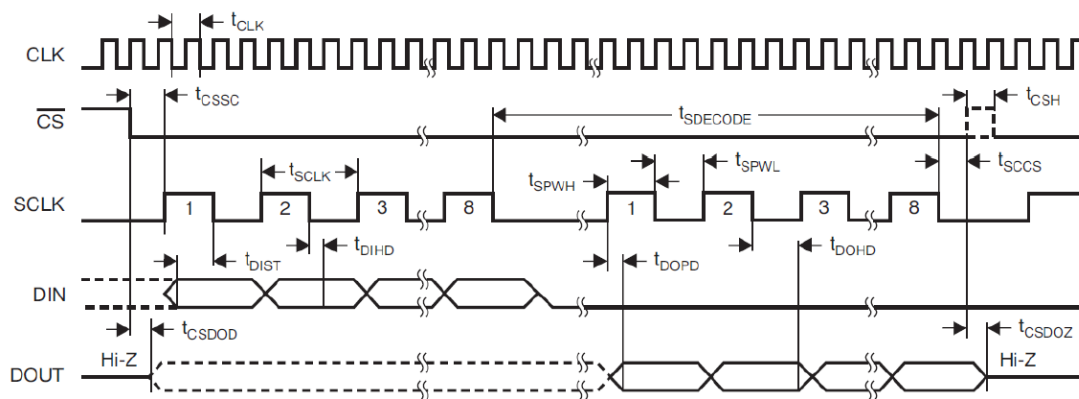


Fig. 19. Diagrama de tiempos para la interfaz SPI [12].

Para una correcta comunicación del ADS1294, el periodo mínimo de la señal de reloj (SCLK) según las especificaciones del fabricante, es de 50 ns y de 66 ns dependiendo de la fuente de alimentación, en este proyecto el menor tiempo posible es de 50 ns (20 MHz). La señal SCLK se estableció de 1 MHz que equivale a 100 ns, dejando holgura suficiente para reducir el riesgo de pérdida de información.

### 3.1.1.11 Comandos del ADS1298

El fabricante clasifica los comandos en tres tipos: Sistema, lectura de datos y lectura de registros como se muestra en la tabla 4. Los comandos del sistema y de lectura de datos son de un solo byte, mientras que los comandos de lectura de registros son de 2 bytes. Los comandos del sistema se emplean para: reiniciar los registros del ADS1294. Entrar o salir de modo ahorro de energía, inicializar y finalizar las conversiones de las señales analógicas.

Tabla 4. Clasificación de comandos SPI del ADS1294 [12].

Comando	Primer Byte	Segundo Byte
<b>Comandos de Sistema</b>		
WAKEUP	0000 0010 (02h)	---
STANDBY	0000 0100 (04h)	---
RESET	0000 0110 (06h)	---
START	0000 1000 (08h)	---
STOP	0000 1010 (0Ah)	---
<b>Comandos de lectura de datos</b>		
RDATAC	0001 0000 (10h)	---
SDATAC	0001 0001 (11h)	---
RDATA	0001 0010 (12h)	---
<b>Comandos de lectura de registros</b>		
RREG	001r rrrr (2xh)	000n nnnn
WREG	010r rrrr (4xh)	000n nnnn

Para algunos de estos comandos existen comandos dedicados que posibilitan su envío sin necesidad del empleo de protocolos SPI. En este proyecto no se utilizó esta funcionalidad, por lo que estos pines se fijaron al nivel lógico que los mantiene inactivos como se muestra en la figura 20.

El pin START inicia la conversión analógica- digital cuando se cambia a estado alto, y cuando cambia a estado bajo detiene la conversión (comando STOP). El pin PDWN debe mantenerse en nivel alto para encender el ADS1294 y en nivel bajo para apagar el dispositivo por completo. El pin RESET en caso de operación normal debe mantenerse en nivel alto, de lo contrario reinicia los registros del ADS1294 con los valores establecidos de fábrica. Los comandos dedicados a la lectura de datos son empleados para obtener los resultados de la conversión analógico-digital.

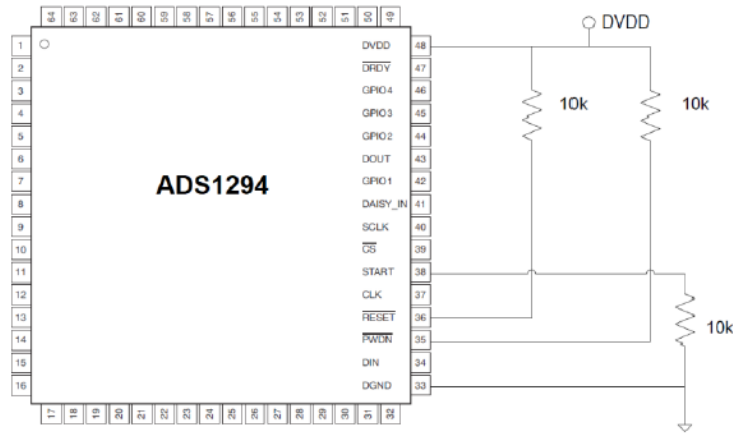


Fig. 20. Conexión de pines dedicados a comandos del sistema [12].

Este proceso puede realizarse de manera continua (comando RDATA) en la cual se fija la frecuencia de muestreo entre los siguientes valores: 32 ksps, 16 ksps, 8 ksps, 4 ksps, 2 ksps, 1 ksps, 500 ksps y 250 ksps), o mediante el control de la frecuencia de lectura controlada por el dispositivo maestro (comando RDATA). La lectura en modo continuo puede ser detenida por el comando SDATA. Debido a que en este proyecto las señales que son adquiridas son la actividad eléctrica del corazón se seleccionó el modo de conversión continua con una frecuencia de muestreo de 1 ksps, dicho valor de frecuencia de muestreo es adecuado y sugerido para fines de investigación.

Los comandos dedicados a la lectura y escritura de los registros del ADS1294 permiten configurar los módulos internos del dispositivo modificando directamente los registros. Además, permiten el monitoreo de algunos parámetros del ADS1294. Estos comandos requieren de dos bytes para su ejecución, el primer bit se especifica la dirección de inicio de los registros a modificar y el segundo cuantos registros se modificarán, en la tabla 2 se muestran los registros que existen en la familia ADS129x.

### 3.1.1.12 Detección y formato de datos entregados por el ADS1294

El ADS1294 cuenta con el pin 47 (DRDY) para facilitar la comunicación con el dispositivo maestro, el cual se mantiene la mayor parte del tiempo en nivel alto cambiando a nivel bajo cuando se ha finalizado una conversión analógico digital, manteniéndose en este estado hasta que se detecta que la señal CS está en nivel bajo y ocurre un frente de bajada en la señal SCLK del estándar SPI. Una vez detectado que el pin DRDY está en nivel bajo se procede a obtener la lectura de datos, esta lectura en la familia del ADS129x está precedida por una palabra de estado que tiene una longitud de 24 bits mostrada en la figura 21.

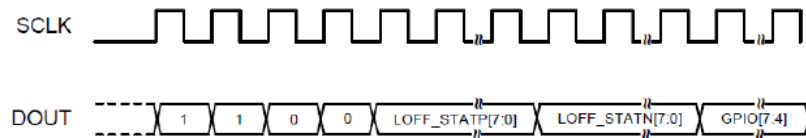


Fig. 21. Palabra de estado [12].

Esta palabra de estado contiene los valores de los registros LOFF\_STATP, LOFF\_STATN y parte de los registros GPIO. Los registros LOFF\_STATP y LOFF\_STATN son de solo lectura y permiten conocer el estado de los electrodos. Para este proyecto se hará lectura de esos registros para indicar si existe una adecuada interfaz electrodo-piel.

Una vez recibida la palabra de estado del ADS129x, a continuación, se envían los datos digitalizados comenzando por el canal 1 y finalizado en el canal 8 como se puede ver en la figura 22, para el caso particular del ADS1294 solo se envía hasta el canal 4. Un elemento importante para destacar es que la frecuencia de reloj (SCLK) en el estándar SPI, tiene que permitir la obtención de la trama completa de datos antes de que esté listo un nuevo dato, para el caso del ADS1294 la frecuencia de la señal de reloj (SCLK) tiene que ser como mínimo 120 veces mayor que la frecuencia de muestreo implementada (24 bits \* 5 datos).

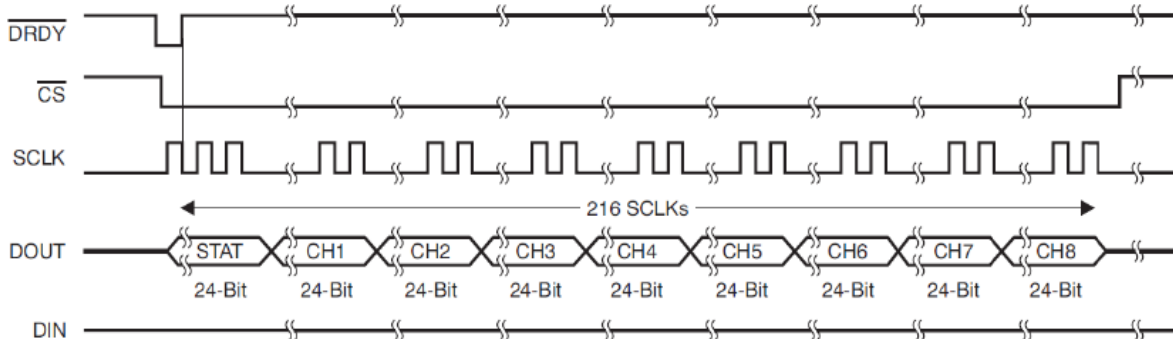


Fig. 22. Trama de datos entregada por la familia ADS129X [12].

Los datos obtenidos de cada canal en la conversión analógica-digital son entregados en complemento A2, tal como se muestra en la tabla 5.

Tabla 5. Formato ideal de datos entregados por el ADS1294 [12].

INPUT SIGNAL, $V_{IN}$ ( $IN_{xP} - IN_{xN}$ )	IDEAL OUTPUT CODE <sup>(2)</sup>
$\geq V_{REF}$	7FFFFFFh
$V_{REF} / (2^{23} - 1)$	000001h
0	000000h
$-V_{REF} / (2^{23} - 1)$	FFFFFFh
$\leq -V_{REF} (2^{23} / (2^{23} - 1))$	800000h

### 3.1.2 Memoria microSD

Una tarjeta microSD es una tarjeta de memoria de tamaño pequeño que permite almacenar información en dispositivos portátiles tales como teléfonos celulares, cámaras digitales, tabletas electrónicas, etc. El almacenamiento confiable del ECG es una de las principales cualidades que debe tener un Holter. La tarjeta empleada en el diseño es una memoria micro SDHC clase 10 de la marca Kingston con una capacidad de 16 GB que alcanza velocidades de lectura de 45 MB/s y de 10 MB/s de escritura.



### 3.1.2.1 Protocolo de comunicación y pines de memoria SD

La tarjeta de memoria micro SD admite dos protocolos de comunicación: modo de bus SD y SPI. Ambos modos pueden realizar lectura y escritura de información en la tarjeta, la diferencia se da con respecto a los pines utilizados como se muestra en la tabla 6 y la figura 23, además que el modo SD se basa en flujo de datos y comandos que son delimitados por bits de inicio y parada mientras que el modo SPI es delimitado por bytes. Al igual que el modo SD, los mensajes SPI consisten en *Tokens* de comando, respuesta y bloque de datos [35] .

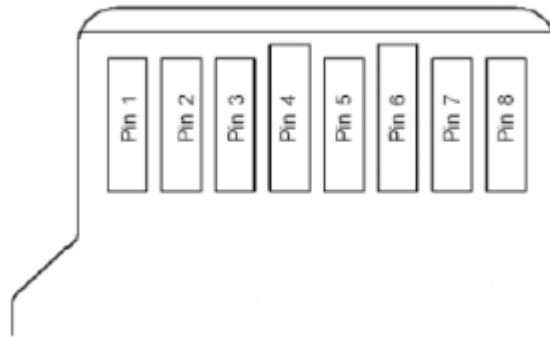


Fig. 23. Asignación de pines de la tarjeta microSD [35].

Tabla 6. Asignación de pines de la tarjeta microSD [35]

Pins	SD Mode			SPI Mode		
	Name	IO type <sup>1</sup>	Description	Name	IO Type	Description
1	DAT2	I/O /PP	Data Line[Bit2]	RSV		
2	CD/ DAT3	I/O/PP	Card Detect / Data Line[Bit3]	CS	I	Chip Select (neg true)
3	CMD	PP	Command/Response	DI	I	Data In
4	V <sub>dd</sub>	S	Supply Voltage	V <sub>dd</sub>	S	Supply Voltage
5	CLK	I	Clock	SCLK	I	Clock
6	V <sub>SS</sub>	S	Supply voltage ground	V <sub>SS</sub>	S	Supply voltage ground
7	DAT0	I/O /PP	Data Line[Bit0]	DO	O/PP	Data Out
8	DAT1	I/O /PP	Data Line[Bit1]	RSV	-	Reserved (*)

Para este proyecto se empleó el estándar SPI ya que posibilita una interfaz sencilla y facilidad de implementación. Los pines utilizados para el modo de trabajo SPI son:

- CS: Permite al sistema maestro (FPGA) seleccionar la tarjeta micro SD cuando se requiere operar (equivale al CS). Cuando se pone en 0 lógico la tarjeta se encuentra seleccionada y lista para operar.
- DI: es el pin de entrada de datos a la tarjeta, el cual se conecta a la salida MOSI de la interfaz SPI del dispositivo maestro.
- DO: es el pin de salida de datos de la tarjeta, y se conecta al pin MISO de la interfaz SPI del dispositivo maestro.
- SCLK: es la señal de reloj generada por el dispositivo maestro y marca la velocidad de transferencia de datos entre los dos dispositivos maestro (FPGA) y el dispositivo esclavo (micro SD).
- VDD: Pin de alimentación.
- VSS: es el pin de masa o tierra.

Los niveles de lógicos de las señales y el valor de alimentación deben encontrarse en el rango de los 2.6 y 3.7 V para la memoria micro SD seleccionados para este proyecto.

### 3.1.2.2 Estándar SPI en la memoria SD

El protocolo de comunicación SPI es un protocolo síncrono que es capaz de mantener una comunicación bidireccional (*full-duplex*) entre un sistema maestro (FPGA) y un sistema esclavo (micro SD). El intercambio de información se lleva a cabo mediante el envío de comandos por parte del FPGA lo que genera una respuesta de la tarjeta micro SD seguida por un bloque de datos con la información contenida a partir de la dirección solicitada. Para la escritura en la tarjeta, se lleva a cabo un proceso similar, donde el FPGA indica a la tarjeta mediante el comando de escritura que desea escribir información en una determinada dirección, ésta le responde indicando que está lista y a continuación el FPGA envía el bloque de datos a escribir.

Los comandos son bloques de bytes con un formato fijo como se muestra en la tabla 7. La tarjeta identifica los comandos mediante el primer byte de los 6 que conforman un comando, ya que siempre comienza por "01", el resto de los bits del primer byte contiene el número de comandos en número binario. Los siguientes 4 bytes (bytes2-

5) contienen los argumentos del comando, dependiendo del comando éste requerirá o no un argumento, para este último caso el argumento vale “0000” Hexadecimal. El ultimo byte (byte 6) es el byte CRC (Comprobación de Redundancia Cíclica) por sus siglas en inglés, para la verificación de error, aunque para el protocolo SPI este código no se utiliza.

Tabla 7. Comandos indispensables para configurar y escribir en la tarjeta [36]

Comando:	Argumentos:	Respuesta:	Descripción:
CMD0	No	R1	Reinicia la tarjeta
CMD8	No	R7	Verifica el rango de voltaje.
CMD24	[31..0] Dirección de datos	R1 R1 R1	Escribe en un bloque de la memoria.
CMD55	No	R1	Informa que el siguiente comando es del tipo ACMD
ACMD41	Parámetros de configuración	R3	Inicialización de la Tarjeta

Los comandos mostrados en la tabla 7 son indispensables para realizar una correcta configuración, la inicialización y la escritura de datos. La respuesta de la tarjeta son bloques de datos que varían en la cantidad de bytes, dependiendo del tipo de comando enviado. Los comandos empleados en este proyecto emplean las respuestas R1, R3, y R7, además existen las respuestas R1b, R2, R6 mientras que R4 y R5 son reservadas. A continuación, se muestran las figuras 24, 25, 26 y 27 donde se muestran las respuestas empleadas en el proyecto [36].

Byte 1			Byte 2-5			Byte 6	
7	6	5-0	31-0			7	0
0	1	Comando	Argumento del Comando			CRC	1

Fig. 24. Estructura de comandos del estándar SPI de la tarjeta microSD [36]

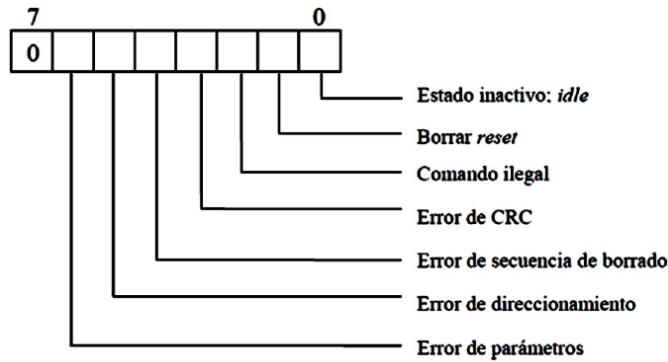


Fig. 25. Formato de respuesta R1 [35].

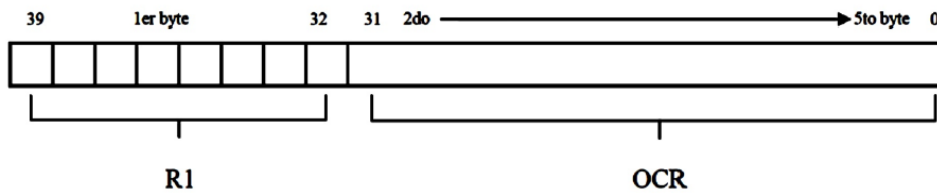


Fig. 26. Formato de respuesta R3 [35]

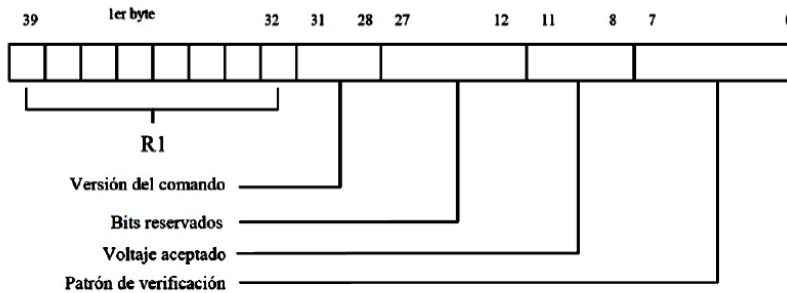


Fig. 27. Formato de respuesta R7 [35].

Para dar inicio o fin a una escritura o lectura de bloques existen respuestas de comandos que se envían por la tarjeta, para indicar que la escritura fue exitosa y verificar si existieron errores entre otras variantes, las usadas en ese proyecto son:

- *Start block Token*: Es el primer byte en la escritura de un solo bloque de datos y tiene el formato mostrado en la figura 28.

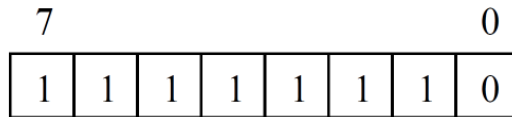


Fig. 28. Formato de *Start Block Token* [35]

La trama de escritura está compuesta por conjunto de 515 bytes como se muestra en la figura 29; 1 byte *Start Block Token*, 512 bytes de información y los dos últimos bytes son los bits de CRC, que en el estándar SPI por lo general se ignoran, pero es necesario enviarlos.

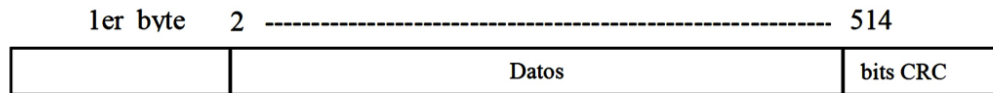


Fig. 29. Formato la escritura de bloque de datos [35]

- *Data Response Token*: Cada bloque escrito en la tarjeta envía, a manera de recibo, la señal *Data Response Token*, la cual consta de 1 byte, cuyo formato es presentado en la figura 30.

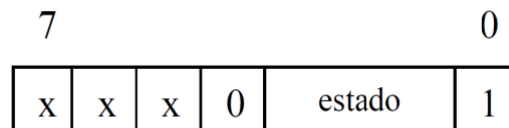


Fig. 30. Formato de *Data Response Token* [35].

Los 3 bits de estado (bits 1-3) indican si la transferencia fue exitosa y están definidos de la siguiente forma:

- “010” - los datos fueron aceptados.
- “101” - los datos fueron rechazados debido a un error de CRC
- “110” – los datos fueron rechazados debido a un error de escritura.

### 3.1.2.3 Reiniciar e inicializar la tarjeta en modo SPI

Una vez que la tarjeta micro SD se comienza a alimentar, se inicializa en modo SD, por lo que es necesario reiniciar la tarjeta. Para reiniciarla, el primer paso es realizar una demora de algunos ms para que se estabilice la fuente de alimentación. A continuación, se envían un mínimo de 74 pulsos de reloj con la señal CS en estado alto, la señal de reloj debe tener una frecuencia constante en un rango de 100 kHz a 400 kHz mientras dure el reinicio e inicialización de la tarjeta [36]. Una vez enviados los pulsos de reloj se fija la señal CS a nivel bajo y se envía comando 0 (CMD0), en este paso es importante fijar un valor específico de CRC ya que aún no se configura la tarjeta para trabajar en SPI, por lo que sí se considera el CRC, quedando la secuencia del comando 0 como 0X40, 0x00, 0x00, 0x00, 0x00, 0x95 ya que siempre es la misma. Para finalizar el reseteo se espera el byte de respuesta R1 que envía la tarjeta micro SD al dispositivo maestro debe ser "00000001" (tarjeta modo *idle* o de espera), lo que significa que la tarjeta ya está trabajando en el modo SPI. Cabe mencionar que puede ser necesario enviar varias veces el comando 0 antes de recibir la respuesta R1 de la tarjeta.

Una vez que la tarjeta envió la respuesta R1 con el valor "00000001", se comienza el proceso de inicialización. La inicialización comienza enviando el comando 8 (CMD8) con la secuencia 0X48, 0x00, 0x00, 0x00, 0xAA, 0x87, con el cual se comprobará que la tarjeta puede trabajar dentro del margen de voltaje con el que es alimentado el sistema, para este caso es 3.3 V.

Cuando la recepción del comando CMD8 es correcta y el voltaje suministrado es soportado por la tarjeta, ésta envía la respuesta R7. Si el comando no es soportado, la tarjeta solo enviará el primer byte de la respuesta R7, indicando error por comando ilegal. Esto significa que la tarjeta no cumple con la versión 2.00 de las especificaciones técnicas o que es otro tipo de tarjeta de memoria. Así mismo, si el patrón de verificación no corresponde al que fue enviado en el argumento, la comunicación no será válida y habrá que repetir el envío de este comando.

El próximo comando por enviar es el comando 55 (CMD55) y posteriormente el comando de aplicación 41 (ACMD41), es necesario mencionar que es imprescindible enviar el comando 55 antes del comando aplicación 41. El comando 55 tiene la estructura 0X7A, 0x00, 0x00, 0x00, 0x00, 0xFF y la tarjeta envía como respuesta R1, que tendrá el valor en hexadecimal 0x01 si el comando es correctamente aceptado. Una vez aceptado el comando 55, se procede a enviar el comando ACM41, que permitirá conocer si la tarjeta ha completado satisfactoriamente el proceso de inicialización. Este comando servirá para indicar si el maestro soporta a las tarjetas de alta capacidad (SDHC). Para lo anterior, se utiliza el bit HCS en el argumento de este comando 0x69, 0x40, 0x00, 0x00, 0x00, 0xFF (si lo soporta), 0x69, 0x00, 0x00, 0x00, 0x00, 0xFF (no lo soporta).

El maestro repetirá el envío de los comandos 55 y 41 si la respuesta al comando 41, del tipo R1, indica estado *idle* (00000001), equivalente a que el proceso de inicialización aún no se ha completado. El maestro dará por terminado este proceso cuando reciba en la respuesta R1 00000000, con la cual la tarjeta estará lista para recibir comandos de lectura o escritura.

#### **3.1.2.4 Escritura de un bloque en la tarjeta micro SD en modo SPI**

Una vez finalizado el proceso de inicialización de la memoria micro SD, ésta se encuentra lista para la escritura de datos. El primer paso es enviar el pin CS a cero y enviar el comando 24 con la dirección de inicio a partir de la cual se desea guardar los datos mediante la siguiente secuencia: 0x58, 0xXX, 0xXX, 0xXX, 0xXX, 0xYY. Los 4 bytes XX corresponde a la dirección de memoria en la cual se quiera comenzar a escribir y YY corresponde al byte CRC que en modo SPI su valor no se toma en cuenta, pero si se requiere enviarlo. Si no ocurre un error en el envío la tarjeta enviará 3 respuestas R1 repetidas informando al controlador que ya se puede enviar el bloque de datos. Posteriormente se envía primero el byte de inicio del bloque de datos 0XFE, posteriormente los 512 bytes con los datos a guardar y 2 bytes de CRC, que como se mencionó anteriormente no se toman en cuenta. Mientras se envían los datos a la

tarjeta la señal DO se mantendrá enviando 0xFF y una vez finalizado el envío responderá con el byte *Data Response Token*, si el envío de los 512 bytes se finalizó con éxito, tendrá el valor XXX00101. Una vez finalizada la recepción del byte la tarjeta fijará a cero la señal DO hasta que finalice el guardado del bloque de datos como se observa en la figura 31.

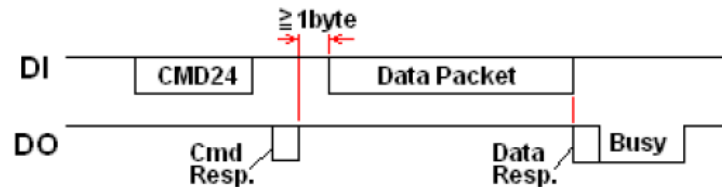


Fig. 31. Esquema de escritura de un bloque de datos [35].

### 3.1.3 Arreglos de compuertas programables en campo (FPGA)

El FPGA es un circuito integrado que puede ser programado después de su fabricación para que funcione como cualquier circuito digital, es decir es una estructura programable que presenta un arreglo de bloques lógicos programables. La principal diferencia con un circuito integrado de aplicación específica (ASICs) es que éste solo puede ser usado para una cierta función además requieren gran cantidad de recursos en términos de tiempo y dinero para obtener un primer dispositivo.

Los principales bloques de construcción en los FPGA modernos son: Bloques de Lógica Configurable (CLB por sus siglas en inglés), Bloques de Entrada/Salida (IOBs) y bloques embebidos como DSPs [37]. Los FPGA también se componen de enrutamiento programable para la conexión a los bloques antes mencionados. En la figura 32 se muestra una descripción general de la arquitectura de los FPGA modernos.



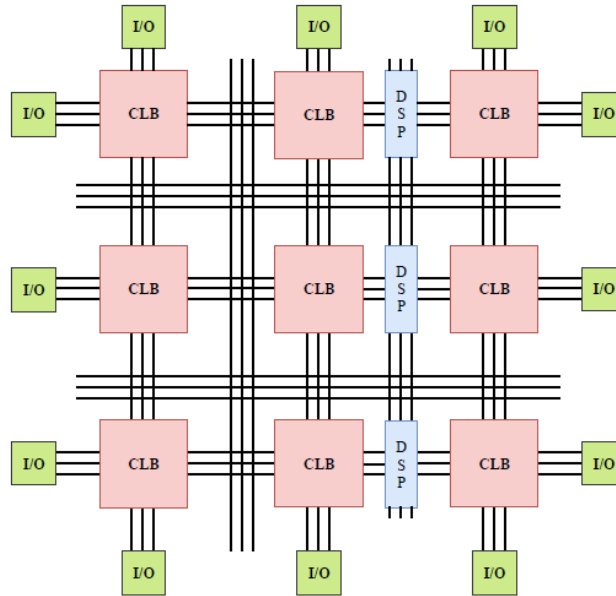


Fig. 32. Descripción general de la arquitectura de un FPGA [38]. Las líneas distribuidas de forma vertical y horizontal representan interconexiones entre bloques.

Los CLB es un componente básico de un FPGA que son usados para implementar funciones lógicas y operaciones matemáticas. Dentro de cada CLB, hay los llamados elementos lógicos configurables (CLEs por sus siglas en inglés) los cuales consisten en tablas de consulta (LUTs), un Flip flop D y un multiplexor 2 a 1 como se muestra en la figura 33.

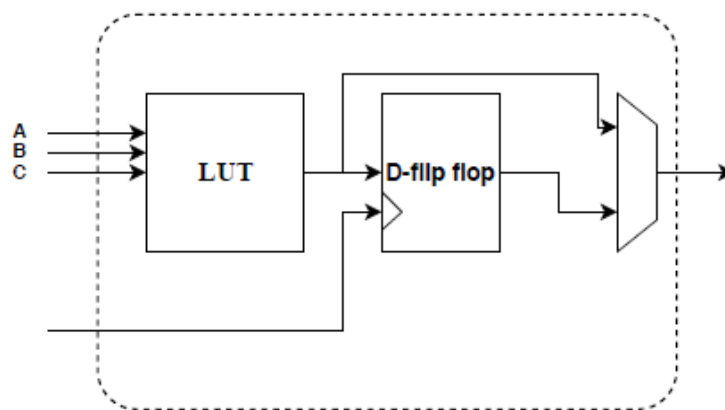


Fig. 33. Estructura interna simplificada de un CLE. El propósito de un LT es la implementación de operaciones matemáticas [38].

### 3.1.3.1 Interconexiones en el FPGA

Como se observa en la figura 34, los bloques se encuentran rodeados de líneas horizontales y verticales que representan conexiones entre bloques. Estas conexiones consisten en cajas de interruptores (SB) y cables (CB) que forman la conexión requerida. Cada CLB se encuentra rodeado de estas cajas de interruptores y de conexiones, que a su vez forman bloques integrados que permiten implementar de forma eficiente cualquier circuito digital [37]. La ubicación de las interconexiones forma un papel crucial que determina la flexibilidad y eficiencia de los FPGA.

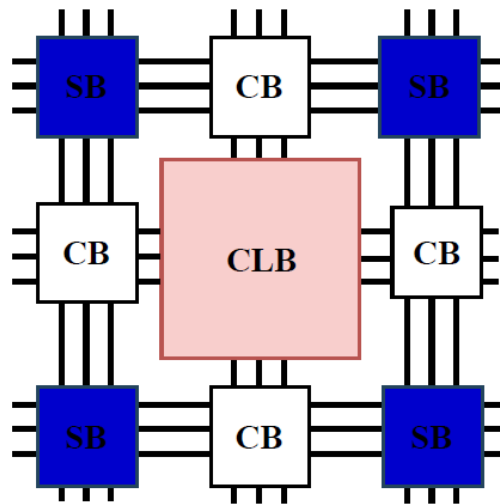


Fig. 34. Red de conexiones simplificada[38].

### 3.1.3.2 Tarjeta de desarrollo Cmod A7

Debido a las ventajas que ofrecen los FPGA, se escogió como plataforma de desarrollo para la implementación del prototipo y los algoritmos. La tarjeta CModA7 es una pequeña placa en forma de DIP de 48 pines que contiene un FPGA Xilinx Artix 7™[39]. La placa incluye un circuito de programación USB-JTAG, puente USB-UART, fuente de reloj, conector host Pmod, 512KB SRAM, 4MB Quad-SPI Flash y elementos de entrada/salida básicos como *push button* y *leds* indicadores. Cuenta con 44 pines de entrada/salidas digitales y 2 entradas analógico digital (0-3.3 V).

La placa Cmod A7 utiliza el entorno de diseño VIVADO para la síntesis, implementación y programación del FPGA. Gracias a que tiene un número suficiente de pines de entrada/salida lo hace ideal, para el diseño del prototipo, ya que éste debe ser capaz de mantener constante comunicación con el conversor analógico digital, la memoria microSD, la interfaz gráfica (LCD) y los interruptores de control.

En cuanto a los requisitos de procesamiento, el prototipo debe ser capaz de mantener comunicación constante con los periféricos antes mencionados, además de realizar un filtrado digital a la señal proveniente del ADC, calcular la transformada wavelet, detectar los puntos característicos del ECG para la obtención de la frecuencia cardíaca y la duración del intervalo RT y por último organizar la información para su posterior almacenamiento. Para ello la tarjeta cuenta con un FPGA XC7A35T-1CPG236C que cuenta con las siguientes características:

- 20 800 LUTs, 41 600 Flip-flops
- 90 DSPs
- Recursos para gestión de 5 relojes
- Reloj externo de 12 MHz

### **3.2 Software implementado en el FPGA**

Una de las ventajas principales que tienen los FPGA frente a otros sistemas de procesamiento como un microcontrolador o un DSP es que se pueden realizar procesos en paralelo y también de forma secuencial, mientras que en los demás sistemas las instrucciones se llevan a cabo solo de forma secuencial. Esta característica se tomó en cuenta para organizar el programa en diferentes procesos o módulos que se ejecutan en paralelo y para mantener una sincronía entre todos, se utilizan señales de inicialización y de fin de proceso. El programa se organiza en los siguientes módulos que serán mencionados a continuación:

- Módulo de recepción de datos adquiridos por el ADS1294: Este módulo se encarga primero de realizar la inicialización del ADS1284 y su configuración. Una vez inicializado se encarga de recibir e informar la llegada de nuevos datos. Este módulo controla la adquisición de los datos e informa al programa principal cuando se tienen datos listos para el siguiente proceso.
- Módulo de filtro digital: Este módulo se encarga de realizar un filtrado de las 3 derivaciones (DI, V2, aVF) mediante un filtro FIR pasabajas con frecuencia de corte a 200 Hz para la supresión de ruido de alta frecuencia. Una vez filtrada la señal informa al programa principal que el proceso de filtrado ha finalizado.
- Módulo para la obtención de la frecuencia cardíaca y medición del intervalo RT: Este módulo se encarga de recibir los datos de salida del “Módulo de filtro digital” para el procesamiento de las señales y posteriormente mediante un algoritmo obtener la frecuencia cardíaca (FC) y medir el intervalo RT.
- Módulo de almacenamiento de los datos en la tarjeta de memoria microSD: Este módulo se encarga de agrupar los datos (3 derivaciones y los valores de frecuencia cardíaca e intervalo RT) en bloques para su almacenamiento en la memoria SDHC.
- Módulo de interfaz gráfica: Esté módulo realiza la inicialización y configuración de una LCD 16x2 para la visualización continua de los valores de frecuencia cardíaca e intervalo RT, además de una visualización del estado de los electrodos.

En la figura 35 se observa la estructura la interacción entre los diferentes módulos y los 3 periféricos principales utilizados para el desarrollo del prototipo.

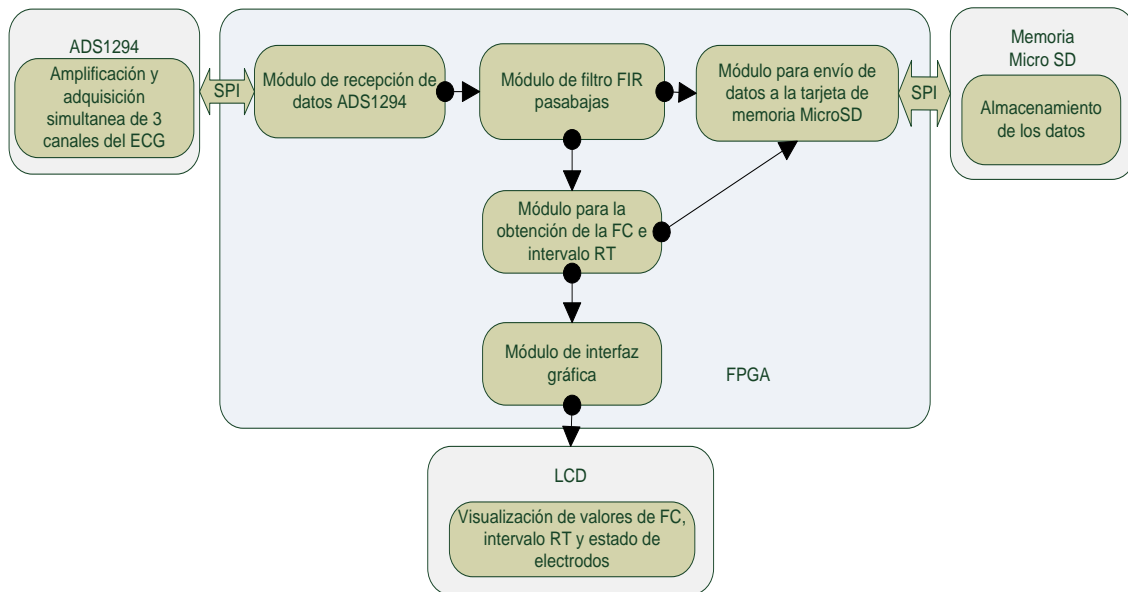


Fig. 35. Módulos implementados en el FPGA y su interacción con los diferentes periféricos.

Cada módulo tiene una señal de activación “Inic” y una señal “estado” que indica tres posibles situaciones: proceso ocupado, proceso finalizado correctamente y error. Esto permite utilizar una máquina de estados para interconectar los módulos y llevar una secuencia específica como se muestra en la figura 36.

El funcionamiento de la máquina de estados inicia cuando la señal “Inic” principal controlada por un bit de entrada en el FPGA se activa, una vez inicializada la máquina de estados se inicializa la memoria microSD, por lo que se comienza a sensar la señal “Estado\_Modulo\_Escritura”, si hubo un problema, la señal estado informa del error y el sistema de bloquea hasta que se reinicie mediante la señal “Rst”.

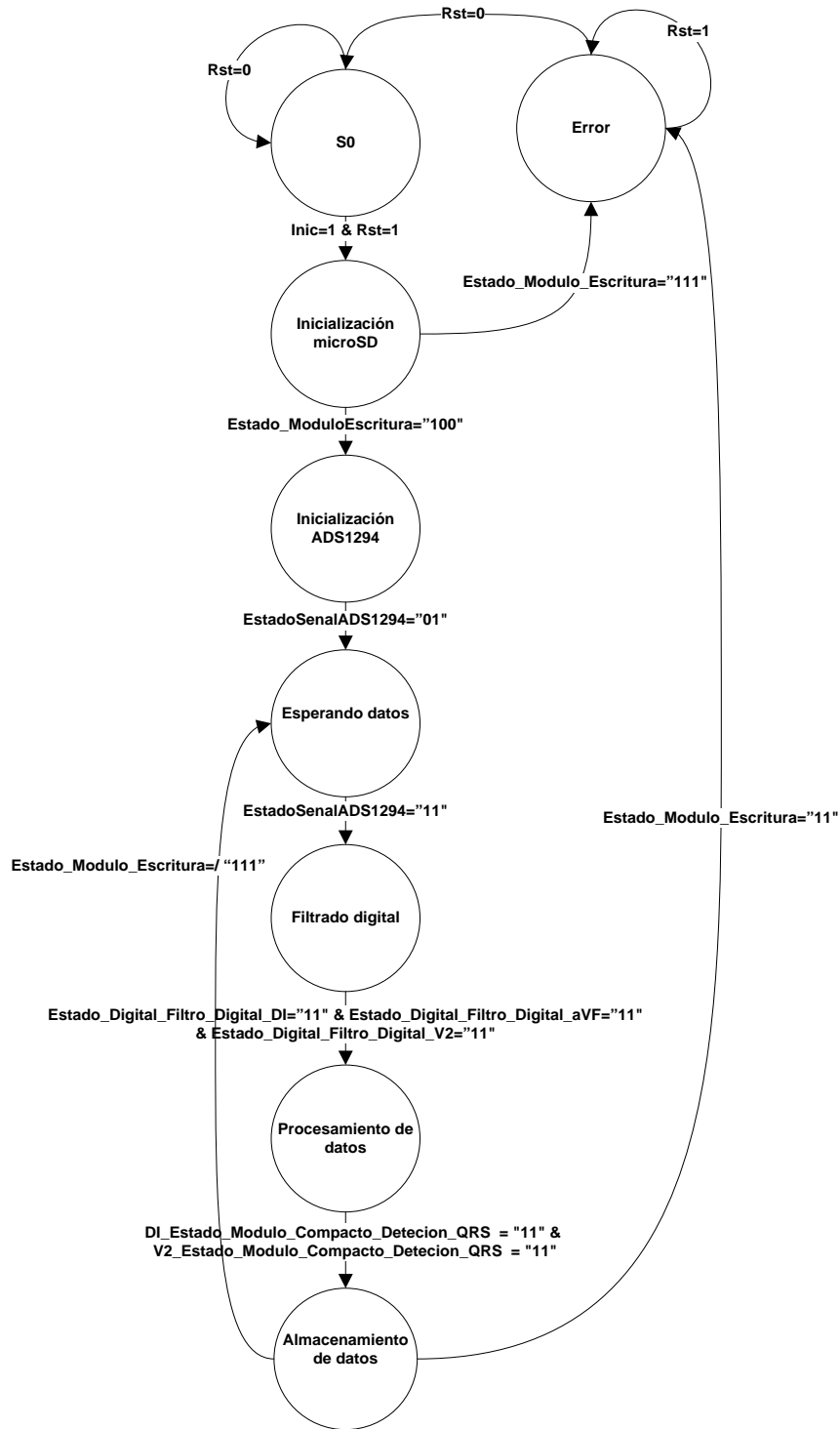


Fig. 36. Máquina de estados del programa principal.

Si el proceso finalizó correctamente se inicia el proceso de inicialización y configuración del ADS1294, para ello se utiliza la señal “EstadoSeñalADS1294”. Una

vez terminada la inicialización comienza el proceso de recepción de los datos del ADS1294, si tiene un nuevo dato disponible, la señal “EstadoSeñalADS1294” adquiere el valor “11”, lo que permite inicializar el módulo de filtro digital. Cuando se filtran las señales del ECG se informa mediante la señal “Estado\_Digital\_Filtro\_Digital” de cada una de las 3 derivaciones. Cuando se tienen las señales filtradas se envían al módulo de obtención de la frecuencia cardiaca y medición del intervalo RT y se informa si el proceso se realizó con éxito mediante la señal “DI\_Estado\_Modulo\_Compacto\_Deteccion\_QRS” correspondiente a la derivación DI y “V2\_Estado\_Modulo\_Compacto\_Deteccion\_QRS” para la derivación V2 que fueron las elegidas para el análisis.

Por último, se envían las señales del módulo de filtro digital y los resultados del módulo de obtención de la frecuencia cardiaca y medición del intervalo RT para su almacenamiento. De no existir ningún error en cada uno de los procesos, la máquina de estados regresa al módulo de recepción del ADS1294 para preguntar si se tiene un dato nuevo, de otro modo el sistema se bloquea hasta que se reinicie nuevamente mediante la señal “Rst”.

### **3.2.1 Módulo para almacenamiento de datos en tarjeta de memoria MicroSD**

Cada módulo principal fue dividido a su vez en pequeños módulos para cumplir diferentes funciones, ésto con el fin de poder detectar errores con mayor rapidez además de poder reutilizar rutinas que puedan servir en otros módulos tales como señales de reloj o contadores. El primer módulo es el módulo para el almacenamiento de datos en la tarjeta de memoria microSD el cual cumple cuatro funciones: inicializar la memoria SD, almacenar los datos en diferentes buffers hasta acumular paquetes de 512 bytes, escribir en la memoria microSD y por último informar al programa principal cuando la memoria se encuentra llena [36].

Para cumplir estas 4 funciones se crearon 3 módulos:

- Módulo para el conteo de direcciones: incrementa los índices de memoria para no sobre escribir en localidades de memoria.

- Módulo de escritura: se encarga de escribir e inicializar la memoria micro SD.
- Módulo *buffer*: realiza el almacenamiento de las 3 derivaciones del ECG y los valores de frecuencia cardiaca e intervalo RT.

Para el funcionamiento ordenado de estos módulos se implementó una máquina de estados como se muestra en la figura 37.

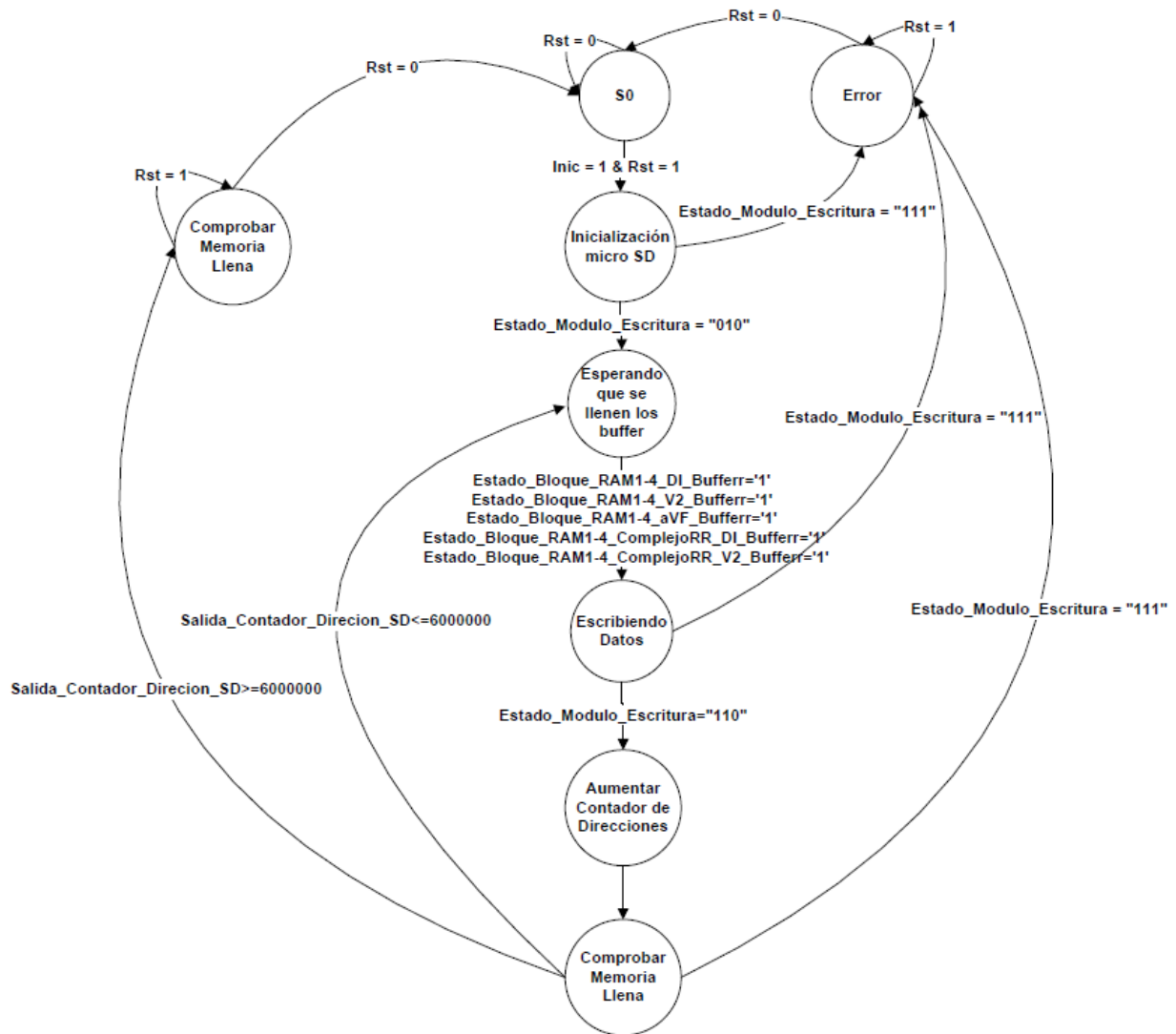


Fig. 37. Máquina de estados del Módulo para el almacenamiento de datos en la micro SD [36].

El programa inicia cuando la señal “Inic” que proviene el programa principal y la señal “Rst” son iguales a 1. Posteriormente comienza la inicialización de la memoria micro



SD, se utiliza la señal “Estado\_Modulo\_Escritura” para conocer si se ha finalizado la inicialización de forma correcta o hubo algún error. Si no se detectó algún problema en la inicialización el siguiente estado consiste en llenar los *Buffers* de 512 bytes para su escritura en la tarjeta de memoria micro SD mediante el módulo de escritura. Una vez finalizado el envío de datos a la memoria micro SD se incrementa el contador de direcciones y se regresa al estado donde se informa si se han llenado los *buffers* de nuevo. De acuerdo con los cálculos la memoria seleccionada tiene la capacidad de almacenar información para un tiempo aproximado de 17.7 días [36].

**Módulo de escritura:** es el encargado de controlar todos los aspectos relacionados con la memoria, desde su inicialización siguiendo los pasos descritos en la sección 3.1.2.3 hasta la escritura de los datos mediante los pasos descritos en la sección 3.1.2.4. Para el proceso de inicialización de la memoria se cuenta con un módulo de división de la frecuencia del reloj del FPGA (12 MHz) por un factor de 48, para tener una frecuencia de reloj de 250 KHz. Por otra parte, para el módulo especializado para la escritura se cuenta con un módulo de división de la frecuencia de reloj por un factor de 2, para tener una frecuencia de reloj de 6 MHz.

**Módulo *buffer*:** Las memorias micro SD de alta capacidad (superiores a los 2 GB) no permiten la escritura de datos individuales, solamente es posible en paquetes de 512 bytes (1 sector) [35]. Esto supone un problema, debido a que la información proveniente de los otros módulos llega cada periodo de muestreo (1 ms). Para resolver este problema se implementó el módulo *buffer*, el cual se repite 5 veces, una vez por cada paquete de datos (tres derivaciones y dos señales para la detección del complejo QRS e intervalo RT). El módulo *buffer* está compuesto por cuatro bloques de RAM (RAM física del FPGA) de 512 bytes o 256 datos de 16 bits cada uno, un contador para definir la posición dentro del bloque de RAM del dato a guardar y un segundo contador para especificar en cual bloque de RAM se está guardando.

El módulo *buffer* comienza su funcionamiento cuando se le avisa que existe un nuevo dato, éste es almacenado y posteriormente se aumenta el contador que define la posición dentro del bloque de RAM, cuando dicho contador se desborda, se pasa al siguiente bloque de RAM y se aumenta el contador para especificar en qué bloque de RAM se está llenando en ese momento y se reinicia el otro contador para definir la posición. Cuando se desborda el contador para especificar en cual bloque de RAM se está trabajando, se reinician ambos contadores repitiendo nuevamente el ciclo [36].

### **3.2.3 Módulo de recepción de los datos enviados por el ADS1294**

Este módulo se encarga de dos funciones principalmente, la primera es la configuración de los registros del ADS1294 para especificar las condiciones de trabajo y la segunda función es la recepción de los datos resultado de la conversión analógico digital. Para atender estas dos funciones se crearon tres módulos:

- Módulo para la inicialización del ADS1294
- Módulo para la recepción de datos enviados por el ADS1294
- Módulo para la obtención del reloj de 1 MHz

Los módulos antes mencionados interactúan mediante una máquina de estados mostrada en la figura 38. Primeramente, si las señales “Inic” y “Rst” son iguales a uno, comienza la inicialización del ADS1294 que consiste en la configuración de los registros internos del ADS1294 y se verifica si este proceso se llevó a cabo correctamente mediante la señal “Config\_ADS1294\_Estado”.

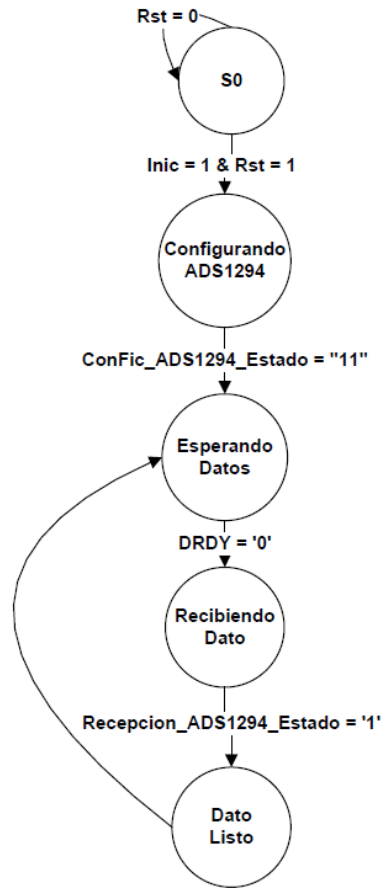


Fig. 38. Máquina de estados del Módulo para el almacenamiento de datos en la micro SD [36].

Si no hubo problemas con la inicialización se procede al proceso de recepción de los datos digitalizados por el ADS1294, para facilitar esta tarea, el ADS1294 incluye un pin con la señal DRDY (*Data Ready*) que informa al sistema maestro (FPGA) que tiene un dato listo para ser enviado mediante el protocolo SPI.

Para verificar la correcta recepción de los datos se utiliza la señal “Recepcion\_ADS1294\_Estado” que permite conocer cuando se finalizó un estado. Una vez terminada la recepción de los datos se envían al programa inicial una señal de que la recepción se ha completado y puedan ser procesados. Se implementó un módulo adicional para generar una señal de reloj para el funcionamiento de los datos,

esta señal se obtiene mediante una división del reloj principal por un factor de 12, para tener una señal de reloj de 1 MHz para el funcionamiento del ADS1294.

Cabe mencionar que ya se contaba con los módulos de escritura en la tarjeta de memoria micro SD y de recepción de datos [36] , únicamente se realizaron los ajustes necesarios para trabajar a la frecuencia de reloj de la tarjeta Cmod A7.

### 3.2.4 Módulo de filtro digital

Los filtros FIR son filtros digitales de respuesta al impulso finita. También son llamados filtros recursivos ya que no cuentan con retroalimentación. Un filtro FIR se caracteriza por la siguiente ecuación:

$$y(n) = \sum_{k=0}^{N-1} b(k)x(n-k) = b_0x(n) + b_1x(n-1) + \dots + b_{N-1}x(n-N+1) \quad (1)$$

Donde  $N - 1$  representa el orden del filtro e indica el número de coeficientes y  $b(k)$  indica el coeficiente k-esimo.

Para la implementación del filtro digital se utilizó la herramienta “Filter Design” de Matlab ® la cual genera los coeficientes de un filtro FIR a partir de características especificadas por el usuario tales entre las que destacan:

- Orden del filtro
- Tipo de respuesta (pasabajas, pasaaltas, etc)
- Frecuencia de muestreo
- Frecuencia de corte

Para el diseño del filtro programado en el FPGA se consideró una frecuencia de muestreo de 1000 Hz, una frecuencia de corte de 200 Hz, orden del filtro diez y un tipo de ventana Hamming como se muestra en la figura 39, la herramienta automáticamente genera los coeficientes del filtro.

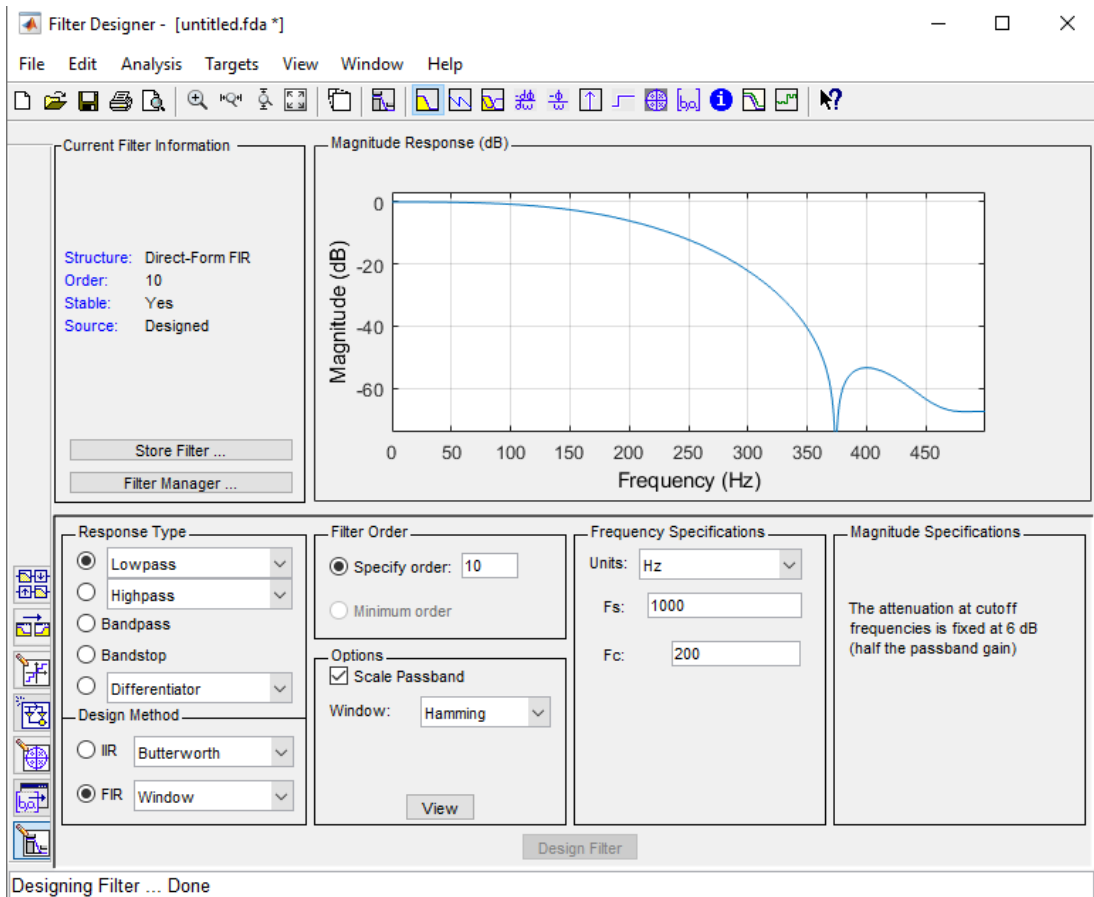


Fig. 39. Herramienta *Filter Design* de MATLAB® y las características de diseño del filtro implementado.

El funcionamiento del módulo de filtro digital basa su funcionamiento en una máquina de estados como se muestra en la figura 40. La máquina de estados de la figura 36 inicia su funcionamiento cuando las señales de "Inic" y "Rst" son iguales a uno, lo que indica que existe una nueva muestra proveniente del ADS1294.

Cuando se cumple esta condición se realiza al siguiente ciclo de reloj se realiza la suma de productos de la ecuación 1. Por último, se realiza el corrimiento de los valores de entrada para realizar un respaldo de los valores de entrada  $x(n)$ .

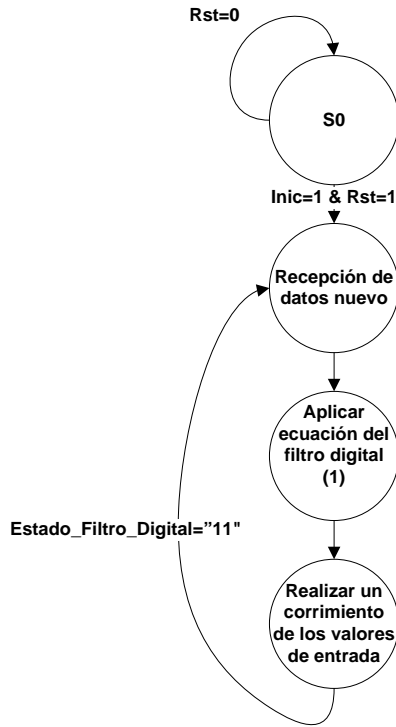


Fig. 40. Máquina de estado de filtro digital.

### 3.2.5 Módulo para la obtención de la frecuencia cardiaca e intervalo RT

Durante las últimas dos décadas, la Transformada Wavelet (TW) se ha convertido en una herramienta valiosa para el análisis de señales no-estacionarias incluidas las señales biomédicas, pero en particular para el análisis del ECG. La TW es un método de localización de singularidades para el análisis tiempo frecuencia. Surge como una alternativa a la transformada de ventana de Fourier con algunas semejanzas y diferencias [40].

La TW permite hacer una representación tiempo-frecuencia de una señal mediante la descomposición de ésta como un conjunto de funciones básicas, que se generan como resultado de la dilatación, contracción y traslación de una función “prototipo”, llamada generalmente Wavelet madre. La TW se puede dividir en tres tipos: La TW continua (CWT), donde la señal de entrada y los parámetros tiempo y escala son continuos; la expansión de series Wavelet (WSE), donde la señal de tiempo es continua pero los

parámetros de escala y tiempo son discretos; y la TW discreta (DTW), donde la señal de entrada y los parámetros de tiempo y escala son discretos, además cada una tiene diferentes aplicaciones. La versión discreta y continua de la TW tiene diferentes aplicaciones en este proyecto se utiliza la TW continua.

### 3.2.5.1 Transformada Wavelet Continua

La CTW está definida como la convolución de una señal  $x(t)$  con una función wavelet  $\psi(t)$  desplazada en el tiempo por un parámetro de traslación  $b$  y dilatada por un parámetro de escala  $a$  y está dada por [41]:

$$CTW_x(a, b) = \frac{1}{\sqrt{a}} \int_{-\infty}^{\infty} x(t) \psi^* \left( \frac{t-b}{a} \right) dt \quad (2)$$

Donde  $\psi^*(t)$  es el complejo conjugado de la función  $\psi(t)$ . Esta función debe cumplir con los siguientes criterios de admisibilidad que caracterizan a las Wavelets [42]:

$$E = \int_{-\infty}^{\infty} |\psi(t)|^2 dt < \infty \quad (3)$$

$$C_\psi = \int_0^{\infty} \frac{|\hat{\psi}(\omega)|^2}{\omega} df < \infty \quad (4)$$

La primera condición (3) indica que una wavelet  $\psi(t)$  debe tener energía finita. La segunda condición es que debe cumplir con el criterio de la constante de admisibilidad  $C_\psi$ (4), donde  $\hat{\psi}(\omega)$  es la transformada de Fourier de la función wavelet madre y  $\omega$  es la frecuencia angular. La condición 2 implica que la wavelet debe tener componente de frecuencia 0.

$$|\hat{\psi}(\omega)|_{\omega=0} = 0 \quad (5)$$

Esto significa que la wavelet debe tener un espectro correspondiente al de un filtro pasabanda.

Una variante de la CTW es la Transformada Wavelet Diádica (DyWT) [43], la cual consiste en discretizar los valores de la escala a lo largo de una secuencia diádica  $2^j$ , ésto con el fin de reducir la complejidad computacional y reducir la redundancia de información. La DyTW se define como:

$$D_yTW_x(2^j, b) = \frac{1}{2^j} \int_{-\infty}^{\infty} x(t)\psi^*\left(\frac{t-b}{2^j}\right) dt \quad (6)$$

Donde

$$\psi_{2^j} = \frac{1}{2^j} \psi\left(\frac{t}{2^j}\right) dt \quad (7)$$

Para la obtención de la frecuencia cardiaca se implementaron 4 módulos, 3 de los cuales se encargan de la obtención de la TW y el cuarto módulo se encarga de la detección de complejo QRS y la detección del final de la onda T (Te). Los módulos son los siguientes:

- Primer módulo para la obtención de la TW
- Segundo módulo para la obtención de la TW
- Tercer módulo para la obtención de la TW
- Módulo para la detección del complejo QRS y el final de la onda T.

El módulo para la obtención de la frecuencia cardiaca es capaz de realizar el procesamiento de la señal muestra a muestra, es decir por cada valor de entrada en el módulo éste genera un valor de salida [16]. Para el funcionamiento del módulo se implementó una máquina de estados como se muestra en la figura 41. Mediante la señal “EstadoQRS\_DetecciónQRS” se informa al programa principal que se ha procesado un dato de forma correcta.



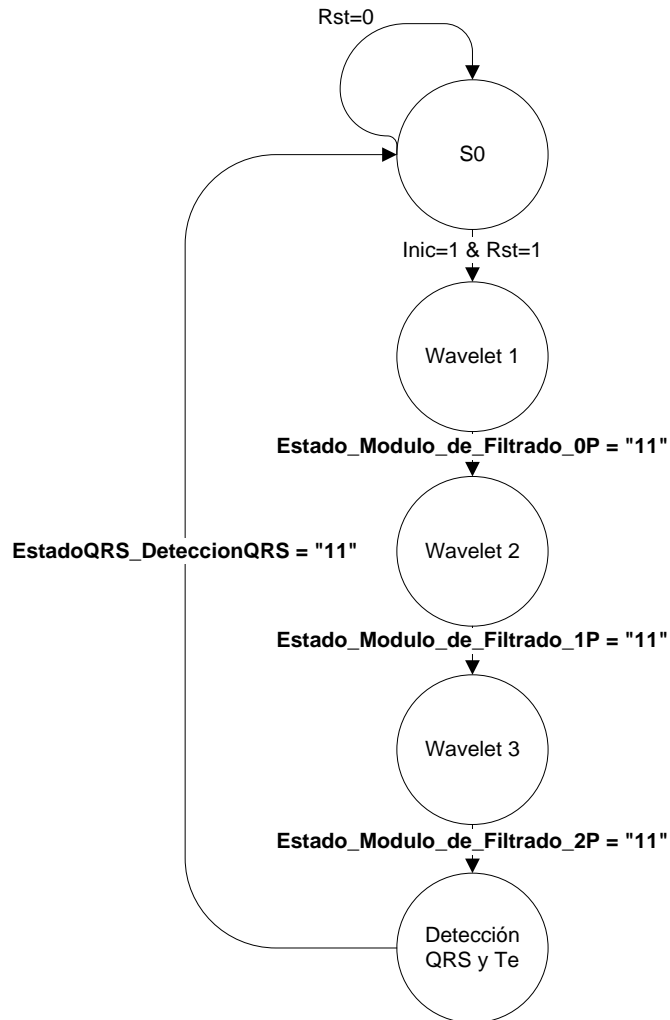


Fig. 41. Máquina de estados del módulo para la obtención de la frecuencia cardíaca e intervalo RT.

### 3.2.5.2 Algoritmo para la obtención de la transformada wavelet

Una desventaja de la DyTW es que sólo permite valores de escala que sean potencias de 2. Para solucionar ese problema se implementó el algoritmo para la obtención de la TW “*Fast Implementation of the Continuous Wavelet Transform with Integer Scales*” de los autores Michael Unser, Akram Aldroubi y Steven J. Schiff [44]. La Wavelet madre utilizada en este trabajo fue la primera derivada de orden dos de un *spline* cúbico. Para facilitar la implementación del algoritmo en el FPGA fue necesario hacer pequeñas modificaciones en los pasos de este algoritmo mencionado.

El primer módulo llamado “wavelet 1” para la obtención de la frecuencia cardiaca realiza un filtrado previo a la señal de entrada como resultado de los coeficientes *B-splines* y la señal de entrada mediante la ecuación 8 [44]:

$$s_1(k) := \langle s(x), \beta^{n_2}(x - k) \rangle = b^{n_1+n_2+1} * (b^{n_1})^{-1} * s[k] \cong b^{n_2} * s[k] \quad (8)$$

El filtro  $b^{n_1+n_2+1}$  es un kernel simétrico de respuesta finita al impulso (FIR), que se caracteriza por un vector  $b$  de tamaño  $n_b = n_1 + n_2 + 1$  que contiene los coeficientes del filtro (véase la tabla 8). Donde  $n_1 = 1$ , lo que indica que la señal es lineal entre muestras y  $n_2 = 3$ , lo que indica que el grado del *spline* es cúbico, por lo tanto  $n_b = 5$  (este valor se mantiene sin importar la escala). Los coeficientes del filtro *B-splines* presentan la problemática de ser números racionales entre “0” y “1”, esto presenta un problema por la complejidad computacional de las operaciones de números en punto flotante. La solución a este problema fue multiplicar los coeficientes por  $2^{16}$  y hacer un redondeo a números enteros acorde a la tabla 9.

Tabla 8. Parámetros del filtro para el algoritmo de la transformada wavelet rápida [44].

Filter/wavelet type	Template
<i>Discrete B-splines:</i>	
Cubic spline ( $n=3$ )	$b^3 = \frac{1}{6}(*, 4, 1)$
Quintic spline ( $n=5$ )	$b^5 = \frac{1}{120}(*, 66, 26, 1)$
7th order spline ( $n=7$ )	$b^7 = \frac{1}{5040}(*, 2416, 1191, 120, 1)$
<i>Cubic spline wavelets (<math>n_2=3</math>):</i>	
1st derivative	$p_1 = (-1, +1), \quad p_1^{(2)} = (-1, -4, -5, 0, +5, +4, +1)$
2nd derivative	$p_2 = (*, 2, -1)$
B-spline wavelet	$p_{11} = (*, 0.6018, -0.4584, 0.196, -0.04159, 0.003075, -0.0000248)$
<i>Examples of non-wavelet filters (<math>n_2=3</math>):</i>	
Quasi-gaussian	$p_0 = (1)$ (identity)
Lowpass (cardinal spline)	$p_{card}^2 = (*, 1.7321, -0.4641, 0.12436, -0.03332, 0.00893, -0.00239, 0.0006410, -0.0001718, \dots)$

Note : The symbol \* indicates that the sequence is symmetrical.

Tabla 9. Coeficientes *B-splines* antes y después de modificar [36].

Coeficientes sin modificar	Coeficientes multiplicados por 2 <sup>16</sup>
0.0083	543
0.2167	14201
0.5500	36044
0.2167	14201
0.0083	543

Este ajuste no afecta considerablemente el ancho de banda del filtro, pero sí la amplitud, por lo que posteriormente se hace una compensación dividiendo por 2<sup>16</sup> para regresar a los valores de amplitud original.

El segundo módulo para la obtención de la TW llamado “Wavelet 2” consiste en la implementación de un filtro de suma de movimiento definido por la ecuación 9 [44] donde  $m$  es un factor de expansión de la wavelet que corresponde a la escala.

$$s_m(k) := \langle s(x), \beta^{n_2}((x - k)/m) \rangle = u_m^{n_2} * s_1[k] \quad (9)$$

El tercer módulo para la obtención de la TW llamado “wavelet 3” consiste en un filtrado con coeficientes *B-spline* de la wavelet  $\psi(t)$ , definido por la ecuación 10 [44]:

$$\omega_m(k) = [p]_{\uparrow m} * s_m[k] \quad (10)$$

Donde  $[p]_{\uparrow m}$  representa un vector con los coeficientes de un filtro FIR interpolado con ceros por un factor  $m$ .

### 3.2.5.3 Escala de la transformada wavelet

Una característica de la transformada wavelet es que actúa como un banco de filtros donde el ancho de banda varía con respecto a la escala y la frecuencia de muestreo. Para este trabajo se utilizó la escala 8 debido a que el ancho de banda se encuentra entre 14 Hz y 49 Hz a una frecuencia de muestreo de 1 KHz, esto permite minimizar las interferencias causadas por las frecuencia de 60 Hz y 50 Hz generadas por la línea de alimentación [36].

Se estima que el ancho de banda del complejo QRS se encuentra entre 3 Hz a 40 Hz [45] por lo que la escala 8 se ajusta a ese ancho de banda, además se logra resaltar de igual forma la onda T.

### 3.2.5.4 Módulo para la detección del complejo QRS y final de la onda T

El módulo consta de una máquina principal que se divide en 10 estados. Los primeros 5 estados se utilizaron para la detección del complejo QRS y los últimos 5 estados para la detección del final de la onda T.

#### - Detección del complejo QRS

Para el diseño del módulo se toma como base el módulo para la detección del complejo QRS diseñado en la tesis de maestría de Frank Martínez Suarez [36]. Este módulo se basa en el algoritmo propuesto en la tesis doctoral de Carlos Alvarado Serrano [23]. La morfología del ECG varía dependiendo de la derivación que se utiliza por lo que es posible observar dos tipos de complejo QRS: el QRS con polaridad negativa y QRS con polaridad positiva como se observa en la figura 42.

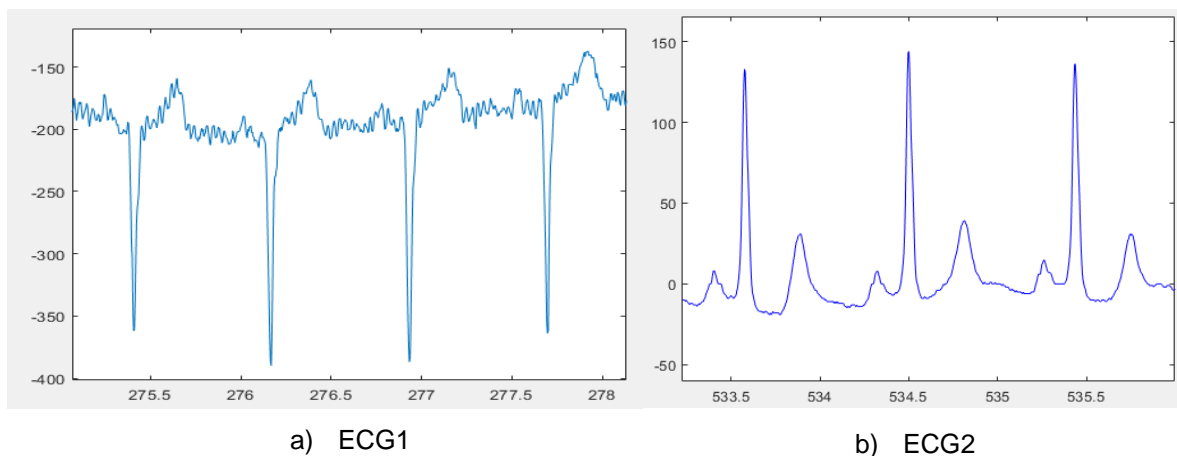


Fig. 42. Polaridades del complejo QRS (b) QRS con polaridad positiva y (a) ECG con polaridad negativa.

El resultado de la implementación del algoritmo para obtener la TW sobre una señal de ECG se observa en la figura 43. El algoritmo implementado por Martínez et al [36], tiene la característica de ser capaz de detectar la onda R cuando la señal ECG tiene un QRS con polaridad positiva.

Esto supone un problema para el análisis de derivaciones donde se tenga una polaridad negativa del complejo QRS como por ejemplo en las derivaciones aVR, VI, V2 y DIII. Para mejorar el rendimiento del algoritmo ante diferentes tipos de QRS se hicieron algunos ajustes.

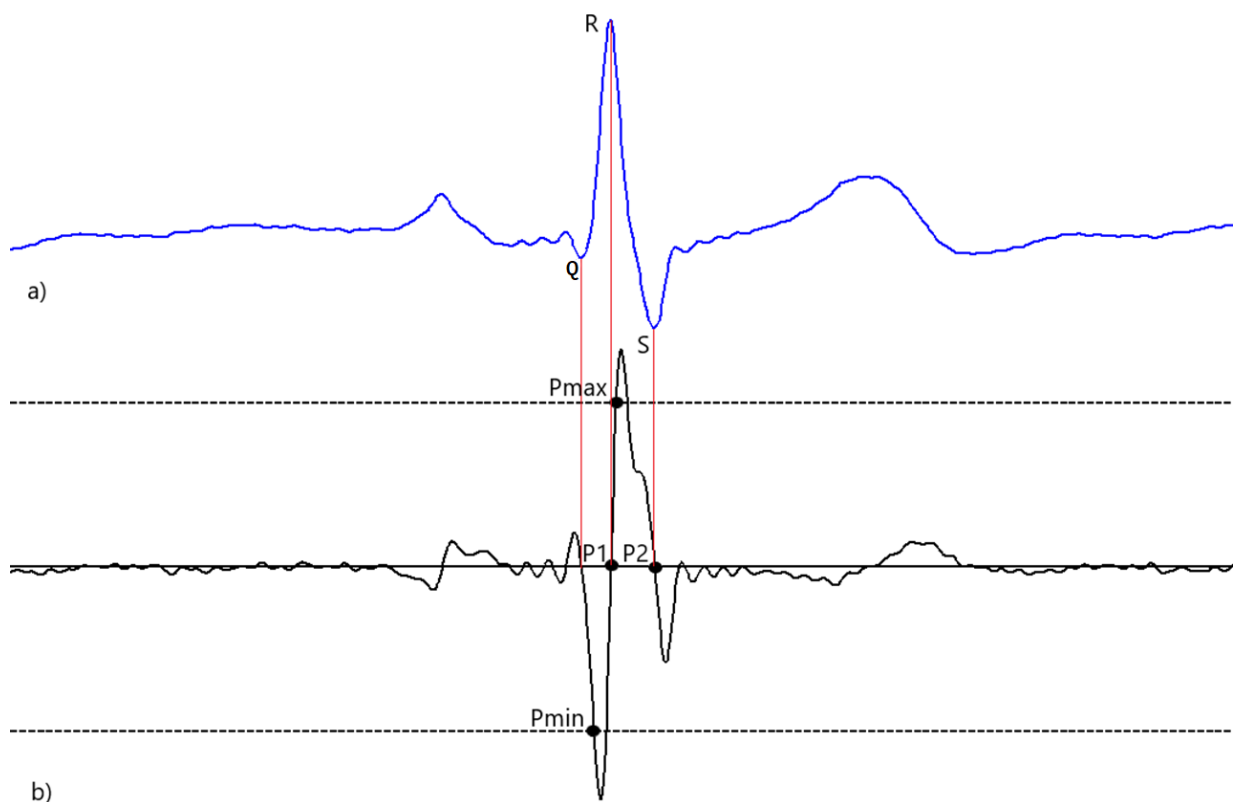


Fig. 43. ECG y transformada Wavelet en escala 3 a) ECG. b) Transformada Wavelet.

De acuerdo con la figura 43, para la detección de onda R cuando se tiene un QRS con polaridad positiva basta con detectar de manera secuencial el punto Pmin de la TW, posteriormente el cruce por cero P1 que corresponde al pico de la onda R y por último el punto Pmax para asegurar la detección correcta de la onda R. Cuando se tiene un QRS con polaridad negativa la posición de los puntos Pmin y Pmax se invierten, es

decir primero aparece el punto Pmax y posteriormente el punto Pmin. Esta característica permite identificar el tipo de complejo QRS utilizando una bandera “QRS\_N” que de acuerdo con la secuencia detectada de los puntos Pmin y Pmax se pone en 0 o en 1, para seguir una secuencia determinada para la detección de futuros complejos QRS como se observa en la figura 44.

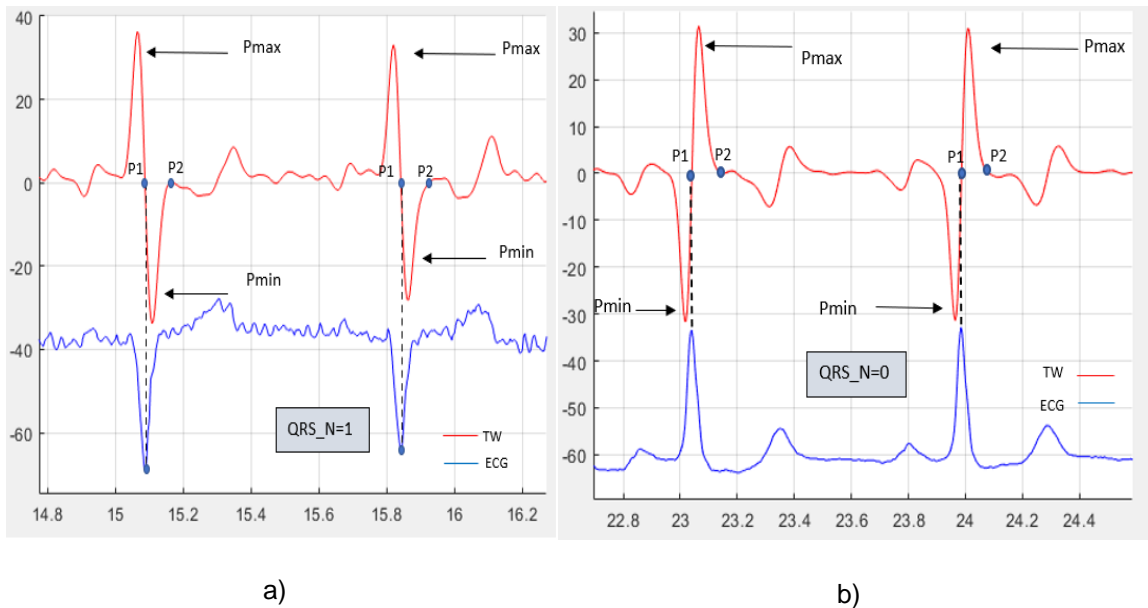


Fig. 44. ECG y transformada Wavelet en escala 8. a) Por la secuencia de los puntos Pmax y Pmin se determina que QRS\_N=1(polaridad negativa). b) QRS (polaridad positiva).

Para lograr la detección del complejo QRS se implementó una máquina de estados que se muestra en la figura 45 que consta de 5 etapas fundamentales:

La primera etapa se encarga de detectar ya sea el punto Pmax o el Pmin en la TW. Si el valor recibido por los módulos para la obtención de la TW es mayor al valor almacenado en la variable “Salida\_Memoria\_Pmax” la señal QRS\_N adquiere el valor de 1, para el caso de un posible QRS con polaridad negativa. Por otro lado, si el valor recibido por los módulos para la obtención de la TW es menor comparado con el valor almacenado en la variable “Salida\_Memoria\_Pmin” la señal QRS\_N se queda con su valor inicial que es 0.

La segunda etapa se subdivide en tres funciones:

- La primera función se encarga de detectar si el valor recibido por los módulos de la TW para la obtención de la TW multiplicado por 0.75 es mayor (caso de "Salida\_Memoria\_Pmax") o menor (caso de "Salida\_Memoria\_Pmin) cuando la señal QRS tiene el valor de cero o uno respectivamente. De ser así se actualizan las variables "Salida\_Memoria\_Pmax" o "Salida\_Memoria\_Pmin" según sea el caso.
- La segunda función se encarga de la detección del punto P1 cuando el valor recibido de los módulos para la obtención de la TW tiene valor 0.
- La tercera función consiste en copiar el valor del contador de tiempo (Contador RR) en la variable "SenalSalidaQRS" cuando se detecta el punto P1 y reiniciar el contador. Cabe mencionar que en esta función se reinicia el contador para la medición del intervalo RT.

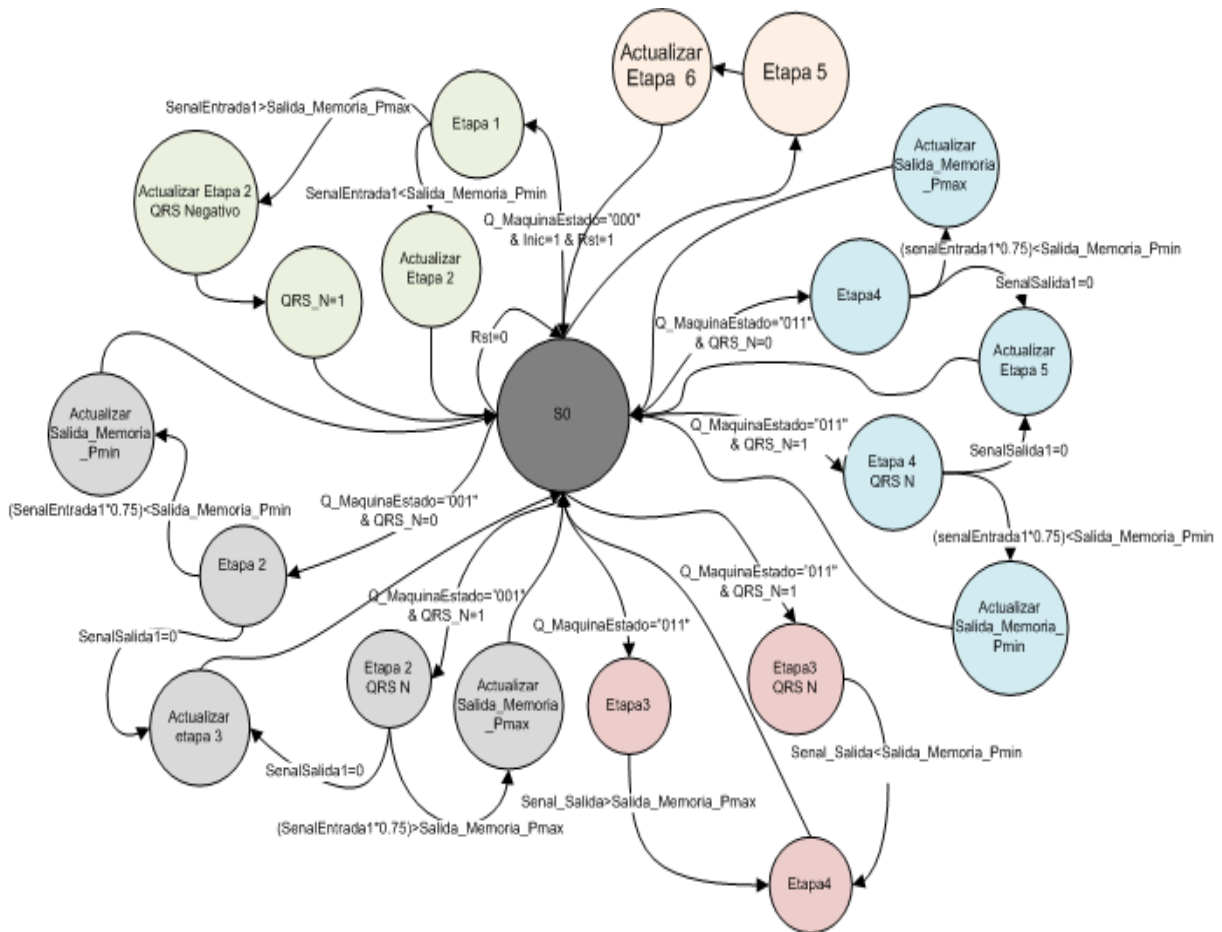


Fig. 45. Máquina de estados para la detección de complejo QRS.

La tercera etapa se encarga de la detección del punto ya sea del punto Pmax comparando el valor recibido de los módulos para la obtención de la TW con el valor almacenado en la variable “Salida\_Memoria\_Pmax” cuando la señal QRS\_N es cero o del punto Pmin comparando el valor recibido de los módulos para la obtención de la TW con el valor almacenado en la variable “Salida\_Memoria\_Pmin” cuando la señal QRS\_N vale uno.

La cuarta etapa se subdivide en dos funciones:

- La primera función se encarga de detectar si el valor recibido por los módulos de la TW para la obtención de la TW multiplicado por 0.75 es mayor (caso de “Salida\_Memoria\_Pmax”) o menor (caso de “Salida\_Memoria\_Pmin) cuando la señal QRS tiene el valor de cero o uno respectivamente. De ser así se



actualizan las variables “Salida\_Memoria\_Pmax” o “Salida\_Memoria\_Pmin” según sea el caso.

- La segunda función se encarga de la detección del punto P2 cuando el valor recibido de los módulos para la obtención de la TW tiene valor 0.

La quinta etapa se encarga de realizar una demora de 40 ms antes de comenzar la búsqueda del final de la onda T.

Una problemática a la que se enfrentan los sistemas de monitoreo ambulatorio es la variación en amplitud de la señal del ECG. Esta variación se presenta por diferentes características, entre la que destaca una degradación de la interfaz electrodo piel a lo largo del tiempo ya que el gel conductor se va secando. Es por eso que los valores de “Salida\_Memoria\_Pmax” y “Salida\_Memoria\_Pmin” no pueden tener valores fijos. Para solucionar este problema el algoritmo tiene la capacidad de adaptarse, para ellos inicialmente las variables “Salida\_Memoria\_Pmax” y “Salida\_Memoria\_Pmin” tienen valor cero por lo que los primeros 60 s de la adquisición el algoritmo va actualizando los valores de dichas variables en las etapas 2 y 4 (los 60 s iniciales de la detección del complejo QRS no es fiable).

Otra problemática que se presenta en la adquisición del ECG es la presencia de ruido por un imperfecto contacto mecánico en la interfaz electrodo piel que pueden provocar que los valores de “Salida\_Memoria\_Pmax” y “Salida\_Memoria\_Pmin” se disparen provocando que no sea posible la detección de los puntos Pmax y Pmin. Para corregirlo se desarrolló una protección para el sistema en el cual si transcurren más de 3 s sin detectarse el punto Pmin o el punto Pmax ( $QRS\_N=1$ ) el valor de la variable “Salida\_Memoria\_Pmax” y “Salida\_Memoria\_Pmin” se dividan a la mitad hasta llegar a cero y la máquina de estados regresa a la primera etapa.

## - **Detección del final de la onda T**

Una ventaja de utilizar la escala 8 de la TW es que permite resaltar de manera apreciable la onda T como se observó anteriormente en la figura 44. Es por ésto que se utilizó la misma señal proveniente del módulo de obtención de la TW para la detección del Te. La onda T se puede presentar de dos formas: monofásica (Onda T positiva o negativa) y bifásica. Para la detección del final de la onda T se utilizó el mismo algoritmo que para la detección del complejo QRS con algunas variaciones de los valores de búsqueda ya que tiene una mayor duración que el complejo QRS.

Una vez detectado un posible complejo QRS se adicionaron 5 estados fundamentales más (numerados del 6 al 10) para la detección del final de la onda T que se muestran en la figura 46.

El estado 6 se divide en dos funciones:

- La primera función define una ventana de búsqueda que depende del ultimo valor de “contador\_RR”. Si se cumple la condición que  $(\text{Contador\_RR} > 700 \text{ ms})$  entonces la ventana de búsqueda del primer máximo o mínimo de la TW será de 100 ms. Por el contrario, si  $(\text{Contador\_RR} < 700 \text{ ms})$  entonces la ventana de búsqueda se establece de 140 ms.
- La segunda función se encarga de la detección ya sea el punto “Pmax\_T” o el “Pmin\_T” comparando el valor recibido de los módulos para la obtención de la TW con el valor almacenado en la variable “Salida\_Memoria\_Pmax\_T” o “Salida\_Memoria\_Pmin\_T” respectivamente. Si la señal de entrada es mayor a la variable “Salida\_Memoria\_Pmax\_T”, entonces la señal “T\_N” se pone el uno, si es el caso contrario se mantiene con su valor inicial cero.

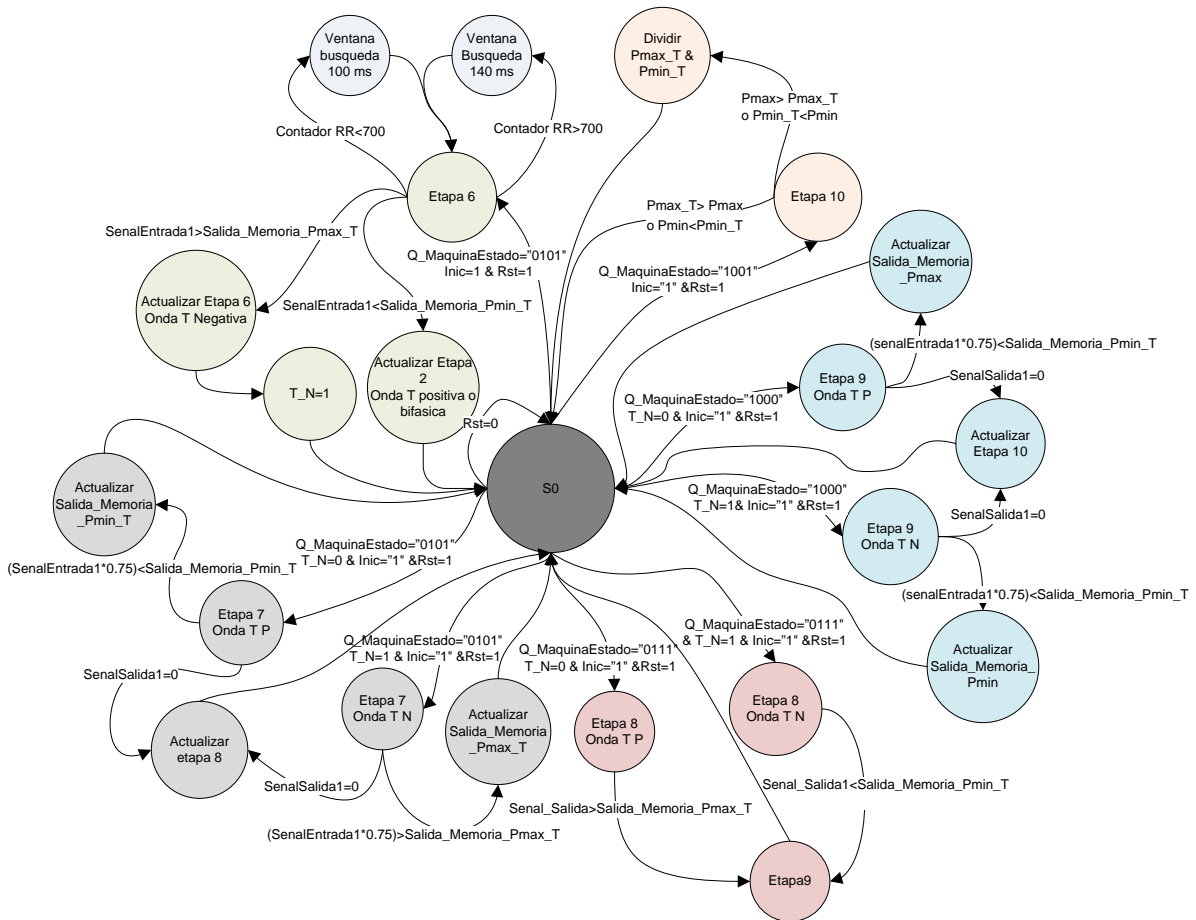


Fig. 46. Máquina de estados para la detección del final de la onda T.

La séptima etapa se subdivide en dos funciones:

- La primera función se encarga de detectar si el valor recibido por los módulos para la obtención de la TW multiplicado por 0.75 es mayor que "Salida\_Memoria\_Pmax\_T" (para "T\_N=1") o por el contrario menor que "Salida\_Memoria\_Pmin\_T" (para "T\_N=0"). De ser así se actualizan las variables "Salida\_Memoria\_Pmax\_T" o "Salida\_Memoria\_Pmin\_T" según sea el caso.
- La segunda función se encarga de la detección del punto P1\_T cuando el valor recibido de los módulos para la obtención de la TW es cero.

La octava etapa se encarga de la detección del punto Pmax o del punto Pmin dependiendo del valor de la variable "T\_N". Si "T\_N" es igual a cero entonces se encarga de detectar el punto Pmax comparando el valor recibido por los módulos para la detección de la transformada wavelet con el valor almacenado en la variable "Salida\_Memoria\_Pmax. Por el contrario, si "T\_N" es igual a uno, entonces el módulo se encarga de la detección del punto Pmin comparando el valor recibido por los módulos para la obtención de la TW.

La novena etapa se subdivide en tres funciones:

- La primera función se encarga de detectar si el valor recibido por los módulos para la obtención de la TW multiplicado por 0.75 es mayor que "Salida\_Memoria\_Pmin\_T" (para "T\_N=1) o por el contrario menor que "Salida\_Memoria\_Pmax\_T" (para "T\_N=0). De ser así se actualizan las variables "Salida\_Memoria\_Pmax\_T" o "Salida\_Memoria\_Pmin\_T" según sea el caso.
- La segunda función se encarga de la detección del punto P2\_T cuando el valor recibido de los módulos para la obtención de la TW tiene valor 0.
- La tercera función consiste en copiar el valor del contador de tiempo ("Contador RT) en la variable "SenalSalidaRT" y reiniciar el contador.

La décima etapa realiza una comparación con los valores entre los valores máximos y mínimos tanto de la onda T como del complejo QRS. Si el valor de "Salida\_Memoria\_Pmax\_T" es mayor al valor "Salida\_Memoria\_Pmax" entonces se realiza una división por 2 de la señal "Salida\_Memoria\_Pmax\_T". Lo mismo pasa con los valores de "Salida\_Memoria\_Pmin\_T" y "Salida\_Memoria\_Pmin".

La décima etapa es necesaria para evitar confusión entre la detección del complejo QRS y de la onda T, sobre todo cuando tenemos un complejo QRS con polaridad positiva y una onda T con polaridad positiva.

### 3.2.6 Módulo de interfaz gráfica para visualización de la frecuencia cardiaca y duración del intervalo RT

El módulo de interfaz gráfica para la visualización de la frecuencia cardiaca y duración del intervalo RT tiene la función de la inicializar y controlar a una pantalla de cristal líquido (LCD) de 2 líneas por 16 caracteres por una interfaz de datos de 4 bits. El módulo está conformado por dos submódulos:

- Módulo para conversión de datos
- Módulo para el control del LCD

**Módulo para conversión de datos:** Como su nombre lo indica se encarga de realizar dos tipos de conversión de datos en paralelo. La primera conversión consiste en convertir el valor de contador\_RR del módulo para la obtención de la frecuencia cardiaca y el intervalo RT.

Dicho contador contiene la duración del intervalo RR en milisegundos, por lo que se realiza un proceso para convertirlo a lat/min que es la forma utilizada en el campo de la medicina.

La conversión requiere de una regla matemática de 3, pero debido a la elevada complejidad y al consumo de recursos del FPGA para realizar una división con números que no sean potencias de 2, se optó por emplear una tabla de comparación para obtener la frecuencia cardiaca en lat/min. La comparación tiene una resolución de  $\pm 1$  lat/min en el rango de 20 lat/min a 250 lat/min. Se seleccionaron estos límites debido a que valores fuera del rango de 50 lat/min a 150 lat/min se puede considerar anormales para un paciente y es necesaria la atención médica. La LCD requiere el valor hexadecimal para el despliegue de una cifra es por ello por lo que el valor de frecuencia cardiaca se separa en un conjunto de 3 y a cada cifra adquiere su misma representación simbólica pero ahora en valor hexadecimal por ejemplo un valor de frecuencia cardiaca de 150 se asigna en valor hexadecimal x"150" que en valor decimal sería 366.

La segunda conversión es para el valor del intervalo RT, el cual no requiere una conversión de unidades, pero sí de formato. Mediante una tabla de comparación se asocia el valor de “Contador\_RT” con la respectiva representación en hexadecimal como en el caso de la frecuencia cardiaca.

**Módulo para el control del LCD:** Para controlar el LCD se cuenta con una serie de comandos de 8 bits como se observa en la tabla 10, cada comando se envía como dos palabras de 4 bits. La palabra superior (con los 4 bits más significativos) se transfieren primero, enseguida la palabra inferior (con los 4 bits menos significativos).

Tabla 10. Conjunto de instrucciones, el estado de RS y R/W y el tiempo de ejecución [46].

Instrucción	Código										Descripción	Tiempo max de ejecución
	RS	R/W	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
Clear Display	0	0	0	0	0	0	0	0	0	1	Borra el display y coloca el cursor en la primera posición 0 DDRAM	82µs-1.64ms
Return home	0	0	0	0	0	0	0	0	1	*	Coloca el cursor en la posición de inicio y hace que el display comience a desplazarse desde la posición original. El contenido de la DDRAM no varía	40µs-1.64ms
Entry mode set	0	0	0	0	0	0	0	1	I/D	S	Establece el sentido de desplazamiento de la información en el display. Esta operación se realiza durante la lectura o escritura de la DDRAM	40µs
Display ON/OFF control	0	0	0	0	0	0	1	D	C	B	Activa o desactiva poniendo en ON/OFF tanto el display D=0 (off) o D=1(on), como el cursor C=0(off) o C=1(on) y establece si este debe parpadear o no B=0(off) o B=1(on)	40µs
Cursor or display shift	0	0	0	0	0	1	S/C	R/L	*	*	Mueve el cursor y desplaza el display sin cambiar el contenido de la DDRAM	40µs
Function set	0	0	0	0	1	DL	N	F	*	*	Establece el tamaño de interfase con el bus de datos(DL), el número de líneas del display(N) y la font de los caracteres	40µs
CG RAM address set	0	0	0	1	Dirección CGRAM					Establece la dirección de CGRAM a partir de la cual se almacenan los caracteres de usuario	40µs	
DD RAM address set	0	0	1	Dirección de la DDRAM					Establece la dirección DDRAM a partir de la cual se almacenan los datos a visualizar	40µs		
Read Busy Flag and Address	0	1	BF	Dirección de DDRAM o CGRAM					Lectura del flag de Busy e indica de la dirección de la CGRAM o DDRAM última empleada.	1µs		
Write data into the CG RAM or the DDRAM	1	0	Dato a escribir					Escribe en DDRAM o CGRAM los datos que se quieren presentar en el LCD	40µs			
Read data from the CG RAM or the DDRAM	1	1	Dato a leer					Lee de la DDRAM o CGRAM los datos que se direccionen	40µs			

Para inicializar la LCD se establece que se requiere utilizar una interfaz de 4 bits utilizando la siguiente secuencia de comandos:

- Esperar 15 ms o más, a pesar de que el *display* está generalmente listo cuando la configuración del FPGA termina. El intervalo de 15 ms equivale a 180000000 ciclos de reloj a 12 MHz (reloj principal del FPGA)
- La señal de habilitación LCD\_E se debe mantener en alto por 230 ns o más que es equivalente a 3 ciclos de reloj.
- Esperar 4.1 ms o más que es equivalente a 49200 ciclos de reloj a 12 MHz.
- Mantener la señal de habilitación LCD\_E en alto por 3 ciclos de reloj.
- Esperar 100  $\mu$ s o más que es equivalente a 1200 ciclos de reloj 12 MHz.
- Mantener la señal de habilitación LCD\_E en alto por 3 ciclos de reloj.
- Esperar 40  $\mu$ s o más que es equivalente a 480 ciclos de reloj a 12 MHz
- Mantener la señal de habilitación LCD\_E en alto por 3 ns.
- Esperar 40  $\mu$ s o más que es equivalente a 480 ciclos de reloj.

Después que la inicialización se completa, la interfaz de 4 bits se establece. Para configurar el LCD se debe seguir la siguiente secuencia:

- Configurar el *display* para operar sobre la tarjeta Cmod A7 con el comando **Function\_Set**, cuyo valor debe ser "0X28" durante 40  $\mu$ s equivalente a 480 ciclos de reloj.
- Preparar el *display* para incrementar automáticamente el indicador de direcciones con el comando **Entry\_Mode\_Set**, con el valor "0x06" durante 40  $\mu$ s equivalente a 480 ciclos de reloj.
- Encender el *display* y deshabilitar el cursor y el parpadeo con el comando **Display\_ON/Off**, con el valor "0x0C".
- Finalmente, permitir al menos 1.64 ms equivalente a 19680 ciclos después de emitir el comando **Clear\_Display**.

Para escribir datos en el *display* se especifica la dirección de inicio seguida de uno o más valores de datos. Antes de escribir cualquier dato se introduce el comando Set\_DD\_RAM\_Address para especificar la dirección inicial de 7 bits de la DD\_RAM de acuerdo con la tabla 11. Para escribir datos en el *display* se emplea el comando Write\_Data\_to\_CG\_RAM o DD\_RAM.

Tabla 11. Direcciones de memoria RAM en hexadecimal [46].

Display position	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
DDRAM address	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
DDRAM address	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F

El *display* tiene una memoria ROM donde se almacenan todos los caracteres que se pueden desplegar en la LCD. El generador de carácter ROM (CG ROM) contiene el mapa de bits fuente para cada uno de los caracteres predefinidos como se muestra en la figura 47.

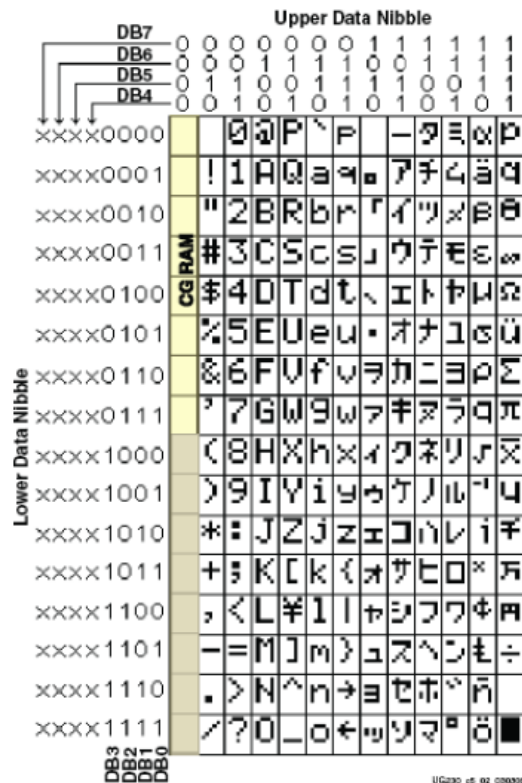


Fig. 47. Conjunto de caracteres de la LCD [46].



Finalmente se implementó una memoria ROM en la cual está implícita el bus de datos, las líneas de control y el tiempo de ejecución de cada nibble. Se realiza un barrido del arreglo y posteriormente se retorna solo a la localidad en la que se escribe datos de forma que el algoritmo entre en un bucle infinito. Se despliegan dos pantallas: la primera indica los valores de frecuencia cardiaca y duración del intervalo RT (ROM\_1), la segunda muestra el estado de los electrodos (ROM\_2). La distribución de la memoria ROM\_1 y ROM\_2 para el despliegue de los valores de frecuencia cardiaca e intervalo RT y estado de los electrodos respectivamente se observa en la figura 48.

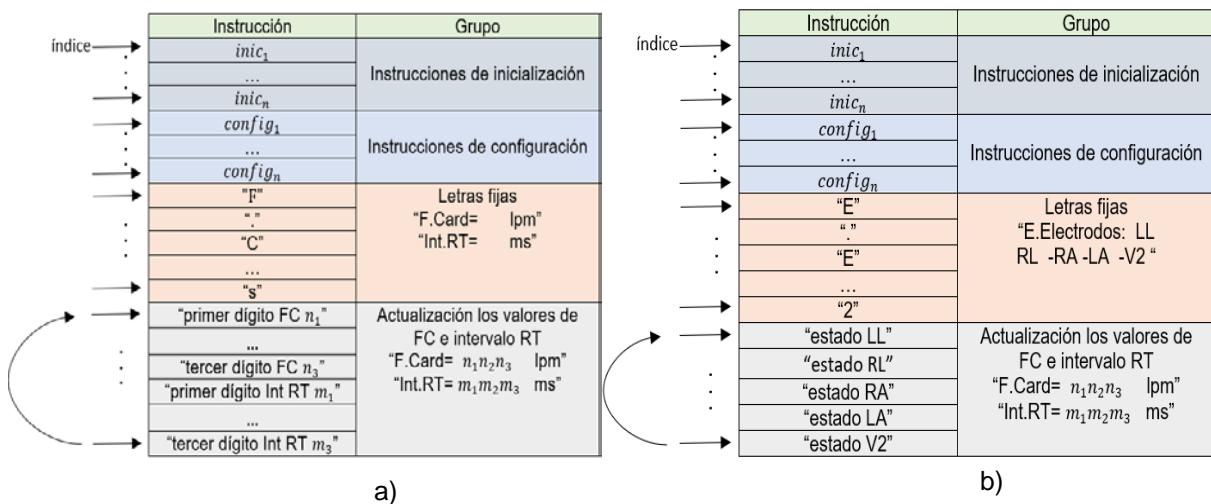


Fig. 48. Distribución de la memoria ROM. a) Estructura general de la ROM\_1. b) Estructura general ROM\_2.

### 3.3 Proceso para respaldar datos de la memoria

Para la extracción de datos de la memoria micro SD se usó el software Winhex debido a su simplicidad. Este programa permite extraer sectores de la memoria micro SD y almacenarlos en archivos con extensión ".txt". Para ello se requiere seleccionar los sectores de información como se observa en la figura 49, la selección de los sectores se realiza conforme a la distribución de almacenamiento establecida por el módulo para el almacenamiento de datos en la tarjeta de memoria micro SD, dicha distribución se muestra en la tabla 12.

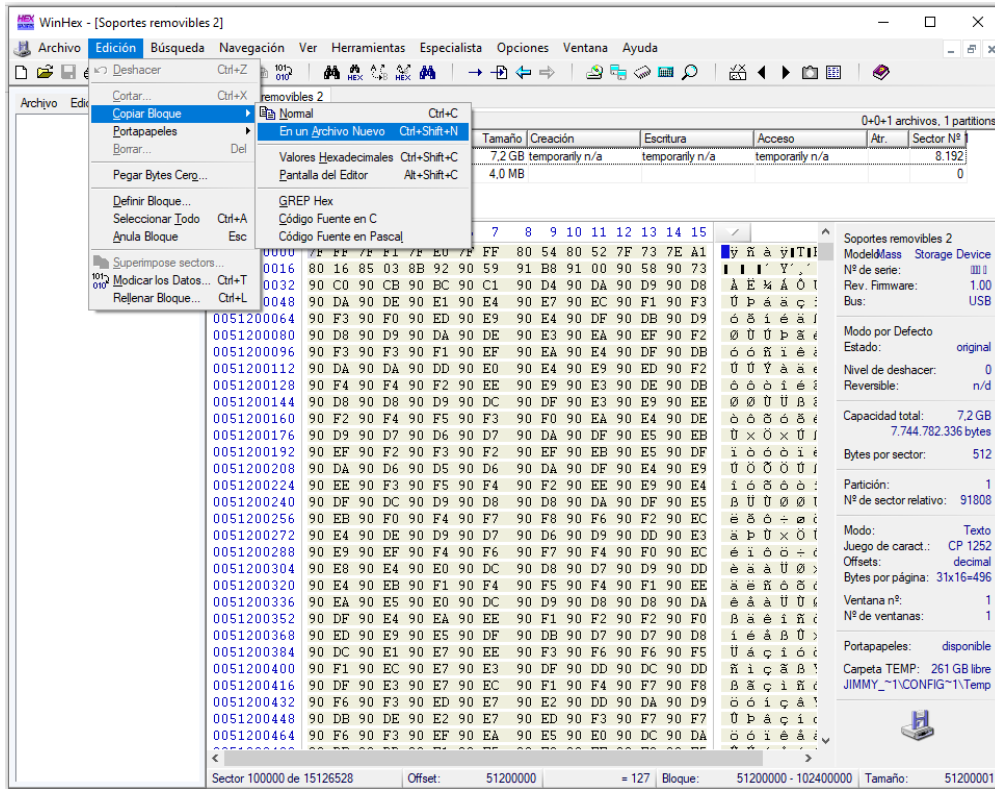


Fig. 49. Software Winhex y proceso para copiar un bloque sobre un archivo “.txt”.

Cabe mencionar que la detección del final de la onda T se almacena se almacena de forma implícita dentro de las señales “procesamiento de derivación DI” y “procesamiento de derivación aVF”.

Tabla 12. Ubicación de los datos en la memoria.

Señal	Nombre del archivo correspondiente	Sectores que ocupa en la memoria SD
Derivación DI	'Derivacion_DI.txt'	100 000-6 099 999
Derivación aVF	'Derivacion_aVF.txt'	6 100 000-12 099 999
Derivación V2	'Derivacion_V2.txt'	12 100 000-18 099 999
Procesamiento de Derivación DI	'Derivacion_Complejo_DI.txt'	18 100 000-24 099 999
Procesamiento de Derivación aVF	'Derivacion_Complejo_aVF.txt'	24 100 000-3 0099 999

### 3.3.1 Interfaz de gráfica

Para la visualización de los datos obtenidos por el prototipo se utilizó el programa implementado en el editor de diseño de *GUIDE* de MATLAB por Frank Martínez Suarez [33]. Esta interfaz permite cargar los archivos exportados por el software

WinHex para la visualización de las derivaciones del ECG, la detección del complejo QRS y la variabilidad de la frecuencia cardíaca. Se realizaron modificaciones para la visualización de la detección del final de la onda T, la visualización de la variabilidad del intervalo RT y una gráfica de la relación entre la frecuencia cardíaca y el intervalo RT. En la Figura 50 se observa un registro cargado en la interfaz de usuario, se muestra la gráfica de una derivación y la detección del complejo QRS y el final de la onda T.

Para un correcto funcionamiento de la interfaz se requiere que los archivos generados de la tabla 12, se encuentren en la misma carpeta del software diseñado en MATLAB. La interfaz gráfica permite respaldar la información mediante un archivo “.txt” con el nombre edad y fecha de la adquisición de registro para llevar un control de los sujetos de prueba.

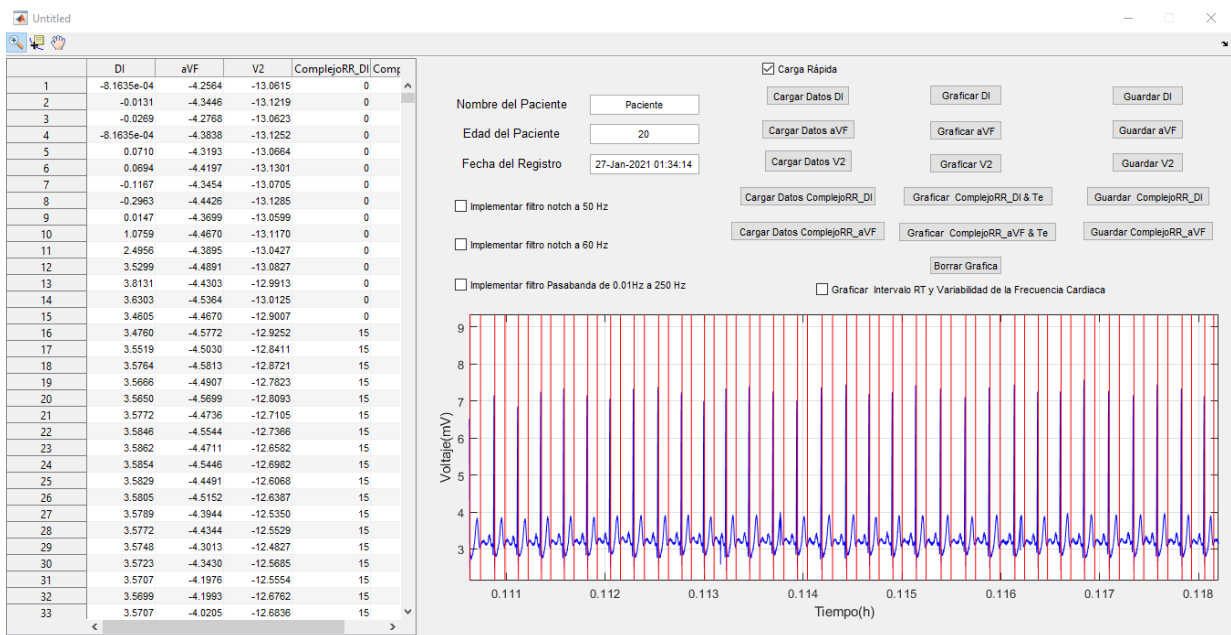


Fig. 50. Interfaz gráfica en el GUIDE de MATLAB.

## Capítulo 4. Resultados

### 4.1 Características del prototipo

Las características de adquisición del prototipo en gran parte dependen del circuito ADS1294 y de su configuración. Se utilizó la configuración implementada por F. Martínez [36], la cual tiene un CMMR superior a 80 dB en 60 Hz, un margen de medida de 49.9 mV, un convertidor analógico digital de 24 bits de los cuales se utilizaron 16 bits de forma útil para la adquisición de la señal, lo que nos da un resolución de 761  $\mu\text{Vpp}$ .

### 4.2 Ancho de banda del filtro digital

Para conocer el ancho de banda de un filtro pasabajos es necesario conocer su frecuencia de corte. La frecuencia de corte se define como la frecuencia en la cual la ganancia tiene el valor de  $\frac{1}{\sqrt{2}}$  del valor máximo, es decir cuando la ganancia se ha reducido al 70% y el valor de amplitud a la salida del filtro es 0.7071 veces la amplitud máxima de la señal de entrada al filtro. Para caracterizar el filtro se generó un estímulo para los canales de adquisición mediante un barrido de frecuencias de 0 a 500 Hz, con pasos de 5 Hz, una amplitud de 40 mVpp y 0 V de *offset* como se muestra en la figura 51.

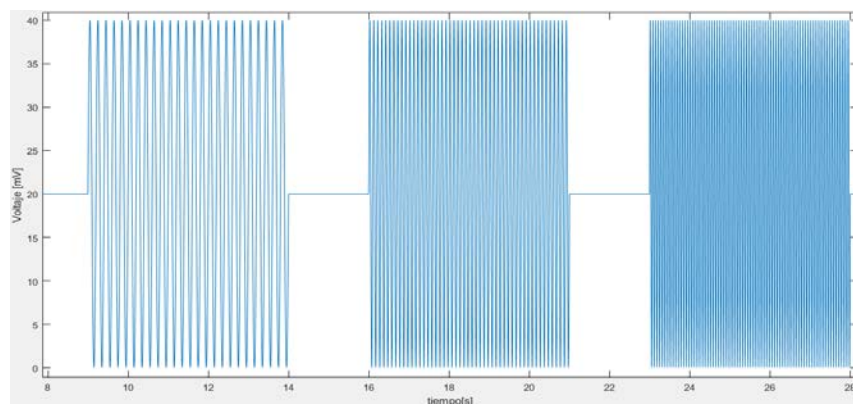


Fig. 51. Segmento de la señal de estímulo con las frecuencias 0 Hz, 5 Hz, 10 Hz y 15 Hz.

Estas señales fueron almacenadas en la memoria micro SD para analizar el comportamiento del filtro ante las señales de estimulación. Para facilitar el análisis se normalizó una señal para observar el valor de frecuencia en el cual la señal decae 0.7071 del valor de amplitud máxima que es 1. Como se observa en la figura 52 el valor de frecuencia la señal decae 0.697 de valor máximo de la amplitud en la frecuencia de 200 Hz.

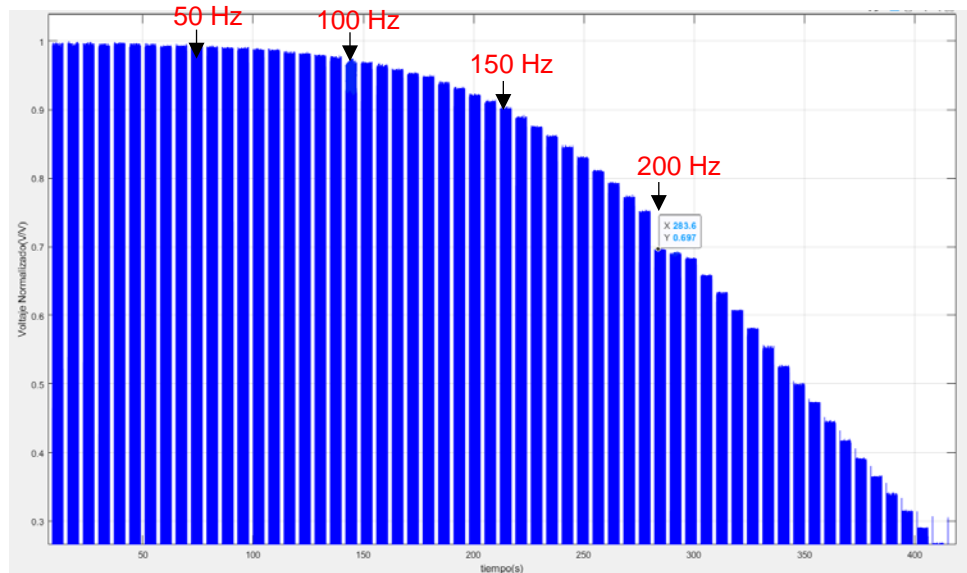


Fig. 52. Voltaje normalizado para el cálculo del ancho de banda.

### 4.3 Detección del complejo QRS y final de la onda T

Para probar el algoritmo se utilizaron registros de corta duración adquiridos por el prototipo diseñado y de diferentes bases de datos de Physionet que se pueden descargar directamente de la página de internet Physionet.org [47]. El objetivo fue probar la correcta detección tanto del complejo QRS como del final de la onda T, ambas con distintas morfologías. En la figura 53 se observan señales de ECG de corta duración adquiridas por el prototipo.

Para generar las señales de ECG obtenidas de las bases de datos, se le realizó una transformación a formato de audio utilizando el software de MATLAB, posteriormente

con la ayuda de un teléfono celular al reproducir el audio éste envía la señal eléctrica a un conector *Plug* macho-macho. Se conectó mediante cables caiman-caiman el conector *Plug* con los cables del Holter para ser adquiridos por el sistema. Esta metodología, aunque es poco ortodoxa es de gran utilidad ya que no se requiere de tarjetas de adquisición que por lo regular tienen un precio elevado, además las señales se generan con bajo ruido debido a que el celular es alimentado por una pila y no por la línea eléctrica.

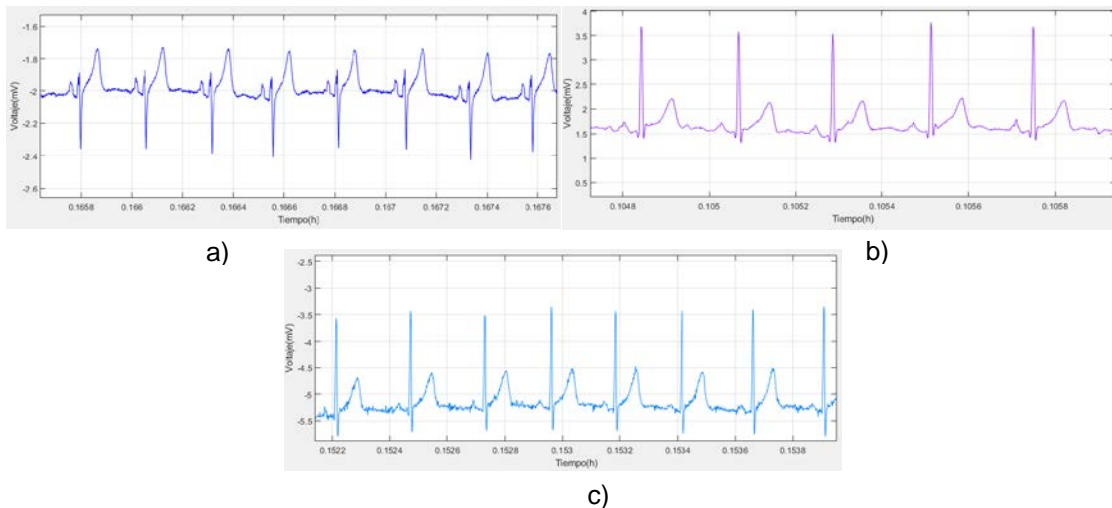


Fig. 53. Señales de ECG obtenidas de un sujeto de prueba. a) Derivación DI b) Derivación aVF y c) Derivación V2.

La detección de los puntos se muestra por una línea roja como se observa en la figura 54. El ligero retardo en detección de la onda R y el final de la onda T que se observa no se debe a un error en el algoritmo, sino a un retardo que depende de la escala utilizada en la TW. A mayor escala mayor será el retardo. El resultado de la detección del complejo QRS y final de la onda T se puede apreciar cuando el valor de la duración del intervalo RR anterior toma el valor de 0.

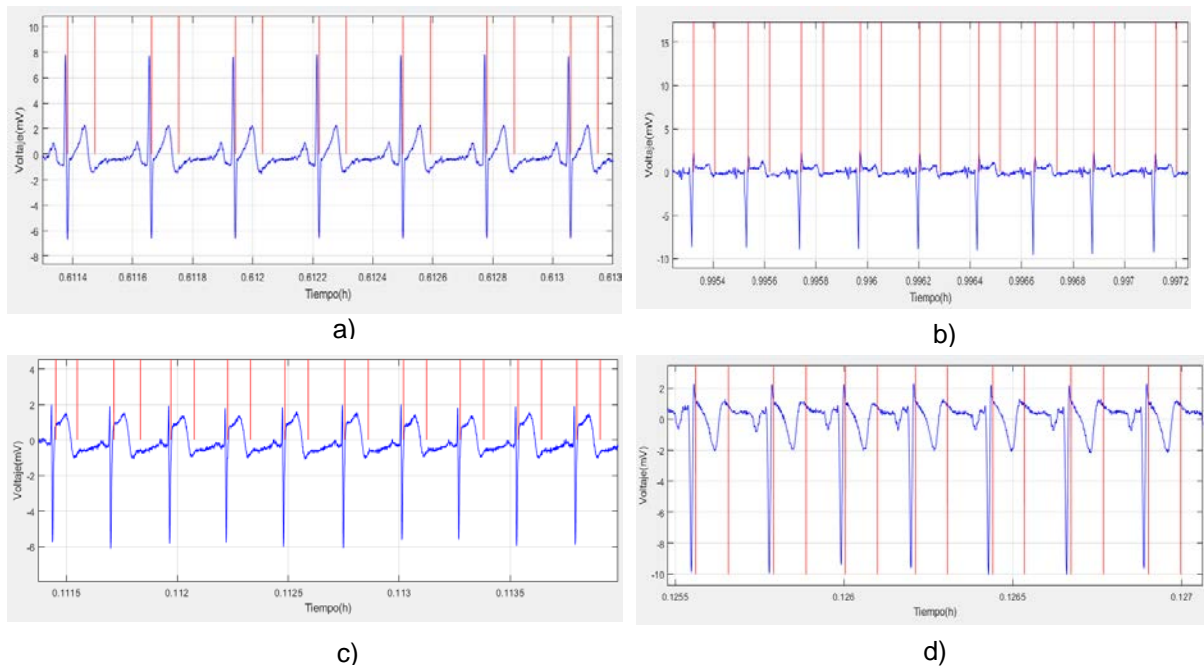


Fig. 54. Detección del complejo QRS y final de la onda T de diferentes registros. a) Derivación aVF de un sujeto de prueba. b) Derivación aVL del registro raw2001 base de datos ecgdmmdl. c) Registro nsr001 de la base de datos “Normal Sinus Rhythm RR Database”. d) Derivación aVR del registro raw2001 base de datos ecgdmmdl.

Para la validación de los algoritmos se utilizaron 10 registros de la base de datos QT de Physionet cuya duración es de 15 min. Se seleccionaron registros con diferentes morfologías. Los registros seleccionados fueron: sel100, sel103, sel104, sel114, sel123, sel213, sel302, sele0104, sel0110, sel30.

Para evaluar el desempeño del algoritmo de detección del complejo QRS se realizó el conteo de los falsos positivos y negativos de los registros anteriores. Los resultados de la detección del complejo QRS se observan en la tabla 13. Se llevó a cabo un conteo de forma automática de los complejos QRS detectados en el registro y se calculó el porcentaje de exactitud que para este caso fue superior al 95%.

Tabla 13. Resultados obtenidos por el algoritmo para la detección del pico de la onda R.

Registros	Total, de Latidos	F.P. (QRS)	F.N. (QRS)	Detecciones falsas (QRS)	
				latidos	% error
sel100	1134	6	32	38	3.35%
sel103	1048	0	0	0	0.0%
sel104	1109	5	11	16	1.44%
sel116	867	6	2	8	0.92%
sel123	756	8	0	8	1.058%
sel213	1641	13	42	55	3.35%
sel302	1501	7	45	52	3.46%
sel0104	956	2	12	14	1.46%
sele0110	906	0	6	6	0.66%
sel30	1153	10	37	47	4.07%
<b>Total</b>	<b>11071</b>	<b>57</b>	<b>187</b>	<b>244</b>	<b>2.20%</b>

Como se observa en la figura 54, el algoritmo funciona para diferentes tipos de morfologías de la onda T y de complejo QRS, ya que se va adaptando al tipo de señal de entrada y sigue una secuencia ordenada para la detección de los puntos. Puede haber falsos negativos en la detección debido a variaciones abruptas en la amplitud de un registro como se muestra en la tabla 13, pero el algoritmo es capaz de recuperarse debido a que los umbrales para detectar los puntos Pmax y Pmin producidos por la transformada wavelet continuamente se actualizan como se observa en la figura 55.

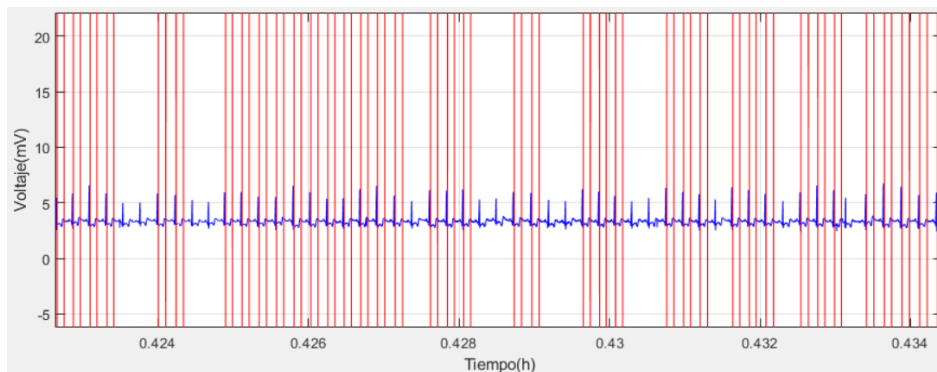


Fig. 55. Falsos negativos y proceso de recuperación del algoritmo del registro sel100.



Para evaluar el algoritmo de detección del final de la onda (Te) sobre los registros seleccionados de la base de datos QT, se hizo uso de las anotaciones manuales hechas por especialistas incluidas en dicha base de datos. La validación consistió en calcular la diferencia de la posición de la detección del final de la onda T hecha por el algoritmo propuesto (TW) con la reportada por los especialistas (ME) en varios latidos de cada registro obteniéndose los parámetros estadísticos: promedio (m) y desviación estándar (sd), estos resultados se muestran en la tabla 14. Los resultados de ésta diferencia están dentro de los límites de tolerancia para desviaciones con respecto a las mediciones hechas por expertos sd (CSE) [5].

Tabla 14. Resultados del algoritmo de detección del final de la onda T en ms.

Registro	WT - ME
	m ± sd (ms)
sel100	11.33 ± 2.68
sel103	6.03 ± 14.42
sel104	12.66 ± 11.59
sel116	-1.66 ± 5.03
sel123	1.33 ± 3.78
sel213	3.66± 3.21
sel302	-3.00 ± 3.60
sel0104	5.62 ± 4.32
sele0110	7.66 ± 3.78
sel30	13.23 ± 5.29
<b>Promedio total</b>	<b>5.148 ± 7.07</b>
<b>Límites de tolerancia para desviaciones con respecto a medición por expertos [5].</b>	
<b>sd (CSE)</b>	<b>30.6</b>

#### 4.4 Dinámica y variabilidad del intervalo RT con registros de la base de datos QT

En la figura 56 se observa el registro sel103 el cual fue adquirido y procesado por el prototipo, las posiciones del complejo QRS y final de la onda T (figura 57) y posteriormente se muestran la variabilidad de la frecuencia cardiaca y la variabilidad del intervalo RT (figura 58).

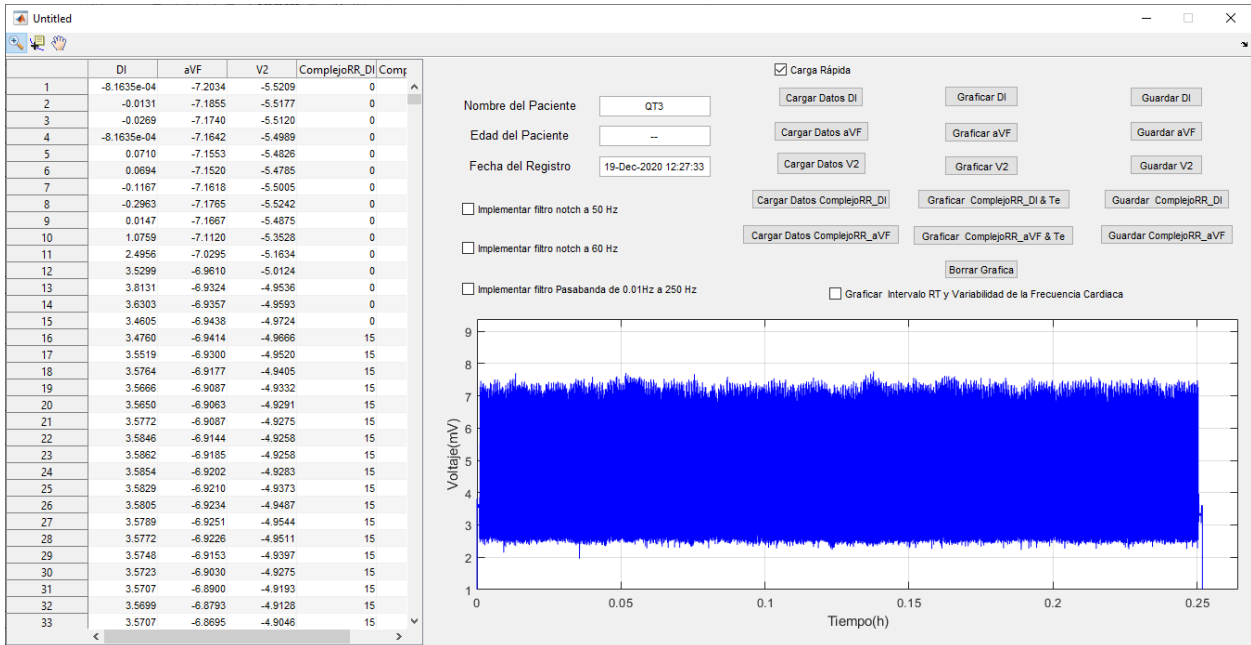


Fig. 56. Registro sel103 cargado en la interfaz gráfica.

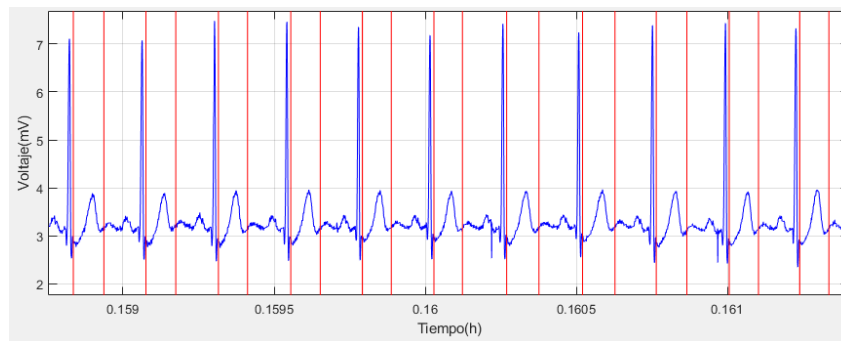


Fig. 57. Detección del complejo QRS y final de la onda T para el registro sel103.

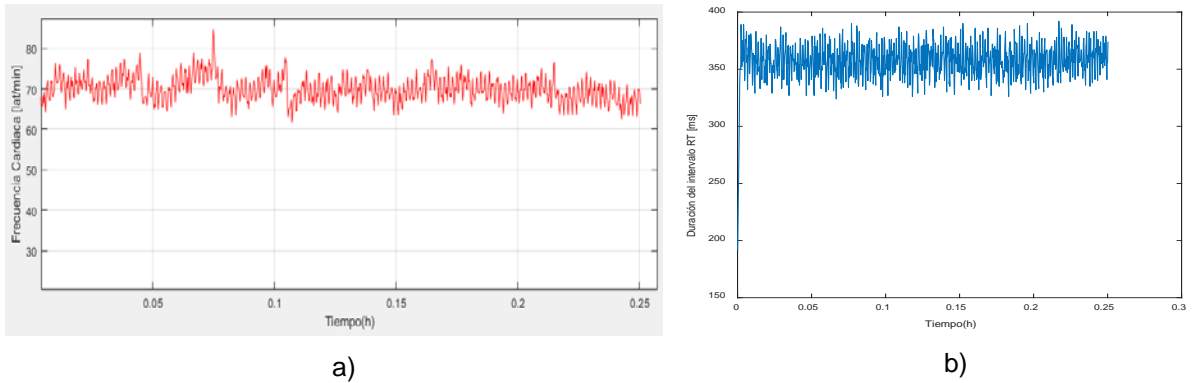


Fig. 58. Variabilidades temporales del registro sel103. a) Variabilidad de la frecuencia cardiaca y b) Variabilidad del intervalo RT.

En la interfaz se adicionó una gráfica para el análisis de la relación entre el intervalo RT con la frecuencia cardiaca, ésto con el fin de estudiar la variación de una con respecto de la otra y evaluar la dinámica del intervalo RT como se observa en la figura 59. La interfaz analiza los valores de frecuencia cardiaca e intervalo RT y descarta los valores considerados incoherentes para contar los casos en los que se presenten falsos positivos o falsos negativos. En la figura 60 se observa la detección de los puntos del registro sel30, además de la dinámica del intervalo RT.

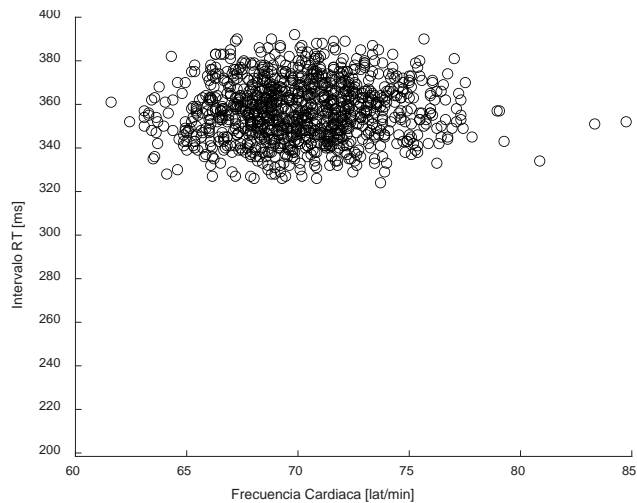


Fig. 59. Relación del intervalo RT con la frecuencia cardiaca del registro sel103.

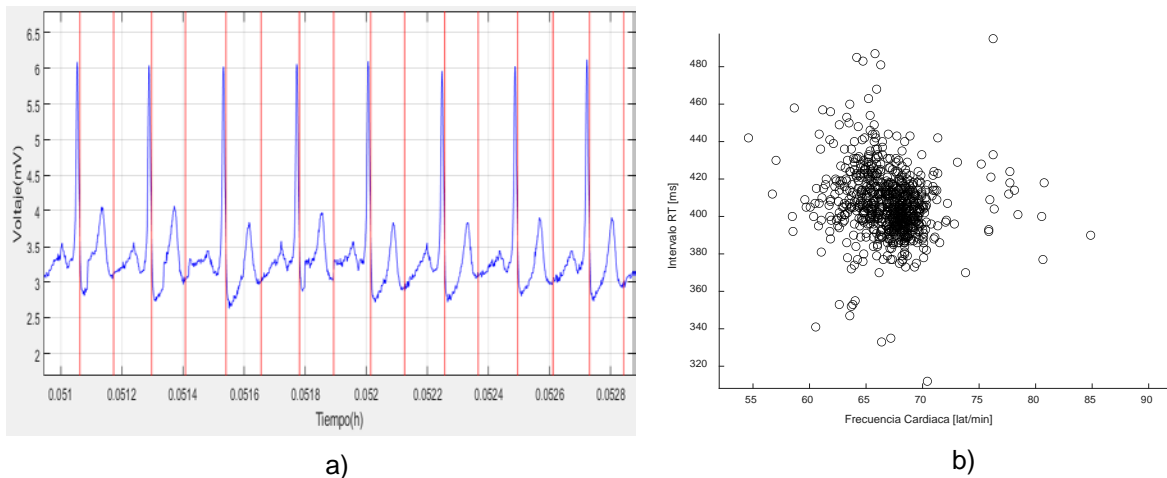


Fig. 60. Registro sel30. a) Detección de complejo QRS y final de la onda T. b) Relación del intervalo RT con la frecuencia cardiaca.

Se incluyeron también 2 registros de la base de datos “*Normal Sinus Rhythm RR Database*” como se observa en la figura 61 y uno más de la base de datos “*T-Wave Alternants Challenge Database*” con el fin completar el análisis del rendimiento del algoritmo como se observa en la figura 62.

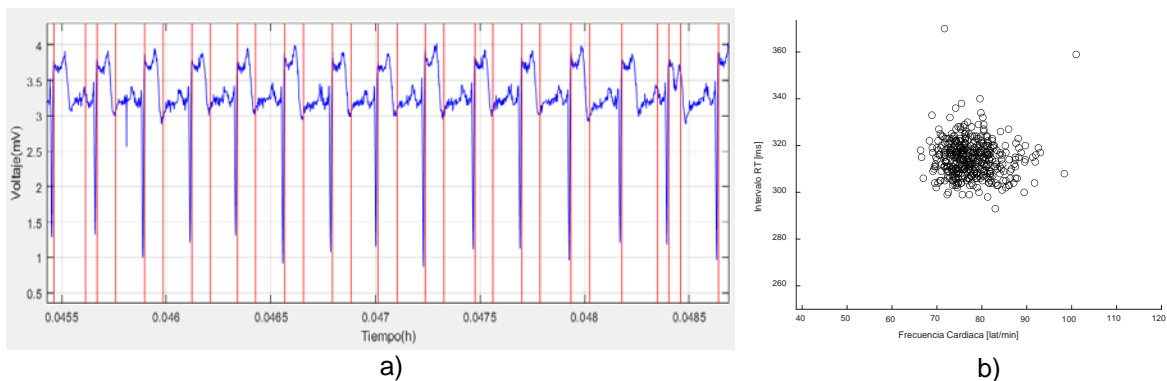


Fig. 61. Registro nsr001 de la base de datos “*Normal Sinus Rhythm RR Database*”. a) Detección de complejo QRS y final de la onda T. b) Relación del intervalo RT con la frecuencia cardiaca.

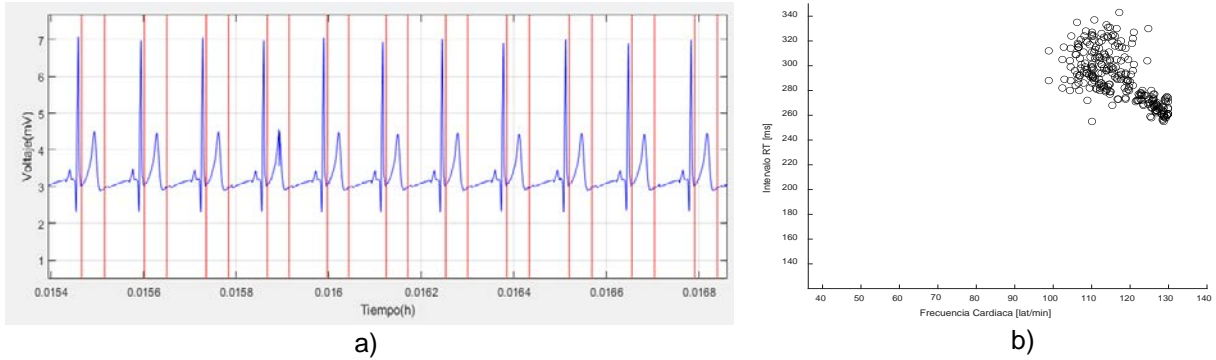


Fig. 62. Registro nsr001 de la base de datos “*T-Wave Alternants Challenge Database*”. a) Detección de complejo QRS y final de la onda T. b) Relación intervalo RT contra frecuencia cardiaca.

#### 4.5 Consumo de Energía

Se redujo considerablemente el consumo de corriente con respecto al prototipo presentado por F. Martínez [34] el cual tiene un consumo aproximado de 125 mA, mientras que el prototipo presentado en este trabajo, presenta un consumo aproximado de 85 mA una vez que ha finalizado la configuración del prototipo, logrando un ahorro de energía del 36% como se muestra en la figura 63. En cuanto al consumo de potencia, cuando el prototipo es alimentado a 5 V, se obtuvo un valor de potencia de 425 mW/h.

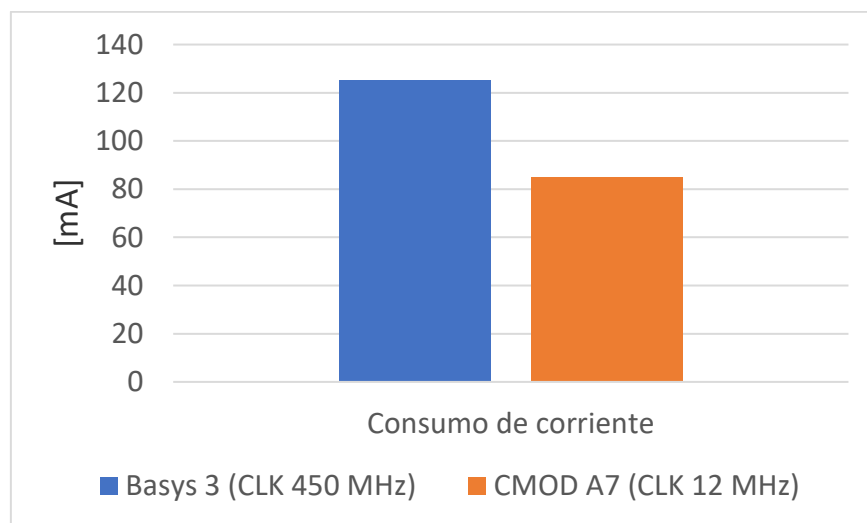


Fig. 63. Consumo total del dispositivo con 2 FPGAs diferentes.

Para la alimentación se utilizaron dos baterías en paralelo con un voltaje de 3.7 V y 4000 mA/h cada una, y mediante el componente TP4351B que eleva el voltaje a 5V. dichas baterías tienen un potencial ideal en conjunto de 29.6 W/h. En la práctica el funcionamiento de batería no posee un rendimiento ideal, por lo que se logró un desempeño de 36 horas continuas de funcionamiento, tiempo en el cual se adquirieron y almacenaron señales suministradas al dispositivo, además de la visualización de los datos procesados en la pantalla LCD.

## Capítulo 5. Conclusiones

En este proyecto se lograron cumplir con los objetivos propuestos que era mejorar el diseño desarrollado por F. Martínez [36], entre las mejoras destacan:

- Se logró reducir en un 36% el consumo energético del dispositivo.
- El algoritmo desarrollado detecta diferentes morfologías de complejo QRS y obtiene la frecuencia cardiaca latido a latido.
- La implementación de un algoritmo para la detección del final de la onda T y la medición de la duración del intervalo RT latido a latido.
- Adición de una gráfica para el análisis de la relación intervalo RT contra frecuencia cardiaca y evaluar además de su variabilidad temporal su dinámica.
- Implementación de un filtro digital FIR pasabajos para reducir el número de componentes electrónicos y optimizar el tamaño del dispositivo.
- Implementación de una interfaz para el prototipo utilizando un LCD para la visualización de la frecuencia cardiaca y duración del intervalo RT.
- Validación del algoritmo desarrollado con registros de la base de datos QT principalmente y otras bases de datos de Physionet con el fin de evaluar su rendimiento.
- Reducción de dimensiones y peso del prototipo.

El análisis normal fuera de línea para la detección de la onda R y onda T es utilizar una escala baja (para onda R) y una escala alta (onda T). Implementar dos escalas en el FPGA conllevaría un alto costo computacional y un grado de complejidad moderado al tener que sincronizar dos procesos que generan retardos diferentes.

Una ventaja que está implícita en el algoritmo diseñado es que únicamente se utiliza una escala de la transformada wavelet para las detecciones de la onda R y onda T, ahorrándole un alto costo computacional al FPGA.

Los FPGA son sistemas flexibles ideales para algoritmos complejos que requieren que diferentes procesos se ejecuten al mismo tiempo, por otra parte, al aumentar la complejidad del algoritmo aumenta la complejidad de programación en VHDL y se requiere de un alto grado de sincronización.

Por otra parte, el algoritmo no tuvo un buen rendimiento en algunos registros de la base de datos QT debido a: cambios drásticos en la morfología de la señal de ECG, complejos QRS no simétricos y la aparición de latidos ectópicos de amplitud grande, que desestabiliza los parámetros del algoritmo, por lo que requiere de algún tipo de protección frente a este tipo de posibles escenarios.

Algunos aspectos a futuro para mejorar este proyecto que se pueden realizar son:

- Implementar dos módulos para la obtención de la TW que trabajen en paralelo, pero con escalas diferentes tanto para la detección de la onda R como para el final de la onda T para eliminar principalmente latidos ectópicos.
- Implementar un módulo para el cálculo de la dispersión del intervalo RT latido a latido en las 3 derivaciones simultaneas.
- Mayor optimización del diseño físico del prototipo para tener mayor portabilidad.
- Enlazar el prototipo a un smarphone con fines de monitoreo de parámetros en lugar de una interfaz gráfica.



## Referencias

- [1] World Health Organization (WHO), “The top 10 causes of death.”  
<https://www.who.int/news-room/fact-sheets/detail/the-top-10-causes-of-death>  
(accessed Nov. 30, 2020).
- [2] Instituto Nacional de Estadística y Geografía (INEGI), “Características de defunciones registradas en México durante 2019.”  
<https://www.inegi.org.mx/contenidos/saladeprensa/boletines/2020/EstSociodem/DefuncionesRegistradas2019.pdf> (accessed Nov. 30, 2020).
- [3] W. F. Ganong, “Fisiología Médica.”, McGraw-Hill, 2006.
- [4] E. Rodríguez Font and X. Viñolas Prat, “Muerte súbita (III) Causas de muerte súbita. Problemas a la hora de establecer y clasificar los tipos de muerte,” *Rev. Española Cardiol.*, vol. 52, no. 11, pp. 1004–1014, Nov. 1999, Accessed: Nov. 20, 2019. [Online]. Available: <http://www.revespcardiol.org/es-muerte-subita-iii-causas-muerte-articulo-X0300893299002115>.
- [5] The CSE working party, “Recommendations for measurement standards in quantitative electrocardiography,” *Eur. Heart J.*, vol. 6, no. 10, pp. 815–825, Oct. 1985, doi: 10.1093/oxfordjournals.eurheartj.a061766.
- [6] Task Force of The European Society of Cardiology and The North American Society of Pacing and Electrophysiology, “Heart Rate Variability,” *Circulation*, vol. 93, no. 5, pp. 1043–1065, Mar. 1996, doi: 10.1161/01.CIR.93.5.1043.
- [7] H. L. Kennedy, “The History, Science, and Innovation of Holter Technology,” *Ann. Noninvasive Electrocardiol.*, vol. 11, no. 1, pp. 85–94, Jan. 2006, doi: 10.1111/j.1542-474X.2006.00067.x.
- [8] P. Laguna, N. V. Thakor, P. Caminal, R. Jane, H. R. Yoon, A. Bayés de Luna, et al., “New algorithm for QT interval analysis in 24-hour Holter ECG: performance and applications,” *Med. Biol. Eng. Comput.*, vol. 28, no. 1, pp. 67–73, 1990, doi: 10.1007/BF02441680.
- [9] J. L. Palma Gámiz, A. A. Jiménez, J. R. G. Juanatey, E. Marín Huerta, and E. S. Martín-Ambrosio, “Guías de práctica clínica de la Sociedad Española de

- Cardiología en la monitorización ambulatoria del electrocardiograma y presión arterial,” *Rev. Esp. Cardiol.*, vol. 53, no. 1, pp. 91–109, 2000.
- [10] D. Buckles, F. Aguel, R. Brockman, J. Cheng, C. Demian, C. Ho, D. Jensen, E. Mallis et al., “Advances in ambulatory monitoring: Regulatory considerations,” in *Journal of Electrocardiology*, 2004, doi: 10.1016/j.jelectrocard.2004.08.048.
- [11] H. L. Kennedy, “The evolution of ambulatory ECG monitoring,” *Prog. Cardiovasc. Dis.*, vol. 56, no. 2, pp. 127–132, 2013, doi: 10.1016/j.pcad.2013.08.005.
- [12] Texas Instruments, “Data sheet ADS1294, ADS1296, ADS1296R, ADS1298, ADS1298R.” 2015.
- [13] J. Pan and W. J. Tompkins, “A Real-Time QRS Detection Algorithm,” *IEEE Trans. Biomed. Eng.*, vol. BME-32, no. 3, pp. 230–236, 1985, doi: 10.1109/TBME.1985.325532.
- [14] C. Li, C. Zheng, and C. Tai, “Detection of ECG Characteristic Points Using Wavelet Transforms,” *IEEE Trans. Biomed. Eng.*, vol. 42, no. 1, pp. 21–28, 1995, doi: 10.1109/10.362922.
- [15] C. Alvarado, J. Arregui, J. Ramos, and R. Pallàs-Areny, “Automatic detection of ECG ventricular activity waves using continuous spline wavelet transform,” in *2nd International Conference on Electrical and Electronics Engineering, ICEEE and XI Conference on Electrical Engineering, CIE 2005*, 2005, vol. 2005, pp. 189–192, doi: 10.1109/ICEEE.2005.1529605.
- [16] F. Martínez-Suárez and C. Alvarado-Serrano, “VHDL module for the R wave detection in real time using continuous wavelet transform,” in *2019 16th International Conference on Electrical Engineering, Computing Science and Automatic Control, CCE 2019*, Sep. 2019, doi: 10.1109/ICEEE.2019.8884584.
- [17] R. Stojanović, D. Karadaglić, M. Mirković, and D. Milošević, “A FPGA system for QRS complex detection based on Integer Wavelet Transform,” *Meas. Sci. Rev.*, vol. 11, no. 4, pp. 131–138, Jan. 2011, doi: 10.2478/v10048-011-0024-z.
- [18] J. R. García, C. F. S. Páez, and R. Petrino, “Real-time FPGA-based detrending of ECG signals using wavelet filtering,” in *2015 16th Workshop on Information Processing and Control, RPIC 2015*, Jun. 2016, doi:

10.1109/RPIC.2015.7497116.

- [19] I. K. Daskalov and I. I. Christov, "Automatic detection of the electrocardiogram T-wave end," *Med. Biol. Eng. Comput.*, vol. 37, no. 3, pp. 348–353, 1999, doi: 10.1007/BF02513311.
- [20] E. D. Helfenbein *et al.*, "An algorithm for continuous real-time QT interval monitoring," *Annu. Int. Conf. IEEE Eng. Med. Biol. - Proc.*, vol. 3, no. 4, pp. 2288–2290, Oct. 2000, doi: 10.1016/j.jelectrocard.2006.05.018.
- [21] H. K. Chatterjee, R. Gupta, and M. Mitra, "Real Time P and T Wave Detection from Ecg using Fpga," *Procedia Technol.*, vol. 4, pp. 840–844, Jan. 2012, doi: 10.1016/j.protcy.2012.05.138.
- [22] L. Gaztañaga, F. E. Marchlinski, and B. P. Betensky, "Mecanismos de las arritmias cardiacas," *Rev. Esp. Cardiol.*, vol. 65, no. 2, pp. 174–185, Feb. 2012, doi: 10.1016/j.recesp.2011.09.018.
- [23] C. Alvarado-Serrano, "Análisis de la variabilidad de intervalos de tiempo del ECG," Tesis Doctoral, Departamento de Ingeniería Electrónica, Universidad Politécnica de Cataluña, Barcelona, España.  
Disponible en: <http://hdl.handle.net/10803/6321>, 2001.
- [24] "The ECG Leads, Polarity and Einthoven's Triangle – The Student Physiologist." <https://thephysiologist.org/study-materials/the-ecg-leads-polarity-and-einthovens-triangle/> (accessed Dec. 28, 2020).
- [25] M. S. Runge and M. E. Ohman, "Electrocardiographic leads." [https://www.netterimages.com/book-Marshall-S-Runge-MD-PhD-and-Magnus-E-Ohman-MD-Cardiology-Runge-1E-9781929007059.html#modal\\_form](https://www.netterimages.com/book-Marshall-S-Runge-MD-PhD-and-Magnus-E-Ohman-MD-Cardiology-Runge-1E-9781929007059.html#modal_form) (accessed Dec. 28, 2020).
- [26] A. Albarado-Ibañez, R. Arroyo-Carmona, R. Sánchez-Hernández, G. Ramos-Ortiz, A. Frank, D. García-Gudiño, J. Torres-Jácome *et al.*, "The role of the autonomic nervous system on cardiac rhythm during the evolution of diabetes mellitus using heart rate variability as a biomarker," *J. Diabetes Res.*, 2019, doi: 10.1155/2019/5157024.
- [27] M. A. García-González, "Estudio de la Variabilidad del ritmo cardíaco mediante técnicas estadísticas, espectrales y no lineales," Tesis Doctoral, Universidad

Politécnica de Cataluña, 1998.

Disponible en: <http://hdl.handle.net/2117/93657>

- [28] E. M. Vaughan Williams, "QT and action potential duration," *Br. Heart J.*, vol. 47, no. 6, pp. 513–514, 1982, doi: 10.1136/hrt.47.6.513.
- [29] J. Han and G. K. Moe, "Nonuniform Recovery of Excitability in Ventricular Muscle," *Circ. Res.*, vol. 14, no. 1, pp. 44–60, Jan. 1964, doi: 10.1161/01.RES.14.1.44.
- [30] P. Laguna, J. P. Martínez Cortes, and E. Pueyo, "Techniques for Ventricular Repolarization Instability Assessment from the ECG," *Proceedings of the IEEE*, vol. 104, no. 2. Institute of Electrical and Electronics Engineers Inc., pp. 392–415, Feb. 01, 2016, doi: 10.1109/JPROC.2015.2500501.
- [31] W. Zareba and A. B. de Luna, "QT Dynamics and Variability," *Ann. Noninvasive Electrocardiol.*, vol. 10, no. 2, pp. 256–262, Apr. 2005, doi: 10.1111/j.1542-474X.2005.10205.x.
- [32] M. Merri, M. Alberti, and A. J. Moss, "Dynamic Analysis of Ventricular Repolarization Duration From 24-Hour Holter Recordings," *IEEE Trans. Biomed. Eng.*, vol. 40, no. 12, pp. 1219–1225, 1993, doi: 10.1109/10.250577.
- [33] J. Vázquez-Martínez, "Prototipo de monitor ambulatorio de ECG de larga duración con detección del complejo QRS en tiempo real para el análisis de la variabilidad de la frecuencia cardíaca.", Tesis de Maestría, Sección de Bioelectrónica, Departamento de Ingeniería Eléctrica, Cinvestav, Ciudad México, México 2015.
- [34] F. Martínez-Suárez and C. Alvarado-Serrano, "Prototype of an ambulatory ECG monitoring system with R wave detection in real time based on FPGA," in *2019 16th International Conference on Electrical Engineering, Computing Science and Automatic Control, CCE 2019*, Sep. 2019, doi: 10.1109/ICEEE.2019.8884517.
- [35] SD Card Association, *SD Specifications Part 1 Physical Layer simplified Specification*. 2017.
- [36] F. Martínez-Suárez, "Prototipo de un Monitor Ambulatorio de ECG de Larga Duración de 3 Derivaciones con Detección en Tiempo Real del Complejo QRS Mediante la Transformada Wavelet Implementada en un FPGA", Tesis de

- Maestría, Sección de Bioelectrónica, Departamento de Ingeniería Eléctrica, Cinvestav, Ciudad de México, México, 2018.
- [37] U. Farooq, Z. Marrakchi, H. Mehrez, U. Farooq, Z. Marrakchi, and H. Mehrez, "FPGA Architectures: An Overview," in *Tree-based Heterogeneous FPGA Architectures*, Springer New York, 2012, pp. 7–48.
- [38] A. Akif, "FIR Filter Features on FPGA", *Bachelor thesis, Department of Electrical Engineering, Linköping University*, 2018.
- [39] Digilent®, "Cmod A7 Reference Manual," 2016. Accessed: Jan. 04, 2021. [Online]. Available: [www.digilentinc.com](http://www.digilentinc.com).
- [40] D. Elizarraraz-Martínez and J. Navarro-Fuentes, "*Introducción a la transformada wavelet continua*", editorial Reverté, Ciudad de México, 2009.
- [41] A. Grossmann and J. Morlet, "Decomposition of Hardy Functions into Square Integrable Wavelets of Constant Shape," *SIAM J. Math. Anal.*, vol. 15, no. 4, pp. 723–736, Jul. 1984, doi: 10.1137/0515056.
- [42] G. Kaiser, *A Friendly Guide to Wavelets*. Birkhäuser Boston, 2011.
- [43] S. G. Mallat, "A Theory for Multiresolution Signal Decomposition: The Wavelet Representation," *IEEE Trans. Pattern Anal. Mach. Intell.*, vol. 11, no. 7, pp. 674–693, 1989, doi: 10.1109/34.192463.
- [44] M. Unser, A. Aldroubi, and S. J. Schiff, "Fast Implementation of the Continuous Wavelet Transform with Integer Scales," *IEEE Trans. Signal Process.*, vol. 42, no. 12, pp. 3519–3523, 1994, doi: 10.1109/78.340787.
- [45] N. V. Thakor, J. G. Webster, and W. J. Tompkins, "Estimation of QRS Complex Power Spectra for Design of a QRS Filter," *IEEE Trans. Biomed. Eng.*, vol. BME-31, no. 11, pp. 702–706, 1984, doi: 10.1109/TBME.1984.325393.
- [46] "Sitronix ST7066U Datasheet," 2012. <https://www.crystallfontz.com/controllers/Sitronix/ST7066U/> (accessed Jan. 27, 2021).
- [47] A. L. Goldberger *et al.*, "PhysioBank, PhysioToolkit, and PhysioNet: components of a new research resource for complex physiologic signals.," *Circulation*, vol. 101, no. 23, 2000, doi: 10.1161/01.cir.101.23.e215.

## Anexo A. Diseño en 3D de la base y la tapa

El diseño de la base y la tapa se realizaron en el software Inventor. La base se diseñó con cuatro ranuras, la primera ranura es un conector micro USB para la carga de la batería, la segunda ranura es otro conector micro USB que se conecta al FPGA para su programación, la tercera ranura es de entrada para el conector DB9 de los cables del Holter y por último una ranura para conectar la memoria micro SD como se observa en la figura 64. Las medidas de la base se muestran en la figura 65 y las de la tapa en la figura 66.

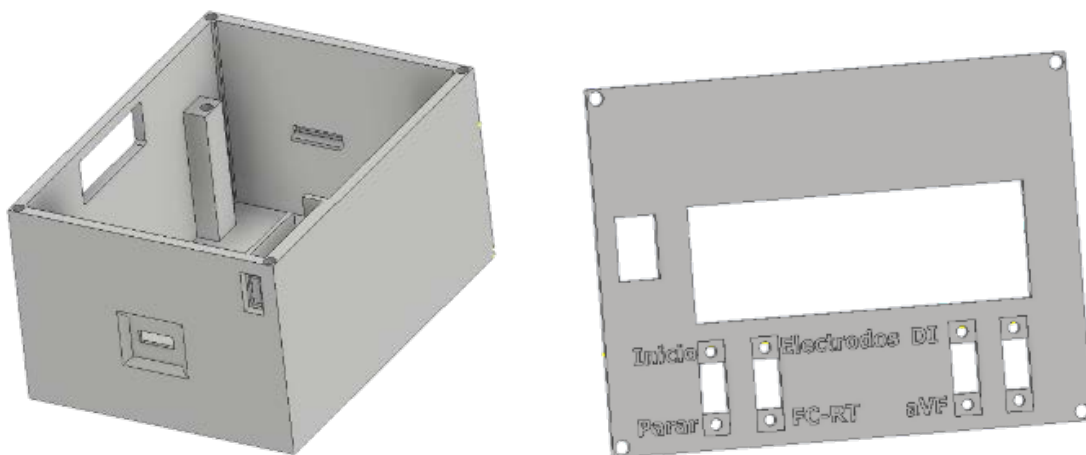


Fig. 64. Diseño en 3D de la base y la tapa del prototipo.

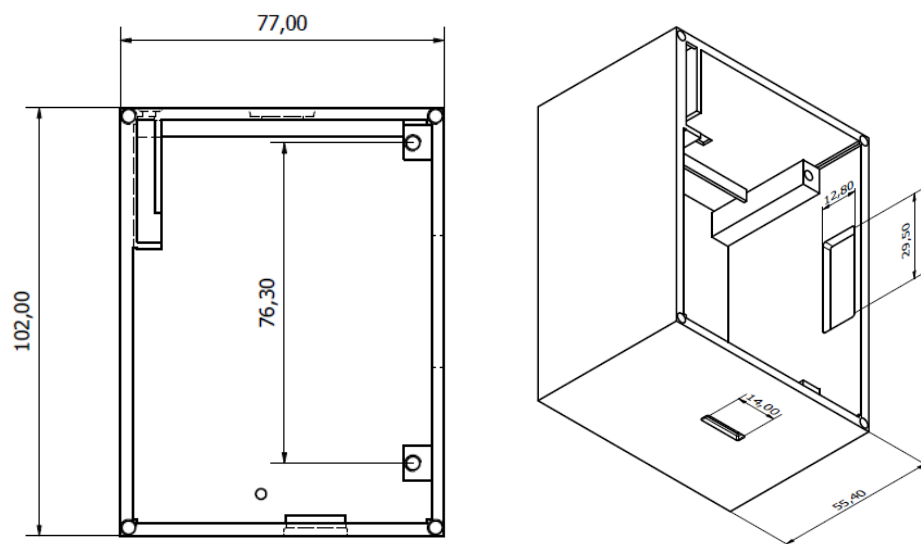


Fig. 65. Medidas en milímetros del diseño de la base.

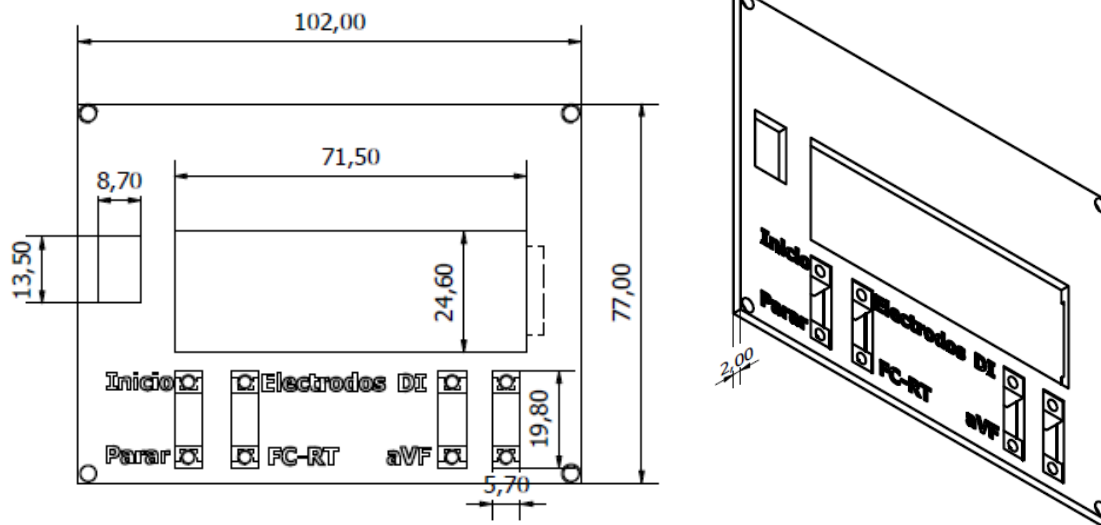


Fig. 66. Medidas en milímetros del diseño de la tapa.

## Anexo B. Prototipo terminado y placa final

El prototipo final cuenta con un interruptor de encendido y apagado general del sistema y 4 interruptores para el control del sistema general como se observa en la figura 67. El primer interruptor tiene como función inicializar la lectura, procesamiento y almacenamiento de los datos. El segundo interruptor tiene dos funciones: mostrar en tiempo real los valores de frecuencia cardíaca y duración del intervalo RT o conocer el estado de los electrodos. El tercer interruptor es para seleccionar la derivación de análisis, puede ser la derivación DI y aVF. El cuarto y último interruptor no tiene una función específica, y se adicionó por si se desea incluir una función más para futuros trabajos.



Fig. 67. Vista superior y lateral del prototipo.

En la figura 68 se observa la placa final, la donde se observan los elementos principales del prototipo. En la vista superior se observa el FPGA y el ADS1294 mientras que en la vista inferior se observa la pantalla LCD y el conector DB9 para la conexión de los cables para Holter.



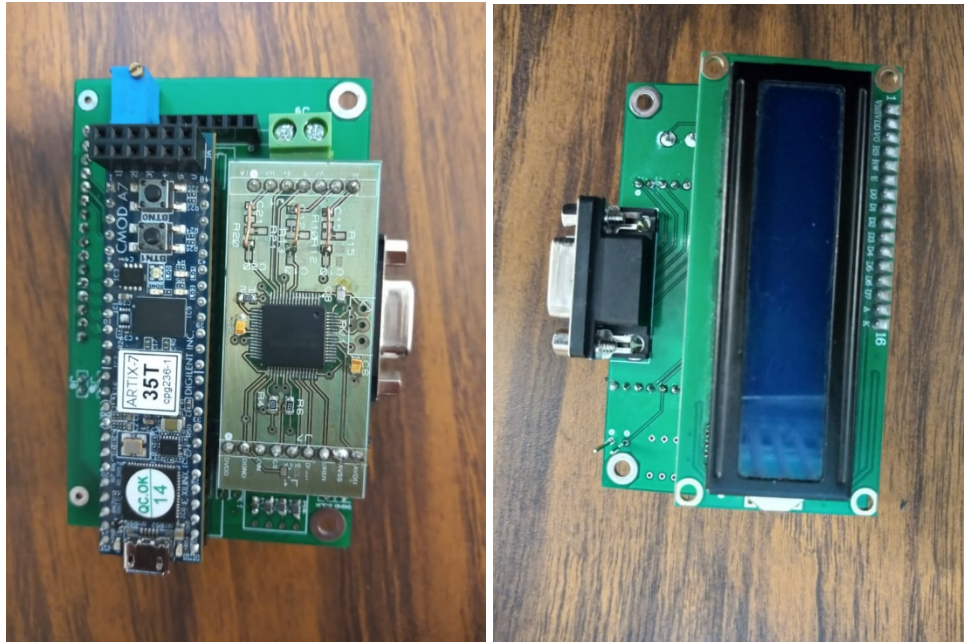


Fig. 68. Vista superior e inferior de la placa final del prototipo.