



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS
AVANZADOS DEL INSTITUTO POLITÉCNICO NACIONAL
UNIDAD ZACATENCO

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA
SECCIÓN DE ELECTRÓNICA DEL ESTADO SÓLIDO

**“Estudio y modelación de transistores de capa fina basados en
óxidos metálicos semiconductores amorfos (AOSTFTs)”**

T E S I S

Que presenta

YOANLYS HERNÁNDEZ BARRIOS

Para obtener el grado de

**DOCTOR EN CIENCIAS
EN LA ESPECIALIDAD DE INGENIERÍA ELÉCTRICA**

Directores de la Tesis: Dr. Antonio Cerdeira Altuzarra

Dra. Magali Estrada del Cueto

Ciudad de México

Agosto, 2020

“Dedicado a mi esposa Stephane por todo su apoyo y en especial a nuestro hijo Sebastián, por el maravilloso sentido que le ha dado a mi vida”.

—Yoanlys Hernández Barrios

AGRADECIMIENTOS

Al Dr. Antonio Cerdeira Altuzarra y la Dra. Magali Estrada del Cueto, por su asesoría y enseñanzas, las cuales fueron fundamentales en mi formación.

A mis sinodales el Dr. Víctor Sánchez Reséndiz, el Dr. Felipe Gómez Castañeda, el Dr. Mario Alfredo Reyes Barranca y el Dr. Luis Reséndiz Mendoza, por contribuir y complementar el contenido de este trabajo.

Al Dr. Benjamín Íñiguez Nicolau por el trabajo realizado en conjunto sobre este tema.

Al Dr. Julio Cesar Tinoco Magaña y a la Dra. Andrea Guadalupe Martínez, por recibirme en el centro MICRONA de la Universidad Veracruzana como parte de intercambios y estancias de investigación.

A los profesores de la sección SEES del CINVESTAV-IPN por compartir parte de su experiencia y conocimientos a lo largo de mi período como estudiante.

Y en especial a mis padres, por su apoyo incondicional y confianza los cuales han sido los pilares más importantes para poder cumplir cada tarea en esta etapa en mi carrera profesional y en mi vida.

Agradezco al Consejo Nacional de Ciencia y Tecnología (CONACyT) por el apoyo económico brindado tanto al proyecto 237213, como a mi persona a través de la beca No. 593218.

RESUMEN

En esta Tesis se desarrolló un modelo analítico y compacto para reproducir las características corriente-voltaje (I-V) de transistores de capa fina basados en óxidos metálicos semiconductores amorfos (AOSTFTs) en régimen de operación subumbral y sobreumbral, donde los parámetros del modelo están relacionados con los parámetros físicos del dispositivo, cuando se consideran las densidades de portadores de carga libres y localizados en la banda prohibida del semiconductor en el comportamiento eléctrico del transistor. En este modelo, se presenta una forma relativamente simple para obtener parámetros internos del dispositivo como la temperatura característica de la densidad de estados localizados aceptores de cola (T_t) y la densidad de estados localizados aceptores de cola en el mínimo de la banda de conducción (g_{at0}), usando solamente una característica transferencial lineal medida a temperatura ambiente. Se definió y validó una expresión empírica y analítica para representar la dependencia del potencial superficial con el voltaje de compuerta (V_G).

Se implementó también un modelo compacto y analítico de capacitancia-voltaje (C-V) para AOSTFTs, considerando los efectos de: los traslapes (OV) entre los contactos de fuente (S) y drenaje (D) y la compuerta (G) en una estructura de compuerta por abajo y contactos por arriba (BG/TC), con una configuración conocida como capa paradora de ataque (ESL), así como de los traslapes de los contactos de S y D que están encima de la capa de ESL (TMO). En este último caso, el TMO del contacto de D actúa como una segunda compuerta con un voltaje aplicado igual a V_D . De esta manera, cuando $V_D > V_T$, la interfaz que se forma entre la capa de ESL y el semiconductor estará en acumulación y el comportamiento de las capacitancias internas del dispositivo se verán afectadas.

También fue desarrollado un modelo (I-V) analítico y compacto para reproducir las características eléctricas de un AOSTFT en régimen de operación subumbral y sobreumbral, con una estructura de doble compuerta simétrica. El modelo está basado en la dependencia del potencial electrostático en el semiconductor con el voltaje de compuerta (V_G), tanto en la superficie (interfaces) como en el centro del semiconductor, las cuales son descritas usando expresiones analíticas. La movilidad de portadores de carga en el dispositivo se calcula como la razón entre las densidades de portadores de carga libres y total en el semiconductor, obteniendo una expresión que presenta una ley de potencia dada por el parámetro $\gamma \neq 0$, como es típico en los TFTs amorfos.

Como parte del estudio de los AOSTFTs, además, se analizaron las características eléctricas de AOSTFTs a temperatura ambiente, así como su dependencia con la temperatura (T), observando que la corriente de drenaje se reduce a medida que aumenta la temperatura y explicando las causas. Se estudió y reportó por primera vez, el comportamiento de la distorsión armónica no lineal (HD) en estos dispositivos y sus diferencias con los MOSFETs.

Los modelos implementados fueron validados utilizando simulaciones TCAD con el simulador ATLAS de Silvaco, así como mediciones experimentales. En este sentido, con el objetivo de validar los modelos en régimen dinámico se utilizó un oscilador de anillo (OA) de 19 etapas y un inversor de carga saturada, fabricados y medidos. Los modelos desarrollados se implementaron en lenguaje Verilog-A. Las características eléctricas de los dispositivos también fueron validadas utilizando la herramienta SmartSpice de Silvaco.

En todos los casos se observa que los modelos reproducen con una aceptable coincidencia, las características experimentales o simuladas de los dispositivos o circuitos utilizados en este trabajo.

ABSTRACT

In this work, it was implemented an analytic compact model to reproduce the current-voltage (I-V) characteristics for thin film transistors based on amorphous oxide semiconductors (AOSTFTs) in the operation regimes below threshold and above threshold. The all model parameters are related with the physical device parameters, when both localized and free carriers have to be considered to represent the electrical behavior of the device. In this model, a simple procedure is presented to obtain the characteristic temperature of the density of localized tail acceptors states (T_t) in the gap of the semiconductor and the density of localized tail acceptors states at the conduction band minimum (g_{at0}), using only the linear transfer characteristic at room temperature. An empirical analytical expression that represents the dependence of the surface potential on the gate voltage (V_G) is presented and validated.

A compact and analytical capacitance-voltage (C-V) model for AOSTFTs, considering the effect of the typical source and drain contact overlap (OV) and top metal overlap (TMO) in bottom gate top contact structures (BG/TC) with etch stopper layer (ESL) configuration is also presented. It is shown that this drain overlap, on top of the passivation layer, serves as a second gate with an applied voltage equal to V_D . When $V_D > V_T$ the semiconductor-passivation (S-P) interface will get into in accumulation and the behavior of the set of capacitances will also be affected.

An analytical compact model to reproduce the electrical characteristics in below threshold and above threshold operation regimes, of a double gate a-IGZO TFT with symmetric structure is also developed in this work. This model is based on the gate voltage dependence of surface potential and a potential at the center of the semiconductor layer, which are described by analytical expressions. The carrier mobility, calculated as the ratio between the free carrier and the total

carrier density, depends on the gate voltage as a power law given by the power mobility parameter γ , different from zero, typical for the amorphous TFTs.

As part of the study of the AOSTFTs in this work, the electrical characteristics of AOSTFTs at room temperature were also analyzed, as well as its dependence on temperature (T), observing that the drain current decreases as temperature increases and explaining the causes. The behavior of nonlinear harmonic distortion (HD) in these devices and their differences with MOSFETs were studied and reported for the first time.

The implemented models were validated using TCAD simulations with ATLAS simulator from Silvaco, as well as experimental measurements. In this sense, in order to validate the models in dynamic regime, a manufactured and measured 19-stage ring oscillator and an inverter with a saturation load configuration were used. The developed models were implemented in Verilog-A language. The electrical characteristics were also validated using the SmartSpice simulator from Silvaco.

In all cases, it is observed that the models reproduce with an acceptable agreement, the experimental, modeled and simulated characteristics of the devices and the circuits used in this work.

LISTA DE FIGURAS

Figura 1.1 Sección transversal, vista superior y fotografía del primer TFT reportado en 1962 [3].	3
Figura 1.2 Sección transversal y fotografía del primer TFT basado en óxido metálico reportado en 1996 [3]......	4
Figura 1.3 Sección transversal y fotografía del primer TFT flexible usando IGZO como capa activa reportado en 2004 [5].	5
Figura 1.4 Capacitancias parásitas asociadas a los traslapes entre los contactos de drenaje, fuente y compuerta (OV y TMO) de una estructura BG/TC con ESL de un AOSTFTs.....	11
Figura 2.1: Representación de la DOS en a-IGZO.....	17
Figura 2.2 Densidades de portadores libres y localizados (en estados aceptores de cola) en a-IGZO calculados por expresiones: general y aproximadas.	24
Figura 2.3 Densidad de portadores libres y localizados en estados profundos para a-Si:H usando expresiones: general y aproximadas.....	24
Figura 2.4 Diagrama de a) transferencia de carga, b) formación de la banda prohibida en un AOS y representación orbital a nivel molecular de la conducción en el mínimo de la banda de conducción, mostrando los caminos de conducción en, c) AOS cristalinos y d) AOS amorfos.	26
Figura 2.5 (a) Dependencia composicional de N_D (en paréntesis $\times 10^{18} \text{ cm}^{-3}$) y movilidad en un sistema de a-IGZO, (b) dependencia de N_D con la presión de oxígeno durante el proceso de depósito de películas de a-IGZO y a-IZO [24].	27
Figura 2.6 Representación esquemática del transporte de carga en materiales AOS... ..	29
Figura 2.7 Barreras de potencial en la banda de conducción y transporte de electrones por Percolación: (i) camino corto y (ii) camino largo.	29
Figura 2.8 Estructura de fabricación para AOSTFTs, a) BCE y b) ESL.	32
Figura 2.9 Mediciones a) curvas transferenciales a 300 y 350 K: b) características de salida a 300 y 350 K. t_{OX} es el espesor del dieléctrico.....	33

Figura 2.10 Dependencia de la temperatura de I_{DS} vs. $1000/T$ para diferentes valores de V_D a: a) $V_G = 4$ V; b) $V_G = 8$ V.....	34
Figura 2.11 a) Determinación de los parámetros de Meyer-Neldel a partir de la curva transferencial a $V_D=0.5$ V en el rango de energía correspondiente al régimen sub-umbral; b) Variación de la energía de activación con V_G obtenido de la misma curva transferencial lineal.	37
Figura 2.12 Características simuladas a $T=300$ K and $T=350$ K. La energía característica fue fijada a 34 meV. Considerando dos diferentes valores de g_{at0} y movilidad constante y dependiente de T a) curva transferencial en saturación en escala lineal; b) curva transferencial en saturación en escala logarítmica; c) Curvas de salida para $g_{at0}= 10^{18}$ cm ⁻³ y movilidad dependiente de T.....	40
Figura 3.1 Potencial superficial en función de V_G calculado usando la expresión empírica (3.8), y calculado numéricamente usando las expresiones de las densidades de portadores libres y localizados de (3.2) y (3.3).	48
Figura 3.2: Regiones de Operación en una característica transferencial de un TFT...	53
Figura 3.3 Sección transversal de los AOSTFTs simulados mostrando la región del semiconductor (en negro), la longitud del TMO (L_{TOV}) y la longitud del típico OV (L_{OV}).....	56
Figura 3.4 a) Efecto en la variación de C_{GG} vs V_G , para $V_D=0.5$ y 10 V, cuando la estructura simulada no tiene TMO y cuando presenta un TMO de 5 and 10 μ m. b) C_{GD} , C_{GS} , C_{SD} vs. V_G para $V_D=0$ y 10 V, obtenido por simulación de una estructura BG/TC no coplanar con y sin TMO.	58
Figura 3.5 Variación de la densidad de carga entre S y D, en la interfaz GD-S y S-P.	60
Figura 3.6 Representación esquemática de un transistor con sus capacitancias internas C_{GG} , C_{GS} , C_{GD} y C_{DS} . C_{GG} es la capacitancia medida a $V_D=0$ V.	60
Figura 3.7 a) Sección transversal de la estructura de un AOSTFT de 2G, b) Diagrama de bandas.	66
Figura 3.8 AOSTFT de DG simétrico simulado usando el programa ATLAS de Silvaco.	67

Figura 4.1 Sección transversal del dispositivo 1.	76
Figura 4.2 Sección transversal del dispositivo 2.	76
Figura 4.3 Sección transversal del dispositivo 4.	77
Figura 4.4 Estructura de los AOSTFTs simulados.	78
Figura 5.1 Características I-V medidas y modeladas (a) transferencial lineal (b) transferencial en saturación (c) características de salida para el dispositivo 1.	82
Figura 5.2: Características I-V medidas y modeladas (a) transferencial lineal, transferencial en saturación (c) de salida para el dispositivo 2.	83
Figura 5.3 Densidad de portadores localizados y libres; densidad total y efectiva de portadores vs. potencial superficial, (Dispositivo 1).	84
Figura 5.4 Densidad de portadores localizados y libres; densidad total y efectiva de portadores vs. Potencial superficial, (Dispositivo 2).	84
Figura 5.5 Movilidad de efecto de campo como función de $V_G - V_T$, para los dispositivos 1 y 2.	86
Figura 5.6 Capacitancia simulada y modelada con $L_{TOV} = 5 \mu m$ a $V_D = 0$ y $10 V$	87
Figura 5.7 Capacitancia simulada y modelada en función de V_D con $L_{TOV} = 5 \mu m$ a $V_G = 8 V$	87
Figura 5.8 Comparación de las capacitancias simuladas y modeladas: a) para dispositivos sin TMO y con TMO= $5 \mu m$, b) para dispositivo con TMO= $5 \mu m$ y TMO= $10 \mu m$	88
Figura 5.9 Comparación entre la capacitancia medida y modelada, C_{GG} a $V_D = 0$ con TMO= $5 \mu m$	89
Figura 5.10 Características I-V modeladas y simuladas del DG a-IGZO TFT de referencia (a) Curvas de salida a diferentes V_G , (b) Curva transferencial lineal y (c) Curva transferencial en saturación.	94
Figura 5.11 Variación del potencial superficial y el potencial en el centro del semiconductor en función de V_G del dispositivo de referencia.	95
Figura 5.12 Potencial en el semiconductor, en la dirección transversal, o sea, entre la compuerta inferior y superior, para diferentes V_G	95

Figura 5.13 Distribución de campo eléctrico, en la dirección transversal del semiconductor, desde la compuerta superior a la compuerta inferior, para diferentes V_G	96
Figura 5.14 Potencial superficial y potencial en el centro para diferentes dispositivos simulados con diferentes parámetros de la estructura, en función de V_G	96
Figura 5.15 Curva transferencial en saturación experimental, simulada y modelada.	97
Figura 5.16 Comportamiento de los potenciales superficial y en el centro del semiconductor en función de V_G para el dispositivo experimental.	97
Figura 5.17 Características transferenciales simuladas y modeladas del AOSTFT experimental.	98
Figura 5.18 Curvas de salida a diferentes V_G simuladas y modeladas del TFT experimental.	98
Figura 5.19 Curvas I-V medidas de los dispositivos 3 y 4. a) Curva transferencial en saturación del dispositivo 3, b) características de salida usadas como resistor cuasilineal, c) curva transferencial en saturación del dispositivo 4.	101
Figura 5.20 HD del dispositivo 3 en saturación, a) variando V_0 de 0 V a 10 V y $V_a=10$ mV, b) para $V_0=5$ V y 8 V, variando V_a de 10 mV a 50 mV.	102
Figura 5.21 HD del dispositivo 3, trabajando como resistor cuasilineal.	103
Figura 5.22 HD del dispositivo 4, a) $V_a=10$ mV y variando V_0 de V_T a 2 V, b) $V_0=1.5$ V y variando V_a de 10 mV a 50 mV.	104
Figura 5.23 Distorsión de los parámetros HD2 y HD3 con el voltaje de operación en un MOSFET.	104
Figura 5.24 Característica transferencial típica de un MOSFET en saturación y transconductancia.	106
Figura 5.25 g_m/I_{DS} en función de V_G y I_{DS} en escala semilogarítmica en sobreumbral, para régimen de saturación, a) dispositivo 3, b) dispositivo 4.	107

Figura 5.26 HD en función de g_m/I_{DS} para $V_G > V_T$, a) Dispositivo 3 y b) Dispositivo 4.	108
Figura 5.27 Transconductancia en saturación para los dispositivos 3 y 4.	108
Figura 5.28 Circuitos usados en la validación del modelo. (a) Oscilador de anillo de 19 etapas, y (b) inversor de carga saturada de cada etapa.	110
Figura 5.29 Circuito equivalente para TFTs amorfos usado en SmartSpice.....	110
Figura 5.30 Comparación de la señal de salida de un inversor simulada y medida, en régimen dinámico.	113
Figura 5.31 Señal de salida del OA medida y simulada a $V_{DD}=10$ V.	114
Figura 5.32 Señal de salida del OA simulada cambiando los valores de C_{GD} y C_{GS}	115
Figura 5.33 Señal de salida del OA medida y simulada con V_{DD} igual a: (a) 15 V y (b) 20 V.	116

LISTA DE TABLAS

Tabla 1.1 Comparación entre AOS y otros tipos de semiconductores usados en TFTs...	2
Tabla 2.1 Parámetros de los dispositivos analizados	22
Tabla 2.2 Energías de Activación para diferentes valores de voltajes de compuerta y de drenaje.....	35
Tabla 5.1 Parámetros geométricos y físicos de los dispositivos analizados.....	81
Tabla 5.2 Parámetros extraídos del modelo I-V para los dispositivos 1 y 2.	85
Tabla 5.3 Parámetros extraídos del modelo C-V	89
Tabla 5.4 Parámetros de la estructura del AOSTFT de doble compuerta usado como referencia.....	90
Tabla 5.5 Parámetros de la estructura de los diferentes AOSTFTs de doble compuerta simulados.	91
Tabla 5.6 Parámetros extraídos para los AOSTFTs de doble compuerta simulados considerando solo la región de operación sobreumbral	92
Tabla 5.7 Parámetros para modelar el AOSTFT de referencia en la región sub-umbral	92
Tabla 5.8 Parámetros de la estructura usados para simular el AOSTFT de doble compuerta experimental	93
Tabla 5.9 Parámetros extraídos del modelo para el AOSTFT de doble compuerta experimental en ambas regiones de operación: subumbral y sobreumbral	93
Tabla 5.10 Valores de V_T extraídos.....	100
Tabla 5.11 Parámetros extraídos del Modelo I-V, C-V	112

LISTA DE SÍMBOLOS

Símbolo	Significado	Símbolo	Significado
Asociados a la DOS y Densidades de portadores de carga			
g_a	Densidad de estados localizados aceptores	E_C	Borde mínimo la banda de conducción
g_d	Densidad de estados localizados donadores	N_C	Densidad de estados efectivos en la BC
k_e	Constante de Boltzmann en J	q	Carga del electrón
k_b	Constante de Boltzmann en eV	T	Temperatura
n_{eff}	Densidad efectiva de portadores de carga	E_V	Borde mínimo la banda de Valencia
N_{eff}	Densidad efectiva de portadores de carga en E_C	N_D	Concentración de portadores en los AOSTFTs
T_t	Temperatura característica de estados de cola	ϕ_T	Potencial Térmico
T_d	Temperatura característica de estados profundos	n_{total}	Densidad total de portadores
g_{ad0}	Densidad de estados aceptores profundos en la banda de conducción	E_F	Nivel de Fermi
g_{dd0}	Densidad de estados donadores profundos en la banda de conducción	ϕ_{eff}	Potencial efectivo
g_{at0}	Densidad de estados aceptores de cola en la banda de conducción	ϕ_{tt}	Potencial característico de estados de cola
g_{dt0}	Densidad de estados donadores de cola en la banda de conducción	ϕ	Potencial superficial
E	Energía	ϕ_F	Potencial de Fermi
n_{loc}	Densidad de portadores de carga en estados localizados	ϵ_S	Permitividad del semiconductor
n_{libre}	Densidad de portadores de carga libres	E_{F0}	Nivel de Fermi en el volumen del semiconductor

Símbolo	Significado	Símbolo	Significado
Asociados a la conducción de portadores de carga y movilidad			
δ, β, ψ	Parámetros de ajuste	ϕ_{B0}	Altura de barrera de potencial
σ_ϕ	Varianza de distribución de Gauss	μ_{0p}	Movilidad de banda de percolación
Asociados al comportamiento con Temperatura			
W	Ancho de Canal	L	Longitud de canal
V_G	Voltaje de compuerta	V_{FB}	Voltaje de banda plana
I_{DS}	Corriente en el canal	I_{00}	Constante para calcular I_{DS0}
μ_{FET}	Movilidad de efecto de campo	V_S	Voltaje de fuente
V_D	Voltaje de drenaje	t_{OX}	Espesor del dieléctrico
E_a	Energía de activación	tn	Parámetro del simulador ATLAS para la movilidad
A	Parámetro de Meyer-Neldel	I_{DS0}	Prefactor para calcular I_{DS}
Asociados al modelo I-V			
μ_l	Movilidad para $V_G - V_T = 1$	μ_0	Movilidad de banda
ρ	Densidad de carga	ϵ_i	Permitividad del dieléctrico
V_T	Voltaje de umbral	α_S	Parámetro de saturación de la corriente
V_F	Valor de V_G para el cual E_F toca a E_C	ϵ_0	Permitividad del vacío
E_S	Campo eléctrico superficial	R_S	Resistencia en Serie
ϕ_{eff}	Potencial característico efectivo	γ	Parámetro de ley de movilidad
T_{eff}	Temperatura característica efectiva	V_{AA}	Parámetro empírico del UMEM para la movilidad
C_{OX}	Capacitancia del dieléctrico	V_{AAC}	Parámetro V_{AA} calculado
Asociado al modelo de Doble - Compuerta			
ϕ_0	Potencial en el centro del semiconductor	ϕ_{0num}	Potencial en el centro del semiconductor numérico
L_D	Longitud de Debye	V_4	Parámetro de Ajuste
ϕ_e	Potencial dentro del semiconductor	a	Parámetro de Ajuste para ϕ_0
Q_4	Parámetro de Ajuste	t_{IGZO}	Espesor del semiconductor
L_{De}	Longitud de Debye efectiva	S	Pendiente subumbral

Símbolo	Significado	Símbolo	Significado
Asociados al Modelo C-V			
C_{GG}	Capacitancia del G	C_{GS}	Capacitancia entre G y S
C_{DD}	Capacitancia asociada al drenaje	C_{GD}	Capacitancia entre G y D
C_{DS}	Capacitancia entre D y S	Q_G	Carga asociada al G
Q_G	Carga asociada a la G	C_{pasv}	Capacitancia de pasivación
Q_{ch}	Carga asociada al canal	C_{par0}	Capacitancia Parásita
Q_D	Carga asociada al drenaje	C_{OV}	Capacitancia de traslape
Q_S	Carga asociada a la fuente	C_{DG}	Capacitancia entre D y G
V_{GC}	Voltaje de transición de la capacitancia en acumulación	t_{pasv}	Espesor de la capa de pasivación ESL
m	Parámetro del codo de la curva de salida	α_{SS}	Parámetro de saturación modificado
V_{d0}	Voltaje de drenaje cercano a 0 para evitar problemas de convergencia	λ	Parámetro de modulación del canal
DD	Parámetro de ajuste de V_T	VA	Parámetro de ajuste de V_G
V_1, V_2, V_3	Parámetros de ajuste	Q_1, Q_2, Q_3	Parámetros de ajuste
γ_b	Parámetro de ley de movilidad en subumbral	I_0	Corriente en subumbral profundo medida
μ_{1b}	Parámetro de movilidad en subumbral	C_{GG0}	Capacitancia en empobrecimiento medida.
L_{TOV}	Longitud del TMO	MM, χ_a	Parámetros de ajuste
C_{GGa}	Capacitancia en acumulación medida	L_{OV}	Longitud de Traslape
Asociados al análisis de distorsión armónica no lineal			
g_m	Transconductancia	V_a	Amplitud de la señal
THD	Distorsión armónica Total	V_0	Voltaje de operación
$HD2$	Segundo armónico	$HD3$	Tercer armónico
Asociados a la validación dinámica de los modelos			
vg_{sp}	Voltaje entre los nodos $G-sp$	R_S	Resistencia entre nodos $S-sp$
vg_{dp}	Voltaje entre los nodos $G-dp$	R_D	Resistencia entre nodos $D-dp$
Q_{gd}	Carga entre G y D	V_{OUT}	Voltaje de Salida
Q_{gs}	Carga entre G y S	V_{DD}	Voltaje de alimentación

LISTA DE ABREVIATURAS

Abreviatura	Significado	Abreviatura	Significado
DOS	<i>Density of States</i>	AOS	<i>Amorphous Oxide Semiconductor</i>
S	Contacto de fuente	IGZO	<i>Indium Gallium Zinc Oxide</i>
D	Contacto de drenaje	HIZO	<i>Hafnium Indium Zinc Oxide</i>
G	Contacto de compuerta	BG/TC	<i>Bottom Gate/Top Contact</i>
LO	<i>Lift-Off</i>	BG/BC	<i>Bottom Gate/Bottom Contact</i>
TMO	<i>Top Metal Overlap</i>	a-Si:H	Silicio Amorfo Hidrogenado
OV	<i>Overlap</i>	EOT	<i>Equivalent Oxide Thickness</i>
MNR	Meyer-Neldel Rule	Poly-Si	polisilicio
VRH	<i>Variable Range Hopping</i>	FET	<i>Field Effect Transistor</i>
OA	<i>Oscilador de Anillo</i>	PLD	<i>Pulse Laser Deposition</i>
ESL	<i>Etch Stopper Layer</i>	ALD	<i>Atomic Layer Deposition</i>
BCE	<i>Back Channel Etch</i>	TCAD	<i>Technology Computer Aided Design</i>
TFT	<i>Thin Film Transistor</i>	CVD	<i>Chemical Vapor Deposition</i>
AMLCDs	<i>Active Matrix Liquid Crystal Display</i>	PECVD	<i>Plasma Enhancement Chemical Vapor Deposition</i>
AMOLED	<i>Active Matrix Organic Light Emitting Diode</i>	UMEM	<i>Unified Model and Extraction Method</i>
IFM	<i>Integral Function Method</i>	MIS	<i>Metal-Insulator-Semiconductor</i>
TA	Temperatura Ambiente	MOS	<i>Metal-Oxide-Semiconductor</i>
SG	<i>Simple Gate</i>	DG	<i>Double Gate</i>
LCD	<i>Liquid Crystal Display</i>	OLED	<i>Organic Light Emitting Diode</i>
BV	Banda de valencia	BC	<i>Banda de Conducción</i>
MN	Meyer-Neldel	OTFT	<i>Organic Thin Film Transistor</i>
MDS	Metal-dieléctrico-semiconductor	MOSFETs	<i>Metal Oxide Semiconductors Field Effect Transistors</i>

ÍNDICE

AGRADECIMIENTOS	iii
RESUMEN	v
ABSTRACT	vii
LISTA DE FIGURAS	ix
LISTA DE TABLAS	xiv
LISTA DE SÍMBOLOS.....	xv
LISTA DE ABREVIATURAS	xviii
ÍNDICE.....	xix
CAPÍTULO I.....	1
1. Introducción.....	1
1.1. Breve perspectiva histórica.....	2
1.2. Problemas y desafíos actuales	5
1.3. Objetivos de la Tesis	13
1.3.1. Objetivo general	13
1.3.2. Objetivos específicos.....	13
CAPÍTULO II.....	16
2. Fundamentos teóricos de los AOSTFTs: Teoría de operación y estructuras de fabricación. Comportamiento eléctrico con la temperatura.	16
2.1. Distribución de estados localizados (DOS) en la banda prohibida del semiconductor.....	17
2.2. Densidad de portadores de carga en un semiconductor amorfo. Comparación entre a-Si:H y a-IGZO.	19
2.3. Características de los materiales AOS, mecanismos de conducción y movilidad de portadores de carga	23
2.4. Configuración y estructura de AOSTFTs	30
2.5. Comportamiento de los AOSTFTs con la temperatura	32
CAPÍTULO III.....	43
3. Modelos analíticos para reproducir el comportamiento eléctrico de un AOSTFT	43

3.1.	Descripción del modelo de Corriente-Voltaje (I-V)	44
3.1.1.	Modelo de movilidad.....	49
3.1.2.	Modelo de corriente en el canal, en régimen sobreumbral.....	52
3.1.3.	Modelo de corriente en el canal, en régimen subumbral	53
3.2.	Descripción del modelo de Capacitancia-Voltaje (C-V).....	55
3.3.	Descripción del modelo I-V para AOSTFTs con estructura de doble compuerta simétrica	66
CAPÍTULO IV		75
4.	Parte Experimental.....	75
CAPÍTULO V.....		79
5.	Análisis y discusión de los resultados	79
5.1.	Validación del modelo I-V para AOSTFTs	80
5.2.	Validación del modelo C-V para AOSTFTs.....	86
5.3.	Validación del modelo I-V para AOSTFTs con estructura de doble compuerta simétrica	90
5.4.	Análisis de la distorsión armónica no-lineal en AOSTFTS.	99
5.5.	Validación del modelo dinámico desarrollado.....	109
Conclusiones.....		117
TRABAJO A FUTURO.....		121
Referencias bibliográficas.....		122
ANEXOS		132
A.	Contribuciones científicas.....	132
B.	Modelo I-V, C-V para AOSTFTs de compuerta simple en código Verilog-A..	134
C.	Modelo I-V para AOSTFTs de doble compuerta simétrica en código Verilog-A	142

CAPÍTULO I

1. Introducción

Los transistores de capa fina (TFTs), son hoy en día uno de los componentes electrónicos más importantes en prácticamente todos los productos de visualización profesionales y de consumo, desde teléfonos inteligentes hasta televisores de pantalla plana. La principal aplicación comercial de los TFTs ha sido como controladores de píxeles en matrices activas de pantallas de cristal líquido (AMLCDs), donde el TFT basado en silicio amorfo hidrogenado (a-Si:H TFT), ha sido el más ampliamente usado en este campo. Las pantallas a base de diodos emisores de luz orgánicos (OLEDs) han sido conocidas como una tecnología emergente en la industria de las pantallas de panel delgado, en este caso los píxeles eran controlados usando la misma tecnología de matriz activa usando solo TFTs de silicio policristalino ya que estos eran capaces de proveer una corriente lo suficientemente alta requerida por los píxeles de OLEDs. Debido a esto, el TFT de a-Si:H fue quedando en un segundo plano por tener una limitada movilidad de electrones en su capa activa. La alternativa de usar TFTs de silicio policristalino (poly-Si) que tenían valores de movilidad de electrones hasta 100 veces más que el a-Si:H, era muy bien vista hasta hace poco años, las desventajas de este tipo de dispositivo son su alto costo de fabricación, por sus procesos a altas temperaturas, costo del material, entre otras características como sus problemas de inestabilidad.

Por esta razón la industria OLED se dio a la tarea de encontrar nuevas tecnologías que combinaran el bajo costo de fabricación y estabilidad del a-Si:H y la alta conductividad de los TFTs de silicio policristalino. Es entonces donde los TFTs basados en óxidos metálicos semiconductores amorfos (AOSTFTs)

entran a jugar un papel importante, no solo dentro de la industria de las pantallas OLEDs, sino en el campo de la electrónica en general.

Los AOSTFTs presentan además varias ventajas con respecto a otros tipos de TFTs como se observa en la tabla 1.1, tales como: alta transparencia óptica, movilidad de electrones relativamente alta (10 veces más que a-Si:H), baja temperatura de fabricación y procesos tecnológicos de costo relativamente bajo [1-3]. Entender el funcionamiento subyacente desde el punto de vista físico es vital para poder obtener el desempeño óptimo de estos dispositivos y que finalmente, como se espera, no solo sustituyan por completo al a-Si:H en la industria obteniendo mejoras significativas, sino que puedan ser usados en un amplio rango de aplicaciones que cumpla con la exigente demanda global de estándares tecnológicos avanzados.

Tabla 1.1 Comparación entre AOS y otros tipos de semiconductores usados en TFTs.

<i>Tipos de TFTs</i>	<i>Microestructura</i>	μ <i>(cm²/Vs)</i>	<i>Costo de Fabricación</i>	<i>Temperatura del Proceso</i> <i>(°C)</i>	<i>Escalado en Área grande</i>	<i>Tipo de dispositivo</i>
AOS	Principalmente Amorfa	10-50	Bajo	300 a 350	Alta	Principalmente Tipo- <i>n</i>
a-Si:H	Amorfa	<1	Bajo	150-300	Alta	Tipo- <i>n</i>
Poly-Si	Policristalina	50-100	Alto	350-500	Baja	Tipo <i>n</i> y <i>p</i>
Orgánicos	Principalmente amorfa o Policristalina	<1 <1-5	Bajo	TA a 250	Alta	Principalmente Tipo- <i>p</i>

1.1. Breve perspectiva histórica

En la década de los años 30, del siglo pasado, fue propuesto lo que se conoció como el transistor de efecto de campo (FET), donde se describió el principio de funcionamiento de este nuevo dispositivo, en el cual un flujo de

corriente entre dos electrodos (fuente y drenaje) con una diferencia de potencial entre ellos, era controlado mediante la aplicación de un campo eléctrico transversal. Principio de operación que comparten los TFTs. Sin embargo, el primero de éstos fue realizado un poco más tarde, en la década de los años 60 del siglo XX. En la figura 1.1 se puede observar una imagen del primer TFT reportado en 1962, basado en electrodos de Au, sulfuro de cadmio microcristalino (CdS) como semiconductor tipo n y monóxido de silicio como dieléctrico (SiO), depositados por técnicas de vacío [3].

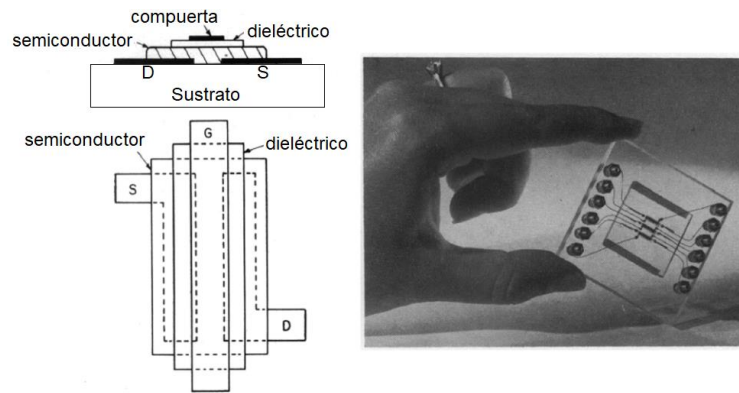


Figura 1.1 Sección transversal, vista superior y fotografía del primer TFT reportado en 1962 [3].

A mediados de 1970 un grupo de investigadores encabezados por Spear y Le Comber mostraron que el silicio amorfo hidrogenado obtenido por depósito químico en fase de vapor en presencia de plasma (PECVD), presentaba una densidad de estados localizados (trampas) lo suficientemente baja para usarse en TFTs, incluso hasta para poder doparse. Esto trajo como consecuencia la investigación y desarrollo a nivel mundial del transistor de película delgada basado en silicio amorfo hidrogenado (a-Si:H TFT) y condujo a su aplicación inmediata en pantallas de cristal líquido (LCDs), que dominó la industria en ese momento y ha continuado usándose hasta la actualidad.

En esa misma década, comenzaba también a investigarse en los TFTs basados en semiconductores de óxidos metálicos, pero no fue sino hasta el año 1996 que éste ganó especial atención. En la figura 1.2 se muestra el primer TFT basado en óxidos metálicos semiconductores con estructura metal-dieléctrico-semiconductor (MDS) y completamente transparente, utilizando óxido de estaño dopado y antimonio depositados mediante la técnica de depósito por pulsos de láser (PLD) [3].

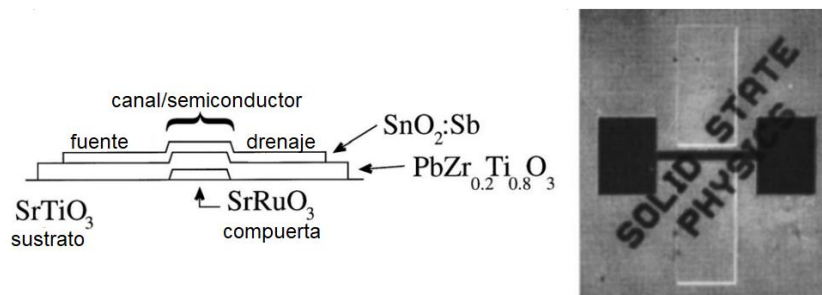


Figura 1.2 Sección transversal y fotografía del primer TFT basado en óxido metálico reportado en 1996 [3].

Otro semiconductor que atrajo mucha atención inicialmente fue el de óxido de zinc (ZnO), resultando muy interesante sobre todo por sus movilidades de alrededor de $200 \text{ cm}^2/\text{Vs}$ [4]. Sin embargo, la naturaleza policristalina del material causaba problemas en el desempeño y estabilidad en los ZnO TFTs. En el año 2004, Nomura y su equipo de trabajo propusieron una alternativa a estos problemas usando semiconductores de óxidos metálicos amorfos (AOS) y obtuvieron un óxido multicomponente a base de In, Ga y Zn conocido a la postre como a-IGZO. En la figura 1.3 se puede observar el nuevo tipo de TFT propuesto a base de a-IGZO conocido como el primer AOSTFT fabricado [5].

Estos resultados fueron impresionantes, al obtener movilidades alrededor de $10 \text{ cm}^2/\text{Vs}$, considerando que el proceso era a baja temperatura. Desde entonces, los avances en este tipo de TFTs, han sido muy significativos. La

aplicación de los AOSTFTs en la electrónica flexible también muestra un excelente desempeño eléctrico con altos valores de movilidad y relación de corriente *on/off* y estabilidad, dependiendo de la composición química del semiconductor utilizado, del proceso de fabricación, e incluso de la configuración del dispositivo.

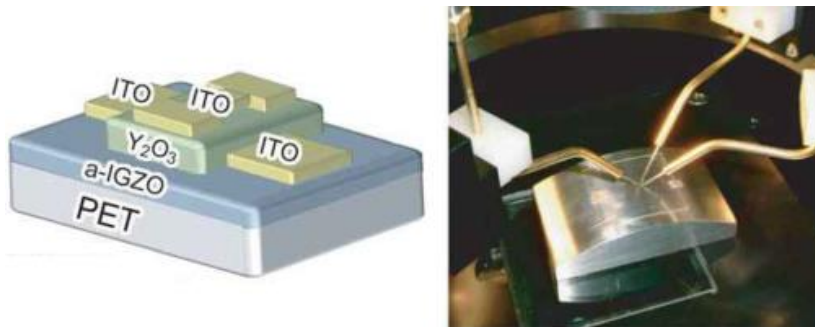


Figura 1.3 Sección transversal y fotografía del primer TFT flexible usando IGZO como capa activa reportado en 2004.

1.2. Problemas y desafíos actuales

La incorporación de componentes binarios como Ga_2O_3 e In_2O_3 al ZnO como semiconductor base para formar capas amorfas de óxidos de indio-galio-zinc (a-IGZO), ha propiciado valores de movilidad superiores a $10 \text{ cm}^2/\text{Vs}$ en TFTs basados en este tipo de material, así como ha aumentado la estabilidad del dispositivo, debido fundamentalmente a las diferencias en la estructura electrónica y la naturaleza de los enlaces químicos en estos materiales, con respecto al a-Si:H. El estudio de los mecanismos físicos de conducción que permiten los altos valores de movilidad, así como las propiedades del material semiconductor amorfo AOS y las características de la densidad de estados localizados también conocidos como trampas o defectos, en la banda prohibida del semiconductor (DOS) han sido permanentes temas de investigación y estudio. Varios trabajos indican que el origen, características y parámetros de la DOS

observada en el a-IGZO, son diferentes a las del a-Si:H, sobre lo cual se profundizará en el siguiente capítulo. Estas características de la DOS en el a-IGZO pueden verse afectadas durante el proceso de depósito de la capa, así como en la fabricación en general del dispositivo. Las características eléctricas de los dispositivos amorfos están fuertemente relacionadas con las características de la DOS y a los mecanismos de conducción [6-24].

A pesar de los resultados alcanzados, aún quedan muchos aspectos que son objeto de estudio relacionados con este tipo de TFTs. Este estudio se ha centrado en una intensa investigación, que incluye aspectos tecnológicos y físicos. Los principales temas en que se profundiza son en cómo mejorar la estabilidad de los dispositivos, aumentar la movilidad, entender los mecanismos de conducción de portadores de carga en el semiconductor, así como estudiar su comportamiento con la temperatura, mayor a 300 K fundamentalmente.

La caracterización con temperatura de los dispositivos no solo ayuda a analizar el comportamiento físico de los TFTs en el rango de operación de temperatura requerido para una aplicación específica, sino también a entender los mecanismos de conducción. En la mayoría de los TFTs está bien reportado que la corriente de drenaje aumenta con la temperatura, lo cual es característico de un mecanismo de conducción por saltos entre los estados localizados. En este trabajo, se mostrará que bajo ciertas condiciones de operación se observa una reducción de la corriente con la temperatura, en el rango de 300 a 400 K (valores típicos de temperatura que los TFTs pueden llegar a alcanzar cuando se usan como controladores de píxeles en las pantallas), y se sugieren posibles causas que pueden explicar este comportamiento. Este análisis lleva a la posibilidad de que en AOSTFTs sea posible el transporte de carga en la banda de conducción. Este tipo de análisis detallado cabe destacar que no se había reportado para AOSTFTs hasta el momento de la realización de esta Tesis.

Si bien es cierto que es muy importante entender el funcionamiento físico de los AOSTFTs y entender los mecanismos de conducción de portadores de carga presentes en estos semiconductores de naturaleza amorfa, también es necesario desarrollar modelos que reproduzcan el comportamiento de estos mecanismos siguiendo siempre los principios físicos que los describen. Muchos de estos modelos reportados en la literatura para AOSTFTs han sido desarrollados partiendo de modelos previos hechos para a-Si:H, un modelo base ampliamente utilizado para TFTs de a-Si:H fue descrito por Shur reportado en [25]. En este y otros modelos se han utilizado aproximaciones matemáticas para calcular analíticamente la concentración de portadores de carga asociados a la DOS, requeridas para el desarrollo de modelos analíticos y compactos. Para los a-IGZO TFTs, se han utilizado varias de estas aproximaciones para desarrollar modelos que reproduzcan el comportamiento eléctrico de AOSTFTs [26-30]. Sin embargo, existen diferencias notables en la DOS del a-IGZO y el a-Si:H, que no son consideradas. En este trabajo, se analizan las aproximaciones que se usan para a-Si:H reportadas en [25] usando las características específicas de la DOS para el a-IGZO. Se muestra además una comparación entre los resultados obtenidos para cada TFT llegando a la conclusión de que las aproximaciones usadas en a-Si:H introducen un error en el cálculo de la DOS en a-IGZO, principalmente en la región donde el nivel de Fermi está cercano a la banda de conducción (BC). Con base a esto, se proponen aproximaciones válidas para calcular la DOS en AOSTFTs y que serán la base de todo nuestro trabajo de modelación desarrollado en esta Tesis.

La importancia de los modelos que reproducen el comportamiento eléctrico de los dispositivos está enfocada no solo en entender físicamente su funcionamiento, sino también en poderlos usar en simuladores de circuitos, como por ejemplo los tipos Spice. Ante esta premisa, se impone la necesidad de contar con modelos completamente analíticos y compactos para describir el

comportamiento físico del TFT analizado. En [26], los autores presentaron un modelo de movilidad como una ley de potencia en función del voltaje de compuerta, dividiendo la región de funcionamiento del dispositivo en dos regiones, por encima y por debajo del voltaje de umbral V_T . Los parámetros del modelo en ambas regiones se obtuvieron a partir de la densidad de estados localizados profundos y de cola, los cuales se deben extraer previamente. En [29], los autores desarrollaron un modelo para la corriente y capacitancias en un AOSTFTs, donde la concentración de portadores de carga libre y localizada se consideran bajo algunas aproximaciones para obtener expresiones analíticas para resolver la ecuación de Poisson. Sin embargo, el procedimiento de extracción para los parámetros del modelo no es tan simple e incluye parámetros del material semiconductor difíciles de conocer con precisión. En [30], los autores derivaron dos leyes de potencia de la movilidad, que se utilizan de acuerdo con el mecanismo de conducción que predomine, las expresiones propuestas están lejos de poder usarse en un modelo analítico debido a su complejidad y sobre todo que no proponen un método de extracción de sus parámetros.

El Método de Extracción y Modelo Unificado (UMEM) [31], es un modelo ampliamente usado para modelar TFTs y reproducir las características eléctricas de los dispositivos. En este trabajo se desarrolla una variante de este modelo de corriente-voltaje para AOSTFTs, profundizando en la relación de algunos parámetros empíricos del UMEM con parámetros físicos del dispositivo, y presentando un método con el cual es posible determinar incluso parámetros internos del dispositivo de forma simple usando solo una característica de corriente-voltaje (I-V) medida en la región lineal de operación del transistor, como se verá en el Capítulo 3. Para este análisis, se usaron cálculos numéricos, usando expresiones generales complejas, como referencia para obtener la relación de los parámetros del modelo de movilidad con los parámetros físicos del dispositivo. Se obtuvo y validó una expresión analítica empírica, que

representa la dependencia del potencial de superficie con el voltaje de compuerta. Se presenta un procedimiento que utiliza esta expresión para obtener, analíticamente la temperatura característica y la concentración de estados localizados de cola en la BC (T_i, g_{at0}) de la DOS del semiconductor, así como el voltaje de compuerta para el cual el nivel de Fermi alcanza el mínimo de la BC (V_F).

Hoy en día, los AOSTFTs no son solamente estudiados por sus ventajas sobre otros tipos de TFTs, también son investigados para nuevas aplicaciones tanto digitales como analógicas. Con base a esto se han reportado en la literatura diversos trabajos donde se usan estos dispositivos como amplificadores de transimpedancia de alta ganancia, sumadores y controladores analógicos de baja potencia, entre otras aplicaciones [32-38]. La fabricación y diseño de circuitos para estas aplicaciones basados en este tipo de TFTs ha sido también objeto de amplio estudio y desarrollo. Tanto es así, que muchos autores se han dedicado a analizar y caracterizar el comportamiento de estos dispositivos y circuitos a base de AOSTFTs no solamente en régimen de DC sino también en régimen de AC [37] y [38]. Conocer el desempeño de estos transistores en régimen de AC es muy importante, ya que permite ampliar el rango de aplicaciones donde se puedan usar estos dispositivos. Una forma de conocer el comportamiento de estos dispositivos ante una señal de AC es a través del análisis de distorsión armónica no lineal donde se analizan los efectos de no linealidad inherente a los dispositivos que se utilizan en los circuitos.

El Método de la Función Integral (IFM) [39], es una forma muy eficiente para determinar la distorsión armónica no lineal. Este método ha sido ampliamente usado para MOSFETs, no obstante, para el caso de los AOSTFTs no encontramos ningún trabajo reportado donde se analice el comportamiento no lineal de estos transistores. Esto es especialmente importante sobre todo para los

diseñadores de circuitos integrados analógicos y de radiofrecuencia, donde la sensibilidad a estos detalles en el modelado cobra mayor interés. En este trabajo se realiza un estudio y análisis de la distorsión armónica no lineal para AOSTFTs, usando el método IFM y se establece una comparación con el mismo comportamiento en MOSFETs.

También es bien conocido que, para obtener circuitos eficientes basados en cualquier tipo de dispositivo, es necesario un modelado preliminar para la simulación del circuito antes de su fabricación. Los modelos compactos adecuados para simuladores de circuitos son necesarios para el futuro uso de los dispositivos en circuitos integrados. El diseño de los circuitos requiere de un modelo de pequeña señal lo más completo posible, el cual consista en expresiones analíticas de la transconductancia, la conductancia y también de las capacitancias totales. En la actualidad se ha dedicado mucho esfuerzo en el modelado de las características de DC de AOSTFTs, sin embargo, no es así con respecto al desarrollo de modelos que contengan las características de AC de dichos dispositivos, en las cuales las capacitancias intrínsecas son el núcleo del comportamiento de estos. De acuerdo con la literatura solo muy pocos trabajos [28 y 40] han sido publicados que contengan modelos de capacitancias de a-IGZO TFTs, la mayoría solo muestra el ajuste de la capacitancia asociada a la compuerta con valores medidos o simulados. Para analizar el comportamiento dinámico de los AOSTFTs, es necesario conocer detalladamente su arquitectura y estructura de fabricación [41-43] ya que, como se verá en el Capítulo 3, introducen efectos capacitivos que juegan un papel importante en el comportamiento con la frecuencia del dispositivo. En el siguiente Capítulo de esta Tesis se presentan más detalles el diseño y fabricación de un AOSTFT.

Estos efectos capacitivos, asociados a la estructura del dispositivo, en particular uno que denominamos traslape del metal de arriba (TMO), es

considerado en un modelo de capacitancia-voltaje que se desarrolló para AOSTFTs. Este modelo describe el comportamiento de las capacitancias internas del TFT considerando el efecto sobre ellas de las capacitancias parásitas de las estructuras antes mencionadas, introducidas por los traslapes (OV) que existen entre los contactos de G y S/D y por el TMO. En la figura 1.4 se puede observar tanto el OV convencional que se forma en un TFT, el TMO, así como las capacitancias parásitas de la estructura (C_{OV} y C_{TOV} asociadas al OV entre contactos de G y S/D y al TMO, respectivamente).

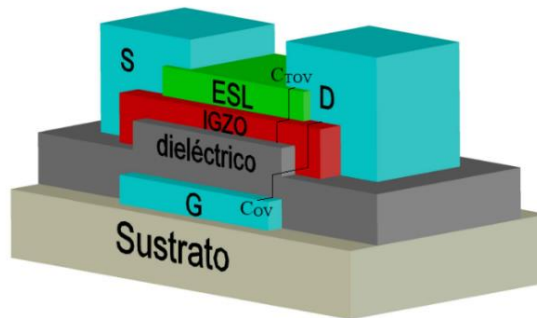


Figura 1.4 Capacitancias parásitas asociadas a los traslapes entre los contactos de drenaje, fuente y compuerta (OV y TMO) de una estructura BG/TC con ESL de un AOSTFTs.

Los modelos desarrollados, tanto el de corriente-voltaje como el de capacitancia-voltaje son completamente analíticos y reproducen de forma precisa el comportamiento eléctrico y físico de los dispositivos analizados en función de los voltajes aplicados. En base a esto fue posible introducirlos en programas de simulación comercial, en este caso SmartSpice de Silvaco, describiéndolos en el lenguaje Verilog-A. Con el objetivo de validar el modelo en régimen dinámico experimentalmente, se utilizó un oscilador de anillo (OA) de 19 etapas y un inversor con estructura de carga saturada fabricado a base de a-IGZO TFTs.

Las diferentes estructuras de los AOSTFTs han sido objeto también de amplia investigación no solo para analizar sus características de fabricación y

cómo influyen éstas en el comportamiento eléctrico de los dispositivos, sino también se han estudiado diferentes variantes con el fin de obtener el mejor desempeño de estos transistores. Una de las estructuras más prometedoras desde este punto de vista es la estructura de doble compuerta (DG). Algunas de las ventajas que ésta presenta sobre la estructura convencional de una sola compuerta (SG) están descritas en [44-54].

Al mismo tiempo se pueden encontrar muchos trabajos en la literatura sobre el desarrollo de modelos para dispositivos con estructura de DG con base a a-Si:H, poly-Si y MOSFETs [45-49]. Estos modelos no son válidos para AOSTFTs debido a las características específicas que estos presentan en la DOS en la banda prohibida del semiconductor [54], así como a los mecanismos de conducción de portadores de carga que son usados. Por esta razón, el desarrollo de modelos analíticos para AOSTFTs con estructura de DG que puedan ser utilizados en simuladores de circuitos es importante para los diseñadores. Entre los modelos desarrollados pueden mencionarse diferentes variantes [50-53].

En [52], por ejemplo, los autores propusieron un modelo analítico para la corriente de drenaje basado en la teoría de arrastre-difusión. Ellos solo consideraron la aproximación de portadores libres para la corriente sobreumbral con la distribución de Boltzmann. La dependencia de la movilidad de campo, como se describe por Shur [25], se extrae mediante un procedimiento de ajuste y no analíticamente. En [51] y [53] los autores utilizaron un modelo para MOSFETs de canal largo (Nivel 1 AIM-Spice) para modelar AOSTFTs de DG. Estos modelos no consideran ninguna característica específica de los AOSTFTs y contienen un modelo de movilidad muy simplificado.

En esta Tesis se desarrolla un modelo analítico para reproducir las características eléctricas de AOSTFTs de DG con estructura simétrica. El modelo considera solo los estados localizados de cola para la DOS en la banda prohibida

del semiconductor. Para el mecanismo de conducción en el dispositivo, se considera el modelo extendido de movilidad, que considera tanto el mecanismo de conducción por saltos como el de conducción en la banda, incluyendo la percolación [19].

El modelo usa expresiones analíticas para representar el comportamiento del potencial en la superficie y el potencial en el centro del semiconductor; para calcular la movilidad efectiva de efecto de campo y para las características de corriente-voltaje. El procedimiento de extracción de parámetros se realiza mediante el método de optimización. Los potenciales y las características I-V se validan mediante simulaciones detalladas, así como por datos experimentales.

Considerando todo lo antes planteado, y teniendo en cuenta que el estudio, investigación, caracterización y modelación acerca de los AOSTFTs es un tema de relevancia actual y que se encuentra en desarrollo, nos planteamos los siguientes *objetivos de esta Tesis*:

1.3. Objetivos de la Tesis

1.3.1. Objetivo general

Estudiar y analizar las propiedades particulares de los AOSTFTs y desarrollar los modelos analíticos y compactos para este tipo de dispositivos que describan las características corriente-voltaje (I-V) y capacitancia-voltaje (C-V) en función de potenciales aplicados.

1.3.2. Objetivos específicos

1. Estudiar y analizar la dependencia de las características I-V de AOSTFTs en función de la temperatura;

2. Describir los mecanismos de conducción de portadores de carga que son preponderantes en los AOSTFTs;
3. Describir el efecto de los traslapes en las capacitancias internas de los AOSTFTs, de acuerdo con su estructura de fabricación;
4. Incluir los efectos mencionados en un modelo analítico y compacto, para los transistores AOSTFTs de compuerta simple;
5. Introducir las aproximaciones requeridas para facilitar la descripción analítica de las características de estos transistores;
6. Desarrollar un modelo I-V analítico y compacto, para los transistores de doble compuerta considerando el potencial en el centro de la capa semiconductor;
7. Describir en Verilog-A los modelos desarrollados, incluyendo las características capacitancia-voltaje, para permitir hacer simulaciones circuitales de AC de carácter dinámico;
8. Realizar la validación de los modelos analíticos, contra datos medidos y simulados, utilizando el simulador circuital SmartSpice de Silvaco;
9. Realizar el estudio de la distorsión armónica no-lineal que introducen los transistores AOSTFT y compararlos con los MOSFETs.

En el Capítulo II de esta Tesis son abordados los temas asociados a los fundamentos físicos, teoría de operación y principales configuraciones usadas en la fabricación de los AOSTFTs. Además, del comportamiento eléctrico con la temperatura.

En el Capítulo III se presenta el desarrollo de los modelos analíticos para reproducir las características eléctricas de AOSTFTs, que incluyen propiedades físicas del semiconductor y dependencia geométrica de la estructura de fabricación de estos dispositivos.

En el Capítulo IV se describen los dispositivos que fueron caracterizados experimentalmente, se presentan detalles de sus estructuras como espesores de las capas y técnicas de depósito, así como de los materiales usados en su proceso de fabricación.

En el Capítulo V se presentan los resultados y análisis a partir de la validación de los modelos con simulaciones TCAD y mediciones experimentales. Así como los resultados del análisis del comportamiento no-lineal de estos dispositivos y su comparación con los MOSFETs.

CAPÍTULO II

2. Fundamentos teóricos de los AOSTFTs: Teoría de operación y estructuras de fabricación. Comportamiento eléctrico con la temperatura.

Desde el año 2004 con la publicación de Nomura sobre la operación de AOSTFTs basados en a-IGZO fabricados a bajas temperaturas sobre sustratos de vidrio y sustratos flexibles poliméricos, este tipo de dispositivos ha ganado gran interés. Estos dispositivos se han introducido en la industria como controladores de píxeles en matrices activas para pantallas planas, como LCDs y pantallas a base de OLEDs. Este interés está asociado a las excelentes propiedades de estos transistores, sobre todo sus altas movilidades de portadores, que hacen que este material semiconductor sea más apropiado que el a-Si:H para controlar AMOLEDs e incluso AMLCDs de alta resolución donde se requieren valores de movilidad superior a los $5 \text{ cm}^2/\text{Vs}$.

Desde el punto de vista de fabricación, el material puede ser depositado por técnicas de pulverización catódica, como habíamos mencionado anteriormente incluso a temperaturas por debajo de la temperatura ambiente. Otra de las características atractivas de los a-IGZO TFTs, es que pueden ser fabricados usando un proceso sencillo de metalización para sus contactos, sin contactos dopados y con una amplia variedad de materiales dieléctricos de compuerta, manteniendo un desempeño aceptable.

Algunas de estas características en los a-IGZO TFTs son discutidas en las secciones siguientes, destacando principalmente la DOS, la movilidad de portadores, así como mecanismos de conducción, principio de operación, estructuras de fabricación y comportamiento con la temperatura.

2.1. Distribución de estados localizados (DOS) en la banda prohibida del semiconductor.

Las características de la DOS del a-IGZO pueden ser representadas, al igual que en el a-Si:H, con una distribución de estados aceptores ($g_a(E)$) y estados donadores ($g_d(E)$) localizados dentro de la banda prohibida, como se observa en la figura 2.1.

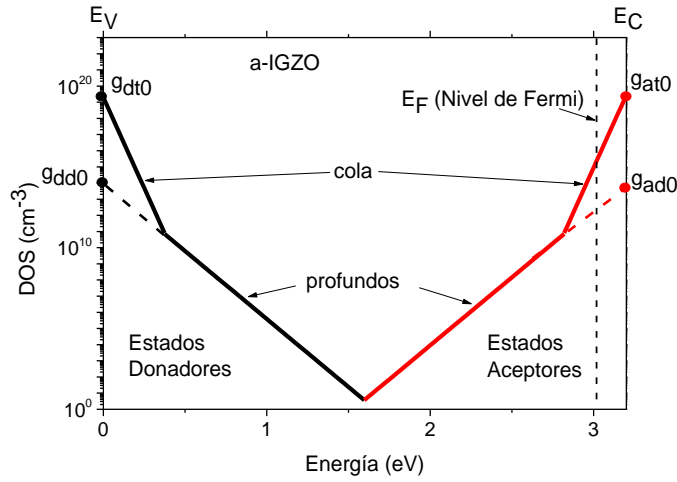


Figura 2.1: Representación de la DOS en a-IGZO.

Éstas a su vez se representan por la superposición de dos distribuciones exponenciales respecto a su energía característica: la de estados de cola y la de estados profundos. La primera distribución está asociada, principalmente, a la estructura no-cristalina del material, y la segunda a los defectos que aparecen durante el proceso de fabricación [10, 11, 12]. La distribución total de estados aceptores se expresa como:

$$g_a(E) = g_{at0} e^{\left(\frac{-(E_C-E)}{k_e T_t}\right)} + g_{ad0} e^{\left(\frac{-(E_C-E)}{k_e T_d}\right)} \quad (2.1)$$

La distribución total de estados donadores se expresa como:

$$g_d(E) = g_{dt0} e^{\left(\frac{-(E-E_V)}{k_e T_t}\right)} + g_{dd0} e^{\left(\frac{-(E-E_V)}{k_e T_d}\right)} \quad (2.2)$$

donde:

k_e : Constante de Boltzmann en J.

$k_e T_t / k_e T_d$: Energías características de los estados de cola y profundos.

T_d : Temperatura característica de los estados profundos.

T_t : Temperatura característica de los estados de cola.

g_{ad0} / g_{dd0} : Densidad de estados profundos en el mínimo de la banda de conducción: aceptores/donadores.

g_{at0} / g_{dt0} : Densidad de estados de cola en el mínimo de la banda de conducción: aceptores/donadores.

E_C : mínimo de la banda de conducción.

E_V : máximo de la banda de valencia.

Generalmente, en las capas de materiales AOS que se usan en TFTs el nivel de Fermi (E_F) se encuentra aproximadamente 0.4 eV por debajo de E_C , situándolo dentro de la región de estados localizados aceptores [11]. Los estados localizados aceptores se forman por la superposición de las distribuciones de estados aceptores profundos y de cola, como vimos en la figura 2.1, los estados profundos usualmente están situados alrededor de 1.5 eV por debajo de E_C , o sea por debajo de la posición de E_F por lo que se consideran que están completamente ocupados y no actúan como trampas de electrones ni contribuyen al transporte de carga en el semiconductor [11, 12]. Por esta razón, solo se considerará la densidad de portadores de carga en los estados localizados de cola aceptores para el cálculo de la densidad de portadores de carga total en el material.

Cada material semiconductor amorfo tiene un rango de valores típicos de estos parámetros, aunque ambos dependen del proceso tecnológico de fabricación. El a-Si:H, se caracteriza por valores de $g_{at0} > 1 \times 10^{20} \text{ cm}^{-3}$ con $T_t < 300 \text{ K}$, para el caso de los estados de cola y $g_{ad0} < 1 \times 10^{20} \text{ cm}^{-3}$ con $T_d > 300 \text{ K}$ para los estados profundos. La DOS en el a-IGZO se caracteriza por valores de: $g_{at0} \ll 1 \times 10^{20} \text{ cm}^{-3} \text{ eV}^{-1}$ y $T_t > 300 \text{ K}$ para los estados de cola, y en el caso de los estados profundos en el a-IGZO, generalmente $g_{ad0} < g_{at0}$. También es importante destacar que, el nivel de Fermi se ubica en los estados de cola, mucho más cerca del mínimo de la BC, en comparación con el a-Si:H donde se encuentra a 0.2 eV por encima del medio de la banda prohibida.

Desde el punto de vista de operación del dispositivo, esto es una diferencia muy significativa, ya que, en dependencia del voltaje aplicado, en el caso de los AOSTFTs el nivel de Fermi pudiera alcanzar el mínimo de la BC, modificando de manera importante el mecanismo de conducción de portadores de carga.

2.2. Densidad de portadores de carga en un semiconductor amorfo. Comparación entre a-Si:H y a-IGZO.

Podemos representar la densidad de portadores de carga localizada del semiconductor, usando la estadística de Fermi-Dirac como en [25], en este caso para los estados aceptores como:

$$qn_{loc}(E) = \int_{E_{F0}}^{E_c} \frac{g_a(E)dE}{1 + e^{\left(\frac{E-E_F}{k_e T}\right)}} \quad (2.3)$$

donde q , E y E_{F0} es la carga del electrón, la energía y el nivel de Fermi en el volumen, respectivamente.

Cuando la diferencia entre $E_C - E_F$, durante la flexión de bandas bajo polarización de la compuerta, es mayor a $k_e T_t$ y $k_e T$ [25], la ecuación (2.3) puede reescribirse haciendo un cambio de variable como:

$$qn_{loc}(E) = g_{at0} k_e T_t e^{\left(\frac{E_F - E_C}{k_e T_t}\right)} J(E) \quad (2.4)$$

donde:

$$J(E) = \int_0^{\left(\frac{E - E_F}{k_e T_t}\right)} \frac{dz}{1+z^a} \text{ donde } a = \frac{T_t}{T} \text{ y } z = e^{\left(\frac{E_F - E}{k_e T_t}\right)} \quad (2.5)$$

Si consideramos a E_C (referencia) y se toma la relación entre la energía y el potencial como:

$$E = -q\phi \quad (2.6)$$

Entonces, la ecuación (2.4) queda de forma general en términos del potencial superficial (ϕ) como:

$$n_{loc}(\phi) = g_{at0} k_b T_t e^{\left(\frac{\phi - \phi_F}{k_b T_t}\right)} \int_0^{\left(\frac{\phi_F - \phi}{k_b T_t}\right)} \frac{dz}{1+z^a} \quad (2.7)$$

donde k_b es la constante de Boltzmann en eV.

Podemos representar también la densidad de portadores libres en función del potencial superficial usando la estadística de Fermi-Dirac como:

$$n_{libre}(\phi) = N_C \frac{2}{\sqrt{\pi}} \int_0^{\infty} \frac{\sqrt{x} dx}{1 + e^{\frac{x - \phi - \phi_F}{\phi_T}}} \quad (2.8)$$

donde N_C es el valor de los estados efectivos en la banda de conducción.

Se puede representar de forma analítica, usando la estadística de Boltzmann como una buena aproximación para (2.8) de acuerdo con las características específicas de los óxidos semiconductores amorfos [25], la siguiente expresión:

$$n_{libre}(\phi) = N_C e^{\frac{\phi - \phi_F}{\phi_T}} \quad (2.9)$$

La integral de la ecuación (2.7) solo tiene solución analítica cuando $T_t > T$. En el caso de que $T_t < T$, la integral puede ser aproximada a una expresión analítica. Entonces la densidad de portadores localizados en este caso como en [25]:

$$n_{loc} \approx \frac{1}{2} g_{at0} k_b T_t \left(2 \left(\frac{E_C - E_F}{k_e T_t} \right) \right)^a e^{\left(\frac{E_F - E_C}{k_e T} \right)} \quad (2.10)$$

Reescrita en términos del potencial superficial, la expresión (2.10) queda como:

$$n_{loc}(\phi) = \frac{1}{2} g_{at0} k_b T_t \left(2 \left(\frac{\phi_F - \phi}{k_b T_t} \right) \right)^a e^{\left(\frac{\phi - \phi_F}{k_b T} \right)} \quad (2.11)$$

Para el caso en el que $T_t > T$, y tomando como límite superior de la integral a infinito en (2.7), se puede aproximar (2.7) según [25] a:

$$n_{loc}(\phi) = g_{at0} e^{\left(\frac{\phi - \phi_F}{k_b T_t} \right)} \frac{\pi k_b T}{\sin\left(\frac{\pi T}{T_t}\right)} \quad (2.12)$$

Analizaremos estas expresiones en dos dispositivos, uno de a-Si:H solo para el caso de los estados localizados profundos y otro de a-IGZO para estados localizados de cola. En estos dos casos se cumple que la temperatura característica (T_C) es mayor a la temperatura ambiente $T_C > T$. El objetivo de este análisis es demostrar que las aproximaciones que se reportan para TFTs de a-Si:H en [25] no se cumplen para AOSTFTs. Los parámetros asociados a las densidades de portadores de carga de ambos dispositivos se muestran en la tabla 2.1. Los valores que se refieren a la DOS en a-IGZO fueron extraídos de la curva I-V transferencial lineal de un dispositivo experimental.

Tabla 2.1 Parámetros de los dispositivos analizados

TFT	N_C (cm ⁻³)	g_{a0}^1/g_{ad0}^2 (cm ⁻³ eV ⁻¹)	T_d^1/T_r^2 (K)	ϕ_F (V)
a-Si:H	10 ¹⁹	1.5x10 ¹⁹ (2)	1000 (1)	0.6
a-IGZO	5x10 ¹⁸	9.6x10 ¹⁸ (1)	445 (2)	0.13

La concentración de portadores libres para el TFT de IGZO se calculó utilizando el valor de N_C reportado en la literatura. Para el a-Si:H usamos los valores de los parámetros del dispositivo analizado en [25].

De acuerdo con los valores de la tabla 2.1, usamos las ecuaciones (2.7) y (2.12) para describir el comportamiento de la densidad de portadores localizados, aproximada y general, respectivamente, para ambos dispositivos. Para la densidad de portadores libres se usaron (2.8) y (2.9).

Para los TFTs de a-Si:H, cuando $T_C > T$, la expresión (2.7) es equivalente a la 2.12 [25]. A continuación, mostraremos, que para los TFTs de a-IGZO, aunque se cumpla que $T_C > T$ la aproximación de la ecuación (2.12) no resulta válida y por ello no se podría usar para describir la densidad de portadores localizados en

TFTs de a-IGZO, sino que se tendría que usar solo la expresión general dada por la ecuación (2.7).

En la figura 2.2 se observa la representación de las densidades de portadores en a-IGZO. Como puede verse, para el caso de los portadores libres no hay ninguna alteración si se usan ambos tipos de expresiones. Sin embargo, para los portadores localizados si hay diferencia.

Por último, en la figura 2.3 se muestra la representación de la densidad de portadores libres y localizados (en estados profundos: $T_d > T$) en el a-Si:H, usando la expresión general y la aproximada. Como puede verse en la figura 2.3, las aproximaciones son completamente válidas para el a-Si:H para el caso en que la temperatura característica de los estados localizados sea mayor que 300 K, o sea para estados localizados profundos.

En el caso de AOSTFTs estas aproximaciones no se cumplen, por esta razón, para desarrollar modelos analíticos que reproduzcan el comportamiento eléctrico de estos dispositivos, es necesario encontrar expresiones analíticas aproximadas y válidas para AOSTFTs que describan la densidad de portadores de carga en el semiconductor, fundamentalmente la de portadores localizados en los estados de cola. O en su caso, definir una expresión analítica aproximada de una densidad efectiva de portadores de carga que considere el efecto de ambos tipos de portadores: localizados y libres, como veremos en el Capítulo siguiente.

2.3. Características de los materiales AOS, mecanismos de conducción y movilidad de portadores de carga

Una de las principales ventajas de los AOSTFTs, como se mencionó en el capítulo anterior, es que presentan valores altos de movilidad ($>10 \text{ cm}^2/\text{Vs}$).

Estos altos valores de movilidad en los AOS, a pesar de su naturaleza amorfa, está asociado a la estructura electrónica de estos materiales.

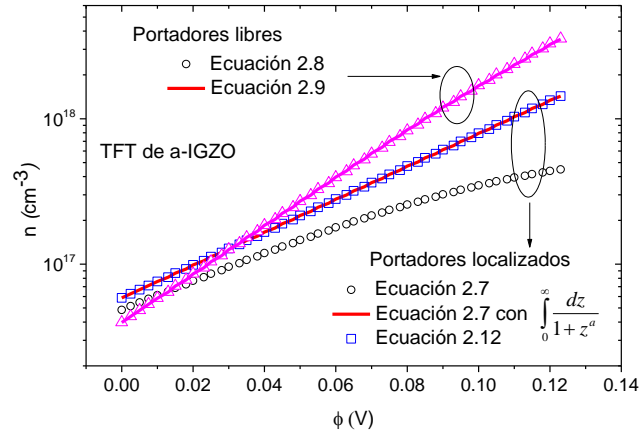


Figura 2.2 Densidades de portadores libres y localizados (en estados aceptores de cola) en a-IGZO calculados por expresiones: general y aproximadas.

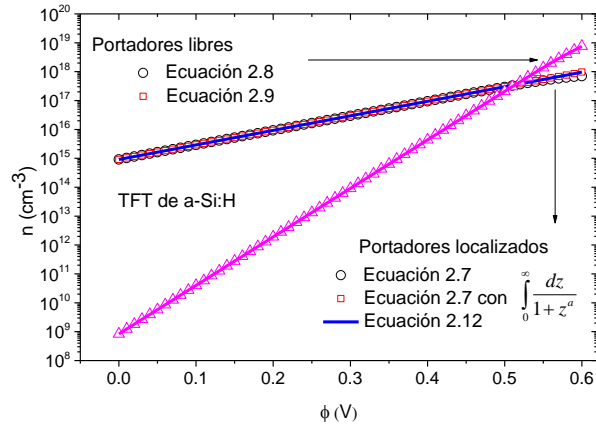


Figura 2.3 Densidad de portadores libres y localizados en estados profundos para a-Si:H usando expresiones: general y aproximadas.

De acuerdo con la alta ionicidad de los AOS, el intercambio de carga ocurre entre el catión metálico y el anión de óxido, los estados s del ion metálico están vacíos y los estados p de los iones de oxígeno están llenos, figura 2.4 (a). Dicho intercambio da como resultado un potencial, denominado potencial de Madelung [11, 24], que separa los orbitales de los iones metálicos y de oxígeno, con los

estados s vacíos del catión metálico formando el mínimo de la banda de conducción (BC), y los estados p llenos del anión de oxígeno formando el máximo de la banda de valencia (BV), como se puede observar en la figura 2.4 (b). Esta separación entre las bandas de conducción y valencia fue, originalmente para a-IGZO depositado por PLD, de aproximadamente 3 eV, aunque recientemente para el a-IGZO obtenido por pulverización catódica es de 3.2-3.7 eV, dándole a estos materiales, entre otras características, transparencia óptica. En un AOS la BC está formada por los orbitales tipo s de los cationes metálicos esféricamente extendidos y sus superposiciones con los orbitales metálicos vecinos no se ven alterados apreciablemente por la estructura amorfa desordenada. Por lo tanto, los niveles electrónicos de la BC son insensibles a la aleatoriedad estructural local, y el transporte de electrones no se ve afectado significativamente (figura 2.4 (d)).

Esta naturaleza iónica de enlaces químicos en materiales AOS, no solo es la causa de las altas movilidades de portadores sino también de una baja densidad de estados localizados en la banda prohibida del material cerca de la BC [11, 12]. Esta baja densidad de estados localizados trae consigo una reducción de los voltajes de operación en AOSTFTs por debajo de los 5 V y bajos valores de pendiente subumbral (S).

Por otro lado, el a-Si:H, exhibe movilidades mucho menores que los AOS, esto está asociado a que los enlaces químicos en un semiconductor covalente están formados por orbitales del tipo p o sp^3 con una fuerte direccionalidad espacial, este tipo de enlaces químicos en estructuras amorfas forman una alta densidad de estados localizados (trampas) debajo de la BC y encima de la banda de valencia (BV), provocando el atrapamiento de los portadores [11]. En este caso el transporte de portadores de cargas es limitado y solo es posible mediante conducción por saltos térmicamente activado.

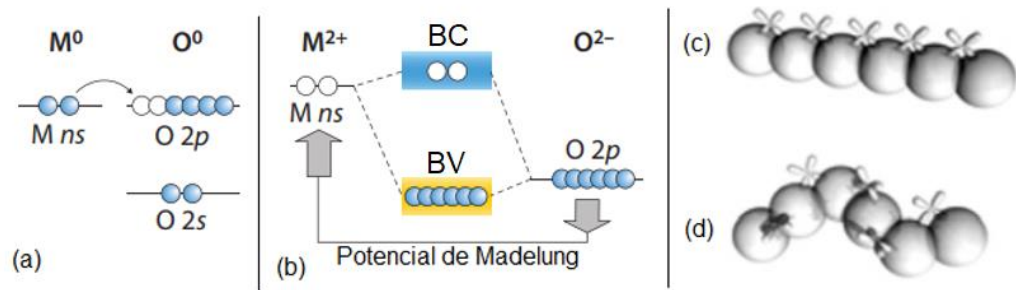


Figura 2.4 Diagrama de a) transferencia de carga, b) formación de la banda prohibida en un AOS y representación orbital a nivel molecular de la conducción en el mínimo de la banda de conducción, mostrando los caminos de conducción en, c) AOS cristalinos y d) AOS amorfos.

En la sección 1.1 del capítulo anterior mencionamos a groso modo como los TFTs basados en semiconductores de óxidos metálicos pasaron de materiales policristalinos a materiales amorfos dando lugar a los AOSTFTs. En primer lugar, debemos recordar que la característica más esencial de un semiconductor es que la concentración de portadores debe ser controlable en varios órdenes de magnitud; los semiconductores de óxido de zinc son conocidos como buenos óxidos conductores transparentes que tienen una alta densidad de electrones móviles ($\gg 10^{18} \text{ cm}^{-3}$) causando serios problemas a los TFTs dificultando el control de la conductancia del canal y el voltaje de umbral, usualmente causando inestabilidades en las características de los dispositivos [11]. La investigación sistemática en los materiales de óxidos metálicos condujo que los óxidos amorfos podrían ser usados para producir dispositivos semiconductores con una mejor estabilidad. El reto radicaba en lograr una alta conductividad eléctrica en óxidos amorfos sobre todo porque, en su mayoría, la familia de los óxidos amorfos son muy buenos aislantes eléctricos. En general mezclando 2 o más cationes con diferentes cargas iónicas y tamaños es efectivo para enriquecer la fase amorfa y suprimir la cristalización. En el IGZO por ejemplo se forma la fase amorfa si la razón de la mezcla de los óxidos excede cierto valor de umbral. Esta es la causa principal de por qué los AOS son materiales multicomponentes. Los materiales

más consistentes para formar semiconductores amorfos son el In, Ga, Zn y el Sn ya que sus orbitales *s* desocupados forman caminos eficientes para el transporte de electrones, por lo que tener una mayoría de estos iones es el requisito fundamental para obtener AOS con altos valores de movilidad.

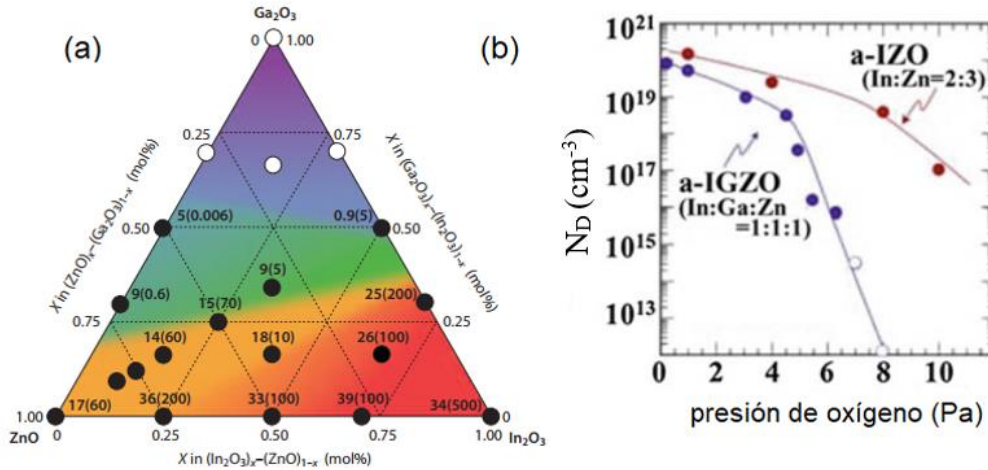


Figura 2.5 (a) Dependencia composicional de N_D (en paréntesis $\times 10^{18} \text{ cm}^{-3}$) y movilidad en un sistema de a-IGZO, (b) dependencia de N_D con la presión de oxígeno durante el proceso de depósito de películas de a-IGZO y a-IZO [24].

En un TFT en general, es requerida una baja concentración de portadores (N_D) para asegurar una baja corriente de *off* (I_{off}), precisamente el Ga juega un importante papel en este sentido, debido a que el fuerte enlace Ga-O (más fuerte que los enlaces In-O y Zn-O) reduce la formación de vacancias de oxígeno y la consecuente generación de portadores móviles, como se observa en la figura 2.5 (a) [1, 11, 24]. Otra forma de reducir la concentración de portadores libres es con la presión parcial de oxígeno durante el depósito, figura 2.5 (b). Sin embargo, un alto contenido de Ga degrada la movilidad del electrón por lo que se debe adicionar una cantidad apropiada [24]. En resumen, para aplicaciones TFTs es necesario mezclar 2 o más cationes con diferentes cargas iónicas y tamaños para formar estructuras amorfas estables, y la incorporación de un catión estabilizador

que tenga un fuerte enlace con el ion de oxígeno para mejorar el control de la concentración de portadores [11].

En el a-IGZO, como vimos, a pesar de su naturaleza amorfa este material mantiene un desorden regular en su estructura, facilitando la transferencia de carga de una forma más eficiente que en otros materiales amorfos, en particular que el a-Si:H. Para describir el transporte de portadores de carga en estos materiales en la literatura se pueden encontrar varios trabajos reportados, los cuales concuerdan en que, en los AOS además del transporte de carga en estados localizados también es posible el transporte de carga en la banda de conducción, incluyendo el transporte por Percolación, del cual hablaremos más adelante [12, 19]. Esta suposición basada en la teoría de que el nivel de Fermi bajo ciertas condiciones de operación del dispositivo pudiera alcanzar la BC provocando que el material se degenera, permitiendo el transporte en la banda.

Uno de los modelos que explica este tipo de mecanismo de conducción es el modelo de Borde de movilidad extendido [19] también conocido como Atrapamiento y Liberación Múltiple (MTR) donde se asume que el transporte del portador de carga tiene lugar en estados extendidos (estados en la BC), y la mayoría de estos portadores de carga están atrapados en los estados localizados, los cuales podrían ser excitados térmicamente por encima de un nivel de energía llamado borde de movilidad (BM) que separa los estados localizados de los estados extendidos. Sin embargo, a bajas temperaturas se espera que el transporte de carga ocurra por el mecanismo de conducción por saltos, por lo que este mecanismo no puede ser descartado, figura 2.6. Por lo que para que el mecanismo de saltos y/o el transporte en la banda tengan una significativa contribución en la corriente total del dispositivo va a depender de la forma de la DOS, la temperatura, y la densidad de portadores del material.

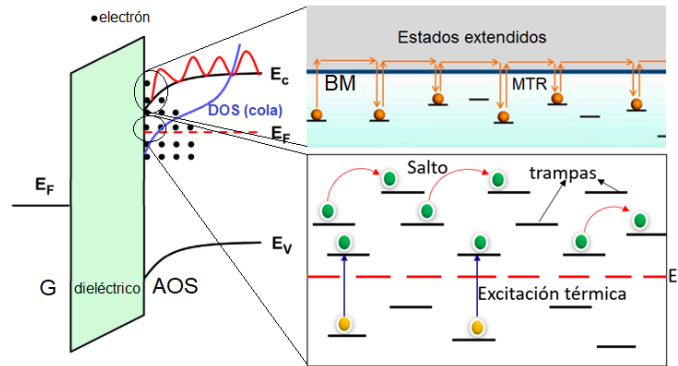


Figura 2.6 Representación esquemática del transporte de carga en materiales AOS.

Otra característica de los AOSTFTs es el aumento de la movilidad a medida que aumenta la concentración de portadores en el material, incluso cuando el semiconductor es degenerado. Esto es totalmente opuesto a lo que se observa en semiconductores cristalinos y puede ser explicado por el mecanismo de conducción por Percolación, a través de barreras de potencial que se encuentran por encima del mínimo de la BC (en rojo en la figura 2.6). Estas barreras de potencial se deben a los iones Ga^{3+} y Zn^{2+} distribuidos aleatoriamente en la estructura. En este mecanismo de conducción los portadores pueden tomar caminos más cortos o largos a altas temperaturas, figura 2.7. Esto quiere decir que la movilidad aumenta y la energía de activación disminuye con la temperatura. La energía de activación en AOSTFTs es la energía que requieren los portadores para excitarse térmicamente a la banda o por encima del borde de movilidad desde un estado localizado.

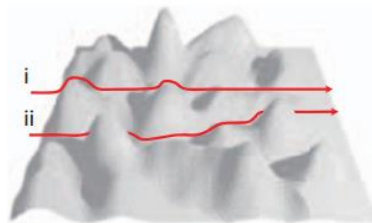


Figura 2.7 Barreras de potencial en la banda de conducción y transporte de electrones por Percolación: (i) camino corto y (ii) camino largo.

El transporte de carga a través de estas barreras se representa asumiendo una distribución Gaussiana de las alturas de las barreras, modulando la movilidad de banda en el dispositivo (μ_0) de acuerdo con la siguiente expresión [24]:

$$\mu_{0p} = \mu_0 e^{\left[-\frac{q\phi_{B0}}{k_e T} + \frac{(q\sigma_\phi)^2}{2(k_e T)^2} \right]} \quad (2.13)$$

donde ϕ_{B0} es la altura promedio de la barrera y σ_ϕ es el ancho medio de la distribución de energía en la barrera. Los valores típicos de esta distribución son 40-120 meV para ϕ_{B0} por encima del borde mínimo de la banda de conducción, y 20-30 meV para σ_ϕ . En conclusión, para considerar la conducción por banda en AOSTFTs, los autores en [19] propusieron el modelo de borde de movilidad extendido, que considera ambas posibilidades, la conducción por saltos, así como la conducción en la BC, incluyendo la Percolación. El mecanismo predominante dependerá de las características del proceso de fabricación, de la DOS, de la concentración de portadores en el material, la temperatura y las condiciones de operación del dispositivo.

2.4. Configuración y estructura de AOSTFTs

Los TFTs son dispositivos de efecto de campo de tres terminales, similares a los transistores MOS usados en la electrónica de silicio convencional. Sin embargo, en la tecnología MOS el sustrato es una oblea de silicio cristalino, mientras los TFTs son fabricados típicamente sobre sustratos aislantes (vidrio o plástico), sobre los cuales se depositan todas las capas del dispositivo a baja temperatura, incluso a temperatura ambiente, mediante técnicas de depósito al vacío o en solución. Dado los diferentes procesos de fabricación, las capas activas de los TFTs son típicamente policristalinas o amorfas, en las cuales el transporte de portadores de carga es reducido en comparación al silicio monocristalino. Al

igual que en los MOSFETs los TFTs son transistores de efecto de campo basados en la estructura metal-dieléctrico-semiconductor (MDS), formada por una capa aislante depositada entre el semiconductor y un contacto de compuerta (G), junto con dos contactos de fuente/drenaje (S/D) directamente en contacto con el semiconductor. La modulación de corriente entre (S/D) es obtenida en la región de acumulación de portadores cerca de la interfaz dieléctrico/semiconductor. Aunque el principio de operación físicamente es el mismo en MOS y TFTs, en este último la conductancia modulada en la capa activa es obtenida por un proceso de acumulación de portadores y no mediante una región de inversión como en los MOSFETs.

Los TFTs pueden ser fabricados usando varios tipos de configuraciones. La más típica es la estructura planar en sus diferentes variantes o arquitecturas: compuerta por abajo (BG) y compuerta por arriba (TG), dependiendo de si el contacto de G es depositado antes o después de la capa activa, y también dependiendo de si los contactos de (S/D) son depositados antes o después de la capa activa se clasifican en contactos por arriba (TC) o contactos por abajo (BC). Éstas a su vez se clasifican en coplanar o no-coplanar dependiendo de si los contactos de (S/D) son depositados o no en el mismo plano de la interfaz dieléctrico/semiconductor.

Al igual que en a-Si:H, la estructura más comúnmente usada es la estructura invertida BG/TC no coplanar [24], el termino invertida viene dado debido a que la compuerta está situada debajo del canal del dispositivo. De esta estructura se derivan dos variantes con una ligera diferencia, la cual se debe a la presencia a una capa generalmente aislante arriba del TFT, con el objetivo de frenar o proteger a la capa semiconductor del ataque de los contactos de (S/D). En la literatura estas dos variantes son conocidas como ataque del canal de atrás (BCE) y de capa paradora de ataque (ESL), figura 2.8.

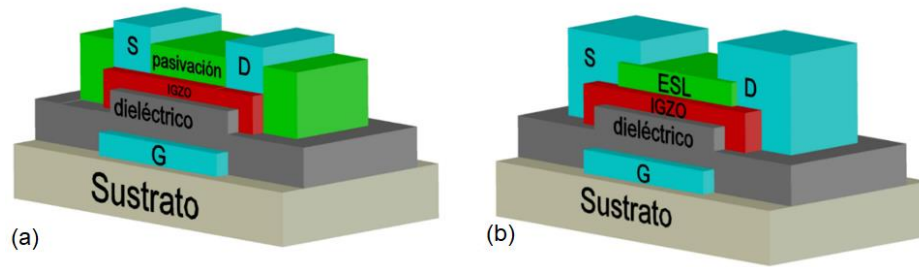


Figura 2.8 Estructura de fabricación para AOSTFTs, a) BCE y b) ESL.

En la primera, la capa aislante se deposita después de definir los contactos de S/D, lo cual deja expuesto al semiconductor a los procesos de ataque y revelado de los contactos requiriendo un proceso controlado y una buena selectividad del atacante del metal que no sobre ataque al semiconductor. En la segunda variante, la capa aislante se deposita antes que los contactos de S/D en forma de isla, la cual generalmente define la longitud del canal en el dispositivo, protegiendo al semiconductor de los procesos litográficos para definir los contactos. En el Capítulo 4 se describen los dispositivos caracterizados que se usaron en esta tesis, los cuales presentan una estructura invertida BG/TC no coplanar y variante ESL, usando diferentes materiales para las capas del dieléctrico, ESL, semiconductor (AOS) y metales para los contactos del dispositivo.

2.5. Comportamiento de los AOSTFTs con la temperatura

Como parte del estudio de los mecanismos de conducción, se analizó el comportamiento de las curvas de corriente-voltaje con la temperatura. Las figuras 2.9 (a) y (b) muestran las características transferenciales y de salida medidas a 300 K (líneas) y 350 K (símbolos). Como se puede ver, la corriente de drenaje (I_{DS}) para las características transferencial lineal, a $V_D = 0.5$ V y 1 V, siempre aumenta ligeramente con la temperatura. Éste ha sido el comportamiento típico con la temperatura de la corriente de drenaje en las curvas transferenciales en

régimen lineal de a-IGZO TFTs reportadas en [14, 16, 18, 20]. Para valores muy pequeños de voltaje de compuerta, más pequeños que 1.0 V, la corriente de drenaje en la característica transferencial en saturación a $V_D=10$ V también aumenta con la temperatura. Sin embargo, a medida que se aumenta la tensión de la compuerta, para $V_G > 1$ V, la corriente de drenaje comienza a disminuir con la temperatura, que es lo contrario de lo que se ha reportado, por ejemplo, en [16, 18 y 20]. Se observa una reducción similar de la corriente de drenaje con la temperatura en la característica de salida que se muestra en la figura 2.9 (b).

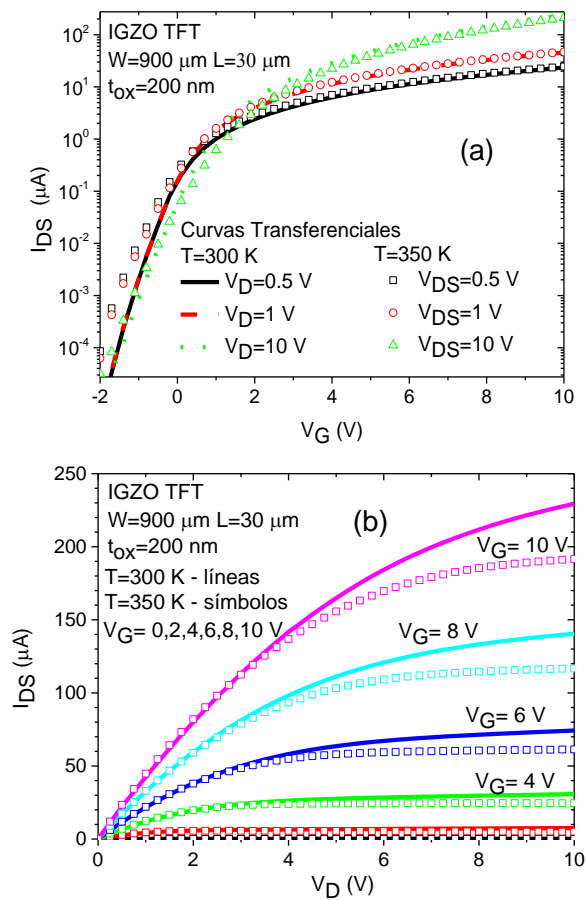


Figura 2.9 Mediciones a) curvas transferenciales a 300 y 350 K: b) características de salida a 300 y 350 K. t_{ox} es el espesor del dieléctrico.

Para las curvas de salida, I_{DS} a 350 K es menor que a 300 K, en la región de saturación de la curva (para altos valores de V_D). Mostraremos que este comportamiento puede aparecer, cuando el mecanismo de conducción en la banda de conducción se vuelve predominante, como se espera que ocurra en a-IGZO TFTs [5, 11, 19]. La dependencia con la temperatura de la corriente en el canal y la movilidad en AOSTFTs estará determinada, por lo tanto, por el mecanismo de conducción de portadores de carga predominante en el semiconductor, el cual puede ser diferente dependiendo no solo del proceso de fabricación, sino también de las diferentes condiciones de operación.

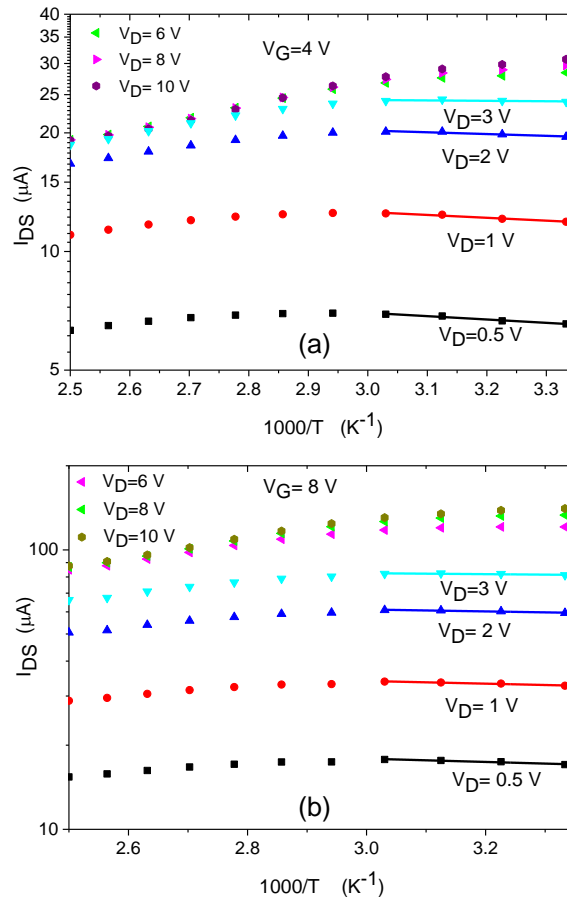


Figura 2.10 Dependencia de la temperatura de I_{DS} vs. $1000/T$ para diferentes valores de V_D a: a) $V_G = 4 V$; b) $V_G = 8 V$.

Para continuar estudiando los mecanismos de conducción presentes en los TFT de a-IGZO analizados, se calculó el gráfico de Arrhenius, o sea, la dependencia de I_{DS} vs. $1000/T$ para $V_D=0.5, 1, 2, 3, 6, 8$ y 10 V y una familia de valores de V_G . Las Figuras 2.10 (a) y (b) muestran la dependencia de temperatura correspondiente a $V_G = 4$ y 8 V, respectivamente. En la figura 2.10 (a) se observa que, en el intervalo de temperatura entre 300 y 330 K y para $V_D < 4$ V, I_{DS} aumenta con T. En la figura 2.10 (b), se observó un comportamiento similar para $V_G = 8$ V. En la tabla 2.2, se muestran los valores de la energía de activación (E_a) obtenida en cada caso. La reducción esperada de E_a con un aumento de V_G , también se observa. La energía de activación se reduce con un aumento de V_D .

Tabla 2.2 Energías de Activación para diferentes valores de voltajes de compuerta y de drenaje.

E_a (eV)	$V_D=0.5$ V	$V_D=1$ V	$V_D=2$ V	$V_D=3$ V	V_G
300 K a 330 K	0.012	0.01	0.007	0.003	8 V
	0.017	0.014	0.009	0.006	4 V

En el intervalo de temperatura entre 360 y 400 K, I_{DS} se redujo con T para todos los valores de V_D . Para valores de V_G y $V_D > 4$ V, la corriente se reduce para todos los valores de temperatura. Este cambio está asociado al cambio de mecanismo de conducción. Para representar la dependencia de la temperatura observada, I_{DS} se puede expresar como una dependencia exponencial con el inverso de la temperatura:

$$I_{DS} = I_{DS0} e^{\frac{-E_a}{k_e T}} \quad (2.14)$$

donde I_{DS0} es un prefactor, E_a es la energía de activación, T la temperatura en K.

Con el fin de determinar la presencia del mecanismo de conducción por saltos, se analizó si la corriente de drenaje seguía la regla de Meyer-Neldel (MN), el cual es el comportamiento observado en TFTs de a-Si:H y OTFTs, donde el transporte de portadores de carga se basa en este mecanismo. Si I_{DS} sigue la regla de MN, el prefactor es expresado como:

$$I_{DS0} = I_{oo} e^{AE_a} \quad (2.15)$$

donde I_{oo} es una constante y A es el parámetro de MN.

En la Fig. 2.11 (a) se observa que la gráfica del $\log I_{DS0}$ vs. E_a , muestra claramente una dependencia lineal, por lo que se espera que para estas condiciones un mecanismo de conducción térmicamente activado sea el predominante, como el de saltos. Los parámetros de (2.15) se calculan como:

$$I_{oo} = 10^{\text{intercepto}} \quad (2.16)$$

$$A = \frac{\text{pendiente}}{\log e} \quad (2.17)$$

En este caso (2.14) puede reescribirse como:

$$I_{DS} = I_{oo} e^{\left[\left(A - \frac{1}{k_e T} \right) E_a(V_G) \right]} \quad (2.18)$$

Para verificar si se cumple (2.15) en estos dispositivos, se trazaron curvas de I_{DS} frente a curvas $1/k_e T$ para $V_D = 0.5$ V y diferentes valores de V_G . Para calcular I_{oo} y E_a , se determinaron el intercepto y la pendiente del gráfico semilogarítmico de la ecuación (2.14), para cada curva transferencial medida con voltajes de compuerta entre -2 V y 10 V, en el intervalo de temperatura entre 300

y 330 K. La dependencia de E_a vs. V_G para $V_D = 0.5$ V se presenta en la figura 2.11 (b), que muestra la reducción de E_a cuando aumenta V_G .

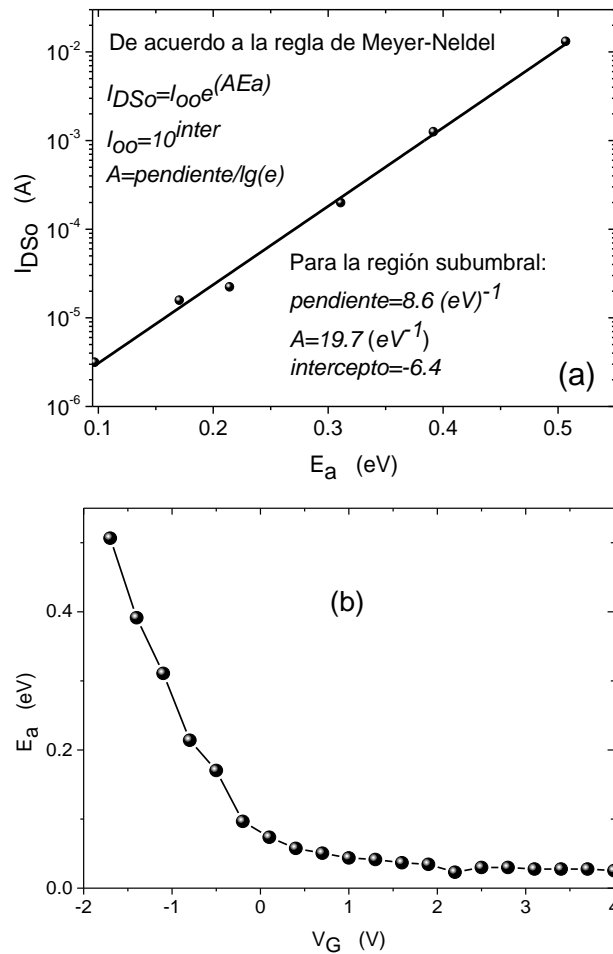


Figura 2.11 a) Determinación de los parámetros de Meyer-Neldel a partir de la curva transferencial a $V_D=0.5$ V en el rango de energía correspondiente al régimen subumbral; b) Variación de la energía de activación con V_G obtenido de la misma curva transferencial lineal.

Quando el mecanismo de conducción predominante es el de percolación, la corriente en el canal entre los contactos de fuente y drenaje no sigue la regla de Meyer-Neldel y por tanto la ecuación (2.15) no se cumple. Por otro lado, ya vimos que la distribución de estados localizados de cola aceptores en el

semiconductor se representa en el simulador ATLAS de Silvaco, como en (2.1). En análisis previos de las características eléctricas de los dispositivos de a-IGZO a diferentes temperaturas, cuando los autores mostraron el aumento de la corriente de drenaje con la temperatura, se han reportado varias combinaciones de g_{at0} y $k_e T_t$ para describir la DOS. En [16], los autores informaron $g_{at0} = 1.8 \times 10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$ con $k_e T_t = 46 \text{ meV}$. En [20], los valores reportados fueron $g_{at0} = 6 \times 10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$ con $k_e T_t = 30 \text{ meV}$. En ambos casos g_{at0} fue mayor que $10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$. En [18] los autores informaron una g_{at0} muy baja igual a $3.5 \times 10^{17} \text{ cm}^{-3} \text{ eV}^{-1}$ pero con $k_e T_t = 180 \text{ meV}$.

Para estimar el DOS en los dispositivos utilizados en esta investigación, se utilizó el mismo procedimiento que en [16, 18, 20], así como simulaciones, obteniendo valores de $g_{at0} < 6 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$ y $k_e T_t = 40 \text{ meV}$, g_{at0} es un orden menor que los reportados en [16, 20].

La presencia del mecanismo de conducción en la banda es bien aceptada para a-IGZO TFTs, aunque la presencia de conducción por saltos no está excluida [19]. Debido a la conducción en la banda, el dispositivo puede revelar un comportamiento eléctrico de tipo cristalino, en el que la movilidad se reduce con la temperatura debido a la interacción con los átomos en el material, como se observa normalmente en los dispositivos MOS cristalinos. Se espera que el transporte de portadores que predomine dependa de las características de DOS del dispositivo que se analiza, que es bien sabido que depende de las características de fabricación del dispositivo. Si el efecto de la presencia del DOS es suficientemente pequeño, se espera que la corriente debida a la conducción de la banda o la conducción por Percolación sea predominante y el dispositivo pueda mostrar un comportamiento de tipo cristalino.

Comparando las características de DOS de nuestros dispositivos con las reportadas en [16, 20], la diferencia en el comportamiento de la corriente parece

ser posible, debido a que en esta investigación g_{at0} es menor con una $k_e T_i$ similar. Comparando con los dispositivos reportados en [18], aunque el valor obtenido de g_{at0} fue un orden menor, la energía característica fue mucho más alta y el efecto de atrapamiento aún puede ser significativo, lo que impide que el cambio en el mecanismo de conducción predomine. En conclusión, en ambos casos reportados, la combinación de los dos parámetros de DOS parece no ser suficiente para reducir el efecto de captura, evitando que el comportamiento de tipo cristalino se convierta en predominante. Esto también es consistente con las energías de activación muy bajas obtenidas del análisis de temperatura, incluso a $T < 330$ K.

La explicación anterior fue confirmada con simulaciones. Para este propósito, se simuló la característica de transferencia en saturación, en $V_D=10$ V y las características de salida, para un AOSTFT similar a los experimentales. Se consideraron dos características de DOS diferentes: a) un DOS de tipo aceptor con $g_{at0} = 1.5 \times 10^{20} \text{ cm}^{-3} \text{ eV}^{-1}$ y energía característica de 34 meV, b) un DOS de tipo aceptor con $g_{at0} = 1.5 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$ y el mismo valor de energía característica de 34 meV. En ambos casos, las simulaciones se realizaron considerando: a) una movilidad de efecto de campo (μ_{FET}) constante o b) una movilidad de efecto de campo dependiente de la temperatura como:

$$\mu_{FET}(T) = \mu_{FET0} \left(\frac{T}{300} \right)^{-tn} \quad (2.19)$$

donde $t_n = 1.5$, que es el valor predeterminado para el simulador ATLAS de Silvaco.

Estas condiciones de movilidad se consideraron con el objetivo de distinguir entre el efecto de las características del DOS y el efecto de un comportamiento de movilidad de tipo cristalino sobre la dependencia con la

temperatura de I_{DS} . Cuando la movilidad se considera constante, la variación de la corriente de drenaje con la temperatura está determinada por las características del DOS. Para $g_{at0} = 1.5 \times 10^{20} \text{ cm}^{-3} \text{ eV}^{-1}$, el aumento típico de I_{DS} con T se obtuvo para ambas condiciones de movilidad, como se ve en la figura 2.12 (a). Sin embargo, como se esperaba, el aumento observado de I_{DS} con T, cuando se considera que la movilidad se reduce con la temperatura como en (2.19), es menor que cuando se considera la movilidad constante. Es evidente que, en este caso, las trampas están determinando el comportamiento de la dependencia con la temperatura de la corriente de drenaje.

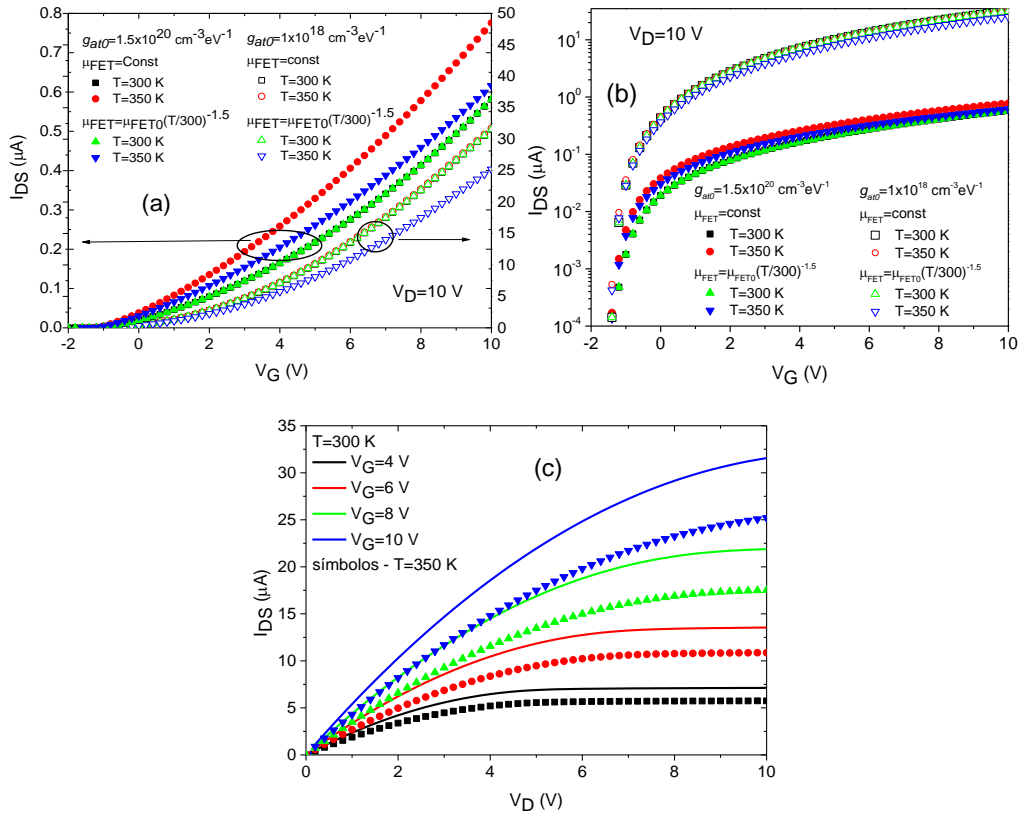


Figura 2.12 Características simuladas a $T=300 \text{ K}$ and $T=350 \text{ K}$. La energía característica fue fijada a 34 meV . Considerando dos diferentes valores de g_{at0} y movilidad constante y dependiente de T a) curva transferencial en saturación en escala lineal; b) curva transferencial en saturación en escala logarítmica; c) Curvas de salida para $g_{at0} = 10^{18} \text{ cm}^{-3}$ y movilidad dependiente de T.

Para $g_{at0} = 1 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$ y movilidad constante, I_{DS} fue prácticamente la misma cuando T aumentó de 300 a 350 K, ya que la baja densidad de estados localizados, dos órdenes de magnitud menos que en el caso anterior, tiene poco efecto en la corriente de drenaje cuando la temperatura aumenta. Sin embargo, si la movilidad se considera como en (2.19), la corriente de drenaje disminuye con la temperatura como se muestra en la figura 2.12 (b), reproduciendo el comportamiento de las curvas transferenciales experimentales en saturación mostrado en la figura 2.12 (a), cuando se aumenta el voltaje de la compuerta.

Este resultado confirma que cuando la densidad de los estados localizados es suficientemente pequeña y la captura es menos importante, la dependencia de la temperatura de la corriente de drenaje está determinada por la dependencia de la temperatura de la movilidad, que puede tener un comportamiento de tipo cristalino.

El efecto de reducir la energía característica de DOS, $k_e T_t$ y, por lo tanto, el efecto de captura, también se analizó. Para este propósito, g_{at0} se mantuvo constante e igual a $g_{at0} = 1.5 \times 10^{20} \text{ cm}^{-3} \text{ eV}^{-1}$, mientras que la energía característica fue variada. Se observó que en el intervalo entre $3 \text{ meV} < k_e T_t < 18.5 \text{ meV}$, I_{DS} en la curva de transferencia en saturación a 350 K era siempre menor que a 300 K, para todos los valores de V_G . Para $18.5 \text{ meV} < k_e T_t < 33 \text{ meV}$, I_{DS} a 350 K fue menor que a 300 K, solo para valores de V_G por encima de un valor dado.

Finalmente, para $g_{at0} = 1.5 \times 10^{20} \text{ cm}^{-3} \text{ eV}^{-1}$ y $k_e T_t \geq 34 \text{ meV}$, ya mostramos que, de acuerdo con las simulaciones, I_{DS} a 350 K es mayor que a 300 K para todos los valores de V_G , figura 2.12 (a). La figura 2.12 (c) muestra la reducción de I_{DS} con T en las características de salida simuladas para $g_{at0} = 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$ y $k_e T_t = 34 \text{ meV}$ que reproducen el comportamiento de las características medidas en la figura 2.12 (b).

En conclusión, siempre que el efecto del atrapamiento se reduzca lo suficiente, ya sea al reducir la densidad de los estados localizados, su energía característica o ambos, es posible observar el comportamiento de la corriente en el a-IGZO TFT de manera similar al caso de un material cristalino.

CAPÍTULO III

3. Modelos analíticos para reproducir el comportamiento eléctrico de un AOSTFT

El proceso de modelado de dispositivos semiconductores inicia con un modelo para un dispositivo semiconductor prototipo el cual incluya el transporte de portadores de carga y los estados electrónicos del material, con base en la física del dispositivo analizado. El modelo también debe tomar en cuenta parámetros constantes y propiedades de los materiales, así como de la estructura del dispositivo. En el caso de los AOSTFTs es necesario conocer previamente, a detalle, los mecanismos de transporte de portadores de carga y la distribución de estados localizados en el semiconductor amorfo, para reflejarlos en el modelo a través de la movilidad y la DOS.

En el caso de los AOSTFTs, al igual que en otros dispositivos semiconductores, se pueden usar dos tipos de modelos: modelos analíticos y modelos numéricos. Los modelos numéricos son aquellos que resuelven las ecuaciones matemáticas que describen el comportamiento del transistor en forma numérica, resolviendo ecuaciones trascendentes e integrales a través de plataformas de software. Los modelos analíticos, requieren encontrar soluciones aproximadas pero eficientes, que permitan describir, lo más preciso posible, los comportamientos que se estudian.

En este Capítulo se presenta el tema central de esta tesis, el cual consiste en el desarrollo de modelos analíticos y compactos para reproducir las características eléctricas de AOSTFTs. Estos modelos están basados en las ecuaciones básicas de la física de dispositivos como, la ecuación de Poisson y la ley de Gauss, a través de las cuales se definen modelos para movilidad de portadores de carga y para la DOS en AOSTFTs. Los modelos desarrollados

contemplan las propiedades eléctricas internas del dispositivo y las externas basados en el tipo de estructura con las cuales son fabricados los AOSTFTs, para reproducir el comportamiento de la corriente en el canal del dispositivo en función de los voltajes aplicados. Para describir la distribución de potencial superficial en función de V_G en el transistor en régimen de operación sobreumbral y subumbral se propuso una función empírica, analítica y continua. También se logró reproducir el comportamiento de todas las capacitancias en un AOSTFT a través de un modelo analítico en función de los voltajes aplicados al dispositivo. Finalmente, se logró desarrollar y siguiendo la misma filosofía, un modelo completamente analítico para AOSTFTs con una estructura de doble compuerta simétrica, tanto para régimen sobreumbral como subumbral, donde se logran reproducir todas las características corriente-voltaje del transistor, así como el comportamiento del potencial electrostático en el semiconductor.

3.1. Descripción del modelo de Corriente-Voltaje (I-V)

Para desarrollar un modelo analítico que reproduzca las características I-V de un dispositivo basado en un material semiconductor amorfo, este trabajo se basó en el modelo UMEM. Este modelo es bien conocido y utilizado para modelar dispositivos de a-Si:H, OTFTs y poly-Si. Sin embargo, a pesar de ser un modelo analítico, el modelo de movilidad del UMEM no está basado en parámetros físicos del dispositivo, utiliza parámetros de ajuste que, aunque son extraídos de las curvas eléctricas medidas del transistor, no están asociados a los parámetros del dispositivo semiconductor.

Para establecer una relación entre los parámetros del modelo de movilidad y los parámetros físicos del dispositivo, partiendo del modelo UMEM, primero se calculan numéricamente las densidades de portadores libres y localizados usando las expresiones generales que se definieron en el Capítulo anterior. Estos

cálculos se utilizarán como referencia para validar las aproximaciones que se definirán para estas expresiones generales. Para la densidad de portadores libres (n_{libre}) usamos la ecuación (2.8) y su aproximación dada por la ecuación (2.9) en términos del potencial superficial (ϕ). En el caso de la densidad de portadores localizados se usó (2.7). El potencial de Fermi ϕ_F es calculado como:

$$\phi_F = -\phi_T \ln \left[\frac{N_D}{N_C} \right] \quad (3.1)$$

donde N_D es la concentración de portadores (dopaje involuntario) del semiconductor.

La densidad de portadores total será la suma de la densidad de portadores libres y localizados:

$$n_{total}(\phi) = n_{libre}(\phi) + n_{loc}(\phi) \quad (3.2)$$

En el caso de los AOSTFTs, la densidad total de portadores puede igualarse a una densidad efectiva de portadores como en [28, 55]. Esta densidad efectiva de portadores se puede representar como:

$$n_{eff}(\phi) = N_{eff} e^{\frac{\phi - \phi_F}{\phi_{eff}}} \quad (3.3)$$

donde, N_{eff} es la densidad efectiva de portadores cuando $\phi = \phi_F$, o sea, cuando el potencial alcanza el nivel de energía de la banda de conducción (E_C), y $\phi_{eff} = k_b T_{eff}$, es la energía característica efectiva dada en función del potencial superficial.

Para obtener el valor de N_{eff} , usamos dos condiciones: condición (i) cuando $\phi = \phi_F$ y condición (ii) cuando $\phi = 0$. Sustituyendo (2.7) y (2.9) en (3.2),

considerando la condición (i) y teniendo en cuenta que $n_{total}=n_{eff}$, se obtiene la siguiente expresión para N_{eff} :

$$N_{eff} = N_C + g_{at0}k_bT_tJ(\phi_F) \quad (3.4)$$

Ahora considerando la condición (ii), el valor de g_{at0} puede ser calculado como:

$$g_{at0} = \frac{N_C \left(e^{\frac{-\phi_F}{\phi_{eff} - e^{-\frac{\phi_F}{k_bT}}}} \right)}{k_bT_t e^{-\frac{\phi_F}{k_bT}} J(0) - k_bT_t J(\phi_F) e^{\frac{-\phi_F}{\phi_{eff}}}} \quad (3.5)$$

Las ecuaciones (3.4) y (3.5) se obtienen considerando la ecuación de la densidad de carga en estados localizados de cola (2.7) en (3.2), la cual es una expresión general no analítica. Precisamente para representar analíticamente (3.4) y (3.5) se propusieron de forma empírica las siguientes aproximaciones analíticas para (2.7) en las condiciones (i) y (ii) como sigue:

$$\left(\int_0^{e^{\frac{\phi_F - \phi}{k_bT_t}}} \frac{1}{1+x\frac{T_t}{T}} dx \right) \approx \delta \left(\frac{T_t}{T} \right)^\beta \quad (\text{para condición i}) \quad (3.6)$$

$$\left(\int_0^{e^{\frac{\phi_F - \phi}{k_bT_t}}} \frac{1}{1+x\frac{T_t}{T}} dx \right) \approx 1 - \frac{1}{\psi(1-\psi\frac{T_t}{T})} \quad (\text{para condición ii}) \quad (3.7)$$

donde δ , β y ψ son extraídos a través de un ajuste matemático.

De esta forma (3.4) y (3.5) pudieran describirse analíticamente como:

$$N_{eff} = \left[\delta \left(\frac{T_t}{T} \right)^\beta \right] g_{at0}k_bT_t + N_C \quad (3.8)$$

$$g_{at0} = \frac{N_C e^{-\frac{\phi_F}{\phi_{eff}}} - N_C e^{-\frac{\phi_F}{k_b T}}}{k T_t e^{-\frac{\phi_F}{k_b T_t}} \left[1 - \frac{1}{\psi \left(1 - \psi \frac{T_t}{T} \right)} \right] - k T_t \left[\delta \left(\frac{T_t}{T} \right)^\beta \right] e^{-\frac{\phi_F}{\phi_{eff}}}} \quad (3.9)$$

Utilizando la densidad total de portadores en función de la densidad efectiva de portadores, la ecuación de Poisson's puede escribirse como:

$$\frac{\partial^2 \phi}{\partial x^2} = -\frac{\rho}{\epsilon_s} = \frac{q}{\epsilon_s} n_{eff}(\phi) \quad (3.10)$$

donde ϵ_s es la permitividad del semiconductor y ρ es la densidad de carga en el semiconductor. Después de resolver (3.10), el campo eléctrico superficial en la capa de a-IGZO se expresa como:

$$E_s = \sqrt{2 \int_0^\phi \frac{q}{\epsilon_s} n_{eff}(\phi) d\phi} \quad (3.11)$$

Después de sustituir (3.3) en (3.11) y resolviendo la integral se plantea la Ley de Gauss en la interfaz, obteniendo la siguiente ecuación trascendente para representar la relación entre V_G y ϕ :

$$V_G - V_T - \phi = \left(\frac{\sqrt{2q\epsilon_s}}{C_{ox}} \right) \sqrt{N_{eff} \phi_{eff} e^{\frac{-\phi_F}{\phi_{eff}}} \left(e^{\frac{\phi}{\phi_{eff}}} - 1 \right)} \quad (3.12)$$

donde $C_{OX} = \epsilon_0 \epsilon_i / t_{ox}$ es la capacitancia del dieléctrico por unidad de área y V_T es el voltaje de umbral.

Para evitar la solución numérica en (3.12), se propuso una expresión empírica como aproximación para resolverla analíticamente, que proporciona

una muy buena coincidencia con el cálculo numérico de (3.12), ver Fig. 3.1. Esta aproximación se define como:

$$\phi = 2\phi_{eff} \ln \left[\frac{C_{ox}}{Q_s} (V_G - V_T) \right] \quad (3.13)$$

donde Q_s es la carga total asociada a la densidad efectiva de portadores igual a:

$$Q_s = \sqrt{2q\epsilon_s N_{eff} \phi_{eff} e^{\frac{-\phi_F}{\phi_{eff}}}} \quad (3.14)$$

La figura 3.1 muestra que el cálculo numérico del potencial de superficie ϕ como función del voltaje de compuerta V_G usando la densidad total de portadores de (3.2) es idéntico al obtenido usando la densidad efectiva de portadores de (3.3). La figura 3.1 también muestra el cálculo de ϕ vs. V_G , usando la expresión empírica (3.13), donde se comprueba la buena aproximación con las curvas calculadas numéricamente, para un amplio rango de valores de ϕ .

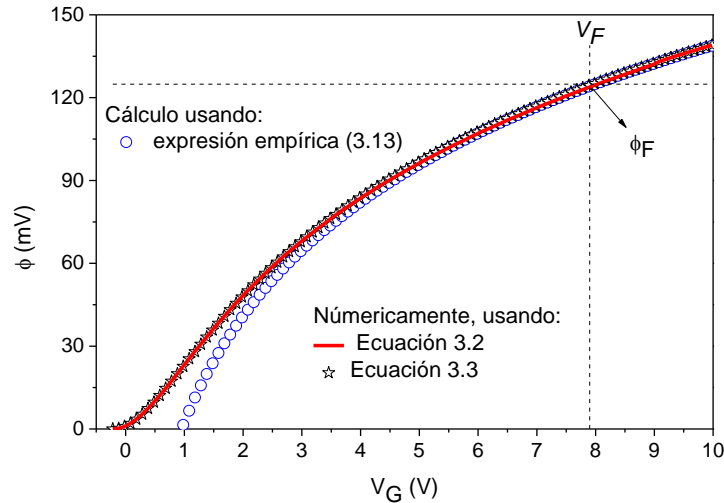


Figura 3.1 Potencial superficial en función de V_G calculado usando la expresión empírica (3.8), y calculado numéricamente usando las expresiones de las densidades de portadores libres y localizados de (3.2) y (3.3).

Los valores de g_{at0} y T_t , que son parámetros importantes del material que definen el comportamiento eléctrico del dispositivo y que no siempre se conocen previamente, también se pueden obtener de una manera relativamente simple usando (3.9) y (3.20), respectivamente.

3.1.1. Modelo de movilidad

En los TFT amorfos, la movilidad del efecto de campo es proporcional a la relación entre la densidad de portadores libres y densidad total de portadores [25] como:

$$\mu_{FET} = \mu_0 \left[\frac{n_{free}(\phi)}{n_{tot}(\phi)} \right] = \mu_0 \left[\frac{n_{free}(\phi)}{n_{eff}(\phi)} \right] \quad (3.15)$$

Sustituyendo tanto las expresiones de las densidades de portadores de carga como la expresión analítica para el potencial superficial en (3.15), la movilidad de efecto de campo se representa como:

$$\mu_{FET} = \mu_0 \left[\left(\frac{N_C}{N_{eff}} \right)^{\frac{1}{\gamma}} \frac{C_{ox}}{Q_0} \right]^{\gamma} (V_G - V_T)^{\gamma} \quad (3.16)$$

donde μ_0 es la movilidad de banda del dispositivo.

$$Q_0 = \sqrt{2q\epsilon_S N_{eff} \phi_{eff}} \quad (3.17)$$

$$\gamma = 2 \left(\frac{T_{eff}}{T} - 1 \right) \quad (3.18)$$

Después de un análisis completo se encuentra que la temperatura característica efectiva T_{eff} se puede expresar como:

$$T_{eff} = \frac{(T+T_t)}{2} \quad (3.19)$$

Por otro lado, la expresión para la movilidad de efecto de campo usada en el modelo UMEM es igual a:

$$\mu_{FET} = \frac{\mu_0}{V_{AA}^\gamma} (V_G - V_T)^\gamma \quad (3.20)$$

donde μ_0 es un valor empírico usualmente considerado igual a $1 \text{ cm}^2/\text{Vs}$ para los a-Si:H-TFTs, V_{AA} es un parámetro de ajuste extraído según el método que se indica en [31]. Igualando (3.16) y (3.20), se puede calcular el parámetro empírico V_{AA} extraído en UMEM en función de los parámetros del transistor como:

$$V_{AAC} = \left(\frac{N_{eff}}{N_C} \right)^{\frac{1}{\gamma}} \frac{Q_0}{C_{ox}} \quad (3.21)$$

El valor de la movilidad de banda (μ_0) puede ser calculado usando la siguiente relación, de acuerdo con (3.20):

$$\mu_1 = \frac{\mu_0}{V_{AAC}^\gamma} \quad (3.22)$$

donde la μ_1 es la movilidad cuando $V_G - V_T = 1$, independientemente del tipo de mecanismo de conducción presente en el dispositivo. Finalmente, μ_0 se calcula como:

$$\mu_0 = \mu_1 V_{AAC}^\gamma \quad (3.23)$$

El voltaje de compuerta, para el cual el nivel de Fermi alcanza el mínimo de la banda de conducción (V_F) puede ser calculado de (3.13), cuando $\phi = \phi_F$ como:

$$V_F = \frac{Q_0}{C_{ox}} + V_T \quad (3.24)$$

A continuación, se describen los pasos del procedimiento:

1. Medir una característica de capacitancia-voltaje para determinar el valor de N_D y la constante dieléctrica del material usado como aislante en el dispositivo en caso de ser necesario. Calcular ϕ_F , usando (3.1). El valor de N_C se toma de la literatura (generalmente para AOSTFTs de $5 \times 10^{18} \text{ cm}^{-3}$).
2. Calcular la capacitancia del dieléctrico de compuerta por unidad de área C_{ox} .
3. A partir de una característica de transferencia lineal medida del dispositivo, se utiliza el proceso descrito en UMEM para extraer los parámetros V_T y γ según el método que se indica en [31]. Estos parámetros extraídos considerarán el efecto de todos los portadores, localizados y libres, presentes en el dispositivo y que afectan su comportamiento eléctrico. Por esta razón, estarán asociados a la concentración efectiva de portadores expresada por (3.3).
4. Los valores de T_{eff} y T_r son calculados usando (3.18) y (3.19), respectivamente.
5. Calcular el valor de N_{eff} usando (3.8).
6. El valor g_{at0} se calcula analíticamente usando (3.9).

7. Calcular V_{AAC} usando (3.21).
8. Calcular el valor de μ_0 con (3.23).
9. Usando (3.24), calcular el voltaje de compuerta V_F para el cual el nivel de Fermi alcanza el mínimo de la banda de conducción.

3.1.2. Modelo de corriente en el canal, en régimen sobreumbral

Usando (3.16), la expresión de corriente en el canal de un TFT amorfo similar a la que se definió en [31], quedaría como:

$$I_{DS}(V_G, V_D) = \frac{\frac{W}{L} C_{ox} \frac{\mu_0}{V_{AAC}^\gamma}}{1 + R_S \frac{W}{L} C_{ox} \frac{\mu_0}{V_{AAC}^\gamma} (V_G - V_T)^{1+\gamma}} (V_G - V_T)^{1+\gamma} V_{def}(V_G, V_D) (1 + \lambda V_D) \quad (3.25)$$

donde λ es el parámetro de modulación del canal y $V_{def}(V_G, V_D)$ se define como:

$$V_{def}(V_G, V_D) = \frac{V_D}{\left[1 + \left[\frac{V_D}{\alpha_S (V_G - V_T)}\right]^m\right]^{\frac{1}{m}}} \quad (3.26)$$

y m es el parámetro que modela el codo de las características de salida y α_S es el parámetro del voltaje de saturación.

Considerando que la movilidad de efecto de campo en el dispositivo aumenta con V_G como en la expresión (3.16), en la que todos sus parámetros están relacionados al comportamiento físico del dispositivo y no contiene ningún parámetro de ajuste.

Con la expresión (3.25) se pueden modelar las características eléctricas de un AOSTFT en régimen sobreumbral de una forma completamente analítica, lo cual es uno de los principales objetivos de este trabajo.

3.1.3. Modelo de corriente en el canal, en régimen subumbral

El comportamiento eléctrico de un TFT se divide en tres regiones de operación según el valor del voltaje de umbral del dispositivo en: sobreumbral ($V_G > V_T$), en subumbral de transición y subumbral profundo, como se observa en la figura 3.2.

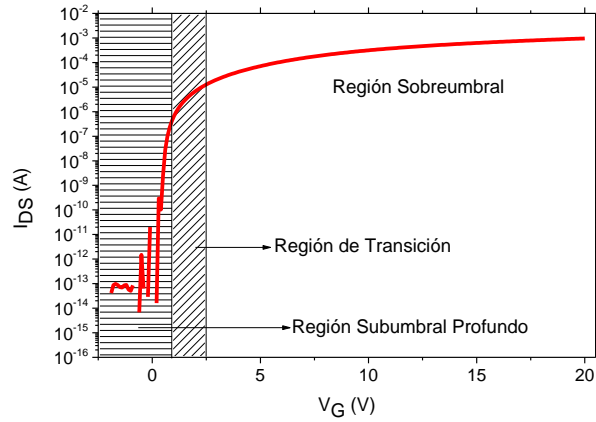


Figura 3.2: Regiones de Operación en una característica transferencial de un TFT.

A continuación, definiremos las expresiones de corriente para las otras dos regiones de operación del TFT en subumbral.

La región de transición se puede modelar usando la siguiente expresión:

$$I_{DSbt}(V_G, V_D) = \frac{W}{L} C_{ox} \mu_{1b} [V_{gf}(V_G)]^{1+\gamma_b} V_D \quad (3.27)$$

donde μ_{1b} y γ_b son la movilidad para cuando $V_G - V_{FB} = 1$ y el parámetro de ley de potencia en régimen subumbral, respectivamente. Por su parte, $V_{gf}(V_G)$ es una expresión que se usa para garantizar la continuidad en $V_G = V_{FB}$ y es igual a:

$$V_{gf}(V_G) = \frac{V_{min}}{2} \left[1 + \frac{V_G - V_{FB}}{V_{min}} + \sqrt{\zeta^2 + \left(\frac{V_G - V_{FB}}{V_{min}} - 1 \right)^2} \right] \quad (3.28)$$

La región de subumbral profundo es modelada usando la siguiente expresión:

$$I_{DSbb}(V_G, V_D) = |I_{DSbt}(V_T)| e^{2.3 \frac{V_G - V_T - V_1}{S}} \quad (3.29)$$

donde S es el valor de la pendiente subumbral de la característica transferencial lineal.

Usando las expresiones (3.25), (3.27) y (3.29), podemos reproducir el comportamiento eléctrico del dispositivo en todo el rango de operación para valores de V_G desde el subumbral profundo hasta el sobreumbral. Para ello es necesario obtener una expresión final que contemple todas las regiones de operación, con base a esto se usó la función de \tanh como una función de costura para unir las tres regiones como sigue:

$$I_{DSbT}(V_G, V_D) = [I_{DSbb}(V_G, V_D) + I_0] \frac{1 - \tanh[(V_G - V_T - V_1)Q_1]}{2} + I_{DSbt}(V_G, V_D) \frac{1 + \tanh[(V_G - V_T - V_1)Q_1]}{2} \quad (3.30)$$

donde I_0 es el valor mínimo de corriente medido cuando $V_G < V_T$.

Finalmente, la corriente total en el canal se define como:

$$I_{DST}(V_G, V_D) = I_{DSbT}(V_G, V_D) \frac{1 - \tanh[(V_G - V_T - V_2)Q_2]}{2} + I_{DS}(V_G, V_D) \frac{1 + \tanh[(V_G - V_T - V_2)Q_2]}{2} \quad (3.31)$$

donde V_1 , V_2 , Q_1 y Q_2 son parámetros de ajuste.

3.2. Descripción del modelo de Capacitancia-Voltaje (C-V)

Es bien conocido que, para simulación dinámica de circuitos, son fundamentales los modelos de capacitancia-voltaje (C-V), capaces de describir con precisión la dependencia de las capacitancias internas de los dispositivos en función del voltaje aplicado y la frecuencia. Para este propósito, varios modelos han sido desarrollados para TFTs de silicio amorfo hidrogenado, TFTs orgánicos, así como para AOSTFTs [56-62]. En todos ellos se han usado diferentes aproximaciones para proveer la continuidad y considerar las capacitancias parásitas entre los contactos metálicos del dispositivo.

En adición al modelo de capacitancias, para modelar el dispositivo, es también requerido un modelo de I-V. Un importante aspecto, para ambos modelos, es incluir un procedimiento de extracción relativamente simple para sus parámetros.

Otra característica que se ha de tener en cuenta para el modelo de capacitancias es la estructura del dispositivo. Para AOSTFTs, la estructura BG/BC tiene varias ventajas, una de ellas es la reducción de la resistencia serie con respecto a la BG/TC no coplanar. Sin embargo, el proceso de fabricación de dicha estructura es más complejo y la calidad de la interfaz puede sufrir degradación, debido al proceso de depósito y litografía de los contactos de S y D antes del depósito de la capa semiconductor. Por esta razón, la estructura no coplanar BG/TC es la más frecuentemente usada. El proceso de fabricación de

esta estructura para AOSTFTs puede tener diferentes variantes, tal como la de ataque por el canal de atrás (BCE), capa paradora de ataque (ESL), o por proceso de *Lift-Off* (LO) [40-43]. La parte de los contactos de S/D que están por encima de la capa pasivadora o ESL serán nombrados en adelante como traslape del metal superior (TMO), cuya longitud es igual a L_{TOV} , como se observa en la figura 3.3, y la parte de los contactos que no están por encima de la capa pasivadora o ESL, simplemente serán identificados como traslapes típicos (OV) con una longitud igual a L_{OV} .

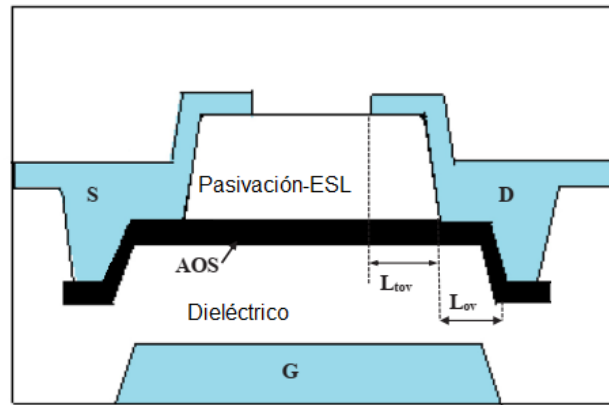


Figura 3.3 Sección transversal de los AOSTFTs simulados mostrando la región del semiconductor (en negro), la longitud del TMO (L_{TOV}) y la longitud del típico OV (L_{OV}).

En este trabajo, se analizó los efectos de los OV de los contactos de S/D, presentes en la estructura no coplanar con compuerta por abajo y contactos de S/D por arriba usando variantes BCE, ESL o LO, en el comportamiento de las capacitancias internas de los dispositivos. El modelo que se propone considera estos efectos.

Un TFT típico presenta 9 capacitancias internas, una de las cuales es la capacitancia total asociada a la compuerta C_{GG} , determinada como la derivada de la carga de compuerta Q_G , con respecto al voltaje de compuerta V_G [63, 64]:

$$C_{GG} = \frac{dQ_G}{dV_G} \quad (3.32)$$

Esta capacitancia es la única que puede ser medida directamente cortocircuitando los contactos de S/D y aplicando la señal de medición entre la compuerta y los contactos de S/D referido a GND. Teóricamente, en la región de acumulación (sobreumbral), esta capacitancia tiende a un valor constante con respecto a V_G . En la mayoría de los modelos previos de capacitancias, la capacitancia total entre estos contactos es calculada, añadiendo la capacitancia parásita asociada a los OV entre los contactos de S/D y compuerta, para calcular la C_{GG} usando (3.32) [63].

La figura 3.4 (a) muestra las curvas simuladas de C_{GG} vs. V_G , cuando $V_D=0.5$ V y 10 V, para un TFT con estructura BG/TC, con y sin TMO. Se observa, que las capacitancias aumentan de su valor mínimo cuando el canal es empobrecido a un valor cuando el canal está acumulado. Para pequeños valores de V_D el dispositivo está en régimen lineal, para prácticamente todos los valores de V_G , C_{GG} alcanza un valor constante, el cual no está afectado por la presencia o ausencia del TMO.

Según aumenta el V_D , por ejemplo, a 10 V, el dispositivo sin TMO está en saturación para V_G por debajo del valor indicado en la figura 3.4 (a) como V_{GC3} , donde C_{GG} es constante. Para $V_G > V_{GC3}$, C_{GG} continúa aumentando en la región de transición de saturación a régimen lineal en acumulación, hacia otro valor constante. En la misma figura 3.4, se puede apreciar que, para un dispositivo con TMO de 5 y 10 μm , el valor de V_G , al cual C_{GG} comienza a aumentar, disminuye a V_{GC2} y V_{GC1} respectivamente.

Después de analizar la simulación de las estructuras con diferentes valores de L_{TOV} se observa que el voltaje de transición V_{GC} puede ser determinado como:

$$V_{GC}(V_D, \alpha_{SS}) = V_T + \frac{1}{\alpha_{SS}} V_D \quad (3.33)$$

donde V_T es el voltaje de umbral y α_{SS} es un parámetro de ajuste que puede ser interpretado como el parámetro de saturación modificado con respecto a α_S .

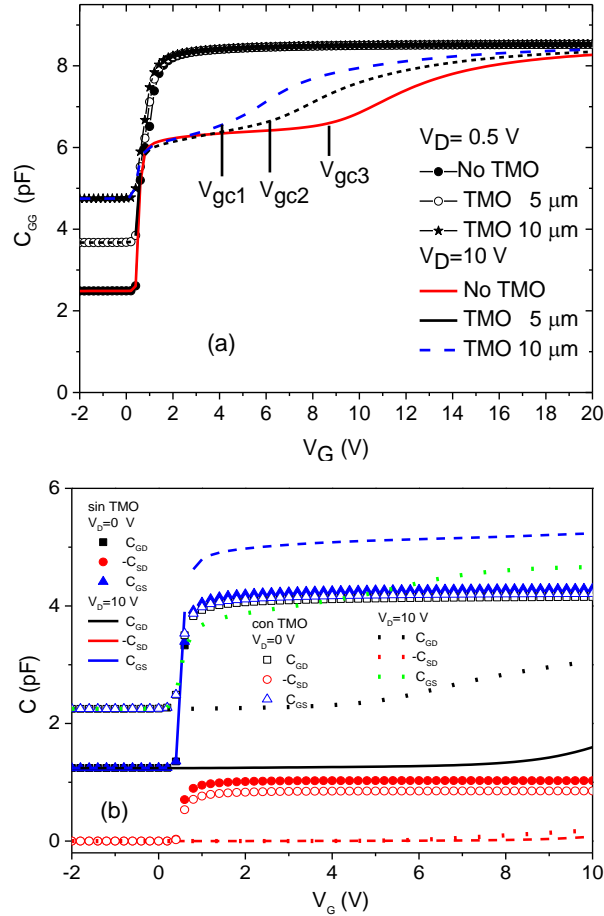


Figura 3.4 a) Efecto en la variación de C_{GG} vs V_G , para $V_D=0.5$ y 10 V, cuando la estructura simulada no tiene TMO y cuando presenta un TMO de 5 and $10 \mu\text{m}$. b) C_{GD} , C_{GS} , C_{SD} vs. V_G para $V_D=0$ y 10 V, obtenido por simulación de una estructura BG/TC no coplanar con y sin TMO.

Sin TMO, la capacitancia total es calculada como la capacitancia de una estructura MDS, más la capacitancia asociada a los OV de los contactos de S/D. El valor mínimo de la capacitancia en empobrecimiento, para el dispositivo sin

TMO, es principalmente debido a la capacitancia parásita de los OV de los contactos de D/S.

La figura 3.4 (b) muestra las diferencias en el comportamiento de C_{GD} , C_{GS} y C_{DS} vs. V_G para dispositivos con y sin TMO. Cuando el TMO aumenta, una de las cosas observadas en la figura 3.4 (a) y (b) es que los valores de C_{GG} , C_{GD} y C_{GS} en empobrecimiento aumentan debido a capacitancia extra introducida por el TMO.

Para entender qué causa esta diferencia en el comportamiento de la capacitancia, los resultados de las simulaciones fueron analizados, observando cambios en la distribución de carga en la capa del semiconductor. En la figura 3.5 se puede observar la concentración de carga en las interfaces dieléctrico-semiconductor (GD-S) y semiconductor-pasivación (S-P), para un dispositivo con TMO= 10 μm cerca del contacto de D, a $V_G=V_D= 10 \text{ V}$.

También se observa en la figura 3.5 que la concentración de carga en la interfaz S-P es mucho menor que en la de GD-S, en la región del canal donde no hay traslape del contacto de D. Sin embargo, en la posición cerca del D, donde comienza el traslape TMO, la carga en la interfaz S-P se hace constante, un alto valor de concentración, comparable con el de la interfaz GD-S. Esto ocurre debido a que el TMO del contacto de D, sirve como una segunda compuerta con un voltaje aplicado igual a V_D . Cuando $V_D > V_T$, la interfaz S-P está en acumulación. Esta situación, la cual tiene lugar en una estructura típica de compuerta por abajo y contactos por arriba en TFTs, no ha sido considerada en modelos previos de capacitancia y está incluida en nuestro nuevo modelo.

La figura 3.6 muestra la representación esquemática del transistor con su capacitancia C_{GG} a $V_D=0$, C_{GD} , C_{GS} y C_{DS} . De estas capacitancias, en TFTs, experimentalmente solo la capacitancia interconectada entre G y D/S (C_{GG} o C_G -

d_s) es usualmente medida. Para simulaciones dinámicas de circuitos, las capacitancias más importantes son C_{GD} , C_{GS} y en algunos casos la C_{DS} [64, 65].

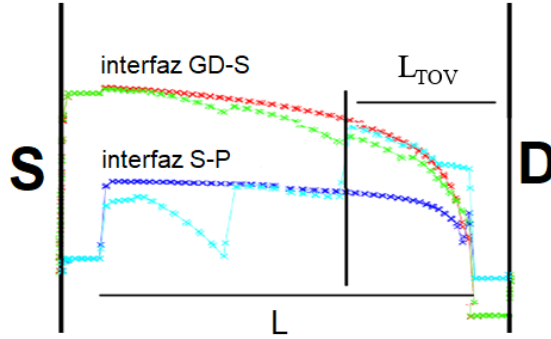


Figura 3.5 Variación de la densidad de carga entre S y D, en la interfaz GD-S y S-P.

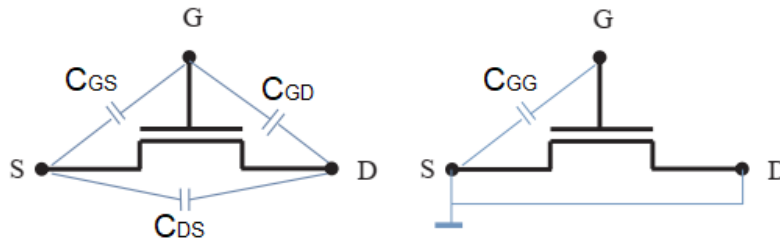


Figura 3.6 Representación esquemática de un transistor con sus capacitancias internas C_{GG} , C_{GS} , C_{GD} y C_{DS} . C_{GG} es la capacitancia medida a $V_D=0$ V.

Como es usual, estas capacitancias son calculadas como la derivada de la carga con respecto a V_G o V_D , para un valor dado de V_G o V_D , respectivamente [64]. Las cargas asociadas a la compuerta Q_G (o canal $Q_{ch}=-Q_G$), al drenador Q_D y a la fuente Q_S , se pueden calcular usando estas expresiones auxiliares:

$$A_1 = V_{gt}(V_G)^{1+\gamma} - [V_{gt}(V_G) - V_{def}]^{1+\gamma} \quad (3.34)$$

$$A_2 = V_{gt}(V_G)^{2+\gamma} - [V_{gt}(V_G) - V_{def}]^{2+\gamma} \quad (3.35)$$

$$A_3 = V_{gt}(V_G)^{3+\gamma} - [V_{gt}(V_G) - V_{def}]^{3+\gamma} \quad (3.36)$$

$$A_4 = V_{gt}(V_G)^{4+2\gamma} - [V_{gt}(V_G) - V_{def}]^{4+2\gamma} \quad (3.37)$$

$$A_5 = V_{gt}(V_G)^{5+2\gamma} - [V_{gt}(V_G) - V_{def}]^{5+2\gamma} \quad (3.38)$$

De manera similar que en (3.27), se usó la expresión $V_{gt}(V_G)$ para garantizar la continuidad en $V_G = V_T$ y evitar soluciones imaginarias cuando $V_G < V_T$ a:

$$V_{gt}(V_G) = \frac{V_{min}}{2} \left[1 + \frac{V_G - V_T}{V_{min}} + \sqrt{\zeta^2 + \left(\frac{V_G - V_T}{V_{min}} - 1 \right)^2} \right] \quad (3.39)$$

Sustituyendo los valores de V_G y V_T por $V_G = V_G + V_A$ y $V_T = V_T - (DD \times V_D)$, las cargas finalmente se definen como:

$$Q_G = -Q_{ch} = WC_{ox}L \frac{(2+\gamma)A_3}{(3+\gamma)A_2} \quad (3.40)$$

$$Q_D = -(2 + \gamma)WC_{ox}L \left[\frac{\frac{A_5}{(5+2\gamma)} \frac{V_{gt}(V_G)^{(2+\gamma)A_3}}{(3+\gamma)}}{(A_2)^2} \right] \quad (3.41)$$

$$Q_S = Q_G - Q_D \quad (3.42)$$

Las capacitancias son calculadas por la derivada de la carga Q_X con respecto al potencial en los contactos V_X . Las variables X y Y consideran todas las posibles combinaciones de G, D y S.

$$C_{XX} = \frac{d}{dV_X} (Q_X) \quad (3.43)$$

$$C_{XY} = -\frac{d}{dV_Y}(Q_X) \quad (3.44)$$

Q_S , Q_D y Q_G y sus derivadas son funciones de los parámetros de los TFTs. Ya que el modelo de capacitancias está asociado al UMEM, éstas dependerán de los parámetros V_T , γ , λ , α_S y m , los cuales son extraídos de las características transferenciales en régimen lineal y de saturación y de las características de salida, usando el método UMEM reportado en [31]. La siguiente expresión es usada para definir el valor del parámetro de saturación α_S cuando $V_G < V_{GC}$ (V_D , α_{SS}), con su valor de α_{SS} , cuando $V_G > V_{GC}$ (V_D , α_{SS}):

$$\alpha_{s2} = \alpha_S \frac{1 - \tanh((V_G - V_{gc})0.5)}{2} + \alpha_{SS} \frac{1 - \tanh((V_G - V_{gc})0.5)}{2} \quad (3.45)$$

La capacitancia asociada al OV entre la G y los contactos de S/D serán referidos como C_{OV} .

Como habíamos mencionado antes para calcular la capacitancia real de los dispositivos con estructuras BG/TC no coplanar y con TMO, es necesario considerar el efecto de una capacitancia adicional debido al TMO.

C_{GG} , C_{GD} , C_{DG} , C_{DD} son calculadas usando (3.33, 3.40, 3.41, 3.43 y 3.44), incluyendo los dos parámetros de ajuste V_A y DD . La expresión usada en este modelo para representar la capacitancia total de estos dispositivos en región sobreumbral en acumulación, considerando los efectos de V_D , es expresada como:

$$C_{GGP1} = C_{GG}(1 - V_D f_a) + C_{pasv} W L_{TOV} (V_D^{0.8} - V_{d0}^{0.8}) MM \quad (3.46)$$

donde MM es un parámetro de ajuste, $C_{pasv} = (\epsilon_0 \epsilon_i) / t_{pasv}$ y,

$$f_a = \chi_a \frac{1 - \tanh((V_G - V_{GC})0.5)}{2} \quad (3.47)$$

donde χ_a es un parámetro de ajuste.

El segundo término en (3.46) incorpora el efecto de TMO, a través de C_{pasv} , la capacitancia por unidad de área del capacitor formado por las capas metal-pasivador-semiconductor, $V_{d0} = 0.01$, usado para representar $V_D=0$, para evitar problemas de convergencia durante el cálculo numérico.

Para el régimen subumbral, la capacitancia mínima es extraída de mediciones o simulaciones a un V_G bien por debajo de V_T en la región de empobrecimiento. El valor de la capacitancia en acumulación C_{GGa} es extraída de la misma característica experimental o simulada. La expresión de la capacitancia C_{GG} completa, desde empobrecimiento hasta acumulación calculada en el modelo, es expresada como:

$$C_{GGt} = C_{GG0} \frac{[1 - \tanh(V_G - V_3)Q_3]}{2} + [C_{GGP1} + C_{par0} + 2C_{ov}] \frac{[1 + \tanh(V_G - V_3)Q_3]}{2} \quad (3.48)$$

donde C_{GG0} es la capacitancia en empobrecimiento medida, $C_{ov} = WL_{ov}C_{ox}$ y C_{par0} es la capacitancia parásita igual a:

$$C_{par0} = C_{GGa} - [C_{GG} + 2C_{ov}] \quad (3.49)$$

En forma similar:

$$C_{Gdt} = \left(\frac{C_{GG0}}{2}\right) \frac{1 - \tanh(V_G - V_3)Q_3}{2} + C_{GDP2} \frac{1 + \tanh(V_G - V_3)Q_3}{2} \quad (3.50)$$

$$C_{GDP2} = C_{GDP1} + \frac{C_{par0}}{2} + C_{ov} \quad (3.51)$$

$$C_{GDP1} = C_{GD}(1 - V_D f_a) + C_{pasv} WL_{TOV}(V_D^{0.8} - V_{d0}^{0.8})MM \quad (3.52)$$

Aplicando el principio de conservación de la carga queda que:

$$C_{Gst} = C_{GGt} - C_{GDt} \quad (3.53)$$

$$C_{GDt} = \left(\frac{C_{GG0}}{2}\right) \frac{1 - \tanh[(V_G - V_3)Q_3]}{2} + C_{DGP1} \frac{1 + \tanh[(V_G - V_3)Q_3]}{2} \quad (3.54)$$

$$C_{DGP1} = -C_{DG}(1 - V_D f_a) + C_{ov} + C_{pasv} WL_{TOV}(V_D^{0.8} - V_{d0}^{0.8})MM \quad (3.55)$$

$$C_{DDt} = \left(\frac{C_{GG0}}{2}\right) \frac{1 - \tanh[(V_G - V_3)Q_3]}{2} + (C_{DDP1}) \frac{1 + \tanh[(V_G - V_3)Q_3]}{2} \quad (3.56)$$

$$C_{DDP1}(V_G, V_D) = -C_{DD}(1 - V_D f_a) + C_{ov} + \frac{C_{par0}}{2} + C_{pasv} WL_{TOV}(V_D^{0.8} - V_{d0}^{0.8})MM \quad (3.57)$$

Al igual que en (3.53):

$$C_{DSt} = C_{DGt} - C_{DDt} \quad (3.58)$$

La extracción de los valores de V_3 , Q_3 y V_A fue hecho, comparando la característica medida/simulada con la característica C_{GGt} modelada para $V_D=0$ V, como:

$$C_{GGt0} = C_{GG0} \frac{[1 - \tanh(V_G - V_3)Q_3]}{2} + [C_{GG} + C_{par0} + 2C_{ov}] \frac{[1 + \tanh(V_G - V_3)Q_3]}{2} \quad (3.59)$$

El procedimiento para modelar las características de las capacitancias puede ser resumido en los siguientes pasos:

1. Obtener las características transferenciales en régimen lineal y de saturación y las características de salida del dispositivo por mediciones o por simulaciones.
2. Extraer los parámetros del modelo usando el UMEM.
3. Obtener por simulación, las capacitancias *vs.* V_G y V_D para C_{GG} , C_{GD} , C_{GS} y C_{DS} correspondiendo a los datos geométricos y tecnológicos del dispositivo fabricado, del cual uno quiera modelar su capacitancia interna.
4. Medir o simular la característica de C_{GG} *vs.* V_G para un transistor con D y S interconectado, aplicando la señal de medición entre G y D-S cortocircuitados.
5. Extraer los valores de C_{GG} en empobrecimiento C_{GG0} y en acumulación C_{GGa} .
6. Extraer los valores de V_A , V_3 y Q_3 comparando la característica de C_{GG} modelada con la medida/simulada a $V_D=0$ V.
7. Determinar el valor del voltaje de transición en la característica medida/simulada para el máximo valor de V_D medido correspondiente, usando la ecuación (3.33) y fijar el valor de α_{SS} .

3.3. Descripción del modelo I-V para AOSTFTs con estructura de doble compuerta simétrica

En esta sección se describe el desarrollo del modelo analítico para un AOSTFT de doble-compuerta simétrica. Este modelo calcula la característica corriente-voltaje en las regiones sobreumbral y subumbral, así como las distribuciones del potencial transversal en el canal del transistor. Se describe el procedimiento de extracción de los parámetros del modelo.

La figura 3.7 (a) muestra la estructura de DG simétrica de un AOSTFT utilizada en este trabajo. En la figura 3.7 (b) se observa el diagrama de bandas del semiconductor en el dispositivo, como se puede apreciar el potencial superficial (ϕ) y el potencial en el centro del semiconductor (ϕ_0) (en $x = 0$) varían con el voltaje V_G aplicado en la dirección x , y con el voltaje V_D aplicado en la dirección y de la estructura del TFT de $y=0$ a $y=L$.

La figura 3.8 muestra la estructura simulada utilizando la herramienta ATLAS de Silvaco, a partir de la cual se obtuvieron las siguientes características I-V: transferencial en régimen lineal, transferencial en régimen de saturación y características de salida.

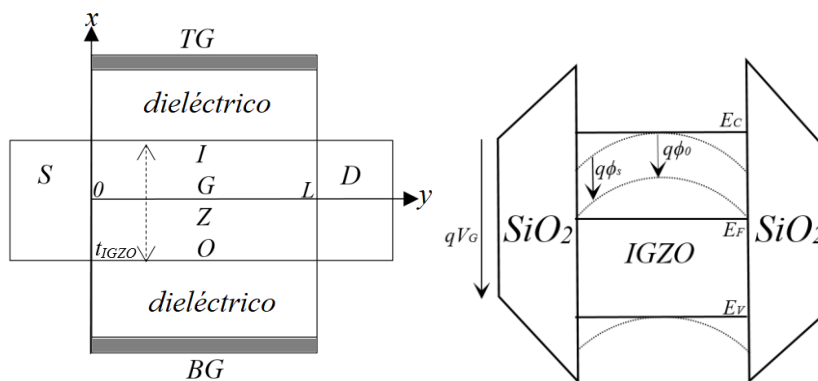


Figura 3.7 a) Sección transversal de la estructura de un AOSTFT de 2G, b) Diagrama de bandas.

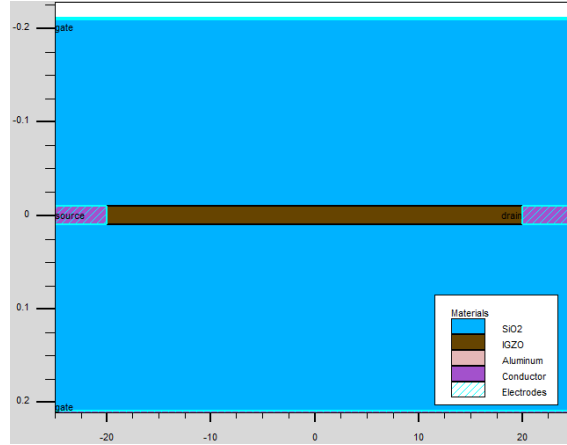


Figura 3.8 AOSTFT de DG simétrico simulado usando el programa ATLAS de Silvaco.

En los óxidos metálicos amorfos, como a-IGZO, la DOS puede representarse como una distribución exponencial, considerando solo los estados de cola, como vimos en el Capítulo 2. Las expresiones que describen las densidades de portadores localizados y libres dependen del potencial en el semiconductor y de parámetros del dispositivo, como se describen en (2.7) y (2.8), respectivamente.

En el Capítulo 2 vimos también, cómo podemos calcular los parámetros de estas densidades de portadores de carga en el semiconductor. Para desarrollar el modelo para AOSTFTs de DG simétricos usaremos de igual forma las expresiones analíticas (2.9) para representar la densidad de portadores libres, y usando las aproximaciones (3.6) y (3.7) y los valores calculados en (3.8) y (3.9), podemos representar la densidad de portadores en los estados localizados en la banda prohibida del semiconductor de estos dispositivos.

La densidad total de portadores de carga es igual que en (3.2) la cual es equivalente a la expresión de la densidad efectiva de portadores de carga como en (3.3).

A partir de las características I-V de los TFTs, es posible obtener los valores de estos parámetros analíticamente de acuerdo con el siguiente procedimiento de extracción:

- 1) Se extrae el valor de V_T .
- 2) Con el valor extraído de γ se calcula el valor de T_{eff} usando (3.18).
- 3) La energía característica de la densidad efectiva de portadores de carga es calculada como $\phi_{eff}=k_bT_{eff}$.
- 4) Con el valor de T_{eff} , el valor de T_i es calculado usando (3.19).

Una vez calculados los parámetros que representan la densidad efectiva de portadores de carga en el semiconductor, se puede usar la ecuación de Poisson para encontrar una expresión que describa el potencial electrostático en el semiconductor, así como la distribución del campo eléctrico, como en (3.10) pero en función del potencial electrostático dentro del semiconductor (ϕ_e) en vez del potencial superficial.

Para la solución de (3.10) en el caso de AOSTFTs con una estructura de DG simétrica, es necesario tener en cuenta las siguientes condiciones de contorno:

$$\phi_e(0) = \phi_0, \frac{d\phi_e}{dx} \Big|_{(x=0)} = 0 \quad (3.60)$$

Al sustituir (3.3) en (3.10), en función de ϕ_e y utilizando equivalentes matemáticos conocidos, resulta que:

$$\left(\frac{d\phi_e}{dx}\right)^2 = \int \frac{2qN_{eff}}{\epsilon_s} e^{\frac{\phi_e - \phi_F}{\phi_{eff}}} d\phi \quad (3.61)$$

Resolviendo esta integral para $0 < x < t_{IGZO}/2$, tomando en cuenta las condiciones de contorno de (3.60), la solución de (3.61) es:

$$\frac{d\phi_e}{dx} = \sqrt{\frac{2qN_{eff}\phi_{eff}}{\epsilon_s} \left(e^{\frac{\phi-\phi_F}{\phi_{eff}}} - e^{\frac{\phi_0-\phi_F}{\phi_{eff}}} \right)} \quad (3.62)$$

Considerando la longitud de Debye efectiva (L_{De}) como:

$$L_D = \frac{1}{\phi_{eff}} L_{De} = \frac{1}{\phi_{eff}} \sqrt{\frac{\phi_{eff}\epsilon_s}{2qN_{eff}}} \quad (3.63)$$

Y definiendo la función F como:

$$F(\phi, \phi_0) = \sqrt{e^{\frac{\phi-\phi_F}{\phi_{eff}}} - e^{\frac{\phi_0-\phi_F}{\phi_{eff}}}} \quad (3.64)$$

La ecuación (3.62) puede ser reescrita como:

$$\frac{d\phi_e}{dx} = \frac{F(\phi, \phi_0)}{L_D} \quad (3.65)$$

De (3.65) se puede obtener una expresión para relacionar la posición de la coordenada transversal x con el potencial en el semiconductor como:

$$|x| = L_D \int \frac{d\phi}{F(\phi, \phi_0)} \quad (3.66)$$

Para resolver la integral se usarán algunas transformaciones matemáticas:

$$F(\phi, \phi_0) = e^{\frac{\phi - \phi_F}{2\phi_{eff}}} \sqrt{\left(1 - e^{-\frac{\phi - \phi_0}{\phi_{eff}}}\right)} \quad (3.67)$$

obteniendo:

$$|x| = L_D \int \frac{d\phi}{e^{\frac{\phi - \phi_F}{2\phi_{eff}}} \sqrt{\left(1 - e^{-\frac{\phi - \phi_0}{\phi_{eff}}}\right)}} \quad (3.68)$$

Considerando la propiedad matemática de (3.69) y haciendo un cambio de variable como en (3.70):

$$f(x) = \arccos[g(x)] \quad f'(x) = \frac{-g'(x)}{\sqrt{1-[g(x)]^2}} \quad (3.69)$$

$$u(\phi) = e^{-\frac{\phi - \phi_0}{2\phi_{eff}}} \quad (3.70)$$

La solución de (3.68) es:

$$|x| = L_D \frac{2\phi_{eff}}{\frac{\phi_0 - \phi_F}{e^{2\phi_{eff}}}} \arccos\left(e^{-\frac{\phi - \phi_0}{2\phi_{eff}}}\right) \quad (3.71)$$

Sustituyendo L_D , en (3.71):

$$|x| = \frac{\sqrt{2\varepsilon_s \phi_{eff}}}{\sqrt{qN_{eff}}} \frac{1}{\frac{\phi_0 - \phi_F}{e^{2\phi_{eff}}}} \arccos\left(e^{-\frac{\phi - \phi_0}{2\phi_{eff}}}\right) \quad (3.72)$$

De (3.72) podemos obtener la distribución de potencial dentro del semiconductor en función de x y ϕ_0 , igual a:

$$\phi_e(x, \phi_0) = \phi_0 - 2\phi_{eff} \ln \left[\cos \left(\sqrt{\frac{qN_{eff}}{2\varepsilon_s\phi_{eff}}} e^{\frac{\phi_0 - \phi_F}{2\phi_{eff}}} x \right) \right] \quad (3.73)$$

Usando (3.73), la distribución del campo eléctrico en el semiconductor es igual a:

$$E_S(x, \phi_0) = -\frac{d}{dx} [\phi_e(x, \phi_0)] \quad (3.74)$$

La Ley de Gauss en la capa de a-IGZO en la superficie (interfaz), se expresa como:

$$\frac{C_{ox}}{\varepsilon_s} \left[V_G - V_T - \phi_e \left(\frac{t_{igzo}}{2}, \phi_0 \right) \right] + E_S \left(\frac{t_{igzo}}{2}, \phi_0 \right) = 0 \quad (3.75)$$

La ecuación (3.75) es una expresión trascendente que depende de la distribución de potencial en el centro del semiconductor ϕ_0 . Se requieren métodos numéricos para resolverla y encontrar una manera de representar la distribución del potencial en el centro del semiconductor en función del voltaje de compuerta (V_G). Esta solución la cual se denominará como: ϕ_{0num} (potencial en el centro del semiconductor obtenido numéricamente) servirá como referencia para validar la expresión analítica que queremos obtener para representar $\phi_0(V_G)$.

Para resolver (3.75) analíticamente y obtener una expresión analítica para $\phi_0(V_G)$ se usó la siguiente aproximación, tomada de un comportamiento similar reportado en [66] para DG MOSFETs simétricos sin dopaje, en la región de

$V_G \approx V_T$. La relación entre ϕ_0 con V_G en AOSTFTs se puede expresar entonces como:

$$e^{\frac{\phi_0 - \phi_F}{\phi_{eff}}} \approx \frac{C_{ox}(V_G - V_T)}{qN_{eff} \frac{t_{igzo}}{2}} \quad (3.76)$$

Despejando ϕ_0 :

$$\phi_0 = \phi_F + \phi_{eff} \ln \left[\frac{C_{ox}(V_G - V_T)}{qN_{eff} \frac{t_{igzo}}{2}} \right] \quad (3.77)$$

Sin embargo, (3.77) es solamente válida cuando $V_G \approx V_T$, con el objetivo de modelar la región completa de operación del dispositivo, se usa un parámetro de ajuste en una función de costura *tanh*, para ajustar la región de operación, $V_G > V_T$ como:

$$\begin{aligned} \phi_{0T}(V_G) = & \left\{ \phi_F + \phi_{eff} \ln \left[\frac{C_{ox}(V_G - V_T)}{qN_{eff} \frac{t_{igzo}}{2}} \right] \right\} \frac{1 - \tanh[V_G - V_T - V_4]Q_4}{2} + \\ & \left\{ \phi_F + \phi_{eff} \ln \left[\frac{C_{ox}(V_G - V_T)}{aqN_{eff} \frac{t_{igzo}}{2}} \right] \right\} \frac{1 + \tanh[V_G - V_T - V_4]Q_4}{2} \end{aligned} \quad (3.78)$$

donde a , V_4 y Q_4 son los únicos parámetros de ajuste que se usan en el modelo. Sustituyendo (3.78) en (3.73), se puede definir una expresión analítica que describa el comportamiento del potencial electrostático en el semiconductor de un AOSTFT de DG simétrico.

El modelo de movilidad para TFTs amorfos se representa usando (3.15). Sustituyendo las expresiones de las densidades de portadores en (3.15) y teniendo en cuenta la expresión del potencial en el semiconductor (3.73) considerando la

expresión del potencial en el centro del semiconductor (3.78), la expresión para la movilidad de portadores de carga como función de V_G se puede expresar como:

$$\mu(V_G, x) = \mu_0 \frac{N_C}{N_{eff}} \frac{\left(\frac{\phi_0(V_G) - \phi_F}{e^{2\phi_{eff}}} \right)^\gamma}{\left[\cos \left(\frac{x e \left(\frac{\phi_0(V_G) - \phi_F}{e^{2\phi_{eff}}} \right)}{\sqrt{\frac{2\epsilon_s \phi_{eff}}{q N_{eff}}}} \right) \right]^\gamma} \quad (3.79)$$

Es importante tener en cuenta que la expresión obtenida para la movilidad tiene una ley de potencia dada por el parámetro γ , típico de las TFT amorfos. Sin embargo, en este caso, la dependencia de la movilidad en AOSTFTs de DG simétricos con V_G estará dada por la dependencia con V_G del potencial en el centro.

Usando este modelo para la movilidad de efecto de campo en este tipo de dispositivos, se define la expresión de corriente en el TFT considerando que será dos veces la corriente que fluye del centro del semiconductor a una de las superficies o interfaces, debido a la simetría de la estructura. La corriente total en régimen subumbral (usando (3.30)) y sobreumbral, en el canal de un AOSTFT de DG simétrica se define como:

$$I_{DST2G}(V_G, V_D) = I_{DSbT}(V_G, V_D) \frac{1 - \tanh[(V_G - V_T - V_2)Q_2]}{2} + I_{DS2G}(V_G, V_D) \frac{1 + \tanh[(V_G - V_T - V_2)Q_2]}{2} \quad (3.80)$$

donde:

$$I_{DS2G} \left(V_G, V_D, \frac{t_{igzo}}{2} \right) = 2 \frac{W}{L} C_{ox} \frac{\mu \left(V_G, \frac{t_{igzo}}{2} \right)}{1 + R_S \frac{2W}{L} C_{ox} \mu \left(V_G, \frac{t_{igzo}}{2} \right) (V_G - V_T)} (V_G - V_T) V_{def}(V_G, V_D) (1 + \lambda V_D) \quad (3.81)$$

Es importante destacar que (3.81) no es la corriente de un TFT de simple compuerta multiplicada por 2, debido a que el potencial en el centro del semiconductor es diferente de 0, por lo tanto, la distribución de potencial es distinta.

CAPÍTULO IV

4. Parte Experimental

Como se mencionó en el Capítulo 2, para el desarrollo de este trabajo se caracterizaron y se analizaron dispositivos AOSTFTs con una estructura de fabricación BG/TC y configuración ESL. Se usaron dispositivos diferentes en cuanto a tipo de materiales, espesores usados en sus capas y proceso de fabricación en general. A continuación, describimos y enlistamos detalladamente los dispositivos, que se tomaron como referencia en esta tesis para el desarrollo tanto de los modelos como de los diferentes análisis que se realizaron para este tipo de TFTs. Cabe destacar que los dispositivos que a continuación se describirán están basados fundamentalmente en a-IGZO, aunque se analizó también otro tipo de AOSTFT basado en a-HIZO.

Dispositivo 1: Se fabricó sobre sustrato flexible tipo PET (*Tereftalato de polietileno*) y el semiconductor fue a-IGZO, como se muestra en la figura 4.1. La estructura consistió en una compuerta de molibdeno/cromo (Mo/Cr) de 100 nm aproximadamente de espesor, definida por fotolitografía, sobre la cual se depositó por PECVD a 250 °C, una capa apilada de SiO₂/Si₃N₄ de 200 nm de espesor de EOT. La capa de a-IGZO de un espesor de 12 nm se depositó mediante pulverización catódica de RF a temperatura ambiente (TA). Otra capa de SiO₂, de 100 nm de espesor, también depositada por PECVD, se usó como capa de ESL. Los agujeros para los contactos de G, D, y S, se realizaron mediante fotolitografía y grabado en seco. El Mo/Cr se usó para contactos de S/D y también se definió mediante fotolitografía. Después de la fabricación del TFT, se realizó un paso posterior de recocido térmico a temperaturas inferiores a 350 °C, con el fin de mejorar la estabilidad del dispositivo, manteniendo la compatibilidad con el sustrato flexible.

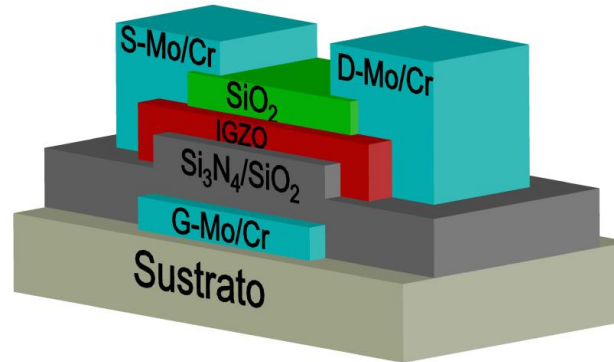


Figura 4.1 Sección transversal del dispositivo 1.

Dispositivo 2: Este dispositivo tiene una estructura similar como se muestra en la figura 4.2. Consiste en 90 nm de espesor de HfO_2 como dieléctrico de compuerta, depositado a 100°C por la técnica de depósito por capas atómicas (ALD), encima del cual fueron depositados 70 nm de espesor de IGZO por depósito por pulsos de láser (PLD) en 20 mTorr de presión de oxígeno. Una capa de 500 nm de espesor de poly-p-xylylene-C (Parylene-C) fue usada como ESL depositada por depósito químico en vapor (CVD) a TA a 1mTorr. Como contacto de G se usó Au/Cr depositado por haz de electrones y el Al fue empleado para los contactos de S/D. Se realizó un tratamiento térmico después del depósito de la capa de a-IGZO y al final del proceso de fabricación [67].

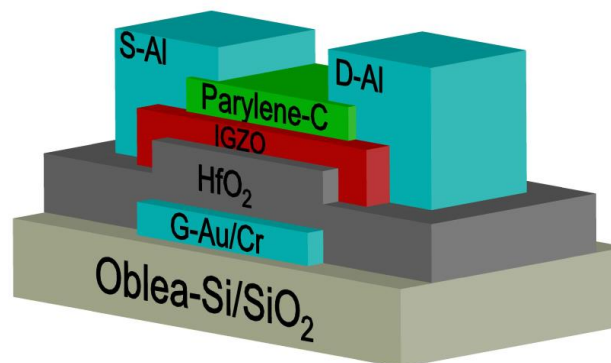


Figura 4.2 Sección transversal del dispositivo 2.

Dispositivo 3: Este dispositivo presenta la misma estructura que el Dispositivo 1, pero con un espesor de a-IGZO de 45 nm. La sección transversal del dispositivo, igual se muestra en la figura 4.1.

Dispositivo 4: El dispositivo 4 está basado en otro tipo de AOS. El dispositivo fue fabricado con una capa de 36 nm de espesor de HIZO y 150 nm de espesor de HfO_2 como dieléctrico de compuerta. Como ESL fue empleada una capa de 400 nm de espesor de PMMA. El Mo fue usado para los contactos de G, S/D, como se observa en la figura 4.3.

Las mediciones I-V fueron hechas usando un sistema de caracterización Keythley 4200. Para mediciones C-V se empleó un medidor Agilent E4980A LCR de precisión. Las mediciones eléctricas con temperatura fueron hechas en condiciones de vacío usando un controlador programable de temperatura K20 y en una cámara de medición de MMR Technologies Inc.

Es importante destacar que además de la caracterización experimental de cada uno de estos dispositivos, parte del trabajo desarrollado en esta tesis se basó de igual forma en simulaciones usando el programa ATLAS de Silvaco de dispositivos con la misma estructura de fabricación mostradas anteriormente.

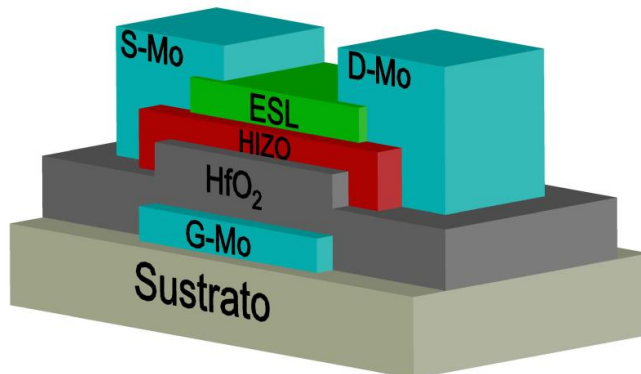


Figura 4.3 Sección transversal del dispositivo 4.

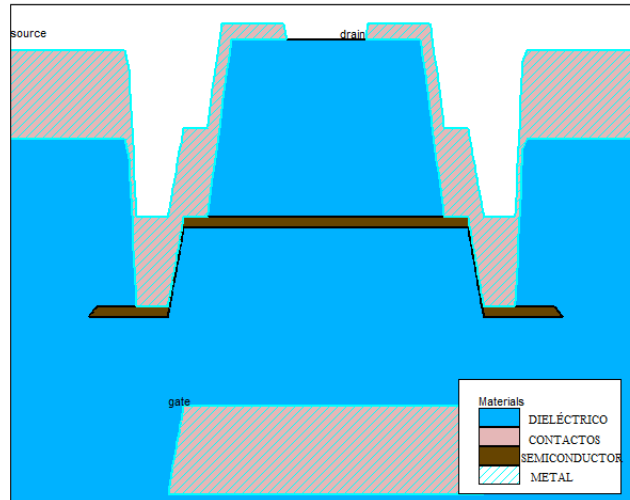


Figura 4.4 Estructura de los AOSTFTs simulados.

Estas simulaciones nos permitieron estudiar y analizar el funcionamiento eléctrico y físico de este tipo de TFTs con más profundidad, así como analizar efectos extrínsecos particulares de la estructura de los AOSTFTs que influían en el desempeño de estos transistores.

En la figura 4.4 se puede observar la estructura que se obtuvo a través del programa ATHENAS de Silvaco, el cual nos permite diseñar y fabricar las estructuras de los dispositivos que deseamos analizar.

CAPÍTULO V

5. Análisis y discusión de los resultados

El creciente interés por parte de la comunidad científica hacia los AOSTFTs ha servido como motivación para la investigación de la física de estos dispositivos basados fundamentalmente en a-IGZO, así como para el desarrollo de modelos que reproduzcan las propiedades eléctricas de estos, como los que se han presentado en este trabajo. Estos modelos son validados en este capítulo usando mediciones hechas a dispositivos AOSTFTs fabricados, así como simulaciones usando herramientas TCAD. Estas simulaciones nos brindan la posibilidad de validar los modelos en un rango amplio de variables asociadas a los dispositivos como voltajes aplicados y parámetros de la estructura que involucren todos los mecanismos físicos que se han descrito en esta Tesis. Además, nos permitió validar los modelos en circuitos eléctricos fabricados con a-IGZO TFTs en régimen dinámico, usando el simulador SmartSpice de Silvaco.

Desde otra perspectiva los AOSTFT no solo se han estudiado para aplicaciones en AMOLEDs, donde desempeñan un papel decisivo en circuitos controladores para la matriz de píxeles, sino también para aplicaciones analógicas y otras aplicaciones digitales. Podemos encontrar aplicaciones como amplificadores frontales para bio-potenciales, sumadores y controladores analógicos de baja potencia, amplificadores de trans-impedancia de alta ganancia o transistores que operan en el subumbral profundo [32-38].

La fabricación, el diseño y el rendimiento de los circuitos para estas aplicaciones también han sido objeto de estudio. En [37, 38], los autores reportaron buenos resultados en términos de la caracterización y el rendimiento de los circuitos en los regímenes de operación de CD y CA. Sin embargo, aunque existen muchos reportes en la literatura sobre la fabricación y el diseño de

circuitos analógicos y digitales que utilizan a-IGZO y a-HIZO, no se han encontrado informes considerando su comportamiento no lineal. Debido a esto una parte de este Capítulo se ha dedicado a describir un trabajo donde se analiza la distorsión armónica no lineal en AOSTFTs y sus principales diferencias con respecto a los MOSFETs.

5.1. Validación del modelo I-V para AOSTFTs

Los resultados obtenidos durante el desarrollo del modelo analítico I-V para AOSTFTs se pueden utilizar para estudiar la relación entre las densidades de los portadores libres y localizados en los dispositivos analizados en función del voltaje de compuerta, que es importante para comprender el comportamiento eléctrico de los dispositivos. Además, el procedimiento que se describirá a continuación permite una forma simple de calcular g_{at0} , y T_t .

Estos parámetros generalmente se calculan utilizando otros métodos más complicados, como el basado en la regla de Meyer-Neldel (MNR) [18], que requieren mediciones con la temperatura, o las características de capacitancia-voltaje en multifrecuencia [22].

El modelo se validó usando dos TFTs de IGZO, con características de estructura y fabricación experimental igual a los dispositivos 1 y 2 descritos en el Capítulo anterior. Las figuras 5.1 y 5.2 muestran el buen ajuste que se obtuvo entre las curvas transferenciales y de salida, medidas, modeladas y simuladas en SmartSpice, con los parámetros extraídos del Dispositivo 1 y Dispositivo 2, respectivamente. La tabla 5.1, muestra los valores de los parámetros de la estructura de los dispositivos antes mencionados, así como de los parámetros que describen la densidad de portadores de carga en el semiconductor.

Las figuras 5.3 y 5.4 muestran la buena coincidencia entre la densidad total de portadores de (3.2) y la densidad efectiva de portadores de (3.3). En las mismas figuras, se puede ver que, para estos dispositivos, la carga libre no puede considerarse inferior a la localizada, incluso cuando el nivel de Fermi está por debajo de la banda de conducción. Los valores de los parámetros δ , β y ψ de las ecuaciones (3.8) y (3.9) para el cálculo analítico de N_{eff} y g_{at0} fueron de 0.695, 0.18 y 1.2, respectivamente, para el dispositivo 1 y 0.695, 0.18 y 1.5, respectivamente, para el dispositivo 2.

Tabla 5.1 Parámetros geométricos y físicos de los dispositivos analizados

Parámetro	Dispositivo 1	Dispositivo 2
$W (\mu m)$	900	80
$L (\mu m)$	30	40
$t_{OX} (nm)$	200	90
ϵ_i	5.2	20
ϵ_s	9	9
$C_{OX} (nF/cm^2)$	23	197
$\phi_F (mV)$	125	65.3
$g_{at0} (cm^{-3})$	2.5×10^{19}	4.1×10^{19}
$T_i (K)$	445	515
$N_{eff} (cm^{-3})$	5.7×10^{18}	6.4×10^{18}
$T_{eff} (K)$	373	407
$N_D (cm^{-3})$	4×10^{16}	4×10^{17}

La tabla 5.2 muestra los parámetros extraídos del modelo, para reproducir las características eléctricas de los dispositivos de las figuras 5.1 y 5.2, desde el subumbral hasta el sobreumbral. Para el Dispositivo 1, el valor obtenido de $g_{at0} = 1.6 \times 10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$ y $T_i = 445 \text{ K}$, que corresponde a una energía característica de 38 meV. Usando el método basado en MNR [26], se obtuvieron valores de $g_{at0} = 6 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$ y una energía característica de 40 meV.

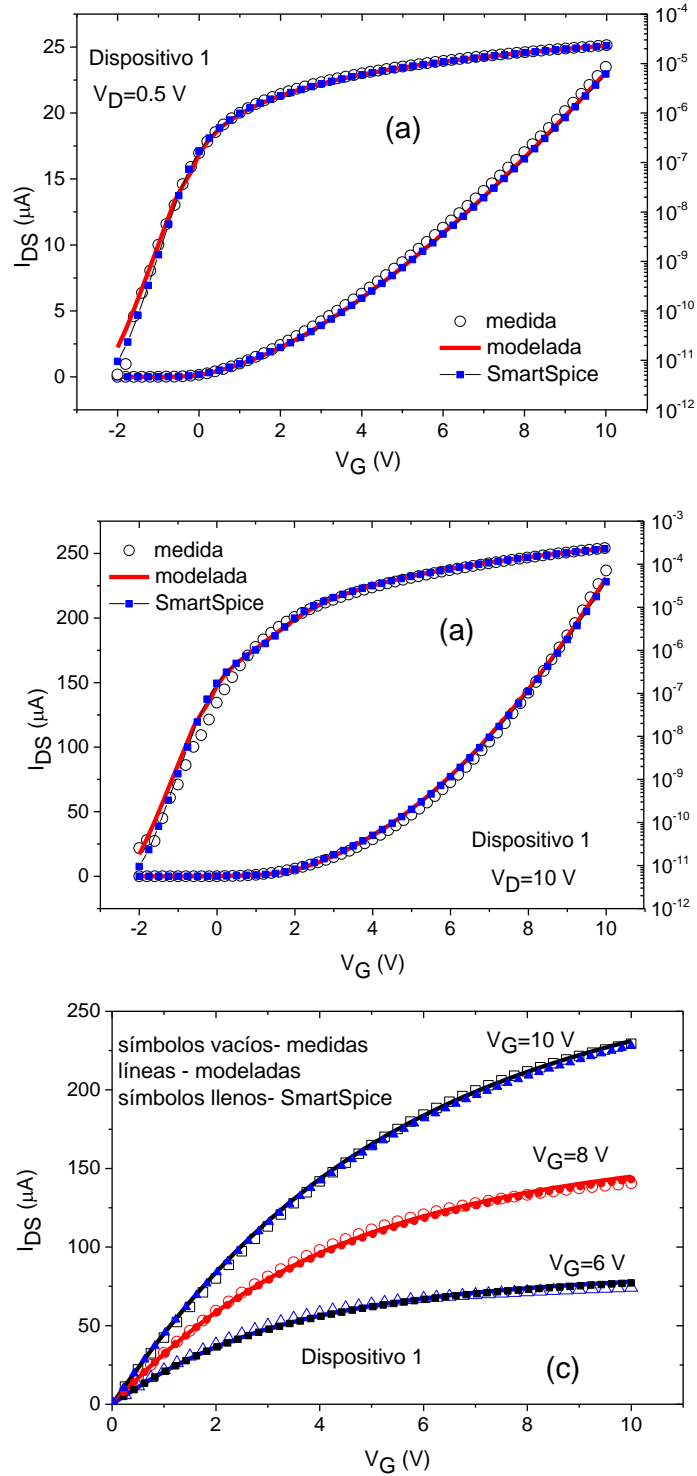


Figura 5.1 Características I-V medidas y modeladas (a) transferencial lineal (b) transferencial en saturación (c) características de salida para el dispositivo 1.

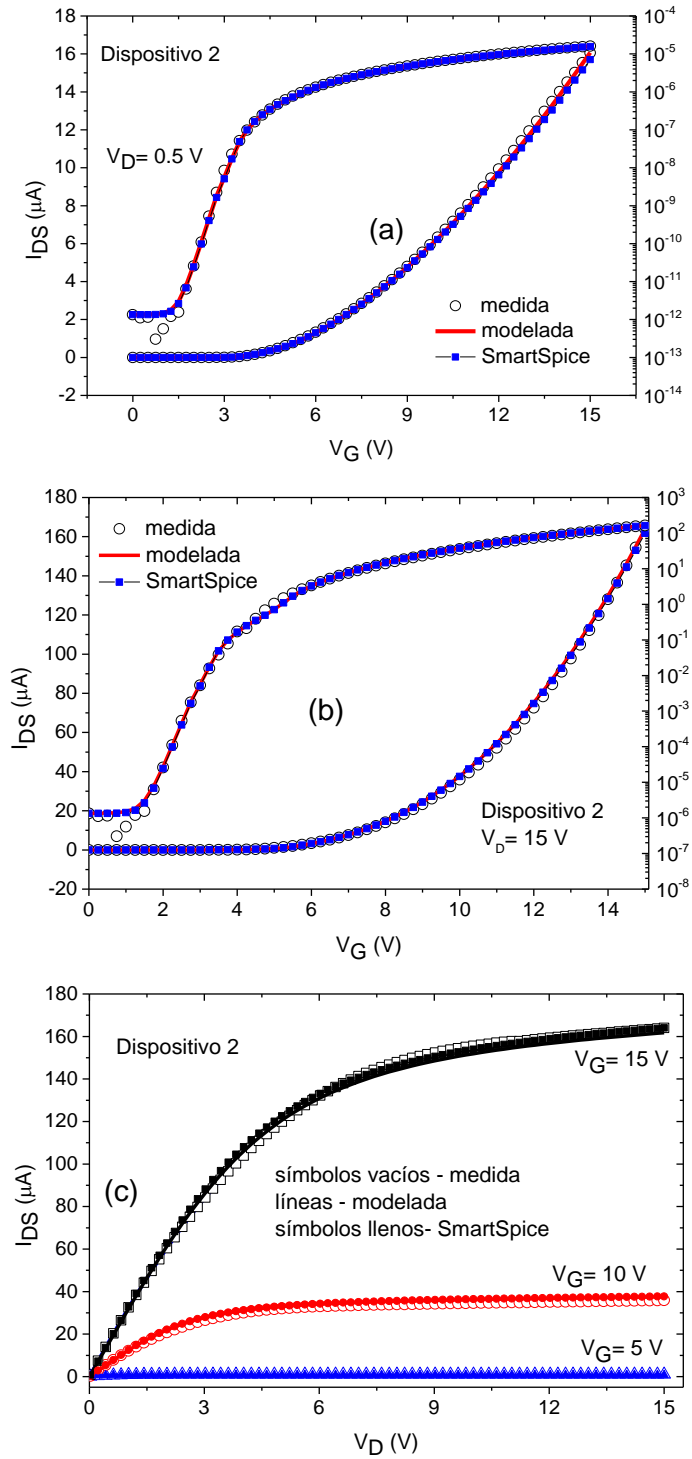


Figura 5.2: Características I-V medidas y modeladas (a) transferencial lineal, transferencial en saturación (c) de salida para el dispositivo 2.

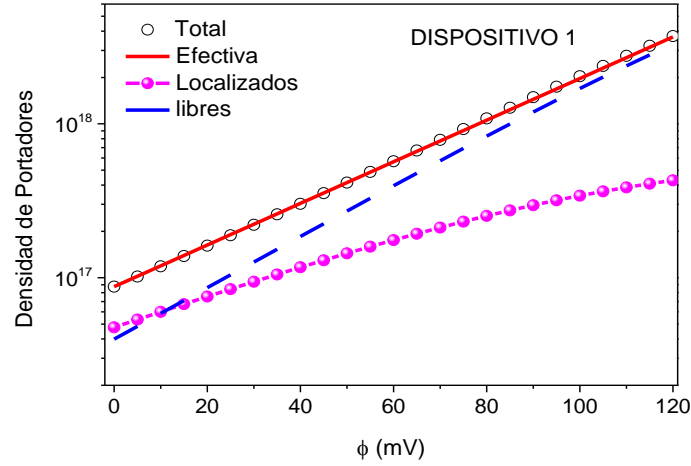


Figura 5.3 Densidad de portadores localizados y libres; densidad total y efectiva de portadores vs. potencial superficial, (Dispositivo 1).

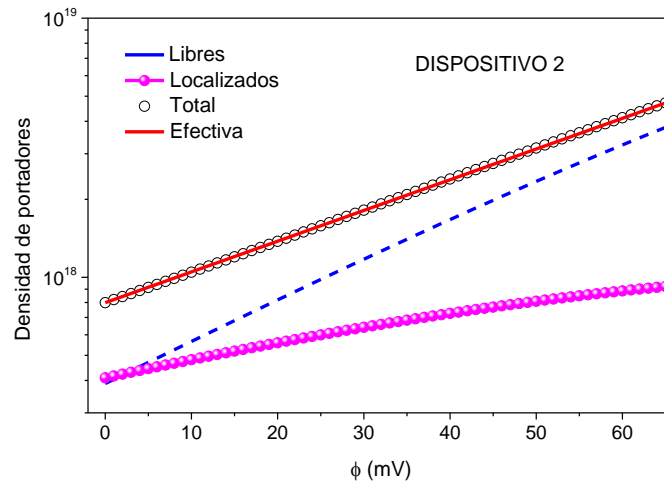


Figura 5.4 Densidad de portadores localizados y libres; densidad total y efectiva de portadores vs. Potencial superficial, (Dispositivo 2).

En la figura 5.5 se observa la variación de la movilidad con $(V_G - V_T)$ para ambos dispositivos analizados. Como se esperaba, el comportamiento de la movilidad en función de los parámetros físicos del dispositivo es prácticamente el mismo, a pesar de que los valores extraídos por el modelo para cada transistor sean diferentes. Esto demuestra que el modelo no solo reproduce bien las

características eléctricas de los AOSTFTs sino también el comportamiento físico de los mismos.

Tabla 5.2 Parámetros extraídos del modelo I-V para los dispositivos 1 y 2.

Parámetro	Dispositivo 1	Dispositivo 2
$V_T (V)$	-0.22	3.2
γ	0.48	0.72
$V_{AAC} (V)$	12.5	1.72
$\mu_{0C} (cm^2/Vs)$	7.3	1.79
$\mu_1 (cm^2/Vs)$	2.2	1.2
$V_F (V)$	9.2	4.45
α_S	0.67	0.4
m	1.4	2.45
λ	-0.0015	0.005
$R_S (\Omega)$	66.6	683
$V_{FB} (V)$	-0.6	2.95
γ_b	0.86	0.9
$\mu_{1b} (cm^2/Vs)$	1.2	0.78
$I_0 (A)$	5.2×10^{-12}	1.34×10^{-12}
S	0.4	0.4
VI	-0.1	-0.15
$Q1/Q2$	5/2	5/2
$V2$	2	2

Además del material utilizado como dieléctrico y su espesor, la otra diferencia importante entre ambos dispositivos es la conductividad de la capa de a-IGZO, que en el caso del Dispositivo 2 es un orden más alto que en el Dispositivo 1. Por esta razón, el voltaje de compuerta a la cual el nivel de Fermi alcanza la banda de conducción para el Dispositivo 2 es menor. Además, los valores de μ_{0C} y V_{AAC} son diferentes para cada dispositivo, ya que a pesar de que

los parámetros físicos asociados a la DOS de ambos dispositivos son relativamente cercanos, el potencial de Fermi es diferente.

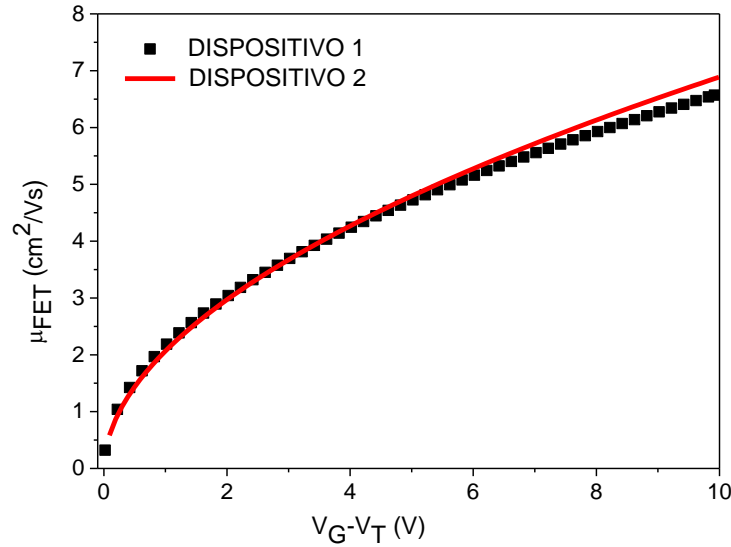


Figura 5.5 Movilidad de efecto de campo como función de $V_G - V_T$, para los dispositivos 1 y 2.

Como se puede observar, el método presentado permite una forma simple de calcular g_{at0} y T_t para describir la DOS en la banda prohibida del semiconductor del TFT, así como analizar el comportamiento físico de la movilidad en diferentes dispositivos.

5.2. Validación del modelo C-V para AOSTFTs

Usando las herramientas de simulación tecnológica ATHENAS y de simulación de dispositivos ATLAS de Silvaco, se simuló un AOSTFT con una estructura BG/TC con $W=900 \mu\text{m}$ y $L=30 \mu\text{m}$, con una estructura igual al Dispositivo 2 del Capítulo 4, en este caso se analizaron dispositivos con $L_{TOV}=5$ y $10 \mu\text{m}$ y otros sin TMO. También el modelo se validó con base a resultados experimentales respecto a la capacitancia C_{GG} de un a-IGZO TFT con la misma estructura que la simulada con $W=1200 \mu\text{m}$, $L=15 \mu\text{m}$ y $L_{TOV}=5 \mu\text{m}$.

Las figuras 5.6 a 5.8 muestran el buen ajuste entre las capacitancias simuladas y las modeladas. En la figura 5.9 se observa, de igual forma, cómo el modelo reproduce muy bien la capacitancia C_{GG} del dispositivo fabricado y medido experimentalmente.

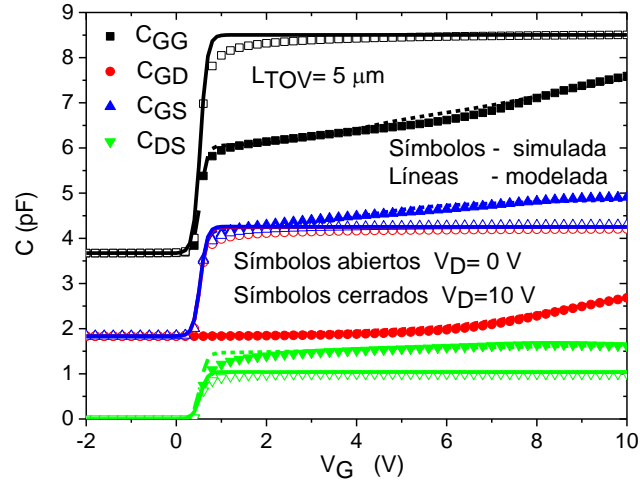


Figura 5.6 Capacitancia simulada y modelada con $L_{TOV} = 5 \mu m$ a $V_D = 0$ y 10 V.

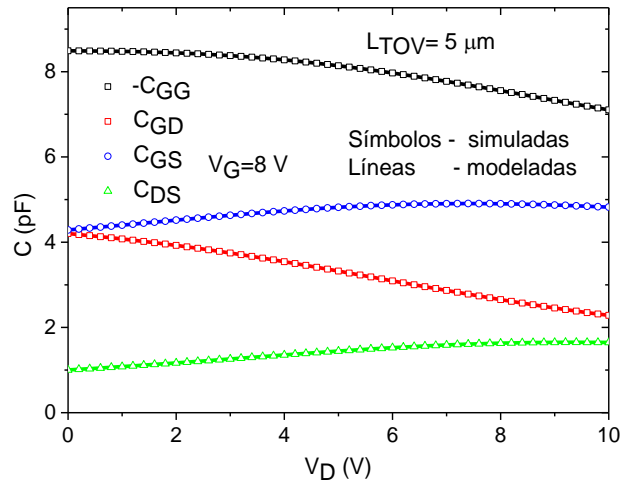


Figura 5.7 Capacitancia simulada y modelada en función de V_D con $L_{TOV} = 5 \mu m$ a $V_G = 8$ V.

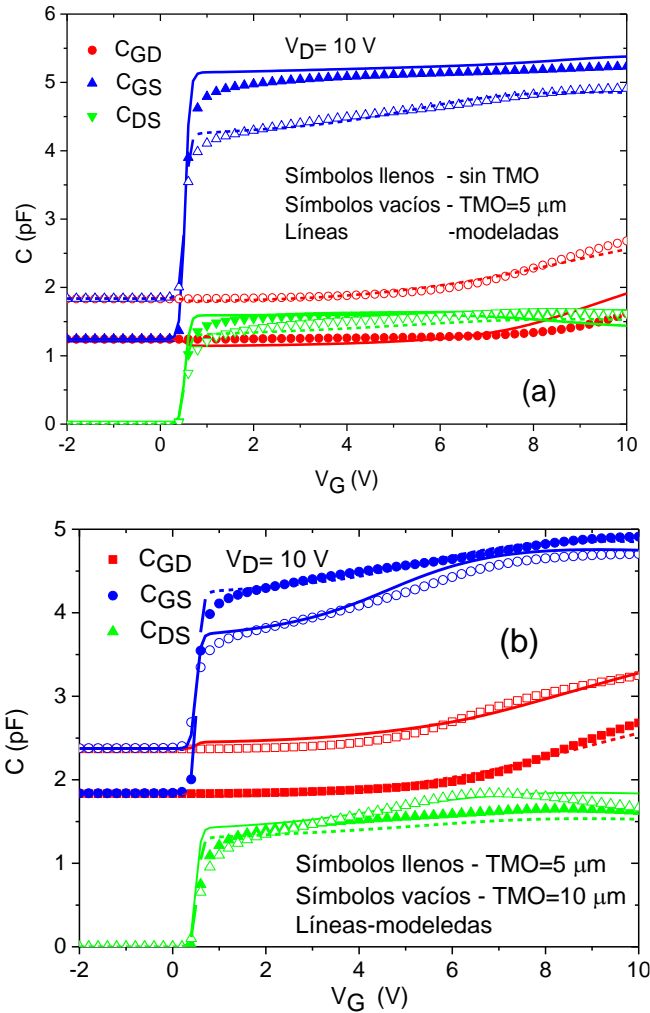


Figura 5.8 Comparación de las capacitancias simuladas y modeladas: a) para dispositivos sin TMO y con TMO= 5 μm , b) para dispositivo con TMO= 5 μm y TMO= 10 μm .

Como puede verse el modelo de C-V desarrollado, reproduce de forma muy aceptable el comportamiento de las capacitancias en un AOSTFT para estructuras con y sin TMO, así como el efecto cuando éste se incrementa. La tabla 5.3 muestra los valores de los parámetros usados en la simulación, los cuales fueron obtenidos aplicando un método de optimización matemática. Con este método se extraen todos los parámetros a un mismo tiempo. El parámetro de α_{SS} es determinado fijando el valor de V_{GC} (V_D , α_{SS}) al voltaje de transición de la

característica C_{GG} simulada. Los parámetros de ajuste del modelo a , V_3 y Q_3 son obtenidos comparando las curvas de C vs. V_G simuladas y modeladas para diferentes valores de V_D dentro del rango de operación.

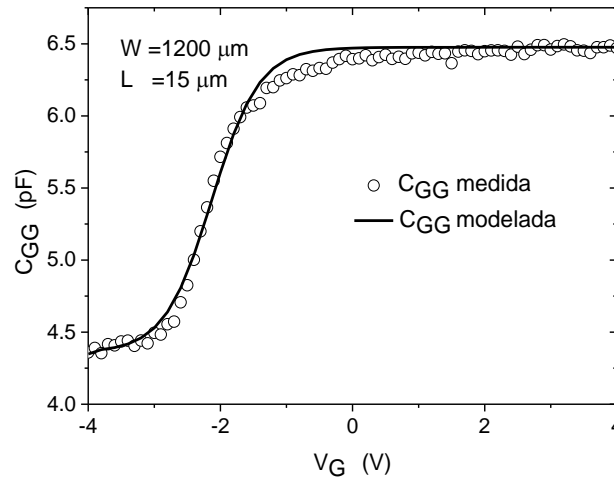


Figura 5.9 Comparación entre la capacitancia medida y modelada, C_{GG} a $V_D=0$ con TMO= 5 μm .

Tabla 5.3 Parámetros extraídos del modelo C-V

V_T	γ	α_s	m	DD	a	MM	VA	α_{SS}	L_{TOV}	Q_3	V_3
0.52	0.11	0.6	2.3	0	0.015	0	0.1	1.2	0	9	0.53
0.44	0.14	0.7	1.7	0.1	0.024	0.03	0.45	1.6	5	7	0.55
0.47	0.12	0.9	1.3	0.15	0.02	0.04	0.47	2.2	10	10	0.5

Como se pudo apreciar, el TMO cerca del drenaje sirve como una segunda compuerta con un voltaje aplicado igual a V_D . Cuando $V_D > V_T$, la interfaz S-P se acumula de portadores de carga en una región cerca del drenaje, modificando el comportamiento de las diferentes capacitancias del dispositivo.

5.3. Validación del modelo I-V para AOSTFTs con estructura de doble compuerta simétrica

Para validar el modelo desarrollado dedicado a reproducir las características eléctricas de un AOSTFT de doble compuerta con estructura simétrica, se usan diferentes dispositivos simulados empleando el simulador ATLAS de Silvaco. Los parámetros de la estructura que se toma como referencia se muestran en la tabla 5.4. Además, otros cinco dispositivos fueron simulados a los cuales se les modificaron parámetros de la estructura como: longitud de canal (L), espesor del dieléctrico (t_{OX}) y espesor del semiconductor (t_{IGZO}) ver tabla 5.5. El modelo con solo 13 parámetros reproduce las características I-V en régimen de operación sobreumbral. En la tabla 5.6 se observan los valores de estos parámetros para los dispositivos de la tabla 5.5 y el de referencia. El procedimiento usado para la extracción de estos parámetros fue el de optimización matemática.

Tabla 5.4 Parámetros de la estructura del AOSTFT de doble compuerta usado como referencia.

Parámetro	Valor
W (μm)	100
L (μm)	40
t_{OX} (nm)	200
t_{IGZO} (nm)	20
N_C (cm^{-3})	5×10^{18}
ϵ_i	3.9
ϵ_S	$9\epsilon_0$
N_D (cm^{-3})	4×10^{16}

En [68] relativo a la validación de un modelo similar los autores usaron una característica eléctrica de un TFT de a-IGZO de doble compuerta fabricado y medido, reportado en [69].

En este trabajo se reprodujo por simulación dicha característica eléctrica experimental, que corresponde a la curva transferencial en saturación del dispositivo. Además, se obtuvieron las otras curvas características del TFT para validar experimentalmente del modelo propuesto en esta tesis.

Tabla 5.5 Parámetros de la estructura de los diferentes AOSTFTs de doble compuerta simulados.

Dispositivo	$L (\mu m) - t_{OX} (nm) - t_{IGZO} (nm)$
<i>A</i>	30 – 200 - 20
<i>B</i>	20 – 200 - 20
<i>C</i>	40 – 300 - 20
<i>D</i>	40 – 200 - 30
<i>E</i>	40 - 200 - 40

En la figura 5.10, se muestra la comparación entre las características eléctricas para el TFT de referencia, obtenidos por simulación y por el modelo. Usando la expresión de corriente total (3.80) para un dispositivo de DG simétrico definida en el Capítulo 3 con los parámetros de la tabla 5.6 para la parte sobreumbral y los parámetros de la tabla 5.7 para la parte subumbral. Las variaciones del potencial superficial y del potencial en el centro del semiconductor en función del voltaje de compuerta, obtenidos por simulación y modelados, se muestran en la figura 5.11, para el dispositivo de referencia. Asimismo, en la figura 5.12 se muestra la variación del potencial entre la compuerta superior y la inferior para diferentes valores de V_G . La tabla 5.8 muestra los parámetros que se usaron en el simulador para obtener las características eléctricas del dispositivo experimental.

Tabla 5.6 Parámetros extraídos para los AOSTFTs de doble compuerta simulados considerando solo la región de operación sobreumbral

DISPOSITIVOS DE LA TABLA 5.6						
Parámetro	TFT de Referencia	A	B	C	D	E
V_T	0.8	0.6	0.7	0.6	0.5	0.5
γ	0.2	0.2	0.2	0.18	0.2	0.2
T_{eff}	330	331	295	296	298	300
$N_{eff} (x10^{18})$	5.3	3.98	3.74	3.7	3.8	3.7
T_i	359	360	360	360	360	360
μ_{0C}	12	8.6	9	9.2	8.98	9.1
α_S	0.6	0.5	0.5	0.6	0.5	0.6
m	2	2.7	2.4	2.9	2.6	2.5
$\lambda(x10^{-3})$	-0.01	1.9	1.7	-1.7	-0.2	2
R_S	0	0	0	0	0	0
a	3	3.4	3.8	2.5	4	5.2
V_4	5.7	6	6.4	5.3	4.3	4
Q_4	0.15	0.12	0.17	0.16	0.16	0.16

Tabla 5.7 Parámetros para modelar el AOSTFT de referencia en la región subumbral

Parámetro	TFT de referencia	Parámetro	TFT de referencia
γ_b	0.4	V_{FB}	0.6
I_0	1.6×10^{-14}	μ_{1b}	11.3
V_2	1	ϕ_F	0.13
V_1	0	Q_1	100
S	0.2	Q_2	100

En este caso, los valores de los parámetros δ , β y ψ de las ecuaciones (3.8) y (3.9) para el cálculo analítico de N_{eff} y $gat0$ fueron de 0.694, 0.18 y 1.185, respectivamente, para el dispositivo de referencia.

Tabla 5.8 Parámetros de la estructura usados para simular el AOSTFT de doble compuerta experimental

Parámetro	Valor	Parámetro	Valor
W (μm)	100	g_{at0} (cm^{-3}/eV)	1×10^{19}
L (μm)	30	kT_i (eV)	0.06
t_{OX} (nm)	200	μ_n (cm^2/Vs)	9.75
t_{IGZO} (nm)	30	ϵ_i	3.9
N_C (cm^{-3})	5×10^{18}	ϵ_S	$9\epsilon_0$
N_D (cm^{-3})	7×10^{15}	-	-

Tabla 5.9 Parámetros extraídos del modelo para el AOSTFT de doble compuerta experimental en ambas regiones de operación: subumbral y sobreumbral

Parámetro	TFT Experimental	Parámetro	TFT Experimental
V_T	0.85	m	2.04
γ	0.27	$\lambda(x10^{-3})$	11
T_{eff}	341	R_S	0
N_{eff} ($x10^{18}$)	4.04	a	4
T_i	382	V_{FB}	0.3
μ_0	5.16	Q_4	0.15
α_S	0.42	S	0.1
γ_b	0.9	μ_{1b}	2.7
I_0	6.5×10^{-14}	ϕ_F	0.13
V_4	5	Q_1	100
V_1	-0.3	Q_2	100
V_2	0.15	-	-

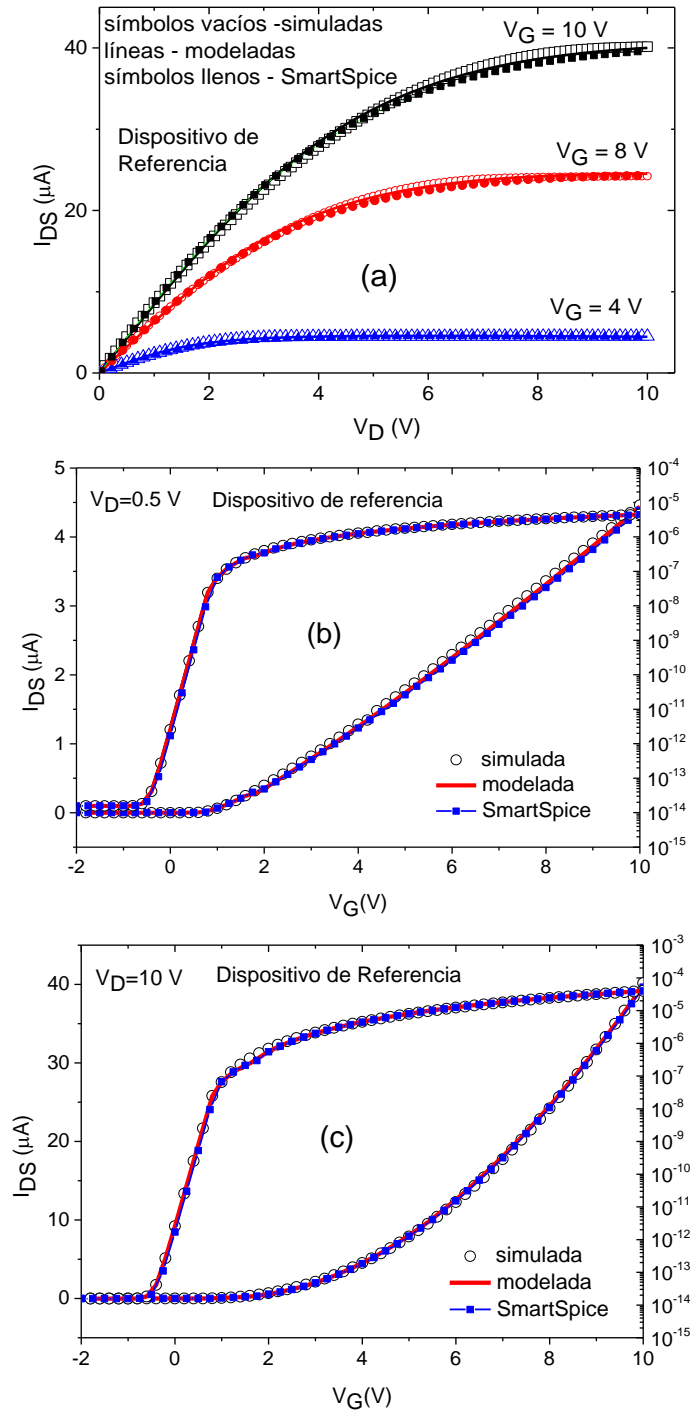


Figura 5.10 Características I-V modeladas y simuladas del DG a-IGZO TFT de referencia (a) Curvas de salida a diferentes V_G , (b) Curva transferencial lineal y (c) Curva transferencial en saturación.

Finalmente, en la figura 5.14, se muestra el comportamiento del potencial superficial y el potencial en el centro del semiconductor en función de voltaje de compuerta para los 5 dispositivos simulados de la tabla 5.5. En todos los casos existe una muy buena coincidencia entre los resultados obtenidos por simulación y modelados. La validación del modelo usando datos experimentales es mostrada en las figuras 5.15 a 5.18, usando los parámetros de la tabla 5.9.

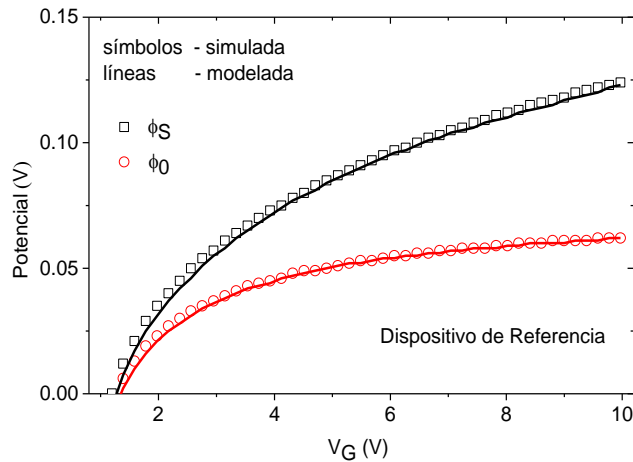


Figura 5.11 Variación del potencial superficial y el potencial en el centro del semiconductor en función de V_G del dispositivo de referencia.

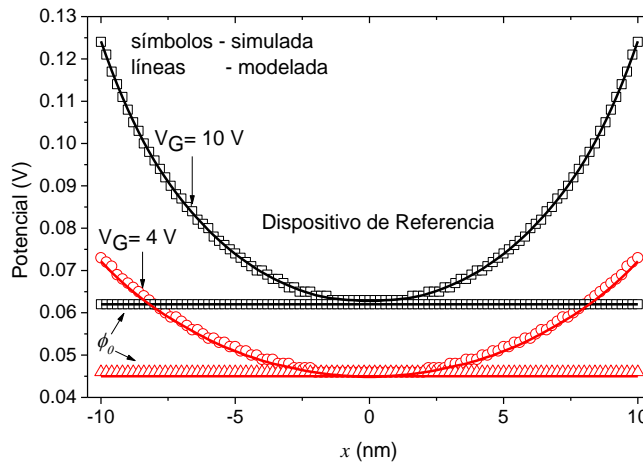


Figura 5.12 Potencial en el semiconductor, en la dirección transversal, o sea, entre la compuerta inferior y superior, para diferentes V_G .

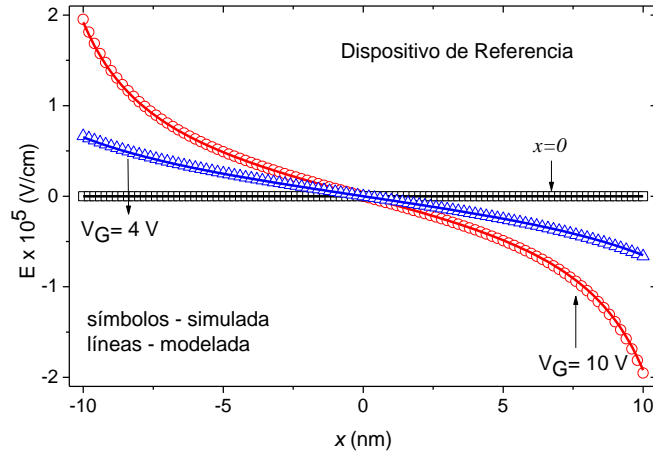


Figura 5.13 Distribución de campo eléctrico, en la dirección transversal del semiconductor, desde la compuerta superior a la compuerta inferior, para diferentes V_G .

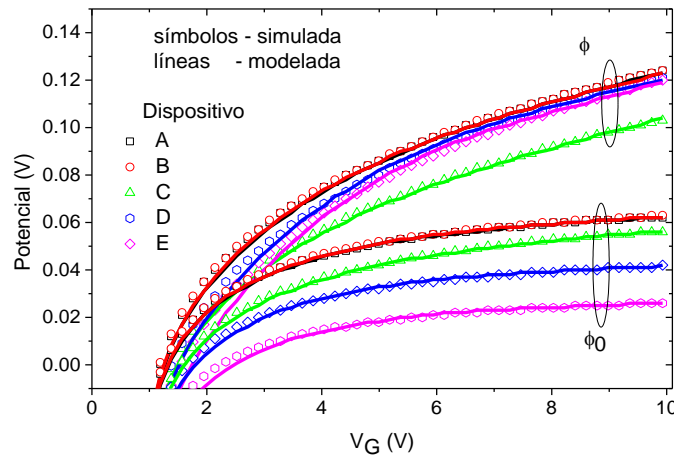


Figura 5.14 Potencial superficial y potencial en el centro para diferentes dispositivos simulados con diferentes parámetros de la estructura, en función de V_G .

La figura 5.15 muestra la comparación entre la característica transferencial en saturación experimental, modela y simulada. Como se puede observar, las tres curvas coinciden para todo el rango de V_G . La figura 5.16, por su parte, muestra el comportamiento entre el potencial superficial y el potencial en el centro del semiconductor en función de V_G para el mismo dispositivo, obtenido numérica y analíticamente usando el modelo propuesto. Las figuras 5.17 y 5.18 muestran la

buena coincidencia obtenida entre las características I-V modeladas y medidas del dispositivo experimental.

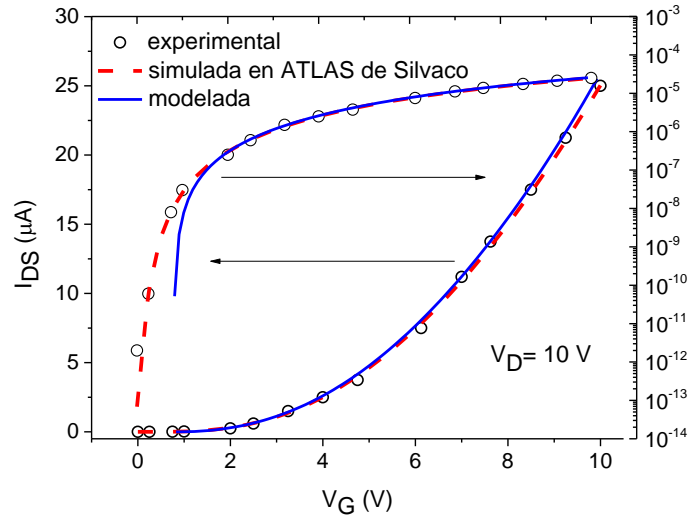


Figura 5.15 Curva transferencial en saturación experimental, simulada y modelada.

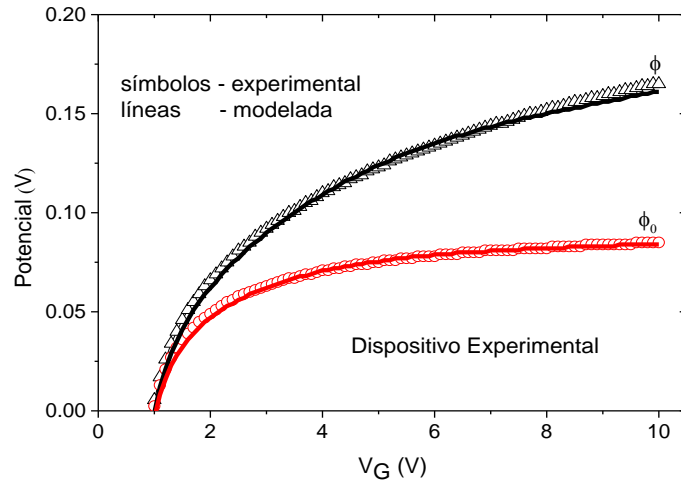


Figura 5.16 Comportamiento de los potenciales superficial y en el centro del semiconductor en función de V_G para el dispositivo experimental.

Los valores de los parámetros δ , β y ψ de las ecuaciones (3.8) y (3.9) para el cálculo analítico de N_{eff} y g_{at0} fueron de 0.695, 0.18 y 1.185, respectivamente, para el dispositivo experimental.

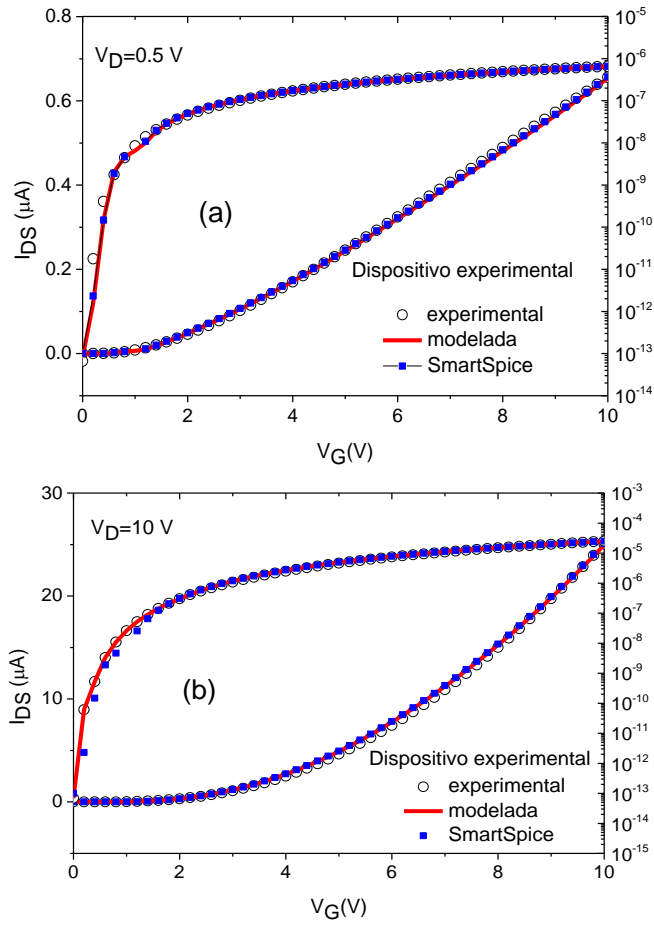


Figura 5.17 Características transferenciales simuladas y modeladas del AOSTFT experimental.

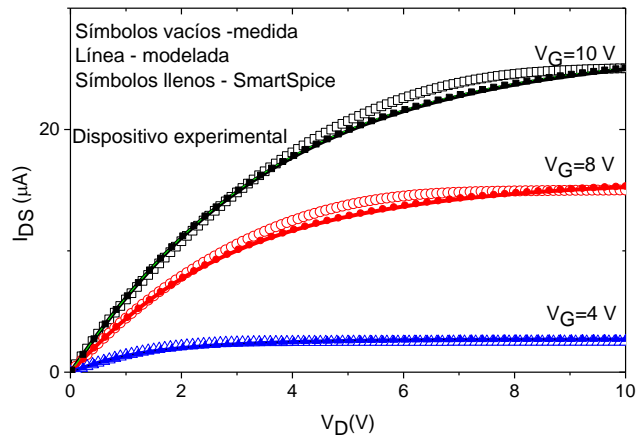


Figura 5.18 Curvas de salida a diferentes V_G simuladas y modeladas del TFT experimental.

5.4. Análisis de la distorsión armónica no-lineal en AOSTFTS.

En esta sección, analizamos la distorsión armónica no lineal en los AOSTFT, comparándola con la distorsión armónica típica de los MOSFET. Para este propósito, se utilizaron dos AOSTFT diferentes, con dos comportamientos diferentes de movilidad. Para la caracterización de la distorsión armónica no lineal, se utilizarán las siguientes figuras de mérito: la distorsión armónica de segundo orden (HD2); la distorsión armónica de tercer orden (HD3) y la distorsión armónica total (THD). La extracción de estos valores se realiza utilizando el método de la función integral (IFM) que permite extraer estos valores a partir de las características I-V del dispositivo.

Se puede encontrar un análisis detallado de la distorsión armónica no lineal y algunos ejemplos para MOSFETs en [70]. La comparación del método IFM con otros métodos para determinar la distorsión armónica no lineal se realizó en [71, 72]. El análisis de HD y la caracterización de diferentes dispositivos MOSFETs, utilizando el IFM, se describen en [71-73].

Para este análisis se usaron dispositivos AOSTFTs del tipo 3 y 4 descritos en el Capítulo anterior. Se caracterizaron dispositivos con $W/L = 50/30$, $100/30$ y $400/30$ del dispositivo 3 donde se obtuvieron las características I-V de salida y transferenciales en régimen de saturación para $V_D=10$ V. Para el dispositivo 4 se caracterizó un transistor con $W/L=150/30$.

La figura 5.19 (a) muestra las características transferenciales en saturación para los TFTs del dispositivo 3. Las curvas se normalizaron respecto a W/L con el fin de considerar solo los efectos intrínsecos en la corriente de los TFTs. Como puede verse las curvas normalizadas son las mismas para todos los transistores caracterizados del dispositivo 3, por lo que presentan el mismo comportamiento.

Por esta razón, usamos solo la curva de TFT con $W/L=100/30$ para el análisis de la distorsión armónica.

En la figura 5.19 (b) se muestran las curvas de otros dos TFTs de 100/20 y 100/10 caracterizados como resistor-cuasilineal variando V_D de -1 V a 1 V para diferentes valores de V_G . Las curvas también se normalizaron con respecto a W/L . Como se puede observar el valor de resistencia depende de V_G reduciéndose casi a la mitad cuando el V_G aumenta de 2 V a 10 V. Las características del dispositivo 4 son mostradas en la figura 5.19 (c). Los valores de V_T de los transistores caracterizados son mostrados en la tabla 5.10 divididos en dos grupos, los TFTs del dispositivo 3 y el TFT del dispositivo 4.

La figura 5.20 muestra los valores de HD2 y HD3 variando el voltaje de operación para una amplitud de la señal de 10 mV. Como HD2 es mucho mayor que HD3 en el rango de voltaje aplicado, $THD \approx HD2$, solo analizaremos en adelante el comportamiento de HD2.

Tabla 5.10 Valores de V_T extraídos.

Dispositivo	(W/L)	μ en V_{Gmax} (cm^2/Vs)	V_T (V)	V_{MAX} (V)
3	50/30	12	1.02	10
3	100/30	11.9	1.02	10
3	400/30	13	0.94	10
4	150/30	334	0.5	2

Como se puede observar, HD2 no presenta un mínimo, y éste disminuye con un aumento de V_G . En la figura 5.20 (b) se muestra el comportamiento de HD2 y HD3 para $V_0= 5$ V y 8 V, variando la amplitud de la señal de 10 mV a 50 mV. El valor de HD2 es mayor a HD3 en casi 60 dB y aumenta con la amplitud de la señal.

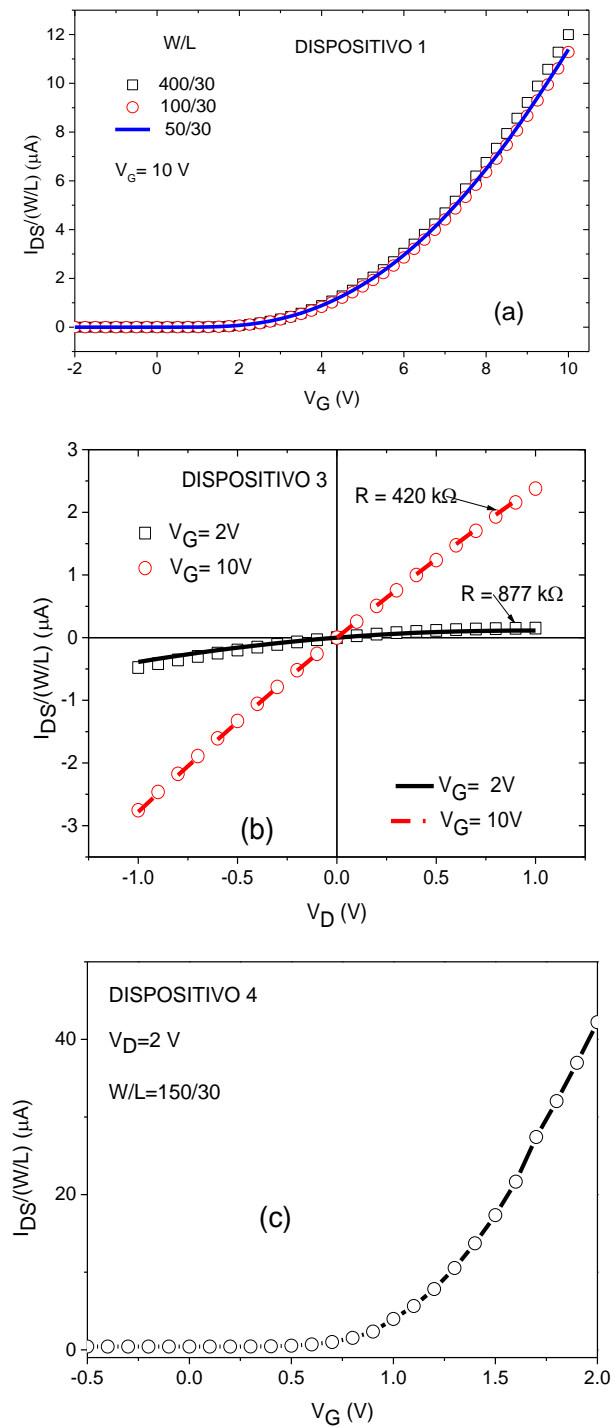


Figura 5.19 Curvas I-V medidas de los dispositivos 3 y 4. a) Curva transferencial en saturación del dispositivo 3, b) características de salida usadas como resistor cuasilineal, c) curva transferencial en saturación del dispositivo 4.

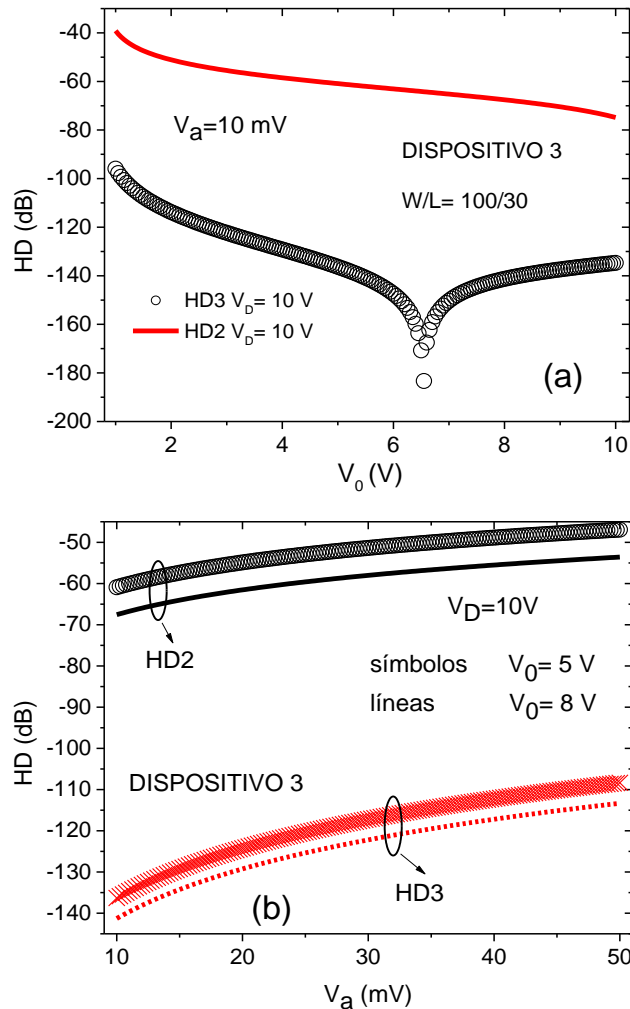


Figura 5.20 HD del dispositivo 3 en saturación, a) variando V_0 de 0 V a 10 V y $V_a = 10$ mV, b) para $V_0 = 5$ V y 8 V, variando V_a de 10 mV a 50 mV.

La figura 5.21 muestra los resultados obtenidos para las características de salida del dispositivo 3 operando como resistor-cuasilineal para $V_0 = 0$ V y variando V_a de 20 mV a 200 mV. Como puede apreciarse HD2 y HD3 aumentan continuamente con un aumento de V_a . Cuando V_G aumenta de 2 V a 10 V, el valor resistor cuasilineal disminuye en casi la mitad. El valor de HD2 disminuye en 20 dB. Para el dispositivo 4 el análisis de distorsión se muestra en la figura 5.22. En este caso, el rango de voltaje de operación es hasta 2 V debido al uso de un

aislante de alta constante dieléctrica. En la figura 5.22 (a) se observa el comportamiento de HD2 y HD3 para una V_a fija de 10 mV, cuando el punto de operación varía entre V_T y 2 V. De manera similar que para el dispositivo 3, HD2 es siempre mayor que HD3 y ambos disminuyen cuando V_o aumenta con respecto a V_T . La figura 5.22 (b) muestra el comportamiento de HD2 y HD3 cuando la amplitud de la señal externa aplicada en un punto de operación de 1.5 V y $V_D=2$ V, varía entre 10 mV y 50 mV. La misma condición ($HD2 \gg HD3$) es observada en todo el rango de V_D y V_G , hasta 2 V.

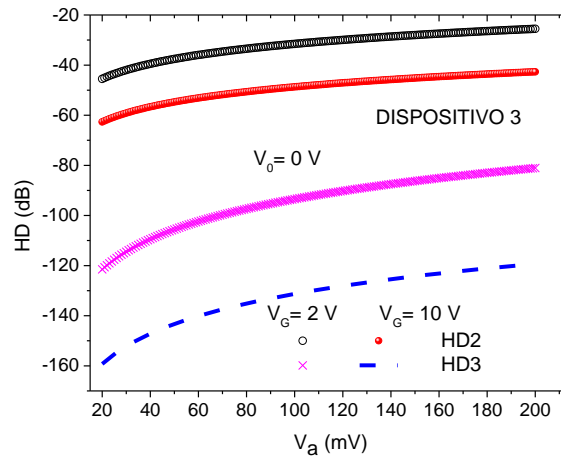


Figura 5.21 HD del dispositivo 3, trabajando como resistor cuasilineal.

El comportamiento de HD2 y HD3 de ambos AOSTFTs es diferente del comportamiento típico para un MOSFET, el cual se muestra en la figura 5.23. En esta figura, HD2 presenta un mínimo, el cual no aparece en las figuras 5.20 ó 5.22. Desde otro punto de vista, los parámetros HD2 y HD3 son proporcionales a la segunda y tercera derivada de la curva transferencial, respectivamente [70]. Por esta razón, el mínimo de HD2 está asociado a la presencia de un “cero” en la segunda derivada de la característica transferencial o lo que es lo mismo de un punto crítico (máximo) en la transconductancia. Por lo tanto, HD2 puede llegar a ser menor que HD3 como se observa en la figura 5.23.

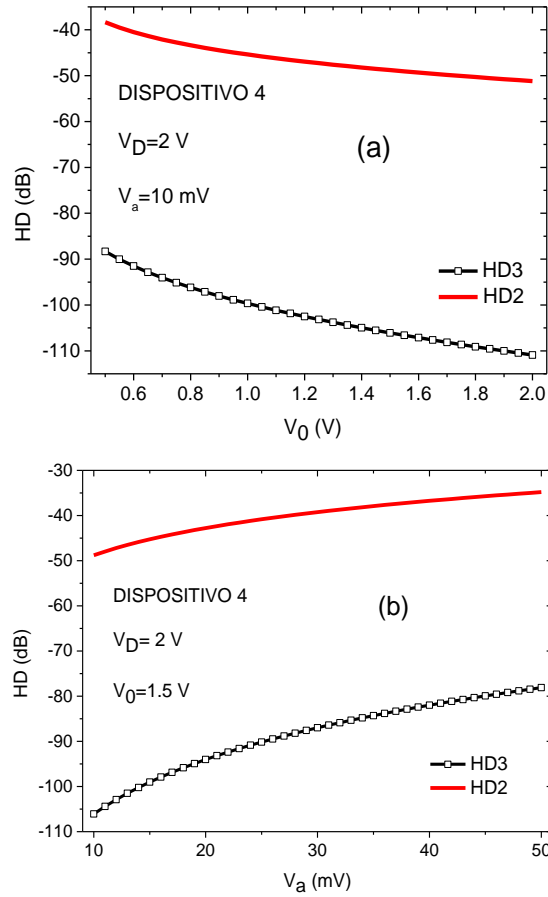


Figura 5.22 HD del dispositivo 4, a) $V_a = 10$ mV y variando V_0 de V_T a 2 V, b) $V_0 = 1.5$ V y variando V_a de 10 mV a 50 mV.

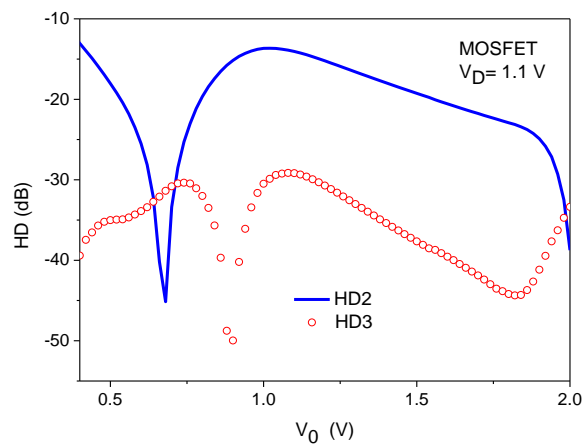


Figura 5.23 Distorsión de los parámetros HD2 y HD3 con el voltaje de operación en un MOSFET.

A modo de comparación, se analizó un MOSFET, tipo FinFET, con una concentración de dopaje de 10^{15} cm^{-3} , EOT = 1.6 nm, espesor de aleta de 30 nm, ancho de canal de 67.5 μm y longitud de canal de 60 nm. Para este transistor, la característica de transferencia en saturación a $V_D = 1.1 \text{ V}$ presenta un punto de inflexión debido a la dispersión superficial de carga, ver figura 5.24. Este punto de inflexión da lugar a un máximo en la primera derivada de la curva transferencial. El máximo de la movilidad observada en los dispositivos MOS, que produce el mínimo en el THD, está relacionado con los mecanismos de conducción en estos dispositivos. En el caso de los MOSFET, el mecanismo de conducción es de portadores libres en la banda de conducción, con el correspondiente mecanismo de dispersión que reduce la movilidad. Este efecto produce un punto de inflexión en las características transferenciales, con un mínimo de THD y HD2.

En el caso de los AOSTFT, el mecanismo de conducción se debe a la superposición de tres mecanismos: saltos, captura y liberación múltiple; Percolación y conducción en la banda. El que predomine, definirá el comportamiento de la movilidad con V_G . El comportamiento típico de la movilidad en la mayoría de los TFTs amorfos se representa como una variación de una ley de potencia con $V_G - V_T$ [74], no presenta un máximo y, por lo tanto, no se observa un mínimo de THD.

En los AOSTFTs que analizamos, éste fue el comportamiento observado, donde la movilidad aumentó continuamente con V_G siguiendo una ley de potencia [31], dada por:

$$\mu_{FET} = \mu_1 (V_G - V_T)^\gamma \quad (5.1)$$

donde μ_l es la movilidad cuando $V_G - V_T = 1$ V y γ es positivo, generalmente con valores inferiores a 1. Por esta razón, la transconductancia generalmente en los AOSTFTs no presenta un máximo.

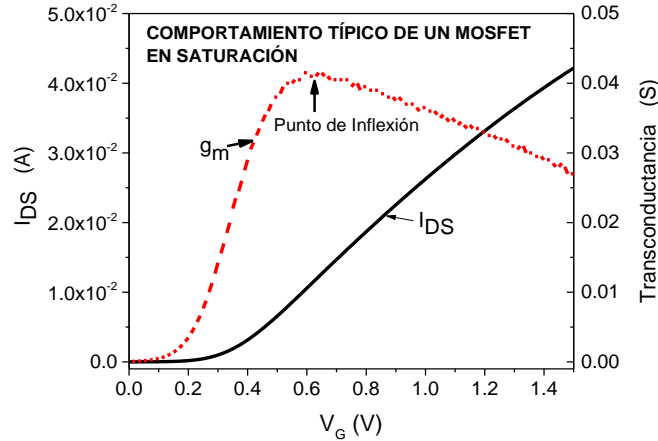


Figura 5.24 Característica transferencial típica de un MOSFET en saturación y transconductancia.

La figura 5.24 muestra la transconductancia en la saturación de los dispositivos 3 y 4, confirmando la ausencia de un máximo en estas características para los dispositivos analizados. El parámetro HD2 aumenta continuamente con V_G , sin la presencia de ningún mínimo en el rango completo de operación de voltaje, para ambos AOSTFT analizados, ver Fig. 5.20 (a) y 5.22 (a), manteniendo su valor siempre mucho más alto que HD3. Otro parámetro importante utilizado para el diseño de circuitos analógicos es g_m/I_{DS} . La relación entre g_m/I_{DS} y la distorsión armónica no lineal introducida por los AOSTFT también es una información que no se ha reportado anteriormente. Las figuras 5.25 (a) y (b) muestran su variación en función de V_G y $\log(I_{DS})$ para el dispositivo 3 y el dispositivo 4, respectivamente. Por encima de $V_G = 3$ V, para el dispositivo 3 y superior a 1,5 V para el dispositivo 4, g_m/I_{DS} permanece prácticamente constante.

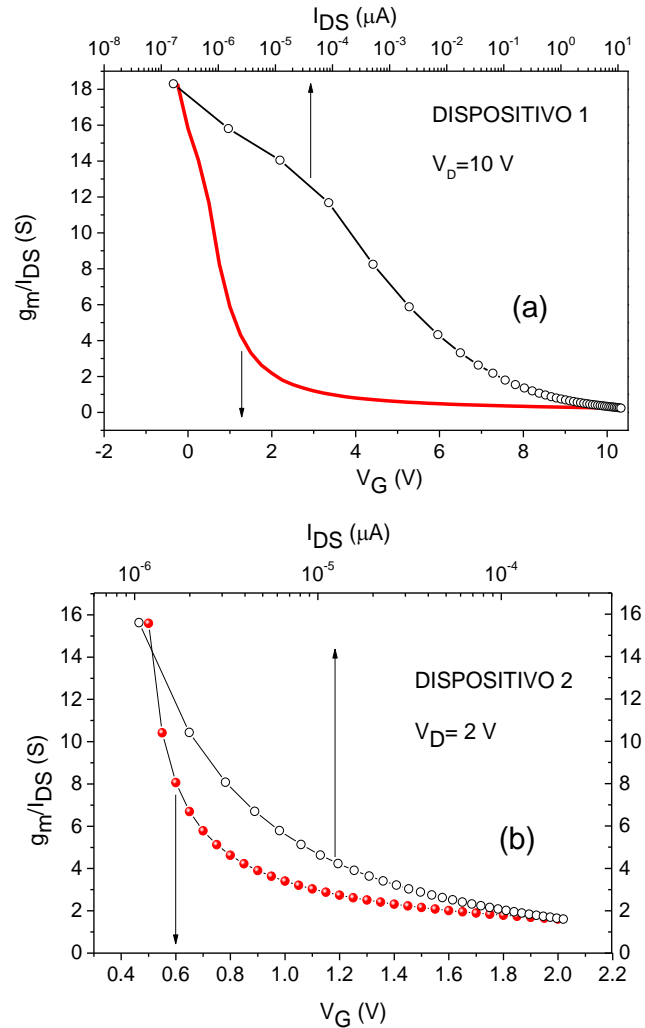


Figura 5.25 g_m/I_{DS} en función de V_G y I_{DS} en escala semilogarítmica en sobreumbral, para régimen de saturación, a) dispositivo 3, b) dispositivo 4.

Los parámetros de distorsión armónica no lineal HD2 y HD3 como función de g_m/I_{DS} , se calcularon para ambos AOSTFT y se muestran en las Fig. 5.26 (a) y (b) para el Dispositivo 4 y 3, respectivamente, donde se ve que HD2 y HD3 como función de g_m/I_{DS} , son similares para ambos transistores, con $HD2 \gg HD3$ y ambos aumentan con g_m/I_{DS} . Cuando trabajan en la región de g_m/I_{DS} alrededor del V_T , consulte la tabla 5.9, que implica la región de operación de baja potencia, los valores de HD pueden reducirse en más de 20 dB.

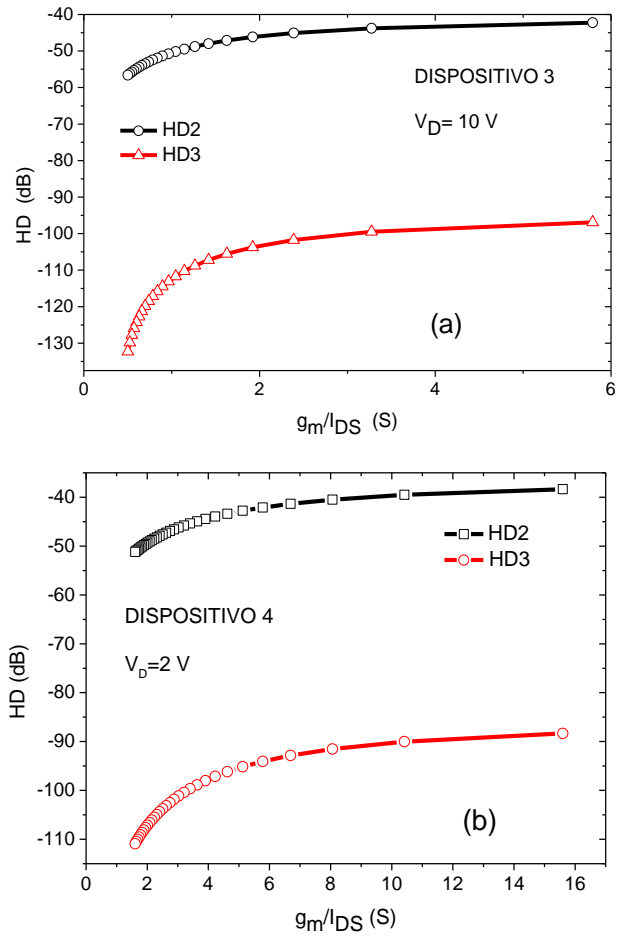


Figura 5.26 HD en función de g_m/I_{DS} para $V_G > V_T$, a) Dispositivo 3 y b) Dispositivo 4.

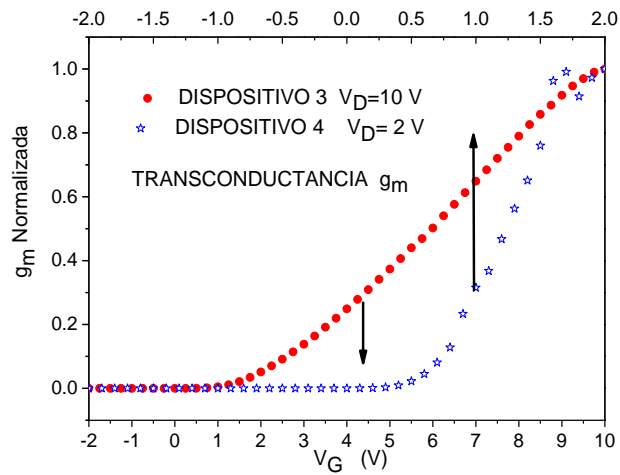
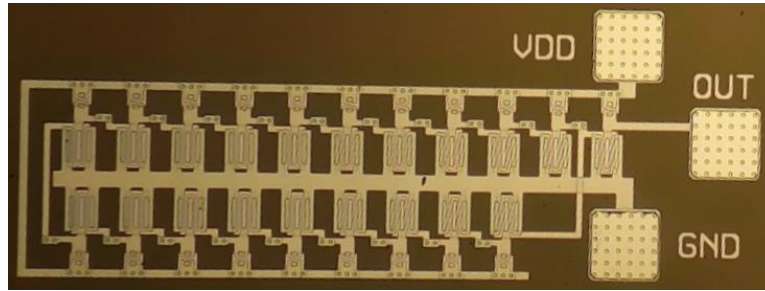


Figura 5.27 Transconductancia en saturación para los dispositivos 3 y 4.

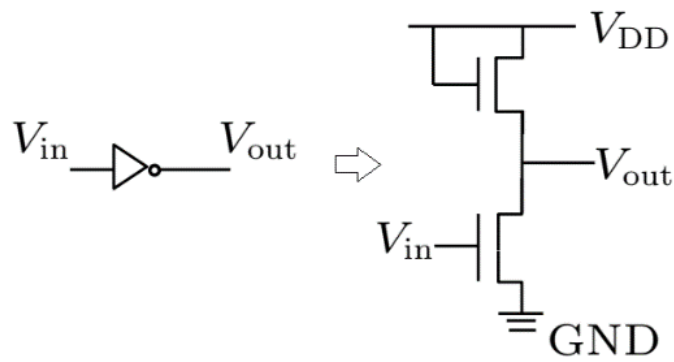
5.5. Validación del modelo dinámico desarrollado.

Los AOSTFT también se han estudiado para aplicaciones analógicas y aplicaciones digitales. Por esta razón, es muy importante estudiar y evaluar el rendimiento de este tipo de TFT para aplicaciones en circuitos eléctricos, especialmente qué tan rápido son estos dispositivos en un circuito integrado. En este sentido, no solo las características de DC de los TFT son importantes, las características dinámicas también son necesarias.

Desde el punto de vista de la simulación, es necesario contar con un modelo que pueda reproducir tanto las características de DC como de AC, para simular circuitos reales basados en los dispositivos nuevos e innovadores. Para la validación del comportamiento dinámico del transistor, en el Capítulo 3 se describió el modelo desarrollado tanto de I-V como de C-V en el lenguaje de descripción de hardware Verilog-A. El modelo descrito en este tipo de lenguaje puede ser introducido en un simulador circuital de tipo Spice. En este caso utilizamos el programa SmartSpice de Silvaco. Se usó un oscilador de anillo (OA) de 19 inversores, para determinar la frecuencia de oscilación de los dispositivos. Usando un solo inversor se estudió la respuesta a los pulsos de voltaje del transistor. En la figura 5.28 (a) se puede apreciar una imagen del OA fabricado. En la 5.28 (b) se observa la representación esquemática de un inversor con una configuración de carga saturada, el cual se usó en las 19 etapas del OA. Los IGZO TFTs presentan una estructura como el dispositivo 1 descrito en el Capítulo anterior. El circuito equivalente para representar el TFT con sus nodos internos y contactos usados en las simulaciones se muestra en la figura 5.29. Los valores de R_S y R_D se usan para representar la conductancia respectiva del dispositivo entre los nodos, $S-sp$ y $D-dp$, respectivamente. En este caso, dos de las 9 capacitancias en el dispositivo se consideran las más significativas para el comportamiento dinámico de los transistores, C_{GD} y C_{GS} .



(a)



(b)

Figura 5.28 Circuitos usados en la validación del modelo. (a) Oscilador de anillo de 19 etapas, y (b) inversor de carga saturada de cada etapa.

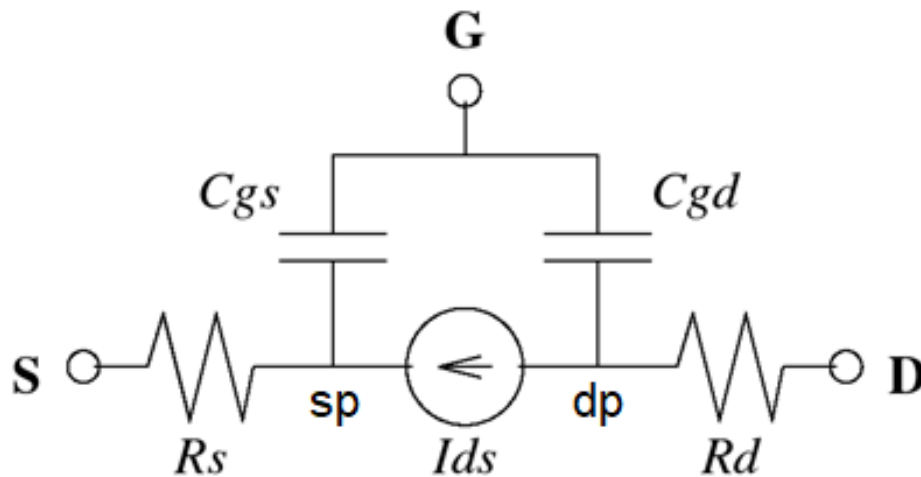


Figura 5.29 Circuito equivalente para TFTs amorfos usado en SmartSpice.

Para representar el efecto de estas capacitancias particularmente en régimen dinámico, en el código del programa representamos la variación de las capacitancias con el tiempo como una corriente interna entre los nodos $G-sp$ y $G-dp$, a través de la derivada de la carga asociada a cada contacto con respecto al tiempo como:

$$I_{gs} = TYPE * ddt(Q_{gs});$$

$$I_{gd} = TYPE * ddt(Q_{gd});$$

$$I(G, dp) <+ I_{gd};$$

$$I(G, sp) <+ I_{gs};$$

Las cargas Q_{GS} y Q_{GD} son calculadas como:

$$Q_{gd} = C_{gdP} * v_{gdp};$$

$$Q_{gs} = C_{gsP} * v_{dsp};$$

donde v_{gdp} y v_{dsp} son los valores de voltaje entre los nodos $G-sp$ y $G-dp$, respectivamente.

En la tabla 5.11 se muestran los parámetros de los IGZO TFTs de los inversores que conforman cada etapa del oscilador de anillo. En este caso se usaron transistores con $W/L=15/15$ para el transistor de carga y $W/L=150/15$ para el transistor de control. La figura 5.30 muestra la validación en régimen de AC de uno de los inversores del oscilador de anillo medido experimentalmente usando un pulso en su entrada de 10 V de amplitud. Los valores que se usaron para la resistencia y capacitancia de carga externa son las de las puntas de prueba del osciloscopio. En la simulación usando el programa Spice se usó una capacitancia externa de 46 pF debido a la superposición de capacitancias de las puntas de prueba del osciloscopio y el sistema de medición en general, verificado con un medidor de capacitancias *Boonton*.

Tabla 5.11 Parámetros extraídos del Modelo I-V, C-V

Parámetro	TFT de Carga		TFT de Control
	Símbolo	Valor	Valor
Voltaje de umbral (V)	V_T	0.53	0.53
Parámetro de movilidad	γ	0.3	0.3
Resistencia Serie (k Ω)	R_S	3	3
Voltaje de banda plana (V)	V_{FB}	0.3	0.3
Parámetro de saturación	α_S	0.4	0.4
Movilidad en $V_G - V_T = 1$ (cm ² /Vs)	μ_1	7	7
Parámetro de ajuste	Q1	10	10
Parámetro de ajuste	Q2	100	100
Parámetro de ajuste	V1	0.01	0.01
Parámetro de ajuste	V2	1.3	1.3
Parámetro de la pendiente sub-umbral	S	0.35	0.35
Parámetro de movilidad en subumbral	μ_{1b}	2	2
Modulación de la longitud de canal	λ	-0.001	-0.001
Parámetro del codo de la curva de salida	m	2.4	2.4
Parámetro de movilidad sub-umbral	γ_b	0.56	0.56
Parámetro de ajuste	V3	0.5	0.5
Parámetro de ajuste	Q3	2	2
Capacitancia en empobrecimiento (pF)	C_{GG0}	0.26	1
Capacitancia en acumulación (pF)	C_{GGa}	0.3	1.3
Parámetro de ajuste	MM	0.035	0.035
Parámetro de ajuste	a	0.02	0.02
Voltaje de ajuste	V_A	0.1	0.1
Parámetro de ajuste en saturación	α_{SS}	1.25	1.25
Capacitancia parásita (F)	C_{par}	2.2 f	0.4 p
Parámetro de ajuste	DD	0.1	0.1

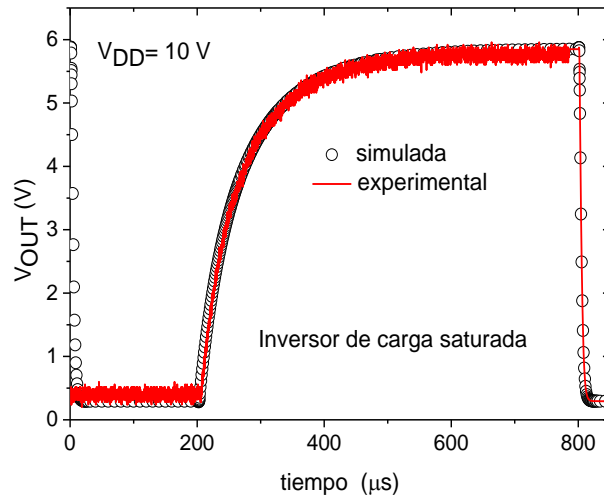


Figura 5.30 Comparación de la señal de salida de un inversor simulada y medida, en régimen dinámico.

Típicamente en un inversor de carga saturada el voltaje máximo de la señal de salida corresponde a $V_{DD}-V_T$. El voltaje máximo de nuestro inversor de la señal de salida debiera teóricamente alcanzar un valor de aproximadamente 9.5 V. En este caso, nuestro circuito presenta una resistencia de salida en el orden de los $M\Omega$, lo cual provoca que el voltaje máximo que pueda alcanzar disminuya como se aprecia en la figura 5.30. Esto está asociado a un divisor de voltaje entre la resistencia de la punta de prueba del osciloscopio la cual es de $10 M\Omega$ y la resistencia de salida del circuito.

Para obtener un buen acoplamiento de impedancias entre el circuito y el sistema de medición, se intentó usar amplificadores operacionales, sin embargo, estos circuitos integrados tienen una capacitancia de entrada típicamente de 1 o 2 pF, en paralelo con la resistencia de entrada, por lo que, en régimen dinámico, de acuerdo con la frecuencia que se está empleando (1 kHz), la impedancia de entrada equivalente disminuye debido al efecto de la frecuencia en la impedancia del capacitor. Estas limitaciones presentes en las mediciones fueron tomadas en cuenta en las simulaciones realizadas.

Finalmente, el modelo fue también validado usando un oscilador de anillos de 19 etapas a base de IGZO TFTs. La figura 5.31 muestra la señal de salida del oscilador medida experimentalmente y modelada. A la salida del oscilador se utilizó un circuito acoplador (buffer) para una mejor lectura de la señal de salida. La frecuencia de oscilación medida fue de 22 kHz. La señal de salida del oscilador de anillo simulada presenta una excelente coincidencia con respecto a la señal de salida medida.

El efecto de las capacitancias internas del dispositivo se tomó en cuenta en las simulaciones considerando que éstas están relacionadas a la frecuencia de oscilación, es decir, la frecuencia de oscilación es inversamente proporcional al tiempo de retardo del inversor, o sea la capacitancia. Cuando C_{GD} y C_{GS} se redujeron a la mitad de su valor, la frecuencia de oscilación aumentó de 22 kHz a 33 kHz, como era de esperarse. Similarmente cuando C_{GD} y C_{GS} se incrementaron en un factor de 1.5, la frecuencia de oscilación se redujo a 17 kHz, como se muestra en la figura 5.32.

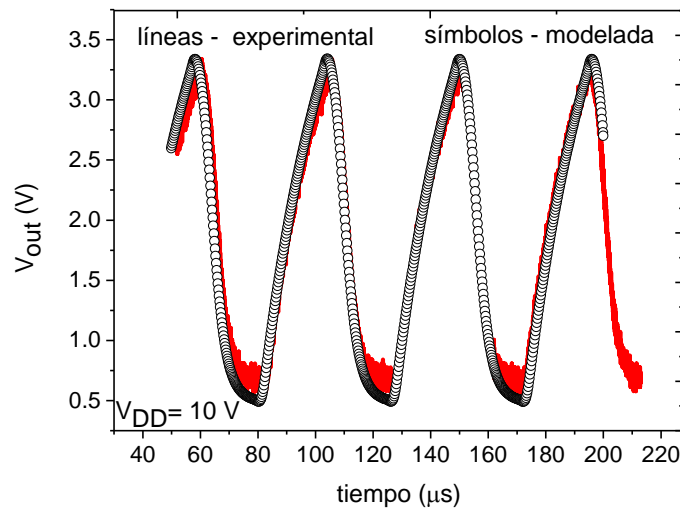


Figura 5.31 Señal de salida del OA medida y simulada a $V_{DD}=10 V$.

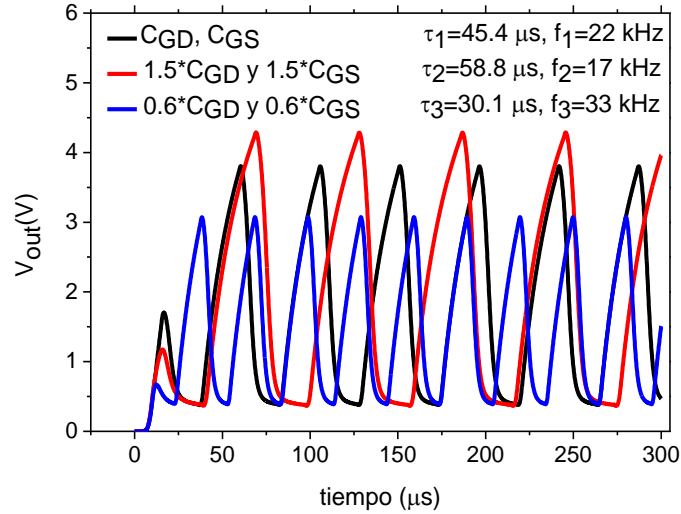
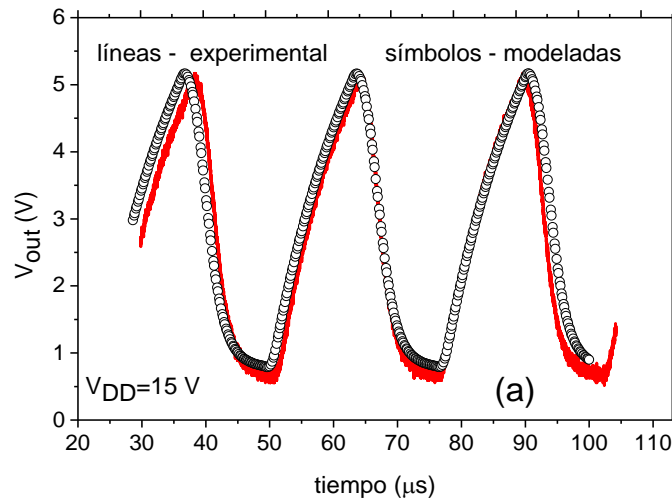


Figura 5.32 Señal de salida del OA simulada cambiando los valores de C_{GD} y C_{GS} .

La frecuencia de operación, y, por lo tanto, la demora de propagación por cada etapa son función del voltaje de alimentación (V_{DD}). Como mostramos en la figura 5.33, la frecuencia de oscilación del circuito aumenta con el potencial V_{DD} , alcanzando un valor máximo de casi 60 kHz para $V_{DD}=20$ V. En todos los casos el modelo analítico desarrollado descrito en el lenguaje *Verilog-A* reproduce con un excelente ajuste la señal de salida del OA medida y su comportamiento.



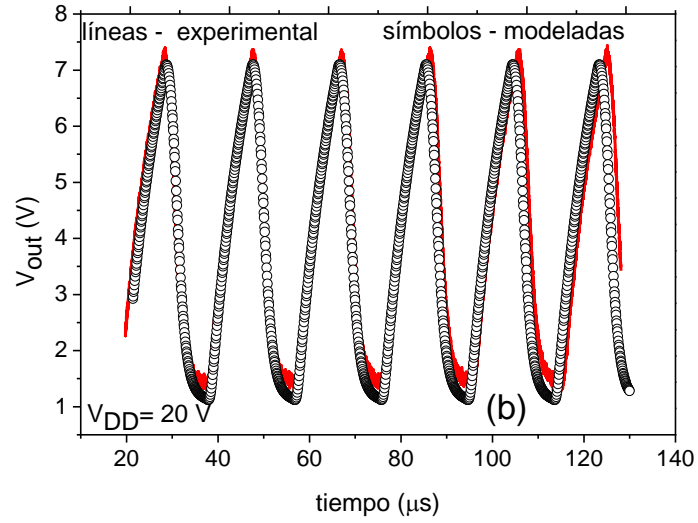


Figura 5.33 Señal de salida del OA medida y simulada con V_{DD} igual a: (a) 15 V y (b) 20 V.

Conclusiones

La principal contribución científica de esta Tesis es que se desarrollaron modelos analíticos y compactos, para reproducir el comportamiento eléctrico de AOSTFTs en régimen estático y dinámico (I-V, C-V). Los modelos están basados en las características físicas de los AOSTFTs, con los cuales se pueden conocer parámetros internos del semiconductor de estos dispositivos de forma relativamente sencilla. El modelo I-V implementado se pudo extender a otros tipos de estructuras de AOSTFTs como la de doble compuerta simétrica, reproduciendo de forma aceptable sus características eléctricas en régimen de operación subumbral y sobreumbral.

A continuación, de acuerdo con el trabajo desarrollado en esta Tesis, podemos destacar las siguientes conclusiones particulares:

1. Se verificó que las altas movilidades que presentan los AOSTFTs son debidos a la estructura electrónica del semiconductor y a los mecanismos de conducción de los portadores de carga que consideran que el mecanismo de conducción predominante en AOSTFTs puede deberse al mecanismo de atrapamiento y liberación múltiple (MTR) sin excluir la conducción por saltos, transporte en la banda de conducción que incluye Percolación y una combinación de ellos. El mecanismo predominante dependerá de las características del proceso de fabricación y del régimen de operación.
2. Para el desarrollo de la parte experimental se observó que la estructura más adecuada correspondía a la compuerta por debajo y contactos por arriba (BG/TC), no coplanar y con una configuración del tipo ESL.
3. En los AOSTFTs el comportamiento de la corriente con la temperatura se diferencia de los otros tipos de TFTs amorfos debido a las especificidades de los mecanismos de conducción en los AOSTFTs. En este caso se puede

concluir que siempre que el efecto del atrapamiento se reduzca lo suficiente, ya sea al reducir la densidad de los estados localizados, su energía característica o ambos, es posible observar el comportamiento de la corriente en el a-IGZO TFT de manera similar al caso de un material cristalino.

4. Se desarrolló un modelo corriente-voltaje analítico, compacto, para AOSTFTs que a diferencia de los otros modelos para TFTs antes desarrollados, parte de la determinación de la densidad de portadores de carga localizada y la densidad de portadores de carga libre, y la definición de una densidad de carga efectiva igual a la suma de las dos anteriores.
5. Se desarrolló un procedimiento nuevo, relativamente simple, para determinar la densidad de estados localizados de cola en la banda de conducción y su energía característica, usando solo la curva característica transferencial lineal del dispositivo medida a temperatura ambiente, aplicando el modelo UMEM previamente desarrollado. El procedimiento presentado permite relacionar los parámetros del modelo UMEM con parámetros físicos del TFT.
6. Se pudo desarrollar una expresión para la movilidad de efecto de campo en función de los parámetros internos del transistor. Así, la movilidad se puede calcular analíticamente.
7. Se encontró una expresión para calcular el voltaje de compuerta para el cual el nivel de Fermi alcanza la banda de conducción (V_F).
8. Utilizando las ecuaciones para describir el régimen subumbral, que previamente se habían desarrollado para otros tipos de TFTs, se obtuvo la expresión de corriente-voltaje que describen las curvas transferenciales en forma continua desde el subumbral hasta el sobreumbral.

9. Se desarrolló un modelo capacitancia-voltaje analítico y compacto, para AOSTFTs, que tiene en cuenta la presencia de lo que se denominó TMO (traslape del metal sobre la región de ESL), específico para los AOSTFTs. El modelo se pudo validar con la medición de la característica C_{GG} .
10. Se desarrolló un modelo corriente-voltaje analítico y compacto para los AOSTFT de doble compuerta simétrica que utilizó todas las especificidades del transistor e incluye el cálculo del potencial en el centro de la capa semiconductor y en las superficies, junto a las interfaces. Considerando el comportamiento de estos potenciales se obtuvo una expresión analítica de la movilidad de efecto de campo en función de los parámetros del transistor de doble-compuerta.
11. Se realizó la validación de los modelos desarrollados para compuerta-simple y doble-compuerta utilizando mediciones experimentales de diferentes tipos de transistores descritos en la tesis y simulaciones utilizando el programa ATLAS de Silvaco. En todos los casos hay muy buena coincidencia entre las características de potencial, transversal y longitudinal, corriente-voltaje y capacitancia-voltaje en función de los voltajes externos aplicado en la fuente, compuerta y drenador.
12. Se estudió la distorsión armónica no-lineal introducida por los AOSTFTs en diferentes regímenes de operación: transferenciales en saturación, características de salida y en régimen cuasilineal. Se determinó que existe una diferencia notable entre el comportamiento de un transistor MOSFET y un AOSTFT debido a la ausencia, en este último, de un punto de inflexión en la característica transferencial, a diferencia de un MOSFET. El resultado es que la distorsión armónica no-lineal de segundo orden HD2 se mantiene para los diferentes voltajes aplicados por encima de la presente en la de

tercer orden HD3. Esto tiene diferentes implicaciones en la utilización de los transistores.

- 13.** Se describieron los modelos utilizando el lenguaje Verilog-A, lo que permitió realizar simulaciones circuitales en el programa SmartSpice. En especial se pudo validar el modelo para CA, simulando el comportamiento de un oscilador de anillo y de un inversor con configuración de carga saturada. Los resultados fueron bastante aceptables con magnificas coincidencias entre las mediciones y las simulaciones.

TRABAJO A FUTURO

1. Extender el modelo I-V analítico y compacto desarrollado a AOSTFTs de doble compuerta asimétrica.
2. Desarrollar un modelo C-V analítico y compacto para AOSTFTS de doble compuerta simétrica y asimétrica.
3. Describir en lenguaje Verilog-A los modelos desarrollados para AOSTFTs de doble compuerta asimétrica.

Referencias bibliográficas

- [1] E. Fortunato, P. Barquinha y R. Martins, "Oxide semiconductor thin film transistors: A review of recent advances", *Adv. Mater.*, vol. 24, pp. 2945-2986, 2012.
- [2] H. Kumomi, T. Kamiya y H. Hosono, "Advances in Oxide Thin-Film Transistors in Recent Decade and Their Future", *ECS Transactions*, vol. 67, no.1, pp. 3-8, 2015.
- [3] L. Petti, C. Munzenrieder, H. Vogt, L. Faber, G. Buthe, G. Cantarella, F. Bottacchi, T. D. Anthopoulos y G. Troster, "Metal oxide semiconductor thin-film transistors for flexible electronics", *Applied Physics Reviews*, vol. 3, pp. (021303-2)-(021303-51), 2016.
- [4] R. L. Hoffman, B. J. Norris y J. F. Wager, "ZnO-based transparent thin film transistors", *Appl. Phys. Lett.*, vol. 82, no.5, pp. 733-735, 2003.
- [5] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano y H. Hosono, "Room temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", *Nature*, vol. 432, pp. 488-492, 2004.
- [6] S.-Y. Sung, J. H. Choi, U. B. Han, K. C. Lee, J.-H. Lee, J.-J. Kim, W. Lim, S. J. Pearton, D. P. Norton y Y.-W. Heo, "Effects of ambient atmosphere on the transfer characteristics and gate-bias stress stability of amorphous indium-gallium-zinc oxide thin-film transistors", *Appl.Phys.Lett.*, vol. 96, pp. 102-107, 2010.
- [7] J. S. Park et.al., "High-Performance and stable transparent Hf-In-Zn-O thin film transistors with a double-etch-stopper layer", *IEEE Electron Device Letters*, vol. 31,no. 11, pp. 1248-1250, 2010.

- [8] K. Nomura, T. Kamiya y H. Hosono, "Highly stable amorphous In-Ga-Zn-O thin-film transistors produced by eliminating deep subgap defects", *Appl. Phys. Lett.*, vol. 99, pp. (053505-1)-(053505-3), 2011.
- [9] H.-K. Noh y K. J. Chang, "Electronic structure of oxygen-vacancy defects in amorphous In-Ga-Zn-O semiconductors", *Physical Review B*, vol. 84, pp. 115205, 2011.
- [10] T. Kamiya, K. Nomura y H. Hosono, "Electronic structure of the amorphous oxide semiconductor a-InGaZnO_{4-x}: Tauc-Lorentz optical model and origins of subgap states", *Phys Status Solidi*, vol. 5, no. 206, pp. 860-7, 2009.
- [11] T. Kamiya y H. Hosono, "Material characteristics and applications of transparent amorphous oxide semiconductors", *NPG Asia Mater*, vol. 2, pp. 15-22, 2010.
- [12] T. Kamiya, K. Nomura y H. Hosono, "Present status of amorphous In-Ga-Zn-O thin film transistors", *Sci Technol. Adv. Mater*, vol. 11, pp. 044-305, 2010.
- [13] T. Kamiya, K. Nomura y H. Hosono, "Electronic structures above mobility edges in crystalline and amorphous In-Ga-Zn-O: percolation conductio examined by analytical model", *J. Display Technol.*, vol. 5, pp. 463-467, 2009.
- [14] S. Sallis, K. T. Butler, N. F. Quackenbush, D. S. Williams, M. Junda y D. A. Fischer, "Origin of deep subgap states in amorphous indium gallium zinc oxide: Chemically disordered coordination of oxygen", *Appl. Phys. Lett.*, vol. 104, pp. 232108, 2014.
- [15] P. Liao, T. Chang, T. Hsieh, M. Tsai, B. Chen y Y. Tu, "Investigation of carrier transport behavior in amorphous indium-gallium-zinc-oxide thin film transistors", *Jpn.J. Appl. Phys.*, vol. 54, pp. 094-101, 2015.

- [16] S. Kim, Y. Kim y J. Kanicki, "Density of states of short channel amorphous In-Ga-Zn-O thin film transistor arrays fabricated using manufacturable processes", *Jpn. J. Appl. Phys.*, vol. 54, pp. 051-101, 2015.
- [17] X. Ding, J. Zhang, W. Shi, H. Zhang, C. Huang y J. Li, "Extraction of density-of states in amorphous InGaZnO thin film transistors from temperature stress studies", *Curr. Appl. Phys.*, vol. 14, pp. 1713-7, 2014.
- [18] J. Jeong, J. Jeong, J. Park , Y. Mo y Y. Hong, "Meyer-Neldel rule and extraction of density of states in amorphous Indium-Gallium-Zinc Oxide thin-film transistors by considering surface band bending", *Jpn. J. Appl. Phys.*, vol. 49, pp. 03CB02, 2010.
- [19] W. Germs, W. Adriaans, A. Tripathi, W. Roelofs, B. Cobb y R. Janssen "Charge transport in amorphous InGaZnO thin-film transistors", *Phys. Rev. B*, vol. 86, pp. 155-319, 2012.
- [20] C. Chen, K. Abe, H. Kumomi y J. Kanicki, "Density of states in a-InGaZnO from temperature dependent field studies", *IEEE Tran Electron Devices* , vol. 56, no. 6, pp. 1177-1183, 2009.
- [21] J.-H. Park, et.al., "Self consistent technique for extracting density of states in amorphous InGaZnO thin film transistors", *J. Electronchem Soc.*, vol. 57, no.3, pp. H272-H277, 2010.
- [22] S. Lee, et.al., "Extraction of subgap density of states in amorphous InGaZnO thin film transistors by using multifrequency capacitance-voltage characteristics", *IEEE Electron Device Letters* , vol. 31, pp. 231, 2010.
- [23] T. Kamiya, K. Nomura y H. Hosono, "Origin of definite Hall voltage and positive slope in mobility-donor density relation in disordered oxide semiconductors", *Applied Physics Letters*, vol. 96, pp. 122103, 2010.

- [24] S. Brotherthon, "Introduction to thin film transistors: Physics and Technology of TFT", Switzerland: Springer International Publishing, 2013.
- [25] M. Shur y M. Hack, "Physics of amorphous silicon-based alloy field-effect-transistors", *J. Appl-Phys.*, vol. 55, no. 10, pp. 3831-3842, 1984.
- [26] J. Shin, W. Cheong, C. Hwang y S. Chung, "Modeling of amorphous InGaZnO thin film transistors using an empirical mobility function based on the exponential deep and tail states", *Thin Solid Films*, vol. 520, no. 10, pp. 3800-3802, 2012.
- [27] O. Moldovan, A. Castro-Carranza, A. Cerdeira, M. Estrada, P. Barquinha, R. Martins, E. Fortunato, S. Miljakovic y B. Iñiguez, "A compact model and direct parameters extraction techniques for amorphous gallium-indium-zinc-oxide thin film transistors", *Solid-State Electronics*, vol. 126, pp. 81-86, 2016.
- [28] M. Bae, et.al., "Analytical Models for drain current and gate capacitance in amorphous InGaZnO Thin film transistors with effective carrier density", *IEEE Electron Device Letters*, vol. 32, no. 11, 2011.
- [29] M. Bae, K. Lee, E.-S. Cho, H.-I. Kwon , D. Kim y D. Kim, "Analytical Current and Capacitance models for amorphous Indium-Gallium-Zinc-Oxide thin film transistors", *IEEE Transactions on Electron Devices*, vol. 60, no. 10, pp. 6605590, 2013.
- [30] S. Lee, K. Ghaffarzadeh, A. Nathan, J. Robertson , S. Jeon, C. Kim, I.-H. Song y U.-I. Chung, "Trap-limited and percolation conduction mechanisms in amorphous oxide semiconductor thin film transistors", *Appl. Phys. Lett.* , vol. 98, pp. 203508, 2011.
- [31] A. Cerdeira, M. Estrada, R. García, A. Ortiz-Conde y F. García-Sánchez, "New procedure for the extraction of basic aSi:H TFTs model parameters

- in the linear and saturation regions", *Solid State Electronics*, vol. 45, pp. 1077-1080, 2001.
- [32] C. Garripoli, J.-L. Van der Steen, F. Torricelli, M. Ghittorell, G. Gelinck, A. Van Roermund y E. Cantatore, "Analogue frontend amplifiers for bio-potential measurements manufactured with a-IGZO TFTs on flexible substrate", *IEEE Journal on Emerging and Selected Topics in Circuits systems*, vol. 7, no. 1, pp. 60-70, 2017.
- [33] X. Cheng, S. Lee, R. Chaji y A. Nathan , "Device circuit interactions and impact on TFT circuit-system design", *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 7, no. 1, pp. 71-80, 2017.
- [34] P. Bahubalindrani, V. Tavares, R. Martins, E. Fortunato y P. Barquinha, "A low-power analog adder and driver using a-IGZO TFTs", *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, no. 5, pp. 1118-1125, 2017.
- [35] P. Bahubalindrani, J. Martins, A. Santa, V. Tavares, R. Martins, E. Fortunato y P. Barquinha, "High-Gain transimpedance amplifier for flexible radiation dosimetry using InGaZnO TFTs", *IEEE Journal of the Electron Devices Society* , vol. 6, pp. 760-765, 2018.
- [36] X. Cheng, S. Lee y A. Nathan , "Deep subthreshold TFT operation and design window for analog gain stages", *IEEE Journal of the Electron Devices Society Open Acces*, vol. 6, no.1, pp. 195-200, 2018.
- [37] P. Bahubalindrani, V. Tavares, P. Barquinha, R. Martins y E. Fortunato, "Basic Analog and Digital circuits with a-IGZO TFTs", *IITD Okhla Industrial State, New Delhi, India, IEEE*, pp. 978-1-5090-0490-4/16, 2016.
- [38] P. Bahubalindrani, B. Silva, V. Tavares, P. Barquinha, N. Cardoso, P. Guedes, R. Martins y E. Fortunato, "Analog circuits with High-Gain

- Topologies using a-GIZO TFTs on Glass", *Journal of Display Technology*, vol. 11, no. 6, pp. 547-553, 2015.
- [39] A. Cerdeira, M. Aleman, M. Estrada y D. Flandre, "Integral function method for determination of nonlinear harmonic distortion", *Solid State Electronics*, vol. 48, pp. 2225-2234, 2004.
- [40] C. Hsu, H-P Chen y W-C Ting, "Correlation between carrier concentration distribution I-V and C-V characteristics of a-InGaZnO TFTs", *Journal of Display Technology*, vol. 12, no. 4, pp. 328-337, 2016.
- [41] M. Nag, A. Bhoolokam, A. Chasin, K. Muny y J. Maas, "Back-channel-etch amorphous indium-gallium-zinc-oxide thin film transistors: the impact of source/drain metal etch and final passivation", *Jpn. J. Appl. Physc.*, vol. 53, pp. 111401, 2014.
- [42] X. Li, E. Xin, L. Chen, J. Shi y J. Zhang, "Effect of etching stop layer on characteristics of amorphous IGZO thin film transistors fabricated at low temperature", *AIP Adv.*, vol. 032137, no. 3, pp. 1-6, 2013.
- [43] H. Tsuji, M. Nakata, Y. Nakajima, T. Takei, Y. Fujisaki y N. Shimidzu, "Development of back-channel etched In-W-Zn-O thin film transistors", *J. Disp. Technol.*, vol. 12, pp. 228-31, 2016.
- [44] Y. Lee, S.-J. Kim, S.-Y. Lee, W.-G. Lee, K.-S. Yoon y H.-J. Lee, "Comparison of electrical properties and bias stability of double-gate aHIZO TFTs according to TFT structure", *IEEE Electron Device Letters*, vol. 33, pp. 821-823, 2012.
- [45] Y. Fei, W. Deng, J. Huang, X. Ma y J.J. Liou, "A physics-based compact model for symmetrical double gate polysilicon thin film transistors", *IEEE Transactions on Electron Devices*, vol. 64, no. 5, pp. 2221-2227, 2017.

- [46] Y. Liu, R-H. Yao, B. Li y W-N Xie, "A physical model based on surface potential double-gate a-Si:H TFTs", *IEEE International Conference of Electron Devices and Solid-State Circuits (EDSSC)*, Xian, China, 2009.
- [47] J. Huang , W. Deng, X. Zheng y X. Jiang, "A compact model for undoped symmetric double-gate polysilicon thin film transistors", *IEEE Transactions on Electron Devices*, vol. 57, no. 10, pp. 2607-2615, 2010.
- [48] Y. Taur, X. Liang, W. Wei y H. Lu, "A continuous, analytic drain-current model for DG MOSFETs", *IEEE Transactions on Electron Devices*, vol. 25, no. 2, pp. 107-109, 2004.
- [49] Q. Jian y R.H. Yao, "A physics-based scheme for potentials of a-Si:H TFT with symmetric dual gate considering deep Gaussian DOS distribution", *Solid State Electronics*, vol. 95, pp. 46-51, 2014.
- [50] T. Qin, C. Liao, S. Huang y T. Yu, "Analytical drain current model for symmetric dual-gate amorphous indium gallium zinc oxide thin film transistors", *Japanese Journal of Applied Physics*, vol. 57, pp. 014301:1-014301:7, 2018.
- [51] C. Li, C-W. Liao, T-B. Yu, J-Y. Ke, S-X. Huang y L-W. Deng, "Concise modeling of amorphous dual-gate In-Ga-Zn-O thin film transistors for integrated circuit designs", *Chinese Physics Letters*, vol. 35, no. 2, pp. 027302:1-027302-4, 2018.
- [52] M. Cai. y R. Yao, "A threshold voltage and drain current model for symmetric dual-gate amorphous InGaZnO thin film transistors", *Science China*, vol. 61, pp. 022401:1-022401:10, 2018.
- [53] G. Baek y J. Kanicki, "Modeling of current-voltage characteristics for double-gate a-IGZO TFTs and its application to AMLCDs", *Journal of the Society for Information Display*, vol. 20, no. 5, pp. 237, 2012.

- [54] K.-S. Son, J.-S. Jung, K.-H. Lee, T.-S. Kim, J.-S. Park, Y.-H. Choi, K.-C. Park, J.-Y. Kwon, B. Koo y S.-Y. Lee, "Characteristics of double-gate Ga-In-Zn-O thin film transistors", *IEEE Electron Device Letters*, vol. 31, no. 3, pp. 219-221, 2010.
- [55] Chen S.S y Kuo J.B., "An analytical a-Si:H TFT DC/Capacitance model using an effective temperature approach for deriving a switching time model for an inverter circuit considering deep and tail states", *IEEE Transactions on Electron Devices*, vol. 41, no. 7, pp. 1169-1178, 1994.
- [56] E. Calvetti , L. Colalongo y V. Kovacs , "Organic thin film transistors: a DC/dynamic analytical model", *Solid State Electronics*, vol. 49, n° 4, pp. 567-577, 2005.
- [57] M. Fadlallah, W. Benzarti, G. Billiot, W. Eccleston y D. Barclay, "Modeling and characterization of organic thin film transistors for circuit design", *Journal Applied Physics*, vol. 99, pp. 104504, 2006.
- [58] J-W Jin, J-C Vanel, D. Daineka, T. Mohammed-Brahim y Y. Bonnassieux, "Dynamic and transient analysis of silicon-based thin film transistors: channel propagation model", *Journal Display Technology*, vol. 9, pp. 871-876, 2013.
- [59] T. Zaki, S. Scheinert, I. Horselmann, R. Rodel, F. Letzkus, H. Richter y et.al., "Accurate capacitance modeling and characterization of organic thin film transistors", *IEEE Transactions on Electron Devices*, vol. 61, pp. 98-104, 2014.
- [60] L.-Y. Su y J. Huang, "Demonstration of radio frequency response of amorphous IGZO thin film transistors on the glass substrate", *Solid State Electronics*, vol. 104, pp. 122-125, 2015.

- [61] O. Marinov y J. Deen Datars , "Compact modeling of charge carrier mobility in organic thin film transistors", *Journal Applied Physics*, vol. 115, pp. 034506, 2014.
- [62] O. Marinov, J. Deen , U. Zschieschang y H. Klauk, "Organic thin film transistors: Part I-compact modeling", *IEEE Transactions on Electron devices*, vol. 56, pp. 2952-2961, 2009.
- [63] A. Castro-Carranza, M. Estrada, J. Nolasco, A. Cerdeira, L. Marsal, B. Ñíguez y et.al., "Organic thin film transistors bias-dependent capacitance compact model in accumulation regime", *IET Circuits Devices Systems*, vol. 6, pp. 130-135, 2012.
- [64] J. Meyer, "MOS models and circuit simulation", *RCA Rev*, vol. 32, pp. 42-63, 1971.
- [65] J. Bahubalindrun, V. Tavares, P. Barquinha, P. Guedes de Oliveira, R. Martins y E. Fortunato, "InGaZnO TFT behavioral model for IC design", *Analog Integr. Circ. Sig. Process*, vol. 87, pp. 73-80, 2016.
- [66] J.-M. Sallese, F. Krummenacher, F. Prégaldiny, C. Lallement, A. Roy y C. Enz, "A design-oriented charge-based current model for symmetric DG MOSFET and its correlation with the EKV formalism", *Solid State Electronics*, vol. 49, pp. 485-489, 2005.
- [67] M. Estrada, M. Rivas, I. Garduño, F. Avila-Herrera, A. Cerdeira y M. Pavanello, "Temperature dependence of the electrical characteristics up to 370 K of amorphous In-Ga-Zn-O yhin film transistors", *Microelectronics Reliab.*, vol. 56, pp. 29-33, 2016.
- [68] C. Minxi y Y. Ruohe, "A threshold voltage and drain current model for symmetric dual-gate amorphous InGaZnO thin film transistors", *Science China*, vol. 61, pp. 022401:1-022401:10, 2018.

- [69] X. He, L. Wang, W. Deng y et.al., "Improved electrical stability of double-gate a-IGZO TFTs", *SID Symp. Dig. Tech. Paper*, vol. 46, pp. 1151-1154, 2015.
- [70] P. Wambacq y W. Sansen, "Distortion analysis of analog integrated circuits", Norwell, MA: USA: Kluwer, 1998.
- [71] B. Parvais , A. Cerdeira, D. Schreurs y J.-P. Raskin, "Non-linear performance comparison for FD and PD SOI MOSFETs based on the integral function method and Volterra modelling", *Int. J. Numer. Model.*, vol. 18, no. 4, pp. 283-296, 2005.
- [72] B. Parvais, J.-P. Raskin, A. Cerdeira y M. Estrada, "Application of the integral function method for the distortion analysis of microwave transistors", *In Proc. Asia-Pacific Microw. Conference*, New Delhi, India, 2004.
- [73] M. Pavanello, A. Cerdeira, M. Aleman, J. Martino, L. Vancaille y D. Flandre, "Low temperature and channel engineering influence on harmonic distortion of SOI NMOSFETs for analog applications", *Proc. Electrochemical Society*, vol. 12, pp. 125-130, 2005.
- [74] M. Shur, M. Hack y J. Shaw, "A new analytic model for amorphous silicon thin film transistors", *Journal Applied Physics*, vol. 66, pp. 3371, 1989.

ANEXOS

A. Contribuciones científicas

Artículos Publicados en Revistas

1. M. Estrada, **Y. Hernández-Barrios**, A. Cerdeira, F. Avila-Herrera, J. Tinoco, O. Moldovan, F. Lime, G. Gelinck, J.-L. Van de Steer y B. Íñiguez, "Crystalline like temperature dependence of the electrical characteristics in amorphous Indium-Gallium-Zinc-Oxide thin film transistors", *Solid State Electronics*, vol. 135, pp. 43-48, 2017.
2. M. Estrada, **Y. Hernández-Barrios**, O. Moldovan, A. Cerdeira, F. Lime, M. Pavanello y B. Íñiguez, "Effect of the distribution of the states in amorphous In-Ga-Zn-O layers on the conduction mechanism of thin film transistors on its base", *Facta Universitatis: Electronics and Energetics*, vol. 31, no. 1, pp. 1-9, 2018.
3. **Y. Hernández-Barrios**, A. Cerdeira, M. Estrada y B. Íñiguez, "An insight to mobility parameters for AOSTFTs, when the effect of both, localized and free carriers must be considered to describe the device behavior", *Solid State Electronics*, vol. 149, pp. 32-37, 2018.
4. A. Cerdeira, M. Estrada, **Y. Hernández-Barrios**, I. Hernandez y B. Íñiguez, "Full capacitance model, considering the specifics of amorphous oxide semiconductor thin film transistors structures", *Solid State Electronics*, vol. 156, pp. 16-22, 2019.
5. **Y. Hernández-Barrios**, A. Cerdeira, J. Tinoco y B. Íñiguez, "Features of the Nonlinear Harmonic Distortion in AOSTFTs", *IEEE Transactions on Electron Devices Letters*, vol. 66, no.12, pp. 5177-5182, 2019.
6. **Y. Hernández-Barrios**, A. Cerdeira, M. Estrada y B. Íñiguez, "Analytical Current-Voltage Model for Double Gate a-IGZO TFTs with symmetric structure for above threshold ", *IEEE Transactions on Electron Devices Letters*, vol. 67, no.5, pp. 1980-1986, Mayo 2020.

Artículos de Congresos

1. **Hernández-Barríos Y.**, Ávila-Herrera F., Estrada M., Cerdeira A., Moldovan O., Íñiguez B. and Picos R., “Modeling the variation of the threshold voltage, mobility factor and saturation coefficient in amorphous Indium-Gallium-Zinc Oxide thin film transistors”, in: September 23-26 2016 *13th International Conference on Electrical Engineering, Computing Science and Automatic Control, CCE*, Ciudad de México, México.
2. **Hernández-Barríos Y.**, Cerdeira A., Estrada M., “Analysis of the approximations to describe the density of carrier charge in localized and free states in TFTs of a-Si:H y a-IGZO”, in: March 19-23 2018 *17th International Convention and Fair, Informatica 2018*.
3. **Hernández-Barríos Y.**, Cerdeira A., Estrada M., and Íñiguez B., “Relation of empirical parameters in the UMEM mobility model with a-IGZO TFTs physical parameters”, in: June 2018 *Graduate Student Meeting on electronics engineering URV, Barcelona, Spain*.
4. Estrada M., Hernandez I., **Hernández-Barríos Y.**, Rapisarda M., Valleta A., Mariucci L., and Cerdeira A., “Effect of drain top metal overlap on the current in bottom-gate thin film transistors”, in: February 24-27 2019 *Latin American Electron Devices Conference (LAEDC)*, Armenia, Colombia.
5. Gaspar-Angeles J. N., **Hernández-Barríos Y.**, Cerdeira A., Estrada M., and Íñiguez B., “Dynamic Validation of the Full Model for AOSTFTs using a Ring Oscillator based on a-IGZO TFTs”, in: February 25-28 2020 *Latin American Electron Devices Conference (LAEDC)*, San José, Costa Rica.
6. **Y. Hernández-Barríos**, A. Cerdeira, M. Estrada, B. Íñiguez, “Analytical Current-Voltage Model for Double Gate a-IGZO TFTs with Symmetric Structure”, in: February 25, 2020 Modeling of Systems and Parameter Extraction Working Group MOS-AK Workshop at LAEDC, Escazu, Costa Rica.

B. Modelo I-V, C-V para AOSTFTs de compuerta simple en código Verilog-A

```
`include "constants.h"
`include "discipline.h"

//- Compatible con Berkeley Spice
`define P_CELSIUS0 (273)
`define P_E0 (8.854214871e-12)

//- Definición del módulo, con sus 3 terminales
module TFT (drain, gate, source);

//- Los nodos son declarados entrada/salida("inout")
inout drain, gate, source;

//- Los nodos serán accesados como "electrical"
electrical drain, gate, source;

//- Nodos internos
electrical sp, dp;

//- Definición de los parámetros geométricos del dispositivo
parameter real TNOM      =27;
parameter real TYPE      =1 from [-1:1] exclude 0;
parameter real L         =0 from[0.0:inf];
parameter real W         =0 from[0.0:inf];
parameter real TOX       =0;
parameter real TSI       =0;
parameter real TPAS      =0;
parameter real LOVDS     =0;
parameter real LOVTDS    =0;
parameter real EPS       =0;
parameter real EPSI      =0;
parameter real EPSPAS    =0;

//- Parámetros del modelo (valores por defecto)
parameter real VT0       =0;
parameter real GAMMA     =0;
parameter real MU1       =0;
parameter real ALPHAS    =0;
parameter real RD        =0.0;
parameter real RS        =0.0;
```

```
parameter real M           =0;
parameter real LAMBDA      =0;
parameter real VFB         =0;
parameter real GAMMAB      =0;
parameter real MUB1        =0;
parameter real S           =0;
parameter real IO          =0;
parameter real ibtaC       =0;
parameter real V1          =0;
parameter real Q1          =0;
parameter real V2          =0;
parameter real Q2          =0;
parameter real ALPHASS     =0;
parameter real MM          =0;
parameter real MM2         =0;
parameter real Xa          =0;
parameter real DD          =0;
parameter real CGGDEP      =0;
parameter real CGGACU      =0;
parameter real Cpar0       =0;
parameter real V3          =0;
parameter real Q3          =0;
parameter real VAC         =0;
parameter real VDSlin      =0;
```

//- Definición de las variables usadas en el modelo

```
real EPSIO, EPS0, EPSPAS0;
real TNOM0;
real VT, VT2, VA, Rtot;
real Vgsp, Vgdp, Vdpsp, Vds, Vgs, Vgd, Vddp, Vssp;
real vvsp, vgd, vdpsp, vds, vgs, vgd, vddp, vssp;
real vgt, vgt2, vgf, vsate, vdse, vdse2, vsate2, mode, vgs2;
real Kc, ibta, ibta0, ibtS, ibt, idc, res;
real k1, k2, k3, k4, k5, k6, k7, k8, A, B, C, D, E;
real VMIN, DELTA, Rtot;
real Cipas0, C0, covs, covds, covtds, Cptop, Cptop2;
real Ci, Cipas;
real A1, A2, A3, A4, A5;
real cggA, cgdA, cgsA, cggF, cgdF, cgsF, cddA, cdgA, cddF, cdgF;
real sqrtvg, sqrtvg2, sqrtvfb;
real SourceConductance;
real DrainConductance;
real VGC, ALPHAS2, AF, FF, fa;
real Da2g, Da3g, Da2d, Da3d, Dvdg, Dvdd, Da5g, Da5d, Dvgt;
```

// - Declaración de las variables a graficar

```
(* desc="demo" *) real CggP;  
(* desc="demo" *) real CgdP;  
(* desc="demo" *) real CgsP;  
(* desc="demo" *) real CdgP;  
(* desc="demo" *) real CddP;  
(* desc="demo" *) real CdsP;  
(* desc="demo" *) real CsgP;  
(* desc="demo" *) real CsdP;  
(* desc="demo" *) real CspP;  
(* desc="demo" *) real Igd;  
(* desc="demo" *) real Igs;  
(* desc="demo" *) real Qgd;  
(* desc="demo" *) real Qgs;  
(* desc="demo" *) real Qgate;  
(* desc="demo" *) real Qdrain;  
(* desc="demo" *) real Qsource;  
(* desc="demo" *) real ids;
```

// - Inicio del programa

```
analog  
begin  
    // inicialización  
    @(initial_step)  
begin
```

// - Definición y cálculo de constantes

```
VMIN      = 1e-6;  
DELTA     = 10;  
TNOMO     = TNOM+`P_CELSIUS0;  
EPSIO     = `P_E0*EPSI;  
EPS0      = `P_E0*EPS;  
EPSPAS0   = `P_E0*EPSPAS;  
CO        = EPSIO/TOX;  
Cipas0    = EPSPAS0/TPAS;  
Kc        = (W/L) *CO*1e-4;  
Ci        = CO*W*L;  
VT        = TYPE *VT0;  
Rtot      = RS+RD;  
VA        = VAC;  
end //
```

```
vds      = TYPE* V (drain, source);  
vgs      = TYPE* V (gate, source);
```

```

vgd          = TYPE* V (gate, drain);
vdpsp       = TYPE* V (dp, sp);
vgsp       = TYPE* V (gate, sp);
vgdp       = TYPE* V (gate, dp);
vddp       = TYPE* V (drain, dp);
vssp       = TYPE* V (sp, source);

```

//- Inicializar voltajes de los nodos

```

if (vds >= 0.0)
    begin
        mode      = 1;
        Vds       = vds;
        Vgs       = vgs;
        Vgd       = vgd;
        Vdpsp     = vdpsp;
        Vgsp      = vgsp;
        Vgdp      = vgd;
        Vddp      = vddp;
        Vssp      = vssp;
    end
else
    begin //
        mode      = -1;
        Vds       = -vds;
        Vgs       = vgs;
        Vgd       = vgd;
        Vdpsp     = vdpsp;
        Vgsp      = vgsp;
        Vgdp      = vgd;
        Vddp      = vddp;
        Vssp      = vssp;
    end

```

//*** MODELO DC *******

//- Definición de las expresiones auxiliares para las corrientes

```

sqrtvg = sqrt((DELTA*DELTA) + pow(((Vgs-VT) /VMIN)-1,2));
vgt    = (VMIN/2*(1+((Vgs-VT) /VMIN) +sqrtvg));
sqrtvfb= sqrt((DELTA*DELTA) + pow(((Vgs-VFB) /VMIN)-1,2));
vgf    = (VMIN/2*(1+((Vgs-VFB) /VMIN) +sqrtvfb));
vsate  = ALPHAS*vgt;
vdse   = Vds/(pow((1+(pow((Vds/vsate), M))), (1/M)));
res    = 1+( Rtot*Kc*MU1*pow (vgt, (1+GAMMA)));

```

```

//- Corriente en sobreumbral
    idc = ((Kc*MU1*pow (vgt, (1+GAMMA))) /res) *vdse*(1+LAMBDA*(Vds-vdse));
//- Corriente en la región de transición
    ibta = Kc*MUB1*(pow (vgf, (1+GAMMAB))) *VDSlin;
//- Corriente en la región subumbral profundo
    ibtS = abs(ibtaC)*exp(2.3*(Vgs-VT-V1)/S);
//- Función de costura para las regiones de subumbral profundo y transición
    k1 = (1-tanh((Vgs-VT-V1) *Q1))/2.0;
    k2 = (1+tanh((Vgs-VT-V1) *Q1))/2.0;
//- Corriente total en régimen subumbral
    ibt = (ibtS+I0) *k1 +abs(ibta)*k2;
//- Función de costura para la Corriente en región subumbral y sobreumbral
(corriente total)
    k3 = (1-tanh((Vgs-VT-V2) *Q2))/2.0;
    k4 = (1+tanh((Vgs-VT-V2) *Q2))/2.0;
//- Corriente total del dispositivo
    ids = (ibt)*k3 + (idc)*k4;

//***** MODELO AC *****

//- Capacitancias de traslape
    covds = C0*W*(LOVDS);
    covtds = Cipas0*W*(LOVTDS);

    if(Vds==0.0)
        Vds=Vds+0.01;

//- Expresiones auxiliares para las Capacitancias
    VGC      = (1/ALPHASS) *Vds+VT;
    k5       =(1-tanh((Vgs-VGC) *0.5)) /2.0;
    k6       =(1+tanh((Vgs-VGC) *0.5)) /2.0;
    ALPHAS2  =ALPHAS*k5 + ALPHASS*k6;

//- Se considera el voltaje de corrimiento y VT efectivo (VA y VT2)
    vgs2    =Vgs+VA;
    VT2     =VT-DD*Vds;
    sqrtvg2 = sqrt((DELTA*DELTA) +pow((((vgs2-VT2) /VMIN)-1),2));
    vgt2    =(VMIN/2) *(1+((vgs2-VT2) /VMIN) +sqrtvg2);
    vsate2  = ALPHAS2 * vgt2;
    vdse2   = Vds / (pow((1+(pow(abs(Vds/vsate2), M))), (1/M)));

    Dvgt   = 0.5* (1+ ((vgs2-VT2) /VMIN-1) /sqrtvg2);
    A      = 1+ pow(abs(Vds/vsate2), M);

```

```

Dvdg = (ALPHAS2*Dvgt*pow(abs(Vds/vsate2), (M+1))) / (pow (A, ((1/M)
+1)));
Dvdd = 1.0 / (pow (A, ((1/M) +1)));

A1 = abs(pow (vgt2, (1+GAMMA))- pow((vgt2-vdse2), (1+GAMMA)));
A2 = abs(pow (vgt2, (2+GAMMA))- pow((vgt2-vdse2), (2+GAMMA)));
A3 = abs(pow (vgt2, (3+GAMMA))- pow((vgt2-vdse2), (3+GAMMA)));
A4 = abs(pow (vgt2, (4+GAMMA*2))- pow((vgt2-vdse2), (4+GAMMA*2)));
A5 = abs(pow (vgt2, (5+GAMMA*2))- pow((vgt2-vdse2), (5+GAMMA*2)));

B = pow((vgt2-vdse2), (1+GAMMA));
C = pow((vgt2-vdse2), (2+GAMMA));

Da2g = (2+GAMMA) * A1*Dvgt +(B*Dvdg);
Da3g = (3+GAMMA) * A2*Dvgt +(C*Dvdg);
Da2d = (2+GAMMA) *Dvdd*B;
Da3d = (3+GAMMA) *Dvdd*C;

Qgate = Ci*((2+GAMMA)/(3+GAMMA)) *(A3/A2);

cggA = Ci*((2+GAMMA)/(3+GAMMA)) *(1/A2) *(Da3g - ((A3/A2) *Da2g));
cgdA = -Ci*((2+GAMMA)/(3+GAMMA)) *(1/A2) *(Da3d- ((A3/A2) *Da2d));
cgsA = cggA-cgdA;

```

//- Efectos extrínsecos

```

Cptop =covtds*(pow(Vds,0.8)-pow (0.01,0.8)) *MM;
Cptop2 =covtds*(pow(Vds,0.8)-pow (0.01,0.8)) *MM2;
k7 = (1-tanh((Vgs-V3) *Q3))/2.0;
k8 = (1+tanh((Vgs-V3) *Q3))/2.0;
fa =Xa*(1-tanh((Vgs-VGC) *0.5))/2.0;
FF = 1-Vds*fa;
cggF = cggA*FF+2*covds+Cpar0+Cptop;
cgdF = cgdA*FF+covds+(Cpar0/2) +Cptop2;

```

//- Capacitancias totales asociadas al contacto de G

```

CggP = CGGDEP*k7 + (cggF)*k8;
CgdP = (CGGDEP/2) *k7 + (cgdF)*k8;
CgsP = CggP - CgdP;

```

//- Capacitancias asociadas al contacto de D

```

D = pow (vgt2, (2+GAMMA)) *A3;
E = (A5/(5+2*GAMMA)) -(D/(3+GAMMA));
Qdrain =-Ci*(2+GAMMA) *(E/(pow(A2,2)));

```

```

    Da5g = (5+2*GAMMA) * (A4*Dvgt+(pow((vgt2-vdse2), (4+2*GAMMA)))
*Dvdg);

    Da5d = (5+2*GAMMA) * (pow((vgt2-vdse2), (4+2*GAMMA))) *Dvdd;

    cdgA = ((Ci*(2+GAMMA))/(pow(A2,2))) *((Da5g/(5+2*GAMMA)) -
((2+GAMMA)/(3+GAMMA)) *pow (vgt2, (1+GAMMA)) *A3*Dvgt - (pow (vgt2,
(2+GAMMA))/(3+GAMMA)) *Da3g - ((A5/(5+2*GAMMA)) -(pow (vgt2, (2+GAMMA))
*A3)/(3+GAMMA)) *(2/A2) *Da2g);

    cddA = ((Ci*(2+GAMMA)) / (pow(A2,2))) *((pow (vgt2, (2+GAMMA))
/(3+GAMMA)) *(Da3d-((2*A3) /A2) *Da2d) -(1/(5+2*GAMMA)) *(Da5d-((2*A5) /A2)
*Da2d));

    cdgF = -cdgA*FF+covds+Cptop2;
    cddF = -cddA*FF+covds+Cpar0*0.5+Cptop2;

//- Capacitancias totales asociadas al contacto de D
    CdgP = (CGGDEP/2) *k7 + (cdgF)*k8;
    CddP = (CGGDEP/2) *k7 + (cddF)*k8;
    CdsP =CdgP-CddP;

//- Capacitancias totales asociadas al contacto de S
    Qsource =Qgate-Qdrain;
    CsgP =CggP-CdgP;
    CsdP =-(CddP-CgdP);
    CspP =CsgP-CsdP;

//- Efecto de las Capacitancias internas del dispositivo Cgd y Cgs
    Qgs =TYPE*CgsP*vgsp;
    Qgd =TYPE*CgdP*vgdp;
    Igs =TYPE * ddt(Qgs);
    Igd =TYPE * ddt(Qgd);

    I (gate, dp) <+ Igd;
    I (gate, sp) <+ Igs;

    if (mode > 0)
        I (drain, source) <+ TYPE * ids;
    else
        I (drain, source) <+ -TYPE * ids;

//- Definición de las resistencias y conductancias: RS, RD
    if (RS > 0.0)

```

```
begin
    SourceConductance = 1.0 / RS;
    I (sp, source) <+ SourceConductance * V (sp, source);
    V (sp, source) <+ I (sp, source) *RS;
end
else
begin
    V (sp, source) <+ 0.0;
end

if (RD > 0.0)
begin
    DrainConductance = 1.0 / RD;
    I (drain, dp) <+ DrainConductance * V (drain, dp);
    V (drain, dp) <+ I (drain, dp) *RD;
end
else
begin
    V (drain, dp) <+ 0.0;
end

end//analog block

endmodule
```

C. Modelo I-V para AOSTFTs de doble compuerta simétrica en código Verilog-A

```
`include "constants.h"
`include "discipline.h"
`define P_K (8.617333262e-5)
`define P_Q (1.6021918e-19)
`define P_CELSIUS0 (273)
`define P_E0 (8.854214871e-12)

// - Definición del módulo de 3 terminales
module TFT (drain, gate, source);

// - Nodos entrada/salida
inout drain, gate, source;

// - Nodos tipo "eléctricos"
electrical drain, gate, source;

// - Nodos Internos
electrical sp, dp;

// - Parámetros del modelo (valores por defecto)
parameter real TNOM      =27;
parameter real TYPE      =1   from [-1:1] exclude 0;
parameter real L         =0   from [0.0:inf];
parameter real W         =0   from [0.0:inf];
parameter real TOX       =0;
parameter real TSI       =0;
parameter real EPS       =0;
parameter real EPSI      =0;
parameter real VT0       =0;
parameter real GAMMA     =0;
parameter real ALPHAS    =0;
parameter real RD        =0.0;
parameter real RS        =0.0;
parameter real M         =0;
parameter real LAMBDA    =0;
parameter real Teff      =0;
parameter real Neff      =0;
parameter real Nc        =0;
parameter real PF        =0;
parameter real a         =0.0;
```

```
parameter real miu0      =0.0;
parameter real VFB      =0;
parameter real GAMMAB   =0;
parameter real MUB1     =0;
parameter real S        =0;
parameter real I0       =0;
parameter real lbtC     =0;
parameter real V3       =0.0;
parameter real Q3       =0.0;
parameter real V1       =0.0;
parameter real Q1       =0.0;
parameter real V2       =0.0;
parameter real Q2       =0.0;
parameter real VDSLIn   =0;
```

//- Variables usadas en el modelo

```
real  EPSI0, EPS0, TSI0;
real  TNOM0, C0;
real  VT, R;
real  Vgsp, Vgdp, Vdpsp, Vds, Vgs, Vgd, Vddp, Vssp;
real  vvsp, vgdv, vdpsp, vds, vgs, vgd, vddp, vssp;
real  vgt,vgf, vsate,Vdse,mode;
real  Kc, lbt, lbS, lsub, labv;
real  q, ka, kg, kh, kd, ke, kf, kb;
real  K1, K2, K3, K4, K5, K6;
real  VMIN, DELTA, Rtot, LDe, res;
real  pot01, pot02, PT0;
real  sqrtvg, sqrfvg;
real  SourceResistance;
real  SourceConductance;
real  DrainResistance;
real  DrainConductance;
```

```
    (* desc="demo" *) real Ids;
```

```
analog
begin
    @(initial_step)
    begin
```

//- Constantes

```
VMIN = 1e-6;
DELTA = 0.1;
q = `P_Q*1;
kb = `P_K*1;
```

```
TNOM0 = TNOM+`P_CELSIUS0;
TSI0= TSI*1e2;
EPSI0 = `P_E0 * EPSI;
EPS0 = `P_E0 * EPS*1e-2;
CO = (EPSI0 /TOX) * 1e-4;
Kc =2*(W/L) *CO;
VT = TYPE *VT0;
Rtot =RS+RD;
    end //

    vds      = TYPE* V (drain, source);
    vgs      = TYPE* V (gate, source);
    vgd      = TYPE* V (gate, drain);
    vdpsp    = TYPE* V (dp, sp);
    vgspl    = TYPE* V (gate, sp);
    vgdpl    = TYPE* V (gate, dp);
    vddp     = TYPE* V (drain, dp);
    vsspl    = TYPE* V (sp, source);
```

//- Inicializar voltajes de los nodos

```
if (vds >= 0.0)
    begin
        mode      = 1;
        Vds       = vds;
        Vgs       = vgs;
        Vgd       = vgd;
        Vdpsp     = vdpsp;
        Vgspl     = vgspl;
        Vgdpl     = vgdpl;
        Vddp      = vddp;
        Vsspl     = vsspl;
    end
else
    begin //
        mode      = -1;
        Vds       = -vds;
        Vgs       = vgs;
        Vgd       = vgd;
        Vdpsp     = vdpsp;
        Vgspl     = vgspl;
        Vgdpl     = vgdpl;
        Vddp      = vddp;
        Vsspl     = vsspl;
    end
end
```

//- Expresiones auxiliares

```

sqrtvg = sqrt((DELTA*DELTA) + pow(((Vgs-VT) /VMIN)-1, 2));
vgt =(VMIN/2) *(1+((Vgs-VT) /VMIN) +sqrtvg);
sqrfvg =sqrt((DELTA*DELTA) +pow(((Vgs-VFB) /VMIN)-1,2));
vgf =(VMIN/2) *(1+((Vgs-VFB) /VMIN) +sqrfvg);
vsate = ALPHAS*(vgt);
Vdse = Vds/(pow((1+(pow((Vds/vsate), M))), (1/M)));

```

//- Potencial en el centro del semiconductor

```

pot01=PF+kb*Teff*ln(C0*(vgt)/(q*Neff*TSI0/2));
pot02=PF+kb*Teff*ln(C0*(vgt)/(a*q*Neff*TSI0/2));
ka = (1-tanh((Vgs-VT-V3) *Q3))/2.0;
kg = (1+tanh((Vgs-VT-V3) *Q3))/2.0;
PT0 = pot01*ka +pot02*kg;
K1=Nc/Neff;
K2=(exp(-PF/(kb*TNOM0)))/ ((exp (-PF/(kb*Teff))));
LDe=sqrt((2*EPS0*kb*Teff)/(q*Neff));

```

//- Corriente en sobreumbral

```

K3=exp((PT0) /(2*kb*Teff));
K4=cos(((TSI0/2) *exp((PT0-PF)/(2*kb*Teff)))/LDe);
K5=K3/K4;
K6=pow (K5, GAMMA);
res = 1+Rtot*(Kc*miu0*K1*K2*K6*(Vgs-VT));
labv=((Kc*miu0*K1*K2*K6*(Vgs-VT)/res) *Vdse*(1+(LAMBDA*Vds)));

```

//- Corriente en subumbral

```

lbt =0.5*Kc*MUB1*(pow (vgf, (1+GAMMAB))) *VDSlin;
lbtS = abs(lbtC)*exp(2.3*(Vgs-VT-V1)/S);

```

```

kh = (1-tanh((Vgs-VT-V1) *Q1))/2.0;
kd = (1+tanh((Vgs-VT-V1) *Q1))/2.0;
lsub = (lbtS+l0) *kh +abs(lbt)*kd;

```

//- Corriente total

```

ke = (1-tanh((Vgs-VT-V2) *Q2))/2.0;
kf = (1+tanh((Vgs-VT-V2) *Q2))/2.0;
lds = (lsub)*ke + (labv)*kf;

```

```

if (mode > 0)

```

```

    I (drain, source) <+ TYPE * lds;

```

```

else

```

```

    I (drain, source) <+ -TYPE * lds;

```

```
//- Definición de las resistencias y conductancias: RS, RD
  if (RS > 0.0)
    begin
      SourceConductance = 1.0 / RS;
      I (sp, source) <+ SourceConductance * V (sp, source);
      V (sp, source) <+ I (sp, source) *RS;
    end
  else
    begin
      V (sp, source) <+ 0.0;
    end

  if (RD > 0.0)
    begin
      DrainConductance = 1.0 / RD;
      I (drain, dp) <+ DrainConductance * V (drain, dp);
      V (drain, dp) <+ I (drain, dp) *RD;
    end
  else
    begin
      V (drain, dp) <+ 0.0;
    end

  end//analog

  endmodule
```