



**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS
DEL INSTITUTO POLITÉCNICO NACIONAL.**

UNIDAD ZACATENCO

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA

SECCIÓN DE ELECTRÓNICA DEL ESTADO SÓLIDO

**“Diseño y fabricación de transistores de capas finas
basados en Hf-In-ZnO y HfO₂ de alta movilidad y bajo
voltaje de operación”**

T E S I S

Que presenta

M.C. ISAI SALVADOR HERNANDEZ LUNA

Para obtener el grado de

DOCTOR EN CIENCIAS

EN LA ESPECIALIDAD DE INGENIERÍA ELÉCTRICA

Directores de la tesis:

Dra. Magali Estrada del Cueto

Dr. Salvador Ivan Garduño Vértiz

Ciudad de México

Septiembre, 2021.

Dedicatoria

A mis queridos padres, Sergio Hernández y Cristina Luna, por todo el cariño y apoyo incondicional que siempre me han brindado a lo largo de mis estudios, proyectos, aventuras y travesuras.

A mi querido hermano Dalí.

Agradecimientos

En primer lugar, quiero agradecer a mis directores de tesis, la Dra. Magali Estrada y el Dr. Ivan Garduño por la confianza, motivación, conocimiento y experiencia que me han brindado para desarrollar el presente trabajo. A ambos por introducirme en el mundo de la microelectrónica y de los TFTs. Por mostrarme que la investigación actual involucra la colaboración de todo tipo de especialista y del trabajo en equipo. Por su valiosa amistad que se ha podido cultivar con el paso del tiempo. Gracias totales.

Agradezco a los miembros del jurado revisor del trabajo de tesis, Dr. Gabriel Romero, Dr. Alejandro Ávila, Dr. Víctor Sánchez y Dr. Luis Reséndiz, por sus oportunas observaciones y comentarios que ayudaron a enriquecer el presente trabajo.

Agradezco al Consejo Nacional de Ciencia y Tecnología (CONACyT) y al Centro de Investigación y Estudios Avanzados del Instituto Politécnico Nacional (Cinvestav) por su apoyo y patrocinio para la realización de este proyecto de tesis.

Agradezco al grupo de microelectrónica que encabeza la Dra. Magali Estrada y el Dr. Antonio Cerdeira, dentro y fuera del Cinvestav, por todas las facilidades y disponibilidad que me brindaron para desarrollar el proyecto de tesis.

Agradezco al Ing. Luis Abad, técnico principal del grupo de microelectrónica, por su apoyo total durante los procesos de fabricación de dispositivos. Por tantas experiencias y aprendizajes logrados en el laboratorio. Agradecimientos a todos los chicos de servicio social, Jorge, Alberto, Héctor, Christian, Cesar, Brayan y Julio Cesar, por su disposición en colaborar al desarrollo del proyecto.

Agradezco a toda la SEES por la formación obtenida, por tan buenas y bonitas experiencias brindadas por el pasar de los años. A todos los profesores de la SEES con quien tuve la oportunidad de compartir experiencias. A los técnicos, auxiliares de investigación y administración que siempre aportan a mantener el correcto funcionamiento de la SEES. A mis compañeros y amigos de la SEES, en especial a Ángel, Chuy, Benito y Morales, con quien obtuvimos buenos logros para la SEES y el Cinvestav. A todos ellos por formar un buen equipo para toda ocasión.

Agradezco a mi familia de diez, por siempre motivarme a seguir creciendo en todos los aspectos de mi vida, por todo su cariño y admiración que me brindan. A mis amigos de bachillerato por siempre estar disponibles para ir a Guasave.

Agradezco a las diferentes instituciones que nos facilitaron sus instalaciones para realizar estancias de investigación y/o procedimientos de microelectrónica lo cual enriquecieron el proyecto de tesis. IMM-CNR, DEEEA-URV, CNMN-IPN.

A todos, muchas gracias.

Resumen

El presente trabajo de tesis se enfocó a la fabricación, caracterización y análisis de transistores de capa fina (TFT), que utilizan como material dieléctrico de compuerta el óxido de hafnio (HfO_2) y el compuesto de óxidos de hafnio-indio-zinc (HIZO) como material semiconductor amorfo. El poli(metil metacrilato) (PMMA) se utilizó como una capa con doble función: como protección del HIZO en los procesos de decapado posteriores a su depósito y como pasivación del semiconductor.

Se desarrolló una secuencia tecnológica básica para la fabricación de estos transistores, estudiándose el efecto de algunas modificaciones a este proceso, enfocadas al aumento de la movilidad y la estabilidad, así como a mantener un rango de voltaje de operación por debajo de 3 V.

Se estudió el efecto del tratamiento térmico (TT) en ambiente de oxígeno o de un gas inerte, a temperaturas entre 150 °C y 200 °C, en diferentes momentos de la secuencia de fabricación. Los mejores resultados se obtuvieron cuando dicho TT se realizó en N_2 , después de depositada la capa de HIZO. En todos los casos donde los dispositivos se sometieron a procesos de TT en N_2 , la movilidad por efecto de campo resultó en un valor por encima de 150 cm^2/Vs . Adicionalmente, se presenta un estudio del efecto de los TT sobre la resistencia de encendido (R_{ON}).

Se analizó la relación entre el aumento de la movilidad y su comportamiento con el voltaje de la compuerta, con respecto a la densidad de estados localizados en el volumen del semiconductor. Por último, con base en los resultados de la fabricación de transistores se diseñaron, fabricaron y caracterizaron circuitos inversores de carga saturada.

Abstract

The present Thesis work is focused on the fabrication, the characterization and the analysis of thin-film transistors (TFTs) based on hafnium oxide (HfO_2) and the compound hafnium-indium-zinc oxide (HIZO) as gate dielectric material and semiconductor, respectively. The poly(methyl methacrylate) (PMMA) was used as a double function layer: like protection of HIZO at the etching processes, after its deposition, and for the semiconductor surface passivation.

A basic technological sequence for the fabrication of these transistors was developed. The effect of some process modifications was studied, focused on the mobility increase and the stability, as well as maintaining an operating voltage range below 3 V.

The effect of thermal annealing (TA) in oxygen atmosphere or inert gas environment at temperatures between 150 °C and 200 °C and different stages during the fabrication sequence was studied. The best results were obtained when TA was carried out in N_2 , right after the HIZO layer was deposited. In all the cases where the devices were subjected to TA processes in N_2 , the field effect mobility resulted in values above 150 cm^2/Vs . Additionally, a study about the TA effect upon the on resistance (R_{on}) was presented.

Moreover, the relationship between the mobility increases and its behavior with the gate voltage, regarding the density of states located at the volume of the semiconductor, was analyzed. Finally, based on the results of the fabrication of transistors, saturated load inverter circuits were designed, fabricated and characterized.

Contenido

DEDICATORIA.....	II
AGRADECIMIENTOS	III
RESUMEN	V
ABSTRACT	VI
CONTENIDO	VII
OBJETIVOS	X
CAPITULO I - AOSTFTS	1
1.1. Introducción.....	1
1.1.1. Antecedentes.....	2
1.2. Características de los AOSTFTS	4
1.2.1. Conducción en AOSTFT	5
1.3. Materiales empleados.....	6
1.3.1. Semiconductor.....	6
1.3.1.1. HIZO	7
1.3.1.2. Depósito del AOS.....	7
1.3.2. Dieléctrico	8
1.3.2.1. HfO ₂	8
1.3.2.2. Métodos de depósito	9
1.3.3. Metales de compuerta.....	10
1.4. Método de depósito empleado	11
1.4.1. Pulverización catódica, Sputtering.....	11
1.4.2. Sputtering de magnetrón de RF.....	12
1.5. Ataque de materiales	12
1.6. Conclusiones	13
CAPITULO II - CAPACITOR MDS.....	15
2.1. Teoría del capacitor MOS ideal.....	16

2.1.1. Capacitor MOS real	22
2.2. Comportamiento de una estructura MDS de HfO₂/HIZO	25
2.3. Fabricación del capacitor MDS	26
2.3.1. Proceso básico de fabricación del capacitor MDS	26
2.3.2. Uso de tratamientos térmicos	28
2.4. Medición y análisis de los resultados de la caracterización de los capacitores MDM y MDS	29
2.4.1. Análisis de resultados de las estructuras MDM y MDS de los procesos A y A2	30
2.4.2. Análisis y comparación de resultados entre las estructuras P-A2 y P-B	33
2.4.3. Análisis y comparación de resultados entre las estructuras con tratamientos térmicos a 200 °C	36
2.5. Conclusiones	40
CAPITULO III - TRANSISTOR DE CAPA DELGADA DE ÓXIDOS SEMICONDUCTORES AMORFOS (AOSTFT).	42
3.1. Estructura del TFT	42
3.1.1. Topología del transistor de capa delgada AOSTFT	44
3.1.2. Transistor	46
3.1.2.1. Efecto de la variación del traslape metálico superior	48
3.1.2.2. Efecto de la reducción del largo del electrodo de compuerta.	49
3.2. Fabricación del AOS TFT	50
3.2.1. Uso de tratamiento térmicos	55
3.3. Análisis de resultados de la caracterización eléctrica de los AOSTFTs	56
3.3.1. Análisis de las variaciones en la topología del transistor	56
3.3.1.1. Resultados de la variación del tamaño del traslape metálico superior TMO	56
3.3.1.2. Resultados de la variación del tamaño del electrodo de compuerta	62
3.3.2. Resultados del uso de tratamientos térmicos en el proceso de fabricación de AOSTFTs	64
3.3.2.1. Resultados de los procesos P-A y P-A2 de AOSTFTs	64
3.3.2.2. Resultados de los procesos P-A2 y P-B de AOSTFTs	66
3.3.2.3. Resultados de los procesos P-C y P-E de AOSTFTs	68
3.3.2.4. Comparación de los procesos P-B y P-D de AOSTFTs	70
3.3.3. Comportamiento del tipo cristalino para los AOSTFTs	73
3.4. Inversor AOSTFTs	76
3.4.1. Inversor de carga saturada	77
3.4.2. Topología del inversor de carga saturada	79
3.4.3. Fabricación y resultados del inversor	80
3.5. Conclusiones	83

CAPITULO IV - CONCLUSIONES GENERALES	87
CAPITULO V - TRABAJO A FUTURO.....	90
TRABAJOS PUBLICADOS.....	91
REFERENCIAS	93
APÉNDICE A. REGLAS DE DISEÑO	98
APÉNDICE B. PROCESO DE LIMPIEZA DE SUBSTRATO	102
APÉNDICE C. SECUENCIA DE FABRICACIÓN DE DISPOSITIVOS.....	104

Objetivos

El presente trabajo de Tesis se planteó como objetivo general:

Fabricar transistores de capa fina utilizando óxidos metálicos amorfos como material semiconductor y dieléctrico de alta constante dieléctrica, el óxido de hafnio-indio-zinc (HIZO) como semiconductor y óxido de hafnio (HfO_2) como dieléctrico, respectivamente, que puedan presentar alta movilidad y funcionamiento a bajo rango de voltaje.

Para lograr el objetivo general, se plantearon los siguientes objetivos particulares:

Realizar una revisión bibliográfica sobre las propiedades físicas y eléctricas de los óxidos semiconductores amorfos y dieléctricos de alta constante dieléctrica, para su utilización en la fabricación de transistores de capa fina de óxidos semiconductores amorfos (AOSTFTs).

Manejar las técnicas de depósito del Hf-In-ZnO y HfO_2 , así como la definición de áreas que se requieran en la fabricación de AOSTFTs, con la finalidad de controlar sus características y propiedades eléctricas.

Fabricación, caracterización y análisis de la estructura metal dieléctrico semiconductor (MDS) basada en el Hf-In-ZnO y HfO_2 para conocer su viabilidad en la fabricación de AOSTFTs.

Variación del diseño de la estructura del AOSTFT y de su secuencia de fabricación con Hf-In-ZnO y HfO_2 , incorporando el uso de diferentes tratamientos térmicos durante el proceso de fabricación.

Estudio y análisis de las características eléctricas obtenidas de los AOSTFTs.

Fabricación de un circuito simple basado en AOSTFTs de Hf-In-ZnO y HfO₂.

CAPITULO I - AOSTFTs

1.1. Introducción

Desde que se demostró que la utilización de óxidos metálicos amorfos como el óxido de indio-galio-zinc, a-IGZO como material semiconductor, o capa activa, en los transistores de capa fina (TFT) por Nomura et al. en 2004 [1], se ha realizado un enorme esfuerzo en la investigación de dispositivos TFT de óxidos semiconductores amorfos (AOS), especialmente para su aplicación en pantallas de panel delgado (flat panel displays, (FPD)) de nuevas generaciones [2][3][4].

Dentro de las principales ventajas de los materiales óxidos semiconductores amorfos se encuentran: es posible obtenerlos utilizando métodos convencionales de depósito, como la pulverización catódica, de láser pulsado, por capas atómicas, incluso a temperatura ambiente [1][5][6]; además, su estructura amorfa permite mantener propiedades similares en dispositivos fabricados incluso en áreas grandes [3][7][8][9]. En cuanto al desempeño eléctrico de los TFTs basados en AOS destaca la alta movilidad por efecto de campo que se observa con respecto a TFTs de silicio amorfo hidrogenado (a-Si:H) o a TFTs orgánicos [1][3], obteniéndose valores superiores a $10 \text{ cm}^2/\text{Vs}$, incluso si los AOS son procesados a temperatura ambiente (RT) [10][11][12].

A pesar de las buenas características obtenidas en estos dispositivos, aún se mantiene en estudio el uso de diferentes combinaciones de otros óxidos metálicos para obtener materiales semiconductores amorfos distintos al a-IGZO, así como de mejorar sus propiedades y comportamiento eléctrico [13][3].

La reducción en el rango de operación de voltaje del TFT, puede obtenerse mediante el uso de aislantes de alta constante dieléctrica (alta-k) [14][15][16].

El uso combinado de AOS con materiales dieléctricos de alta-k en la estructura del TFT proveen prestaciones que hacen atractiva su integración en sistemas electrónicos para las próximas generaciones de FPDs [17][18].

1.1.1. Antecedentes

Los TFTs encuentran su origen en la década de 1930 cuando Lilienfeld propuso y patentó el transistor de efecto campo (FET). En estos informes, se describieron los conceptos de un dispositivo en el que el flujo de corriente se controla mediante la aplicación de un campo eléctrico transversal [19]. Los TFTs y los transistores de efecto de campo (FET) comparten el mismo principio de operación, el primer TFT se realizó en 1962 por Weimer en el laboratorio RCA [20]. El proceso de fabricación del TFT que ocupó Weimer atrajo la atención mundial, abriendo el camino a un nuevo campo de estudio en los transistores.

Pocos años después, en 1964, Klasens y Koelmans demostraron el primer TFT con un semiconductor de óxido metálico [21]. El dispositivo fue fabricado mediante técnicas fotolitográficas y tenía electrodos de aluminio (Al), dieléctrico de compuerta de óxido de aluminio (Al_2O_3), y semiconductor de óxido de estaño (SnO_2). Por primera vez, la transparencia del substrato, el semiconductor y el dieléctrico de compuerta permitió realizar un proceso litográfico autoalineado. Fue hasta 1996 cuando los óxidos semiconductores metálicos ganaron nueva atención como capas activas en los TFT de memoria ferroeléctrica [22].

Prins et al., demostraron el primer TFT totalmente transparente a base del óxido semiconductor metálico SnO_2 dopado con antimonio ($\text{SnO}_2:\text{Sb}$) depositado mediante láser pulsado (PLD)[22]. Al mismo tiempo, Seager et al. mostraron el primer TFT de memoria no volátil de óxido de indio (In_2O_3) con dieléctrico de compuerta ferroeléctrica [23]. Después del éxito de estos trabajos, desde 2003 los óxidos semiconductores metálicos ganaron un interés

cada vez mayor. La mayor parte de la atención se dirigió inicialmente a los TFT de óxido de zinc (ZnO), lo que resultó en una movilidad de efecto de campo por encima de $1 \text{ cm}^2/\text{Vs}$ [24]. Tales valores resaltaron la funcionalidad de esta tecnología como un reemplazo para el a-Si, comúnmente empleado en los paneles de pantalla delgada que usan TFTs [25]. En este contexto, Hoffman, Norris y Wager fabricaron TFTs de ZnO amorfo totalmente transparentes que exhibieron una movilidad de efecto de campo de $2.5 \text{ cm}^2/\text{Vs}$ y una relación de corrientes de encendido/apagado de 10^7 [26]. En este caso, el ZnO se depositó mediante pulverización catódica y un tratamiento térmico entre 600 y $800 \text{ }^\circ\text{C}$. Posteriormente, Fortunato et al. presentaron TFTs totalmente transparentes con ZnO depositado mediante pulverización catódica de radiofrecuencia (RF) a temperatura ambiente y que mostraban una movilidad de electrones de $20 \text{ cm}^2/\text{Vs}$ [27]. Mientras que Carcia, McLean y Reilly demostraron con la ingeniería de semiconductores que, mediante la pulverización catódica de ZnO, se pueden obtener TFTs con una movilidad de efecto de campo mayor a los $42 \text{ cm}^2/\text{Vs}$ [28]. Además, TFTs de óxidos semiconductores metálicos binarios como In_2O_3 y SnO_2 , han mostrado buenas características eléctricas [29]. En 2004 Nomura et al. reportaron TFTs transparentes de películas de óxidos semiconductores amorfos de a-IGZO obtenidas a temperatura ambiente por depósito de laser pulsado (PLD) en sustratos de tereftalato de polietileno flexible (PET) [1]. Los resultados fueron importantes, especialmente considerando su proceso a baja temperatura, una movilidad de efecto de campo de $9 \text{ cm}^2/\text{Vs}$ y una relación de corrientes de encendido/apagado de 10^3 . Los resultados de Nomura llevaron a encontrar un camino para una cantidad importante de publicaciones sobre TFT de óxidos semiconductores amorfos. En los años siguientes, se investigaron óxidos semiconductores amorfos alternativos al a-IGZO, como el óxido de zinc-estaño (ZTO) y óxido de zinc-indio (IZO) [30].

A partir de estos avances tecnológicos se han puesto las bases del desarrollo de la tecnología y fabricación de AOSTFTs, así que continuamente se presentan resultados de su desempeño y características que hacen que estos dispositivos sean una alternativa de uso en los nuevos sistemas electrónicos.

1.2. Características de los AOSTFTS

Los dispositivos AOSTFTs exhiben características principales, como son movilidades de efecto de campo (μ_{FET}) superiores a los $10 \text{ cm}^2/Vs$, transparencia óptica superior al 80% en el rango de luz visible y estabilidad bajo condiciones de estrés por polarización e iluminación, manteniendo procesos de fabricación a baja temperatura con bajo costo en comparación a los TFTs de a-Si y polisilicio [30], [31] .

Las características de los óxidos semiconductores amorfos son atribuidas principalmente a su configuración electrónica, la cual presenta una simetría esférica de orbitales de sus subniveles de energía de tipo S, permitiendo un alto grado de traslape entre orbitales vecinos, formando un camino de conducción de electrones libres, a pesar de su estructura amorfa [7]. Inherente al material, existe la creación de vacancias de oxígeno, las cuales afectan las propiedades eléctricas de los AOS [32].

La reducción del rango de voltaje de operación en los AOSTFTs, se obtiene mediante el uso de un dieléctricos de alta k [33]. El uso de estos dieléctricos contribuye a aumentar la movilidad efectiva de los transistores [16].

Los AOSTFTs como ya se mencionó pueden ser fabricados mediante métodos que posibilitan el uso de áreas grandes, permitiendo la homogeneidad de sus características eléctricas.

A pesar del rendimiento característico ya obtenido para estos dispositivos, aún se requieren esfuerzos continuos para mejorar aún más sus características eléctricas, aumentar la movilidad, así como para reducir inestabilidades por estrés de polarización y de luz, entre otros aspectos.

1.2.1. Conducción en AOSTFT

En los transistores de efecto de campo la conductividad a lo largo de la superficie del semiconductor es caracterizada en función del campo eléctrico normal aplicado a la superficie. El campo eléctrico normal a la superficie se obtiene aplicando una polarización al contacto de compuerta. La conductividad del semiconductor, modulada por el voltaje aplicado a la compuerta, se mide entre los dos contactos adyacentes al semiconductor. El TFT es un tipo de transistor de efecto de campo (FET).

El cambio de la conductividad del semiconductor se mide para determinar la movilidad de canal. La caracterización del TFT incluye conocer el comportamiento de las propiedades interfaciales al medir la movilidad de efecto de campo en el canal y como está es influida por la interfaz y las propiedades del dieléctrico.

La conductividad electrónica en sólidos está determinada por su estructura atómica. La principal diferencia que existe entre los TFTs cristalinos y los TFTs policristalinos o TFTs amorfos hace que el rendimiento y conductividad se vean afectados por la presencia de una alta densidad de estados localizados en el ancho de banda del semiconductor amorfo. Los estados localizados pueden ser de dos tipos de energía con comportamiento o dependencia exponencial de la energía. Los estados de cola (tail states) y los estados profundos (deep states), los cuales pueden aumentar por la no cristalinidad del material o por los defectos agregados durante la fabricación, respectivamente [34].

Para los óxidos semiconductores amorfos solo son considerados los estados de cola, ya que presentan una mayor densidad con respecto a los estados profundo [35]. El nivel de Fermi para este tipo de materiales se encuentra dentro de la distribución de los estados de cola. Los estados de cola son los que afectan y rigen los mecanismos de conducción del semiconductor en el TFT.

La conducción de portadores en los AOSTFTs incluye dos mecanismos de conducción, la cual es por saltos, típico para los TFTs amorfos y la conducción en la banda de conducción, incluyendo la percolación y libre conducción [5]. Ambos mecanismos pueden subsistir al mismo tiempo, donde el mecanismo predominante dependerá de las características del proceso de fabricación y de los voltajes aplicados.

1.3. Materiales empleados

Como se mencionó en el apartado anterior, los AOS en TFTs han dado como resultado movilidades de efecto de campo altas, así como buena estabilidad bajo polarización y estrés por iluminación. Las características mencionadas no solo dependen del empleo del material semiconductor, si no también del dieléctrico de compuerta y del metal de contacto dentro de la estructura del TFT. A continuación, se revisarán las características del material semiconductor, dieléctrico de compuerta y metal de contacto.

1.3.1. Semiconductor

Para la mejora de los materiales semiconductores utilizados en los dispositivos TFTs han sido estudiados activamente los óxidos semiconductores amorfos, que incluyen óxidos metálicos como el óxido de zinc (ZnO), óxido de indio (InO), óxido de estaño (SnO₂), óxido de galio (GaO), óxido de hafnio (HfO₂) y óxido de wolframio (WO₃), entre otros, en aleaciones binarias, ternarias o cuaternarias [36], [37]. Se destaca la investigación en

optimizar la composición catiónica de los compuestos, variación en los métodos empleados para su depósito, tratamientos térmicos posteriores a su depósito o al término de la fabricación del transistor, entre otros más.

1.3.1.1. HIZO

El óxido de hafnio-indio-zinc (HIZO) se ha vuelto una alternativa para reemplazar el a-IGZO como el material más empleado en la actualidad, debido a que puede presentar solución a los inconvenientes exhibidos por el a-IGZO [38]. Específicamente, intercambiando los átomos de Ga en IGZO, con los átomos de Hf en el HIZO, se espera obtener dispositivos más estables bajo estrés por polarización y luz en comparación con los TFT de a-IGZO, debido a que los iones de Hf son más capaces de enlazar átomos de oxígeno con menor energía que los iones de Ga [39]. Mediante la modulación del contenido de Hf en el HIZO se controla la estructura de la película delgada e incrementar la estabilidad de operación del TFT [40].

La concentración de oxígeno es uno de los parámetros principales que influye en las características de los TFTs, como son las vacancias de oxígeno, las cuales son la mayor fuente de portadores libres [41]. Con la optimización del contenido de oxígeno, pueden obtenerse dispositivos con altas movilidades ($>46 \text{ cm}^2/\text{Vs}$) [7]. Por otro lado, después de su depósito o al término de la fabricación del dispositivo, tratamientos térmicos en ambientes de oxígeno o nitrógeno, pueden afectar la concentración de portadores en la capa activa del TFT y/o reducir la densidad de trampas de electrones mejorando las características eléctricas del dispositivo TFT [42].

1.3.1.2. Depósito del AOS

Los óxidos semiconductores amorfos se han obtenido utilizando una variedad de métodos de depósito, como la pulverización catódica con magnetrón, evaporación, depósito por láser pulsado, sol-gel y depósito de capas atómicas [43]. Entre estos procesos, el método preferido en las líneas

de producción es la pulverización catódica por magnetrón, debido a su alta capacidad de control, alta velocidad de depósito y depósitos en áreas grandes a temperaturas relativamente bajas [44] [39].

1.3.2. Dieléctrico

Entre las propiedades deseables de los materiales dieléctricos en transistores de capa fina, es que tengan constantes dieléctricas altas, baja corriente de fuga, y una buena estabilidad térmica para garantizar una buena interfaz con el metal de compuerta. Tuneleo directo y limitaciones de uso de capas dieléctrica con bajo espesor, se puede evitar con materiales dieléctricos de constante dieléctrica alta, y por lo tanto pueden ser usados con espesores físicos mayores con respecto al SiO₂ [45]. Otro requerimiento básico de las propiedades físicas del material es tener un ancho de banda grande, el cual aumenta la banda-offset que hay entre la banda de conducción y la banda de valencia con el semiconductor para asegurar una corriente de fuga baja [45]. Sin embargo, hay un compromiso entre la constante dieléctrica alta y el ancho de banda grande, ya que el ancho de banda tiende a reducirse con respecto al incremento de la constante dieléctrica. En la actualidad se realiza mucho esfuerzo para desarrollar óxidos de compuerta de alta constante dieléctrica usados en TFTs como lo son el óxido de itrio (Y₂O₃), óxido de titanio-bario-estroncio (BaSrTiO), óxido de tántalo (Ta₂O₅), óxido de titanio (TiO₂), óxido de hafnio (HfO₂), óxido de cerio (CeO₂), óxido de aluminio (Al₂O₃), y otros tipos de óxidos [46] [17] [47]. Para el uso en TFTs se confirma que con el uso de óxidos de alta k ha producido resultados útiles para operar dispositivos a voltajes de compuerta bajo [16].

1.3.2.1. HfO₂

El HfO₂ es un material con un rango amplio de aplicaciones tecnológicas, el cual es ampliamente estudiado con el fin de optimizar sus características físicas y procesos de depósito. Dentro de las propiedades se encuentra su alta

constante dieléctrica, estabilidad térmica y mecánica, alto rango de transparencia, lo que lo ha llevado a incrementar su interés en aplicaciones como material dieléctrico de alta-k en dispositivos electrónicos [46]. Se ha reportado que el HfO_2 muestra constante dieléctrica (k_i) desde valores de $k_i = 11$ [48]. Puede ser depositado a temperatura ambiente y exhibir un ancho de banda de alrededor de 5,68 eV, presentando baja densidad de estados de interfaz y buena fiabilidad eléctrica [45]. El HfO_2 tiene potencial para aplicaciones como dispositivos sensores de gas, así como material dieléctrico de compuerta en los transistores de capa fina, entre otras aplicaciones [49][12].

Dado que los materiales dieléctricos de alta k relacionan su comportamiento a su polarizabilidad [47], la característica de histéresis se hace presente y se tiene como un problema a resolver [50]. La solución a la histéresis es muy importante para un dispositivo confiable, por ello aún se encuentran en desarrollo soluciones para evitarla.

Todas estas características dependen en gran medida de los métodos de depósito empleados, además con la temperatura usada en el transcurso y posterior a su depósito [51].

1.3.2.2. Métodos de depósito

Dentro de las técnicas más usadas para el depósito del HfO_2 se encuentran el depósito químico de vapor, depósito de capas atómicas, epitaxia de haces moleculares, depósito por láser pulsado y pulverización catódica de radio frecuencia (RF Sputtering).

El depósito de películas por el método de pulverización catódica a diferencias de las anteriores es de las técnicas que pueden ser realizadas a temperatura ambiente, el cual puede ser utilizado sobre sustratos alternativos como polímeros, con aplicaciones en la electrónica flexible, además que los

costos de depósito son más accesibles con respecto a los métodos anteriormente mencionados. A temperatura ambiente se obtienen capas amorfas, las cuales son requeridas para no presentar los inconvenientes de películas cristalinas o policristalinas, las cuales dan lugar a la generación de corriente de fuga y puntos débiles en su estructura [51].

1.3.3. Metales de compuerta

La formación de un contacto óhmico es esencial para la fabricación de los TFTs, porque la resistencia de contacto en las regiones de drenador y fuente tienen una influencia significativa en el rendimiento del dispositivo.

El transporte de portadores en la interfaz metal/semiconductor podría explicarse con la altura de barrera Schottky (Φ_B), la cual se obtiene acorde a la teoría de Schottky-Mott como $\Phi_B = \Phi_S - \Phi_M$, donde Φ_S es la función de trabajo del semiconductor y Φ_M es la función de trabajo del metal. Por lo tanto, metales que tengan una $\Phi_M > \Phi_S$ indican que el contacto puede mostrar un comportamiento rectificante y por el otro lado, si $\Phi_M \leq \Phi_S$ probablemente se formen contactos óhmicos con el semiconductor. Para la función de trabajo del a-HIZO hay valores reportados que van desde 4.1 eV hasta 4.8 eV [52], el a-GIZO tiene valores similares reportados de 4.1 a 4.5 eV [53]. Las diferencias en los valores reportados de las funciones de trabajo del semiconductor se deben a los diferentes estados en la superficie, características cristalográficas y a la composición del a-HIZO. Por lo que teniendo una $\Phi_M \leq 4.8$ eV y tomando el valor máximo del Φ_S , se pueden ocupar metales como Titanio (*Ti*) $\Phi_{mTi}=4.3$ eV, Cromo (*Cr*) $\Phi_{mCr}=4.5$ eV, Cobre (*Cu*) $\Phi_{mCu}=4.51$ eV, aluminio (*Al*) $\Phi_{mAl}=4.1$ eV o Molibdeno (*Mo*) $\Phi_{mMo}=4.4$ eV, para lograr tener un contacto óhmico con el a-HIZO en la fabricación de los TFTs.

El metal que se elige para este trabajo de tesis es el Mo, que es un metal con alto punto de fusión, además que no reacciona con el oxígeno o con el agua a temperatura ambiente y es resistente a la corrosión. El Mo tiene una

baja resistividad de $5 \times 10^{-6} \Omega \cdot \text{cm}$ y una función de trabajo de 4.4 eV. Este metal ha sido usado y estudiado como electrodo de drenador/fuente en TFTs, donde se sugiere que las propiedades de la unión pueden ser mejoradas mediante procesos de tratamiento térmico, obteniendo una altura de barrera y resistencia de contacto reducidas.

1.4. Método de depósito empleado

Dentro de los métodos de depósitos mencionados, la pulverización catódica (Sputtering) es el método utilizado en este trabajo para depositar todas las capas, ya sea material dieléctrico, semiconductor y metal de electrodos, debido a que las capas pueden ser depositadas a temperatura ambiente, permitiendo el uso de sustratos alternativos; existe una gran uniformidad de los materiales depositados logrando que sus propiedades sean uniformes en todo el sustrato; además de tener bajo costo de depósito en comparación con otros métodos.

1.4.1. Pulverización catódica, Sputtering

Sputtering es el método donde se remueven átomos o moléculas superficiales del material a depositar mediante el bombardeo con iones energéticos [54]. Los tipos de sistemas de Sputtering usados en la microelectrónica son de DC, RF y Magnetron de RF. El material por depositar es llamado blanco (target) y forma el cátodo del sistema. El ánodo se encuentra espaciado a una distancia de 1 a 12 centímetros del blanco y conectado a la terminal positiva de la fuente de voltaje.

El sistema de sputtering opera de la siguiente forma, el sustrato es colocado en el ánodo, la cámara es llevada a una condición de alto vacío, y después se introduce un gas de alta pureza como el argón (Ar) para llegar a la presión de trabajo para el depósito. Se produce un plasma gaseoso con la fuente de DC o RF entre el ánodo y blanco. Los átomos pulverizados del

blanco por el impacto de los iones positivos del plasma sobre el blanco se depositan en el sustrato para formar la película delgada. Cada material tiene su característico "Sputtering yield". El Sputtering yield es el número de átomos desprendidos del blanco por ion impactado, lo cual es una función de la energía del ion. La velocidad de depósito sobre el sustrato está influenciada por algunos parámetros como Sputtering yield, temperatura del sustrato, presión y composición del gas utilizado.

1.4.2. Sputtering de magnetrón de RF

La velocidad de depósito del sistema de sputtering puede ser mejorada por el uso de campos magnéticos para confinar la descarga del gas e intensificar la eficiencia de la generación de iones. Los campos magnéticos son producidos por un magneto permanente y son orientados de tal modo que sean aproximadamente paralelos a la superficie expuesta del blanco. Blancos planos o cónicos son usados en este tipo de sistemas y los blancos son enfriados hidráulicamente.

1.5. Ataque de materiales

Remover una película de un sustrato, usualmente con un patrón definido por una fotorresina protectora, es llamado ataque (etching). El proceso de ataque depende del material particular a ser removido. El ataque puede ser realizado por métodos químicos húmedos, o por métodos en seco como ataques por plasma.

El ataque húmedo puede ser realizado por simple inmersión, agitación o rociado. La mayoría de las velocidades de ataque son dependientes de la temperatura, las cuales requieren de un control cuidadoso para óptimos resultados. Dentro de los inconvenientes se encuentra que, la fotorresina suele perder su adhesión a las películas adyacentes cuando son expuestos a ataque de ácidos fuertes.

Con respecto a ataques en plasma este método requiere la selectividad del atacante para el material de la película que se desea atacar. Un potencial de RF puede ser aplicado entre los electrodos de la cámara de vacío, este potencial de RF causa que los electrones libres presentes en el plasma oscilen, resultando en colisiones con los átomos del gas, lo cual los ioniza y mantiene el plasma. El plasma resultante contiene especies activas químicamente que atacan el material de la muestra. La presión requerida para mantener el plasma puede ser de 20 mTorr a los 100 mTorr. El ataque no es un fenómeno de Sputtering, pero si una reacción química que convierte el material atacado en un compuesto volátil. La adición de un gas activo químicamente al plasma iónico puede tener el efecto de cambiar las velocidades de ataque a través de la interacción química entre el substrato y el gas activo.

1.6. Conclusiones

Se propone el uso del óxido de hafnio-indio-zinc como material semiconductor para la estructura TFT. Se presenta como una alternativa de uso y solución a inconvenientes presentados por el IGZO, el cual es el semiconductor más estudiado y usado en los AOSTFTs.

Se propone el uso del óxido de hafnio como dieléctrico de compuerta, el cual tiene una alta constante dieléctrica. Se espera que su utilización reduzca el rango de voltaje de operación de los dispositivos.

Por su función de trabajo, el molibdeno (Mo) es propuesto para ser ocupado como metal de contacto en los electrodos de drenaje, fuente y compuerta de la estructura del transistor; buscando tanto la obtención de contactos óhmicos con el HIZO, como una diferencia de trabajos de extracción, entre el Mo y el HIZO, que permita alcanzar un voltaje de umbral del orden de 0.5 V en los transistores.

La pulverización catódica de RF con magnetrón se ocupará para el depósito del semiconductor, dieléctrico y metal de contacto en este trabajo. La pulverización catódica será empleada a temperatura ambiente, para ampliar su uso en áreas grandes y procesos de bajo costo.

CAPITULO II - Capacitor MDS

El capacitor MDS consiste en una estructura formada por un contacto metálico, llamado contacto de compuerta, un material dieléctrico, regularmente llamado dieléctrico de compuerta, un material semiconductor, y finalmente otro metal o material conductor adyacente al semiconductor que actúe como contacto óhmico. Por sus siglas metal/dieléctrico/semiconductor (MDS), el capacitor tiene que respetar la secuencia de fabricación ya sea que el contacto de compuerta se encuentre en la parte inferior o superior de la estructura, en la figura 2.1 se muestra la estructura del capacitor MDS configurada con el contacto de compuerta inferior.



Figura 2.1 Capacitor MDS.

El capacitor MDS se caracteriza por su estructura simple y fácil de fabricar, de la cual se puede obtener información sobre propiedades de interés del material dieléctrico, interfaz dieléctrico/semiconductor (D/S) y del semiconductor en dependencia del proceso de fabricación utilizado.

Para entender el comportamiento de la capacitancia vs. voltaje de la estructura MDS que utilizaremos en esta tesis, comenzaremos por recordar algunos aspectos básicos del comportamiento de una estructura MDS con SiO_2 como dieléctrico y Si como semiconductor, identificada como estructura MOS.

El comportamiento de la curva C-V en la estructura MOS, está ampliamente descrita en la literatura [55],[56] por lo que nos referiremos solamente a algunos de sus aspectos para comparar con las diferencias que se observan en las estructuras MDS que estudiaremos. La estructura MDS que se estudiará en la tesis utiliza HfO_2 como dieléctrico y el Hf-In-ZnO (HIZO) óxido metálico amorfo como semiconductor.

La estructura del capacitor MDS es la base del funcionamiento de los transistores de efecto de campo del tipo MOS o de capas finas (TFTs), por lo que su caracterización resulta fundamental para entender y controlar el funcionamiento del TFT.

En este capítulo se abordará el estudio del capacitor MDS de HfO_2 /HIZO y su comparación con el MOS, la fabricación de esta estructura y los resultados obtenidos de su caracterización eléctrica. Además, se reportan variaciones al proceso de fabricación de las estructuras MDS, así como el análisis de los resultados obtenidos.

2.1. Teoría del capacitor MOS ideal

Para entender lo que ocurre en un capacitor MOS ideal es necesario representar su estructura mediante el diagrama de bandas de energía de los materiales que lo conforman, el cual se encuentra en la figura 2.2, representando los niveles de energía característicos para cada material.

El material semiconductor representado en el diagrama de bandas es de conductividad tipo n y el material dieléctrico se puede representar como una resistencia infinita, la cual evita cualquier transporte de carga a través de este, cuando se le aplica un voltaje de polarización entre el metal y el semiconductor.

Basado en la estructura de bandas de la figura 2.2, al aplicar un voltaje positivo al metal de compuerta ($V_G > 0$), las bandas de energía del semiconductor se doblarán hacia abajo en la interfaz más cercana al dieléctrico, obteniéndose un $\psi_s > 0$. En esa región la banda de conducción se acerca al nivel de Fermi y como resultado habrá un aumento en la densidad de carga total en el semiconductor (Q_s). Esta densidad de carga estará regida principalmente por la concentración de electrones para el caso del material tipo n, resultando en carga negativa. La zona formada es nombrada región de acumulación, en la figura 2.3 a) se representa su diagrama de bandas.

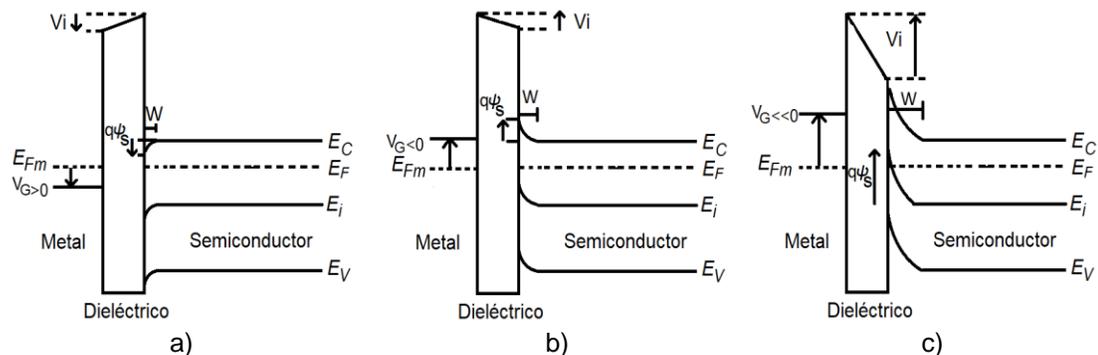


Figura 2.3 Diagrama de bandas de un Capacitor MOS ideal para el caso de un semiconductor tipo n, con polarización externa aplicada (V_G), mostrando las condiciones de a) acumulación, b) empobrecimiento e c) inversión.

Para el caso donde se aplica un voltaje negativo al metal de compuerta, el voltaje aplicado inducirá el doblamiento de las bandas de energía hacia arriba en la interfaz más cercana al dieléctrico, logrando tener un $\psi_s < 0$. Esto permitirá una reducción en la densidad superficial de carga en el semiconductor. La región formada para el potencial superficial dentro del intervalo $0 > \psi_s > \psi_F$ es nombrada región de empobrecimiento. Donde ψ_F es el potencial de fermi. En la figura 2.3 b) se muestra la región de empobrecimiento.

Al aplicar un voltaje de compuerta negativo más intenso al metal de compuerta, bajo determinadas condiciones, el doblamiento de las bandas de energía puede hacerse más pronunciado logrando llegar a tener un potencial superficial $\psi_s < -\psi_F$. En consecuencia, se formará una región de inversión de

la densidad superficial de carga haciéndose positiva. La densidad de carga inducida estará regida principalmente por la concentración de huecos. La región formada es nombrada región de inversión, ver Figura 2.3 c). Para el caso en el que $\psi_s < -2 \psi_F$, se llega a la condición de inversión fuerte. Este caso puede no observarse en estructuras MDS de algunos materiales semiconductores, como se verá más adelante.

Los fenómenos descritos anteriormente pueden describirse resolviendo la ecuación de Poisson [56]:

$$\frac{d^2\psi}{dx^2} = -\frac{\rho_S(x)}{k_s\epsilon_0} = -\frac{q(p-n+N_d-N_a)}{k_s\epsilon_0}, \quad (2.1)$$

donde ψ es el potencial a lo largo del semiconductor y ρ_S es la densidad de carga en el semiconductor.

Resolviendo la ecuación (2.1), se obtiene el campo eléctrico (F_S) en función del potencial eléctrico para un semiconductor tipo n:

$$F_S = \pm \frac{\sqrt{2} k T}{q L_D} F_0 \left(\frac{q\psi}{kT}, \frac{p_{n0}}{n_{n0}} \right), \quad (2.2)$$

donde $L_D = \sqrt{\frac{k T k_s \epsilon_0}{q^2 n_{n0}}}$ es la longitud de Debye extrínseca (L_D) y

$$F_0 \left(\frac{q\psi}{kT}, \frac{n_{n0}}{p_{n0}} \right) = \sqrt{\left(e^{\frac{q\psi}{kT}} - \frac{q\psi}{kT} - 1 \right) + \frac{p_{n0}}{n_{n0}} \left(e^{-\frac{q\psi}{kT}} + \frac{q\psi}{kT} - 1 \right)}. \quad (2.3)$$

La carga espacial total por unidad de área (Q_S) se obtiene aplicando la ley de Gauss [57]:

$$Q_S = -k_s\epsilon_0 F_S = \pm \frac{\sqrt{2} k_s\epsilon_0 k T}{q L_D} F_0 \left(\frac{q\psi}{kT}, \frac{p_{n0}}{n_{n0}} \right) \quad (2.4)$$

En la región de acumulación el principal contribuyente a la Q_s es el portador mayoritario, de modo que la densidad de portadores aumentará exponencialmente con ψ_s como:

$$Q_s \rightarrow -e \frac{q\psi_s}{2kT} \quad (2.5)$$

La capacitancia se determina como la derivada de la carga respecto al voltaje:

$$C = \frac{dQ}{dV} \quad (2.6)$$

La capacitancia total por unidad de área de la estructura MOS será la resultante de dos capacitancias en serie:

$$\frac{1}{C} = \frac{1}{C_{OX}} + \frac{1}{C_s}, \quad (2.7)$$

donde C_{OX} es la capacitancia por unidad de área del dieléctrico y C_s es la capacitancia de la zona de carga del semiconductor.

La capacitancia del dieléctrico de compuerta se calcula como:

$$C_{OX} = \frac{\epsilon_0 \cdot k_i}{x_i} \quad (2.8)$$

donde ϵ_0 es la permitividad del vacío; k_i es la constante dieléctrica al aire del material usado como dieléctrico; y x_i es el espesor del dieléctrico.

La capacidad por unidad de área de la zona de carga C_s del semiconductor será:

$$C_s = \frac{\epsilon_0 \cdot k_s}{W}, \quad (2.9)$$

donde k_s es la constante dieléctrica relativa del semiconductor y W es el ancho de la zona de carga espacial, donde W se calcula como:

$$W = \sqrt{\frac{2 \cdot k_s \cdot \epsilon_0 \cdot \psi_s}{q \cdot N_B}} \quad (2.10)$$

Cuando se aplica un voltaje externo suficientemente alto para alcanzar la condición de inversión, la región de empobrecimiento no puede crecer más. El ancho de esta región de empobrecimiento máximo se puede calcular como:

$$W_{max} = \sqrt{\frac{2 \cdot k_s \cdot \epsilon_0 \cdot 2\psi_F}{q \cdot N_B}}, \quad (2-11)$$

donde $2\psi_F$ será el potencial al cual inicia la condición de inversión fuerte. Si W_{max} resulta mayor que el espesor del semiconductor, este se encontrará completamente empobrecido.

La capacitancia del semiconductor en condición de banda plana es calculada como:

$$C_{FB} = \frac{\epsilon_0 \cdot k_s}{L_D} \quad (2.12)$$

La capacitancia total por unidad de área de la estructura MOS en la condición de banda plana será:

$$\frac{1}{C} = \frac{1}{C_{OX}} + \frac{1}{C_{FB}}, \quad (2.13)$$

Para la obtención de la curva C-V, las 2 condiciones de medición más frecuentemente utilizadas son: 1) el régimen de alta frecuencia, que, para los MOS, utiliza una señal de medición de 1 MHz; 2) el régimen de baja frecuencia o cuasiestático, para el cual se utilizan diferentes técnicas [58].

Para el régimen de alta frecuencia, se aplica un voltaje de polarización y una señal alterna (AC) de pequeña amplitud, del orden de 25 mV. Esta señal de AC, generalmente se conoce como señal de medición. En este régimen, el tiempo de generación/recombinación del portador minoritario debe ser mayor

que el período de la señal de medición, para que este portador no pueda seguir las variaciones de la señal de medición.

En el régimen de baja frecuencia o cuasiestático, se busca que tanto el portador mayoritario como el minoritario puedan seguir las variaciones de la señal de medición. En este caso, el método de medición se implementa de manera diferente, generalmente utilizando el método de Kuhn [59]. En la figura 2.4 se muestran las curvas C-V que ejemplifican los regímenes de medición de baja y alta frecuencia.

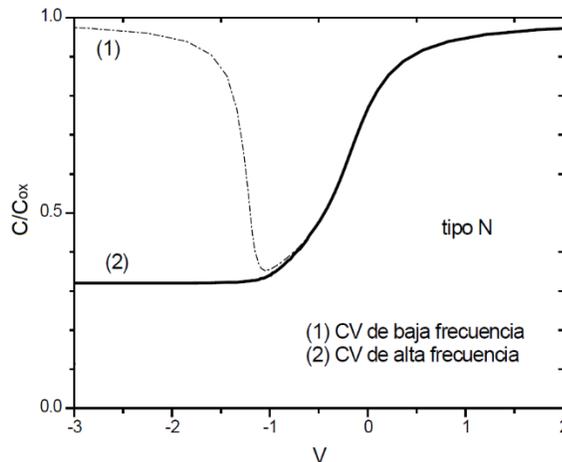


Figura 2.4 Curvas C-V que ejemplifican los regímenes de medición de baja frecuencia y alta frecuencia.

2.1.1. Capacitor MOS real

En un capacitor MOS real, además del comportamiento descrito para el MOS ideal, hay que considerar otros factores como: 1) la diferencia que generalmente existe entre los trabajos de extracción entre el metal de compuerta y el semiconductor y 2) cargas localizadas en la interfaz dieléctrico-semiconductor, o muy cercanas a la interfaz en el dieléctrico o en el semiconductor; 3) cargas móviles dentro del dieléctrico. El efecto de estos factores resultara en un cambio en la forma de las bandas de energía del semiconductor cercana al interfaz dieléctrico/semiconductor comparadas con el caso del MOS ideal.

La variación que existe entre los trabajos de extracción entre el metal de compuerta y el semiconductor (Φ_{ms}), la cual depende de la naturaleza de cada material, provoca el doblamiento de las bandas de energía cercano a la interfaz con el dieléctrico, aun cuando no tiene voltaje aplicado. Por ello, para lograr la condición de banda plana es necesario aplicar un voltaje de compuerta $V_G=V_{FB}$, que logre el aplanamiento de las bandas de energía del semiconductor cercana a la interfaz. En la figura 2.5 se muestra el diagrama de bandas cuando $\Phi_m < \Phi_s$ para el caso donde: a) los materiales no hacen contacto entre ellos; b) para una estructura MOS sin polarización aplicada; y c) cuando se alcanza la condición de bandas planas aplicando un voltaje de compuerta igual a $V_{FB} = \Phi_{ms}$. Donde Φ_{ms} es la diferencia de las funciones de trabajo entre el metal y el semiconductor.

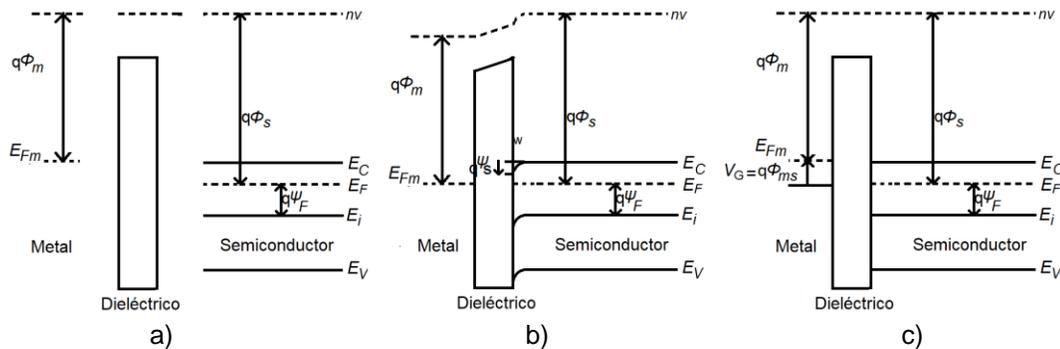


Figura 2.5 Diagrama de bandas para cuando $\Phi_m < \Phi_s$ para el caso de a) materiales separados b) materiales en la estructura MOS y c) condición de banda plana para $V_G = \Phi_{ms}$.

En la figura 2.6 se muestra una representación de los tipos de cargas localizadas que se pueden presentar en la estructura MOS, así como posibles cargas móviles dentro del dieléctrico.

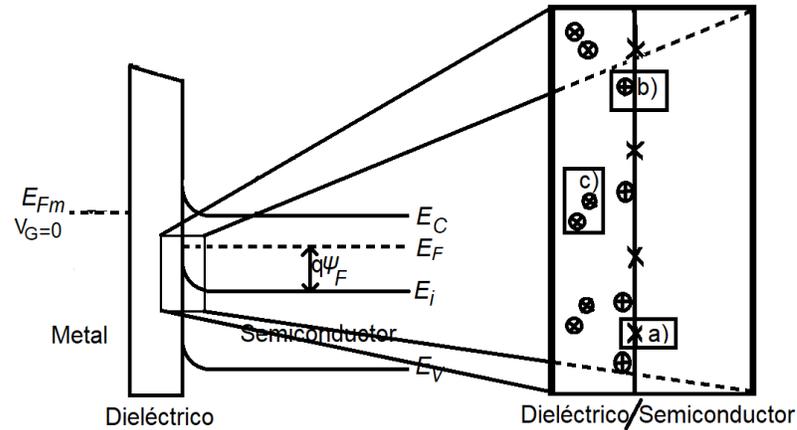


Figura 2.6 Representación de las cargas en la estructura MOS; a) carga atrapada en la interfaz que puede variar con el voltaje aplicado Q_{ss} , b) carga fija en la interfaz Q_{fc} , c) carga móvil en el óxido, Q_i

La carga atrapada en la interfaz Q_{ss} puede estar originada por defectos estructurales en la región cercana a la interfaz, que dan lugar a estados de energía localizados dentro de la banda prohibida del semiconductor, que pueden cargarse o descargarse al variar el voltaje externo aplicado. La carga Q_i se debe a iones como Na o H_2 , que pueden introducirse en la capa de SiO_2 , durante su depósito o crecimiento. La carga fija Q_{fc} cercana a la interfaz SiO_2/Si es siempre positiva, aunque hoy en día se ha logrado disminuir muy significativamente.

Estas cargas en conjunto modifican el diagrama de bandas de la estructura MOS, requiriendo un voltaje de compuerta adicional para lograr alcanzar la condición de banda plana.

Finalmente, los efectos por la diferencia entre las funciones de trabajo entre los materiales metal/semiconductor y por las cargas antes mencionadas, hacen que el voltaje de banda plana de un MOS real se defina como:

$$V_{FB} = \Phi_{MS} - (Q_i + Q_{ss}(\psi_s = 0) + Q_{fc})/C_{OX} \quad (2.14)$$

A partir del voltaje de banda plana obtenido, se puede conocer el valor del voltaje externo a aplicar para poder llegar a las condiciones de acumulación, empobrecimiento e inversión del capacitor MOS real.

2.2. Comportamiento de una estructura MDS de HfO_2/HIZO

La velocidad de generación de portadores minoritarios en el volumen y en la superficie, depende de la concentración intrínseca en el semiconductor como ni/τ_G y niS_G , respectivamente, donde ni es la concentración intrínseca de portadores, τ_G tiempo de vida de generación, y S_G como la velocidad de generación superficial. Dado que para anchos de banda que suelen ser mayores a los 3 eV como el caso típico de los óxidos semiconductores amorfos, la densidad para un semiconductor intrínsecos tomaría valores del orden de $ni = 10^{-7} \text{ cm}^{-3}$ a temperatura ambiente. Para una densidad de portadores mayoritarios de entre $n = 10^{15}$ a 10^{18} cm^{-3} , típicos de los materiales AOS, la densidad de portadores minoritarios, definida por $p = ni^2/n$, sería baja. Esto hace que sea difícil formar una capa de inversión cerca de la interfaz dieléctrico/semiconductor. Por lo tanto, la región de inversión generalmente no se observa en la estructura MDS cuando se utiliza como semiconductor un óxido metálico amorfo.

Además, en estos materiales amorfos, el tiempo de generación puede ser relativamente alto incluso para el portador mayoritario. Por ello, para frecuencias incluso del orden de 1 kHz, es difícil que los portadores mayoritarios puedan seguir las variaciones de la señal de medición, presentándose diferencias en el comportamiento de la curva C-V, obtenida por el método de alta frecuencia.

Otro aspecto distintivo de las estructuras MDS utilizadas en los AOSTFTs, es que, debido al uso de técnicas de depósito del dieléctrico a baja temperatura, los dieléctricos depositados presentan una constante dieléctrica

(ki) que varía con la frecuencia de la señal de medición, aun a frecuencias del orden de los kHz [60].

Estas técnicas de depósito a baja temperatura, dan lugar a una mayor densidad de cargas en la interfaz $Q_{ss}(\psi)$ que las observadas en estructuras MOS. También es posible que la carga fija Q_{fc} positiva, que se observa en el MOS, no se observe o sea muy pequeña [57].

Finalmente, si se trabaja con dieléctricos de alta constante dieléctrica, como es el caso de este trabajo, el efecto de polarizabilidad de esta capa no puede ser despreciado [47].

Mirando hacia el funcionamiento de un AOSTFT, la formación de la región de acumulación en la estructura MDS, corresponde a encender el AOSTFT y, por el contrario, llegar a la región de empobrecimiento corresponde a apagarlo.

2.3. Fabricación del capacitor MDS

En este apartado se describe el proceso base de fabricación de capacitores MDS, así como procesos adicionales que incluyen el uso de tratamientos térmicos a los que fueron sometidas las capas que componen la estructura.

2.3.1. Proceso básico de fabricación del capacitor MDS

Se realizó un proceso básico de fabricación de capacitores MDS, nombrado proceso A (P-A). Sobre un substrato de vidrio Corning XG Eagle se realizó la siguiente secuencia de procesos tecnológicos:

- 1) Depósito a temperatura ambiente, por pulverización catódica de RF con magnetrón, de Mo de 300 nm de espesor para usar como contacto de compuerta;
- 2) Litografía de compuerta;

- 3) Ataque húmedo de Mo en NH_4OH 1 ml + H_2O_2 10 ml + H_2O 40 ml;
- 4) Depósito a temperatura ambiente, por pulverización catódica de RF con magnetrón, de 150 nm de HfO_2 ;
- 5) Depósito a temperatura ambiente, por pulverización catódica de RF con magnetrón, de 30 nm de HIZO;
- 6) Litografía de HIZO;
- 7) Ataque húmedo de HIZO en 20 ml HCl + 30 ml H_2O ;
- 8) Depósito a temperatura ambiente, por pulverización catódica de RF con magnetrón, de Mo de 300 nm de espesor para usar como contacto de compuerta;
- 9) Depósito a temperatura ambiente, por pulverización catódica de RF con magnetrón, de Mo de 600 nm de espesor para usar como contacto óhmico al semiconductor;
- 10) Litografía de Mo;
- 11) Ataque húmedo del Mo en NH_4OH 1 ml + H_2O_2 10 ml + H_2O 40 ml;

La capa de HfO_2 se depositó por pulverización catódica de RF a 20 mTorr a una densidad de potencia de $4,5 \text{ W/cm}^2$, con 3 sccm de Ar grado semiconductor.

La capa del material HIZO fue depositada a 8mTorr con una densidad de potencia de 4 W/cm^2 , y 2 sccm de Ar grado semiconductor. El blanco ocupado para el depósito del HIZO de la marca AJA, tiene una pureza del 99,9+%, con una composición de los materiales de HfO_2 : In_2O_3 : ZnO en relación del 0.3:1:1% molar.

Antes del depósito de cada material, el vacío inicial de la cámara de depósito se llevó a una presión base inferior a los 2.5×10^{-5} Torr.

Se fabricaron capacitores MDS con dimensiones de litografía del contacto superior del Mo de 110, 160, 210 μm por lado y áreas de capa de HIZO con dimensiones de 120, 170, 220 μm por lado, ver la topología en la figura 2.7 a). Se fabricaron estructuras Metal-Dieléctrico-Metal (MDM), con áreas de 110, 160, 210 μm por lado, ver la topología en la figura 2.7 b).

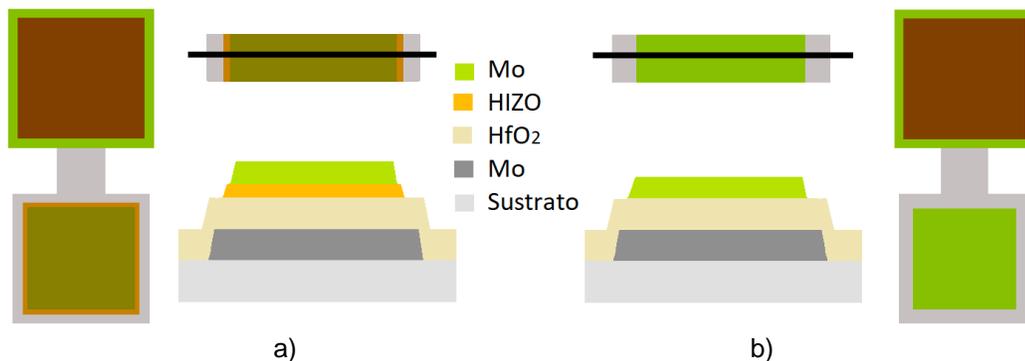


Figura 2.7. Topología y corte transversal de a) MDS y b) MDM

2.3.2. Uso de tratamientos térmicos

Al proceso básico de fabricación de las estructuras MDM y MDS se incluyeron cuatro procesos adicionales con tratamientos térmicos en diferentes gases, a diferentes temperaturas, así como en la etapa en que se realizan, para observar el efecto producido en cada caso, así como compararlos entre sí.

Al proceso P-A en un principio no se le sometió a ningún tratamiento térmico (TT). Solo a una fracción de dispositivos del proceso P-A que a partir de este punto se nombra P-A2, a los cuales se le realizó un tratamiento térmico final a 150 °C, durante 20 min, que afectó a todos los materiales del dispositivo, así como a la interfaz entre ellos. Cabe señalar que el proceso P-A y P-A2 fueron fabricados en el mismo sustrato, pero para realizar el tratamiento térmico al

proceso P-A2 el sustrato fue fraccionado en dos partes. Los demás procesos térmicos realizados se hicieron a 200 °C, durante 20 minutos.

En los procesos B (P-B) y D (P-D), el TT se realizó en ambiente de nitrógeno y en oxígeno, respectivamente, ambos de grado electrónico 5.0, después de depositar la capa de HIZO. El nitrógeno fue empleado como gas inerte, ya que reacciona difícilmente a bajas temperaturas. El objeto de hacer el TT después de depositar el HIZO es que éste influya tanto en las características del dieléctrico, como en las del semiconductor y en la interfaz entre ellos.

En los procesos C (P-C) y proceso E (P-E), el TT se realizó en ambiente de nitrógeno y en oxígeno, respectivamente, ambos de grado electrónico 5.0, después de depositar la capa de HfO₂, En este caso, el TT afecta las características del dieléctrico y la interfase Mo-HfO₂.

El TT final no puede realizarse a 200 °C, como se hizo en el P-A2, debido a que hay una capa de poli(metil-metacrilato) (PMMA), utilizada en la pasivación de los AOSTFTs que se realizan en el mismo sustrato, ya que no soporta temperaturas superiores a los 150 °C [61].

	Proceso A (P-A)	Proceso A2 (P-A2)	Proceso B (P-B)	Proceso C (P-C)	Proceso D (P-D)	Proceso E (P-E)
T.T. en N ₂ a 200 °C	N. A.	N. A.	Después del HIZO	N. A.	N. A.	Después del HfO ₂
T.T. en O ₂ a 200 °C	N. A.	N. A.	N. A.	Después del HfO ₂	Después del HIZO	N. A.
T.T. en N ₂ a 150 °C	N. A.	Al termino	N. A.	N. A.	N. A.	N. A.
Tiempo del T.T.		20 min	20 min	20 min	20 min	20 min

Tabla 2.1. Resumen de procesos realizados. N.A. es "No aplica"

2.4. Medición y análisis de los resultados de la caracterización de los capacitores MDM y MDS

Para la medición de la característica C-V se utilizó el capacitómetro LCR Agilent E4980A. Las características de voltaje-corriente (I-V) se midieron

usando un sistema de caracterización de semiconductores Keithley 4200. El espesor de cada uno de los materiales se midió mediante la técnica de elipsometría, modelo L2W16S633.830, de Gaerthner Scientific Corporation.

2.4.1. Análisis de resultados de las estructuras MDM y MDS de los procesos A y A2

La figura 2.8 muestra las curvas C-V correspondientes a una misma estructura MDS del proceso P-A, antes y después del tratamiento final en atmósfera de nitrógeno, a 150 °C por 20 min, (proceso P-A2).

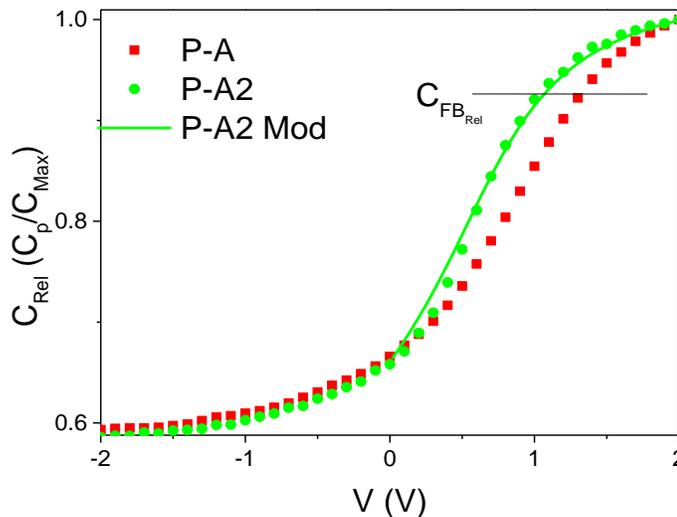


Figura 2.8. Curvas C-V medidas (símbolos) y modeladas (líneas) de un capacitor MDS sin TT (símbolo cuadrado) y con TT (símbolo circular), correspondiente a los procesos P-A y P-A2

Como se observa en la figura 2.8 la característica C-V se midió dentro del rango de medición de -2 V a 2 V. En el rango de medición presentado se observa la transición de la región de empobrecimiento hasta llegar a la región de acumulación. La medición se realizó a una frecuencia de 1 kHz con una señal de medición de 20 mV en el medidor LCR.

A partir de la caracterización de la estructura MDM se extrajo la constante dieléctrica del HfO_2 , la cual es de alrededor de 15. Cuando el capacitor MDS se encuentra en la región de fuerte acumulación, la capacitancia diferencial

medida corresponderá a la capacitancia debido al dieléctrico entre el contacto de la compuerta y la región de fuerte acumulación en el semiconductor. La capacitancia de la estructura MDS en la región de fuerte acumulación corresponde a la capacitancia medida para la estructura MDM.

En la figura 2.8 la línea negra muestra la C_{FB} para ambas curvas, obtenida mediante la ecuación (2.13) por el área del capacitor. El V_{FB} no es el mismo para ambos gráficos, corriéndose hacia valores más negativos para el P-A2 en comparación con el P-A. Para PA-2, la pendiente de la transición de la curva C-V, de empobrecimiento a acumulación es más abrupta que para el P-A. Esto puede explicarse debido a que el TT produce una variación en la carga en la interfaz. El V_{FB} es obtenido mediante el cálculo de C_{FB} y su intercepto con el eje x.

El cálculo de la concentración de portadores para el HIZO, se realizó mediante el método de la pendiente de $1/C^2$. Para el dispositivo P-A2 se obtuvo de $N_B = 8.3 \times 10^{16} \text{ cm}^{-3}$. El modelado de las curvas para P-A2 usando las expresiones (2-7) a (2-10) se muestra en la figura 2.8 en línea continua.

Como la curva correspondiente a P-A se ve deformada respecto a la del P-A2, se puede considerar que en los dispositivos sin TT, en la interfaz hay trampas, cuya carga varía con el voltaje aplicado, deformando la curva. Debe señalarse que a diferencia de la interfaz SiO_2/Si , donde la carga en la interfaz dieléctrico/semiconductor es generalmente positiva o muy ligeramente negativa, en todos los dispositivos analizados, las trampas en la interfaz HfO_2/HIZO mostraron estar cargadas negativamente y concentración fue superior a 10^{11} cm^{-2} . La densidad de trampas en la interfaz bajo la condición del voltaje de banda plana se calcula mediante la ecuación (2.14), considerando que $Q_{ss} \gg Q_i$ y Q_{FC} .

La medición de la curva C-V, aplicando un barrido de voltaje que parte de valores negativos a positivos (rama V_{np}), y sin quitar la polarización se barre

de positivo a negativo (rama V_{pn}), puede aparecer un lazo de histéresis, como se observa en la figura 2.8, para los procesos P-A y P-A2. La medición se realizó haciendo el barrido de -3 Volts a 3 Volts, a la frecuencia de 1 kHz, la frecuencia hace referencia a la señal de CA de pequeña amplitud, para la medición de la curva C-V en el régimen de alta frecuencia.

El lazo de histéresis en una estructura MDS puede ser consecuencia, tanto del atrapamiento de carga en la interfaz dieléctrico/semiconductor, como de la orientación de dipolos en el dieléctrico, carga móvil en el dieléctrico, entre otros factores [62].

El HfO_2 es un dieléctrico de alta constante dieléctrica, por lo que, en principio, puede tener dipolos capaces de orientarse con el campo eléctrico producido por el voltaje aplicado a la estructura. Esto podría estar relacionado con el ancho del lazo [63].

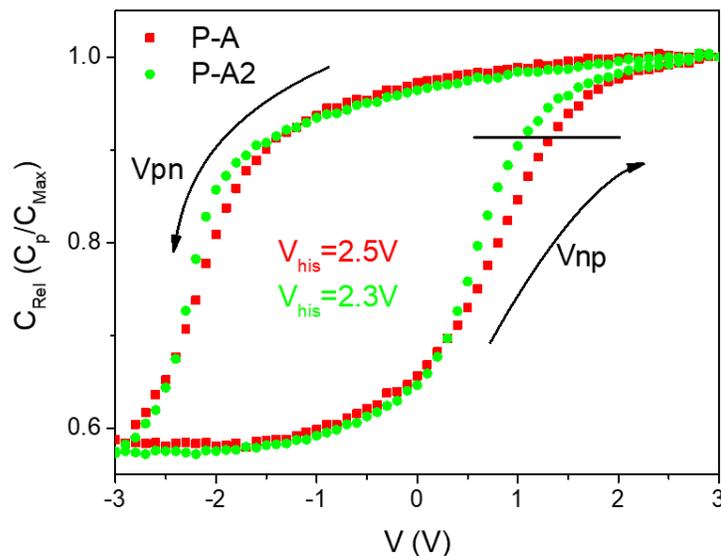


Figura 2.9 Lazo de histéresis para las curvas C-V de los procesos P-A y P-A2

En la figura 2.9, se observa que tanto en la rama V_{np} , como en la V_{pn} , la curva para el proceso P-A, queda ligeramente corrida hacia la derecha respecto a la del P-A2, con una menor pendiente para el P-A, lo cual es consistente con lo observado en la figura 2.8 cuando se midió con barrido V_{np} .

Para confirmar, si la diferencia en la pendiente de la curva C-V del P-A respecto al P-A2, está o no relacionada con una variación de N_B , en la figura 2.10 se desplazó la parte de la curva correspondiente al barrido de voltaje positivo a negativo (rama Vpn) del capacitor sin TT, hasta hacer coincidir su V_{FB} con el V_{FB} de la rama Vnp medida para el capacitor con TT. Como puede observarse, la rama Vpn de la curva C-V obtenida para el capacitor del P-A, prácticamente coincide con la forma de la rama Vnp de la curva del P-A2 y que la forma de la curva, para el mismo dispositivo, es diferente cuando se barre el voltaje de valores negativos a positivos, a cuando se barre de positivo a negativo. Cuando el sentido del barrido afecta de manera diferente a la variación de Q_{ss} para un voltaje dado, sin que varíe la temperatura, se tiene un efecto de estrés por voltaje [48].

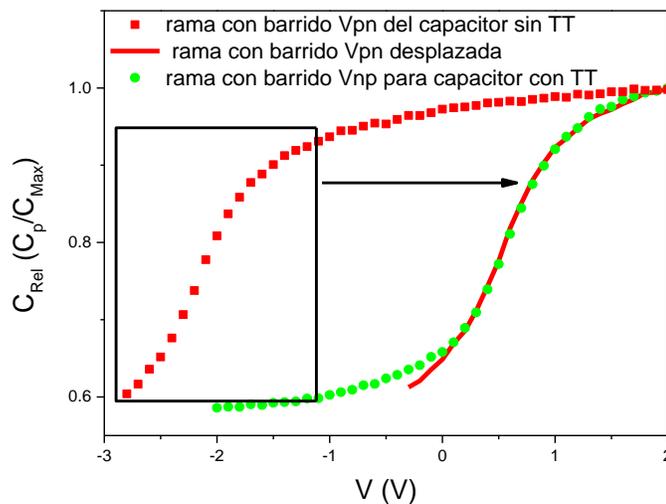


Figura 2.10. Desplazamiento de la rama con barrido Vpn para MDS sin TT para compararla con la rama con barrido Vnp del mismo MDS después de TT.

2.4.2. Análisis y comparación de resultados entre las estructuras P-A2 y P-B

La figura 2.11 muestra las curvas C-V correspondientes a los capacitores con los procesos P-A2 y P-B, donde a diferencia del proceso P-A2, P-B tiene un tratamiento térmico al semiconductor por 20 minutos, a 200 °C en N_2 .

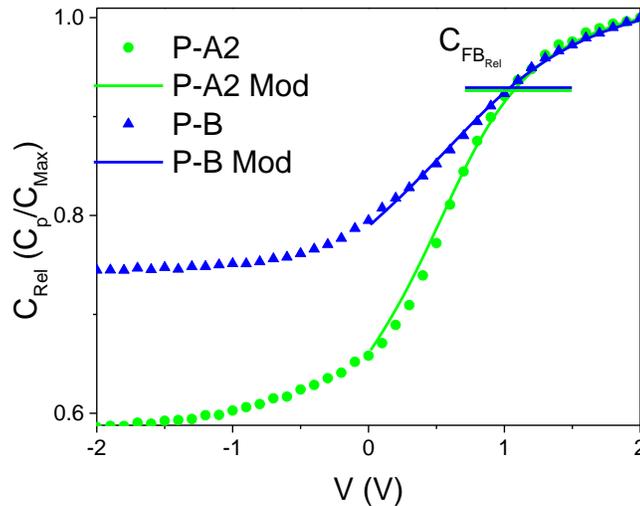


Figura 2.11. Curvas C-V medidas (símbolos) y modeladas (líneas) de un capacitor MDS de los procesos P-A2 y P-B.

La constante dieléctrica k_i del HfO_2 para el proceso P-B, obtenida a partir de la medición de capacitancia de los capacitores MDM, se incrementó a un valor de alrededor de 20. En el gráfico 2.11 se observa la diferencia de la pendiente en la región de transición entre la capacitancia de empobrecimiento y la de acumulación de la curva P-B con respecto a P-A2. También la capacitancia mínima obtenida en P-B, es mayor con respecto al P-A2. El valor de N_B obtenido para el capacitor del proceso P-B es de $6.5 \times 10^{17} \text{ cm}^{-3}$, resultando superior al obtenido para el P-A2 de $8.3 \times 10^{16} \text{ cm}^{-3}$, ver Tabla 2.2.

El aumento en k_i estaría relacionado al tratamiento térmico a $200 \text{ }^\circ\text{C}$ realizado al semiconductor en ambiente de N_2 , que, durante el tratamiento térmico, átomos de O_2 puede difundirse hacia el dieléctrico proveniente del semiconductor. Esto podría dar a lugar a una densificación del material dieléctrico e incrementar su constante dieléctrica. Al mismo tiempo, de generar vacancias de oxígeno en el semiconductor que dan un incremento de N_B .

Con los valores obtenidos de k_i y N_B , se determinó el valor de V_{FB} para el capacitor del proceso P-B, ver Tabla 2.2.

En la figura 2.12 se muestra la comparación del lazo de histéresis de P-B con respecto a P-A2.

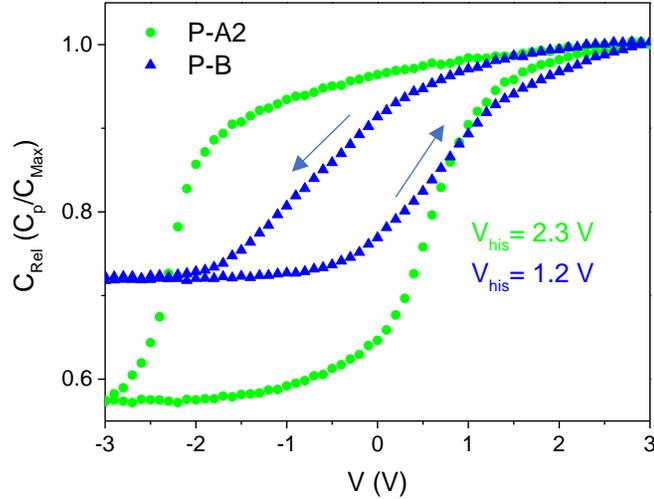


Figura 2.12 Lazo de histéresis de las curvas C-V para los procesos P-A2 y P-B

Cuando la medición de C-V se realiza variando el voltaje de negativo a positivo, el V_{FB} para ambas curvas es el mismo, según se muestra en la Fig. 2.11. Sin embargo, al variar el voltaje de medición de positivo a negativo la curva C-V se desplaza mucho más en los dispositivos del proceso P-A2 que en P-B. El lazo de histéresis, medido en la región donde el desplazamiento de las curvas es paralelo, se redujo en más de 1 volt para el proceso P-B con respecto al P-A2. Esta reducción no parece estar relacionada con la polarizabilidad del dieléctrico, ya que el valor de k_i para P-B es mayor en comparación a P-A2. Sin embargo, puede estar relacionada con trampas en la interfaz capaces de cargarse y descargarse con el voltaje aplicado durante la medición. El TT a 200 °C hace más estables las cargas atrapadas en estas trampas, con respecto al TT a 150 °C.

2.4.3. Análisis y comparación de resultados entre las estructuras con tratamientos térmicos a 200 °C

En la figura 2.13 se muestra la comparación de las curvas de C-V de los procesos P-B, P-C, P-D y P-E, en los cuales el TT se realiza en O₂ o en N₂, ya sea después del depósito del HfO₂ o del depósito del HIZO, ver tabla 2.1.

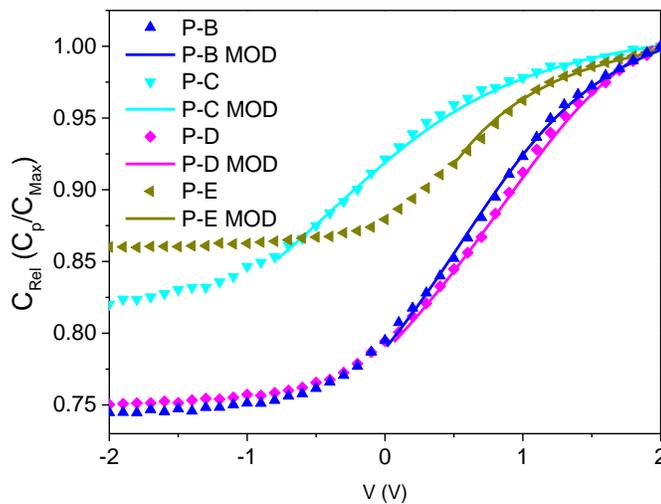


Figura 2.13 Curvas C-V de procesos P-B, P-C, P-D y P-E.

Los parámetros eléctricos obtenidos en el proceso P-B se tomaron como referencia para ser comparados con los resultados obtenidos de los otros procesos.

Para el proceso P-C, la constante dieléctrica del HfO₂ se mantuvo a un valor alrededor de 15, similar al obtenido en P-A y P-A2. Como se puede ver en el gráfico 2.13, la curva C-V se encuentra más desplazada hacia valores negativos que la curva del P-B y la C_{min} es mayor. Los parámetros extraídos de la curva medida, indican un ligero incremento en N_B .

Consideramos que el menor valor de k_i es resultado de la creación de una capa interfacial entre el dieléctrico y el semiconductor. Esta capa interfacial puede formarse debido a la reacción de átomos de oxígeno presentes en la superficie del HfO₂ por el TT en O₂, antes del depósito del HIZO.

El incremento de N_B , al igual que en el caso del proceso P-B, está relacionado con la generación de vacancias de oxígeno en el semiconductor debido al TT en N_2 después de su depósito y es consecuente también con el incremento de la C_{min} .

Para el proceso P-D, la constante dieléctrica del HfO_2 no presentó cambio con respecto a P-B. De acuerdo con la curva C-V de P-D, se muestra un ligero desplazamiento paralelo hacia valores positivos con respecto a P-B. La ligera reducción del V_{FB} da origen al desplazamiento paralelo de la curva C-V para una misma C_{FB} . De acuerdo con el modelado de la curva, el valor de la N_B es de $6.4 \times 10^{17} \text{ cm}^{-3}$ prácticamente el mismo de P-B. El resultado obtenido para la muestra P-D que tiene el tratamiento térmico después del depósito de HIZO en ambiente de oxígeno, no varía en gran medida con respecto a P-B. Se observa que los tratamientos térmicos realizados ya sean en gas inerte u oxígeno presentan el mismo resultado en la característica C-V de los capacitores.

La constante dieléctrica obtenida para el proceso P-E es del mismo valor para el obtenido para proceso P-B. Como el TT a $200 \text{ }^\circ\text{C}$ se realiza antes de depositar la capa de HIZO, y éste se realiza en N_2 , no es formada la capa interfacial. La k_i es la misma que para P-B y P-D.

Como se muestra en la figura 2.13 la característica C-V de P-E muestra un corrimiento hacia valores negativos del curva C-V con respecto al proceso P-B. La C_{min} presenta un incremento de su valor con respecto a P-B, debido al incremento de N_B .

En la figura 2.14 se presenta el gráfico de lazo de histéresis de las curvas de C-V para los procesos P-B, P-C, P-D y P-E. La caracterización del lazo de histéresis se realizó en el rango de voltaje de -3 a 3 volts.

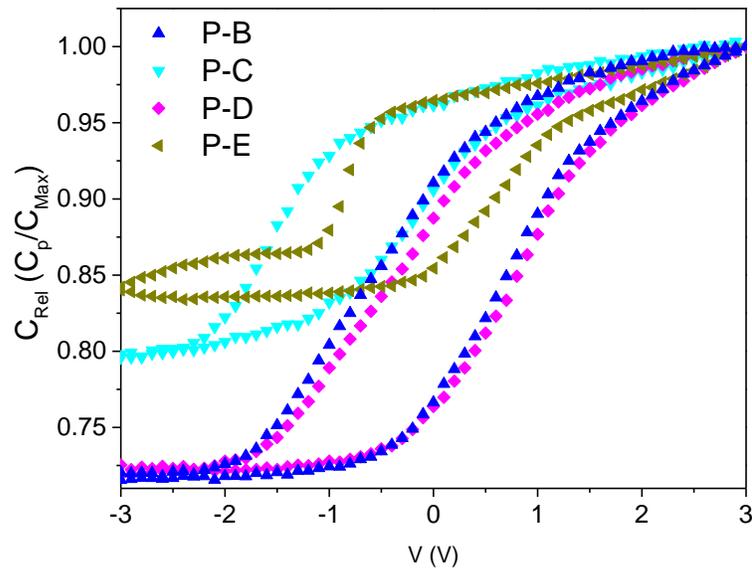


Figura 2.14 Lazo de histéresis de las curvas C-V para los procesos PB, P-C, P-D y P-E.

Los procesos P-B y P-D son los que presentan menor lazo de histéresis con un valor ligeramente superior de 1 V, consecuente con ser los procesos que llevan el tratamiento térmico después del HIZO. Los procesos P-C y P-E, muestran un mayor lazo de histéresis debido que el tratamiento térmico se realizó antes de formarse la interfaz. Los lazos de histéresis del proceso P-B, P-C, P-D y P-E con TT a 200 °C son todos menores que el lazo presentado para los procesos iniciales, P-A y P-A2, con TT a 150 °C lo cual muestra que se reduce el lazo de histéresis al subir la temperatura del tratamiento térmico y que se reduce aún más después de formar estructura MDS, posiblemente a la reducción del atrapamiento de carga en la interfaz dieléctrico/semiconductor.

En la tabla 2.2 se muestra el resumen de los parámetros extraídos de la caracterización C-V de los capacitores MDS y MDM de HfO_2 e HIZO. En la misma se muestra que la constante dieléctrica del HfO_2 alcanza un valor cercano a 20, cuando la estructura es sometida a tratamiento térmico a 200 °C, siempre que no se forme la capa interfacial entre el HfO_2 y el HIZO. Si la temperatura del TT es de 150 °C, la k_i también resulta menor.

Tabla 2.2 Resumen de parámetros de capacitores MDS fabricados.

Muestra	<i>TT</i>	<i>ki</i> (1kHz)	<i>V_{FB}</i> (V)	<i>N_B</i> (cm⁻³)	<i>V_{Hist}</i> (V)
P-A	No	14.8 ± 4%	1.4 ± 38%	1.49x10 ¹⁷ ± 21%	2.2 ± 21%
P-A2	N ₂ Al final	15.2 ±4%	1.0 ± 28%	9.65x10 ¹⁶ ± 19%	1.8 ± 34%
P-B	HIZO N ₂	20.4 ±8.4%	1.6 ± 13%	1.16x10 ¹⁸ ± 29%	0.7 ± 48%
P-C	HfO ₂ O ₂	15.2 ±11%	1.2 ± 48%	6.13x10 ¹⁷ ± 36%	1.3 ± 22%
P-D	HIZO O ₂	21.6 ±17%	1.6 ± 9%	7.11x10 ¹⁷ ± 31%	1.0 ± 20%
P-E	HfO ₂ N ₂	21 ±33%	1.9 ± 48%	1.8x10 ¹⁸ ± 48%	1.16 40%

La Tabla 2.2 resume los valores extraídos de los parámetros característicos, obtenidos a partir de las mediciones de C-V efectuadas en los capacitores MDS y MDM. Donde los tratamientos térmicos tienen un impacto en la mejora de las interfaces con el semiconductor, y la posible mejora de la calidad de cada una de las películas, con la reducción de sus defectos.

2.5. Conclusiones

En el capítulo se describen los pasos del proceso de fabricación desarrollado para la fabricación de capacitores MDS de HfO_2 e HIZO como material dieléctrico de compuerta y semiconductor respectivamente, ocupando Mo como electrodos de contacto. El método de depósito usado de todas las capas es la pulverización catódica de RF con magnetrón, a temperatura ambiente.

Se emplearon ataques químicos y físicos para la definición de las áreas del capacitor. Los capacitores fabricados no comparten terminales con otros capacitores, lo que hace que estos sean independientes para su caracterización. Se ocuparon cinco mascarillas para la definición topológica de los capacitores MDS y MDM.

El proceso base de fabricación de capacitores (P-A), se complementó con tratamientos térmicos (TT) a 150 °C en N_2 al final del procesamiento (P-A2) y a 200 °C en N_2 o O_2 en diferentes etapas del procesamiento P-B, P-C, P-D y P-E.

En todos los casos se observaron las regiones de empobrecimiento y acumulación en el rango de voltaje entre -2 y 2 V. En los procesos sin TT y con TT al final del proceso de fabricación a 150 °C en N_2 , la constante dieléctrica fue de 14.8. En los procesos con TT a 200 °C, la k_i incrementó su valor a ~20, con excepción del proceso P-C, probablemente debido a la formación de una capa interfacial entre el dieléctrico y el semiconductor, la cual se asocia a los átomos de oxígeno presentes en la superficie del HfO_2 por el TT aplicado en O_2 , previamente al depósito del HIZO.

El incremento de N_B en todos los procesos con TT a 200 °C en atmósfera de N_2 y O_2 está relacionado con la generación de vacancias de oxígeno en la capa de HIZO.

El uso del tratamiento térmico final a 150 °C produce una disminución de la carga en la interfaz dieléctrico/semiconductor; por lo tanto, el V_{FB} se reduce de 1.4 V a 1 V. En todos los casos, el TT a 200°C produjo valores promedio de V_{FB} cercanos a 1.5 V.

Se estudió el comportamiento del lazo de histéresis de las curvas C-V en función del TT aplicado. La histéresis disminuye después del tratamiento térmico a 200° C, en comparación al TT realizado a 150 °C. Al parecer, dicha reducción no está relacionada con la polarizabilidad del dieléctrico de compuerta, sino con la carga y descarga de las trampas localizadas en la interfaz. El proceso que mostró el menor lazo de histéresis fue el P-B con un valor de ~0.7 V.

La caracterización eléctrica de los capacitores fabricados confirmó que las estructuras MDS, basadas en HfO_2 como dieléctrico de compuerta, HIZO como semiconductor y Mo como metal de contacto, pueden servir como una base para transistores de capa delgada que operen en un rango de voltaje inferior a 3 V, considerando su fabricación con dichos materiales

CAPITULO III - Transistor de capa delgada de óxidos semiconductores amorfos (AOSTFT).

En este capítulo se presenta el diseño de la topología utilizada en la fabricación de los dispositivos, así como la secuencia tecnológica desarrollada y se analizan los resultados obtenidos de la caracterización de los transistores de capa delgada de óxidos semiconductores amorfos (Amorphous Oxide Semiconductor Thin Film Transistors (AOSTFTs) fabricados.

3.1. Estructura del TFT

En este trabajo se hace uso de la estructura del transistor con compuerta inferior y contactos superiores (Bottom gate, top contact) que además incorpora una capa de protección de ataque (Etch stopper layer) (ESL) entre el semiconductor y los electrodos de drenador/fuente, ver figura 3.1 a). El objetivo de esta capa es evitar el deterioro del semiconductor durante los procesos siguientes a su depósito y definición, así como reducir o evitar la absorción o desorción de oxígeno y humedad del ambiente en la interfaz superior del semiconductor, lo que también produce un efecto pasivación en su superficie [64] [14].

Existen otros dos tipos de estructuras que también podrían utilizarse, la de compuerta inferior con la variante de ataque de canal trasero (Back Channel Etch o BCE) y la de compuerta superior (Top Gate (TG) [37] [9]. En el caso de la primera, el semiconductor queda expuesto a los procesos posteriores de depósito y ataque de materiales, produciendo cierto deterioro de la misma, figura 3.1 b). En el caso del transistor con compuerta superior, la litografía del semiconductor debe realizarse antes del depósito del dieléctrico, lo que también introduce la posibilidad del deterioro de la interfaz dieléctrico-semiconductor. En el caso de utilizar la compuerta por abajo, además de la

ventaja de utilizar la capa ESL ya mencionada, el depósito del semiconductor se realiza inmediatamente después del depósito de la capa dieléctrica, sin que se realice ningún proceso entre ellas, lo que posibilita una mejor calidad de la interfaz dieléctrico-semiconductor (S-D). Además, en este caso, se crea una interfaz posterior entre el semiconductor y la capa ESL, que también actúa como capa pasivante (S-P), figura 3.1 a). Como se verá más adelante, ambas interfaces intervienen en la conducción del dispositivo.

Cerca de la interfaz S-D, la región del semiconductor puede estar en acumulación o empobrecimiento dependiendo del voltaje aplicado a la compuerta. Por otro lado, en la interfaz S-P, también se puede producir una región de acumulación o empobrecimiento en el semiconductor cercano a esta interfaz, que puede modificarse por el voltaje aplicado a la compuerta y al drenador. De esta forma, dependiendo de la densidad de trampas localizadas en la interfaz S-P y de los voltajes aplicados en el drenador y compuerta, una región de acumulación cerca de la interfaz S-P puede afectar la corriente de drenador, como se ha visto en [65], [66].

El largo del canal típico de los transistores de capas finas (TFTs) ocupados en matrices activas de pantallas de panel delgado, no son inferiores a $1\ \mu\text{m}$ [67] [68]. Las capacitancias parásitas generadas debido a la estructura del TFT pueden ser controladas con el diseño topológico. El material ocupado como ESL en este trabajo es el polimetilmetacrilato (PMMA).

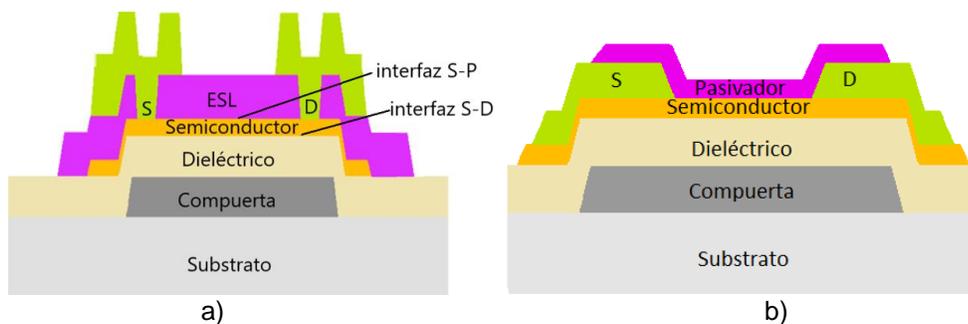


Figura 3.1 Transistor TFT en configuración a) BG con ESL y b) BG con BCE.

3.1.1. Topología del transistor de capa delgada AOSTFT

El diseño topológico (Layout) empleado en el proceso de fabricación de los TFT se realizó utilizando el programa CleWin Layout Editor Versión 4.0.1, el cual es un programa de diseño topológico asistido por computadora. Se diseñaron cinco niveles de topología, que corresponden a:

- Nivel 1: Definición del metal de compuerta;
- Nivel 2: Definición del área de la capa semiconductor o región activa del semiconductor;
- Nivel 3: Apertura de vías a través del dieléctrico para tener acceso al contacto de la compuerta;
- Nivel 4: Definición de las áreas de la capa de PMMA usada como ESL y pasivación. Apertura de dos vías a través del PMMA para llegar a la región del semiconductor, definiendo el ancho y largo del canal del transistor, como la separación y el largo que existe entre ambas vías, respectivamente;
- Nivel 5: Definición de los contactos de drenador y fuente y contacto superior de los capacitores.

Se ocupó el generador de patrones por láser marca Heidelberg Instruments, modelo μ PG 101 para realizar el proceso de fotolitografía en cada uno de los diseños topológicos. El equipo posee una resolución de 1 μ m. De acuerdo con esta resolución, así como con los resultados de los ataques húmedos y secos de cada uno de los materiales utilizados en la fabricación de los AOSTFTs, se definieron las reglas de diseño, que se muestran en el apéndice A. En la figura 3.2 se representan los 5 niveles topológicos en la secuencia de fabricación de un TFT.

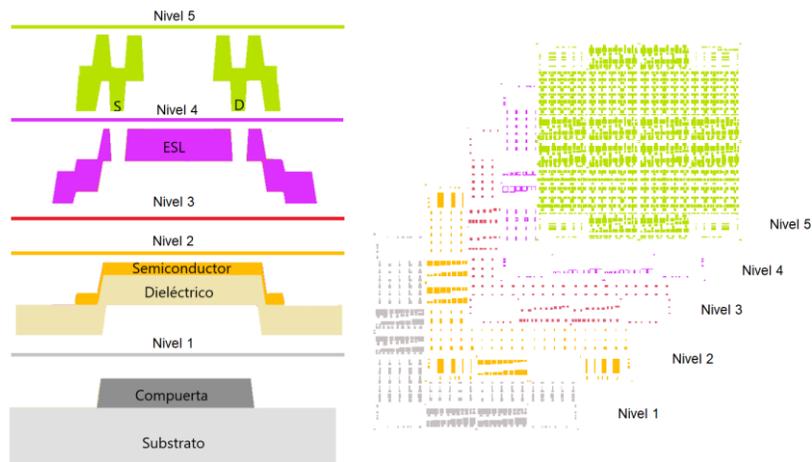


Figura 3.2. Representación de la secuencia de los 5 niveles topológicos ocupados para la fabricación de un TFT

Para hacer la alineación entre niveles topológicos consecutivos subyacentes, se colocaron motivos de alineación para cada nivel, los cuales se posicionaron en las cuatro esquinas de cada topología o Layout, con dos formas rectangulares que forman una cruz.

En la figura 3.3 se muestran las 5 capas con los diseños topológicos superpuestos, los cuales se ocupan durante el proceso de fabricación de dispositivos MDM, MDS y TFT. El diseño contiene regiones de capacitores y transistores, con diferentes dimensiones, mostrados en la Tabla 3.1.



Figura 3.3. Topologías ocupadas en la fabricación de los dispositivos MDM, MDS y TFT.

Capacitores (MDM y MDS)	Transistores (TFT)
Lado:	Longitud=20, 30, 40, 50 y 60 μm
100, 150, 200, 250 y 300 μm	W= 150 μm
	TMO (Traslape metálico superior) = 1, 5 y 10 μm
	EC (Electrodo de compuerta) = 36 y 44 μm

Tabla 3.1 Resumen de dimensiones para los dispositivos MDM, MDS y TFT.

3.1.2. Transistor

Cada topología contiene transistores con diferente longitud (L) y ancho (W) de canal. A partir de la definición del área del canal se realizaron variaciones en el diseño del transistor para obtener las mejores características con el mejor rendimiento posible en sus parámetros eléctricos. En la figura 3.4 se muestra el diseño topológico de un transistor con longitud del canal de 30 μm y ancho de canal de 150 μm .

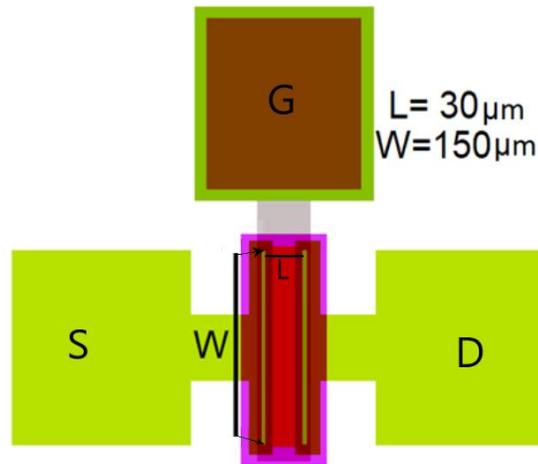


Figura 3.4. Diseño topológico de un transistor.

En la figura 3.5 se muestran los niveles de diseño topológico individual, que permiten la fabricación de un transistor de la figura 3.4. La figura 3.5 a) muestra la topología del nivel 1, correspondiente a la región del contacto de compuerta, el cual consiste en un rectángulo de 44 μm de largo y 174 μm de ancho. La figura 3.5 b) muestra la topología del nivel 2, correspondiente a la capa de semiconductor alineada respecto a la topología del nivel 1. La topología del

nivel 2 consiste en un rectángulo con un ancho de 54 μm y un largo de 154 μm . Una vez alineados, la topología del nivel 2 sobrepasa el ancho de la topología del nivel 1 en 5 μm por cada lado. También se observa que la topología del nivel 1 sobresale 10 μm respecto al borde inferior del rectángulo de la topología 2. La figura 3.5 c) muestra la topología del nivel 3, correspondiente a la creación de la apertura de vías a través del dieléctrico para tener acceso al contacto de la compuerta. La apertura de la vía del nivel 3 queda centrada respecto al electrodo de compuerta del nivel 1. La figura 3.5 d) muestra la topología del nivel 4, correspondiente a la capa de ESL, donde su longitud y ancho sobrepasan en 9 μm por cada lado, el área definida por la topología del nivel 2. Esta topología del nivel 4, contiene además dos huecos en forma de rectángulos de 150 μm de largo por 5 μm de ancho, que permitirán que el metal usado como electrodo de drenador/fuente, depositado, haga contacto con la capa de semiconductor. La distancia entre estos dos huecos en la topología nivel 4 definen el largo del canal del transistor. En este caso tienen una separación de 30 μm , que corresponderá al largo del canal del transistor que se muestra. El área de contacto del metal con el semiconductor será, por consiguiente, de $5 \times 150 \mu\text{m}^2$. El largo del hueco de 150 μm , corresponde al ancho del canal del transistor, aunque esto se abordará más adelante. En la figura 3.5 e) se muestra el traslape de la topología del nivel 5 con todos los niveles anteriores, donde este nivel define las regiones de los electrodos de contacto metálicos. El rectángulo central de la topología del nivel 4, capa de ESL, también sobresale 5 μm por fuera de la topología del nivel 5.

Debido a la definición de los electrodos, se crea un traslape de 5 μm sobre la región del canal del transistor y sobre la capa pasivante, llamado traslape metálico superior (Top Metal Overlap o TMO). Los electrodos de drenador/fuente se encuentran unidos con contactos mayores del mismo material de forma cuadra de 150 μm por lado.

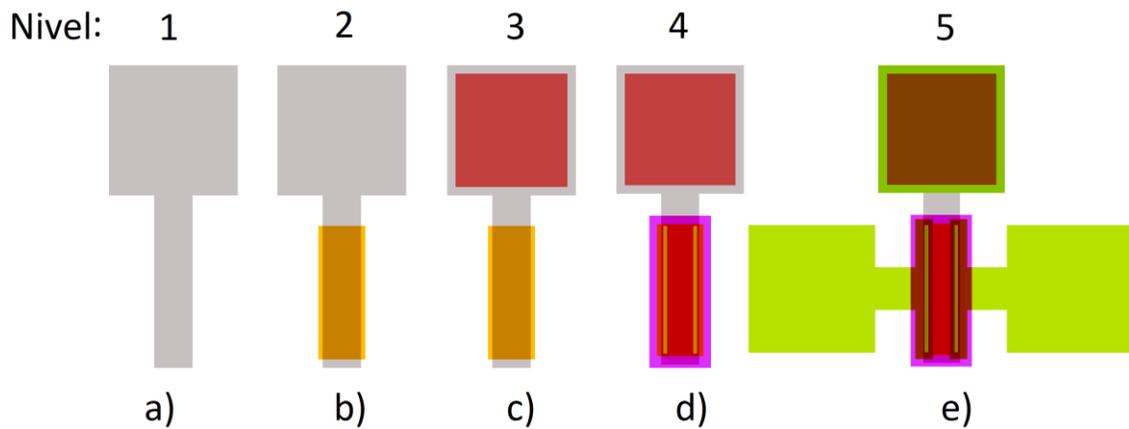


Figura 3.5. Niveles del diseño topológico del TFT

La topología presentada es el resultado de diferentes mejoras y pruebas que se fueron considerando a lo largo de los procesos de fabricación de transistores y de los mejores resultados obtenidos en la caracterización eléctrica de los dispositivos. A continuación, se presentan algunas variaciones que se estudiaron en el diseño topológico de los transistores. Como son el caso del efecto que puede resultar de un incremento en el tamaño de los electrodos de contacto de drenador/fuente o de la reducción del tamaño de compuerta sin alterar las longitudes y áreas efectivas que definen la topología del transistor.

3.1.2.1. Efecto de la variación del traslape metálico superior

Como se mencionó, el traslape metálico superior (TMO), es el traslape que genera el contacto de drenador/fuente con la capa pasivante en la interfaz S-P. En la figura 3.6 se muestra un corte transversal de un transistor, donde se resalta la región del TMO. Como parte del estudio de los transistores fabricados, en el diseño topológico nivel 5, se varió el ancho del contacto, del TMO, con valores 1, 5 y 10 μm .

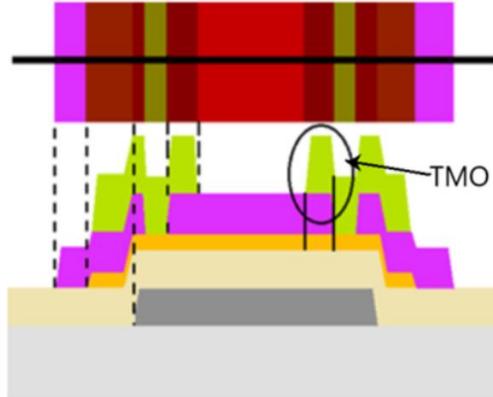


Figura 3.6. Corte transversal de transistor, donde se muestra el TMO encerrado en un círculo.

3.1.2.2. Efecto de la reducción del largo del electrodo de compuerta.

Se realizó un estudio del efecto de la variación del largo del electrodo de compuerta, manteniendo su ancho. Se analizaron dos casos:

- Caso 1, cuando el largo del electrodo de compuerta permite que los contactos de drenador/fuente se encuentren totalmente dentro del área cubierta por la compuerta y en un solo plano, ver fig 3.7 a;
- Caso 2, cuando al reducir el largo del electrodo de compuerta parte del contacto de drenador/fuente, se encuentra dentro del área de la compuerta y parte fuera, ver fig. 3.7b.

La longitud y ancho del canal mantienen las mismas dimensiones, solo hay un cambio en el largo del electrodo de compuerta del transistor. En la figura 3.7 se observan los dos casos del diseño topológico, a) estructura de contacto superior con 44 μm de longitud de electrodo de compuerta y b) estructura escalonada con 36 μm de longitud de electrodo de compuerta. Ambos electrodos de compuerta corresponden a una misma longitud de canal de 30 μm , ya que ésta está definida por la separación de los huecos creados en la capa ESL/pasivante para hacer contacto posteriormente al semiconductor.

Mas adelante se explicará por qué se hizo este experimento y que resultados dio.

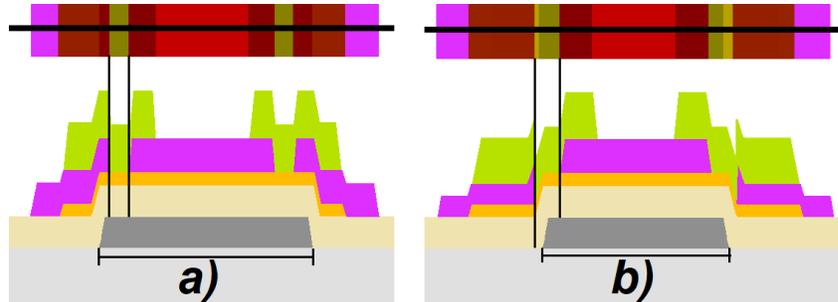


Figura 3.7. Corte transversal sobre la región del canal del transistor, donde se muestra la variación de la longitud del electrodo de compuerta: a) de 44 μm con los contactos de drenador/fuente en un mismo plano y b) de 36 μm con contactos de drenador/fuente escalonados.

3.2. Fabricación del AOS TFT

Como ya se mencionó anteriormente, se fabricaron TFTs de HfO_2 , HIZO y Mo. Se ocupó el PMMA, el cual es utilizado como ESL/pasivante y se depositó mediante la técnica de recubrimiento por centrifugado (Sping-Coating). Como se indicó en la descripción del layout diseñado, durante el proceso de fabricación de los TFTs, también se fabricaron capacitores MDM y MDS. A continuación, se describirán los detalles de la secuencia tecnológica desarrollada para su fabricación.

Como sustrato se utiliza los vidrios Corning Eagle XG. Los sustratos son de forma cuadrada, con una dimensión de 25.4 mm por lado.

El proceso de fabricación de los dispositivos consta de los siguientes pasos:

- 1) Limpieza tipo RCA del sustrato, la cual incluye una primera etapa de limpieza con Tricloroetileno, seguido de acetona para eliminar residuos orgánicos seguida de una segunda etapa de limpieza en soluciones que contienen ácido sulfúrico, hidróxido de amonio y ácido clorhídrico, para eliminar residuos inorgánicos de la superficie del sustrato. Los detalles sobre este proceso de limpieza se

describen en el Apéndice B. Todos los productos químicos ocupados en la limpieza tipo RCA son de grado electrónico CMOS.

- 2) Depósito de Mo por pulverización catódica de RF a temperatura ambiente y a una densidad de potencia de 4.34 W/cm^2 . El gas argón de grado electrónico es ocupado durante el depósito, con un flujo de 3 sccm (standard cubic centimeters per minute). La presión durante el depósito es de 20 mTorr. La configuración anterior permite una velocidad de depósito de 5.6 nm/min. El espesor obtenido de la capa de Mo es de 150 nm con una velocidad de depósito de 6 nm/min. Como ya se mencionó, esta capa metálica se utiliza como electrodo de compuerta del transistor, y como contacto inferior de los capacitores.
- 3) Proceso de fotolitografía que comienza con el depósito de la fotorresina positiva, marca Microposit de serie S1800. Esta se depositó por centrifugación, a una velocidad de 5000 rpm, durante 20 segundos, para obtener un espesor de $x_{\text{FOTO}} = 400 \text{ nm}$. A continuación, se realiza un tratamiento térmico (T.T.) a $90 \text{ }^\circ\text{C}$ por 20 minutos dentro de un horno convencional, para eliminar el solvente residual, solidificar la fotorresina y mejorar su adhesión a la película que será decapada [69] [70].
- 4) Exposición de la resina con el diseño topológico del nivel 1, utilizando el generador de patrones.
- 5) Revelado de la fotorresina en hidróxido de potasio (KOH) diluido en agua desionizada, a una relación de 1:100. El tiempo de revelado fue de 15 segundos a $21 \text{ }^\circ\text{C}$. Posteriormente se realiza un T.T. a $120 \text{ }^\circ\text{C}$ por 20 minutos en un horno convencional.

- 6) Ataque del Mo, en peróxido de hidrógeno (H_2O_2) diluido al 8 %, a la temperatura ambiente, a una razón de 7 nm/s. Una vez hecho el ataque, se retira la fotorresina con acetona en ultrasonido.
- 7) Depósito de HfO_2 por pulverización catódica de RF a temperatura ambiente, utilizando un blanco de HfO_2 99.95+% de pureza adquirido en AJA International, Inc. La densidad de potencia fue de 5.89 W/cm^2 , con un flujo de argón grado electrónico de 3 sccm y una presión de 20 mTorr. Con estos parámetros se ajustó una velocidad de depósito de 1.6 nm /min, depositándose una capa de 150 nm por 92 minutos que se utiliza como dieléctrico de compuerta. El color resultante del HfO_2 sobre el Mo es amarillo metálico claro. Previo al proceso de depósito se realiza un pre-depósito, para eliminar posible contaminación superficial del blanco de HfO_2 . El tiempo del pre-depósito es de 10 min, ocupando las mismas condiciones que para el depósito de la capa.
- 8) Depósito por el método de pulverización catódica de RF del compuesto de óxidos de Hafnio-Indio-Zinc (HIZO) con composición porcentual de 0.3:1:1% mol, a partir de un blanco de la misma composición y pureza 99.95 %, también adquirido en AJA International. Esta capa se utiliza como material semiconductor y se deposita a una densidad de potencia de 3.87 W/cm^2 , 3 sccm de flujo de Ar grado electrónico y a una presión de 8 mTorr. La velocidad de depósito obtenida con estas condiciones es de 3 nm/min. El espesor depositado es de 30 nm, obtenido durante 10 min.
- 9) Segundo proceso de fotolitografía donde se utiliza el diseño topológico del nivel 2, para definir el área de la capa activa de los dispositivos. El depósito de fotorresina y la exposición del diseño

topológico para el área del semiconductor se realiza de acuerdo con los pasos 3 a 5.

- 10) Decapado del semiconductor para la definición de las áreas del HIZO con ácido clorhídrico diluido a un 14.8% en agua desionizada. La velocidad de ataque es de 1.6 nm/s. Finalmente se retira la fotorresina después del ataque del material.
- 11) Tercer proceso de fotolitografía donde se ocupa el diseño topológico del nivel 3 para abrir las vías a través del dieléctrico y tener acceso al metal de la compuerta. Para definir el área de interés, el HfO_2 es atacado en RIE, usando tetrafluorometano (CF_4) al 4%, a la potencia de 42 W y una presión de 13 mTorr. La velocidad de ataque resultante es de 1.5 nm/min. Una vez definida el área a través del material dieléctrico, la fotorresina es retirada.
- 12) Depósito de polimetilmetacrilato (PMMA) como capa pasivante o ESL mediante la técnica de centrifugado, a la velocidad de 7000 rpm por un tiempo de 45 segundos. El espesor obtenido es 400 nm. Al PMMA se le da un tratamiento térmico de 90 °C por 10 min para evaporar el solvente y solidificar el material. Posteriormente se explicarán las ventajas en el desempeño del TFT atribuidas al uso de este material en la fabricación de los transistores.
- 13) Cuarto proceso de fotolitografía ocupando el diseño topológico del nivel 4, se define la región de PMMA que protege al semiconductor, así como las regiones que permiten el acceso de los contactos de los metales de drenador/fuente a la superficie del semiconductor. El PMMA es atacado mediante la técnica de RIE, usando como gas reactivo al Oxígeno (O_2). Se ocupa la potencia de 28 W, con un flujo de gas de 4 sccm a una presión de 0.1 Torr, la velocidad de ataque resultante es de 16 nm/min, definiendo el tiempo de 25 minutos.

Debido a que el PMMA, como la fotorresina se disuelve en acetona y como es necesario retirar la fotorresina sobre el PMMA, la muestra es expuesta a una lámpara de UV de 370 nm para sensibilizar solo la fotorresina y después revelarla por completo con KOH, sin afectar los patrones definidos en el PMMA, ya que el PMMA empieza a ser afectado por el UV de menos de 365 nm, no hay efectos negativos para la capa durante la exposición anterior.

- 14) Depósito de Mo para contactos de drenador/fuente y compuerta. Este proceso se realiza por pulverización catódica de RF a temperatura ambiente, bajo las mismas condiciones descritas en el paso 2. La diferencia entre ambos procesos es el tiempo de depósito, que en este caso es de 50 minutos, para obtener 300 nm de espesor de la capa.
- 15) Quinto proceso de fotolitografía con diseño topológico del nivel 5, para definir las áreas de contacto de drenador/fuente, compuerta desde la superficie y el contacto superior de los capacitores.
- 16) El proceso de ataque de la segunda capa de Mo, se realiza bajo las mismas condiciones que se indican en el paso 6. Nuevamente es ocupado el H_2O_2 para el dekapado del Mo.

En la figura 3.8 se muestra un diagrama del proceso de fabricación de transistores anteriormente descrito. El proceso de fabricación descrito es llamado P-A, al igual que el proceso descrito para capacitores. En el apéndice C, se muestran imágenes de la secuencia de fabricación de los AOSTFTs.

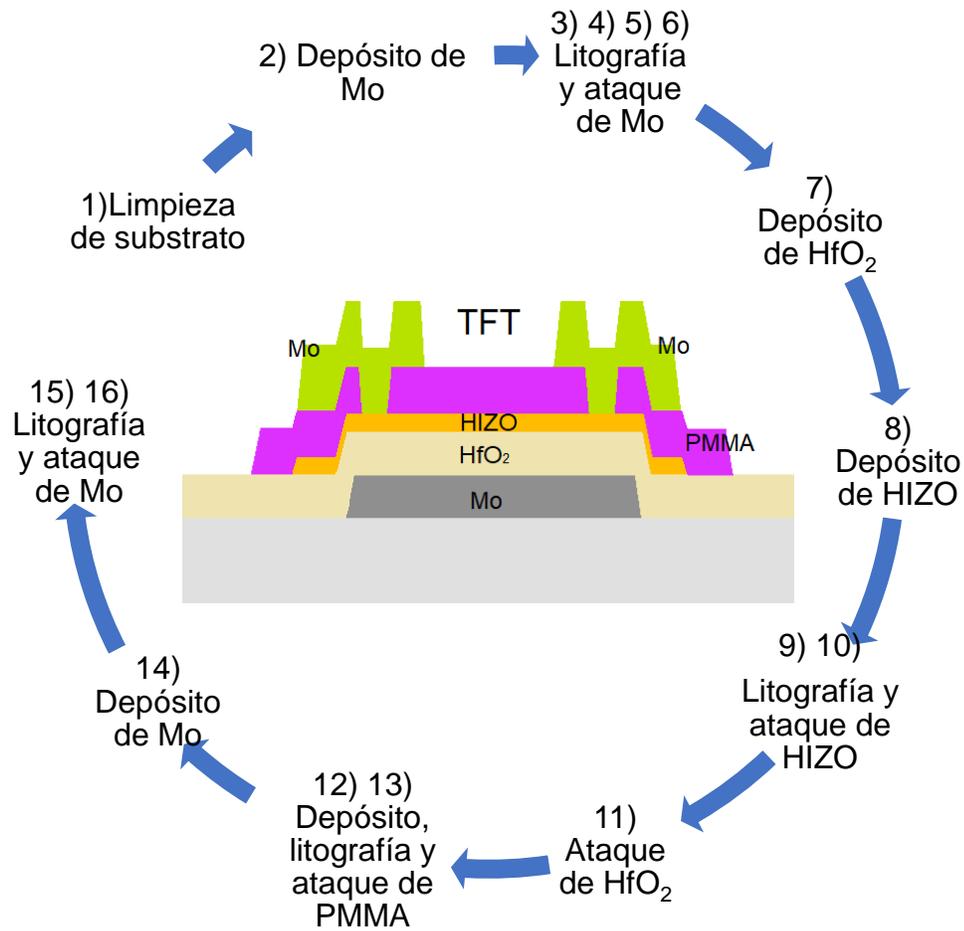


Figura 3.8. Secuencia del proceso de fabricación del TFT.

3.2.1. Uso de tratamiento térmicos

Al proceso de fabricación de transistores descrito anteriormente se le añadieron tratamientos térmicos en ambiente de gas inerte u oxígeno, a diferentes temperaturas, así como en diferentes etapas del proceso, esto con el objetivo de estudiar sus efectos sobre las características eléctricas del transistor fabricado.

Los procesos de tratamiento térmicos realizados a los capacitores y descritos en el capítulo 2, también se aplicaron al mismo tiempo y bajo las mismas condiciones para los transistores, por lo que se utilizó la misma nomenclatura de los procesos realizados, es decir, se definieron los procesos

P-A, P-A2, P-B, P-C, P-D y P-E para transistores. En la tabla 2.1 se muestran los detalles de los TT realizados a cada una de las muestras fabricadas. Los tratamientos térmicos se realizaron en el interior de un horno con tubo de cuarzo, bajo ambiente de gas grado electrónico.

3.3. Análisis de resultados de la caracterización eléctrica de los AOSTFTs

La caracterización eléctrica mediante la técnica de medición de corriente voltaje (I-V) de transistores, se realizó usando un sistema Keithley analizador de parámetros. En esta técnica se destaca la medición de las características de transferencia lineal y en saturación, así como de la característica de salida del transistor. A continuación, se muestra la caracterización eléctrica de los dispositivos y el análisis de los resultados obtenidos.

3.3.1. Análisis de las variaciones en la topología del transistor

De acuerdo con las variaciones propuestas en la topología del transistor visto en el apartado 3.1.2.1 y 3.1.2.2, se analiza la caracterización eléctrica del efecto de la variación del tamaño del traslape metálico superior (TMO) y del tamaño de compuerta.

3.3.1.1. Resultados de la variación del tamaño del traslape metálico superior TMO

Como se indicó en el apartado 3.1.2.1 en el diseño topológico se definieron las medidas de TMO de 1, 5 y 10 μm , dando como resultado al término de la fabricación, dispositivos con longitudes de TMO $<0, 2$ y $7 \mu\text{m}$, respectivamente. La reducción obtenida del TMO en el dispositivo final es resultado del sobre ataque que se presentó al definir la última capa de Mo. Los dispositivos que no presentaron TMO, fueron los que se diseñaron con 1 μm de TMO, estos transistores quedaron inservibles por presentar un semiconductor expuesto al atacante del Mo. Solo son presentan resultados de TMO con 2 y 7 μm . Para

cada uno de los procesos fabricados En la figura 3.9 se grafican las características de transferencia a) lineal y b) en saturación de dos dispositivos que tienen diferente dimensión de traslape metálico superior. El rango de medición de las características transferenciales es de -1.5 V a 2 V de V_{GS} con incrementos de 0.2 V, y un valor constante para el V_{DS} de 0.2 V (lineal) o 2 V (en saturación) Ambos dispositivos mantienen la misma longitud y ancho de canal, de 30 μm y 150 μm respectivamente.

En la figura 3.10 se muestra la característica de salida para los dos dispositivos, con diferente dimensión de TMO. El rango de medición de las características de salida es de 0 a 2 V con incrementos de 0.1 V para V_{DS} y pasos de 0.5 V de 0 a 2 V para V_{GS} .

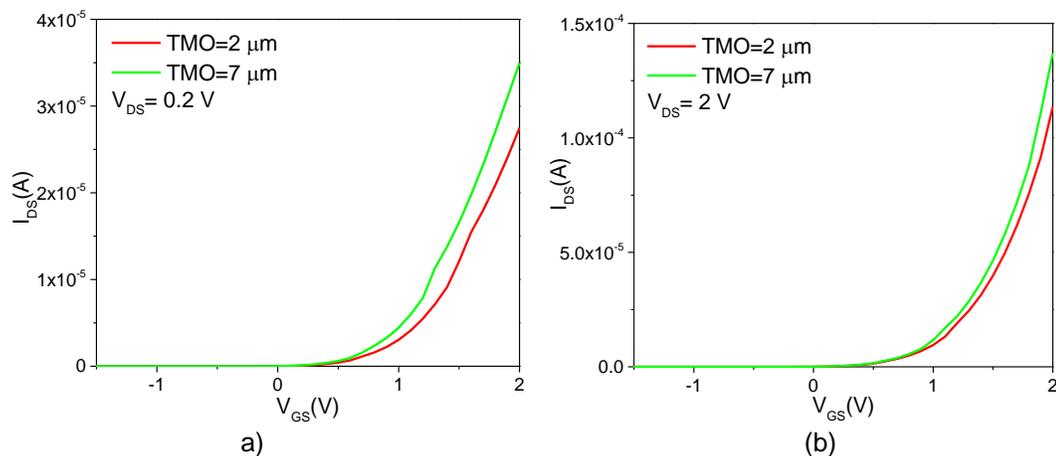


Figura 3.9. Características transferenciales de dos transistores con las mismas dimensiones de canal, pero con TMO de 2 μm y 7 μm , a) región lineal $V_{DS} = 0.2$ V y b) en saturación $V_{DS} = 2$ V.

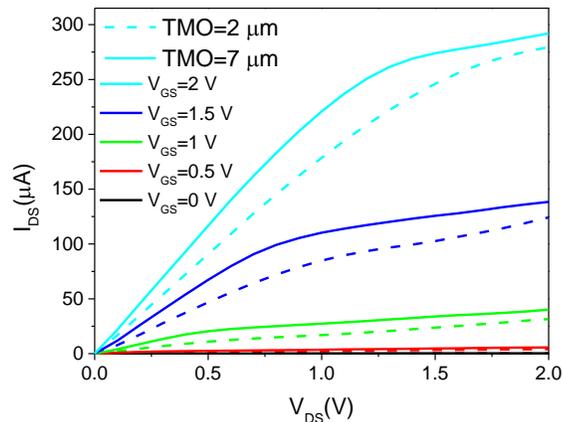


Figura 3.10. Característica de salida para dos dispositivos con las mismas dimensiones de canal, pero diferente TMO= 2 μm (línea punteada) y 7 μm (línea continua).

Para ambas características presentadas, la corriente de drenador resultó mayor cuando se tiene un mayor TMO en el transistor. El incremento presentado para los dispositivos con un TMO= 7 μm es de al menos un 5% con respecto a los dispositivos con un TMO = 2 μm .

En el trabajo [65] se presentaron los resultados de la simulación de un AOSTFT de IGZO cuando se varía el tamaño del TMO, que a continuación se detalla. En la figura 3.11, se muestra, que la densidad de corriente que se observa en la región cercana a la interfaz semiconductor-pasivación (S-P) se hace mayor que la que se observa cercana a la interfaz S-D, a partir de una posición entre los contactos de drenador (D) y fuente (S). Este efecto se debe a la presencia del TMO, y se acerca al contacto de drenador, al disminuir la longitud del TMO. En la figura 3.11 a) se muestra el corte transversal del AOSTFT ocupado para hacer la simulación de la densidad de corriente con $V_{DS}=V_{GS}=10$ V. En la figura 3.11 b) se grafica la densidad de corriente resultado de la simulación para un TMO de 2 μm y en la 3.10 c) la densidad de corriente para un TMO de 12.5 μm . Las regiones indicadas como S y D indican la posición de fuente y drenador del transistor. R1 y R2 indican las regiones donde las densidades de corriente cercanas a las interfases S-D y S-P son mayores, respectivamente. P1 es la posición a partir de la cual, la

densidad de corriente en la interfaz S-P comienza a ser mayor que aquella en la interfaz S-D.

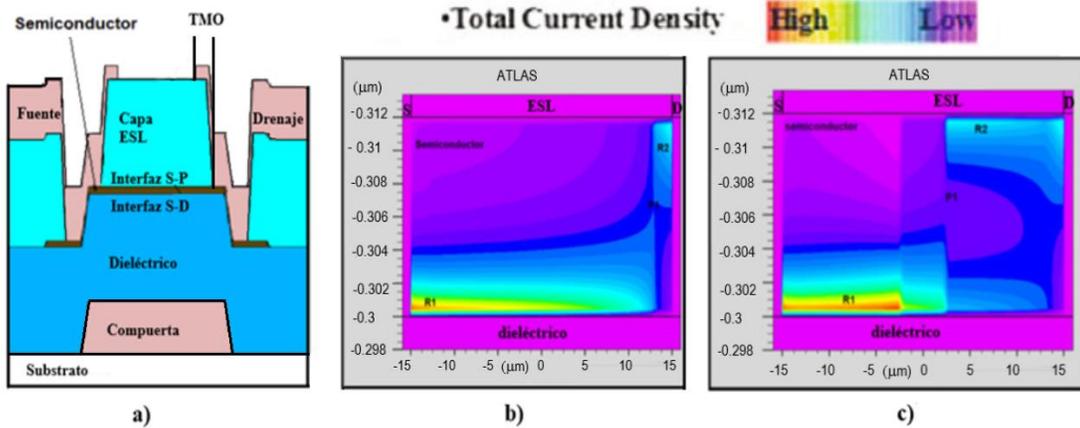


Figura 3.11 a) Corte transversal del AOSTFT ocupado para hacer la simulación; b) densidad de corriente para un TMO de 2 μm ; c) densidad de corriente para un TMO de 12.5 μm .

Esto indica que el TMO actúa como una segunda compuerta, influyendo en la interfaz S-P y, dando lugar a una región de acumulación cercana al drenador, que a su vez actúa como si la longitud efectiva del canal se redujera, esto trae como resultado que la corriente de drenador aumente. Este incremento es más significativo, cuando los dispositivos se encuentran operando en la región de saturación, lo que coincide con la aplicación de un mayor voltaje al contacto de drenador.

La figura 3.12 muestra el gráfico de densidad de corriente vs. distancia entre S y D, obtenida por simulación (líneas corresponden a la interfaz S-D y símbolos a la interfaz S-P). A y B son las posiciones donde la densidad de corriente (J) se hace mayor en la interfaz semiconductor-pasivante que en S-D. La posición se aleja del contacto de drenador a medida que TMO aumenta. En la figura 3.13, se muestra el gráfico de la densidad de carga vs. distancia, confirmando la formación de la región de acumulación junto al D, por debajo el TMO.

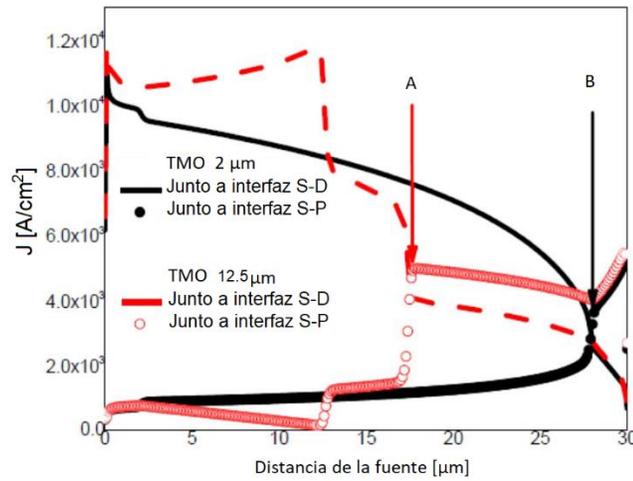


Figura 3.12. Densidad de corriente vs. distancia entre S y D.

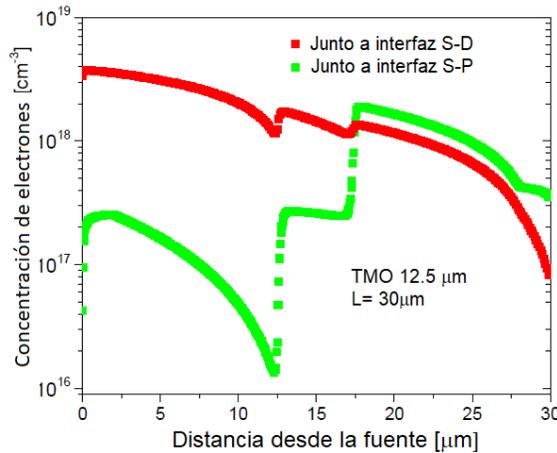


Figura 3.13 Distribución de carga entre fuente y drenador en cada interfaz, para un TMO de $12.5 \mu\text{m}$, con $V_{DS}=V_{GS}=10 \text{ V}$.

De acuerdo con la simulación del transistor, en la figura 3.14 se muestran las características transferenciales y de salida de un transistor AOSTFT; donde se observa que la corriente de drenador es mayor, a medida que se incrementa la longitud del TMO. Este análisis por simulación se realizó para un transistor con IGZO como semiconductor, pero el hecho de cambiar el material semiconductor no inhibe la presencia de dicho efecto y, como se verá más adelante, también se observó experimentalmente en dispositivos con HIZO como semiconductor.

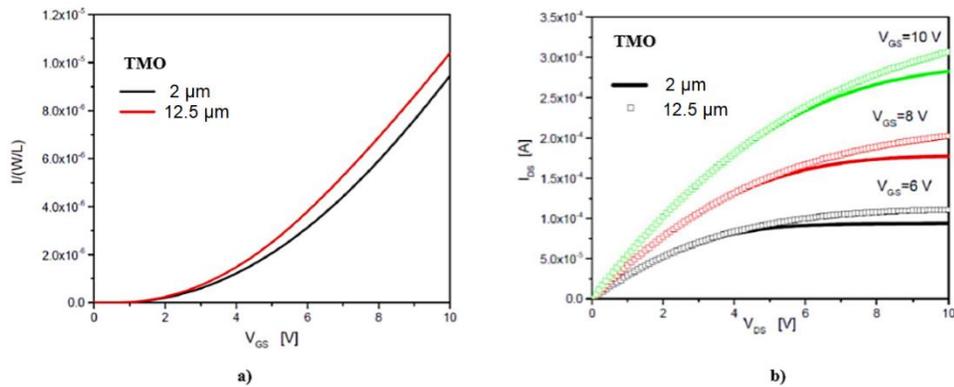


Figura 3.14 a) Característica transferencial en saturación; b) característica de salida; obtenidas por simulación, para 2 valores de TMO.

En la figura 3.15 se muestra el gráfico de la movilidad de efecto de campo (μ_{FET}) extraída en función del voltaje de compuerta para un voltaje $V_{DS}=0.2$ V para las curvas mostradas en la figura 3.9. La μ_{FET} es calculada a partir de la siguiente ecuación [56]:

$$\mu_{FET} = \frac{L g_m}{W C_{OX} V_{DS}} \quad (3.1)$$

Donde C_{OX} es la capacitancia del dieléctrico de compuerta ecuación (2.8), W/L la relación de aspecto del semiconductor y g_m es la transconductancia. Se observa que al aumentar la longitud del TMO, también incrementa la μ_{FET} , así como ocurre con la corriente de drenador al aumentar el TMO.

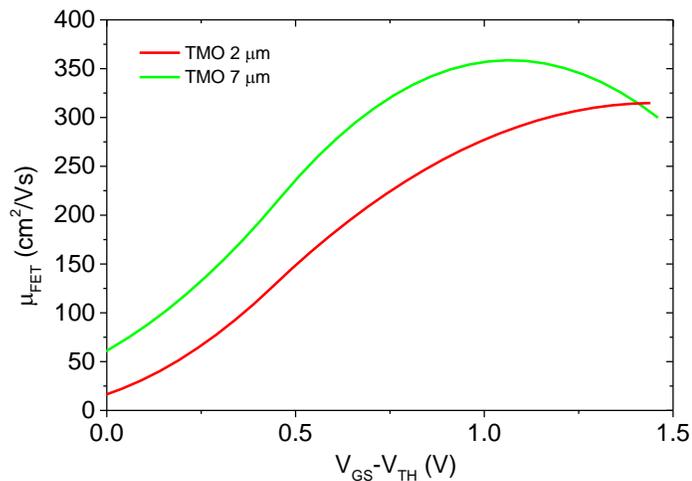


Figura 3.15. Gráfico de μ_{FET} para dos dispositivos con diferente TMO.

En los gráficos 3.9 y 3.15, las curvas muestran un corrimiento hacia valores negativos del voltaje al aumentar el TMO, esto trae como consecuencia la reducción del valor del voltaje de umbral, V_{th} .

En este apartado se mostraron curvas características del proceso P-B, las cuales se tomaron como referencia del comportamiento típico de la variación del tamaño de traslape metálico superior, el cual es presentado independientemente del proceso realizado.

3.3.1.2. Resultados de la variación del tamaño del electrodo de compuerta

En la figura 3.16 se muestra una comparación entre las características de salida de dos dispositivos con el mismo TMO, pero con diferente tamaño de electrodo de compuerta (EC) correspondiente a 36 y 44 μm , como se mostró en la figura 3.7. Para todos los procesos de fabricación analizados se observó que, cuando una parte del contacto de drenador/fuente se ubica dentro del área del electrodo de compuerta y la otra parte fuera de ella, es decir cuando se ubica en el escalón como se muestra en la figura 3.7 b), la resistencia en serie disminuye y la corriente de drenador aumenta, respecto al caso en que el contacto de drenador/fuente está en un mismo plano, sobre el electrodo de compuerta, como se ilustró en la figura 3.7 a).

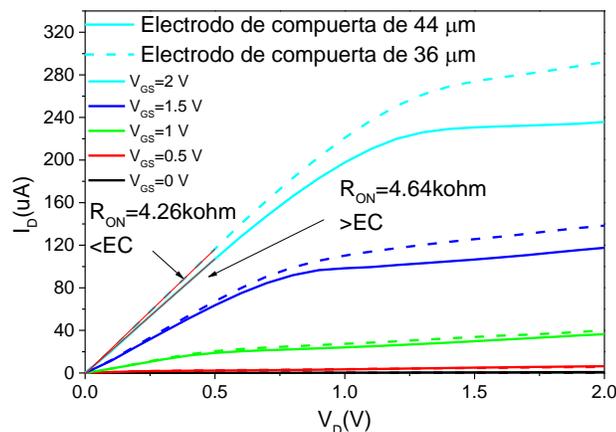


Figura 3.16. Característica de salida de dos TFTs con diferente tamaño de electrodo de compuerta.

En el caso en que, tanto la película de HIZO como el metal de los contactos de drenador/fuente pasan sobre un escalón producido por el electrodo de compuerta, podría ocurrir, durante el proceso de fabricación, que alguno de estos elementos no lograra cruzar el escalón, lo que daría lugar a que el área de contacto entre el HIZO y el metal de los electrodos de drenador/fuente se reduzca, incrementando la resistencia en serie. Sin embargo, como se indicó arriba y se muestra en la figura 3.16, se observa lo contrario, por lo que concluye que este efecto no se produce.

Si tanto el contacto de drenador/fuente como el de la capa de HIZO traslapan correctamente sobre el escalón, el comportamiento observado en las características de salida podría explicarse mediante la figura 3.17. En esta última figura, se muestra un corte transversal de la región del contacto de drenador, cuando éste está totalmente dentro del área del electrodo de compuerta y, por lo tanto, en un mismo plano, figura 3.17 a), y cuando una parte del contacto está dentro y una parte fuera del electrodo de compuerta y, por lo tanto, se posiciona por encima de un escalón, figura 3.17 b).

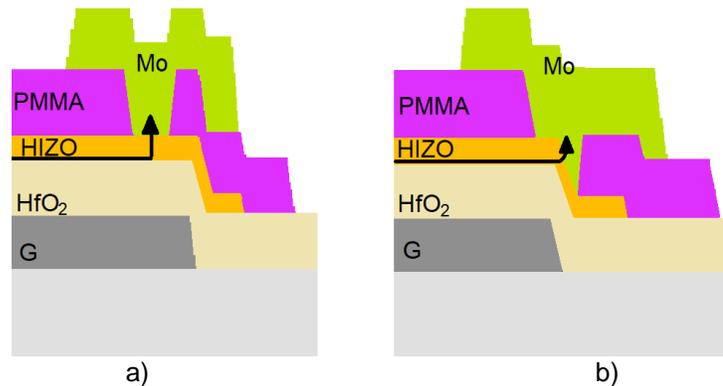


Figura 3.17 Corte transversal del contacto de drenador/fuente: a) cuando se coloca íntegramente dentro del área del electrodo de compuerta a un mismo plano; b) cuando parte cae fuera del área del electrodo de compuerta, cruzando un escalón en la capa de HIZO.

Del resultado obtenido hay que recordar que, cuando una capa pasa a través de un escalón, el espesor de dicha capa en la región que cubre el escalón resulta menor que aquel depositado sobre las regiones planas, tal como se muestra en la figura 3.17 b). Por ese motivo, la corriente que fluye

por el HIZO en la región cercana a la interfaz S-D, transitaría por una región de menor espesor para alcanzar el contacto de drenador/fuente. En las figuras 3.17 a) y 3.17 b) se compara el recorrido de la corriente a través del HIZO, indicándolo con una flecha en las estructuras de los TFTs con diferente tamaño de compuerta y constitución de contactos drenador/fuente.

Acorde a los resultados obtenidos, si la capa de HIZO no se fractura sobre el escalón, cuando éste es depositada, podría considerarse como una mejor opción el ancho de compuerta, para el cual, los contactos de drenador/fuente estén diseñados con una parte fuera del área de la compuerta. En este caso, se aumentaría el número posible de empaquetamiento de transistores a ubicar por unidad de área y, además, se reduciría la resistencia de encendido (R_{ON}), dando a lugar a un aumento en la corriente de drenador.

3.3.2. Resultados del uso de tratamientos térmicos en el proceso de fabricación de AOSTFTs

3.3.2.1. Resultados de los procesos P-A y P-A2 de AOSTFTs

La figura 3.18 a) muestra la característica de salida de un transistor del proceso P-A de 30 μm de largo y 150 μm de ancho. El rango de medición del dispositivo es de 0 a 2 V para V_{DS} e incrementos de 0.5 V para V_{GS} . La corriente de drenador (I_{DS}) para $V_{DS}=V_{GS}= 2$ V es de 60 μA . La R_{ON} es ~ 32 k Ω para $V_{GS}= 2$ V y $V_D= 2$ V, obtenida de la región lineal cercana al origen de la característica de salida. En la figura 3.18 b), se muestran las características transferenciales de la región lineal y de saturación medidas a V_{DS} de 0.2 y de 2 V, respectivamente. A partir de la característica trasferencial en saturación se obtiene la movilidad en saturación, la cual tiene un valor de $\mu_{SAT}= 83$ cm^2/Vs , y también el voltaje de umbral con un valor de $V_{th}=1$ V, ambos extraídos del ajuste lineal del gráfico $I_{DS}^{1/2}$ vs V_{GS} , de acuerdo con la ecuación I_{DS} en saturación [58]:

$$I_{DS} = \frac{W C_{OX} \mu_{SAT}}{2L} (V_{GS} - V_{th})^2, \quad V_{DS} \geq V_{GS} - V_{th} \quad (3.2)$$

La relación entre la corriente de encendido y la corriente de apagado (I_{ON}/I_{OFF}), dentro del intervalo de medición, resultó con un valor del orden de 10^5 , y la pendiente subumbral (SS), la cual es obtenida del inverso de la pendiente del gráfico $\log(I_{DS})$ vs V_{GS} para una condición de $V_{GS} < V_{th}$, tiene un valor de $SS = 450$ mV/dec. La SS corresponde al incremento del V_{GS} necesario para incrementar la I_{DS} en una década [56]. La corriente de compuerta (I_{GS}) o parásita, está por debajo de 20 pA y, por tal motivo, no se incluye en los gráficos de las características transferenciales de los transistores presentados.

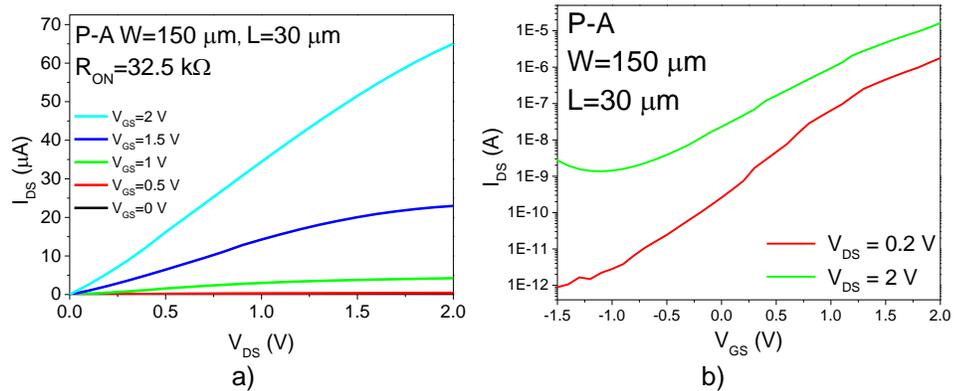


Figura 3.18 a) Característica de salida y b) características transferenciales lineal y en saturación del dispositivo P-A.

En la figura 3.19 se muestra el conjunto de las características de salida y de las transferenciales para un transistor del proceso P-A, y de este mismo transistor después del tratamiento térmico, correspondiente al proceso P-A2. El tratamiento térmico posterior al proceso de fabricación, a una temperatura de 150 °C durante 20 min en N_2 , produjo que la I_{DS} medida se incrementara en más de 3 veces de su valor de medición inicial, bajo una condición de $V_{DS}=V_{GS}=2$ V. Adicionalmente, se obtuvo una reducción de los valores de $R_{ON}=8.9$ k Ω , del $V_{th}=0.6$ V, de $SS \sim 250$ mV/dec, y un incremento de la $\mu_{SAT}=182$ cm^2/Vs y de la relación I_{ON}/I_{OFF} del orden de 10^7 .

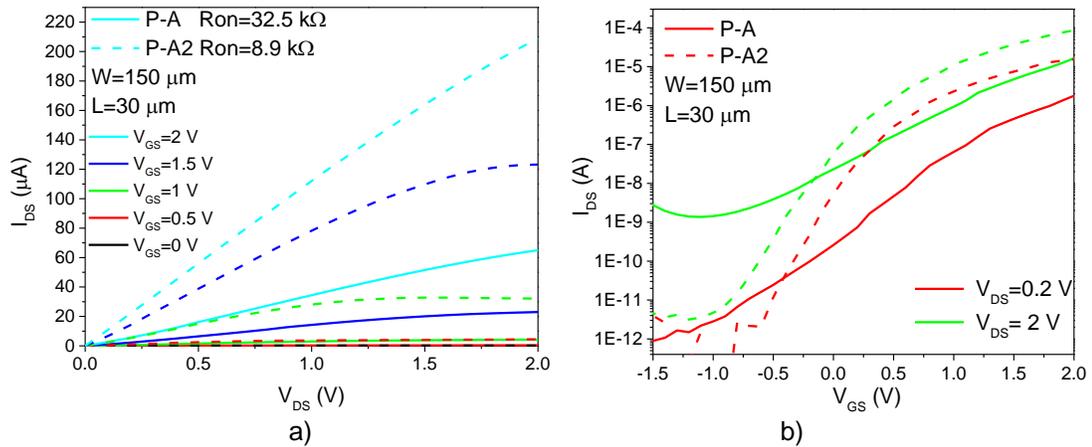


Figura 3.19 Comparación de P-A y P-A2, a) característica de salida y b) características transferenciales lineal y en saturación.

Como se observa de la comparación de los procesos P-A y P-A2, es notable el incremento de la corriente de drenador (I_{DS}) para P-A2 debido, al tratamiento térmico realizado al final de su fabricación. Este resultado puede estar relacionado con la reducción de los estados de la interfaz, que puede producir la reducción del V_{th} y de SS. En el caso del proceso P-A2, también se observó una reducción en la I_{OFF} de la característica transferencial en saturación, la cual incrementa la relación I_{ON}/I_{OFF} . La corriente I_{GS} estuvo siempre por debajo de 10 pA , lo cual indica la buena calidad del dieléctrico de compuerta. Adicionalmente, se reduce el valor de la R_{ON} al mejorar el contacto metal/semiconductor y al mejorar la colección de corriente en las terminales de drenador/fuente. Como resultado del tratamiento térmico realizado en el proceso P-A2, también aumentó la μ_{SAT} , por al menos el doble de la movilidad obtenida por los transistores del proceso P-A.

3.3.2.2. Resultados de los procesos P-A2 y P-B de AOSTFTs

Las figuras 3.20 a) y 3.20 b) muestran una comparación de las características de salida y de las características transferenciales en los AOSTFTs de los procesos P-A2 y P-B, para un transistor con una $L=30 \mu\text{m}$ y una $W=150 \mu\text{m}$. A partir de las características medidas se obtiene que, para el proceso P-B, existe una reducción notable de R_{ON} hasta $\approx 4.2 \text{ k}\Omega$ y de la SS

hasta ≈ 240 mV/dec; así como un aumento para los valores de $\mu_{SAT} = 320$ cm^2/Vs , el voltaje de umbral se mantiene sin cambio un $V_{th} = 0.6$ V, y una relación I_{ON}/I_{OFF} del orden de 10^6 . Mientras que la I_{GS} se mantuvo por debajo de 0.1 nA.

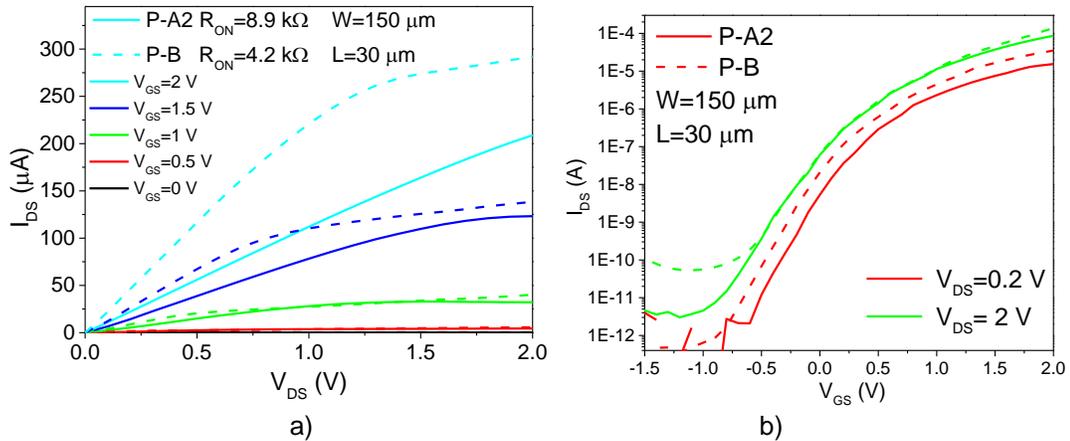


Figura 3.20 a) Característica de salida y b) características transferenciales lineal y en saturación de los dispositivos P-A2 y P-B.

Para el proceso P-B se observa un incremento considerable de la corriente I_{DS} , principalmente causado por el incremento de la movilidad y de la constante dieléctrica del HfO_2 , como es mencionado en el capítulo 2. Adicionalmente, se observó una reducción notable de R_{ON} , prácticamente a la mitad de su valor con respecto a P-A2. Como se mencionó, también se incrementó la concentración de portadores en el volumen del semiconductor por el tratamiento térmico realizado en ambiente de nitrógeno por el tiempo de 20' después de su depósito. Los valores de V_{th} y SS se mantuvieron en el mismo valor, no observándose una variación significativa de la densidad de estados de la interfaz efectiva (N_{ss}). Como la movilidad se extrae de la curva transferencial en saturación, la disminución de R_{on} , que está relacionada con el valor de la resistencia del canal y de la resistencia serie R_s , el valor extraído de la movilidad será mayor a medida que el valor extraído de R_{on} disminuya. Además, el incremento de la movilidad también está relacionado al incremento de la constante dieléctrica ($k_i = 20.4$) del óxido de hafnio (HfO_2). Por último, el

incremento en el valor de la k_i también reduce el rango de voltaje de operación del transistor.

3.3.2.3. Resultados de los procesos P-C y P-E de AOSTFTs

A continuación, se presentan los resultados obtenidos en los procesos P-C y P-E, para los cuales el tratamiento térmico se realizó antes de depositar la capa de HIZO; o sea, antes de formar la interfaz dieléctrico/semiconductor o posteriormente al depósito del HfO_2 . En el proceso P-C, el gas utilizado fue oxígeno (O_2) y, en el proceso P-E, fue nitrógeno (N_2).

En la figura 3.21, se muestra el comportamiento de las características eléctricas de un AOSTFT correspondiente al proceso P-C con una relación de aspecto (L/W) de 0.2. Los valores extraídos de sus parámetros característicos son: $R_{\text{ON}} = 22 \text{ k}\Omega$, $\mu_{\text{SAT}} = 100 \text{ cm}^2/\text{Vs}$, $V_{\text{th}} = 1.1 \text{ V}$, relación $I_{\text{ON}}/I_{\text{OFF}}$ de 10^5 y $\text{SS} \approx 300 \text{ mV/dec}$.

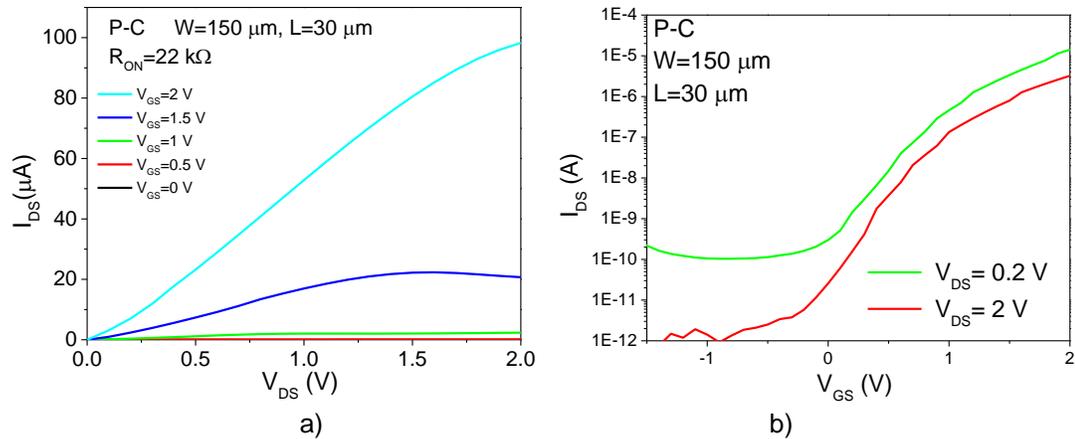


Figura 3.21 a) Característica de salida y b) características transferenciales lineal y en saturación de dispositivos con el proceso P-C.

En la figura 3.22 se muestra las características de dispositivo con el proceso P-E, donde se destacan los valores de sus parámetros característicos: $R_{\text{ON}} = 78 \text{ k}\Omega$, $\mu_{\text{SAT}} = 32 \text{ cm}^2/\text{Vs}$, $V_{\text{th}} = 1.1 \text{ V}$, relación $I_{\text{ON}}/I_{\text{OFF}}$ de 10^5 y $\text{SS} \approx 320 \text{ mV/dec}$.

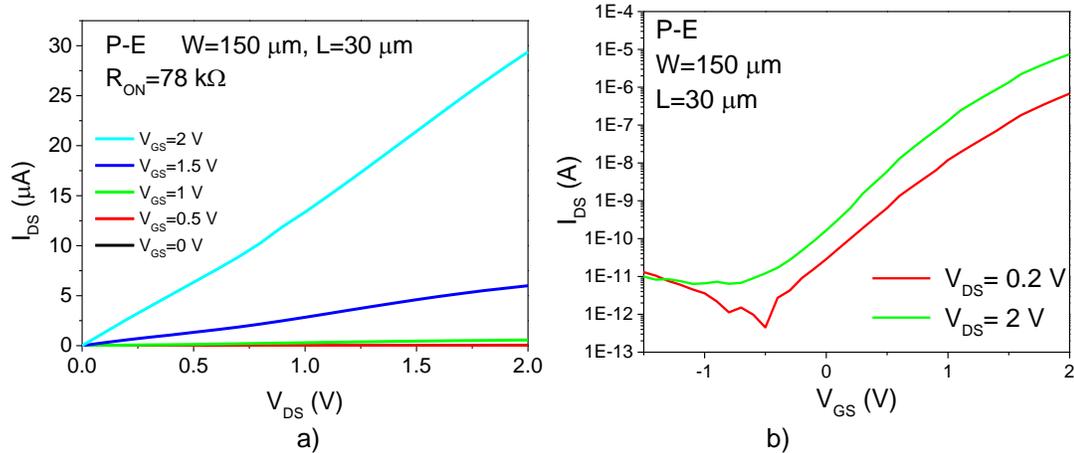


Figura 3.22 a) Característica de salida y b) características transferenciales lineal y en saturación del dispositivo P-E

En la figura 3.23 se comparan los AOSTFTs de los procesos P-A, P-C y P-E, estos dispositivos están relacionados, ya que no presentan tratamiento térmico después del depósito del semiconductor. Esto no podría modificar en gran medida la resistencia de encendido. Como se observa en dicha figura, a mayor R_{ON} se obtiene una menor corriente de drenador.

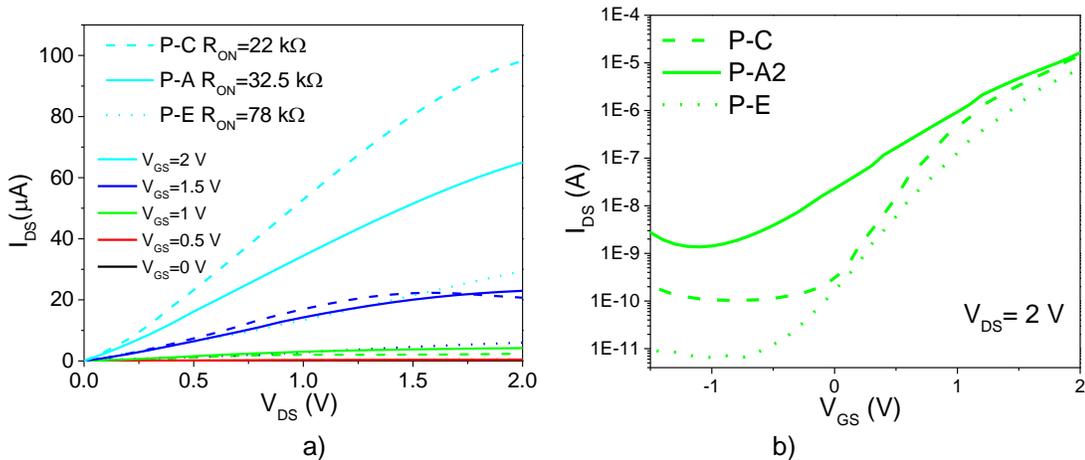


Figura 3.23 a) Característica de salida y b) características transferenciales en saturación de los dispositivos P-A, P-C P-E

Para los procesos P-C y P-E se tiene un menor valor de SS. El incremento de la constante dieléctrica para el proceso E genera que la corriente de apagado disminuya, en comparación de los procesos A y C, como se ve en la figura 3.23 b). Sin embargo, el aumento de la k_i no alcanza a producir un

incremento significativo de la I_{ON} debido a la variación moderada de la resistencia de contacto.

3.3.2.4. Comparación de los procesos P-B y P-D de AOSTFs

Son comparados los resultados obtenidos para los procesos P-B y P-D, los cuales incluyen un tratamiento térmico después del depósito del semiconductor, ya sea en un ambiente de oxígeno o en un gas inerte a 200 °C, respectivamente.

En la figura 3.24 se muestran las características del dispositivo P-D, a partir de las cuales se extrajeron los parámetros eléctricos correspondientes, que resultaron en: una $R_{ON} = 16 \text{ k}\Omega$, una $\mu_{SAT} = 34.5 \text{ cm}^2/\text{Vs}$, un $V_{th} = 0.3 \text{ V}$, una relación I_{ON}/I_{OFF} del orden de 10^5 y una $SS \approx 240 \text{ mV/dec}$.

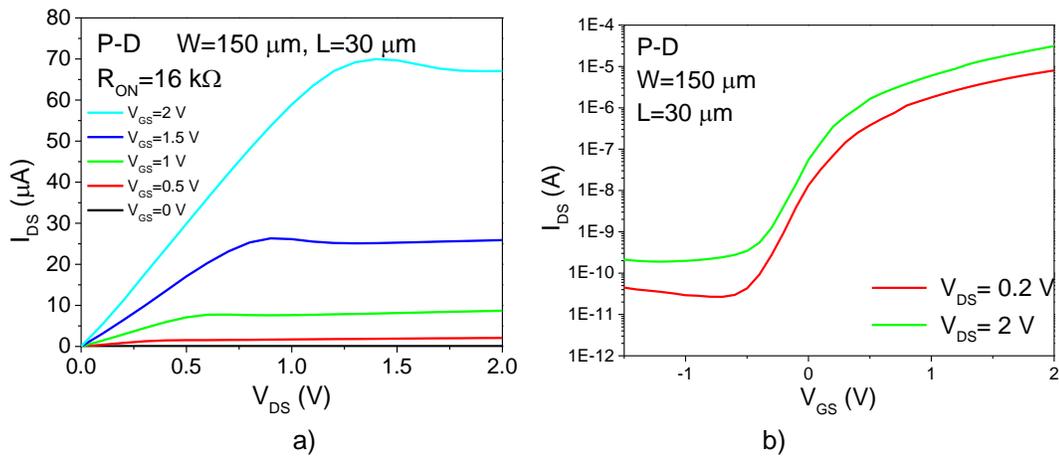


Figura 3.24 a) Característica de salida y b) características transferenciales lineal y en saturación del dispositivo P-D.

En la figura 3.25 se muestra la comparación de las características del proceso P-D y P-B. En ésta se observa que el proceso P-D presenta una I_{DS} significativamente menor, en comparación con P-B. Esto a pesar de presentar una constante dieléctrica y una concentración de portadores bastante similares. Además, la movilidad en saturación se reduce considerablemente, y la relación de I_{ON}/I_{OFF} decae en una década. El valor de SS se mantiene en el

mismo rango de valores, por presentar una similar densidad de estados de interfaz, al no ser intervenida la interfaz.

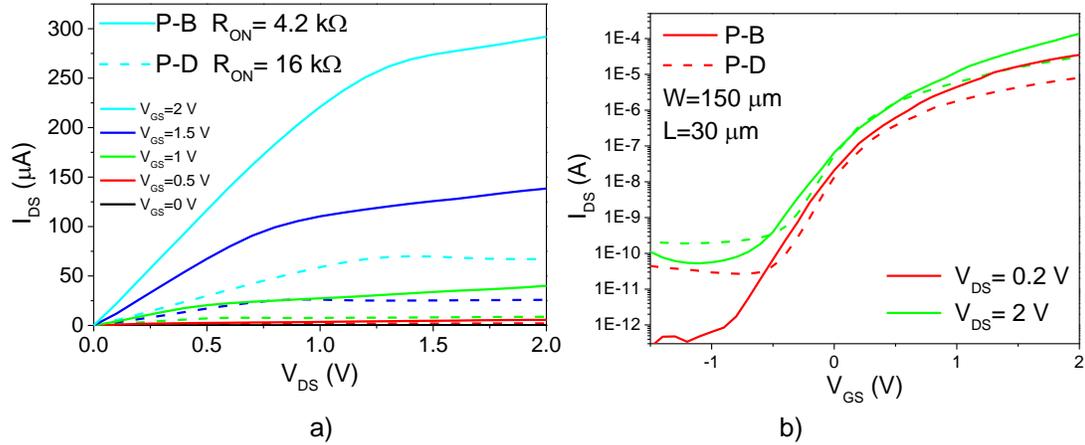


Figura 3.25 a) Característica de salida y b) características transferenciales lineal y saturación del dispositivo P-B y P-D.

Del proceso P-D, en el cual se realiza un tratamiento térmico en ambiente de O_2 después del depósito del semiconductor, se puede esperar que la densidad de portadores en la superficie cercana a la interfaz S-P del semiconductor sea menor que aquella asociada a la interfaz dieléctrico/semiconductor, esto por el efecto del O_2 que pasiva las vacancias de este elemento en la interfaz posterior. Además, esto puede propiciar una mayor resistencia de contacto de drenador/fuente. Se ha reportado que, durante la fabricación de diodos Schottky con el uso de AOS, la obtención de una baja densidad de portadores en el semiconductor, o una capa altamente resistiva, se obtiene incorporando una presión parcial de oxígeno durante el depósito del material [71].

Por tal motivo, el tratamiento térmico en N_2 , inmediatamente después del depósito del semiconductor, permite mejorar la interfaz semiconductor/metal correspondiente a los contactos de drenador/fuente, propiciando un aumento en el rendimiento total del transistor.

En la tabla 3.2 se muestra el resumen de los parámetros eléctricos obtenidos de los AOSTFTs caracterizados, para cada uno de los procesos de fabricación realizados.

Muestra	TT	V _{th} (V)	μ _{SAT} (cm ² /Vs)	R _{ON} (kΩ)	I _{ON} /I _{OFF}	SS (mV/decada)
P-A	No	0.8 ±14%	93 ±22%	28 ±23%	~ 4.7x10 ⁵	450 ±25%
P-A2	Al final 150 °C	0.6 ±8%	142 ±24%	13.6 ±30%	~ 1.0x10 ⁷	270 ±13%
P-B	HIZO N ₂ 200 °C	0.55 ±19%	319 ±31%	4.8 ±41%	~ 5.1x10 ⁶	310 ±5%
P-C	HfO ₂ O ₂ 200 °C	1.06 ±12%	106 ±17%	18.6 ±29%	~ 2.1x10 ⁵	400 ±17%
P-D	HIZO O ₂ 200 °C	0.31 ±14%	46 ±41%	14.9 ±21%	~ 1.3x10 ⁵	280 ±16%
P-E	HfO ₂ N ₂ 200 °C	1.1 ±4%	30 ±13%	73.64 ±47%	~ 2.0x10 ⁵	350 ±10%

Tabla 3.2 Resumen de parámetros obtenidos de los diferentes procesos empleados para la fabricación de transistores.

Resumiendo, tanto el tratamiento final en N₂ a 150 °C como a 200 °C después de depositar el HIZO, permiten obtener V_{th} promedio entre 0.45 y 0.65. El dispositivo P-B es el que presenta mayor μ_{SAT} y menor R_{ON} presenta, aunque con alta dispersión de sus valores. La reducción de la relación I_{ON}/I_{OFF} puede ser atribuida a la alta concentración de portadores en el semiconductor (N_B=1.16x10¹⁸ cm⁻³), con lo que concuerda con el hecho de que se obtenga una mayor relación I_{ON}/I_{OFF} para el dispositivo P-A2 debido al valor más bajo de N_B (9.65x10¹⁶cm⁻³), en comparación a los demás dispositivos. Los valores correspondientes a N_B fueron resumidos en la tabla 2.2 del capítulo anterior. El desplazamiento del V_{th} hacia valores positivos en los TFTs basados en ZnO puede ser el resultado del atrapamiento de carga en la interfaz dieléctrico/semiconductor [9]. Este mismo comportamiento se presenta en nuestros dispositivos que tienen un tratamiento térmico previo a la formación de la interfaz dieléctrico/semiconductor y para el proceso P-A, el cual no tiene ningún tratamiento térmico. Al mismo tiempo, este hecho concuerda con los

dispositivos que presentan un valor mayor de SS. Al contrario, los AOSTFTs que presentan un valor menor de SS son aquellos que han sido tratados térmicamente, después del depósito del semiconductor.

Al observar la Tabla 3.2, destacan los dispositivos P-A2 y P-B como los procesos de mayor rendimiento eléctrico, con un V_{th} promedio más bajo, mayores valores de μ_{SAT} , una menor R_{ON} , una mayor relación de I_{ON}/I_{OFF} y, a su vez, una menor SS.

3.3.3. Comportamiento del tipo cristalino para los AOSTFTs

Se ha visto que el comportamiento típico de la movilidad de efecto de campo de los transistores de capa delgada incrementa conforme se incrementa la corriente de drenador, aplicando voltaje al electrodo de compuerta dentro de la región lineal. En la Figura 3.26 se muestran los gráficos I_D vs V_{GS} y μ_{FET} vs V_{GS} , para un dispositivo del proceso P-A.

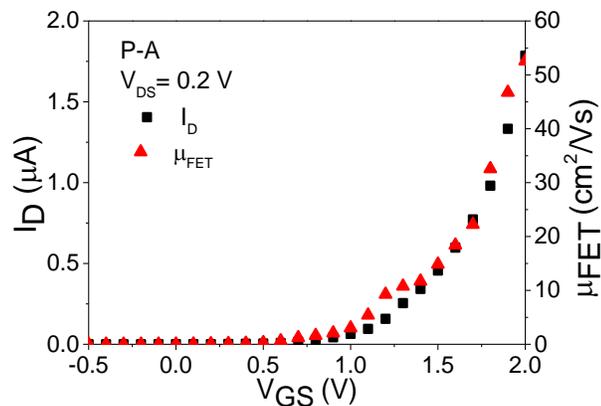


Figura 3.26. Gráfico I_{DS} vs V_{GS} y μ_{FET} vs V_{GS} para un dispositivo del proceso P-A

Para el caso de los procesos P-A2 y P-B los gráficos I_{DS} vs V_{GS} y μ_{FET} vs V_{GS} muestran un comportamiento diferente a lo comúnmente reportado para este tipo de transistores. En las figuras 3.27 se muestra la caída de los valores de I_D y μ_{FET} conforme se incrementa el voltaje de compuerta para a) P-A2 y b) P-B. Este tipo de comportamiento se presenta en dispositivos con estructura cristalina y recientemente reportado para dispositivos AOSTFTs [72]. Los

resultados de difractogramas de rayos-x realizados a estos dispositivos muestran que la capa semiconductor tiene una estructura amorfa, figura 3.28.

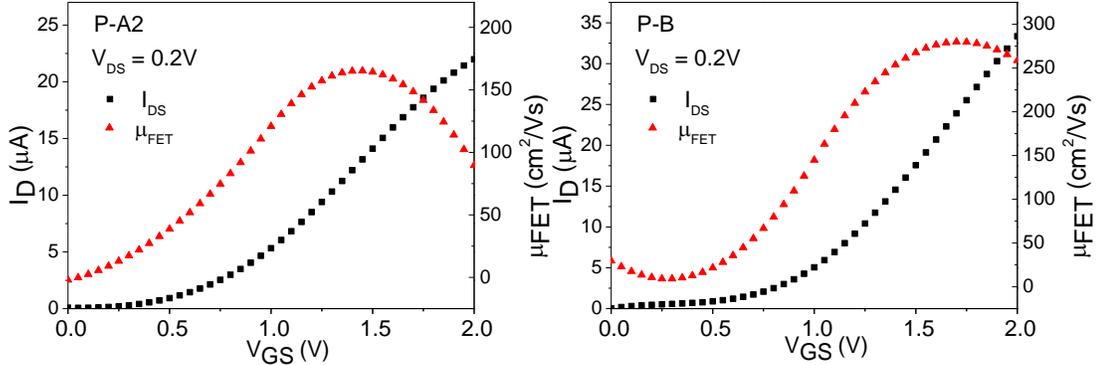


Figura 3.27. Gráficos I_D vs V_{GS} y μ_{FET} vs V_{GS} para dispositivos de los procesos P-A2 y P-B.

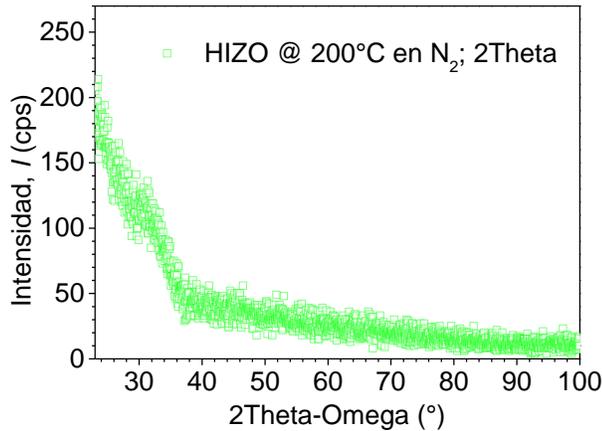


Figura 3.28. Difractogramas de rayos x de HIZO @ 200 °C en N_2

Para dar una explicación al tipo de comportamiento obtenido en estos dispositivos se realizó el cálculo de la densidad de estados de cola para la energía de la banda de conducción (g_{ato}), su energía característica (E_T) y el voltaje necesario para que el nivel de Fermi alcance la banda de conducción (V_F). El procedimiento del cálculo de estos parámetros es acorde al procedimiento realizado en [73].

Los cálculos de g_{ato} y E_T muestran la reducción de sus valores de acuerdo con el incremento de sus movilidades para las muestras P-A, P-A2 y P-B, así como la reducción del voltaje necesario para que el nivel de fermi alcance la banda de conducción.

Muestra	T	g_{ato} ($\text{cm}^{-3}\text{eV}^{-1}$)	E_T (meV)	V_F (V)
P-A	No	4.8×10^{19}	78.4	4.2
P-A2	Al final 150 °C	1.6×10^{19}	39	2.7
P-B	HIZO N_2 200 °C	4.9×10^{18}	30	2.1

Tabla 3.3 Parámetros extraídos, g_{ato} , E_T y V_F de las muestras P-A, P-A2 y P-B .

Adicionalmente se calcularon la concentración de portadores localizados y libres para cada uno de los dispositivos mediante el procedimiento en [73]. La figura 3.29 muestra la densidad de portadores libres y localizados para las muestras a) P-A, b) P-A2 y c) P-B. Como se puede observar en la figura c) el dispositivo P-B muestra una mayor concentración de portadores libres en todo el rango del potencial superficial en comparación de las otras dos muestras.

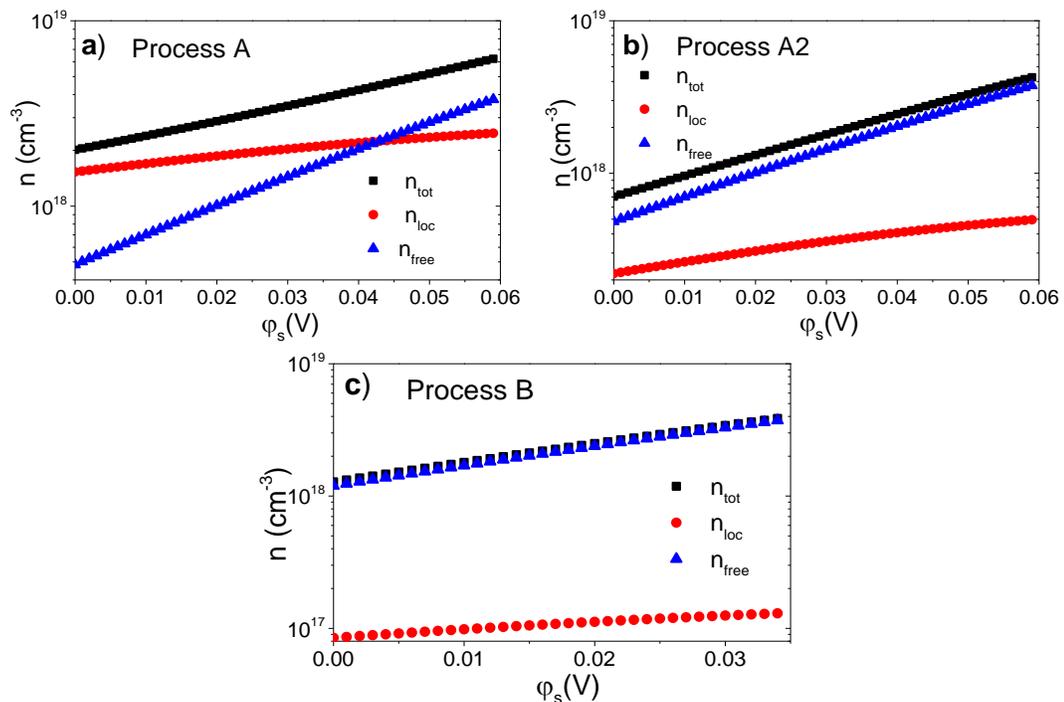


Figura 3.29. Densidad total de portadores libres y localizados Vs potencial superficial para los procesos a) P-A, b) P-A2 y c) P-B.

La combinación de los factores antes mencionados, que incluyen la reducción de la densidad de estados de cola, la reducción de la energía

característica de los estados de cola, la reducción del voltaje de compuerta requerido para el que el nivel de fermi alcance la banda de conducción, el incremento de la densidad de portadores libres en función del potencial superficial aplicado, llevan a una alta probabilidad para que se presente el mecanismo de conducción de carga libre, el cual es más notorio para los procesos que llevan tratamiento térmico al semiconductor en ambiente de nitrógeno y el que tiene TT al término de su fabricación.

Por otro lado, la combinación de una constante dieléctrica alta, así como una alta concentración de portadores en el semiconductor y la posible reducción en la densidad de estados (DOS), son factores que contribuyen a obtener valores de movilidades altos en los procesos realizados.

3.4. Inversor AOSTFTs

Los AOSTFTs se están volviendo elementos activos de interés en el desarrollo de nuevas aplicaciones alternativas. Aunque la tecnología AOS TFT está destinada principalmente a controladores de pantallas de panel delgado, sus aplicaciones se están extendiendo a otros sistemas de superficies grandes de bajo costo, mediante el diseño de circuitos de aplicaciones específicas como tecnología portátil, identificación de radio frecuencia, sensores de gas, entre otros [30] .

Para el desarrollo de aplicaciones con AOSTFTs, estos últimos van de la mano con su integración en circuitos integrados digitales, donde el inversor es el circuito digital básico y a partir de éste se pueden hacer más bloques lógicos. De forma general, el funcionamiento del inversor consiste en que su señal de salida niega lógicamente la señal de entrada, por lo que es conformado por dos elementos principales: un transistor de entrada, conocido como transistor de control (Driver), y un transistor de carga (LOAD); que en su conjunto definen el valor de salida. El tipo del transistor de carga utilizado es el elemento que al variarse permite definir el tipo de inversor. En el caso de que se utilice un solo

voltaje de alimentación, los inversores más empleados son: de carga saturada, de carga de empobrecimiento y el complementario.

Para el caso de los inversores complementarios se requieren un transistor del tipo N y otro del tipo P, ambos en el modo normalmente apagado. Para el caso del inversor con carga empobrecida o con carga saturada es posible utilizar un solo tipo de transistor.

Actualmente, en el caso de la tecnología basada en AOSTFTs, los transistores tipo P aún no han alcanzado el mismo grado de desarrollo que su contraparte tipo N, por lo que se requiere de mayor investigación para obtener inversores complementarios con AOSTFTs. En este sentido, el diseño de circuitos utilizado en esta Tesis sólo considera TFTs del tipo N. Por lo tanto, a partir de los resultados obtenidos en la fabricación de AOSTFTs, se determinó diseñar, fabricar y caracterizar inversores de carga saturada.

3.4.1. Inversor de carga saturada

El inversor de carga saturada ocupa dos transistores, en la figura 3.30 se muestra el diagrama de su configuración. El principio de funcionamiento del inversor consiste en que para un voltaje en alto aplicado al contacto de compuerta Q_1 , entrega un voltaje en bajo a la salida (V_o) y viceversa. El voltaje en alto está en un rango de voltaje de entrada a la compuerta que es reconocido como nivel lógico alto en la compuerta, el cual se encuentra en un margen cercano al voltaje de salida máximo del inversor. Para el caso contrario, el voltaje en bajo tendría un rango cercano al voltaje de salida mínimo del inversor. El transistor Q_2 siempre opera en saturación, debido a que $V_{DS}=V_{GS}>V_{GS}-V_{th}$. Cabe recordar que, de forma convencional, se procura que los transistores sean fabricados simultáneamente con la misma tecnología.

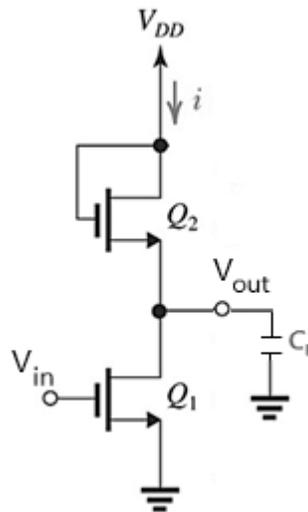


Figura 3.30 Diagrama de configuración para un inversor de carga saturada.

Para este tipo de inversor, el voltaje de salida máximo (V_{OH}) es $V_{OH} = V_{DD} - V_{th}$, donde el V_{DD} es el voltaje de alimentación del inversor. El transistor Q_2 , es el transistor de carga que estará saturado todo el tiempo. Cuando $V_{in} < V_{th}$, se considera que el transistor Q_1 está apagado y la corriente a través de ellos será mínima. La corriente $i_{d,2}$ carga el capacitor (C_L) y el voltaje de salida aumenta a su valor máximo, que será $V_{DD} - V_{th}$. Mientras que la caída de voltaje a través del transistor Q_2 tiende al valor de V_{th} . En caso contrario, cuando $V_{in} > V_{th}$, el transistor Q_1 está conduciendo, y el voltaje de salida mínimo (V_{OL}) es $V_{OL} < V_{th}$. Si el voltaje de entrada (V_{in}) cambia del nivel alto al nivel bajo, la salida del circuito experimenta la transición opuesta.

Cuando ambos transistores conducen, el inversor puede representarse como un divisor de voltaje, donde el voltaje de salida del divisor será el voltaje en bajo del inversor cuando el transistor Q_1 esté polarizado en alto. Como ya se indicó, en este caso $V_{OL} < V_{th}$ para que, cuando el inversor en cuestión se conecte con otros inversores, el transistor de control del próximo inversor reciba un $V_{in} < V_{th}$.

Conociendo que la relación de aspecto de un transistor se expresa como $k=W/L$; para el caso del inversor, la relación de aspecto del transistor de carga y de control serán k_L y k_D , respectivamente. Como la longitud (L) es la misma para ambos transistores, la relación $k_{inv}=(k_D/k_L)=(W_D/W_L)$ define las características del divisor de voltaje que se obtiene a la salida del inversor, debido a la resistencia de cada uno de los transistores que lo componen. De esta forma, cabe señalar que la resistencia asociada al transistor disminuye, cuando la relación de aspecto de un transistor aumenta.

Para lograr que, cuando el transistor Q1 conduzca, el V_{OL} sea el menor posible, en el inversor se busca que la resistencia del transistor de control sea mucho menor que la del transistor de carga, o sea que $W_D \gg W_L$.

De acuerdo con los resultados obtenidos previamente en la caracterización de transistores, se consideró una $L=30 \mu\text{m}$ para el diseño de los transistores. El transistor de carga se diseñó con una $W=10 \mu\text{m}$ para poder obtener una resistencia de $24 \text{ k}\Omega$, y para el transistor de control una $W=400 \mu\text{m}$, para producir una resistencia de $4.4 \text{ k}\Omega$. Con esto, los inversores tendrán una relación de aspecto mayor a 10, y se espera tener un voltaje de salida que sea lo suficiente bajo para no superar el voltaje de umbral, de un siguiente inversor.

3.4.2. Topología del inversor de carga saturada

Para la fabricación del inversor de carga saturada se diseñó su topología en CleWin con las mismas reglas de diseño ocupadas para los transistores. Las topologías de los inversores fueron incluidas en las mascarillas utilizadas en el proceso de fabricación de transistores. En la figura 3.31 se muestra el diseño topológico del inversor de carga saturada con cuatro terminales de contacto.

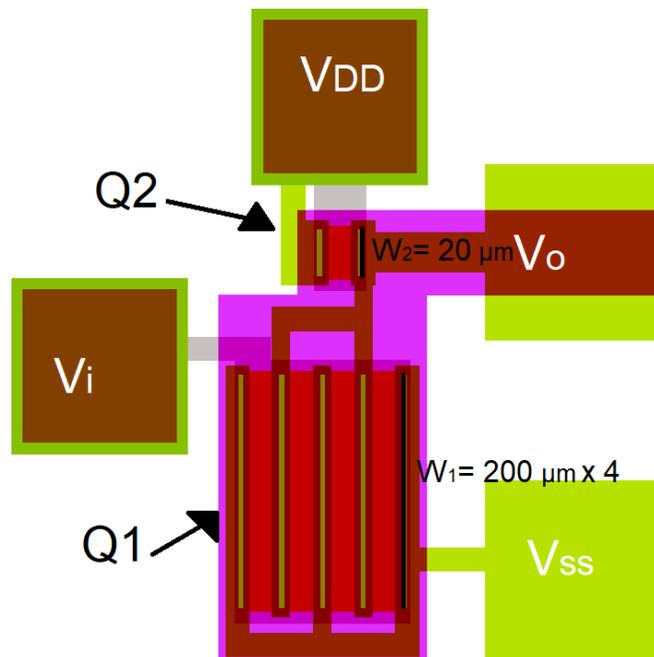


Figura 3.31. Topología diseñada del inversor de carga saturada con $k_D/k_L=40$.

Cabe señalar que para el diseño topológico de transistores y llevarlo a su fabricación, el ancho de canal de $10 \mu\text{m}$ estaría llegando a las limitaciones y capacidades de los equipos para definir tales áreas. Por tal motivo, se respeta la relación de aspecto propuesta en el apartado anterior haciendo el diseño al doble de tamaño.

3.4.3. Fabricación y resultados del inversor

En la figura 3.32 se muestra una micrografía de uno de los inversores fabricados, considerando la topología diseñada en la figura 3.30, en este caso con un $W_L=20 \mu\text{m}$ y un $W_D=800 \mu\text{m}$.

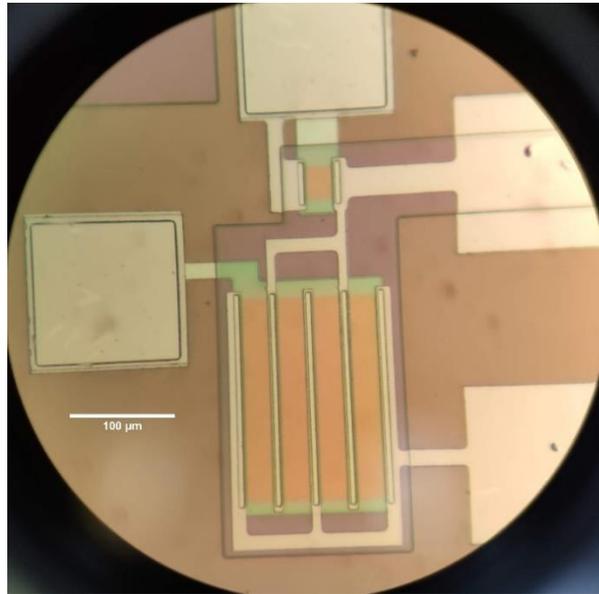


Figura 3.32. Fabricación de inversor de carga saturada con $k_D/k_L=40$.

En la figura 3.33 se muestra la característica de salida del inversor con $k_D/k_L= 40$. Un $V_{DD}=3\text{ V}$ es propuesto para asegurar la condición de saturación del transistor Q2. Además, V_i consiste de un barrido desde -1 V hasta $+2\text{ V}$. En este gráfico se puede observar la transición del estado en alto al estado en bajo del inversor. Esto resultó en un valor de $V_{OH}\approx 3\text{ V}$, así como se puede observar que el valor del V_{OL} está por debajo de V_{th} .

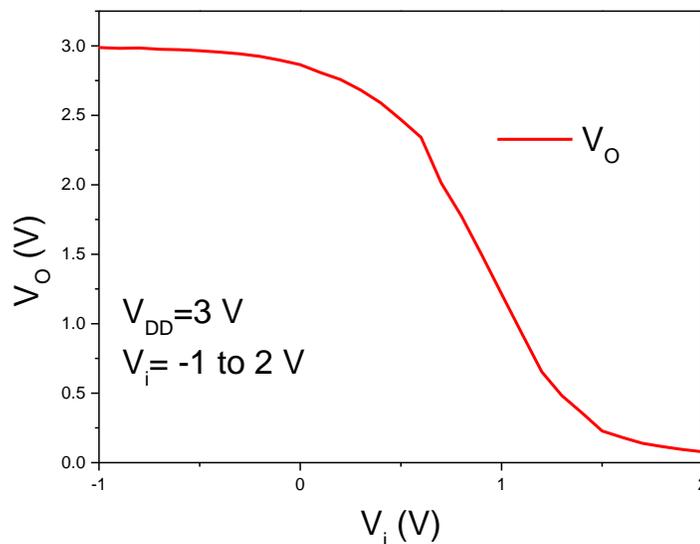


Figura 3.33. Característica de salida del inversor.

El resultado de V_{OH} está relacionado con el voltaje de histéresis que presentan los transistores. Debido a esto, el lazo de histéresis puede hacer que V_{th} se desplace ligeramente hacia valores negativos, obteniéndose un valor cercano a cero. El valor de V_{OL} es correspondiente con la amplia relación que existe en k_{inv} .

En la figura 3.34 se muestra la respuesta transitoria del inversor de carga saturada para una señal cuadrada de entrada a una frecuencia de 500 Hz. Se utilizó el generador de funciones Agilent 33120A y sondas para medir con el osciloscopio. Los datos de la medición realizada son adquiridos por medio de un osciloscopio Tektronix TDS3032 y son exportados para su procesamiento en computadora.

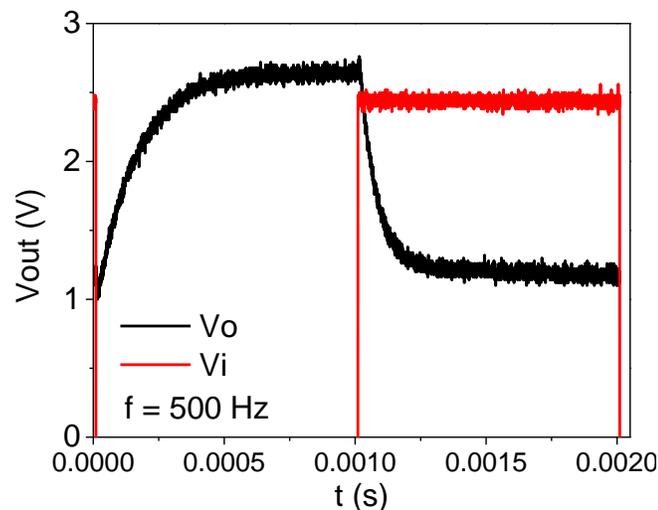


Figura 3.34. Respuesta transitoria del inversor para una señal cuadrada de 500 Hz.

Del inversor fabricado con $k_{inv}=40$, se obtiene $V_{OH}=2.6$ V, y el V_{OL} se encuentra alrededor de 1 volt. En comparación a la característica transferencial del inversor, esta reducción y aumento en los voltajes característicos puede deberse a que su salida es conectada a una carga que supera la capacidad del inversor. Esto puede estar relacionado al límite de entradas que un inversor puede excitar y que es conocido como Fan-out. Para el caso de un estado de la señal de entrada en alto, la corriente de Q2 aumenta

y con ello hay una caída de voltaje interna en Q2, haciendo que el V_{OH} disminuya. Para el caso del estado de la señal de entrada en bajo, la corriente de salida aumenta con cada incremento de carga del capacitor C_L y existe una caída de voltaje interno, haciendo que V_{OL} aumente. Para estos dos casos aún se espera el mejoramiento del diseño y fabricación de los dispositivos, para aproximar los valores de salida del inversor hacia los valores de la señal de entrada.

De acuerdo con la duración de pulso $t_p=1$ ms, se obtiene que el tiempo de demora de subida es de $t_{ds}=57.5$ μ s, el tiempo de demora de caída es de $t_{dc}=127$ μ s, el frente de caída de $t_c=164$ μ s, frente de subida $t_s=349$ μ s. Se tiene un tiempo de retardo de propagación media de $t_p=92$ μ s. Se aproxima el valor de frecuencia máxima de operación del inversor de la forma $f_{max}\approx 1/4t_p=2.7$ kHz.

Por el momento, el resultado obtenido puede ser adecuado para aplicaciones específicas de frecuencias menores a 1 kHz y de voltajes de alimentación inferiores a los 5 V.

3.5. Conclusiones

Se fabricaron transistores de película delgada basados en óxidos amorfos semiconductores (AOSTFTs) con una estructura de compuerta inferior con contactos superiores de drenador y fuente, utilizando HfO_2 e HIZO como material dieléctrico de compuerta y semiconductor, respectivamente. Además, ocupando el PMMA como una capa con una doble función: como una capa protectora en los procesos de decapado, posteriores a la definición del área activa del transistor; y como una capa pasivante de la superficie del semiconductor que queda expuesta al medio ambiente. El diseño topológico constó de 5 niveles.

Se estudió el efecto, no reportado anteriormente, del traslape metálico superior (TMO) sobre los parámetros eléctricos de los transistores. Se observó

que el TMO actúa como una segunda compuerta, influyendo en la interfaz semiconductor-pasivante (S-P) y produciendo una región de acumulación cercana al drenador. La densidad de corriente que fluye en la región cercana al drenador y por la interfaz S-P se incrementa a medida que el tamaño del traslape aumenta, e incluso puede ser mayor que aquella que fluye hacia el contacto de drenaje y por la interfaz semiconductor-dieléctrico (S-D). Por tal motivo, la corriente de drenador aumenta al aumentar la longitud del TMO, debido a un efecto de acortamiento de la longitud efectiva del canal.

Se estudió el efecto de la variación del tamaño del electrodo de compuerta desde el diseño topológico, de manera que los contactos de drenador/fuente (D/S) estuvieran ubicados en una diferente posición, con respecto al área que corresponde a la compuerta, considerando que ésta fue definida en el primer nivel topológico. Es decir, en la primera variante los contactos de D/S están encima del área de compuerta, y en la segunda variante, una parte de los contactos de D/S se posiciona por encima del área de compuerta y la otra parte sobre el escalón que delimita la compuerta. En este último caso, se observó una disminución de la resistencia en serie con el consecuente aumento en la corriente de drenador. Adicionalmente, debido al excelente resultado obtenido con la reducción del área que ocupa la compuerta, esto también posibilita la integración de un mayor número de transistores por unidad de área.

Al realizar un tratamiento térmico (TT) final en nitrógeno (N_2) a 150 °C, incrementó 3 veces la μ_{FET} respecto a aquellos AOSTFTs que no fueron tratados térmicamente. También, el recocido final de los dispositivos resultó en un aumento de la relación de corrientes de encendido/apagado, y se redujo ligeramente el voltaje de umbral, además de lograr su estabilización.

Se estudió el efecto de distintos tratamientos térmicos en oxígeno y nitrógeno a 200 °C, en diferentes etapas del proceso de fabricación, y se comparó con el tratamiento térmico final en N_2 a 150 °C. El rango de voltaje de

operación para todos los procesos fue entre -2 V y +2 V. El proceso designado como P-B, en el cual se realizó un TT a 200 °C en N₂ después de depositar el HIZO, presentó los mejores parámetros eléctricos, alcanzando valores promedio de movilidad en condiciones de saturación de ~300 cm²/Vs, menor valor promedio de resistencia obtenida de R_{ON} de ~4 kΩ, menor V_{th} ~0.55V y un valor de SS ~310mV/década.

Un aspecto no reportado anteriormente, es la caída de la movilidad de efecto de campo en función del voltaje de compuerta, a partir de un voltaje dado, observado en los dispositivos del proceso P-B. En los transistores amorfos, la movilidad tiende a subir con el voltaje de compuerta, mientras que en los cristalinos tiende a caer. En este trabajo se observó, el típico incremento de la movilidad por efecto de campo en los TFTs amorfos y luego una caída de ésta, a pesar de haberse comprobado que el HIZO tiene una estructura totalmente amorfa. Adicionalmente, se demostró que este efecto está asociado a que los AOSTFTs pueden presentar, bajo determinadas condiciones, un mecanismo de conducción a través de los estados extendidos en la banda de conducción. El transistor del proceso P-B que presentó una mayor concentración de portadores, una menor densidad de estados localizados de cola y una menor energía característica de estos estados, mostró que el voltaje de compuerta requerido para que el nivel de Fermi alcance la banda de conducción se encuentra dentro del rango de voltaje de operación.

La combinación de una alta constante dieléctrica, así como una alta concentración de portadores en el semiconductor y la reducción en la densidad de estados localizados (DOS), así como una baja R_{ON}, están correlacionados a obtener altos valores de movilidad, los cuales fueron alcanzados en los procesos P-A2, P-B y P-D

Considerando los resultados de la fabricación y de la caracterización de los AOSTFTs correspondientes al proceso P-B, se diseñaron y fabricaron

inversores de carga saturada, los cuales se caracterizaron en estado estable (DC) y transitorio (AC). Los resultados obtenidos indican que debe ajustarse la relación de aspecto entre el transistor de carga y el de control para lograr un voltaje de salida del inversor menor a 0.5 V, cuando el transistor de control no conduce.

CAPITULO IV - Conclusiones generales

Se estudió la estructura MDS, la cual fue fabricada con óxido de hafnio (HfO_2), como dieléctrico de compuerta, óxido de hafnio-indio-zinc (HIZO), como material semiconductor y molibdeno, como metal de contacto, empleando el método de pulverización catódica con magnetron de RF para el depósito a temperatura ambiente de todas las capas.

Se fabricaron AOSTFTs con la estructura de compuerta inferior y contactos superiores de drenador y fuente (Bottom gate/Top contacts), basados en HfO_2 e HIZO como material dieléctrico de compuerta y semiconductor, respectivamente. Además, se usó el poli-metilmetacrilato (PMMA) como una capa con doble función: como protección al decapado y como pasivante de la superficie del semiconductor.

Por primera vez, se estudió el efecto del traslape de los contactos de drenador y fuente (TMO) sobre el área del canal y colocados sobre la capa de PMMA. El TMO produce un efecto similar al de una de doble compuerta en la región cercana al contacto de drenador. Como resultado, la densidad de corriente que se observa en la región cercana a la interfaz semiconductor-pasivación (S-P), se incrementa aún más que la corriente que fluye cerca de la interfaz semiconductor-dieléctrico (S-D), lo cual incrementa la corriente de drenador a medida que se incrementa la longitud del TMO.

Todos los dispositivos fabricados mediante la secuencia tecnológica descrita y las variantes del tratamiento térmico (TT) introducido en el proceso, operaron satisfactoriamente en el rango de voltaje de -2 V a +2 V. En todos los capacitores metal-dieléctrico-semiconductor (MDS) donde se realizó un TT, se obtuvo un voltaje de banda plana en promedio de ~ 1.5 V. El voltaje de umbral

(V_{th}) en todos los AOSTFTS con TT, después de depositado el HIZO, fue en promedio de ~ 0.5 V.

Cuando los dispositivos no son tratados térmicamente, o cuando éste se realiza a 150 °C en N_2 , la constante dieléctrica es de alrededor de 15. Para todos los dispositivos con TT a 200 °C, k_i subió a un valor cercano a 20, a excepción de cuando éste se realiza antes de depositar el HIZO y en presencia de O_2 . En este último caso, se considera la formación de una capa interfacial entre el HfO_2 y el HIZO debido a la reacción de los átomos de oxígeno, los cuales podrían acumularse en la superficie del HfO_2 como resultado del TT en O_2 , con la película de HIZO.

En los dispositivos fabricados, el TT resultó en un incremento de la concentración de portadores (N_B), el cual está asociado con la generación de vacancias de oxígeno y es consecuente con el incremento de la capacitancia mínima, observado en las estructuras MDS. Adicionalmente, se observó que este incremento de N_B produce que la resistencia del canal disminuya, lo cual también reduce la resistencia de encendido (R_{ON}).

El proceso designado como P-B, realizado con un TT a 200 °C en N_2 después del depósito de HIZO, es el que menor R_{ON} produce con un valor inferior a 5 k Ω . Como el método de extracción del valor de la movilidad de saturación se realiza a partir de la corriente de drenaje en condiciones de saturación y la disminución de la resistencia serie y del canal producen un aumento de la corriente, esto da lugar a mayores valores de movilidad, que en promedio resultaron de ~ 300 cm²/Vs.

El lazo de histéresis en las curvas C-V para todos los dispositivos con TT a 200 °C fue de ~ 1 V. Se observó que el lazo de histéresis no está directamente relacionado con la polarizabilidad del material dieléctrico de compuerta, ya que en los dispositivos con una k_i mayor, el lazo de histéresis se redujo. Dicha disminución puede estar asociada a los estados de atrapamiento cercanos a

la interfaz dieléctrico/semiconductor, los cuales son capaces de cargarse y descargarse con el voltaje aplicado durante la caracterización eléctrica. Finalmente, el TT realizado a 200 °C parece producir una mayor estabilidad de las cargas atrapadas en estos estados de atrapamiento, con respecto al TT realizado a 150 °C.

Para aquellos transistores fabricados con un TT a 200 °C en N₂, después de depositar la capa de HIZO, se observó un comportamiento en el transporte de los portadores similar al que presentan los materiales del tipo cristalino, a pesar de confirmarse por difracción de rayos-x que la capa de HIZO es amorfa. Lo anterior se debe a que el nivel de Fermi alcanza la banda de conducción dentro del rango de voltaje de operación y la densidad de estados localizados de cola es baja, por lo que comienza a predominar el mecanismo de conducción por portador libre, sobre el mecanismo de conducción por portador localizado. Esto permite alcanzar altos valores de movilidad, así como observar el mecanismo por el cual, a partir de determinado voltaje de compuerta, la movilidad cae con el voltaje.

Ocupando el proceso P-B, se fabricaron inversores de carga saturada, que funcionaron satisfactoriamente a un voltaje de alimentación de 3V. Para un pulso de entrada de $t_p=1$ ms, se obtuvo una demora de subida de 57.5 μ s, y una de caída de 127 μ s, lo que produce una frecuencia máxima de operación de 2.7 kHz.

CAPITULO V - Trabajo a futuro

Fabricar circuitos para aplicaciones específicas, utilizando TFTs fabricados mediante el proceso P-B en sustratos transparentes y flexibles.

Desarrollar un modelo matemático que represente el comportamiento de los AOSTFTS, de alta movilidad y de comportamiento del tipo cristalino.

Realizar los procesos de soldadura y encapsulado para los circuitos fabricados.

Trabajos publicados

I. Hernandez, C. A. Pons-Flores, I. Garduño, J. Tinoco, I. Mejia, M. Estrada, "Characterization of MIS structures and thin film transistors using RF-sputtered HfO₂/HIZO layers." *Microelectronics Reliability*, vol. 75, pp. 9-13 (2017).

I. Hernandez, S. I. Garduño, M. Estrada, "MIS structures and TFT using HIZO and HfO₂ layers both deposited by room temperature RF sputtering", Graduate Students Meeting on Electronics Engineering GSMEE 2018, Tarragona, Spain, Jun 16th, 2018.

I. S. Hernández, S. I. Garduño, and M. Estrada, "Increasing the dielectric constant of HfO₂ in MIS structures, by thermal annealing right after deposition of the dielectric layer", 1st International Conference on Microelectronic Devices and Technologies (MicDAT '2018), 20-22 June 2018, Barcelona, Spain.

C. A. Pons-Flores, I. Mejia, I. Hernández, I. Garduño, M. Estrada, "High performance, low temperature processed Hf-In-Zn-O/HfO₂ thin film transistors, using PMMA as etch-stop and passivation layer." *Microelectronic Engineering*, vol. 25, pp. 1-5 (2019).

Estrada, M. Hernandez, I. Hernandez-Barrios, Y. Rapisarda, M. Valletta, Mariucci, L. Cerdeira, A., "Effect of Drain Top Metal Overlap on the Current in Bottom-gate Thin Film Transistors", 2019 Latin American Electron Devices Conference (LAEDC) Electron Devices Conference (LAEDC), 2019 Latin American. 1:1-4 Feb, 2019.

Cerdeira, A., Estrada, M., Hernandez-Barrios, Y, Hernandez, I., Iñiguez, B, "Full capacitance model, considering the specifics of amorphous oxide semiconductor thin film transistors structures", *Solid State Electronics*, June 2019, 156:16-22.

Hernandez, I. Garduno, I. Hernandez, N. "Influence of thermal annealing on MIM and MIS structures with Al₂O₃ and a-HIZO deposited at low temperature", 2020 IEEE Latin America Electron Devices Conference (LAEDC) Electron Devices Conference (LAEDC), 2020 IEEE Latin America. :1-3 Feb, 2020.

I. Hernandez, I. Garduño, A. Cerdeira, B. Iñiguez and M. Estrada, "High Mobility Hf-In-ZnO TFTs, with HfO₂ as Dielectric for Low Voltage Operation Range", 2021 IEEE Latin America Electron Devices Conference (LAEDC), 2021 IEEE Latin America, April, 2021.

Referencias

- [1] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors," *Nature*, vol. 432, no. 7016, pp. 488–492, 2004, doi: 10.1038/nature03090.
- [2] J. K. Jeong, H. J. Chung, Y. G. Mo, and H. D. Kim, "A new era of oxide thin-film transistors for large-sized AMOLED displays," *Inf. Disp. (1975)*, vol. 24, no. 9, pp. 20–23, 2008.
- [3] T. Kamiya and H. Hosono, "Material characteristics and applications of transparent amorphous oxide semiconductors," *NPG Asia Mater.*, vol. 2, no. 1, pp. 15–22, 2010, doi: 10.1038/asiamat.2010.5.
- [4] G. M. Wan, S. M. Ge, C. Gong, S. Li, and X. N. Lin, "A stable FHD display device based on BCE IGZO TFTs," in *IOP Conference Series: Materials Science and Engineering*, Feb. 2020, vol. 729, no. 1, doi: 10.1088/1757-899X/729/1/012099.
- [5] T. Kamiya, K. Nomura, and H. Hosono, "Present status of amorphous In-Ga-Zn-O thin-film transistors," *Sci. Technol. Adv. Mater.*, vol. 11, no. 4, 2010, doi: 10.1088/1468-6996/11/4/044305.
- [6] H. Kumomi, T. Kamiya, and H. Hosono, "(Invited) Advances in Oxide Thin-Film Transistors in Recent Decade and Their Future," *ECS Trans.*, vol. 67, no. 1, pp. 3–8, 2015, doi: 10.1149/06701.0003ecst.
- [7] J. Y. Choi and S. Y. Lee, "Comprehensive review on the development of high mobility in oxide thin film transistors," *J. Korean Phys. Soc.*, vol. 71, no. 9, pp. 516–527, 2017, doi: 10.3938/jkps.71.516.
- [8] T. Kamiya, K. Nomura, and H. Hosono, "Origins of High Mobility and Low Operation Voltage of Amorphous Oxide TFTs: Electronic Structure, Electron Transport, Defects and Doping*," *J. Disp. Technol.*, vol. 5, no. 12, pp. 468–483, 2009, doi: 10.1109/jdt.2009.2034559.
- [9] J. Y. Kwon, D. J. Lee, and K. B. Kim, "Review paper: Transparent amorphous oxide semiconductor thin film transistor," *Electron. Mater. Lett.*, vol. 7, no. 1, pp. 1–11, 2011, doi: 10.1007/s13391-011-0301-x.
- [10] C. M. Hsu, W. C. Tzou, C. F. Yang, and Y. J. Liou, "Investigation of the high mobility IGZO thin films by using co-sputtering method," *Materials (Basel)*, vol. 8, no. 5, pp. 2769–2781, 2015, doi: 10.3390/ma8052769.
- [11] L. Zhang, J. Li, X. W. Zhang, X. Y. Jiang, and Z. L. Zhang, "High performance ZnO-thin-film transistor with Ta₂O₅ dielectrics fabricated at room temperature," *Appl. Phys. Lett.*, vol. 95, no. 7, pp. 23–26, 2009, doi: 10.1063/1.3206917.
- [12] H. H. Hsu *et al.*, "High mobility field-effect thin film transistor using room-temperature high- κ gate dielectrics," *IEEE/OSA J. Disp. Technol.*, vol. 10, no. 10, pp. 847–853, 2014, doi: 10.1109/JDT.2014.2331351.
- [13] K. Nomura, A. Takagi, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, "Amorphous oxide semiconductors for high-performance flexible thin-film transistors," *Japanese J. Appl. Physics, Part 1 Regul. Pap. Short Notes Rev. Pap.*, vol. 45, no. 5 B, pp. 4303–4308, 2006, doi: 10.1143/JJAP.45.4303.
- [14] C. A. Pons-Flores, I. Mejia, I. Hernandez, I. Garduño, and M. Estrada, "High

- performance, low temperature processed Hf-In-Zn-O/HfO₂ thin film transistors, using PMMA as etch-stop and passivation layer," *Microelectron. Eng.*, vol. 205, no. November 2018, pp. 1–5, 2019, doi: 10.1016/j.mee.2018.11.008.
- [15] G. Adamopoulos, S. Thomas, P. H. Wöbkenberg, D. D. C. Bradley, M. A. McLachlan, and T. D. Anthopoulos, "High-mobility low-voltage ZnO and Li-doped ZnO transistors based on ZrO₂ high-k dielectric grown by spray pyrolysis in ambient air," *Adv. Mater.*, vol. 23, no. 16, pp. 1894–1898, 2011, doi: 10.1002/adma.201003935.
- [16] D. H. Son, D. H. Kim, S. J. Sung, E. A. Jung, and J. K. Kang, "High performance and the low voltage operating InGaZnO thin film transistor," *Curr. Appl. Phys.*, vol. 10, no. 4 SUPPL., pp. e157–e160, 2010, doi: 10.1016/j.cap.2010.03.012.
- [17] T. Takahashi *et al.*, "Improvement of Amorphous InGaZnO Thin-Film Transistor Using High-k SrTa₂O₆ as Gate Insulator Deposited by Sputtering Method," *Phys. Status Solidi Appl. Mater. Sci.*, vol. 216, no. 5, pp. 1–5, 2019, doi: 10.1002/pssa.201700773.
- [18] M. Coll *et al.*, "Towards Oxide Electronics: a Roadmap," *Appl. Surf. Sci.*, vol. 482, pp. 1–93, 2019, doi: 10.1016/j.apsusc.2019.03.312.
- [19] LILIENTELD JULIUS EDGAR, "ELECTRIC CURRENT CONTROL MECHANISM," no. 272437D, 1930.
- [20] PAUL K. WEIMER, "THE TFT- A NEW THIN-FILM TRANSISTOR.," *Proc. IRE*, vol. 50, pp. 1462–1469, 1962.
- [21] H. A. Klasens and H. Koelmans, "A tin oxide field-effect transistor," *Solid State Electron.*, vol. 7, no. 9, pp. 701–702, 1964, doi: 10.1016/0038-1101(64)90057-7.
- [22] M. W. J. Prins *et al.*, "A ferroelectric transparent thin-film transistor," *Appl. Phys. Lett.*, vol. 68, no. 25, pp. 3650–3652, Jun. 1996, doi: 10.1063/1.115759.
- [23] C. H. Seager, D. C. McIntyre, W. L. Warren, and B. A. Tuttle, "Charge trapping and device behavior in ferroelectric memories," *Appl. Phys. Lett.*, vol. 68, no. 19, p. 2660, May 1995, doi: 10.1063/1.116273.
- [24] P. F. Carcia, R. S. McLean, M. H. Reilly, and G. Nunes, "Transparent ZnO thin-film transistor fabricated by rf magnetron sputtering," *Appl. Phys. Lett.*, vol. 82, no. 7, pp. 1117–1119, Feb. 2003, doi: 10.1063/1.1553997.
- [25] S. Lee, S. Jeon, R. Chaji, and A. Nathan, "Transparent semiconducting oxide technology for touch free interactive flexible displays," *Proc. IEEE*, vol. 103, no. 4, pp. 644–664, 2015, doi: 10.1109/JPROC.2015.2405767.
- [26] R. L. Hoffman, B. J. Norris, and J. F. Wager, "ZnO-based transparent thin-film transistors," 2003, doi: 10.1063/1.1542677.
- [27] E. M. C. Fortunato *et al.*, "Fully transparent ZnO thin-film transistor produced at room temperature," *Adv. Mater.*, vol. 17, no. 5, pp. 590–594, 2005, doi: 10.1002/adma.200400368.
- [28] H. Q. Chiang, J. F. Wager, R. L. Hoffman, J. Jeong, and D. A. Keszler, "High mobility transparent thin-film transistors with amorphous zinc tin oxide channel layer," *Appl. Phys. Lett.*, vol. 86, no. 1, p. 013503, Jan. 2005, doi: 10.1063/1.1843286.
- [29] H. Hosono, M. Yasukawa, and H. Kawazoe, "Novel oxide amorphous semiconductors: Transparent conducting amorphous oxides," *J. Non. Cryst. Solids*, vol. 203, pp. 334–344, Aug. 1996, doi: 10.1016/0022-3093(96)00367-5.
- [30] J. S. J. S. Park, W. J. Maeng, H. S. Kim, and J. S. J. S. Park, "Review of recent developments in amorphous oxide semiconductor thin-film transistor devices,"

- Thin Solid Films*, vol. 520, no. 6, pp. 1679–1693, 2012, doi: 10.1016/j.tsf.2011.07.018.
- [31] S. Y. Lee, “Comprehensive Review on Amorphous Oxide Semiconductor Thin Film Transistor,” *Trans. Electr. Electron. Mater.*, vol. 21, no. 3, pp. 235–248, 2020, doi: 10.1007/s42341-020-00197-w.
- [32] K. Ide, K. Nomura, H. Hosono, and T. Kamiya, “Electronic Defects in Amorphous Oxide Semiconductors: A Review,” *Phys. Status Solidi Appl. Mater. Sci.*, vol. 216, no. 5, pp. 1–28, 2019, doi: 10.1002/pssa.201800372.
- [33] R. Yao *et al.*, “Low-temperature fabrication of sputtered high- k HfO₂ gate dielectric for flexible a-IGZO thin film transistors,” *Appl. Phys. Lett.*, vol. 112, no. 10, pp. 1–6, 2018, doi: 10.1063/1.5022088.
- [34] R. Martins, P. Barquinha, L. Pereira, I. Ferreira, and E. Fortunato, “Role of order and disorder in covalent semiconductors and ionic oxides used to produce thin film transistors,” *Appl. Phys. A Mater. Sci. Process.*, vol. 89, no. 1, pp. 37–42, 2007, doi: 10.1007/s00339-007-4038-1.
- [35] S. Lee, A. Ahnood, S. Sambandan, A. Madan, and A. Nathan, “Analytical field-effect method for extraction of subgap states in thin-film transistors,” *IEEE Electron Device Lett.*, vol. 33, no. 7, pp. 1006–1008, 2012, doi: 10.1109/LED.2012.2193657.
- [36] L. Petti *et al.*, “Metal oxide semiconductor thin-film transistors for flexible electronics,” *Appl. Phys. Rev.*, vol. 3, no. 2, 2016, doi: 10.1063/1.4953034.
- [37] E. Fortunato, P. Barquinha, and R. Martins, “Oxide semiconductor thin-film transistors: A review of recent advances,” *Adv. Mater.*, vol. 24, no. 22, pp. 2945–2986, 2012, doi: 10.1002/adma.201103228.
- [38] C. J. Kim *et al.*, “Amorphous hafnium-indium-zinc oxide semiconductor thin film transistors,” *Appl. Phys. Lett.*, vol. 95, no. 25, pp. 1–4, 2009, doi: 10.1063/1.3275801.
- [39] E. Chong, K. C. Jo, and S. Y. Lee, “High stability of amorphous hafnium-indium-zinc-oxide thin film transistor,” *Appl. Phys. Lett.*, vol. 96, no. 15, pp. 2–5, 2010, doi: 10.1063/1.3387819.
- [40] W. H. Jeong *et al.*, “Effects of Hf incorporation in solution-processed Hf-InZnO TFTs,” *Thin Solid Films*, vol. 519, no. 17, pp. 5740–5743, 2011, doi: 10.1016/j.tsf.2010.12.210.
- [41] P. Barquinha, L. Pereira, G. Gonçalves, R. Martins, and E. Fortunato, “Toward High-Performance Amorphous GIZO TFTs,” *J. Electrochem. Soc.*, vol. 156, no. 3, p. H161, 2009, doi: 10.1149/1.3049819.
- [42] W. P. Zhang, S. Chen, S. B. Qian, and S. J. Ding, “Effects of thermal annealing on the electrical characteristics of In-Ga-Zn-O thin-film transistors with Al₂O₃ gate dielectric,” *Semicond. Sci. Technol.*, vol. 30, no. 1, p. 15003, 2015, doi: 10.1088/0268-1242/30/1/015003.
- [43] T. S. Kim *et al.*, “Transparent AMOLED display driven by hafnium-indium-zinc oxide thin film transistor array,” *Curr. Appl. Phys.*, vol. 11, no. 5, pp. 1253–1256, 2011, doi: 10.1016/j.cap.2011.03.031.
- [44] C. A. Pons-Flores *et al.*, “Hafnium-Indium-Zinc oxide thin film transistors using HfO₂ as gate dielectric, with both layers deposited by RF sputtering,” *SBMicro 2016 - 31st Symp. Microelectron. Technol. Devices Chip Mt. co-located 29th SBCCI - Circuits Syst. Des. 6th WCAS - IC Des. Cases, 1st INSCIT - Electron. Instrum. 16th SForum - Undergraduate-Stude*, pp. 8–11, 2016, doi: 10.1109/SBMicro.2016.7731318.

- [45] G. He, Z. Sun, G. Li, and L. Zhang, "Review and perspective of Hf-based high-k gate dielectrics on silicon," *Crit. Rev. Solid State Mater. Sci.*, vol. 37, no. 3, pp. 131–157, 2012, doi: 10.1080/10408436.2011.602136.
- [46] L. Pereira *et al.*, "High k dielectrics for low temperature electronics," *Thin Solid Films*, vol. 516, no. 7, pp. 1544–1548, 2008, doi: 10.1016/j.tsf.2007.03.088.
- [47] G. Ferrari, J. R. Watling, S. Roy, J. R. Barker, and A. Asenov, "Beyond SiO₂ technology: Simulation of the impact of high-κ dielectrics on mobility," *J. Non. Cryst. Solids*, vol. 353, no. 5–7, pp. 630–634, 2007, doi: 10.1016/j.jnoncrysol.2006.10.044.
- [48] I. Hernandez, C. A. Pons-Flores, I. Garduño, J. Tinoco, I. Mejia, and M. Estrada, "Characterization of MIS structures and thin film transistors using RF-sputtered HfO₂/HIZO layers," *Microelectron. Reliab.*, vol. 75, pp. 9–13, 2017, doi: 10.1016/j.microrel.2017.06.003.
- [49] C. H. Lin and Y. Kuo, "Nanocrystalline ruthenium oxide embedded zirconium-doped hafnium oxide high-k nonvolatile memories," *J. Appl. Phys.*, vol. 110, no. 2, pp. 1–7, 2011, doi: 10.1063/1.3606477.
- [50] X. Zou *et al.*, "Improved interface properties and reliability for Hf-In-Zn-O semiconductor capacitors with an electric-double-layer gate dielectric by inserting a HfO₂ interlayer," *Thin Solid Films*, vol. 540, pp. 261–265, 2013, doi: 10.1016/j.tsf.2013.06.007.
- [51] Demkov, *Material Fundamentals for Gate Dielectrics*, vol. 53. 1989.
- [52] S. Kim *et al.*, "Carrier Transport at Metal/Amorphous Hafnium-Indium-Zinc Oxide Interfaces," *ACS Appl. Mater. Interfaces*, vol. 7, no. 40, pp. 22385–22393, 2015, doi: 10.1021/acsami.5b06223.
- [53] H. Hosono, J. Kim, Y. Toda, T. Kamiya, and S. Watanabe, "Transparent amorphous oxide semiconductors for organic electronics: Application to inverted OLEDs," *Proc. Natl. Acad. Sci. U. S. A.*, vol. 114, no. 2, pp. 233–238, 2017, doi: 10.1073/pnas.1617186114.
- [54] R. Behrisch and W. Eckstein, "Sputtering by Particle Bombardment: Experiments and Computer Calculations from Threshold to MeV energies," *Top. Appl. Phys.*, vol. 110, pp. 1–526, 2007.
- [55] S. M. Sze and Kwok K. NG, *Physics of Semiconductor Devices*, Third Edit. A John Wiley and Sons, inc., 2007.
- [56] J. P. Colinge; C. A. Colinge, *Physic of semiconductor devices*. Kluwer Academic Publishers.
- [57] M. Estrada and E. Arturo, *Tecnología de Fabricación de Microcircuitos: Aspectos Básicos*. Editorial Académica Española, 2012.
- [58] DIETER K. SCHRODER, *SEMICONDUCTOR MATERIAL AND DEVICE CHARACTERIZATION Third Edition*. 2006.
- [59] M. Kuhn, "A quasi-static technique for MOS C-V and surface state measurements," *Solid State Electron.*, vol. 13, no. 6, pp. 873–885, 1970, doi: 10.1016/0038-1101(70)90073-0.
- [60] K. S. Cole and R. H. Cole, "Dispersion and absorption in dielectrics I. Alternating current characteristics," *J. Chem. Phys.*, vol. 9, no. 4, pp. 341–351, 1941, doi: 10.1063/1.1750906.
- [61] Chemical book, "https://www.chemicalbook.com/ChemicalProductProperty_EN_cb1221699.htm." .
- [62] J. Lin *et al.*, "A study of capacitance-voltage hysteresis in the HfO₂/InGaAs

- metal-oxide-semiconductor system,” *Microelectron. Eng.*, vol. 147, pp. 273–276, 2015, doi: 10.1016/j.mee.2015.04.108.
- [63] Samares Kar, *High Permittivity Gate Dielectric Materials; Springer Series in Advanced Microelectronics*. 2013.
- [64] J. F. Conley, “Instabilities in amorphous oxide semiconductor Thin-Film transistors,” *IEEE Trans. Device Mater. Reliab.*, vol. 10, no. 4, pp. 460–475, 2010, doi: 10.1109/TDMR.2010.2069561.
- [65] M. Estrada *et al.*, “Effect of Drain Top Metal Overlap on the Current in Bottom-gate Thin Film Transistors,” *Lat. Am. Electron Devices Conf. LAEDC 2019*, pp. 1–4, 2019, doi: 10.1109/LAED.2019.8714621.
- [66] W. J. Maeng *et al.*, “The effect of active-layer thickness and back-channel conductivity on the subthreshold transfer characteristics of Hf-In-Zn-O TFTs,” *IEEE Electron Device Lett.*, vol. 32, no. 8, pp. 1077–1079, 2011, doi: 10.1109/LED.2011.2156756.
- [67] M. S. H. H. D. H. K. I. K. J. U. H. Mallory, “Channel Length Dependent Bias-Stability of Self-Aligned Coplanar a-IGZO TFTs,” *J. Disp. Technol.*, vol. 9, no. 12, pp. 985–988, 2013.
- [68] P. G. Bahubalindrani *et al.*, “Influence of Channel Length Scaling on InGaZnO TFTs Characteristics: Unity Current-Gain Cutoff Frequency, Intrinsic Voltage-Gain, and On-Resistance,” *J. Disp. Technol.*, vol. 12, no. 6, pp. 515–518, 2016, doi: 10.1109/JDT.2016.2550610.
- [69] microchemicals,
“https://www.microchemicals.com/downloads/application_notes.html,
MicroChemicals.”
- [70] D. C. Company, “S1800.pdf.” 2014, [Online]. Available: www.microchem.com/PDFs_Dow/S1800.pdf.
- [71] D. H. Lee, K. Nomura, T. Kamiya, and H. Hosono, “Metal-semiconductor field-effect transistor made using amorphous In-Ga-Zn-O channel and bottom pt schottky contact structure at 200°C,” *ECS Solid State Lett.*, vol. 1, no. 1, p. Q8, Jul. 2012, doi: 10.1149/2.008201ssl.
- [72] M. Estrada *et al.*, “Crystalline-like temperature dependence of the electrical characteristics in amorphous Indium-Gallium-Zinc-Oxide thin film transistors,” *Solid. State. Electron.*, vol. 135, pp. 43–48, 2017, doi: 10.1016/j.sse.2017.06.030.
- [73] Y. Hernandez-Barrios, A. Cerdeira, M. Estrada, and B. Iñiguez, “An insight to mobility parameters for AOSTFTs, when the effect of both, localized and free carriers, must be considered to describe the device behavior,” *Solid. State. Electron.*, vol. 149, no. January, pp. 32–37, 2018, doi: 10.1016/j.sse.2018.08.006.

Apéndice A. Reglas de Diseño

Las reglas de diseño fueron recopiladas y actualizadas durante cada uno de los procesos de fabricación. Las reglas de diseño fueron definidas en conjunto a los procesos de depósito, definición de áreas, y ataque de las áreas que conforman los dispositivos. Como se mencionó en el capítulo 3 se ocupó la estructura del transistor con compuerta inferior y contactos superiores (Bottom gate, top contact) con la incorporación de una capa de protección de ataque (Etch stopper layer) (ESL) entre el semiconductor y los electrodos de drenador/fuente. Se ocupa el software CleWin Layout Editor Cle Version 4.0.1, donde se definieron 5 capas de diseño (Layout), los cuales representan las áreas de definición de los materiales. En la figura A1.1 se muestran los Layouts ocupados.



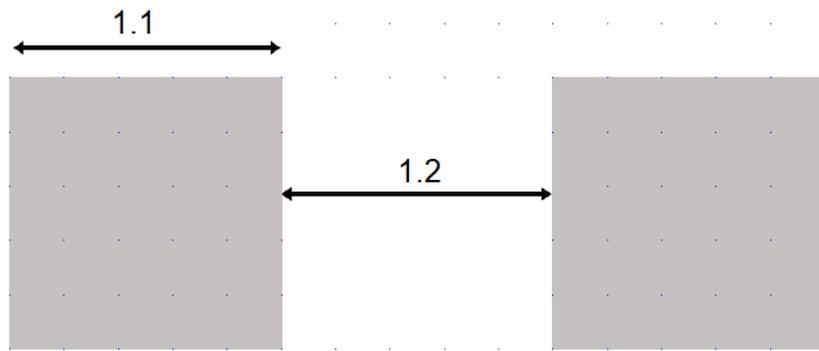
Figura A.1. Capas de diseño ocupadas para el diseño de dispositivos.

Definidos anteriormente: Metal1: Definición del metal de compuerta; Semi: Definición del área de la capa semiconductor o región activa del semiconductor; Ctac: Apertura de vías a través del dieléctrico para tener acceso al contacto de la compuerta; Pasi: Definición de las áreas de la capa de PMMA usada como ESL y pasivación. Apertura de vías a través del PMMA para llegar a la región del semiconductor para definir el largo y ancho del canal del transistor; Metal2: Definición de los contactos de drenador/fuente y contacto superior de los capacitores.

Metal 1

1.1 Ancho mínimo 26 μm

1.2 Espacio mínimo 60 μm



1. Metal 1

Figura A.2 Reglas de diseño Metal 1

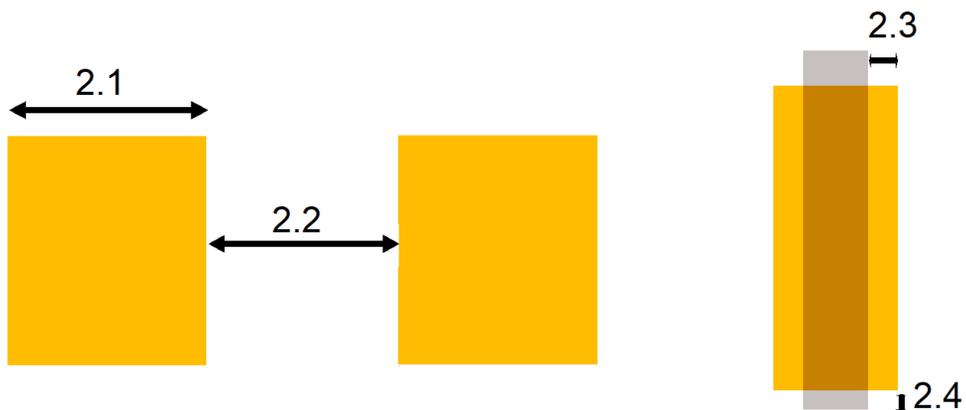
Semi

2.1 Ancho mínimo 50 μm

2.2 Espacio mínimo 60 μm

2.3 Traslape mínimo de Semi a Metal1 9 μm

2.4 Espacio mínimo de Semi a Metal1 10 μm



2. Semi

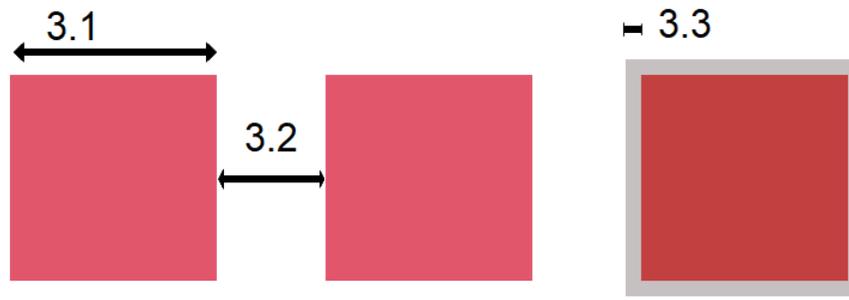
Figura A.3 Reglas de diseño Semi

Ctac

3.1 Ancho mínimo 130 μm

3.2 Espacio mínimo 70 μm

3.3 Espacio mínimo de Ctac a Metal1 10 μm



3. Ctac

Figura A.4 Reglas de diseño Ctac

Pasi

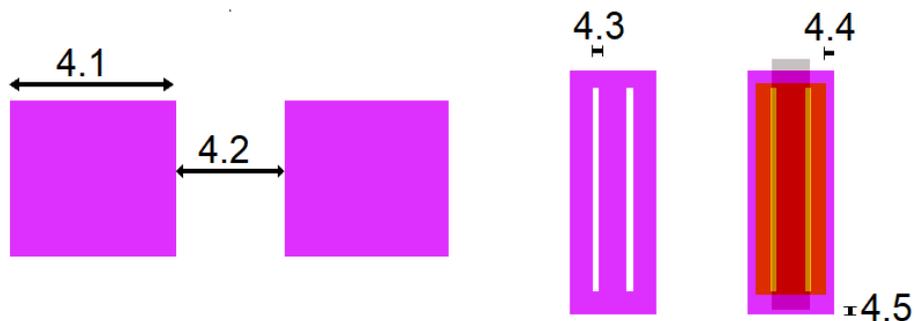
4.1 Ancho mínimo 16 μm

4.2 Espacio mínimo 10 μm

4.3 Ventana mínima para vías de Semi 5 μm

4.4 Traslape mínimo de Pasi a Semi 6 μm

4.5 Traslape mínimo de Pasi a Metal1 4 μm



4. Pasi

Figura A.5 Reglas de diseño Pasi

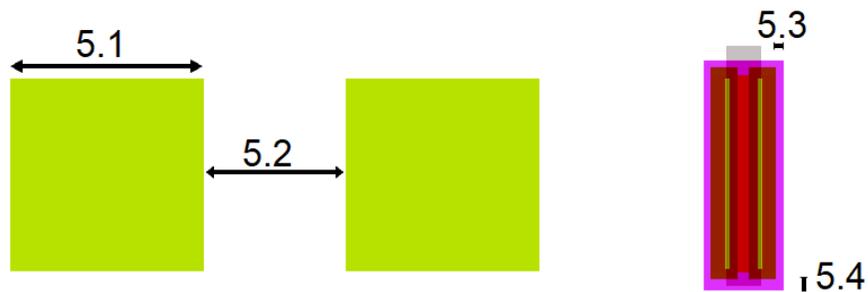
Metal2

5.1 Ancho mínimo 20 μm

5.2 Espacio mínimo 10 μm

5.3 Espacio mínimo de Metal2 a Pasi 6 μm

5.4 Espacio mínimo de Metal2 a Metal1 9 μm



5. Metal2

Figura A.6 Reglas de diseño Metal2

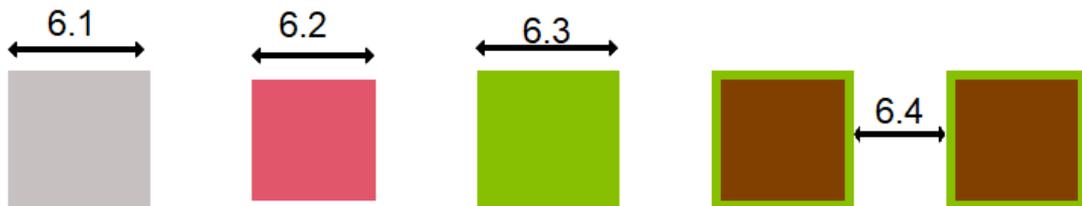
Pad

6.1 Ancho Metal1 150 μm

6.2 Ancho Ctac 130 μm

6.3 Ancho Metal 2 150 μm

6.4 Separación mínima 50 μm



6. Pad

Figura A.7 Reglas de diseño de Pad

Apéndice B. Proceso de limpieza de Substrato

Substrato: En este trabajo de tesis son ocupados los substratos de vidrio Corning Eagle XG. Los substratos son un tipo de vidrio de Borosilicato, diseñado específicamente para pantallas de panel delgado de matriz activa. El sustrato presenta expansión térmica de $35.5 \times 10^{-17}/^{\circ}\text{C}$ dentro de un rango de temperatura de 25° - 675°C , 675°C como punto de deformación. El tamaño del sustrato es de $25.4 \times 25.4 \times 0.7$ mm. Dentro de sus características presentan una superficie de alta calidad, excelentes propiedades térmicas, baja densidad y alta resistencia a productos químicos. Detalles del sustrato en www.mtixtl.com.

Para la limpieza de substratos se ocupa agua desionizada H_2O , $>18.2\text{M}\Omega$ y reactivos químicos grado CMOS.

Proceso de limpieza para 4 substratos:

1. Limpieza manual individual con solución Extran®. 1', Temperatura Ambiente (TA)
2. Enjuague en chorro de H_2O , 20''
3. Secado en N_2
4. Tricloroetileno, 60 ml, 5', TA, Ultrasonido
5. Secado en N_2
6. Acetona, 60 ml, 5' TA, Ultrasonido, Secar en N_2
7. Secado en N_2
8. Solución Piraña, 60 ml, 10', 70°C , Baño María
9. Enjuague en chorro de H_2O , 20''
10. Secado en N_2
11. Solución X1, 60 ml, 10', 70°C , Baño María
12. Enjuague en chorro de H_2O , 20''
13. Secado en N_2

14. Solución X2, 60 ml, 10', 70 °C, Baño María

15. Enjuague en chorro de H₂O, 20''

16. Secado en N₂

Piraña: Peróxido de hidrógeno (H₂O₂) + Ácido sulfúrico SO₄H₂, [1:3]

X1: H₂O + H₂O₂ + Hidróxido de amonio (HN₄OH), [5:1:1]

X2: H₂O + H₂O₂ + Ácido clorhídrico (HCl), [5:1:1]

Apéndice C. Secuencia de fabricación de dispositivos

En el capítulo 2 y 3, está descrito el proceso de fabricación de capacitores y de transistores, respectivamente. En este apéndice se muestran imágenes del proceso de fabricación de los dispositivos, descritos anteriormente. De acuerdo con la figura 3.8 del capítulo 3, basamos su descripción para llevar la secuencia en imágenes.

Pasos 1 al 5, que incluye limpieza del sustrato, depósito del Mo, litografía de los motivos del contacto inferior:

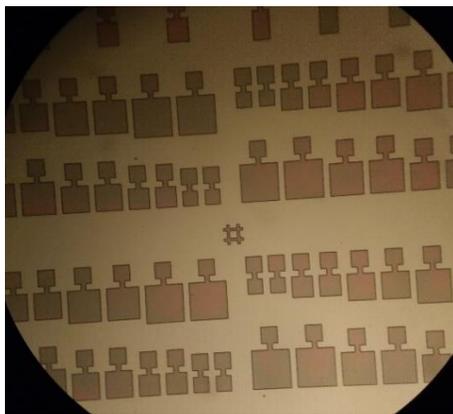


Figura C.1 Pasos 1 al 5 de fabricación de dispositivos

Paso 6, que incluye el ataque del Mo y la limpieza de fotorresina

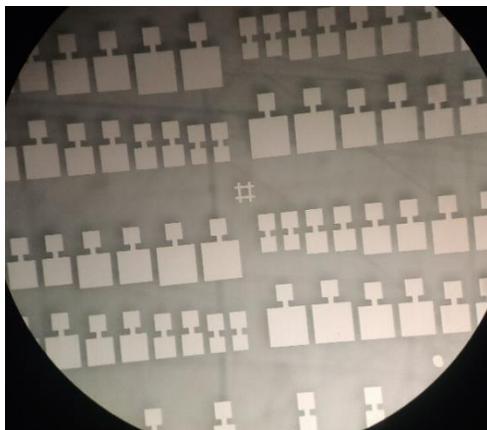


Figura C.2 Paso 6 de fabricación de dispositivos

Pasos 7 y 8, incluye el depósito del HfO_2 e HIZO. Paso 9, segundo proceso de litografía

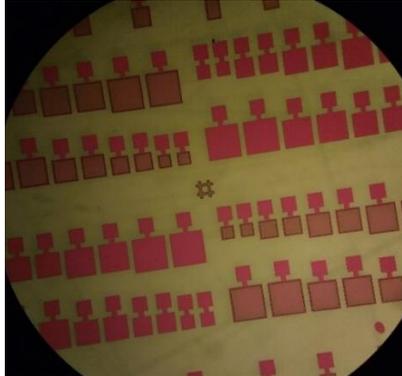


Figura C.3 Paso 9 de fabricación de dispositivos

Paso 10, decapado del semiconductor

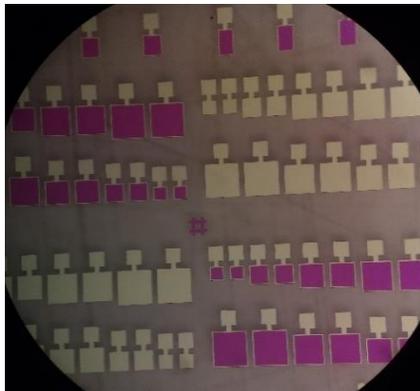


Figura C.4 Paso 10 de fabricación de dispositivos

Paso 11, tercer proceso de litografía y decapado de H_2O

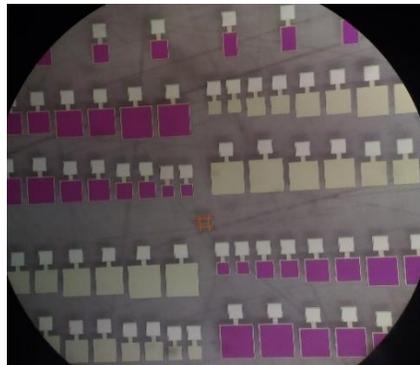


Figura C.5 Paso 11 de fabricación de dispositivos

Paso 12 y 13, depósito de PMMA, cuarto proceso de litografía y decapado.



Figura C.6 Paso 12 y 13 de fabricación de dispositivos

Paso 14, 15 y 16, incluye depósito, litografía y decapado de Mo.

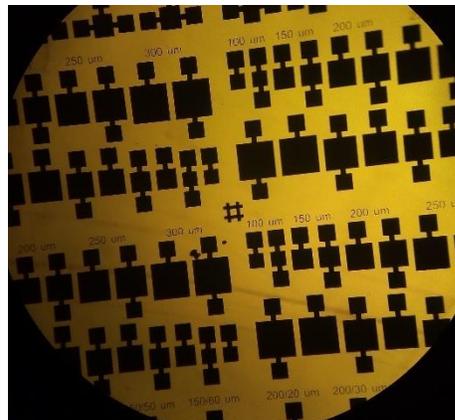


Figura C.7 Paso 14, 15 y 16 de fabricación de dispositivos

Resultado de capacitores

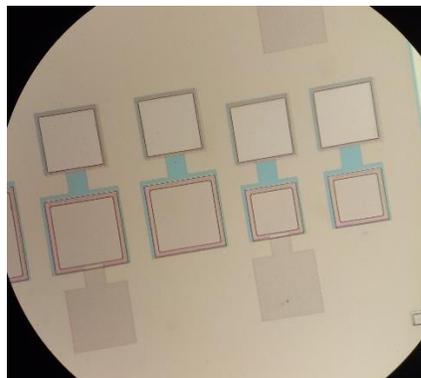


Figura C.8 Resultado de fabricación de capacitores

Resultado de fabricación de transistores

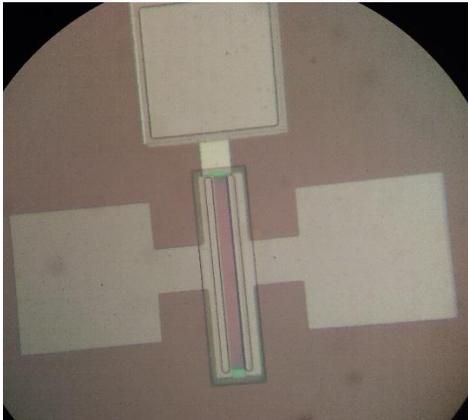


Figura C.9 Resultado de fabricación de transistores

Evolución de topología del transistor, manteniendo el proceso de fabricación

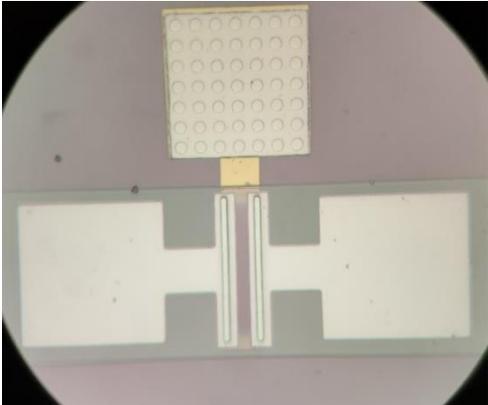


Figura C.10 Evolución de la topología del transistor

Fabricación de Inversor

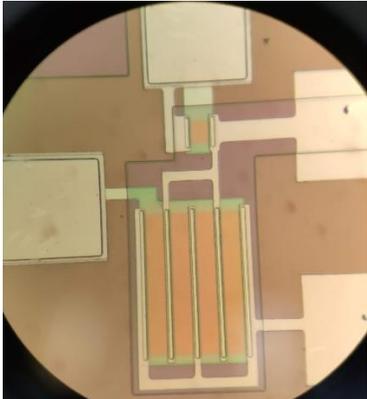


Figura C.11 Fabricación de inversor

Inversores y transistores de prueba

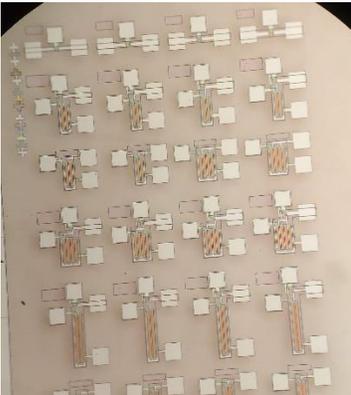


Figura C.12 Fabricación de inversor