



**Centro de Investigación y de Estudios
Avanzados del Instituto Politécnico Nacional**

Unidad Zacatenco

Departamento de Ingeniería Eléctrica

Sección de Electrónica del Estado Sólido

Simulación Circuitual con Transistores AOSTFT

TESIS

Que presenta:

Ing. Jorge Nuhani Gaspar Angeles

Para Obtener el Grado de:

Maestro en Ciencias

En la Especialidad de

Ingeniería Eléctrica

Director de tesis:

Dr. Antonio Cerdeira Altuzarra

Agradecimientos.

Este trabajo de tesis ha sido posible gracias al apoyo y ayuda de muchas personas. Quiero darle las gracias a la Dra. Magali y el Dr. Antonio, por haberme aceptado para formar parte de su equipo de trabajo, así mismo por todo su apoyo, consejos y formación que me ha brindado la cual sin su ayuda no habría sido posible terminar mi trabajo de tesis.

Agradezco al Dr. Felipe Gómez Castañeda y al Dr. Mario Alfredo Reyes por aceptar ser parte de mi jurado y revisar mi trabajo.

A todo el personal de la SEES, por brindarme su apoyo, conocimiento y facilidades para la realización de esta tesis.

A mis amigos y compañeros de trabajo, por brindarme su apoyo y consejos, tanto en el ámbito académico como en el ámbito social.

A mi familia, por apoyarme en las decisiones que he tomado, y estar tanto en los buenos y malos momentos.

Agradezco especialmente al CINVESTAV y al CONACYT por haberme permitido estudiar la maestría.

Resumen

La presente tesis se enfoca a la simulación circuital de circuitos electrónicos basados en Transistores de Capas Finas de Óxidos Metálicos Amorfos (AOSTFT). Estos son los Transistores de Capa Fina (TFT) de última generación que presentan mayores movilidades a voltajes relativamente bajos, permitiendo fabricar circuitos de control para manejar corrientes mayores que las permitidas por otros TFTs amorfos.

En la tesis se estudian las principales estructuras de este tipo de transistores, las características de los transistores de óxidos metálicos amorfos semiconductores, así como los modelos de corriente-voltaje y de capacitancia-voltaje desarrollados específicamente para estos transistores, los cuales están basados en el modelo “Unified Model and Extraction Method (UMEM)”. El modelo de capacitancias incluye las 9 capacitancias internas del dispositivo, pero fundamentalmente, se consideran en el circuito equivalente solo las capacitancias C_{gd} , C_{gs} y C_{ds} .

Este modelo fue implementado en el lenguaje de alto nivel Verilog-A para poder ser utilizado en el simulador circuital SmartSPICE. Todas las simulaciones circuitales que se presentan en la tesis se realizaron en esta plataforma.

En todos los circuitos analizados, se utilizaron transistores AOSTFT canal N y los inversores son de carga saturada. Los circuitos estudiados para la validación fueron un inversor y un oscilador de anillo de 19 inversores. Para la simulación circuital se utilizaron una compuerta lógica NOR de 2 entradas, un circuito con una función booleana de 25 transistores y un controlador de pixel para un OLED.

Abstract

The present thesis focuses on the simulation of electronic circuits using Amorphous Metal Oxide Semiconductor Thin Film Transistors (AOSTFTs). These thin film transistors (TFTs) present higher mobility at relatively low operation voltages, allowing the fabrication of control circuits that manage higher currents than those allowed by other amorphous TFTs.

The thesis revises the main structures used for this type of transistors, the characteristics of these transistors, as well as, validates a new AOSTFT compact model that includes both current-voltage and capacitance-voltage models, specifically developed for these devices. The new compact model is based on the Unified Model and Extraction Method (UMEM) model. The capacitance model includes all 9 internal device capacitance, although in the equivalent circuit, only capacitance C_{gd} , C_{gs} y C_{ds} are considered. The model was described in Verilog-A programming language, for using it in SmartSPICE circuit simulator. All circuit simulations presented in this thesis were done in this platform.

All analyzed circuits used N-channel AOSTFTs, as well as saturated load type inverters. For the validation of the new compact model, an inverter, as well as, a 19 inverters ring oscillator were used. Afterwards, the model was used to simulate a two input NOR gate, a Boolean function circuit containing 25 transistors, and finally, an OLED pixel control circuit.

Contenido	
Resumen	1
Abstract	3
Capítulo 1.	6
Introducción.....	6
Objetivos	7
1.1 Estado del arte.....	7
1.2 Óxidos Amorfos Semiconductores	9
1.3 Óxido de Indio Galio Zinc (IGZO)	11
1.4 Estructuras de un TFT	15
1.5 Conclusiones del capítulo	18
Capítulo 2.	20
Los transistores de Óxidos Semiconductores Amorfos de Capa Finas (AOSTFT) ...	20
2.1 Mecanismos de conducción.....	20
2.2 Conducción por saltos	20
2.3 Conducción por percolación en la banda de conducción	21
2.4 Distribución de la densidad de estados (DOS) en la banda de movilidad.....	23
2.5 Inestabilidad por voltaje aplicado	26
2.6 Principio básico de operación	27
2.7 Conclusiones del capítulo	33

Capítulo 3.....	34
Modelo de AC del AOSTFT	34
3.1 Modelo de capacitancias.....	34
3.2 Descripción del modelo usando Verilog-A y el simulador circuital SmartSPICE	39
3.3 Descripción de transistores y circuitos en Verilog-A.....	41
3.4 Conclusiones del capítulo	43
Capítulo 4.....	44
Trabajo experimental	44
4.1 Inversor.....	44
4.2 Oscilador de anillo.	49
4.3 Circuitos digitales simulados	51
4.3.1 Compuerta NOR de 2 entradas.....	51
4.3.2 Circuito para realizar la función $F=a(b+cd)+bc'$	53
4.4 Controlador de un Pixel.....	54
4.5 Conclusiones del capítulo	59
CONCLUSIONES	61

Capítulo 1.

Introducción

El presente trabajo de tesis está dirigido al estudio de los principios físicos y de operación de Transistores de Capa Fina (TFTs) fabricados con Óxidos Semiconductores Amorfos (AOS), con el fin de simular circuitos implementando un modelo que describa fielmente las características eléctricas de estos dispositivos.

Los semiconductores orgánicos y el a-Si:H han sido extensamente investigados para la electrónica flexible, han demostrado que pueden ser utilizados para la fabricación de celdas solares flexibles y TFTs. De igual forma estos dispositivos presentan limitaciones, como son su baja movilidad $< 1 \text{ cm}^2/\text{Vs}$. Los TFTs fabricados de a-IGZO tienen ciertas ventajas comparados con los fabricados de a-Si:H (Silicio Amorfo Hidrogenado), algunas de ellas son: la alta movilidad mayor de $10 \text{ cm}^2/\text{Vs}$ y baja temperatura de fabricación, lo que hace posible el depósito de las capas en sustratos flexibles y son relativamente de bajo costo de fabricación. Estas ventajas hacen a los AOSTFTs grandes candidatos para la implementación en la nueva generación de pantallas planas y de la electrónica flexible.

Los AOSTFTs han sido estudiados para aplicaciones analógicas y digitales, por esta razón es importante estudiar y evaluar el comportamiento de este tipo de TFT para aplicaciones circuitales, de igual forma se necesita un modelo analítico que describa fielmente el comportamiento de los dispositivos, sus características en AC y DC de los dispositivos, con el fin de implementarlos en un simulador circuital.

La metodología a seguir es mediante la implementación de un modelo matemático, descrito en el lenguaje de Verilog-A para su implementación en un simulador circuital, en este caso SmartSPICE de la compañía Silvaco. El modelo matemático corresponderá al transistor de capa fina de óxido semiconductor de Indio-Galio-Zinc, IGZO AOSTFT. La validación del modelo se hace a través de comparaciones de las características modeladas con las obtenidas por

simulación/medición. Se simularan transistores independientes, un inversor, un oscilador de anillo, así como circuitos utilizando estos transistores.

Objetivos

Estudiar la física de operación y la modelación de los transistores AOSTFT para desarrollar la simulación circuital DC y AC utilizando este tipo de transistores.

Para cubrir el objetivo anterior nos hemos planteado las siguientes actividades:

1. Revisión bibliográfica
2. Estudio de los principios físicos de operación de los AOSTFTs.
3. Conocer los principios de fabricación de los mismos.
4. Estudiar y utilizar los modelos correspondientes para los AOSTFT.
5. Manejar la extracción de parámetros de los modelos usados.
6. Realizar modelaciones.
7. Realizar simulaciones de circuitos que utilicen transistores AOSTFT utilizando el simulador circuital SmatSPICE.

1.1 Estado del arte

El primer TFT funcional fue presentado por Weimer en 1962 [1], con una estructura de compuerta superior (*top-gate*) con sulfuro de cadmio como semiconductor, posteriormente usando seleniuro de cadmio, para hacer un mejor FET. Otros materiales semiconductores como el Te, InSb y Ge fueron investigados, pero debido a la aparición de los MOSFET basados en la tecnología de silicio cristalino la investigación se detuvo hasta finales de 1960 [2].

En 1970 LeComber, Spear y Ghaith reportaron un TFT usando a-Si:H como material semiconductor, y sugirieron como aplicación un monitor de matriz activa de cristal líquido (AMLCD), por lo cual los TFT llamaron nuevamente la atención. Posteriormente el poli-silicio fue utilizado por su mejor calidad y alta movilidad electrónica. Los transistores de a-Si:H tienen una movilidad menor de $1 \text{ cm}^2/\text{Vs}$ y la temperatura de fabricación es menor de 300°C . En el caso de los TFT de polisilicio la

movilidad es mucho más alta, de 10 a 80 cm^2/Vs y la temperatura de fabricación está entre 500 y 600 $^\circ\text{C}$ [3].

En tiempos recientes se comenzaron a estudiar y fabricar TFT usando materiales orgánicos. Estos TFTs usualmente tienen una baja movilidad, alrededor de $10^{-3} \text{ cm}^2/\text{Vs}$, y las ventajas de esta tecnología son los bajos costos de fabricación, procesos simples como el centrifugado (*spin coating*) y la impresión de materiales, la temperatura de fabricación de estos dispositivos es por debajo de los 300 $^\circ\text{C}$. Esta baja temperatura permite la utilización de sustratos flexibles. Un gran número de estos materiales orgánicos son tipo p, pero se encuentran TFTs tipo n y ambipolares [4].

Los TFT basados en óxidos metálicos semiconductores, con un buen desempeño comenzaron a aparecer en el año 2003, los cuales fueron reportados por Hoffman, García y Masuda [5, 6, 7]. Después del año 2004 varios reportes siguieron apareciendo acerca de TFTs basados en óxidos metálicos semiconductores, aportando grandes innovaciones a esta área de la electrónica. Algunos de los logros más destacables fueron los TFT fabricados con ZnO, los cuales presentan un mejor rendimiento, principalmente con respecto a la movilidad, la baja temperatura de fabricación incluso llegando a ser fabricados a temperatura ambiente [8], y procesos que no requieren vacío para la fabricación de las capas de ZnO [9].

Una gran parte del trabajo de investigación se realizó en óxidos binarios como son ZnO, In_2O_3 o SnO_2 , y en 2003 Nomura sugirió utilizar una capa semiconductor mono cristalina de $\text{InGaO}_3(\text{ZnO})_5$ o GIZO en un TFT [10]. Al año siguiente Nomura presento un trabajo que puso en evidencia el enorme potencial de los óxidos metálicos semiconductores para TFTs transparentes en sustratos flexibles utilizando temperaturas de procesamiento cercanas a la temperatura ambiente [11]. Estos trabajos abrieron las puertas para la investigación en capas de óxidos amorfos y sus aplicaciones en los TFT, diversas combinaciones fueron reportadas, siendo las más exploradas las de ZTO, IZO y GIZO. Con las continuas mejoras ahora es común obtener transistores con prestaciones superiores a las del a-Si:H o los TFT fabricados con semiconductores orgánicos. Basado en todo esto, los semiconductores de óxido metálico proporcionan una alternativa sólida y viable para el presente y el futuro de los TFT.

1.2 Óxidos Amorfos Semiconductores

En el campo de la microelectrónica uno de los materiales más utilizados es el silicio cristalino c-Si el cual debido a su abundancia, a su dopaje controlado para cada uno de los tipos de conductividades, tanto n como p, movilidades altas para electrones y huecos, de cientos de cm^2/Vs , son la base de los actuales circuitos integrados MOS complementarios.

En el caso de los transistores de capa fina (TFT) las capas activas son de materiales amorfos, como el a-Si:H o los semiconductores orgánicos. Estos TFTs presentan una movilidad menor de $1 \text{ cm}^2/\text{Vs}$ y su transporte de carga está controlado por saltos entre estados localizados en la banda prohibida (*hopping*) [13].

Una nueva generación de óxidos semiconductores amorfos se empezaron a aplicar en TFTs debido a sus principales ventajas que poseen, principalmente por su alta movilidad, la excelente uniformidad que tienen al implementarlos sobre superficies de área grande y a su temperatura de fabricación cercana o igual a la temperatura ambiente.

La investigación sobre semiconductores amorfos comenzó en la década de 1960 [14], y fue destacada por la introducción del silicio amorfo. El desarrollo de los semiconductores amorfos condujeron a dos nuevas fronteras: "microelectrónica gigante" (electrónica basada en circuitos realizados en un sustrato de gran superficie); y "electrónica flexible", (dispositivos electrónicos hechos en sustratos blandos y flexibles).

Se creía que los materiales amorfos no podían tener grandes movilidades debido a la fuerte dispersión por las estructuras desordenadas, como es el caso del a-Si:H. Esta limitación se vio superada por el hallazgo de AOS de gran movilidad en 1996. Se demostró que esta ventaja de los AOS se beneficia de la fuerte ionicidad de los óxidos, que se creía que era un inconveniente.

La movilidad de estos óxidos semiconductores está asociada con la naturaleza intrínseca del enlace químico. Por ejemplo, el silicio es un semiconductor covalente, el

mínimo de la banda de conducción (CBM) y el máximo de la banda de valencia (VBM) están formados por estados anti-enlace ($sp^3 \sigma^*$) y enlace ($sp^3 \sigma$) de Si sp^3 orbitales hibridados. Su ancho de banda está formada por la división de energía de los niveles $\sigma^* - \sigma$, como se muestra en la Figura 1.1 (a). Los orbitales sp^3 tienen una fuerte direccionalidad.

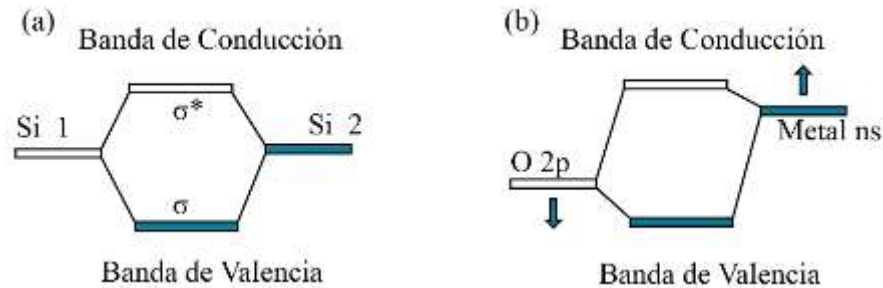


Figura 1.1 Diferentes mecanismos de formación de ancho de banda en semiconductores. (a) Ancho de banda de Si está formado por la división de energía de los niveles. (b) Oxígeno $2p$ y formas orbitales de metal (M) ns banda de valencia máxima y la banda de conducción mínima, respectivamente, debido al Potencial de Madelung.

En Si amorfo, debido a que los enlaces direccionales están distorsionados, la magnitud de la superposición entre los orbitales vacantes de los átomos vecinos es muy sensible a la variación en el ángulo de enlace. Como consecuencia, se crearían estados localizados bastante profundos a concentraciones algo altas y se degrada en gran medida la movilidad debido a la dispersión con estos defectos, como se muestra en la Figura 1.2(a).

Los semiconductores de óxido metálico que contienen cationes metálicos posteriores a la transición tienen enlaces iónicos fuertes después de la transferencia de carga de los átomos metálicos a los átomos de oxígeno, la estructura electrónica se estabiliza por el potencial de Madelung formado por estos iones. El potencial de Madelung reduce los niveles de energía en los iones de oxígeno y aumenta los del metal. El CBM está formado principalmente por el orbital ns desocupado del metal con forma esférica isotrópica (n es el número cuántico principal y $n \geq 5$); y el VBM está dominada principalmente por los orbitales $2p$ de oxígeno. La extensión espacial de esta vacante el orbital s es tan grande que es posible la superposición directa entre los

orbitales s de los cationes vecinos de los óxidos de metales pesados. La masa efectiva de electrones es pequeña en estos óxidos.

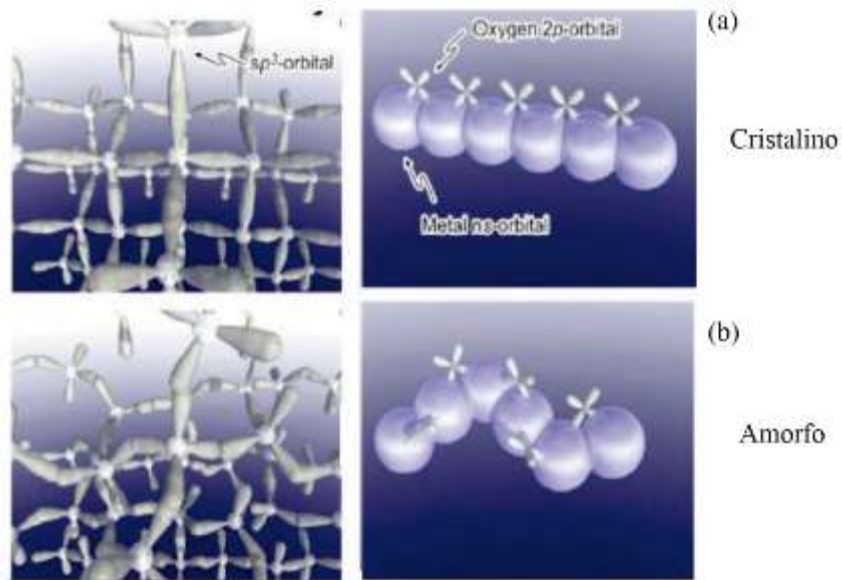


Figura 1.2 Imágenes ilustrativas de trayectorias de conducción de portadores en: (a) óxido cristalino y (b) óxido amorfo.

En el estado amorfo de estos semiconductores de óxido metálico, como se muestra en la Figura 1.2(b), la superposición directa entre los orbitales metálicos vecinos ns todavía es posible. La superposición no es muy afectada por los enlaces distorsionados metal-oxígeno-metal que comúnmente existen en un material amorfo, los AOS exhiben una gran movilidad de electrones incluso en el fase amorfa, cercana a las movilidades de sus correspondientes fases cristalinas.

1.3 Óxido de Indio Galio Zinc (IGZO)

Se han investigado varios compuestos semiconductores de óxido amorfo, incluyendo In-Ga-Zn-O amorfo (a-IGZO), Zn-Sn-O (ZTO), In-Ga-O (IGO), In-Zn-O (IZO), Ga-Sn-Zn-O (GTZO), etc. Entre estos materiales amorfos, el IGZO es el que se usa más comúnmente en TFT. Con este material se podría lograr fácilmente el equilibrio deseado entre alta movilidad, buen control y gran uniformidad áreas grandes.

Varios materiales que se pueden utilizar para fabricar TFT y que pueden ser aplicados en pantallas planas se comparan en la tabla 1.1.

Tabla 1.1 Comparación de algunos materiales utilizados en TFTs.

Material	Movilidad (cm²/Vs)	Transparencia	Uniformidad en áreas grandes	Temperatura de proceso
a-Si:H	< 2	Mala	Buena	~ 250 °C
Poli-Si	30 ~ 100	Mala	Mala	> 250 °C
ZnO	10 ~ 50	Buena	Mala	Temperatura ambiente o > 250 °C
Materiales Orgánicos	< 1	Mala	Buena	Temperatura ambiente
a-IGZO	8 ~ 140	Buena	Buena	Temperatura ambiente

En la Figura 1.3 se observa la relación entre la composición química, estructura, movilidad, y la densidad de portadores de una película de a-IGZO depositada a temperatura ambiente por deposición pulsada con láser. De la figura 1.3(a), se observa que ZnO puro e In₂O₃ pueden formar fácilmente películas cristalinas incluso cuando se depositan a temperatura ambiente. Esto se observa en muchos otros óxidos metálicos, ya que son difíciles de formar fases amorfas. Por otro lado, el binario o los compuestos de óxido de componentes múltiples forman fases amorfas cuando la relación de mezcla de óxido supera un umbral en general, la mezcla de dos o más cationes que tienen diferentes cargas iónicas y los tamaños son efectivos para mejorar la formación de una fase amorfa y suprimir la cristalización. Esta es la razón por la cual los AOS son básicamente sistemas de múltiples componentes, y este hecho implica que podemos encontrar una amplia variedad de materiales AOS.

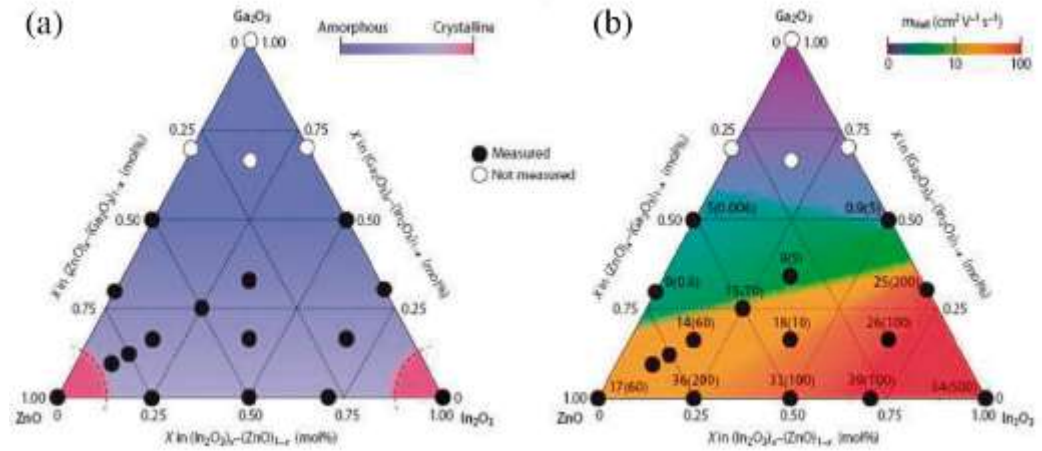


Figura 1.3 (a) Formación amorfa (b) Propiedades de transporte de electrones de películas delgadas de $\text{In}_2\text{O}_3\text{-Ga}_2\text{O}_3\text{-ZnO}$. Los valores en (b) denotan la movilidad electrónica de Hall (cm^2/Vs) con densidad (10^{18} cm^{-3}).

En capas de IGZO, la alta movilidad es principalmente definida por la fracción de In_2O_3 y después la de ZnO . Esto se puede demostrar por el hecho de que se obtienen muestras de mayor movilidad en las películas de a-IGZO con un poco más de In. Esto es consistente con la teoría de que tanto In^{3+} como Zn^{2+} tienen la configuración electrónica $(n-1) d^{10} ns^0$ ($n \geq 5$), pero In^{3+} es más grande que Zn^{2+} , y este juega un rol más dominante.

Aunque la movilidad de IZO podría ser mayor, a veces es demasiado conductivo y es difícil controlar el estado apagado cuando se usa en un TFT. Para los mismos parámetros de depósito, la concentración del portador y la corriente de fuga de la película de a-IGZO son mucho más baja que IZO, como se muestra en la Figura 1.3 [12]. La incorporación de iones Ga^{3+} tiene dos efectos: primero el enlace Ga-O es mucho más fuerte que el enlace In-O y Zn-O, y esto suprime la generación de los portadores libres (vacantes de oxígeno), y en segundo lugar, ayuda a formar la fase amorfa al introducir un catión de diferente tamaño.

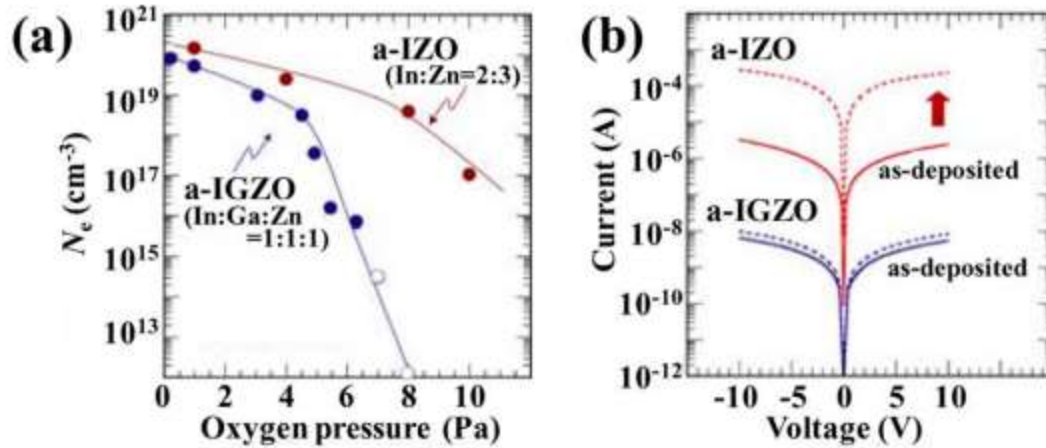


Figura 1.4 Control y estabilidad de las películas a-IGZO y a-IZO. (a) relación entre la densidad del portador y la presión de oxígeno durante el depósito. (b) Conductancia de la película después del depósito.

De la Figura 1.4(a), podemos observar que cuando se deposita a diferentes presiones parciales de O_2 , las concentraciones de portador de las películas delgadas de a-IGZO pueden variar de 10^{20} a 10^{15} cm^{-3} , lo que proporciona gran control de la concentración de portadores. Arun informó que la conductividad de las películas delgadas de IGZO varió con la presión parcial de depósito [16]. Las películas depositadas al vacío eran metálicas con una concentración de portador de $\sim 10^{20} \text{ cm}^{-3}$. Para películas semiconductoras depositadas entre 5 y 80 mTor, la conductividad disminuyó más de 4 órdenes de magnitud. Como se indicó anteriormente, la transparencia es una ventaja importante de la película delgada de IGZO. La transmitancia de las películas delgadas de IGZO suele ser superior al 80%. Película delgada con una concentración de portadores menor tiene una transparencia ligeramente mejor que aquella con una mayor concentración de portadores [17]. Tagaki usó las gráficas de Tauc para determinar el ancho de banda óptico. Los dos anchos de banda de IGZO fueron de $\sim 3.1 \text{ eV}$ y $\sim 3.3 \text{ eV}$ para la película con concentraciones de portador de $\sim 10^{13} \text{ cm}^{-3}$ y $\sim 10^{20} \text{ cm}^{-3}$, respectivamente. El borde de absorción para la película con mayor concentración fue en el azul debido al efecto Burstein-Moss (BM), el nivel de Fermi en la banda de conducción en estado degenerado, aumenta la energía del borde de absorción óptica.

En resumen, la alta transmitancia óptica, alta movilidad de portadores, buena capacidad de control de concentración y la uniformidad hacen que las películas de a-IGZO sean útiles como material activo en dispositivos electrónicos transparentes.

1.4 Estructuras de un TFT

Aunque los primeros TFT de a-IGZO fueron de estructura coplanar de compuerta superior [11], la configuración más utilizada actualmente para su implementación en pantallas es la de compuerta inferior, con fuente y drenador escalonados [18] o coplanares [19], como se muestra en la figura 1.5 a y b, respectivamente. Las dos principales arquitecturas utilizadas en los TFT escalonados invertidos, son las de grabado de canal posterior (BCE) y *etch-stop* (ES), en el contexto de los dispositivos de a-Si:H TFT, donde se demostró que la arquitectura BCE se prefirió para la producción en masa. Sin embargo, para los TFT de a-IGZO, la estructura escalonada invertida es la más usada, con la configuración *etch-stop* (ES) – (parado de grabado) mostrada en la figura 1.5(a). Se prefiere la arquitectura ES debido a la sensibilidad de la parte posterior a los efectos ambientales, y también al daño y la formación de donantes durante el depósito y grabado de la fuente y drenador [20].

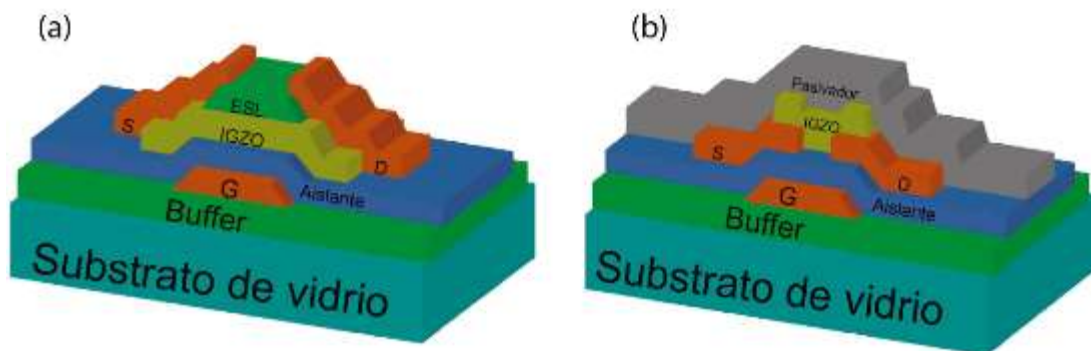


Figura 1.5 Secciones transversales de estructuras de TFT de a-IGZO (a) Estructura escalonada invertida ESL (b) estructura coplanar invertida

Esto fue demostrado en una comparación directa de las configuraciones BCE y ES, en la cual los TFT con configuración ES tenían una capa de SiO_x atacada químicamente y depositada por PECVD, y ambos tipos de dispositivos se habían depositado por pulverización catódica y definida por un ataque en seco. Con una capa de SiN_x de 200 nm de espesor, depositada por PECVD como dieléctrico de compuerta, las pendientes por debajo del umbral y las movilidades de electrones de las estructuras BCE y ES de los TFT fueron 3.5 V/dec y 0.59 V/dec, y $5.0 \text{ cm}^2/\text{Vs}$ y $35.8 \text{ cm}^2/\text{Vs}$, respectivamente [20], por otro lado el daño a la superficie posterior de la película de a-IGZO en la estructura BCE de los TFT, resultó en corrientes I_{DS} casi un orden de magnitud menor a las obtenidas con la configuración ES. La elección de la capa ES fue crucial para obtener un alto rendimiento. Para TFT fabricados con a- $\text{SiN}_x\text{:H}$ generalmente se usa la estructura ES, para posicionar una capa n+ en la parte superior del dispositivo, para que puedan grabarse selectivamente las regiones de contacto de fuente y drenador durante el diseño final. Se ha reportado que cuando se usa un depósito por PECVD de SiN_x en TFT de a-IGZO, los dispositivos se convirtieron en resistencias simples debido a la gran concentración de portadores libres que es de $\sim 4 \times 10^{19} \text{ cm}^{-3}$ en el material. Esto fue atribuido al hidrógeno que ingresa a la película de a-IGZO desde la capa de SiN_x , y que actúa como un donante [21], o reduciendo el a-IGZO e introduciendo vacantes de donante de oxígeno. Para evitar estos efectos, la capa ES está formada por SiO_x , la cual es la pasivación preferida en muchas publicaciones, algunos grupos evalúan tanto el PECVD como la deposición por pulverización catódica, dado el contenido de H más bajo de este último [22].

Como se observa en la figura 1.5(b) esta arquitectura tiene la ventaja de que la capa de a-IGZO no está expuesta a los procesos de depósito y grabado requeridos para la metalización de fuente y drenador, y requiere una máscara menos que el proceso ES [24]. Sin embargo, la estructura aún incorporaba una película de pasivación de SiO_x en la parte superior de la estructura completa del dispositivo, para protegerla contra la humedad ambiental y contra daños durante posteriores procesos.

El SiO_x también se ha utilizado como película superior en un proceso de pasivación de doble capa, con materiales alternativos colocados en contacto directo con

la cara posterior de a-IGZO. Por ejemplo, una capa depositada por pulverización catódica de Al_2O_3 dio excelentes resultados de estabilidad de polarización, así como buena pasivación [18]. En otros casos, la película inferior de Ti, depositada pulverizado una doble capa de Ti y Mo para la metalización de fuente y drenador, se expuso a un plasma de oxígeno para convertirlo en una capa pasivadora de TiO_x aislante, como se muestra en la Figura 1.6 [19]. Después de la definición del patrón metálico, una capa delgada de SiO_x depositada por PECVD se agregó a esta estructura. Este enfoque tenía como beneficio adicional la reducción del número de etapas de depósito, ya que la capa de pasivación fue directamente formada a partir de la fuente y la metalización de drenaje.

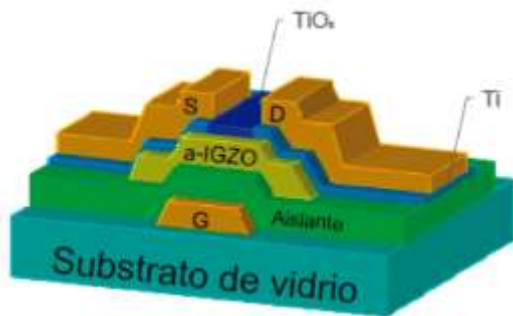


Figura 1.6 Sección transversal un TFT con estructura escalonada invertida, mostrando la conversión de fuente de Ti / drenaje metal a una pasivación TiO_x / Capa ES.

Además de estas arquitecturas convencionales, hay interés en auto alinear estructuras para reducir la capacitancia de superposición en píxeles, y también como una ruta para reducción de la longitud del canal [25, 26]. Una estructura de compuerta inferior auto alineada demostró, que la transparencia de la capa a-IGZO ha sido usada como una máscara de exposición a los rayos UV para la definición de capa de detención de grabado (ES) mediante iluminación posterior [25]. Este proceso redujo las máscaras totales que se necesitan en el proceso de fabricación, así también redujo la superposición de la compuerta-drenaje a $2 \mu\text{m}$.

Se ha utilizado un proceso más novedoso para producir un TFT auto alineado de compuerta superior, como se muestra en la figura 1.7 [26], en la que la superposición total de la compuerta y fuente-drenador, se redujeron a $0.8 \mu\text{m}$ o menos. Esta estructura incorpora baja resistencia de contactos en la capa a-IGZO, que se auto alinearon a la compuerta, para formarlos, después de la definición del electrodo de compuerta y la

remoción del dieléctrico a su alrededor, la estructura estaba recubierta con una película delgada de Al y recocida a 300 °C en oxígeno. Durante este proceso, la superficie inferior del Al reacciona con el a-IGZO para formar un contacto de baja resistencia, mientras que la superficie superior del Al se oxigena para formar una capa aislante de Al₂O₃. El auto alineado, baja la resistencia de las regiones de fuente y de drenaje cuando fueron contactadas por el patrón de metalización superior a través de ventanas en la capa intermedia del dieléctrico. TFTs con una longitud de canal mínima de 4 μm fueron fabricados por este proceso, y características de transferencia muy buenas, así como buena estabilidad [22].

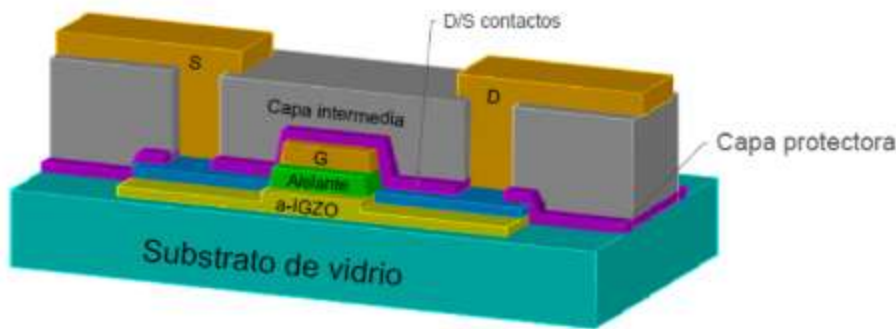


Figura 1.7 Sección transversal de un TFT auto alineado de compuerta superior.

1.5 Conclusiones del capítulo

Los óxidos amorfos semiconductores presentan una serie de características realmente novedosas, las cuales pueden ser implementadas en los dispositivos actuales, algunas de esas características son la aplicación en áreas grandes, la implementación de distintos sustratos. Presentando ventajas con respecto a los materiales amorfos inorgánicos y orgánicos, como una mayor movilidad, una mayor uniformidad debido a su estructura amorfa. Se pueden depositar usando métodos convencionales, como es el de pulverización catódica a temperatura ambiente, con lo cual se pueden realizar transistores de capa fina con características aceptables y a bajos costos.

Ya que existen diversas estructuras para la fabricación de los dispositivos TFT, la utilización de cada una de ellas depende de que es lo que se está buscando, teniendo

en cuenta lo anterior, algunas de estas estructuras se prefieren ya que mejoran la estabilidad de los dispositivos, reducción en el número de etapas de fabricación, dependiendo de la estructura y las características que se deseen obtener se utilizara una u otra estructura.

Capítulo 2.

Los transistores de Óxidos Semiconductores Amorfos de Capa Finas (AOSTFT)

2.1 Mecanismos de conducción

Algunos de los rasgos característicos de los mecanismos de conducción en películas a-IGZO son analizados a partir de mediciones de efecto Hall de películas dopadas [28, 29]. Una de las características es el aumento en la movilidad de Hall con respecto a la densidad del dopaje. La densidad de portadores es independiente de la temperatura para densidades superiores a 10^{17} cm^{-3} , la movilidad continua variando hasta concentraciones de portadores mucho más altas de $2 \times 10^{18} \text{ cm}^{-3}$, cuando también se vuelve independiente de la temperatura [12].

2.2 Conducción por saltos

La figura 2.1 representa una distribución de estados de cola, así como posibles barreras que se encuentran por encima de la banda de conducción (E_m). Cuando el nivel de Fermi (E_F) se encuentra dentro de los estados localizados $E_F \ll E_m$, el transporte de carga está controlado por múltiples eventos de captura y liberación [36]. A medida que disminuye la temperatura, la concentración de electrones disminuye exponencialmente y la contribución a la conductividad eléctrica disminuye [59]. En estas circunstancias, las transiciones de electrones entre estados localizados en las colas de banda son las que dominan el transporte de carga en semiconductores amorfos.

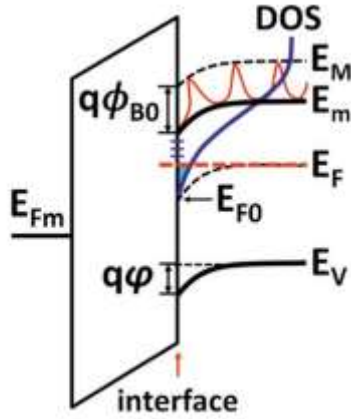


Figura 2.1 Diagrama conceptual de un TFT de óxido semiconductor.

2.3 Conducción por percolación en la banda de conducción

La conductividad eléctrica, σ , es el producto de la densidad y movilidad del portador, y estos son térmicamente activados a niveles de dopaje por debajo de $3 \times 10^{19} \text{ cm}^{-3}$, pero solo con una concentración de portador más baja hay un energía de activación única. En los niveles intermedios de dopaje, donde no hay un diagrama simple de Arrhenius, se mostró que la temperatura variaba como $T^{-1/4}$ [28]. Estos resultados han sido interpretados tanto en términos de una distribución de estados (DOS) baja cerca del borde de la banda de conducción, que permite que el material sea degenerado y una distribución de posibles barreras dentro de la banda de conducción. El transporte de electrones alrededor de estas barreras es por percolación, donde se supone que hay una distribución gaussiana de alturas de barrera, $g(E)$, dado por:

$$g(E) = \exp \left[-\frac{(E - \phi_0)^2}{2\sigma_\phi^2} \right], \quad (2.1)$$

Donde ϕ_0 es la altura promedio de la barrera, y σ_ϕ es el ancho de distribución de energía. La movilidad del portador, μ , estaba relacionado con la movilidad de la banda, μ_0 , por la siguiente expresión del modelo de percolación [30]:

$$\mu = \mu_0 \exp \left[-\frac{q\phi_0}{kT} + \frac{(q\sigma_\phi)^2}{2(kT)^2} \right]. \quad (2.2)$$

La masa efectiva del a-IGZO es similar a la de los óxidos cristalinos, tales como IGZO cristalino (c-IGZO) y ZnO. Las propiedades de transporte de electrones exhiben un comportamiento peculiar, como se ve en la Figura 2.2(a). En primer lugar, se pueden observar voltajes de Hall y movilidades de electrones definidos para AOS a través de las mediciones de Hall. Esto contrasta con los semiconductores amorfos covalentes convencionales, tales como a-Si:H para los cuales los voltajes de Hall y / o los coeficientes de Seebeck exhiben signos opuestos a los esperados. Además, la movilidad Hall aumenta con la densidad del portador. Esta tendencia es opuesta a la observada en semiconductores cristalinos simples y puede explicarse por conducción de percolación como se ilustra en la Figura 2.2(b). En este modelo, existe una distribución de barreras potenciales en la banda de conducción y limita la movilidad de los electrones, y los electrones toman un camino de conducción más corto y alto a temperaturas más altas. Esto significa que la movilidad aumenta y la energía de activación disminuye al aumentar la temperatura [15].

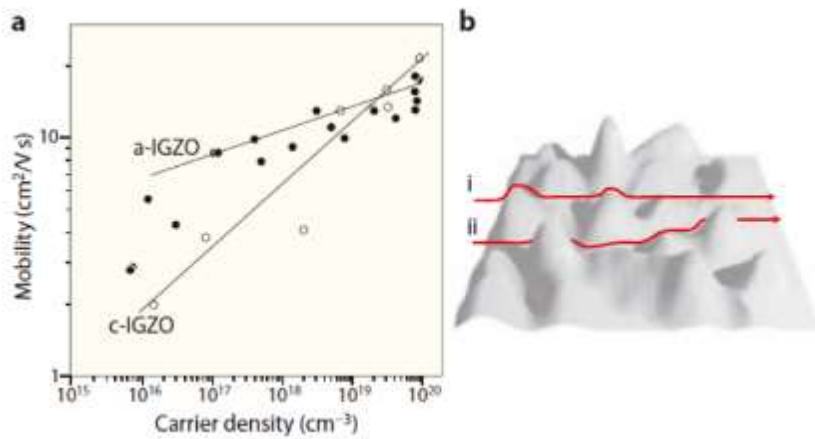


Figura 2.2 (a) Relación entre movilidad de Hall y densidad portadora para c-IGZO y a-IGZO. (b) Ilustración de conducción de percolación mostrando ejemplos de (i) un camino más corto y (ii) un camino más largo. La isosuperficie representa el potencial de electrones en la banda de conducción.

El proceso de percolación dio una explicación física directa para el proceso de activación térmica de la movilidad, y su eventual independencia con la temperatura a una alta concentración de portadores, cuando el nivel de Fermi está por encima de la barrera.

2.4 Distribución de la densidad de estados (DOS) en la banda de movilidad

Se suelen utilizar mediciones de capacitancia voltaje (C-V) para determinar la ocupación de trampas en función de un voltaje aplicado, ya que los efectos de atrapamiento de electrones son independiente de la movilidad [31,32]. Una vez establecida la distribución de estados (DOS), se implementa para simular las características I_D - V_G , con la movilidad como un parámetro ajustable [32]. Esto produce una movilidad promedio en cada valor que se le aplica a la compuerta, con esto se puede extraer la movilidad en función de la densidad de portadores libres [33].

En las mediciones C-V [34,35] el capacitor que se mide es el formado por la compuerta y las regiones de contacto de fuente y drenador [48, 49]. La medición de las curvas C- V_G se realizan a un nivel bajo de frecuencia para que los electrones puedan seguir la frecuencia de la señal. De estas curvas se puede extraer el potencial superficial utilizando las siguientes ecuaciones:

$$Q_s = C_i(V_G - V_s) \quad (2.3)$$

$$\frac{dV_s}{dV_G} = 1 - C_i^{-1} \frac{dQ_s}{dV_G} = 1 - \frac{C_m}{C_i}, \quad (2.4)$$

Donde: C_i es la capacitancia de la capa dieléctrica, C_m es la capacitancia medida, y V_s se calcula en función de V_G integrando la siguiente ecuación:

$$V_s = \int_{V_{FB}}^{V_G} \left(1 - \frac{C_m}{C_i}\right) dV_G \quad (2.5)$$

De la Ley de Gauss, el campo superficial, F_s , está relacionado con la carga superficial total, dando así la siguiente relación:

$$Q_s = -\epsilon_0 \epsilon_s F_s \quad (2.6)$$

Utilizando las ecuaciones 2.3 y 2.6 se puede calcular el campo superficial, utilizando los valores de V_s de la ecuación 2.5. El campo superficial también se relaciona con la densidad de carga espacial, ρ , por la ecuación de Poisson:

$$\frac{d^2V}{dx^2} = -\frac{\rho}{\epsilon_0\epsilon_s}, \quad (2.7)$$

y para la densidad de carga espacial dominada por el atrapamiento de portadores:

$$\rho(x) = -q \int_0^V N dV \quad (2.8)$$

La densidad de las trampas, N , se usa como un parámetro ajustable en las ecuaciones para asegurar que los valores de V_S y F_S concuerden con los de las ecuaciones 2.5 y 2.6. Conocida la DOS y la relación entre V_S y V_G , se puede calcular la concentración de electrones de la película a cualquier valor de V_G .

Una alternativa en las mediciones $C-V_G$ se basa en utilizar iluminación durante las mediciones para incrementar la frecuencia en la respuesta de los portadores atrapados [32]. La distribución $N(E)$ se representa por dos exponenciales, las que a su vez representan los estados de cola y estados profundos y es representada por la siguiente ecuación:

$$N(E) = N_{TA} \exp\left(-\frac{E_c - E}{kT_{TA}}\right) + N_{DA} \exp\left(-\frac{E_c - E}{kT_{DA}}\right). \quad (2.9)$$

El primer término representaba la densidad del estado de cola, el segundo la densidad de estados profundos, kT_{TA} y kT_{DA} las energías características correspondientes a cada una de las densidades [32].

Para ver los efectos del DOS en la movilidad, se utiliza la ecuación modificada del MOSFET [36,46] y la expresión para la corriente de drenador es la siguiente.

$$I_d = \frac{\mu_0 W C_i^{\alpha-1} \xi}{\alpha L} [(V_G - V_T)^\alpha - (V_G - V_T - V_d)^\alpha], \quad (2.10)$$

Donde: μ_0 es la movilidad de banda, α está relacionada con la energía en los estados de cola y ξ con la densidad de portadores en esos estados (N_i), como se muestra en las expresiones siguientes:

$$\alpha = \frac{2E_t}{kT} \quad (2.11)$$

$$\xi = \frac{(q\varepsilon_s\varepsilon_0\alpha kTN_t)^{1-\frac{\alpha}{2}}}{\alpha-1} \quad (2.12)$$

La expansión de Taylor de la ecuación 2.8 en el régimen lineal está dado por:

$$I_d = \frac{\mu_0 W C_i^{\alpha-1} \xi}{\alpha L} [(V_G - V_T)^{\alpha-1} V_d] \quad (2.13)$$

De la ecuación anterior, la movilidad de efecto de campo está dada por:

$$\mu_{FE} = \mu_0 C_i^{\alpha-2} \xi (\alpha - 1) (V_G - V_T)^{\alpha-2} = \mu_0 A (V_G - V_T)^{2(\frac{E_t}{kT}-1)} \quad (2.14)$$

La movilidad de banda μ_0 puede ser modificada para incluir la influencia de la percolación, de las ecuaciones 2.2 y 2.14, da como resultado:

$$\mu_{FE} = \mu_0 \exp \left[-\frac{q\phi_0}{kT} + \frac{(q\sigma\phi)^2}{2(kT)^2} \right] A (V_G - V_T)^{2(\frac{E_t}{kT}-1)} , \quad (2.15)$$

donde: A está relacionada con los estados de cola; V_T es el voltaje de umbral; E_t la energía característica de los estados de cola. La temperatura característica está relacionada al parámetro del modelo γ por medio de la siguiente ecuación [47]:

$$\gamma = 2\left(\frac{T_0}{T} - 1\right), \quad (2.16)$$

ya que la ecuación 2.15 se puede escribir de la siguiente manera: $\mu_{FE} = \mu_0 \exp \left[-\frac{q\phi_0}{kT} + \frac{(q\sigma\phi)^2}{2(kT)^2} \right] A (V_G - V_T)^{2(\frac{T_0}{T}-1)}$ lo cual permite relacionar la movilidad con γ de la forma anterior.

La ecuación 2.15 describe cuando el nivel de Fermi se encuentra por debajo de la banda de conducción y que el transporte está limitado por efectos de percolación y el atrapamiento de portadores. Si se polariza la compuerta, con un voltaje superior al voltaje de umbral para la percolación, esto ocurre cuando el nivel de Fermi se coloca en el borde de la banda de conducción, la movilidad está controlada solo por

percolación y la movilidad de efecto de campo está dada por la siguiente expresión [36]:

$$\mu_{FE} = \mu_0 \exp \left[-\frac{q\phi_0}{kT} + \frac{(q\sigma\phi)^2}{2(kT)^2} \right] \exp \frac{q\Delta V_S}{kT}. \quad (2.17)$$

Esta ecuación es válida para posiciones de nivel de Fermi entre el borde de la banda y la altura máxima de la barrera ϕ_m , y ΔV_S corresponde al cambio la posición del nivel de Fermi dentro de la banda. Una expresión analítica aproximada para la densidad de portador libre en función de V_S y estableciendo una relación entre ΔV_S y ΔV_G :

$$\mu_{FE} = \mu_0 \exp \left[-\frac{q\phi_0}{kT} + \frac{(q\sigma\phi)^2}{2(kT)^2} \right] B(V_G - V_T)^{4S}, \quad (2.18)$$

donde: S es la relación, (DB-WB) / DB, lo cual es el ancho de barrera de percolación WB y el espaciado entre barreras DB. Ambas ecuaciones 2.17 y 2.15 muestran que la movilidad de efecto de campo tiene una dependencia de la ley de potencia en V_G de la forma:

$$\mu_{FE} = K(V_G - V_{T,P})^\gamma, \quad (2.19)$$

donde: los valores de K, V_{TP} y γ se extraen de las características transferenciales del dispositivo.

2.5 Inestabilidad por voltaje aplicado

Para los TFT de a-IGZO se han reportado inestabilidades producidas por la aplicación de un voltaje positivo y negativo en la compuerta [37 - 40]. La inestabilidad es un cambio en el voltaje de umbral con una tensión de polarización positiva aplicada a la compuerta, está acompañada por cambios mínimos en la movilidad o la pendiente por debajo del umbral. El cambio nos indica que los electrones quedan atrapados cerca de la interfaz semiconductor-dieléctrico, y es impulsado por los electrones acumulados dentro de la película. Cuando se aplica una polarización negativa, el voltaje de umbral cambia negativamente, y es consistente con la captura de huecos. Si se aplica iluminación óptica durante la aplicación de un voltaje, el estrés genera un proceso de

inestabilidad adicional, que aumenta la magnitud de la inestabilidad al aplicar un voltaje negativo [39,41], y reduce el estrés que se presenta al aplicar un voltaje positivo [42]. La inestabilidad óptica se ha atribuido a la fotoionización de la vacante de oxígeno y también se ha correlacionado con la fotoconductividad persistente en la capa a-IGZO después de la eliminación de la iluminación [43,44].

Se puede reducir el efecto de la inestabilidad realizando tratamientos térmicos al dispositivo, lo cual resulta una menor separación en las características de transferencia. Una capa pasivadora de gran calidad es necesaria para minimizar la contribución de la inestabilidad generada por el voltaje aplicado a la compuerta, para así asociar la inestabilidad residual al atrapamiento entre la interfaz dieléctrico semiconductor. Para reducir el atrapamiento dentro del dieléctrico es necesario que la capa sea de buena calidad.

2.6 Principio básico de operación

Los TFT son dispositivos de efecto de campo de tres terminales. A diferencia del MOSFET convencional que se basa en la inversión de la capa junto a la interfaz para formar el canal, los TFT son dispositivos que trabajan en el modo de acumulación.

Como ejemplo, se utilizará un TFT canal n en modo de acumulación, para explicar los principios de operación del TFT, de igual forma se puede extrapolar al funcionamiento de TFTs de canal p.

La Figura 2.3 muestra una estructura TFT y el diagrama de banda de energía del dispositivo en diferentes voltajes aplicados, idealmente se ha asumido que: 1) el semiconductor es ligeramente tipo n; 2) no hay carga dentro del semiconductor y; 3) el semiconductor y el electrodo de compuerta tienen la misma función de trabajo.

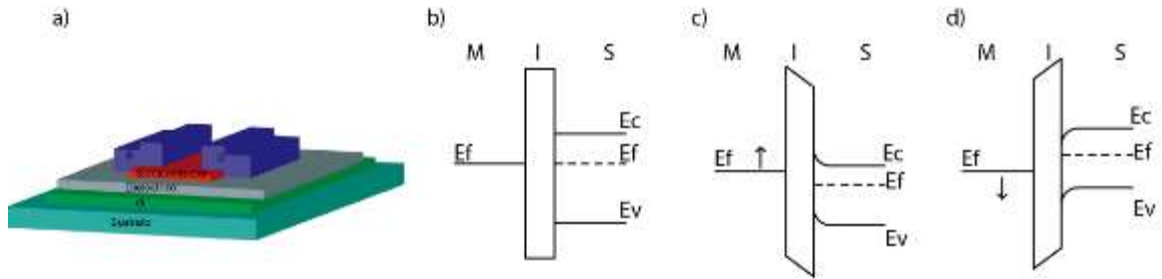


Fig 2.3 a) sección transversal de TFT. Bandas de energía cuando se les aplica: b) ningún potencia; c) potencial positivo; d) potencial negativo.

La Figura 2.1b muestra el estado de equilibrio, en la condición de banda plana, donde no hay voltaje externo aplicado al electrodo de la compuerta, o el voltaje aplicado corresponde al Voltaje de Banda Plana, V_{FB} . Las bandas de energía no están dobladas. Cuando hay un voltaje negativo aplicado al electrodo de compuerta, como se muestra en la Figura 2.1(c), los electrones móviles se alejan de la interfaz en la capa del semiconductor, dejando una región de agotamiento cerca de la interfaz semiconductor y dieléctrico. En el diagrama de bandas se puede observar que la banda de conducción en la capa semiconductor se dobla hacia arriba cerca de la capa dieléctrica, esto hace que la capa semiconductor sea menos conductora en comparación con el estado de equilibrio. Si la magnitud del voltaje negativo que se aplica a la compuerta aumenta, la región de agotamiento crece aún más en la capa semiconductor y toda la capa de semiconductor se puede agotar (empobrecer) por completo. En esta condición, el canal no está formado, e incluso con un potencial a través de la fuente y el drenador no hay flujo de corriente inducido. Esto corresponde al estado apagado.

Por otro lado, cuando se aplica un valor positivo a la compuerta, los electrones móviles son atraídos, y se acumulará cerca de la interfaz dieléctrico semiconductor, formando una delgada capa cerca de la capa dieléctrica. Esta caída positiva de voltaje a través de las capas dieléctricas y semiconductoras, hace que la banda de conducción en el semiconductor se doble hacia abajo. Así se reduce el gap entre E_c y E_f , lo que significa que hay más electrones acumulados cerca del dieléctrico.

Después de que se establece la acumulación y se forma el canal, si hay un voltaje positivo aplicado entre el drenador y la fuente ($V_{DS} > 0$), los electrones fluirían de la fuente al drenador. Hay dos regímenes dependiendo de la magnitud del V_{DS} . Si el V_{DS} es bastante pequeño, (más pequeño que 200 mV), la corriente entre el drenador y la fuente está en el régimen lineal. En este régimen la densidad de carga dentro del canal es uniforme entre la fuente y el drenador, la resistencia del canal depende de la densidad de carga del mismo, que es una función del voltaje de compuerta (V_{GS}).

Cuando el V_{DS} aumenta, la carga en acumulación cerca del drenador disminuye y, a medida que aumenta el V_{DS} , la región cerca de la fuente se va agotando. Cuando está completamente agotada se alcanza el punto de saturación conocido como “*pinch-off*”. Un aumento del V_{DS} no dará una mayor corriente de fuente-drenador. El dispositivo entra en el régimen de "saturación".

La corriente de drenador en el régimen sobreumbral: lineal y saturación, se expresa de la siguiente manera [48]:

$$I_{DS} = \frac{K/V_{AA}^\gamma}{1+R\left(K/V_{AA}^\gamma\right)(V_{GS}-V_T)^{1+\gamma}} * \frac{(V_{GS}-V_T)^{1+\gamma}V_{DS}(1+\lambda V_{DS})}{\left[1+\left[\frac{V_{DS}}{V_{DS sat}}\right]^m\right]^{1/m}}, \quad (2.19)$$

donde: $K = (W/L)C_i\mu_0$; W ancho del canal; L largo del canal; C_i capacitancia de compuerta; μ_0 movilidad de banda; V_T voltaje de umbral; R resistencia en serie total, la resistencia de fuente más la resistencia de drenador; V_{AA} y γ , son parámetros que definen la variación de la movilidad con respecto a V_{GS} ; m relación entre la transición del estado lineal al estado de saturación; y λ la modulación del largo del canal.

La ecuación anterior desprecia las corrientes de fuga y esto es el resultado de considerar que la movilidad de efecto de campo incrementa en función del voltaje aplicado a la compuerta, como se muestra en la ecuación siguiente:

$$\mu_{FET} = \mu_0 \left(\frac{V_{GS}-V_T}{V_{AA}}\right)^\gamma. \quad (2.20)$$

La conductancia intrínseca del canal g_{chi} , para un voltaje pequeño aplicado en el drenador (régimen lineal), se expresa de la siguiente manera:

$$g_{chi} = \frac{W}{L} C_i \mu_{FET} (V_{GS} - V_T) = \frac{W}{L} C_i \mu_0 \frac{1}{V_{AA}^\gamma} (V_{GS} - V_T)^{1+\gamma} \quad (2.21)$$

La expresión para la corriente en el régimen lineal, a bajos voltajes de drenador, para voltajes que se encuentran en el intervalo de $V_{GS} > V_T$, se puede expresar de la siguiente manera:

$$I_{DS \text{ lin}} = \frac{K}{V_{AA}^\gamma} (V_{GS} - V_T)^{1+\gamma} V_{DS} \quad (2.22)$$

Tomando en cuenta la resistencia en serie generada por los contactos de drenador y fuente (R_D y R_S), el efecto de la resistencia total se puede expresar como la suma de ambas resistencia $R = R_D + R_S$, y es introducida en la expresión de la conductancia del canal, dando como resultado:

$$g_{chi} = \frac{g_{chi}}{1 + R g_{chi}} \quad (2.23)$$

La corriente de drenador en el régimen lineal es calculada por medio de las expresiones 2.21 - 2.23, dando como resultado:

$$I_{DS \text{ lin}} = \frac{\frac{K}{V_{AA}^\gamma}}{1 + R \left(\frac{K}{V_{AA}^\gamma} \right) (V_{GS} - V_T)^{1+\gamma}} (V_{GS} - V_T)^{1+\gamma} V_{DS} \cdot \quad (2.24)$$

El voltaje de saturación está definido por el parámetro de modulación de saturación α_s , el cual por lo general es menor que la unidad.

$$V_{DS \text{ sat}} = \alpha_s (V_{GS} - V_T) \quad (2.25)$$

Para valores de voltaje $V_{DS} > V_{DS \text{ sat}}$, se puede aproximar la corriente de saturación de la ecuación (2.19), quedando:

$$I_{DS \text{ sat}} = \frac{K}{V_{AA}^\gamma} \frac{1}{2^{\frac{1}{m}}} \alpha_s (V_{GS} - V_T)^{2+\gamma} \cdot \quad (2.26)$$

La conductancia de salida generalmente se modela multiplicando la corriente total por $(1+\lambda V_{DS})$, donde λ es el parámetro de modulación de canal. Su origen físico está relacionado con la modulación de la longitud del canal y define la curva de salida con la corriente incrementándose con V_{DS} .

Según este procedimiento habitual, la corriente en la región de saturación se calculará como $I_{a1}=I_{sat}(1+\lambda V_{DS})$, donde I_{sat} es la corriente en saturación para el voltaje V_{sat} . Para obtener una conductancia en saturación más precisa se propuso en [50] ajustar la corriente para $V_D > V_{sat} = \alpha_s (V_{GS} - V_T)$ con la expresión

$$I_{DS} = I_{sat} [1 + \lambda (V_{DS} - V_{sat})] . \quad (2.27)$$

Para poder describir la variación del voltaje de drenaje desde la región lineal a la de saturación se utiliza la expresión (2.27), que será aproximadamente igual a V_{DS} cuando $V_{DS} \ll V_{sat}$ y aproximadamente igual a V_{sat} cuando $V_{DS} \gg V_{sat}$.

$$V_{DSe} = V_{DS} \left[1 + \left| \frac{V_{DS}}{V_{sat}} \right|^m \right]^{-\frac{1}{m}}, \quad (2.28)$$

donde: m ajusta la región de transición entre la región lineal y de saturación en la característica de salida. Considerando los valores absolutos de V_{DS} y V_{sat} para extender el rango de aplicación a ambos signos de V_{DS} .

Considerando todos los factores explicados la corriente de drenaje para el IGZO TFT por encima del umbral I_{ab} es expresada por:

$$I_{ab}(V_{GS}, V_{DS}) = K \frac{\frac{|V_{GS}-V_T|^{1+\gamma_a}}{V_{aa}^{\gamma_a}}}{1+KR \frac{|V_{GS}-V_T|^{1+\gamma_a}}{V_{aa}^{\gamma_a}}} \left[\frac{V_{DS}[1+\lambda(|V_{DS}|-V_{DSe})]}{\left[1 + \left| \frac{V_{DS}}{\alpha_s(V_{GS}-V_T)} \right|^m \right]^{1/m}} \right] \quad (2.29)$$

Para ampliar el rango de modelación a la región subumbral, la corriente de drenador en este régimen I_{bt} se puede escribir como:

$$I_{bt}(V_{GS}, V_{DS1}) = K \frac{(V_{GS}-V_{FB})^{1+\gamma_b}}{V_{bb}^{\gamma_b}} V_{DSe1}, \quad (2.30)$$

donde: V_{FB} es el voltaje de banda plana; V_{bb} y γ_b son parámetros los cuales definen la variación de la movilidad con respecto al voltaje aplicado a la compuerta en el régimen por debajo del umbral; V_{DSe1} es un término de transición igual a:

$$V_{DSe1} = V_{DS} \left[1 + \left(\frac{V_{DS}}{\alpha(V_{GS} - V_{FB})} \right)^m \right]^{-1/m} \quad (2.31)$$

Estos parámetros son extraídos de acuerdo a [51]; γ_b depende de la temperatura y de la temperatura característica de la distribución de los estados profundos (T_2).

$$\gamma_b = 2 \left(\frac{T_2}{T} - 1 \right) \quad (2.32)$$

Para valores muy por debajo de V_T , en régimen de subumbral profundo llega un punto en el cual I_{bt} no puede modelar más la corriente del drenador, en este punto el mecanismo de transporte de carga es predominantemente el de difusión y la corriente muestra una dependencia exponencial con el voltaje de la compuerta que se puede expresar como [51]:

$$I_s = I_{bt}(V_{GS}, V_{DS1}) e^{\frac{V_{GS} - (V_{FB} - V_1)}{S_1} 2.3} \quad (2.33)$$

donde: S_1 es la pendiente de subumbral para la curva transferencial. Su valor se determina al calcular la pendiente de la curva experimental en la región donde I_{DS} vs V_{DS} en un gráfico semilogarítmico es lineal para valores de $V_{GS} < (V_{FB} + V_1)$. V_1 se selecciona de modo que el valor $V_{FB} + V_1$ esté ligeramente por encima de V_{FB} para proporcionar una buena unión de I_s y I_{bt} . Las ecuaciones 2.30 y 2.33 pueden ser unidas utilizando la función de costura tanh para así obtener una ecuación que describe el comportamiento de la corriente en toda la región de subumbral de la siguiente manera:

$$I_t = |I_s| \left[\frac{1 - \tanh[(V_{GS} - (V_{FB} + V_1))Q_1]}{2} \right] + |I_{bt}| \left[\frac{1 + \tanh[(V_{GS} - (V_{FB} + V_1))Q_1]}{2} \right], \quad (2.34)$$

donde: Q_1 es un parámetro que define el peso de la función tanh aplicado a cada parte de la corriente total.

La expresión para modelar la corriente total de drenador, se da al vincular las corrientes en sobreumbral y en subumbral, es decir, I_{ab} y I_t , y agregando una corriente de apagado I_0 , cuando se llega a una corriente fija en el subumbral profundo. Por lo tanto, la corriente total de drenador-fuente se describe como:

$$I_{DS} = \pm \left[|I_0| + I_{ab} \left[\frac{1 - \tanh[(V_{GS} - (V_T + V_0))Q_0]}{2} \right] + |I_t| \left[\frac{1 + \tanh[(V_{GS} - (V_T + V_0))Q_0]}{2} \right] \right] \quad (2.35)$$

Con un signo positivo para TFT de canal n, mientras que con signo negativo para dispositivos de canal p. V_0 y Q_0 son parámetros de ajuste, V_0 se selecciona de tal modo que el valor de $V_T + V_0$ este ligeramente por encima de V_T para proporcionar una buena unión entre ambas regiones; y Q_0 modifica el peso de la función tanh aplicada a cada parte de la corriente total. La corriente I_{ab} no estará en valor absoluto, para poder tener en cuenta signos de V_{DS} .

El procedimiento de extracción de los parámetros que contiene este modelo está descrito en [48], por lo cual no se repetirá en el cuerpo de esta tesis.

2.7 Conclusiones del capítulo

- Los materiales amorfos semiconductores, atraen una gran atención como material para fabricar los TFTs, sustituyendo al a-Si:H y poli-Si, en particular para aplicaciones en pantallas planas de gran tamaño. Esto se debe a que estos materiales tienen una movilidad más de 10 veces mayor a la del a-Si:H, lo que genera una mayor corriente, que permite alimentar los diodos LED orgánicos (OLED).
- Hasta el momento los transistores AOSTFT son del tipo de canal n, por lo cual los circuitos digitales y analógicos utilizan solamente cargas saturadas.
- La alta movilidad de estos transistores está definida por dos mecanismos de conducción de portadores; el de conducción por saltos y el llamado de percolación dentro de la banda de conducción.
- El modelo de las corrientes en sobreumbral y subumbral es similar al desarrollado en el UMEM para los restantes TFTs amorfos, donde solo varía la descripción de la movilidad.

Capítulo 3.

Modelo de AC del AOSTFT

En el capítulo 2 se describió el modelo para corriente continua DC del transistor AOSTFT. Para poder desarrollar un modelo dinámico que permita hacer simulaciones con corriente variable de diferentes frecuencias, simulaciones de AC, se requiere describir las capacitancias asociadas al AOSTFT y sus dependencias de los voltajes aplicados. A continuación se describirá en forma detallada el modelo de capacitancias que utilizaremos.

3.1 Modelo de capacitancias

Los TFT cuentan con nueve capacitancias internas, que se calculan como la derivada de la carga con respecto al potencial aplicado a los contactos, considerando todas las combinaciones posibles entre compuerta G, fuente S y drenador D.

$$C_{xx} = \frac{d}{dV_x} Q_x \quad (3.1)$$

$$C_{xy} = -\frac{d}{dV_y} Q_x \quad (3.2)$$

La capacitancia total de la compuerta (C_{GG}), se determina derivando la carga de la compuerta Q_G con respecto al voltaje de compuerta V_G :

$$C_{GG} = \frac{d}{dV_G} Q_G \quad (3.3)$$

Esta capacitancia puede ser medida haciendo un corto circuito entre fuente y drenador, y aplicando una señal de medición entre los contactos de compuerta y el de fuente-drenador, que se usa como referencia. Teóricamente en un régimen sobreumbral, esta capacitancia tiende a tener un valor constante con respecto al voltaje de compuerta. Para obtener las nueve capacitancias no es necesario calcularlas todas,

ya que existe la siguiente relación entre ellas, que se obtienen aplicando la ley de conservación de carga [45].

$$C_{GG} = C_{GS} + C_{GD} = C_{SG} + C_{DG} \quad (3.4)$$

$$C_{DD} = C_{DS} + C_{DG} = C_{SD} + C_{GD} \quad (3.5)$$

$$C_{SS} = C_{SG} + C_{SD} = C_{GS} + C_{DS} \quad (3.6)$$

Cuatro de esas capacitancias son independientes de las demás: la capacitancia de compuerta C_{GG} , la capacitancia que se forma entre la compuerta y el drenador C_{GD} , la capacitancia de drenador C_{DD} y la capacitancia de drenador y compuerta C_{DG} . Una vez que estas cuatro capacitancias intrínsecas son obtenidas, las cinco restantes se pueden calcular por medio de las ecuaciones 3.2 y 3.3, quedando las siguientes expresiones:

$$C_{GS} = C_{GG} + C_{GD} \quad (3.7)$$

$$C_{SG} = C_{GG} + C_{DG} \quad (3.8)$$

$$C_{DS} = C_{DD} + C_{DG} \quad (3.9)$$

$$C_{SD} = C_{DD} + C_{GD} \quad (3.10)$$

Para poder calcular la capacitancia total se tiene que agregar una capacitancia parásita, generada por el traslape entre los contactos de compuerta, con el fuente y de drenador, que llamaremos capacitancia de traslape C_{ov} . Esta capacitancia puede ser calculada por la siguiente expresión:

$$C_{ov} = WL_{OVR}C_i, \quad (3.11)$$

donde: L_{ov} es el largo del traslape entre los contactos compuerta-drenaje más el de compuerta-fuente, C_i la capacitancia intrínseca del material y W es el ancho del canal. Se debe considerar esta capacitancia si se quiere calcular la capacitancia total C_{xy} .

Se demostró que para pequeños valores de V_{DS} , el dispositivo está en el régimen lineal para todos los valores de voltaje aplicados a la compuerta y C_{GG} alcanzan un valor constante el cual no es afectado por la presencia o ausencia de las capacitancias compuerta-drenador y compuerta-fuente. El valor mínimo de la capacitancia en régimen por debajo del umbral, se debe a la capacitancia parásita generada por la superposición de los contactos de compuerta-drenador y compuerta-fuente.

Para la simulación dinámica de un circuito, las capacitancias más importantes son: la capacitancia de compuerta drenador C_{GD} , compuerta fuente C_{GS} y drenador fuente C_{DS} . Estas capacitancias pueden ser calculadas como la derivada de la carga con respecto al voltaje, de drenador o de compuerta, las expresiones auxiliares siguientes se utilizan para calcular la carga de la compuerta Q_G , que es igual a la carga del canal de forma negativa ($Q_{ch} = -Q_G$), drenador Q_D y fuente Q_S respectivamente [45].

$$Q_{ch} = (W * L * C_i) \frac{(2+\gamma_a)A_3}{(3+\gamma_a)A_2} , \quad (3.12)$$

donde:

$$A_2 = V_{gt}^{2+\gamma_a} - [V_{gt} - V_{def}]^{2+\gamma_a} \quad (3.13)$$

$$A_3 = V_{gt}^{3+\gamma_a} - [V_{gt} - V_{def}]^{3+\gamma_a} \quad (3.14)$$

$$A_4 = V_{gt}^{4+\gamma_a} - [V_{gt} - V_{def}]^{4+2\gamma_a} \quad (3.15)$$

$$A_5 = V_{gt}^{5+\gamma_a} - [V_{gt} - V_{def}]^{5+2\gamma_a} \quad (3.16)$$

$$V_{gt} = \frac{V_{min}}{2} \left[1 + \frac{V_{GS}-V_T}{V_{min}} + \sqrt{\zeta^2 + \left(\left(\frac{V_{GS}-V_T}{V_{min}} \right) - 1 \right)^2} \right] \quad (3.17)$$

$$V_{def} = \frac{V_{DS}}{\left[1 + \left[\frac{V_{DS}}{\alpha_S V_{gt}} \right]^m \right]^{1/m}} . \quad (3.18)$$

Las expresiones (3.17) y (3.18) se utilizan para poder garantizar una continuidad de las corrientes y las cargas cuando se barren V_{GS} y V_{DS} , donde los parámetros de ajuste son igual a: $V_{min}=10^{-6}$ y $\zeta=10$. Sustituyendo los valores de V_{GS} y V_T con las siguientes expresiones, que incluyen los parámetros de ajuste VA y DD:

$$V_{GS} = > V_{GS} + VA \quad (3.19)$$

$$V_T = > V_T - DD * V_{DS} \quad (3.20)$$

La partición de la carga en el drenador es representada por:

$$Q_D = (W * L * C_i)(2 + \gamma_a) \frac{V_{gt}^{2+\gamma_a} A_3}{A_2^2} \frac{A_5}{5+2\gamma_a}, \quad (3.21)$$

y finalmente la carga total en la fuente es igual a:

$$Q_S = Q_{ch} - Q_D \quad (3.22)$$

Los valores de los parámetros V_T , γ_a , α_s y m , aquí señalados, son los mismos que se calculan en el Capítulo 2, y que se extraen por el método UMEM por el procedimiento explicado en [49]. Los parámetros se extraen de las características transferenciales en régimen lineal y de saturación, y también de las características de salida.

La siguiente expresión se utiliza para calcular el valor del parámetro de saturación α_s cuando $V_{GS} < V_{gc}(V_{DS}, \alpha_{ss})$, con su valor de α_{ss} , cuando $V_{GS} > V_{gc}(V_{DS}, \alpha_{ss})$:

$$\alpha_{s2} = \alpha_s \frac{1 - \tanh((V_{GS} - V_{gc}) * 0.5)}{2} + \alpha_{ss} \frac{1 - \tanh((V_{GS} - V_{gc}) * 0.5)}{2} \quad (3.23)$$

donde: V_{gc} es igual al voltaje de transición, o sea, cuando el nivel E_c alcanza el E_f :

$$V_{gc}(V_{DS}, \alpha_{ss}) = V_T + \frac{V_{DS}}{\alpha_{ss}} \quad (3.24)$$

Un caso especial a considerar en los AOSTFT es que existe una estructura donde se produce un traslape entre el contacto metálico de drenaje y el de fuente sobre la capa de pasivación o de ESL, ver figura 1.6. Este traslape, con una longitud igual a L_{TOV} introduce una capacitancia adicional que debe ser calculada.

La expresión utilizada para representar la capacitancia completa de estos dispositivos en la región sobreumbral en acumulación, considerando el efecto del voltaje de drenador, se expresa como:

$$C_{ggP1} = C_{gg}(1 - V_{DS} * f_a) + C_{ipasiv}WL_{TOV} * (V_{DS}^{0.8} - V_{d0}^{0.8})MM \quad (3.25)$$

$$y \quad f_a = a \frac{1 - \tanh((V_{GS} - V_{gc})0.5)}{2}, \quad (3.26)$$

donde: MM y a son parámetros de ajuste.

Expresión para f_a es diferente de cero cuando $V_{GS} < V_{gc}$ (V_{DS} , α_{ss}), y para $V_{GS} > V_{gc}$ (V_{DS} , α_{ss}), $f_a = 0$. El segundo término en (3.25) incorpora el efecto del TOV, a través de C_{ipasiv} , la cual representa la capacitancia por unidad de área de la capa metal-pasivador-semiconductor. V_{d0} es el valor cercano a cero, usado para representar $V_{DS} = 0$, para evitar problemas de convergencia durante el cálculo numérico. Para el régimen de subumbral, se extrae la capacitancia mínima C_{gg0} de mediciones o simulación a un voltaje de compuerta por debajo del V_T en la región de agotamiento. El valor de la capacitancia en acumulación fuerte C_{gga} se extrae de la misma característica.

La capacitancia completa de C_{ggt} se expresa como:

$$C_{ggt} = C_{gg0} \frac{1 - \tanh[(V_{GS} - V_3)Q_3]}{2} + [C_{ggP1} + C_{par0} + 2C_{ov}] \frac{1 + \tanh[(V_{GS} - V_3)Q_3]}{2}, \quad (3.27)$$

donde: la capacitancia parásita C_{par0} es igual a:

$$C_{par0} = C_{gga} - [C_{gg} + 2C_{ov}] \quad (3.28)$$

De manera similar se pueden obtener la capacitancia C_{gdt} :

$$C_{gdt} = \frac{C_{gg0}}{2} * \frac{1 - \tanh[(V_{GS} - V_3)Q_3]}{2} + C_{gdP2} \frac{1 + \tanh[(V_{GS} - V_3)Q_3]}{2}, \quad (3.29)$$

donde:

$$C_{gdP2} = C_{gdP1} + \frac{C_{par0}}{2} + C_{ov} \quad (3.30)$$

Además, las siguientes capacitancias pueden ser calculadas:

$$C_{gdP1} = C_{gd}(1 - V_{DS} * f_a) + C_{ipasiv}WL_{topov} * (V_{DS}^{0.8} - V_{d0}^{0.8}) * 3 * MM \quad (3.31)$$

$$C_{gst} = C_{ggt} - C_{gdt} \quad (3.32)$$

$$C_{dgt} = \frac{C_{gg0}}{2} \frac{1 - \tanh[(V_{GS} - V_3)Q_3]}{2} + C_{dgP1} \frac{1 + \tanh[(V_{GS} - V_3)Q_3]}{2} \quad (3.33)$$

$$C_{dgP1} = -C_{dg}(1 - V_{DS}f_a) + C_{ov} + C_{ipasiv}WL_{TOV} * (V_{DS}^{0.8} - V_{d0}^{0.8})md \quad (3.34)$$

$$C_{ddt} = \frac{C_{gg0}}{2} \frac{1 - \tanh[(V_{GS} - V_3)Q_3]}{2} + C_{ddP1} \frac{1 + \tanh[(V_{GS} - V_3)Q_3]}{2} \quad (3.35)$$

$$C_{ddP1}(V_{GS}, V_{DS}) = -C_{dd}(1 - V_{DS}f_a) + C_{ov} + C_{ipasiv}WL_{TOV} * (V_{DS}^{0.8} - V_{d0}^{0.8})md \quad (3.36)$$

$$C_{dst} = C_{dgt} - C_{ddt} \quad (3.37)$$

Los valores de V3, Q3 y VA son extraídos comparando la característica medida o simulada de C_{ggt} para V_{DS}=0, dando como resultado:

$$C_{ggt0} = C_{gg0} \frac{1 - \tanh[(V_{GS} - V_3)Q_3]}{2} + [C_{gg} + C_{par0} + 2C_{ov}] \frac{1 + \tanh[(V_{GS} - V_3)Q_3]}{2} \quad (3.38)$$

3.2 Descripción del modelo usando Verilog-A y el simulador circuital SmartSPICE

Diseñar un circuito depende de poder predecir el comportamiento eléctrico de los dispositivos implementados. Los modelos de los dispositivos describen el

comportamiento eléctrico del mismo utilizando ecuaciones matemáticas, por lo cual todo dispositivo que se use en un circuito electrónico debe tener un modelo.

Estos dispositivos pueden ser pasivos, como resistores, o activos, como diodos o transistores. En el caso nuestro usaremos el simulador circuital SmartSPICE de Silvaco. Estos simuladores pueden tener los modelos de los dispositivos descritos internamente, o pueden leer modelos introducidos externamente. Para esto último se requiere que el modelo esté escrito en un lenguaje de alto nivel como es el Verilog-A, que describe el hardware analógico. El simulador para cada corrida compila el modelo para poder utilizarlo.

Un circuito electrónico es un sistema o un conjunto de componentes interconectados que, cuando un estímulo actúa sobre ellos producen una respuesta. Un sistema jerárquico es un sistema en el que los componentes también son sistemas. Hay componentes primitivos, los cuales son componentes que no tienen subcomponentes. Cada componente primitivo se conecta a una o más redes. Cada red se conecta a una señal que puede atravesar múltiples niveles de la jerarquía. El comportamiento de cada componente se define en términos de los valores de las redes a las que se conecta. El lenguaje Verilog-A permite que los sistemas analógicos, y de señales mixtas, sean descritos por un conjunto de componentes o módulos.

Las redes en Verilog-A conectan señales analógicas que tienen valores asignados de un dominio continuo. Un nodo es un punto de conexión física entre redes, los nodos obedecen a la semántica de la ley de conservación. En el siguiente diagrama se ilustra cómo son las conexiones entre uno y otro módulo, o dispositivo, dentro del programa.

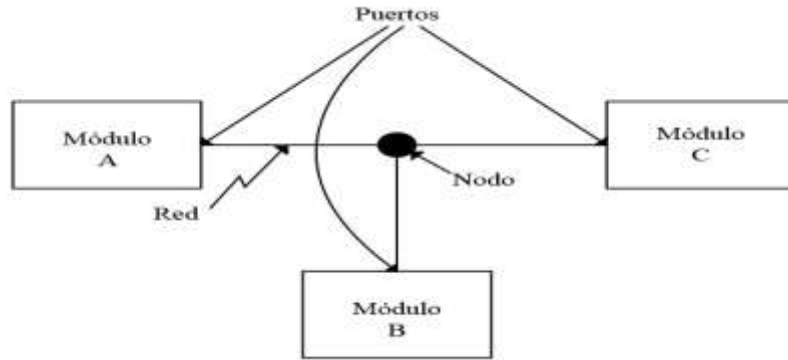


Fig. 3.1 Diagrama de conexión de los módulos por medio de un nodo, utilizando los puertos de salida/entrada del módulo.

3.3 Descripción de transistores y circuitos en Verilog-A

Se pueden describir dos tipos de sistemas analógicos con Verilog-A: conservador y sistema de flujo de señal. Un tipo de sistema conservador, descrito por SPICE, incorpora un conjunto de restricciones que aseguran la conservación de cargas (flujos y demás) dentro del sistema. Los sistemas de flujo de señal emplean un nivel diferente de formulación, que se centra solo en la propagación de señales en todo el sistema.

Un sistema conservador es un sistema donde se asignan dos valores a cada nodo: un potencial valor y un valor de flujo. El potencial de un nodo es dado por todos los puertos y redes conectados a él. El flujo de un nodo es tal que la suma de todos los nodos continuos es igual a cero. Por esta razón, las leyes de conservación, como la ley de potencial de Kirchoff y la ley de flujo de Kirchoff se pueden aplicar a todos los nodos.

Los sistemas de flujo de señal asocian solo un valor único con cada nodo. Como consecuencia, el puerto por el cual fluye la señal debe ser unidireccional. Si el componente tiene dos puertos, un puerto es la entrada y el otro debe ser la salida.

De igual forma se pueden encontrar sistemas mixtos, los cuales puede modelar sistemas que contienen una mezcla de nodos conservadores y nodos de flujo de señal, con lo cual se practica el ciclo de diseño de arriba hacia abajo. Este permite la flexibilidad para que los diseñadores inicialmente usen modelos de flujo de señal en el ciclo de diseño y convierta gradualmente los componentes a una forma conservadora a medida que avanza el diseño.

Las principales etapas en el diseño de dispositivos utilizando el simulador circuital SmartSPICE, donde el modelo se ha implementado en el lenguaje Verilog-A, se describen a continuación:

1. Fase de compilación: descripción del funcionamiento del dispositivo, descrito en Verilog-A, este archivo es enlazado por medio de una lista de redes, nodos y mallas, en SmartSPICE, la cual contiene parámetros necesarios para la simulación del circuito.

2. Fase de enlace: en el archivo de SmartSPICE se mandan a llamar los archivos **.verilog** antes creados para así poder empezar la simulación, cada archivo de verilog que enlacemos corresponde a la descripción de nuestro dispositivo a analizar. En este punto también se crea la malla, nodos y ramas, del circuito a simular. El modo de describir el circuito es por medio de una lista de nodos en la cual se va describiendo el circuito y conectando sus componentes.

3. Fase de simulación: una vez que se han incorporado todos los módulos Verilog-A, y el circuito electrónico a simular, se comienza la simulación en SmartSpice. El circuito se puede analizar para obtener un característica corriente-voltaje I-V o de capacitancia-voltaje C-V de DC o de AC. También se pueden analizar las respuestas a pulsos de voltaje o a barridos de frecuencia.

La duración de la simulación dependerá de la complejidad del circuito y del tipo de análisis que se requiera.

A continuación se muestra un pequeño diagrama ilustrando el proceso anteriormente descrito.

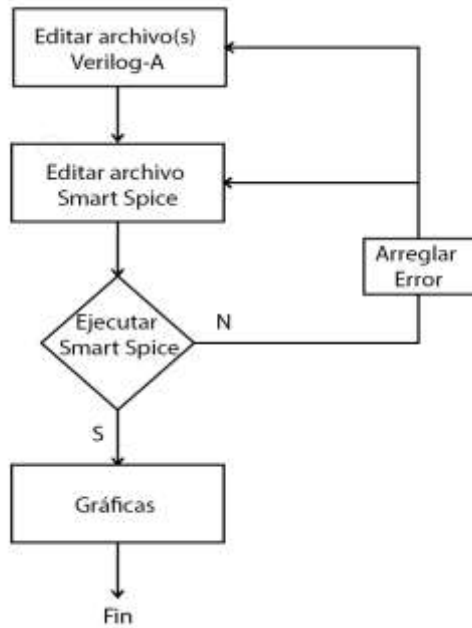


Fig. 3.2 Diagrama de flujo de simulación.

Ya con esto se puede empezar a analizar cualquier circuito requerido.

Un requisito indispensable es incluir en la descripción de los modelos a utilizar los parámetros del modelo que correspondan al dispositivo requerido. La obtención previa de estos parámetros es lo que se conoce como el **procedimiento de extracción de parámetros**.

3.4 Conclusiones del capítulo

- Se estudió para su implementación el modelo desarrollado de capacitancia-voltaje para los AOSTFT, para poder tener un modelo completo para la simulación circuital de DC y de AC.
- Se probó que la descripción del modelo completo implementado en el programa de alto nivel Verilog-A era correcto y describía bien las características del transistor. Las pruebas se realizaron en el simulador circuital SmartSPICE de Silvaco.

Capítulo 4.

Trabajo experimental

El trabajo experimental se desarrolló en las siguientes direcciones:

1. La extracción de los parámetros del modelo.
2. La reproducción de la validación del modelo dinámico utilizando mediciones de un inversor y un oscilador de anillo.
3. La realización de la simulación de varios circuitos utilizando el simulador circuital SmartSPICE.

En el capítulo 3 se dio a conocer el modelo de AC, el cual se implementó en Verilog-A para la utilización en el programa de simulación circuital SmartSPICE. En este capítulo se procederá a hacer la validación del modelo, implementando la simulación de diversos circuitos.

Se validó el modelo analítico, el cual incluye un modelo de voltaje-corriente y un modelo de capacitancia-voltaje específico para TFT de IGZO con una configuración escalonada de compuerta inferior. En [45] el modelo fue validado en régimen de operación DC y para realizar la validación dinámica del modelo con señales de corriente alterna a una frecuencia f se utilizan los osciladores de anillo (RO) como un circuito de prueba. Con los osciladores de anillo se determina la frecuencia de operación de un dispositivo o circuito. En este trabajo se utiliza un RO de 19 inversores basados en TFT IGZO y uno de estos 19 inversores del RO.

4.1 Inversor

El inversor es el circuito digital básico, donde la salida niega lógicamente la entrada. En este caso está constituido por dos transistores uno de carga y otro de control, el transistor de carga está conectado en modo de saturación ($V_G=V_D$), la figura 4.1 muestra un esquema del inversor. Los transistores que conforman al inversor tienen las dimensiones de $W=15\ \mu\text{m}$ y $L=15\ \mu\text{m}$ para el transistor de carga, el transistor de control $W=150\ \mu\text{m}$, $L=15\ \mu\text{m}$. Como capa dieléctrica de compuerta un apilado de

Si₃N₄/SiO₂ con un espesor de 200 nm y una constante dieléctrica de 5.2, como semiconductor una capa de 70 nm de a-IGZO con constante dieléctrica de 9 y como metal de contacto para compuerta, fuente y drenador Mo/Cr. A cada uno de estos transistores de les extrajeron los parámetros del modelo necesarios para la simulación de acuerdo al procedimiento de extracción de parámetros [45], y posteriormente fueron introducidos en el simulador, los parámetros extraídos se muestran en las siguientes Tablas 4.1, 4.2 y 4.3.

Después de haber obtenido todos los parámetros se pasó a realizar la simulación del circuito correspondiente, los valores de la resistencia y capacitancia de salida que son propias del circuito de lectura a la salida fueron tomados en cuenta en la simulación. La amplitud del pulso de entrada fue de 10 V. El valor de la resistencia de carga externa se tomó del osciloscopio, igual a 10 MΩ y el de la capacidad de carga externa debida a la impedancia de entrada del osciloscopio y la capacidad de la sonda de medición se tomó igual a 46 pF. El valor de esta capacitancia se midió con un capacitómetro Boonton.

Tabla 4.1 Parámetros extraídos del modelo

Parámetros del modelo extraídos	Símbolo	TFT Carga	TFT Control
Voltaje de umbral (V)	V_T	0.65	0.53
Parámetro de la ley de potencia de la movilidad para $V_G > V_T$	γ_a	0.34	0.32
Resistencia Serie (kΩ)	R_S	5.74	3
Voltaje de Banda Plana (V)	V_{FB}	0.39	0.28
Parámetro de saturación	α_S	0.32	0.38
Movilidad cuando $V_G - V_T = 1$	μ_1	7.89	7.1
Parámetro de oscilación por debajo del umbral	S	0.35	0.35
Valor de V_{DS} en el cual la curva transferencial lineal fue medida (V)	V_{DSlin}	0.5	0.1
Parámetro de modulación de longitud del canal (V^{-1})	λ	2.76	-1
Parámetro de la curva de salida	m	2.7	2.36
Parámetro de la movilidad para $V_G < V_T$	γ_b	0.73	0.56
Parámetro de saturación modificado	α_{SS}	1.25	1.25
Capacitancia parásita (pF)	C_{par}	0.5	0.4

Tabla 4.2 Parámetros de ajuste obtenidos del modelo

Parámetros de ajuste del modelo	TFT Carga	TFT Control
Q1	10	10
Q2	100	100
V1	0.01	0.01
V2	1.3	1.3
V3	0.55	0.5
Q3	7	2
MM	0.035	0.035
A	0.02	0.02
V_{AC}	0.5	0.1
DD	0.1	0.1

Tabla 4.3 Capacitancias medidas experimentalmente.

Capacitancias medidos experimentalmente	Símbolo	TFT Carga	TFT Control
Capacitancia en agotamiento (pF)	Cgg0	0.36	0.98
Capacitancia en acumulación (pF)	Cgga	0.85	1.3

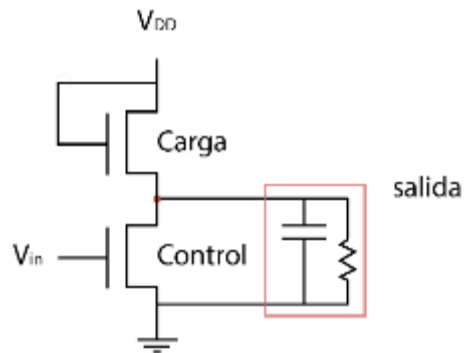


Figura 4.1 Diagrama de conexión del inversor, teniendo en cuenta la resistencia y capacitancia propias de la punta del equipo de medición.

Típicamente, en un inversor con configuración de carga saturada, el voltaje máximo de la señal de salida corresponde a $V_D - V_T$. El voltaje máximo que la señal de salida de nuestro inversor debería alcanzar idealmente sería de aproximadamente 9.5 V. En este caso, nuestros dispositivos presentan una resistencia de salida del orden de

M Ω , lo que hace que el voltaje máximo disminuya como se muestra en la figura 4.2, debido a un divisor de voltaje entre la resistencia de la sonda de medición del osciloscopio, que es de 10 M Ω , y la resistencia de salida del circuito.

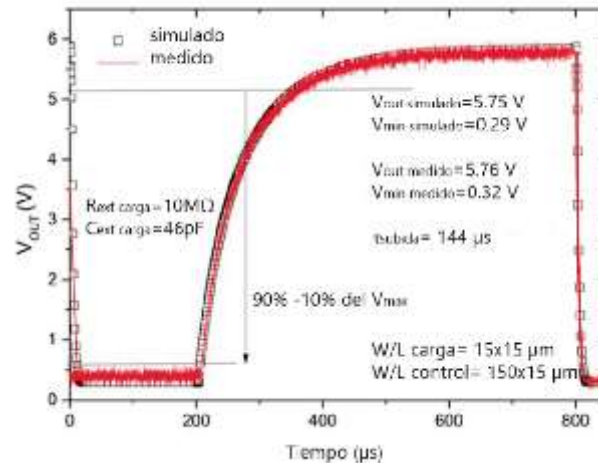


Fig. 4.2 Comparación de los voltajes de salida de la característica de transferencia de un inversor IGZO TFT, medidos y simulados utilizando el modelo dinámico en el SmartSPICE.

Teniendo en cuenta las consideraciones anteriores, podemos decir que el modelo describe con gran fiabilidad el comportamiento de cada dispositivo utilizado en este circuito. Se simuló el inversor anterior y dos más, con una variación en el tamaño de la W y manteniendo el valor de L=15 μm. Se aumentó en dos veces el tamaño del transistor de carga y en el otro el tamaño de carga, quedando una relación entre el transistor de carga con respecto al transistor de control de 5, 10 y 20 veces más pequeño.

De la figura 4.3a se puede observar la variación de voltaje que hay al aumentar o disminuir la relación de aspecto de los transistores. En 4.3b se muestra el cambio de corriente de los transistores cuando se le aplica un barrido de voltaje de -4V a 10 V. En 4.3c se muestra la respuesta que tienen los tres inversores simulados a un pulso casi rectangular, los valores de voltajes máximos y mínimos y los tiempos de subida de cada inversor se muestran en la siguiente Tabla 4.4.

Si se considera una situación ideal, con un buen acoplamiento entre el circuito y el instrumento de medición, las gráficas de salida para cada inversor son las siguientes:

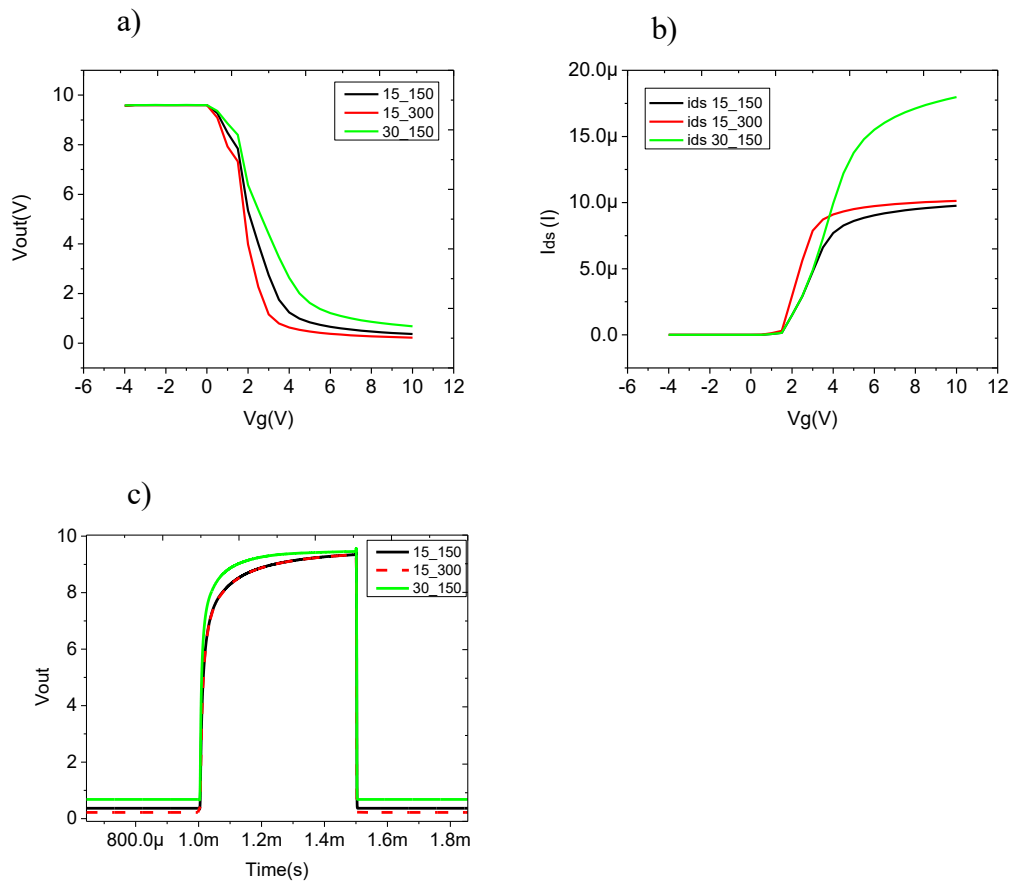


Figura 4.3 a) curvas de transferencia $V_{DD}=10$ V b) curvas de corriente c) respuesta a un pulso de 1 kHz.

Tabla 4.4 Resultados obtenidos de los inversores

Inversor	Voltaje mínimo (V)	Voltaje máximo (V)	Corriente máxima (μ A)	Tiempo de subida de la señal del 10% a 90% (μ s)
15-150	0.36	9.35	9.75	108.9
15-300	0.22	9.35	10.13	109.3
30-150	0.67	9.53	17.97	65.12

4.2 Oscilador de anillo.

El oscilador de anillo RO (*ring oscillator*) se utiliza como circuito de prueba para determinar la frecuencia de operación de un dispositivo o circuito. En este trabajo se utilizó un RO formado por 19 inversores basados en los TFT de a-IGZO, anteriormente mencionados. La figura 4.4 muestra el oscilador de anillo con el cual el modelo fue validado [52].

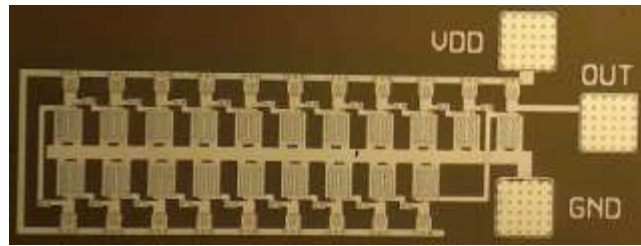


Figura 4.4 Oscilador de Anillo formado por 19 inversores, y un inversor como buffer a la salida

Después de realizar la medición, con un $V_{DD}=10V$, la frecuencia de oscilación del circuito fue de 22 kHz. Se muestra que el circuito simulado tiene una buena coincidencia con las mediciones experimentales. La frecuencia de oscilación y el tiempo de propagación por etapa del RO obedecen la siguiente relación [53]:

$$f_{osc} = \frac{1}{2\tau_p N}, \quad (4.1)$$

donde: N es el número de etapas del oscilador, τ_p es el tiempo necesario para que la salida de una respuesta a un cambio en la entrada del circuito. Como se muestra en la figura 4.5a si la frecuencia de oscilación es de 22 kHz el tiempo de propagación debe ser de 1.9 μs por cada etapa del RO. Posterior a haber medido y simulado el RO se cambió el valor de la capacitancia de carga en la simulación, para ver el efecto que tiene esta capacitancia en la frecuencia de oscilación.

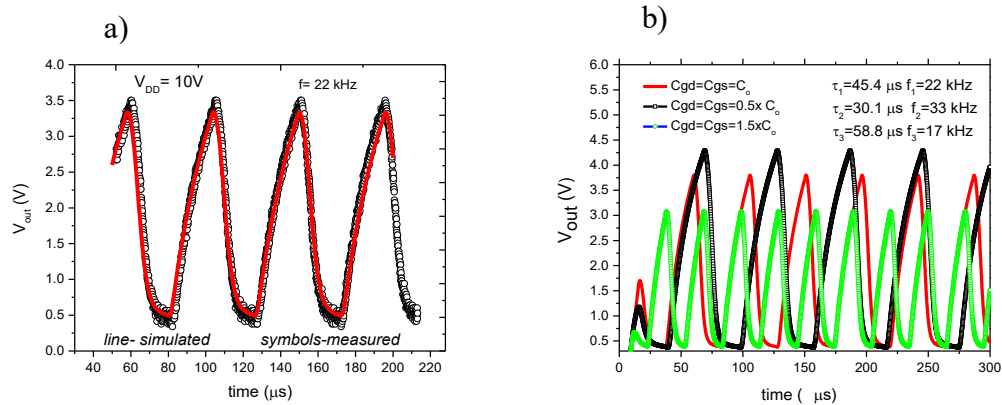


Figura 4.5 a) gráfica de frecuencia obtenida al polarizar el circuito a 10V, b) frecuencias obtenidas después de variar el valor de la capacitancia en el programa de simulación.

Como se observa en la figura 4.5b la frecuencia de oscilación es inversamente proporcional a la capacitancia. También se evaluó el cambio de frecuencia en función del voltaje aplicado, como se observa en la siguiente figura 4.6. Tanto en las mediciones realizadas al circuito como en la simulación cuando se incrementa el voltaje de alimentación hay un aumento en la frecuencia; con 15 V obtenemos una frecuencia de oscilación de 37 kHz y aplicando 20 V obtenemos 60 kHz.

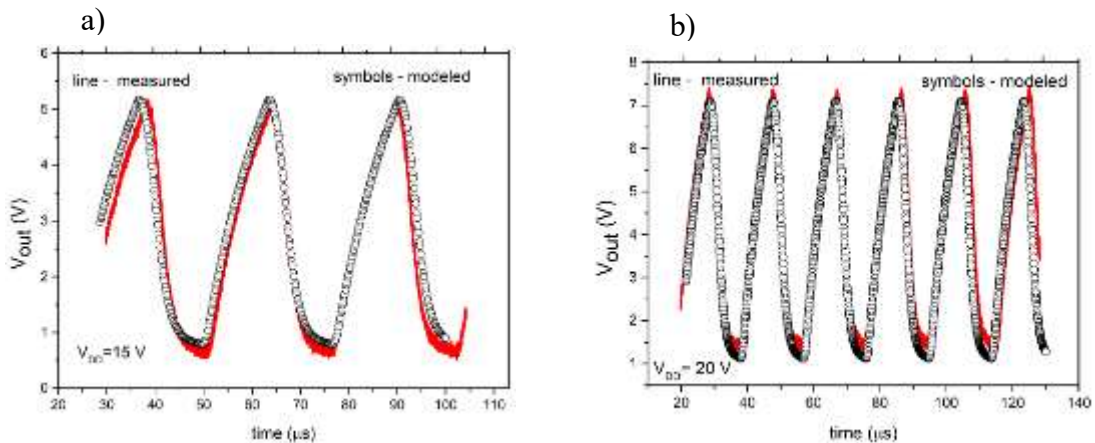


Figura 4.6 Gráficas de salida del RO aplicando a) 15V y b) 20V.

Como se puede observar en todos los casos la descripción del modelo en Verilog-A implementado en SmartSPICE nos proporciona muy buenos resultados al momento de comparar mediciones experimentales con las simulaciones realizadas.

4.3 Circuitos digitales simulados

Una vez validado el modelo para un transistor y para un oscilador de anillo se pasó a simular los siguientes circuitos digitales formados por transistores a-IGZO [54]: compuerta NAND de dos entradas, compuerta NOR de dos entradas y el circuito de 4 entradas que responde a la función: $F=a(b+cd)+bc'$. Se utilizaron los mismos transistores descritos anteriormente para realizar la simulación.

4.3.1 Compuerta NOR de 2 entradas.

El siguiente circuito analizado es una compuerta NOR, la cual está formada por un transistor de carga saturada y dos transistores de control conectados en paralelo, como se muestra en la figura 4.10.

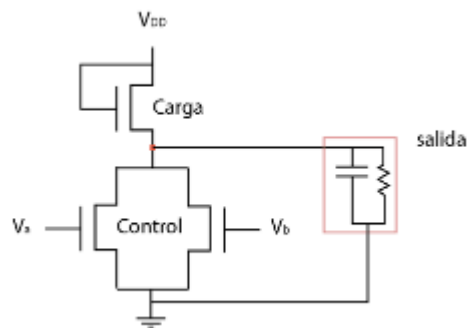


Figura 4.10 diagrama esquemático de una compuerta NOR solo utilizando transistores tipo N

A este circuito se le aplico un barrido de voltaje en la entrada V_a y a la entrada V_b se le coloco 0 V y 10 V, en la siguiente figura se muestra la respuesta a el barrido de voltaje y como se esperaba, solo se obtuvo un valor alto a la salida. De igual manera se realizó un barrido de voltaje en la entrada V_b y se colocó la entrada V_a en un estado alto y en uno bajo, y se obtuvo una buena respuesta del circuito, de igual manera que los circuitos reportados en [54], donde realizan la fabricación de los dispositivos y los ponen bajo prueba.

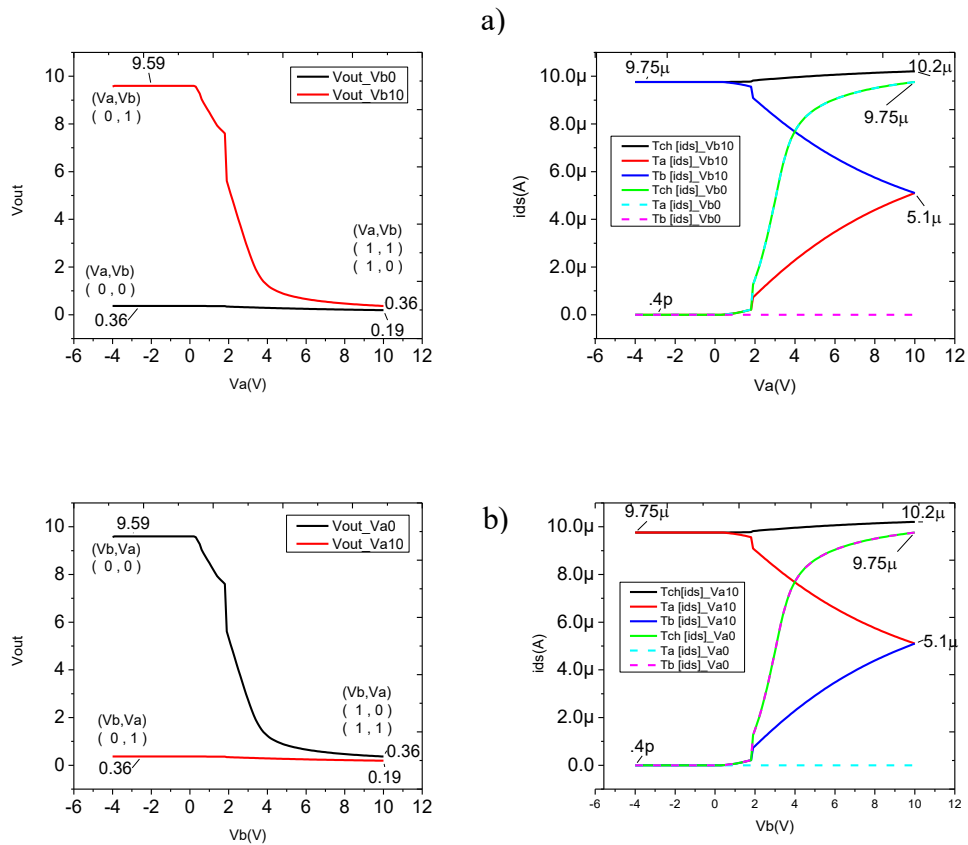


Figura 4.11 Graficas del voltaje de salida y de la corriente que pasa por cada uno de los transistores del circuito NOR: a) variando V_a de -4 V a 10 V, manteniendo la entrada V_b en 0 V o 10 V; b) variando V_b de -4V a 10V y manteniendo la entrada V_a en 0 V o 10 V.

A esta compuerta se le aplicó un reloj de 1 kHz en cada una de sus entradas, como se muestra a continuación, hay una buena respuesta de nuestro circuito al pulso aplicado y de igual manera como se esperaba solo se obtiene un valor alto a la salida cuando las dos entradas del circuito permanecen en un voltaje de 0 V. Lo cual indica que nuestra simulación esta correcta, de igual manera se sabe que nuestro circuito a 10 V puede llegar a funcionar hasta una frecuencia de 22 kHz. Se tiene el tiempo subida del circuito a un cambio en sus entradas, el cual da un valor de 112.85 μs , que es el tiempo que tarda la salida en llegar de un 10% a un 90% de su valor máximo.

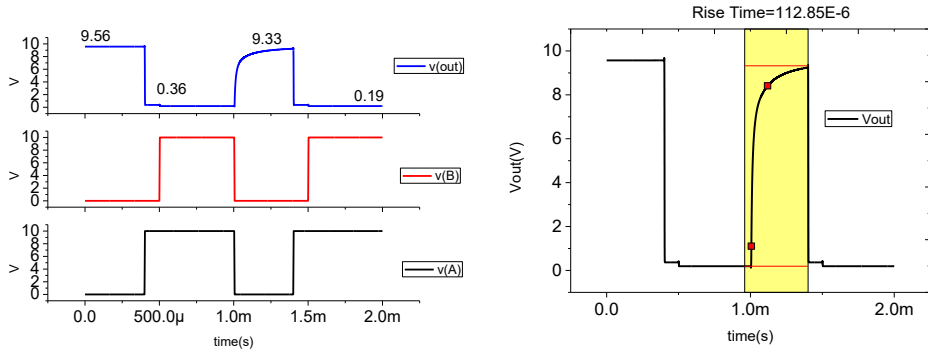


Figura 4.12 Graficas de respuesta a un reloj de 1kHz de la compuerta NOR y su tiempo de subida.

4.3.2 Circuito para realizar la función $F=a(b+cd)+bc'$.

El siguiente circuito simulado responde a la función: $F=a(b+cd)+bc'$ donde F representa el voltaje de salida del circuito, el circuito cuenta con 25 transistores, dos por cada inversor y 3 de cada una de las compuertas NOR. Los inversores y las compuertas están constituidos de los mismos transistores de carga y de control utilizados en el RO.

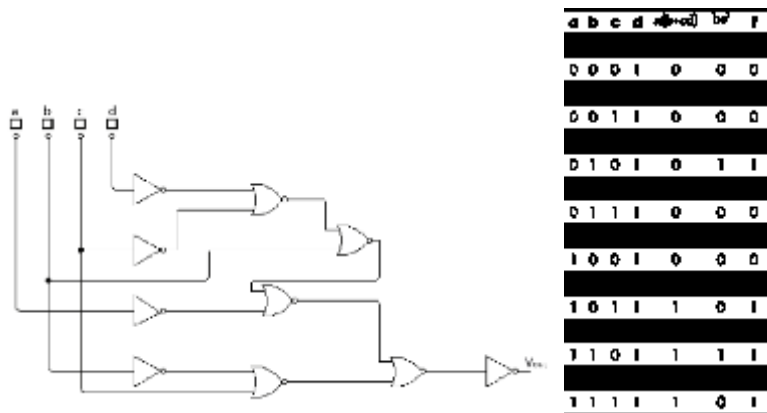


Figura 4.13 Esquema de circuito simulado con inversores y compuertas NOR. Tabla de verdad del circuito.

Las siguientes figuras muestran el resultado de la simulación del circuito, a cada una de las entradas del circuito se le coloco una señal para que al término de estas se mostrara una gráfica con solo dos pulsos en alto a la salida, en general el circuito respondió óptimamente a los valores aplicados a la entrada.

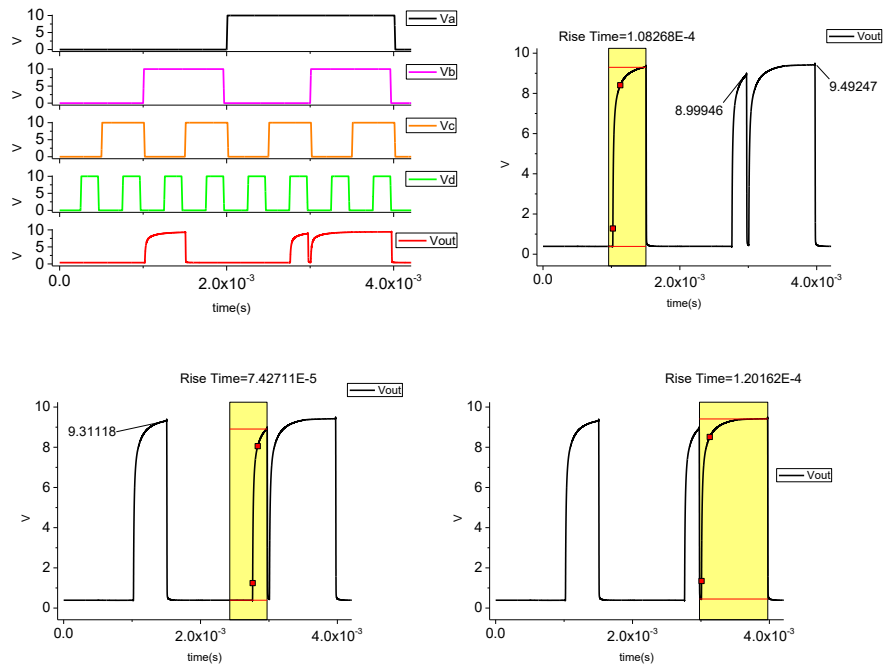


Figura 4.14 Gráfica de respuesta de salida y tiempos de subida de cada uno de los pulsos de respuesta del circuito.

Se puede observar que los tiempos de respuesta del circuito son muy parecidos a los del inversor con el cual fue validado el modelo, lo que nos indicaría que tenemos un buen acoplamiento entre cada uno de los dispositivos utilizados, se tuvieron complicaciones con la simulación, ya que en algunos puntos el programa no encontraba un resultado y se modificaron un poco los parámetros de cada entrada del circuito.

4.4 Controlador de un Pixel

Un circuito controlador de píxeles de pantallas de matrices activas con diodos emisores de luz orgánicos AM-OLED. Estos circuitos contienen al menos dos TFT con un capacitor de almacenamiento C_{ST} [55], como se puede ver en la figura 4.15, con el diagrama de conexión de los transistores y del OLED. En este caso nos centraremos en el transistor que está conectado al capacitor de almacenamiento, por lo cual nuestro circuito simulado sería el que se muestra en la figura 4.15 b.

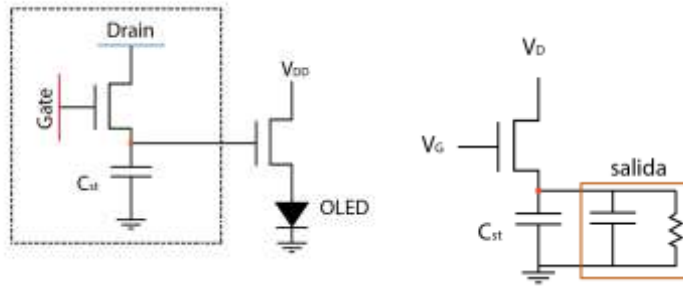


Figura 4.15 a) circuito controlador de pixel b) circuito simulado, teniendo en cuenta como salida una sonda de medición.

Para lograr mejoras en la resolución de pantalla y la velocidad de fotogramas, se requiere un margen de tiempo más corto disponible para que cada píxel complete su carga. La respuesta dinámica del silicio amorfo hidrogenado a-Si:H TFT se ha estudiado ampliamente en la literatura [55].

Los datos iniciales sugieren que los TFT de a-IGZO tienen buenas características dinámicas cuando funcionan a frecuencias muy altas [56].

En esta parte del trabajo, nuestro objetivo es evaluar y comparar la respuesta dinámica de los TFT de a-IGZO y su potencial aplicación a circuitos de píxeles. Para este propósito, se simuló el circuito de la figura 4.15b, el cual consiste en un transistor con dimensiones de $W=150\mu\text{m}$ y $L=15\mu\text{m}$, y un capacitor de almacenamiento de 1.15pF . Se le aplicó las formas de onda correspondientes a las especificaciones de sincronización UHD (*Ultra High Definition*) y las características de carga del capacitor son presentadas a continuación.

En la operación dinámica de los píxeles, dos propiedades del transistor son importantes, el rendimiento de carga de píxeles y el voltaje de alimentación. El tiempo de carga del circuito de pixel, es decir, el tiempo requerido para cargar el capacitor de almacenamiento en el circuito llegue al nivel requerido para que el pixel opere, la velocidad de conmutación del TFT y la velocidad de conducción TFT. Una carga insuficiente del electrodo del pixel puede causar un error en el brillo del OLED o en la resolución de la pantalla en escala de grises como en las pantallas de cristal líquido AM-LCD [57].

El ancho del pulso aplicado a la compuerta está indicado como margen de tiempo de carga (t_{cm}), que es el tiempo disponible para cargar o descargar el capacitor, este tiempo de carga se puede definir como:

$$t_{cm} = \frac{1}{\text{Velocidad de Cuadro} * \text{Numero de lineas}} \quad (4.2)$$

Que se refiere al número de líneas de la pantalla por la velocidad de cada cuadro. En este trabajo se implementó el tiempo de carga para pantallas UHD, para este caso el t_{cm} sería de $\sim 16 \mu s$, se utilizó este tiempo y dos más, para comparar hasta que valor máximo de carga llegaba el capacitor si se le da un tiempo mayor de carga.

Al circuito se le aplicó un pulso en la compuerta, variando el margen de tiempo en $16 \mu s$, $30 \mu s$ y $40 \mu s$ y el drenador se mantuvo a $10 V$, en la figura 4.17 se muestran los resultados obtenidos. Se observa que cuando el voltaje aplicado a la compuerta pasa de un estado alto a uno bajo el voltaje a la salida del circuito se mantiene en un voltaje fijo, este voltaje es debido al capacitor de almacenamiento C_{st} , y se le denomina voltaje de retroalimentación ΔV .

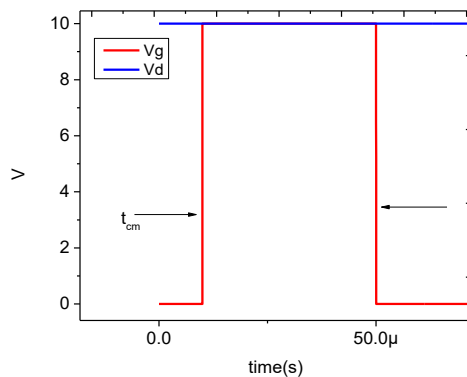


Figura 4.16 Pulso de $40 \mu s$ utilizado en la simulación y el tiempo de carga de la señal.

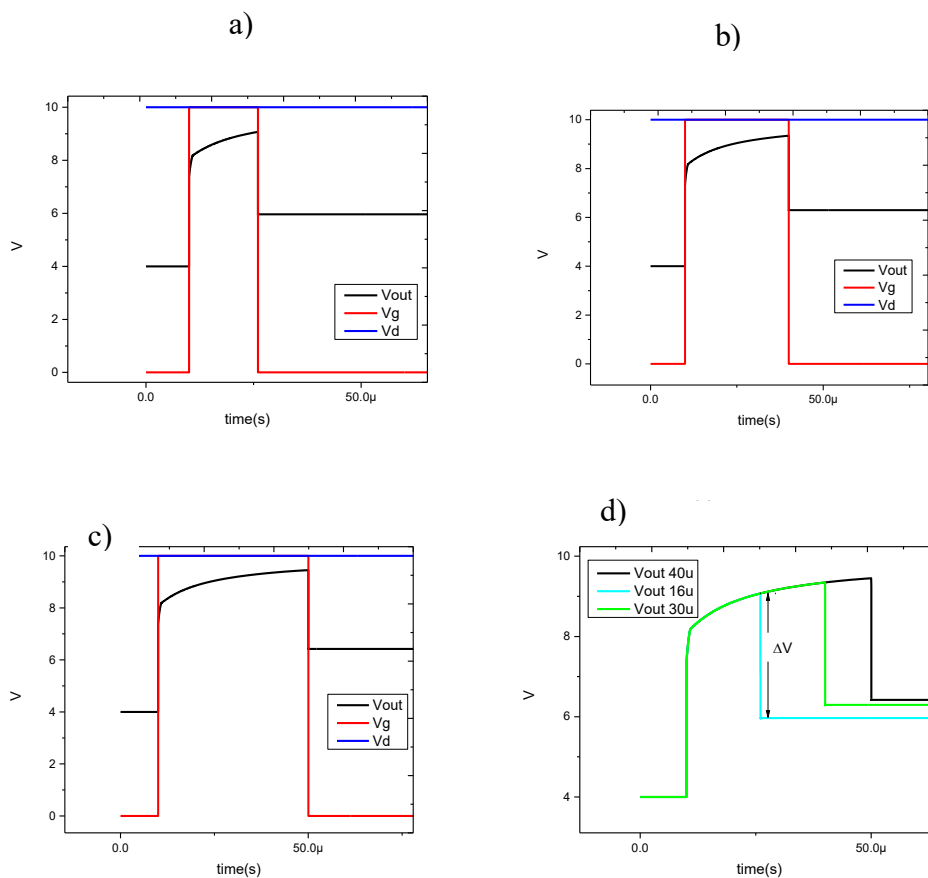


Figura 4.17 Respuesta del circuito a un pulso de ancho: a) 16 μs ; b) 30 μs ; c) 40 μs d). Comparación de las tres curvas.

Los voltajes máximos alcanzados, los tiempos de subida de la señal y los valores de ΔV se muestran en la siguiente Tabla 4.5.

Tabla 4.5 Voltajes y tiempos de subida a cada uno de los tiempos aplicados.

t_{cm} (μs)	Voltaje máximo (V)	ΔV (V)	Tiempo de subida de la señal del 10% a 90% (μs)
16	9.07	3.11	4.9
30	9.34	3.05	8.99
40	9.45	3.04	11.09

El voltaje de retroalimentación ΔV es el voltaje relacionado a la capacitancia de almacenamiento después de que el voltaje en la compuerta pasa de un valor alto a

un valor bajo. En la operación de las pantallas LCD el ΔV se manifiesta como un parpadeo en la imagen [58]. En [55] se presentan una serie de ecuaciones con las cuales se puede calcular el valor del ΔV , asumiendo que el valor de la capacitancia C_{GS} es independiente del voltaje de compuerta, el valor del voltaje de retroalimentación de puede calcular de la siguiente manera:

$$\Delta V = \frac{C_{GS}}{C_{GS}+C_{st}} (V_{GH} - V_{GL}), \quad (4.3)$$

donde: V_{GL} es el voltaje en bajo de la compuerta y V_{GH} es el voltaje en alto.

Ya que existen dos contribuciones principales para la descripción del ΔV , uno es la redistribución de la carga en el canal, cuando el voltaje en la compuerta es reducido a un voltaje bajo, y la contribución de la capacitancia de retroalimentación dada por C_{GS} y C_{st} [56]. La redistribución en el canal del TFT se da cuando el dispositivo es puesto de un estado de encendido a uno de apagado y la carga en el canal Q_{ch} es liberada por medio de los contactos de fuente y drenador. Tomando en consideración las dos contribuciones al ΔV , con la siguiente ecuación se puede calcular el ΔV total.

$$\Delta V = \frac{C_{GS}}{C_{GS}+C_{st}} (V_{th} + V_{DH} - V_{GL}) + \alpha \frac{C_{GI}A(V_{GH}-V_{th}-V_{DH})}{C_{st}} \quad (4.4)$$

Donde V_{DH} es el voltaje alto aplicado al drenador, α es un factor que va de 0 a 0.5, depende de que tan rápido es el tiempo de bajada de la señal que se le aplica a la compuerta. Con un tiempo de bajada muy grande el factor α tiende a cero y para el caso contrario, cuando se tienen tiempos de bajada muy pequeños el factor tiende a 0.5.

Para observar el impacto de la capacitancia C_{st} en la respuesta dinámica de nuestro circuito de prueba, se muestra a continuación el voltaje de salida para circuitos con diferentes capacitancias de almacenamiento. Se simulan 3 capacitancias distintas, de 1.15 pF, 0.65 pF y 0.29 pF. Las formas de onda aplicadas tienen en los tres casos un t_{cm} o ancho de pulso de 16 μs ya que es el correspondiente a ultra alta definición en las pantallas planas.

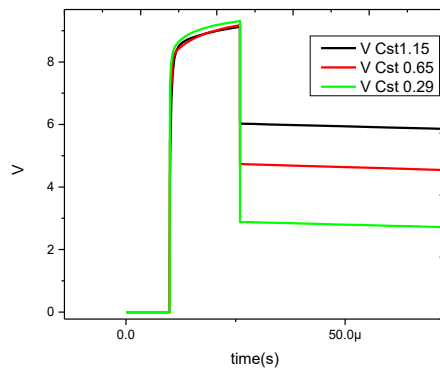


Fig. 4.19 Respuesta del circuito al cambio de la capacitancia de almacenamiento.

Como se puede observar hay una variación considerable en el ΔV , que para cada uno de los casos fue de 3.11 V, 4.45 V y 6.43 V. De la figura, igual se muestra que con un capacitor menor se obtienen tiempos de carga más rápidos pero afecta a el voltaje de retroalimentación, y si este es muy alto como ya se mencionó anteriormente puede ser motivo de parpadeo en el OLED o en LCD que puede presentar como algún tono gris o una variación en el color.

4.5 Conclusiones del capítulo

- El trabajo experimental desarrollado estuvo dirigido a verificar el modelo de AC en SmartSPICE y a realizar simulaciones circuitales de varios circuitos digitales.
- Se comparó la medición de la señal de oscilación de un oscilador de 19 elementos, con una frecuencia de 22 kHz, y la respuesta a un pulso de un inversor, con las simulaciones circuitales en SmartSPICE, obteniendo muy buena coincidencia entre ambas características. Se varió el voltaje de alimentación, y los valores de las capacitancias, y se comprobó la coincidencia de medición y simulación.
- Se simularon una compuerta NOR de dos entradas y un circuito digital de 25 transistores, y la simulación reprodujo el comportamiento de los circuitos con las diferentes posibilidades de señales de entrada.
- Se simuló un controlador de la corriente de un pixel de OLED. La respuesta obtenida es la esperada y se puede describir bien el comportamiento del llamado

voltaje de retroalimentación ΔV , que es el voltaje relacionado a la capacitancia de almacenamiento, y uno de los principales parámetros a controlar en este circuito.

CONCLUSIONES

1. Los materiales amorfos semiconductores, atraen una gran atención como material para fabricar los TFTs, sustituyendo al a-Si:H y poli-Si, en particular para aplicaciones en pantallas planas de gran tamaño. Esto se debe a que estos materiales tienen una movilidad que es más de 10 veces mayor a la del a-Si:H, lo que genera una mayor corriente, la cual les permite alimentar a los LED orgánicos (OLED).
2. Hasta el momento los transistores AOSTFT son del tipo de canal n, por lo cual los circuitos digitales y analógicos utilizan solamente cargas saturadas.
3. La alta movilidad de estos transistores está definida por dos mecanismos de conducción de portadores; el de conducción por saltos y el llamado de percolación dentro de la banda de conducción.
4. El modelo de la corriente de drenador en sobreumbral y subumbral es similar al desarrollado en el UMEM para los restantes TFTs amorfos, donde solo varía la descripción de la movilidad. Se utilizó la extracción de parámetros por optimización matemática.
5. Se estudió, para su implementación, el modelo desarrollado de C-V para los AOSTFT, para poder tener un modelo completo para la simulación circuital de DC y de AC.
6. Se probó que la descripción del modelo completo implementado en el programa de alto nivel Verilog-A era correcto y describía bien las características del transistor. Las pruebas se realizaron en el simulador circuital SmartSPICE de Silvaco.
7. El trabajo experimental desarrollado estuvo dirigido a verificar el modelo de AC en SmartSPICE y a realizar simulaciones circuitales de varios tipos de circuitos.
8. Se comparó la medición de la señal de oscilación de un oscilador de 19 elementos, con una frecuencia dada, y la respuesta a un pulso de un inversor, con las simulaciones circuitales en SmartSPICE, obteniendo muy buena coincidencia entre ambas características. Se varió el voltaje de alimentación y se comprobó la coincidencia de medición y simulación.
9. Se comparó la medición de la señal de oscilación de un oscilador de 19 elementos, con una frecuencia de 22 kHz, y la respuesta a un pulso de un inversor, con las

simulaciones circuitales en SmartSPICE, obteniendo muy buena coincidencia entre ambas características. Se varió el voltaje de alimentación, y los valores de las capacitancias, y se comprobó por simulación el efecto de estas variaciones.

10. Se simuló una compuerta NOR de dos entradas y un circuito digital de 25 transistores, y la simulación reprodujo el comportamiento de los circuitos con las diferentes posibilidades de señales de entrada.
11. Se simuló un controlador de la corriente de un pixel de OLED. La respuesta obtenida es la esperada y se puede describir bien el comportamiento del llamado voltaje de retroalimentación ΔV , que es el voltaje relacionado a la capacitancia de almacenamiento, y uno de los principales parámetros a controlar en este circuito. Se demostró que el modelo está listo para ser utilizado en el diseño de circuitos que utilicen transistores AOSTFT.

BIBLIOGRAFÍA

- [1]. P. K. Weimer, "TFT - new thin-film transistor", Proceedings of the Institute of Radio Engineers, vol.50, no.6, pp. 1462-1469, 1962.
- [2]. D. Kahng and M. M. Atalla, Silicon-Silicon Dioxide Field Induced Devices, IRE Solid State Device Conference, 1960.
- [3]. S. D. Brotherton, "Polycrystalline silicon thin film transistors" Semiconductor Science and Technology, vol.10, pp.721-728,1995.
- [4]. R. J. Chesterfield, C. R. Newman, T. M. Pappenfus, P. C. Ewbank, M. H. Haukaas, K. R. Mann, L. L. Miller and C. D. Frisbie, "High electron mobility and ambipolar transport in organic thin-film transistors based on a pi-stacking quinoidal terthiophene", Advanced Materials, vol.15, no.15, pp. 1278, Aug 2003.
- [5]. Hoffman, R. L., Benjamin J. Norris, and J. F. Wager. "ZnO-based transparent thin-film transistors." Applied Physics Letters 82.5 (2003): 733-735.
- [6]. Garcia, P. F., et al. "Transparent ZnO thin-film transistor fabricated by rf magnetron sputtering." Applied Physics Letters 82.7 (2003): 1117-1119.
- [7]. Masuda, Satoshi, et al. "Transparent thin film transistors using ZnO as an active channel layer and their electrical properties." Journal of Applied Physics 93.3 (2003): 1624-1630.
- [8]. Nishii, Junya, et al. "High mobility thin film transistors with transparent ZnO channels." Japanese journal of applied physics 42.4A (2003): L347.
- [9]. Norris, B. J., et al. "Spin-coated zinc oxide transparent transistors." Journal of Physics D: Applied Physics 36.20 (2003): L105.
- [10]. Nomura, Kenji, et al. "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor." Science 300.5623 (2003): 1269-1272.
- [11]. Nomura, Kenji, et al. "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors." nature 432.7016 (2004): 488-492.
- [12]. Kamiya, Toshio, Kenji Nomura, and Hideo Hosono. "Origins of high mobility and low operation voltage of amorphous oxide TFTs: Electronic structure, electron transport, defects and doping." Journal of display Technology 5.12 (2009): 468-483.
- [13]. Paul K. Weimer. The TFT- A New Thin-Film Transistor. Proceedings of the IRE. Volume 50. June 1962. Pages: 1462-1469.
- [14]. Facchetti, Antonio, and Tobin Marks, eds. Transparent electronics: from synthesis to applications. John Wiley & Sons, 2010.

- [15]. Kamiya, Toshio, and Hideo Hosono. "Material characteristics and applications of transparent amorphous oxide semiconductors." *NPG Asia Materials* 2.1 (2010): 15-22.
- [16]. Suresh, Arun, et al. "Transparent, high mobility InGaZnO thin films deposited by PLD." *Thin Solid Films* 516.7 (2008): 1326-1329.
- [17]. Takagi, Akihiro, et al. "Carrier transport and electronic structure in amorphous oxide semiconductor, a-InGaZnO₄." *Thin solid films* 486.1-2 (2005): 38-41.
- [18]. Arai, Toshiaki, et al. "Highly reliable oxide-semiconductor TFT for AMOLED displays." *Journal of the Society for Information Display* 19.2 (2011): 205-211.
- [19]. Osada, Takeshi, et al. "Development of liquid crystal display panel integrated with drivers using amorphous In-Ga-Zn-Oxide thin film transistors." *Japanese Journal of Applied Physics* 49.3S (2010): 03CC02.
- [20]. Kim, Minkyu, et al. "High mobility bottom gate InGaZnO thin film transistors with SiO_x etch stopper." *Applied Physics Letters* 90.21 (2007): 212114.
- [21]. Godo, Hiromichi, et al. "Temperature dependence of transistor characteristics and electronic structure for amorphous In-Ga-Zn-Oxide thin film transistor." *Japanese Journal of Applied Physics* 49.3S (2010): 03CB04.
- [22]. Ohara, Hiroki, et al. "21.3: 4.0 In. QVGA AMOLED Display Using In-Ga-Zn-Oxide TFTs with a Novel Passivation Layer." *SID Symposium Digest of Technical Papers*. Vol. 40. No. 1. Oxford, UK: Blackwell Publishing Ltd, 2009.
- [23]. Seo, Hyun-Sik, et al. "76.2: Development of Highly Stable a-IGZO TFT with TiO_x as a Passivation Layer for Active-Matrix Display." *SID Symposium Digest of Technical Papers*. Vol. 41. No. 1. Oxford, UK: Blackwell Publishing Ltd, 2010.
- [24]. Hung, Ming-Chin, et al. "Employ present five masks amorphous silicon thin-film transistor design and process flow to realize 5-in. InGaZnO active-matrix liquid crystal display with improved stress stability." *Japanese Journal of Applied Physics* 50.3S (2011): 03CB07.
- [25]. Geng, Di, Dong Han Kang, and Jin Jang. "High-performance amorphous indium-gallium-zinc-oxide thin-film transistor with a self-aligned etch stopper patterned by back-side UV exposure." *IEEE Electron Device Letters* 32.6 (2011): 758-760.
- [26]. Brotherton, S. D. "Transparent amorphous oxide semiconductor TFTs." *Introduction to Thin Film Transistors*. Springer, Heidelberg, 2013. 301-338.
- [27]. Hoffman, R. L. "Effects of channel stoichiometry and processing temperature on the electrical characteristics of zinc tin oxide thin-film transistors." *Solid-State Electronics* 50.5 (2006): 784-787.

- [28]. Hosono, Hideo. "Ionic amorphous oxide semiconductors: Material design, carrier transport, and device application." *Journal of Non-Crystalline Solids* 352.9-20 (2006): 851-858.
- [29]. Kamiya, Toshio, Kenji Nomura, and Hideo Hosono. "Origin of definite Hall voltage and positive slope in mobility-donor density relation in disordered oxide semiconductors." *Applied Physics Letters* 96.12 (2010): 122103.
- [30]. Kamiya, Toshio, Kenji Nomura, and Hideo Hosono. "Electronic structures above mobility edges in crystalline and amorphous In-Ga-Zn-O: Percolation conduction examined by analytical model." *Journal of Display Technology* 5.12 (2009): 462-467.
- [31]. Kimura, Mutsumi, et al. "Trap densities in amorphous-In Ga Zn O 4 thin-film transistors." *Applied Physics Letters* 92.13 (2008): 133512.
- [32]. Jeon, Kichan, et al. "Modeling of amorphous InGaZnO thin-film transistors based on the density of states extracted from the optical response of capacitance-voltage characteristics." *Applied Physics Letters* 93.18 (2008): 182102.
- [33]. Kimura, Mutsumi, et al. "Intrinsic carrier mobility in amorphous In-Ga-Zn-O thin-film transistors determined by combined field-effect technique." *Applied Physics Letters* 96.26 (2010): 262105.
- [34]. Kimura, Mutsumi, et al. "Extraction of trap states at the oxide-silicon interface and grain boundary for polycrystalline silicon thin-film transistors." *Japanese Journal of Applied Physics* 40.9R (2001): 5227.
- [35]. Kimura, Mutsumi. "Extraction technique of trap densities in thin films and at insulator interfaces of thin-film transistors." *Japanese Journal of Applied Physics* 50.3S (2011): 03CB01.
- [36]. Lee, Sungsik, et al. "Trap-limited and percolation conduction mechanisms in amorphous oxide semiconductor thin film transistors." *Applied Physics Letters* 98.20 (2011): 203508.
- [37]. Nomura, Kenji, et al. "Origins of threshold voltage shifts in room-temperature deposited and annealed a-In-Ga-Zn-O thin-film transistors." *Applied Physics Letters* 95.1 (2009): 013502.
- [38]. Lopes, M. E., et al. "Gate-bias stress in amorphous oxide semiconductors thin-film transistors." *Applied Physics Letters* 95.6 (2009): 063502.
- [39]. Nomura, Kenji, Toshio Kamiya, and Hideo Hosono. "Interface and bulk effects for bias—light-illumination instability in amorphous-In—Ga—Zn—O thin-film transistors." *Journal of the Society for Information Display* 18.10 (2010): 789-795.

- [40]. Jeong, Jae Kyeong, et al. "Origin of threshold voltage instability in indium-gallium-zinc oxide thin film transistors." *Applied Physics Letters* 93.12 (2008): 123508.
- [41]. Oh, Himchan, et al. "Photon-accelerated negative bias instability involving subgap states creation in amorphous In–Ga–Zn–O thin film transistor." *Applied Physics Letters* 97.18 (2010): 83502.
- [42]. Chen, Te-Chih, et al. "Behaviors of InGaZnO thin film transistor under illuminated positive gate-bias stress." *Applied Physics Letters* 97.11 (2010): 112104.
- [43]. Ghaffarzadeh, Khashayar, et al. "Persistent photoconductivity in Hf–In–Zn–O thin film transistors." *Applied Physics Letters* 97.14 (2010): 143510.
- [44]. Chowdhury, Md Delwar Hossain, Piero Migliorato, and Jin Jang. "Light induced instabilities in amorphous indium–gallium–zinc–oxide thin-film transistors." *Applied Physics Letters* 97.17 (2010): 173506.
- [45]. Cerdeira, A., et al. "Full capacitance model, considering the specifics of amorphous oxide semiconductor thin film transistors structures." *Solid-State Electronics* 156 (2019): 16-22.
- [46]. Servati, Peyman, Denis Striakhilev, and Arokia Nathan. "Above-threshold parameter extraction and modeling for amorphous silicon thin-film transistors." *IEEE Transactions on Electron Devices* 50.11 (2003): 2227-2235.
- [47]. Castro-Carranza, Alejandra, et al. "Organic thin-film transistor bias-dependent capacitance compact model in accumulation regime." *IET Circuits, Devices and Systems* 6.2 (2012): 130-135.
- [48]. Cerdeira, A., et al. "New procedure for the extraction of basic a-Si: H TFT model parameters in the linear and saturation regions." *Solid-State Electronics* 45.7 (2001): 1077-1080.
- [49]. Moldovan, Oana, et al. "A compact model and direct parameters extraction techniques for amorphous gallium-indium-zinc-oxide thin film transistors." *Solid-State Electronics* 126 (2016): 81-86.
- [50]. Kim, Chang Hyun, et al. "A compact model for organic field-effect transistors with improved output asymptotic behaviors." *IEEE Transactions on Electron Devices* 60.3 (2013): 1136-1141.
- [51]. Cerdeira, Antonio, et al. "Modeling the behavior of amorphous oxide thin film transistors before and after bias stress." *Microelectronics Reliability* 52.11 (2012): 2532-2536.

- [52]. Gaspar-Angeles, J. N., Hernández-Barrios, Y., Cerdeira, A., Estrada, M., & Iñiguez, B. (2020, February). Dynamic Validation of the Full Model for AOSTFTs using a Ring Oscillator based on a-IGZO TFTs. In 2020 IEEE Latin America Electron Devices Conference (LAEDC) (pp. 1-4). IEEE.
- [53]. Guang, Yu, et al. "Frequency performance of ring oscillators based on a-IGZO thin-film transistors." *Chinese Physics Letters* 32.4 (2015): 047302.
- [54]. Luo, Haojun, et al. "Transparent IGZO-based logic gates." *IEEE Electron Device Letters* 33.5 (2012): 673-675.
- [55]. Lee, Hojin, Chun-Sung Chiang, and Jerzy Kanicki. "Dynamic response of normal and corbino a-Si: H TFTs for AM-OLEDs." *IEEE Transactions on Electron Devices* 55.9 (2008): 2338-2347.
- [56]. Yu, Eric Kai-Hsiang, et al. "Dynamic response of a-InGaZnO and amorphous silicon thin-film transistors for ultra-high definition active-matrix liquid crystal displays." *Journal of Display Technology* 11.5 (2015): 471-479.
- [57]. Choi, Byong-Deok, and Oh-Kyong Kwon. "Line time extension driving method for a-Si TFT-LCDs and its application to high definition televisions." *IEEE Transactions on Consumer Electronics* 50.1 (2004): 33-38.
- [58]. Kaneko, Y. O. S. H. I. Y. U. K. I., et al. "A new address scheme to improve the display quality of a-Si TFT/LCD panels." *IEEE Transactions on Electron Devices* 36.12 (1989): 2949-2952.
- [59]. Hernandez-Barrios, Y., et al. "An insight to mobility parameters for AOSTFTs, when the effect of both, localized and free carriers, must be considered to describe the device behavior." *Solid-State Electronics* 149 (2018): 32-37.