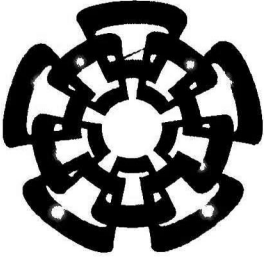


xx(101613.1)



CINVESTAV - IPN
Centro de Investigación y de Estudios Avanzados del IPN
Unidad Guadalajara

**Desarrollo de una cama de pruebas SDH,
sección analizador**

TESIS QUE PRESENTA
JACOBO RIZO DAVALOS

PARA OBTENER EL GRADO DE
MAESTRO EN CIENCIAS

EN LA ESPECIALIDAD DE
INGENIERÍA ELÉCTRICA

Guadalajara, Jal., Marzo de 2002

Tesis-2002

6-Agosto-02

Sep B. U.

***Desarrollo de una cama de pruebas SDH,
sección analizador***

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

por:

Jacobo Rizo Dávalos

Ingeniero en Electrónica
Instituto Tecnológico de Aguascalientes, 1993–1998
Becario del CONACYT, expediente no. **129180**

Directores de Tesis:

Dr. Arturo Veloz Guerrero

CINVESTAV del IPN Unidad Guadalajara, Marzo de 2002.

AGRADECIMIENTOS

A mis padres: gracias por su apoyo y cariño a lo largo de toda mi vida. La buena educación comenzó en mi hogar.

A Mabel por su apoyo incondicional, su sinceridad, cariño e inquietud. Por que me ha inspirado para seguir adelante. Por que ella es mi compañera en la vida. Porque me ha cuidado y ahora me toca a mi.

A todos mis compañeros y amigos en el CINVESTAV, que me apoyaron tanto en los estudios como en la diversión. Enrique, Eduardo, Miguel Alonso, Elizabeth, gracias por organizar las comidas en el cumpleaños de cada compañero.

A mis compañeros y amigos de trabajo, pues podido trabajar en muy buenos equipos, haciendo del trabajo algo sencillo y divertido. Su disposición a ayudarme y sinceridad han sido elementos importantes para mi desarrollo profesional.

A Jesús Palomino, que ha compartido conmigo tantos años de experiencia en el mundo del diseño digital.

Al Consejo Nacional de Ciencia y Tecnología (CONACyT), por brindarme el apoyo económico, durante dos años, para dedicarme por completo al estudio de esta maestría.

A mis asesor, el Dr. Arturo Veloz Guerrero, al Dr. Manuel E. Guzman y al Dr. Deni Torres, pues me han dado las herramientas necesarias para desarrollarme en el mundo del diseño digital.

A Luis Gutierrez, Israel Rivera y Guillermo Ramirez, amigos desde mi adolescencia y compañeros en Guadalajara.



CINVESTAV

Centro de Investigación y de Estudios Avanzados del IPN
Unidad Guadalajara de Ingeniería Avanzada



INDICE GENERAL

1 - Introducción	5
2 - Descripción inicial de la cama de pruebas	7
2.1 Jerarquía digital síncrona (SDH) y red óptica síncrona (SONET).....	7
2.2 Funcionalidad del circuito bajo prueba (CBP).....	9
2.3 Desarrollo del plan de verificación.....	10
2.3.1 Prioridades de las características del CBP.....	11
2.3.2 Estrategia global de verificación.....	12
2.3.3 Agrupamiento de casos de prueba.....	14
2.3.4 Descripción de los casos de prueba.....	15
2.4 Impacto del plan de pruebas sobre la cama de pruebas.....	16
3 - Especificación de la cama de pruebas SDH, sección analizador	17
3.1 Lista de requerimientos.....	17
3.2 Suposiciones.....	18
3.3 Descripción general.....	18
3.4 Configuración por el usuario.....	25
3.5 Archivos de salida.....	27
3.6 Consideraciones.....	28
4 - Arquitectura de la cama de pruebas SDH, sección analizador	29
4.1 Lista de requerimientos adicionales para definir la arquitectura.....	29
4.1.1 Suposiciones.....	29
4.2 Arquitectura de la cama de pruebas SDH, sección analizador.....	29
4.3 Convertidor serie a paralelo.....	32
4.4 Alineación de trama, desaleatorizador, cálculo de B1.....	33
4.5 Analizador de SOH.....	35
4.6 Demultiplexor de unidades administrativas.....	38
4.7 Analizador de unidades administrativas.....	44
4.7.1 Procesador de punteros.....	45
4.7.2 Analizador de POH.....	47
4.7.3 Analizador de carga útil.....	48
4.8 Lector de archivos de configuración.....	50
4.9 Generador de archivos de texto.....	53
5 - Verificación de la cama de pruebas SDH, sección analizador	54
5.1 Estrategia de verificación de la cama de pruebas.....	54
5.2 Pruebas esenciales para la cama de pruebas SDH, sección analizador.....	55
5.3 Proceso de verificación de la cama de pruebas.....	56
6 - Uso de la cama de pruebas SDH, sección analizador	58
6.1 Estructura de directorios para simulación.....	58
6.2 Resultados.....	60
7 - Conclusiones	61
8 - Apéndice A	62
9 - Bibliografía	71



INDICE DE FIGURAS.

Figura 1 Estructura básica de la trama STS-1	8
Figura 2 Estructura básica de la trama STM-N	8
Figura 3 Diagrama a bloques del S19201	10
Figura 4 Metodología de verificación para un ISOC [6].....	13
Figura 5 Estrategia global de verificación del S19201	14
Figura 6 Puertos de la cama de pruebas SDH, sección analizador.....	19
Figura 7 Procesamiento básico sobre los datos SDH/SONET entrantes.....	20
Figura 8 Estructura básica del analizador de tramas SDH	21
Figura 9 Formas de onda para las señales de entrada al analizador, línea de datos de 8 bits.....	22
Figura 10 Formas de onda para las señales de entrada al analizador, línea de datos de 4 bits.....	22
Figura 11 Convertidor serie a paralelo	32
Figura 12 Modulo de alineación de trama/ des-aleatorización / cálculo de B1.....	33
Figura 13 Búsqueda de alineación de trama.....	34
Figura 14 Aleatorizador implementado con registros [2].	34
Figura 15 Secuencia de procesos internos al módulo descrito en la sección 3.5	35
Figura 16 Analizador de SOH	37
Figura 17 Descripción general de la búsqueda de octetos de SOH, para su análisis	37
Figura 18 Datos procesados de la trama entrante a la salida del módulo.....	38
Figura 19 Demultiplexor de unidades administrativas AU	39
Figura 20 Multiplexaje de AUG-N	42
Figura 21 Multiplexaje de 4 AUG-N en un AUG-4N.....	42
Figura 22 Multiplexaje de AU-3	43
Figura 23 Descripción del algoritmo de demultiplexación de unidades administrativas	44
Figura 24 Punteros de AU	45
Figura 25 Procesamiento de punteros	46
Figura 26 Datos procesados de la trama entrante a la salida del analizador de punteros de AU.	47
Figura 27 Proceso de lectura del archivo de configuración	50
Figura 28 Estrategia de verificación de la cama de pruebas SDH, sección analizador.....	54
Figura 29 Ambiente de verificación para el circuito S19201, incluyendo el analizador SDH	58
Figura 30 Estructura de directorios propuesta para ejecutar una simulación del ambiente de verificación.	59



INDICE DE TABLAS.

Tabla 1 Bloques básicos de SONET/SDH	8
Tabla 2 Listado de características principales del <i>S19201</i>	12
Tabla 3 Agrupamiento de casos de prueba para la verificación del <i>S19201</i>	15
Tabla 4 Diferentes frecuencias de reloj de entrada	21
Tabla 5 Diferentes frecuencias del reloj interno.....	22
Tabla 6 Puertos de entrada al analizador de tramas SONET.....	23
Tabla 7 Columnas en el archivo de salida.....	27
Tabla 8 Relación de reloj de entrada/reloj de salida para el módulo convertidor de serie a paralelo / paralelo a serie.....	32
Tabla 9 Fuente del valor esperado para los octetos del SOH.....	36
Tabla 10 Asignación de puertos de salida del modulo de acuerdo al orden de la trama entrante por puerto.....	40
Tabla 11 Asignación de puertos de salida del modulo de acuerdo a la unidad administrativa constituyente.....	40
Tabla 12 Ejemplo dado para la distribución de puertos de salida del demultiplexor de unidades administrativas.....	41
Tabla 13 Fuente del valor esperado para los octetos del POH.....	48
Tabla 14 Registros actualizados por el lector de archivos de texto.....	52
Tabla 15 Registros de error	53
Tabla 16 Funcionalidad de la cama de pruebas SDH, sección analizador y sus prioridades	55
Tabla 17 Agrupación de funciones del analizador SDH	56
Tabla 18 Tiempos de simulación de la cama de pruebas SDH, sección analizador.....	60
Tabla 19 Configuración 1 de cada puerto para la prueba 9.1.....	62
Tabla 20 Configuración 2 de cada puerto para la prueba 9.2.....	62
Tabla 21 Configuración 1 de cada puerto.....	63
Tabla 22 Configuración 2 de cada puerto.....	63
Tabla 23 Configuración 3 de cada puerto.....	63
Tabla 24 Configuración 4 de cada puerto.....	63
Tabla 25 Configuración 5 de cada puerto.....	63



CINVESTAV

Centro de Investigación y de Estudios Avanzados del IPN
Unidad Guadalajara de Ingeniería Avanzada

**Carra de pruebas SDH, sección analizador
JRD**



1 - Introducción.

El proceso de diseño de circuitos de aplicación específica se ha modificado de forma significativa los últimos 20 años. Anteriormente se utilizaban herramientas que describían a los circuitos por medio diagramas de compuertas y registros, y actualmente se utilizan lenguajes de descripción de hardware. Anteriormente se llevaba a cabo el proceso de verificación hasta el momento en que se programaba un dispositivo lógico y a éste se le aplicaban vectores de prueba [9]; actualmente se utilizan lenguajes para simular el ambiente de trabajo del circuito y estimularlo desde las etapas más tempranas de su diseño. De tener circuitos de diez mil compuertas ahora se tienen de millones de ellas. El proceso de diseño ha cambiado drásticamente.

En los procesos de diseño actuales la verificación funcional ocupa un lugar tan importante como el proceso de descripción y modelaje de hardware. El proceso de verificación funcional no puede dejarse a un lado, pues la complejidad de los circuitos actuales no permite dejar todo el trabajo de revisión de la funcionalidad de un circuito hasta el momento en el que este ya se tiene físicamente.

Parte importante de dicho proceso lo es el ambiente de prueba, pues es éste el que genera los estímulos hacia el circuito y permite hacer un análisis de la respuesta del circuito a dichos estímulos, incluso de forma automática. El ambiente de prueba consiste de el plan de pruebas a ejecutar, las camas de pruebas que generarán los estímulos y analizarán la respuesta del circuito, el circuito bajo prueba que recibe y procesa los estímulos, los archivos de configuración de la cama y circuito, la estructura de directorios donde se almacena toda esta información.

El objetivo de esta tesis es proporcionar una metodología para desarrollar camas de prueba capaces de analizar respuestas de un circuito, mediante la descripción del desarrollo de un analizador de tramas SDH, llamado en el presente documento “Cama de pruebas SDH, sección analizador” y la descripción de una aplicación específica de esta cama, utilizando un circuito comercial de AMCC; el S19201, cuyas características se describen en el capítulo dos.

El plan de pruebas de un circuito constituye el documento inicial a partir del cual se desarrolla una cama de pruebas, pues de éste se obtienen las características mínimas que éstas deben de tener. El conjunto de pruebas descritas, con sus estímulos y respuestas esperadas, presentan las señales y los procesos que sobre éstas la cama de pruebas debe de realizar.

El capítulo dos describe el proceso de verificación de un circuito, de manera general, así como el desarrollo de un plan de pruebas para dicho circuito. Se describen los pasos básicos para obtener el plan, desde la selección de características a probar, hasta su agrupación para obtener las pruebas.

Una vez que el plan de pruebas del circuito se encuentra completo, y a partir del conjunto de estímulos y respuestas definidas en él, se elabora el documento de especificación de la cama de pruebas, donde se describen a grandes rasgos las interfaces de la cama de pruebas, las formas de onda de las señales que entran a la cama, y el procesamiento general que la cama realiza sobre éstas.

El capítulo tres contiene la especificación de la cama de pruebas SDH, sección analizador. Se describen su funcionalidad básica y puertos de entrada y salida.



A partir de la especificación y del plan de pruebas, se desarrolla con mayor detalle la arquitectura de la cama de pruebas, definiendo los módulos internos a ésta y como se interconectan, sus protocolos internos, si los hay, sus interfaces internas, buses, y flujo de datos.

El capítulo cuatro describe la arquitectura de la cama de pruebas SDH, sección analizador. Se divide en submódulos y se describe la funcionalidad de cada uno de estos, así como sus algoritmos internos y sus interfaces. Los algoritmos se describen mediante diagramas de flujo y de bloques.

En base a la arquitectura definida se implementa la cama de pruebas. La metodología propuesta en el presente documento utiliza VHDL como lenguaje de implementación, debido a la facilidad que este presenta para describir diseños modulares y definición de interfaces. La cama de pruebas tiene, a la vez, que ser verificada, para garantizar que por lo menos las funciones básicas de ésta se han implementado correctamente.

El proceso de verificación de una cama de pruebas tiene que ser más simple y breve que el proceso de verificación de un circuito. Parte importante de este proceso, según se describe en el capítulo cinco, es la redundancia. Esta se obtiene mediante dos formas:

- La ejecución de un plan de pruebas sobre la cama, por ingenieros ajenos al desarrollo de la cama.
- El uso de la cama de pruebas por ingenieros de diseño también ajenos a la cama de pruebas. Estos ingenieros tienen su interpretación personal de la funcionalidad que la cama debe tener.
- El proceso de desarrollo de una cama de pruebas no termina con la ejecución de un plan de pruebas sobre ésta, sino que continúa durante su uso en el proceso de verificación del circuito.

De esta forma, la cama de pruebas evoluciona, y es parte esencial en el proceso de diseño digital actual.



2 - Descripción inicial de la cama de pruebas.

En el presente capítulo se describe el proceso inicial en el desarrollo de la cama de pruebas SDH, sección analizador. El documento base a partir del cual se desarrolla la cama, es el plan de pruebas del circuito a probar.

Se describen las características del *SI9201* de Applied Micro Circuits Corporation (AMCC), circuito tomado como base para desarrollar la cama de pruebas SDH, sección analizador. A partir de la funcionalidad a verificar en dicho circuito se presenta lo más sobresaliente del documento de plan de verificación. Se describe como se obtuvo y algunas de sus pruebas, haciendo énfasis en los requerimientos que más impacto tienen sobre las especificaciones para la cama de pruebas SDH, sección analizador [1].

Las hojas de datos del circuito utilizado como referencia se presentan en el anexo A, y sus nombres se muestran en letra de tipo *cursiva*. La arquitectura del circuito será presentada en una forma general, que sin ser detallada, servirá de base para entender su funcionalidad.

2.1 Jerarquía digital síncrona (SDH) y red óptica síncrona (SONET).

[2,3,4] describe y estandariza SDH (por sus siglas en inglés, Synchronous Digital Hierarchy), mientras que en [11] se describen las características principales de SONET (por sus siglas en inglés, Synchronous Optical Network), por lo que sólo las características principales serán presentadas a continuación. SONET/SDH consiste de diferentes niveles mostrados en la Tabla 1, resaltando los más utilizados con **negritas**.

Un modulo de transmisión síncrona (STM por sus siglas en inglés, Synchronous Transmission Module) es la estructura de información utilizada para conexiones en la SDH, organizada en forma de trama de bloque que se repite cada 125 us. El STM básico se define a 155.52 kbit/s y se denomina STM-1. El formato de las tramas STM-N se muestra en la Figura 2

La estructura básica de la trama SONET STS-1 consiste de una secuencia específica de 810 octetos, los cuales incluyen diferentes octetos de tara y una envolvente especial para transportar carga útil. Esta se transmite 8000 veces por segundo (cada trama tiene una duración de 125 us). La estructura de una trama STS-1 debe ser como se muestra en la Figura 1.

Nivel óptico	Nivel eléctrico	Equivalente en SDH	Tasa de línea (Mbps)	Tasa de la carga útil (Mbps)	Tasa de la tara (Mbps)
OC-1	STS-1	-	51.84	50.112	1.728
OC-3	STS-3	STM-1	155.52	150.336	5.184
OC-9	STS-9	STM-3	466.56	451.008	15.552
OC-12	STS-12	STM-4	622.08	601.344	20.736
OC-18	STS-18	STM-6	933.12	902.016	31.104
OC-24	STS-24	STM-8	1244.16	1202.688	41.472
OC-36	STS-36	STM-13	1866.24	1804.032	62.208

OC-48	STS-48	STM-16	2488.32	2405.376	82.944
OC-96	STS-96	STM-32	4976.64	4810.752	165.888
OC-192	STS-192	STM-64	9953.28	9621.504	331.776

Tabla 1 Bloques básicos de SONET/SDH

La definición de los bloques de más bajo nivel es importante, pues las señales de mayor nivel se obtienen multiplexando en forma sincronica señales de más bajo nivel.

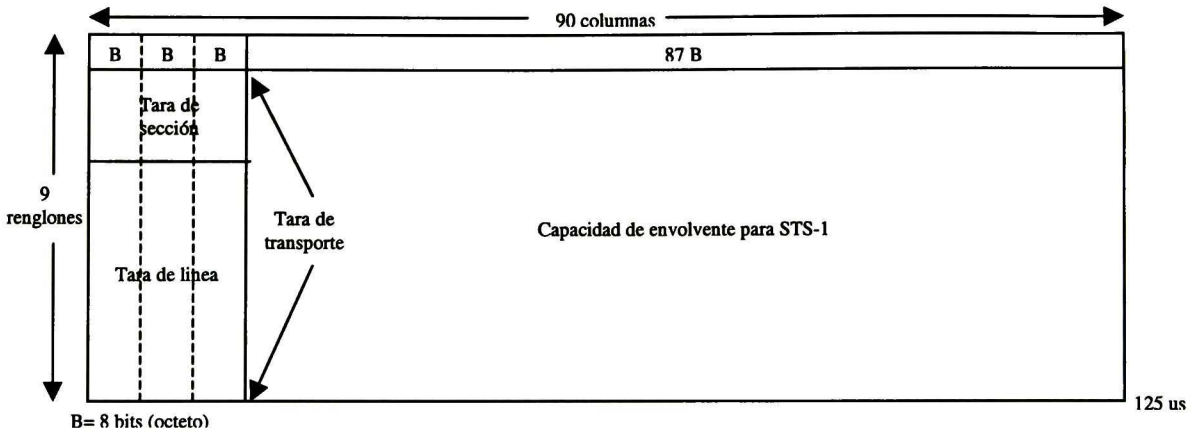


Figura 1 Estructura básica de la trama STS-1

La estructura de una trama STM-N se muestra en la Figura 2. y consta de tres secciones principales: cabida útil de información, tara de sección y punteros de unidad administrativa.

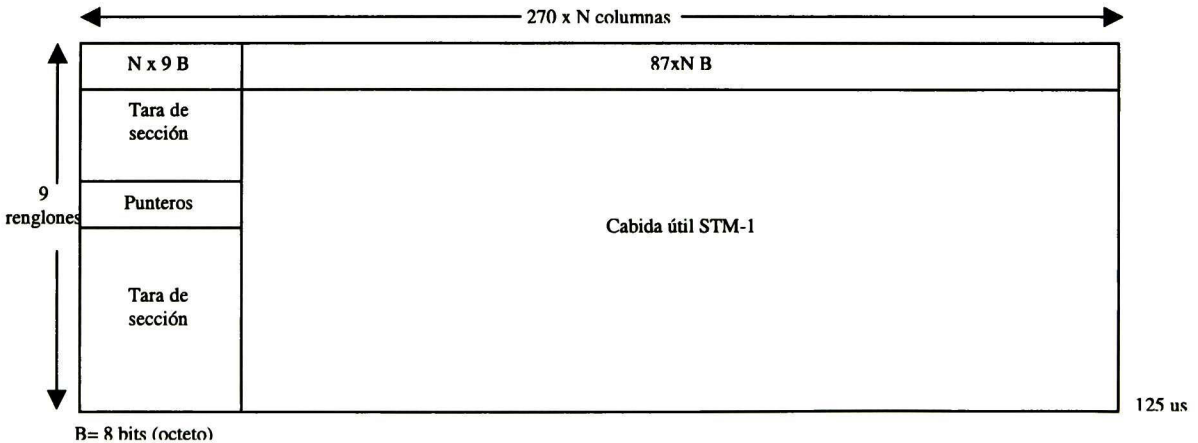


Figura 2 Estructura básica de la trama STM-N

La descripción de los octetos de tara para tramas SDH, sus funciones y valores se encuentran en [2], así como la descripción completa de tramas de mayor orden, funciones de gestión y mantenimiento, alarmas y características físicas de los medios de transmisión. Así mismo se describe la forma de mapear diferentes tipos de carga a una trama SDH. Los elementos de red de SDH se describen en [4]



y [12]. Las características eléctricas de las interfaces de las jerarquías digitales se describen y estandarizan en [13].

La descripción de los octetos de tara para tramas SONET se puede encontrar en [11], así como una introducción a los equipos de red utilizados y a la arquitectura de las redes SONET.

2.2 Funcionalidad del circuito bajo prueba (CBP).

El circuito *S19201* de Applied Micro Circuits Corporation provee funciones de multiplexaje y demultiplexaje de señales STS-48/STM-16 SONET/SDH hacia una señal STS-192/STM-64 SONET/SDH, de acuerdo a lo especificado en el capítulo 5 de [11]. Sus características principales son:

- Soporta el multiplexaje y demultiplexaje de señales STS-48/STM-16 SONET/SDH hacia una señal STS-192/STM-64 SONET/SDH.
- Interfaz de 16 bits a una velocidad de 622.08 MHz del lado de alta velocidad, y cuatro interfaces de 16 bits a una velocidad de 155.52 MHz del lado de baja velocidad.
- Soporta la transferencia de hasta cuatro flujos de datos STS-48/STM-16 SONET/SDH conteniendo cualquier combinación válida de señales STS-48c/AU-4-16c, STS-12c/AU-4-4c, o STS-3c/AU-4 SONET/SDH.
- Detección de sincronía con las tramas entrantes.
- Detección de palabras de alineamiento de trama con errores severos (SEF, por sus siglas en inglés Severely Errored Framing), pérdida de palabra de alineamiento de trama (LOF por sus siglas en inglés, Loss of Framing) y pérdida de señal (LOS por sus siglas en inglés, Loss of signal), de acuerdo a lo especificado en [2,11]
- Extracción de traza en el octeto J0, soportando mensajes de 64 o 16 octetos con CRC, de acuerdo a lo especificado en [2]. Proporciona detección de trazas inestables o erróneas, con capacidad de inserción de AIS de ruta en los datos de salida.
- Inserción de traza en el octeto J0 de la trama de salida, configurable a 64 o 16 octetos con CRC.
- Procesamiento de los octetos K1, K2 y S1 [2,11].
- Cálculo, detección y conteo de errores en los octetos de paridad entrelazada de bits (BIP por sus siglas en inglés, Bit Interleaved Parity) B1 y B2.
- Detección y conteo de errores en la terminal remota, contenidos en el octeto M1 recibido [2,11] así como inserción de la indicación de errores en la terminal remota (REI por sus siglas en inglés, Remote Error Indication) en el octeto M1 transmitido.
- Procesamiento de punteros en cualquier combinación válida de componentes en las señales entrantes, de acuerdo a lo descrito en el capítulo 5 de [2]. Detección de pérdida de puntero e indicación de alarma de ruta. Generación de nuevos punteros en las tramas transmitidas, con capacidad de justificación, de acuerdo a lo especificado en [2,11].
- Interfaces seriales de inserción/extracción de los octetos de tara de transporte/sección en las tramas SONET/SDH salientes o recibidas.
- Aleatorización/no aleatorización configurable para las tramas SONET/SDH.
- Matriz de conmutación de 192x192 con un nivel de granularidad de STS-1.
- Interface a microprocesador de 16 bits, para control, configuración y monitoreo. Soporta microprocesadores Intel y Motorola.

En la Figura 3 se muestran un diagrama a bloques del *S19201*.

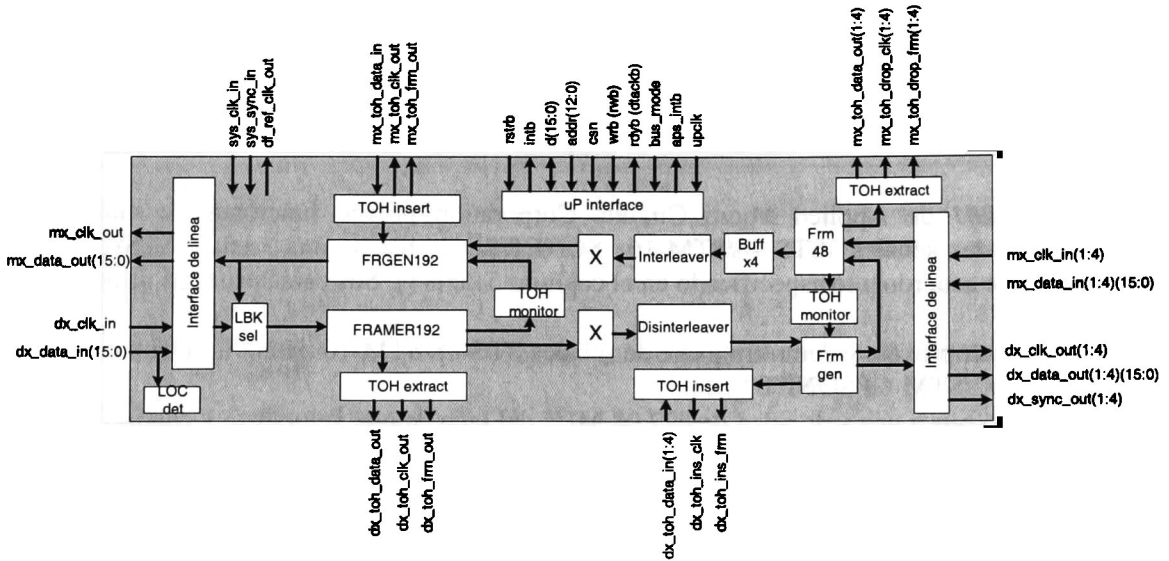


Figura 3 Diagrama a bloques del *S19201*

A partir de las características listadas, se distinguen las siguientes interfaces:

1. Interface hacia el microprocesador, Intel o Motorola, de 16 bits.
2. Interfaces de inserción de tara de sección, tanto en la ruta de multiplexaje como en la de demultiplexaje.
3. Interfaces de extracción de tara de sección, tanto en la ruta de multiplexaje como en la de demultiplexaje.
4. Interface de recepción de los flujos de datos SONET/SDH.
5. Interface de transmisión de los flujos de datos SONET/SDH

La funcionalidad del circuito y sus interfaces son elementos determinantes para el desarrollo del plan de verificación y, por consiguiente, de la cama de pruebas.

2.3 Desarrollo del plan de verificación.

El proceso de diseño de un circuito digital ha evolucionado dramáticamente en los últimos 20 años, debido principalmente al crecimiento en la complejidad de los circuitos y a la reducción de los tiempos de comercialización. Un diseño debe de ser funcionalmente correcto y proveer los beneficios que el cliente requiere, para poder ser comercializado. El objetivo de la verificación es el de aumentar la probabilidad de que un circuito está libre de errores, pero es importante remarcar que la verificación puede mostrar la presencia de errores, no su ausencia. Es decir, aún después de la verificación pueden existir errores; el objetivo es que estos errores no sean críticos y afecten el funcionamiento normal del circuito, como aquellos errores en características del circuito que no son requeridas por el cliente o por



algún estándar, es decir, en el valor agregado. Este proceso es indispensable para poder entregar un producto confiable a los clientes.

El propósito principal de la verificación funcional es asegurar que un diseño implementa la funcionalidad deseada. En el caso del *S19201* de AMCC, se debe asegurar que el circuito cumpla con las características descritas anteriormente y aquellas descritas en su hoja de datos [Anexo A]. Para lo anterior se requiere de un documento, o conjunto de documentos:

- que identifique claramente **qué** características se probarán,
- la **prioridad** de cada una de las pruebas y
- las **estrategias** de verificación,

todo de acuerdo a ciertos criterios, como tiempo disponible, experiencias anteriores y principalmente documentos de especificación del circuito bajo prueba, como especificación funcional, mapa de registros, puertos de salida y entrada, así como diagramas de tiempos para sus interfaces.

El documento utilizado para estos propósitos se denomina **plan de verificación** [1]. Debido a que el desarrollo de este documento es largo y no es el objetivo de esta tesis, solamente se describirá brevemente algunas de las características del documento de plan de verificación para el *S19201* de AMCC.

2.3.1 Prioridades de las características del CBP.

A partir del documento de especificación del circuito se identifican las funciones que ahí se describen, y que por lo tanto se deben verificar. Además de éstas, los ingenieros de diseño contribuyen con otro tipo de características que debe verificarse, como lecturas de registros o accesos a memoria. El conjunto de características obtenidas se enumera y mediante una referencia cruzada al párrafo del documento de especificación que la describe, se ordena. No todas estas tienen la misma prioridad, por lo que una etiqueta debe de identificarlas como pertenecientes a cualquiera de los siguientes tres tipos:

- a) **Funcionalidad indispensable.** Son aquellas características que permite al diseño funcionar adecuadamente y ajustarse a las demandas del mercado.
- b) **Funcionalidad altamente deseable.** Son aquellas características que diferencian al producto de la competencia.
- c) **Funcionalidad extra.** Son aquellas características puramente opcionales [1].

Una vez realizada esta lista, es fácil elegir aquellas características que se deben verificar primero y aquellas que se verificarán solamente si el tiempo lo permite

La Tabla 2 muestra dicho formato para el *S19201* de AMCC. En ella se presenta una propuesta para la presentación de dicha información.



Prioridad	Característica	Número de párrafo
Alta	Multiplexaje y demultiplexaje de señales SDH/SONET STM-16/STS-48 hacia-desde una señal STM-64/STS-192.	1
Alta	Transferencia de hasta cuatro flujos SDH STM-16, con cualquier combinación válida de AU.	3
Alta	Detección de sincronía	12
Media	Detección de SEF	5
Alta	Detección de LOF	5
Alta	Detección de LOS	6
Baja	Extracción de J0, soportando diferentes tipos de mensajes	4
Baja	Inserción de traza en el octeto J0, con diferentes tipos de traza.	4
Baja	Procesamiento del octeto K1.	7
Baja	Procesamiento del octeto K2.	7
Media	Inserción de AIS de ruta	6
Alta	Detección de AIS de ruta	6
Media	Inserción de AIS de línea	6
Alta	Detección de AIS de línea	6
Baja	Procesamiento del octeto S1.	7
Alta	Cálculo de B1 y B2.	2
Alta	Detección de errores en B1 y B2.	2
Media	Conteo de errores de B1 y B2.	2
Media	Detección del octeto M1.	7
Media	Conteo de errores en la terminal remota (octeto M1).	7
Alta	Procesamiento de punteros con cualquier combinación válida de constituyentes.	17
Media	Interfaces seriales de extracción/inserción de TOH.	10
Alta	Inserción de TOH via registros accedidos por el microprocesador.	10
Alta	Aleatorización/desaleatorización de la trama SDH, configurable.	18
Media	Matriz de conmutación de 192 x 192 con nivel de granularidad de STS-1.	11
Alta	Interface a microprocesador de 16 bits configurable a Intel o Motorola.	15

Tabla 2 Listado de características principales del S19201

2.3.2 Estrategia global de verificación.

El problema principal es el de encontrar las pruebas adecuadas para realizar la verificación a nivel de los módulos que componen el diseño, de manera que al ser éstos reutilizados, contengan la menor cantidad de errores funcionales posibles

Existen diversas metodologías desarrolladas a partir de diferentes necesidades. En [6] se describe la metodología de verificación de un “Sistema en un Chip” o ISOC (por sus siglas en inglés. Integrated System on a Chip), el cual es un circuito que integra más de dos diseños en un solo circuito. La metodología y herramientas de verificación fueron desarrolladas a la par del circuito. Para la verificación se utilizó un generador de pruebas aleatorio. El primer paso fue el de identificar la funcionalidad a ser probada, y se identificaron las siguientes características:

- Las pruebas de los diseños que componen el ISOC se limitaron a la funcionalidad disponible de éstos después de la integración, pues no toda sería utilizada.
- Las configuraciones probadas fueron principalmente las utilizadas en las aplicaciones de software.
- Los componentes principales y re-utilizados en el ISOC se asumieron como probados.
- Las pruebas al nivel de sistema solamente verificaron unidades de registros y configuraciones de manera aleatoria.

El plan de pruebas se derivó de la funcionalidad identificada para ser probada y de la especificación, y se orientó para un generador de pruebas aleatorio polarizado. No se escribieron pruebas específicas sino tablas que describían combinaciones de eventos que deberían probarse durante la simulación.

Las herramientas de verificación utilizadas consistieron en un generador de pruebas aleatorias polarizado, además de algunos módulos construidos para soportar la metodología utilizada. La Figura 4 muestra la metodología de verificación descrita en [6].

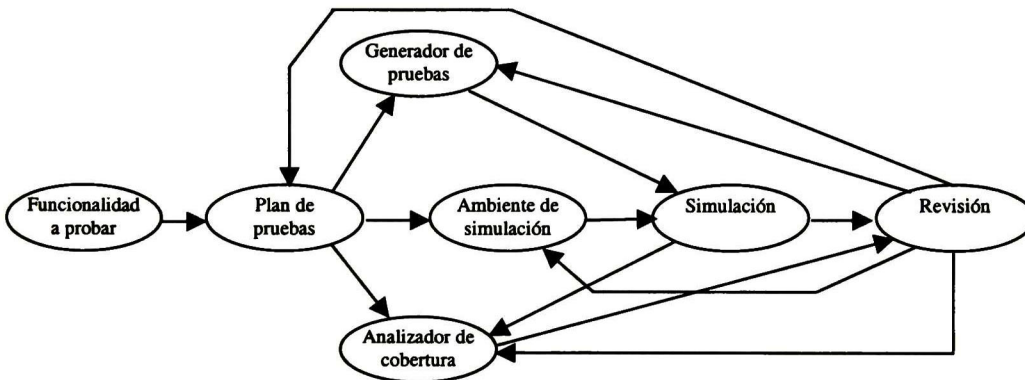


Figura 4 Metodología de verificación para un ISOC [6]

Actualmente muchos diseños se componen de elementos de hardware y software. En [7] se describe la verificación de un diseño de 8.8 millones de compuertas y una interfaz gráfica para el usuario. La metodología utilizada se basa en la verificación conjunta de los elementos de hardware y software desde las primeras etapas de diseño. Tan pronto como cada función especificada se implementa en hardware y software, la integración de ambos elementos se realiza, para luego verificar dicha etapa de integración.

Cada elemento de hardware y software es verificado funcionalmente antes de la integración por cada grupo de diseño, pero no completamente. La metodología utilizada indica que los elementos de hardware se verifican utilizando camas de prueba que cumplen con ciertos requerimientos que

permiten tener simulaciones apegadas a la realidad, hacer regresiones en la verificación fácilmente y re-utilización en la etapa de verificación conjunta de software y hardware.

El *S19201* de AMCC se encuentra formado por submódulos que por si solos son complejos, sin llegar a ser sistemas, ya que dependen mutuamente uno de otro, dependencia que se ve reflejada en el intercambio de señales entre los módulos. Cada uno de estos submódulos realiza funciones bien definidas, que corresponden al procesamiento o generación de cada una de las capas de SDH. El orden con el que fue definido SDH permite separar estas funciones de manera clara.

Debido a lo anterior, y a pesar de que los submódulos de los que se encuentra formado el circuito no se pueden considerar sistemas, éstos pueden ser verificados individualmente, mediante la generación apropiada de señales de control y datos al submódulo.

La estrategia general de verificación a seguir para el *S19201* se basa en lo anterior y propone la verificación pseudoexhaustiva a nivel de submódulo, para luego a nivel de sistema verificar únicamente la correcta interconexión de éstos y las funciones realizadas entre dos o mas submódulos. Esto se resume en la Figura 5.

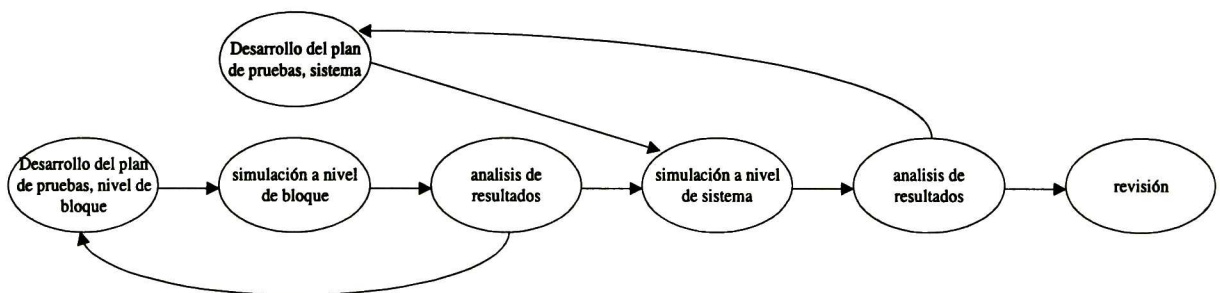


Figura 5 Estrategia global de verificación del *S19201*

2.3.3 Agrupamiento de casos de prueba.

Una vez definida la estrategia global de verificación y el listado de características a probar, se procede a agruparlos, de manera que la generación de las camas de prueba a utilizar sea más sencilla y en el menor número posible. El número de camas de prueba depende de dicha agrupación y de las interfaces del circuito bajo prueba. Para el *S19201*, el número de camas de prueba es mayor durante la verificación al nivel de submódulo, y al nivel de sistema la mayor restricción es el tipo de interface a la cual se conectará.

La cama de pruebas descrita en la presente tesis es la utilizada a nivel sistema y se utiliza conectada a la interface SDH del circuito.

Así como la división en submódulos del circuito se sigue a partir de la definición de funciones por capas de SDH, así se produce, en su mayor parte, la división de los tipos de casos de prueba generados. Durante la verificación al nivel de submódulo, la división de casos de prueba es mas enfocada a dicha funcionalidad por capas de SDH, mientras que al nivel de sistema se enfoca mayormente a



características del *S19201*, sin que esto excluya algunas pruebas relacionadas con la funcionalidad al nivel de submódulo, principalmente aquellas en las que participan dos o más submódulos.

La Tabla 3 muestra el agrupamiento de pruebas para el *S19201*, durante la verificación al nivel de sistema.

Tipo de caso de prueba	Objetivo
Interfaces	Checar el correcto funcionamiento de: Reset Relojes y sus salidas retardadas
Relojes	Checar el correcto funcionamiento de los relojes y los diferentes divisores de frecuencias dentro del circuito. Checar los circuitos de detección de pérdida de reloj.
Registros	Checar el correcto funcionamiento de la interface del microprocesador, así como la escritura a todos los registros del S19201
Interrupciones	Checar el arbol de interrupciones
SDH	Checar la funcionalidad de SDH que puede verse desde el exterior del circuito.
Multiplexación	Checar la correcta multiplexación de constituyentes hacia un STM-64
Matriz de conmutación	Checar el correcto funcionamiento de la matriz de conmutación.
Alarmas	Checar el correcto funcionamiento de la inserción/extracción de alarmas, así como la generación de las mismas por el circuito.
Inserción serial de TOH	Checar el correcto funcionamiento de las interfaces de los puertos de inserción serial de TOH.

Tabla 3 Agrupamiento de casos de prueba para la verificación del *S19201*

2.3.4 Descripción de los casos de prueba.

Los casos de prueba deben de tener un título o etiqueta. También debe de darse una breve descripción de su objetivo, la cual contiene una lista de las características (funcionalidad) que se verificarán y de aquellas que se consideran funcionalmente correctas para poder ejecutarlo.

En seguida se describen la secuencia y características de los estímulos para el circuito bajo prueba. El circuito responderá a estos estímulos y es la forma en como se determina si esta respuesta es válida la que se describe en el caso de prueba. Esta incluye valores esperados, tiempos y protocolos [1].

La estrategia de verificación del *S19201* definida anteriormente se separa en dos etapas: verificación funcional a nivel de submódulo y verificación funcional a nivel de sistema. La descripción de los casos de prueba, incluyendo su agrupación., determinan la funcionalidad de la cama de pruebas a utilizar. De acuerdo a lo descrito anteriormente, la cama de pruebas SDH sección analizador, se utiliza en la verificación a nivel sistema.



2.4 Impacto del plan de pruebas sobre la cama de pruebas.

Los casos de prueba generados para la verificación funcional de un circuito requieren de una configuración similar a la del diseño, utilizan el mismo nivel de abstracción para los estímulos y respuestas, generan señales similares y su verificación requiere de una estrategia similar.

El agrupamiento realizado sobre los casos de prueba, de acuerdo a la funcionalidad a verificar y estímulos requeridos permite utilizar camas de prueba que se utilizan en diferentes casos, e incluso reutilizables en otros diseños. Además permiten que el diseñador de dicha cama se enfoque a un solo tipo de funcionalidad, generando camas mas completas y amigables.

Existe otra aproximación utilizada, la cual se enfoca en asignar un caso de prueba completo por cama. Esta puede llegar a generar camas de prueba muy complejas, si el circuito bajo prueba cuenta con un gran número de interfaces y funcionalidades (por ejemplo, un mapeador de DS3, ATM y ethernet a SDH [2]). El diseño y mantenimiento de estas camas puede llegar a ser muy difícil.

Para la cama de pruebas SDH, sección analizador se utiliza la primera filosofía. Esta se podrá utilizar durante la ejecución de todos los casos de prueba a nivel de sistema, sección SDH. En el capítulo siguiente se muestra la especificación de la cama de pruebas. En ella se muestran sus interfaces y funcionalidad general, sin ser esta descripción extensa, de manera que no describa o limite criterios de implementación de estas funciones y la distribución de los bloques que la implementan dentro de la cama.



3 - Especificación de la cama de pruebas SDH, sección analizador.

En este capítulo se describen las características básicas de la sección de análisis de la cama de pruebas. Estas características se obtienen a partir del plan de pruebas funcionales para el circuito S19201 de AMCC, presentado en su forma general en el capítulo 1, de las restricciones de tecnología y del tiempo disponible para tener un producto final.

Se desarrolla un analizador de tramas SDH, el cual examina los datos entrantes, cuyo formato debe cumplir con las características de una trama SDH, descritas en [2]. El analizador reporta los resultados del procesamiento a un archivo de texto, el cual tiene un formato determinado descrito mas adelante, que permite al usuario determinar fácilmente si la prueba fue exitosa o no.

3.1 Lista de requerimientos.

- Analiza tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48 y STM-64/STS-192 concatenadas y no concatenadas.
- Las tramas SDH/SONET de alto orden pueden ser compuestas de una combinación válida de unidades administrativas o tributarios AU-3/STS-1 a AUG-64/STS-192c [2] [11].
- 16 puertos de entrada, de 128 bits cada uno. La suma de los órdenes de las tramas SDH/SONET entrantes por puerto no puede ser mayor a 192.
- La interface de entrada de datos es configurable a 1, 4, 8, 16, 32 y 128 bits.
- Acepta una señal de reloj externa o genera internamente una señal de reloj interna. La frecuencia de esta señal no es fija y depende del número de bits de la interface de entrada de datos y del orden de la trama SDH/SONET de entrada.
- Acepta una señal de sincronización externa, indicando la posición del primer octeto A1 o del octeto J0, o genera una señal de sincronización externa, que indica la posición del primer octeto A1 de la trama SDH/SONET.
- Soporta tramas de entrada aleatorizadas o no aleatorizadas [2] [11].
- Soporta movimientos de puntero (NDF, incremento, decremento y saltos de puntero).
- Realiza los cálculos de los octetos de paridad BIP y los compara con los octetos de paridad BIP entrantes.
- Tres modos de análisis para los octetos de la trama SDH/SONET entrante: transparente, cambio respecto al mismo tipo de octeto anterior o comparación con un valor esperado.
- El valor esperado para cada octeto de tara de sección (SOH) y tara de ruta (POH) es configurable, a excepción de los octetos de paridad BIP 1, BIP 2 y BIP 3 los cuales son calculados internamente.
- La carga útil para cada tributario de la trama SDH/SONET entrante es configurable a cualquiera de los siguientes tipos:
 - Secuencia pseudo-aleatoria PRBS 2^{20}
 - Secuencia incremental (de 0 a255) o decremental (de 255 hacia 0).
 - Valor fijo, entre 0 y 255.
- Análisis independiente para la carga útil de cada unidad administrativa o tributario.
- La traza transportada en los octetos J0/J1 [2] es configurable a cualquiera de los siguientes tipos:



- Valor fijo, entre 0 y 255.
- Trama compuesta de 16 octetos con CRC-7.
- Trama de 64 octetos con alimentación de línea (LF) y retorno (CR).
- Trama de 64 octetos libre.
- Análisis separado de las trazas en los octetos J0/J1.
- Análisis de tramas cuyo contenido es solamente FFh o 00h.
- Análisis de tramas que contengan señal de indicación de alarma de línea y ruta (AIS-L y AIS-P) [2] [11].
- Resultados del análisis reportados a un archivo de texto.

3.2 Suposiciones.

El analizador de tramas SDH/SONET se basa en las siguientes suposiciones:

- a) Los datos de entrada vienen con código de línea binario de no retorno a cero (NRZ).
- b) La señal de reloj ha sido previamente extraída por algún circuito anterior, de manera que a la entrada del analizador se encuentran separados datos y reloj.
- c) Cuando el pulso de sincronía externo que indica la posición del primer octeto A1 o el octeto J0 se detecta, los bits más significativos del octeto de alineación viene en los bits más significativos del bus de datos de entrada y alineados en fronteras de octeto o cuarteto (sí el ancho de bus es mayor a 8 bits o 4 bits, respectivamente). En este caso ciertas combinaciones de orden de trama y ancho de bus no son válidas. Como ejemplo, si el orden de la trama es STM-0, el ancho de bus no puede ser 32 o 128 bits, pues el octeto J0 o el primer A1 no ocuparían siempre los bits más significativos.
- d) Si el analizador se encuentra trabajando en modo de búsqueda interna de alineación, los octetos no tienen que ir alineados en fronteras de octeto o cuarteto.
- e) La cama de pruebas analizará los datos de entrada de acuerdo a la configuración dada por el usuario.
- f) El análisis se realiza de acuerdo a los requerimientos y especificaciones definidos en [2] y [11], para los octetos J0/J1, BIP-1, BIP-2, BIP-3, H1 y H2. El resto de los octetos se analiza de acuerdo a lo configurado en el archivo de inicialización. Las señales de indicación de alarma de línea y ruta se analizan de acuerdo a los criterios de generación definidos en [2] y [11].

3.3 Descripción general.

La cama de pruebas SDH, sección analizador, es una herramienta de procesamiento de tramas SDH/SONET, el cual se realiza de acuerdo a ciertos parámetros programados por el usuario, y que presenta el resultado de dicho procesamiento en un archivo de texto, con un formato predefinido, pero en el que el usuario puede definir en que tramas presentar o no presentar información. Los parámetros configurados por el usuario así como los diferentes procesos realizados sobre las tramas entrantes se describen en éste y el siguiente capítulos.

La recepción de tramas SDH/SONET se realiza a través de los puertos de entrada de la cama. Algunas señales de control son entregadas por los puertos de salida de la cama. La Figura 6, muestra las interfaces de la cama de pruebas SDH, sección analizador.



Diferentes procesos se realizan sobre los datos SDH /SONET entrantes, adicionales e independientes al procesamiento final dado al contenido o información contenida por la trama. La Figura 7 muestra el flujo de dichos procesos.

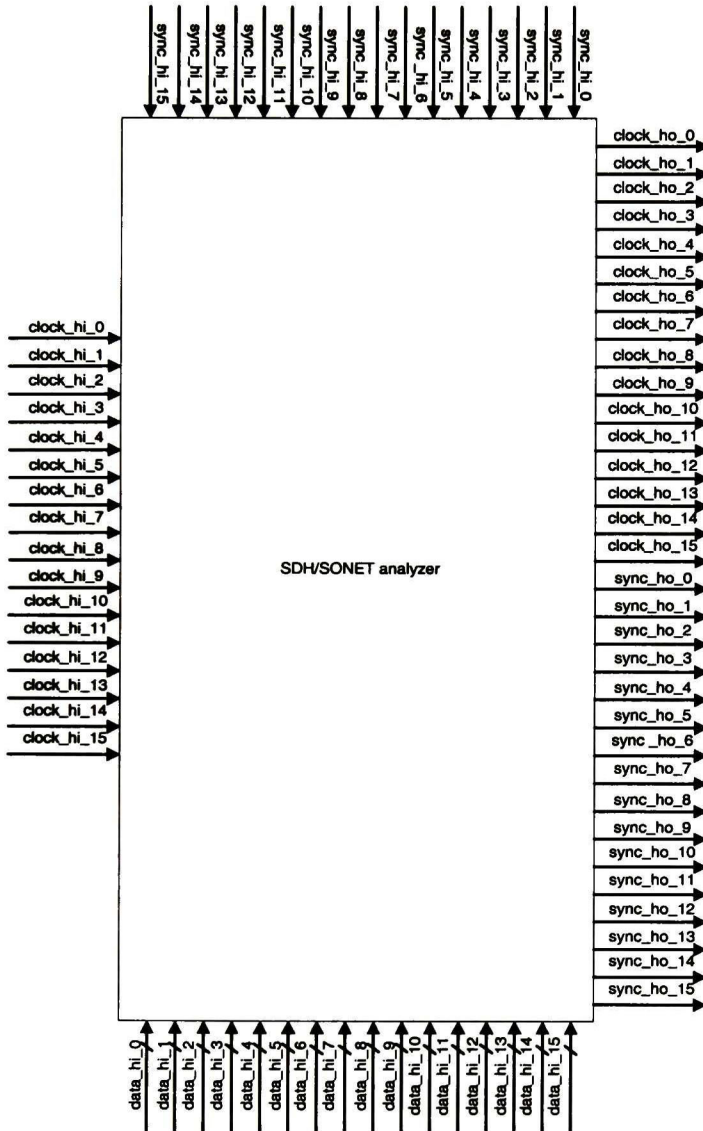


Figura 6 Puertos de la cama de pruebas SDH, sección analizador

En la Figura 7 se presentan cuatro procesos principales:

- Alineación de trama.
- Aleatorización de datos y cálculo de B1.
- Demultiplexación de estructura.
- Procesamiento de los octetos de la trama SDH/SONET.

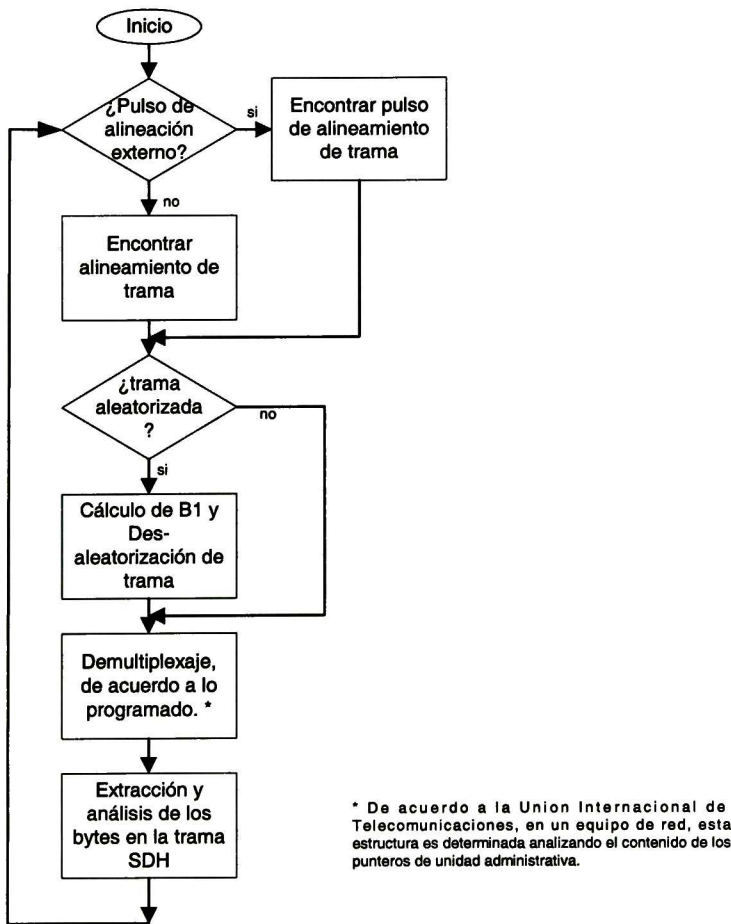


Figura 7 Procesamiento básico sobre los datos SDH/SONET entrantes.

El analizador de tramas SONET se compone dos secciones básicas, según se muestra en la Figura 8: una sección de demultiplexación y otra de análisis al nivel de unidades administrativas ó tributarios. La sección de demultiplexación se encarga de encontrar la alineación de trama, des-aleatorización de datos, cálculo de B1 y de-multiplexaje de estructura.

El cálculo de B1 y la des-aleatorización de datos se realiza dentro del mismo modulo, debido a la estrecha relación entre ambos procesos, pues el cálculo de B1 se realiza sobre la trama antes de des-aleatorizarla y se compara con el octeto entrante después del segundo proceso [2] [11].

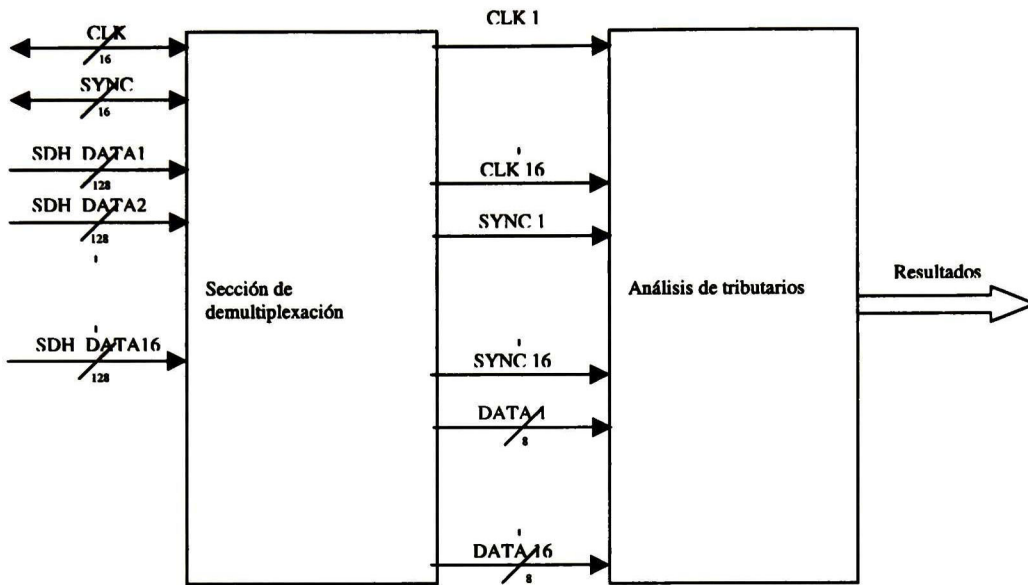


Figura 8 Estructura básica del analizador de tramas SDH

Se tienen 16 puertos de entrada, donde cada puerto consiste de una entrada de datos de 128 bits, un reloj de entrada, un reloj de salida y una señal de sincronización. Además se cuenta con una entrada de reset general para el analizador.

Todas las entradas son síncronas, y el reloj de entrada se toma como base para generar el reloj interno del analizador. La frecuencia de este reloj depende del tamaño de la interface de los datos y del orden de la trama SONET entrante. Algunos ejemplos se muestran en la Tabla 4.

Tamaño de la interface	Orden de la trama SONET	Frecuencia del reloj de entrada
1 bit	STS -12	622.08 MHz
8 bits	STS -12	77.76 MHz
16 bits	STS -12	38.88 MHz
1 bit	STS -3	155.52 MHz
1 bit	STS -48	2488.32 MHz

Tabla 4 Diferentes frecuencias de reloj de entrada

El analizador funciona internamente con un reloj generado a partir del reloj de entrada, o del reloj de salida generado, cuyas frecuencias son variables. La frecuencia del reloj interna depende solamente del orden de la trama SONET de entrada, pues internamente los datos se manejan con un bus de 8 bits. Las diferentes frecuencias del reloj interno se muestran en la Tabla 5.

Orden de la trama SONET	Frecuencia del reloj interno
STS-1	6.48 Mhz
STS-3	19.44 Mhz
STS-12	77.76 Mhz
STS-48	311.04 Mhz
STS-192	1244.160 Mhz

Tabla 5 Diferentes frecuencias del reloj interno

Los puertos de entrada y salida del analizador se describen en la Tabla 6. En cada puerto puede introducirse una señal SDH/SONET independiente de los demás puertos, siempre y cuando la suma de los órdenes de las tramas SDH/SONET entrantes no sobrepase 64/192, y la estructura definida para los puertos cumpla con los requerimientos de orden de multiplexación definidos por [2].

Los datos son leídos por el analizador con el flanco de subida de la señal de reloj. Esto se muestra en la Figura 9, además de la relación entre el pulso de alineamiento de trama y los bits de información que llegan a la entrada data_hi. Este debe de ubicarse sobre los bits mas significativos (MSB por sus siglas en inglés *most significant bits*) del octeto A1 o J0 entrante. En la Figura 9 la línea de datos es de 8 bits, por lo que el octeto A1 completo se recibe en un solo ciclo de reloj.

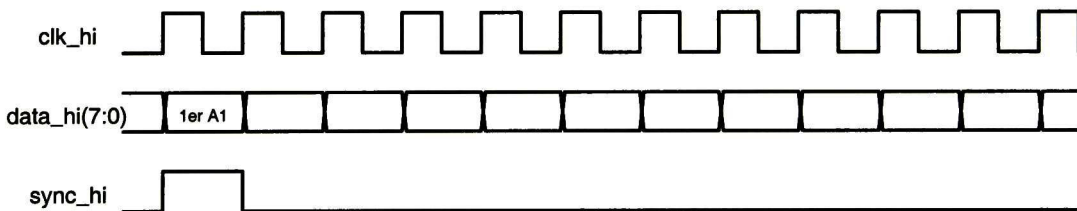


Figura 9 Formas de onda para las señales de entrada al analizador, línea de datos de 8 bits

La Figura 10 muestra un ejemplo en el que la línea de datos es de 4 bits, por lo que se requieren dos ciclos de reloj para recibir el octeto A1 completo. Los bits mas significativos se reciben primero (F hex) y los menos significativos después (6 hex). El pulso de alineamiento de trama acompaña al ciclo de reloj con el que se leen los MSB del octeto A1. El mismo criterio se aplica cuando el pulso de alineamiento acompaña al octeto J0.

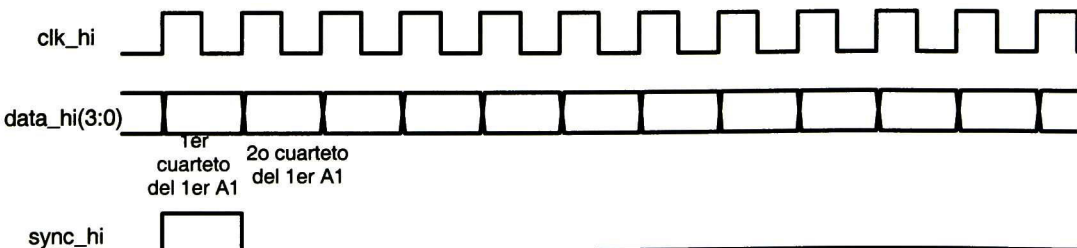


Figura 10 Formas de onda para las señales de entrada al analizador, línea de datos de 4 bits



La sección de demultiplexación es la encargada de desentrelazar, si es necesario, las tramas SDH/SONET entrantes. Esta demultiplexación se realiza de acuerdo a la misma estructura de multiplexación/demultiplexación definida por [2]. También es la encargada de realizar el cálculo del octeto¹ BIP B1 y su comparación con los entrantes; realiza la decodificación de la trama SONET, si esta viene codificada; busca alineación con los octetos A1 y A2, si se configura para buscar alineación; por último también analiza el contenido del octeto(s) J0 entrantes, de acuerdo al tipo de traza configurada.

Nombre	Cantidad	Ancho	Descripción
Clk_hi	16	1 bit	Reloj de entrada/salida, según se configure. Su frecuencia depende del ancho del puerto de datos y del orden de la trama SDH/SONET. Un reloj por puerto SDH/SONET de entrada.
Sync_hi	16	1 bit	Pulso de entrada/salida de sincronía de trama SDH/SONET. Si esta configurado como entrada, debe ir alineado al primer octeto A1 o al octeto J0. Si esta configurado como salida, estará alineado al primer octeto A1. Uno por puerto SDH/SONET de entrada.
Data_hi	16	128 bits	Datos de entrada al analizador. El ancho puede ser configurado a 1 bit, 4, 8, 16, 32 o 128 bits. Uno por puerto SDH/SONET de entrada.
RESET	1	1 bit	Reset general del analizador de tramas SONET.

Tabla 6 Puertos de entrada al analizador de tramas SONET

El analizador puede buscar alineación con los octetos entrantes o aceptar un pulso de sincronía externo que determine la posición del primer octeto A1 o del octeto J0. Si la configuración indica que se debe de sincronizar a los octetos entrantes, busca en estos la secuencia de octetos A1 y A2 que espera recibir, de acuerdo al orden de la trama entrante. Una vez encontrados estos octetos, espera por una trama y busca otra vez la secuencia. Si esta se repite por 3 veces consecutivas, entonces el circuito entra en sincronía con los datos entrantes.

Una vez en sincronía, el analizador decodifica la trama entrante, comienza a calcular el octeto B1, de acuerdo al proceso de cálculo de B1 descrito en [2], y analiza el contenido del octeto J0 entrante.

La siguiente etapa consiste en una serie de demultiplexores que desentrelazan la trama entrante, extrayendo cada uno de las unidades administrativas/tributarios que la conforman.

La sección de análisis de tributarios se encarga del análisis del resto de los octetos que componen la trama SDH/SONET entrante, a nivel de tributario. Es aquí donde se realiza el análisis de la carga útil, de los octetos de tara de ruta, de la tara de línea y del resto de los octetos de tara de sección.

¹ Por cada puerto se pueden introducir tramas SONET independientes, cada cual contiene un octeto BIP B1 y un octeto J0.



Existen tres tipos de análisis para los octetos entrantes:

- a) Transparente, donde cada octeto se reporta al archivo de salida.
- b) Cambio, en donde cada tipo de octeto entrante se compara con su valor anterior, y si este cambio, se reporta al archivo de salida.
- c) Comparación, en donde cada octeto se compara con un valor esperado, que puede ser programado por el usuario. Si existe una diferencia entre el valor entrante y el esperado, esta se reporta al archivo de salida.

Cada unidad se analiza de manera independiente. Esto permite analizar diferentes tipos de carga para diferentes unidades. Aunque la mayoría de los octetos de la trama SDH no contienen secuencias o valores especiales, los octetos J0, B1 (analizados en la sección de demultiplexación), B2, H1, H2, H3, J1 y B3 requieren de un análisis especial, pues contienen secuencias de valores, o valores que dependen del resto de los octetos de la trama, según se describe en [2]

Los octetos de paridad B2 son calculados, de acuerdo al proceso descrito en [2], y su valor se utiliza como el esperado a recibir.

Los octetos que contienen a los punteros H1 y H2 son extraídos y separados en los campos que los componen. Los bits NDF son analizados para determinar si se trata de un puntero normal, o de un nuevo puntero. Debido a que esta cama se utiliza en el análisis de los datos que salen del circuito bajo prueba, se supone que los bits NDF tienen cualquiera de los dos valores especificados y por lo tanto no se implementa ningún algoritmo de votación para definir interpretaciones en cualquiera de las combinaciones de bits no especificadas. Si alguno de los bits se detecta con un vaor erroneo, se reporta como error encontrado en los punteros. Los bits ID son analizados para determinar si se trata de un puntero normal, de un incremento de puntero o de un decremento de puntero. En base a este análisis se determina el valor de los punteros, y con ello, la posición del octeto J1 dentro de la envoltente de carga útil, según se describe en [2].

Una vez determinada la posición del octeto J1 dentro de la trama, los octetos de POH son extraídos y analizados. Sobre el octeto J1 se realiza un análisis similar a aquél realizado sobre el octeto J0. El octeto B3 es calculado, de acuerdo al proceso descrito en [2], para utilizar este valor como esperado a recibir.

Sobre el resto de los octetos de tara se realiza un análisis similar a aquel realizado sobre los octetos J0, J1, B1, B2 y B3, pero el valor esperado se obtiene a partir de uno predefinido por el usuario.

Los octetos de carga útil pueden contener cualquiera de los siguientes formatos de datos

- Un valor fijo, entre 0 y 255 (entero de 8 bits).
- Un contador ascendente, circular, de 0 a 255, pre-cargable (valores enteros de 8 bits).
- Un contador descendente, circular, de 255 a 0, pre-cargable (valroes enteros de 8 bits).
- Una secuencia pseudo-aleatoria, PRBS 2^{20}



Sobre estos octetos se realiza un análisis similar a aquél realizado sobre el resto de los octetos, cuyo valor esperado es calculado de acuerdo al formato de datos configurado.

El resultado del análisis realizado sobre los octetos entrantes es reportado a un archivo de texto, el cual presenta información básica del análisis, como número de trama, octeto recibido, valor recibido, valor esperado y tiempo de simulación. Tanto el valor recibido, como el esperado se presentan en hexadecimal.

Para los octetos de paridad B1, B2 y B3 se presenta un formato de reporte especial, en binario y además, como información adicional, la posición de los bits encontrados en error, o con un valor diferente al esperado.

3.4 Configuración por el usuario.

Existen diferentes parámetros que pueden ser configurados por el usuario. Estos se muestran en la **Error! Reference source not found.**, junto a los posibles valores que pueden tomar. La asignación de estos valores por parte del usuario se realiza a través de un archivo de texto, cuyos comandos se muestran en la **Error! Reference source not found.** Los parámetros deben de colocarse entre corchetes, separados por comas y en el orden descendente en que se muestran para cada comando, por ejemplo, para configurar el puerto 1 como un STM-4/STS-12, se utiliza STM[1,4].

Al momento de escribir el archivo que contiene los comandos para la cama, el usuario debe tomar en cuenta:

- El nombre del archivo se configura al momento de realizar la instancia del analizador en el ambiente de verificación [ver capítulo 5].
- La asignación de valores a un parámetro dado debe hacerse de manera secuencial. Por ejemplo, si el octeto D2 toma diferentes valores a lo largo de la ejecución de un caso de prueba, estos deben de escribirse en el archivo en forma ascendente de acuerdo al número de trama en el que el cambio se lleva a cabo.
- Si un comando se repite para el mismo parámetro en el mismo número de trama, este tomará el valor asignado en el último comando descrito.
- Líneas que contengan caracteres especiales, espacios o comandos inválidos, sin ser precedidos al inicio de la fila por el carácter '#', serán tomadas como líneas inválidas.
- El archivo debe de ser tipo texto, el analizador no acepta archivos binarios.

Comando	Parámetros	Valores aceptados (1)	Descripción
TRAMA	P = Número de puerto N = Orden de la trama	1 a 16 1 a 192	Configura un determinado puerto a un tipo de trama STS-N
CONSTITUYENTE	C= Número de analizador de tributarios. N = Orden de la unidad administrativa.	1 a 192. 1, 3 a 192.	Configura la constitución de la trama entrante. A una trama STS-N entrante se le asignan N analizadores de tributarios consecutivos, y a cada constituyente STS-M se le asignan M analizadores de tributarios consecutivos (ver sec. 3.6).
BUS	P = Número de puerto. B = Ancho del bus en bits.	1 a 16 1, 4, 8, 16, 32, 128.	Configura el ancho del bus de un puerto de entrada al analizador.
SINCRONIA	P = Número de puerto. S = Tipo de sincronía Pos = Posición del pulso	1 a 16 INT,EXT A1, J0	Configura si el analizador busca sincronía o se basa en un pulso externo de sincronía, además de determinar si la posición de dicho pulso es sobre A1 o sobre J0.
ALEATORIZADOR	P = Número de puerto. En = Habilita o deshabilita aleatorizador.	1 a 16. 1, 0.	Habilita o deshabilita el aleatorizador de entrada de cada puerto. 1 = aleatorizador habilitado. 0 = aleatorizador deshabilitado.
VALOR	C = Numero de analizador de tributarios. Octeto = Nombre del octeto de la trama SDH a configurar. Modo = Modo de análisis para dicho octeto. Trama = Número de trama a partir de la cual toma dicha configuración. Tipo = Configura el tipo octeto a esperar. Valor = Valor esperado.	1 a 192 Véase tabla 2.5. ANT, TRA, ESP. 1 a 2000.	Configura el modo de análisis para cada uno de los octetos de la trama SDH entrante. Se hace basándose en la posición dentro del tipo de octeto que ocupa. ANT compara al octeto con el anterior recibido, TRA pone al modo como transparente y ESP compara contra el valor esperado fijado en Valor. SINGLE = Traza sencilla, 1 octeto. CRC = Traza de 16 octetos con CRC LIBRE = Traza libre de 64 octetos. LFCR = Traza de 64 octetos con retorno de carro (CR) y alimentación de línea (LF) al final. PRBS = Secuencia pseudo-aleatoria. INC = Secuencia incremental. DEC = Secuencia decremental.

Tabla 1 Lista de comandos aceptados por la camara de pruebas SDH, sección analizador



Notas:

1. El valor preprogramado para cada comando es el primero de la lista en valores aceptados para cada uno de ellos.
2. Valido solamente si el octeto configurado es J0 o J1.
3. Si el octeto configurado es J0 o J1 y la traza J0/J1 configurada es CRC, el valor esperado consta de 16 caracteres. Si es LIBRE, el valor esperado consta de 64 caracteres y si es LFCR el valor esperado consta de 62 caracteres. Todos los caracteres deben pertenecer al código ASCII no extendido.
4. Valido solamente si el octeto configurado es PAYLOAD (carga útil).
5. Si el octeto configurado es PAYLOAD y el tipo de carga útil es PRBS, este campo se ignora.

3.5 Archivos de salida.

Como resultado del análisis de los octetos entrantes de acuerdo a la configuración dada por el usuario, la cama de pruebas SDH, sección analizador produce un archivo de texto, que señala los octetos o eventos diferentes a los esperados. El texto tiene un formato definido, mostrado en la Tabla 7. El archivo consta de una columna que indica el número de analizador de unidades administrativas [ver sec. 3.6, 3.7] que detecto el error o evento [ver sec. 2.5]; una columna que indica el número de trama en que se detectó el error; una columna que indica el tipo de octeto detectado en error o tipo de evento que se detecto (en caso de ser movimiento de puntero o entrada en sincronía); dos columnas indicando el valor esperado y el recibido y por último el tiempo de simulación en que ocurrió el evento.

Descripción de las columnas					
Columna 1	Columna 2	Columna 3	Columna 4	Columna 5	Columna 6
Número de AU en que se detectó el error. Numeradas de acuerdo al orden de multiplexación [sec. 3.6]	Número de trama en que se detectó el error.	Tipo de octeto detectado en error, o indicación de movimiento de puntero o indicación de entrada en sincronía.	Valor esperado (1).	Valor recibido (1).	Tiempo de simulación en que se detectó el error.
Nota 1.- Válidos solamente si no se trata de un movimiento de puntero o de sincronía.					

Tabla 7 Columnas en el archivo de salida

Al igual que el archivo de configuración, el nombre del archivo de salida se configura al momento de realizar la instancia del analizador dentro del ambiente de verificación o de prueba en que se encuentre. [ver capítulo 5].

El siguiente es un ejemplo de cómo realizar una configuración básica del analizador. El puerto numero 1 se configura para recibir una trama STM-64/STS-192, formada por cuatro constituyentes AUG-4-16c/STS-48. El puerto es de 16 bits, y recibe la trama aleatorizada.

TRAMA[1,192]
CONSTITUYENTE[1,48]
CONSTITUYENTE[49,48]
CONSTITUYENTE[97,48]
CONSTITUYENTE[145,48]
BUS[1,16]
ALEATORIZADOR[1,1]

Ejemplo 1.- Archivo de configuración.

3.6 Consideraciones.

La funcionalidad y requerimientos descritos en el presente capítulo fueron producto de los requerimientos, funcionalidad, interfaces del circuito bajo prueba *S19201* de AMCC, y del plan de pruebas a nivel sistema realizado para la verificación de dicho circuito.

En el capítulo siguiente se describe la arquitectura utilizada para la cama de pruebas. En el se describen algunas otras consideraciones hechas al momento de definirla.



4 - Arquitectura de la cama de pruebas SDH, sección analizador.

En el capítulo anterior se describió la funcionalidad que la cama de pruebas SDH, sección analizador tiene, mas no se describió como se implementaría dichas funciones, detallando los bloques que constituyen a la herramienta, sus algoritmos básicos y comunicación entre sus módulos internos.

Esta información es clave para obtener un diseño exitoso. Una buena descripción de la arquitectura facilita el proceso de codificación, pues provee las guías principales de implementación y partición del circuito; facilita la interacción entre los diferentes participantes en el diseño al describir las interfaces entre módulos internos; también hace más fácil el trabajo de verificación del dispositivo (sea circuito o cama de pruebas) al describir en ella la funcionalidad e interfaces completas.

4.1 Lista de requerimientos adicionales para definir la arquitectura.

Además de los requerimientos dados para la especificación de la cama de pruebas, algunos otros requerimientos surgen para definir su arquitectura. Estos se definen enseguida.

- El analizador debe ser modular, cada función implementada se encuentra en un bloque.
- La configuración e interacción con el usuario se realizarán por medio de archivos de texto.

4.1.1 Suposiciones

Para el desarrollo de la arquitectura de la cama se realizan las siguientes suposiciones:

- La cama se utiliza a la salida de datos, sincronía y relojes SDH/SONET de un circuito, como el S19201 de AMCC. Los relojes a la salida de este circuito son de la misma frecuencia y fase, es decir, los datos de todos los puertos SDH/SONET de salida del circuito vienen generados por la misma fuente de reloj, lo mismo que el pulso de sincronización que acompaña a los datos.

4.2 Arquitectura de la cama de pruebas SDH, sección analizador.

De acuerdo a los requerimientos descritos en las secciones 2.1 y 3.1 del presente documento, se desarrollo la arquitectura mostrada en el diagrama de bloques, **Error! Reference source not found.** Cada una de las características se encuentra incorporada en la funcionalidad implementada en cada uno de los módulos ahí mostrados.

En las secciones siguientes se describe a detalle la funcionalidad de cada uno de los módulos. La **Error! Reference source not found.** muestra que las señales de entrada de datos, sincronía y reloj de cada uno de los 16 puertos, se conectan a uno de los 16 convertidores serie a paralelo / paralelo a serie que se encargan de fijar el ancho de bus de datos interno al analizador a 8 bits. Como consecuencia, el reloj interno no tiene una frecuencia fija, sino que depende del orden de la trama que se esté



analizando.

Una vez que los datos pasan por un convertidor, se introducen a un módulo que busca alineamiento de trama, des-aleatoriza la trama entrante y analiza el octeto B1 entrante. El proceso de alineación coloca el primer octeto A1 con los bits menos significativos de la línea de datos de salida, y genera un pulso con una duración de un ciclo de reloj que indica la presencia de dicho octeto. El proceso de des-aleatorización se ejecuta solamente si el usuario lo habilita. El proceso de análisis del octeto B1 comienza con el cálculo de un octeto B1 con los datos de la trama entrante, para luego compararlo con el octeto B1 entrante, para después seguir el mismo proceso que se describe para el análisis del reto de los octetos que forman la trama SDH/SONET. Los datos ya alineados y des-aleatorizados se pasan al analizador de SOH, el cual procesa los octetos que forman esta parte de la trama SDH.

La siguiente etapa consiste en una demultiplexación de unidades administrativas SDH, la cual se realiza de acuerdo a lo descrito en [2]. Cada unidad administrativa se pasa por separado a uno de los 192 bloques que la procesan. Este bloque recibe datos de los 16 módulos compuestos por el convertidor, el bloque de alineamiento y el analizador de SOH.

Cabe recordar que en conjunto, la suma de los órdenes de las tramas entrantes por los 16 puertos no puede ser mayor a 192. Por lo tanto se analizan un máximo de 192 unidades administrativas.

Existen dos bloques que se encargan de leer y generar los archivos de texto mediante los cuales el usuario configura y obtiene resultados del analizador. El bloque lector de los archivos de configuración toma los valores y secuencias programadas por el usuario y las almacena en un conjunto de registros que pueden ser leídos por alguno de los módulos, dependiendo de la información que este almacene.

El bloque generador de archivos de texto se comunica con el resto de los módulos a través de un conjunto de registros que guardan los errores detectados por los módulos analizadores, y que son leídos por él para determinar cuando escribir al archivo de salida que un error se ha detectado.

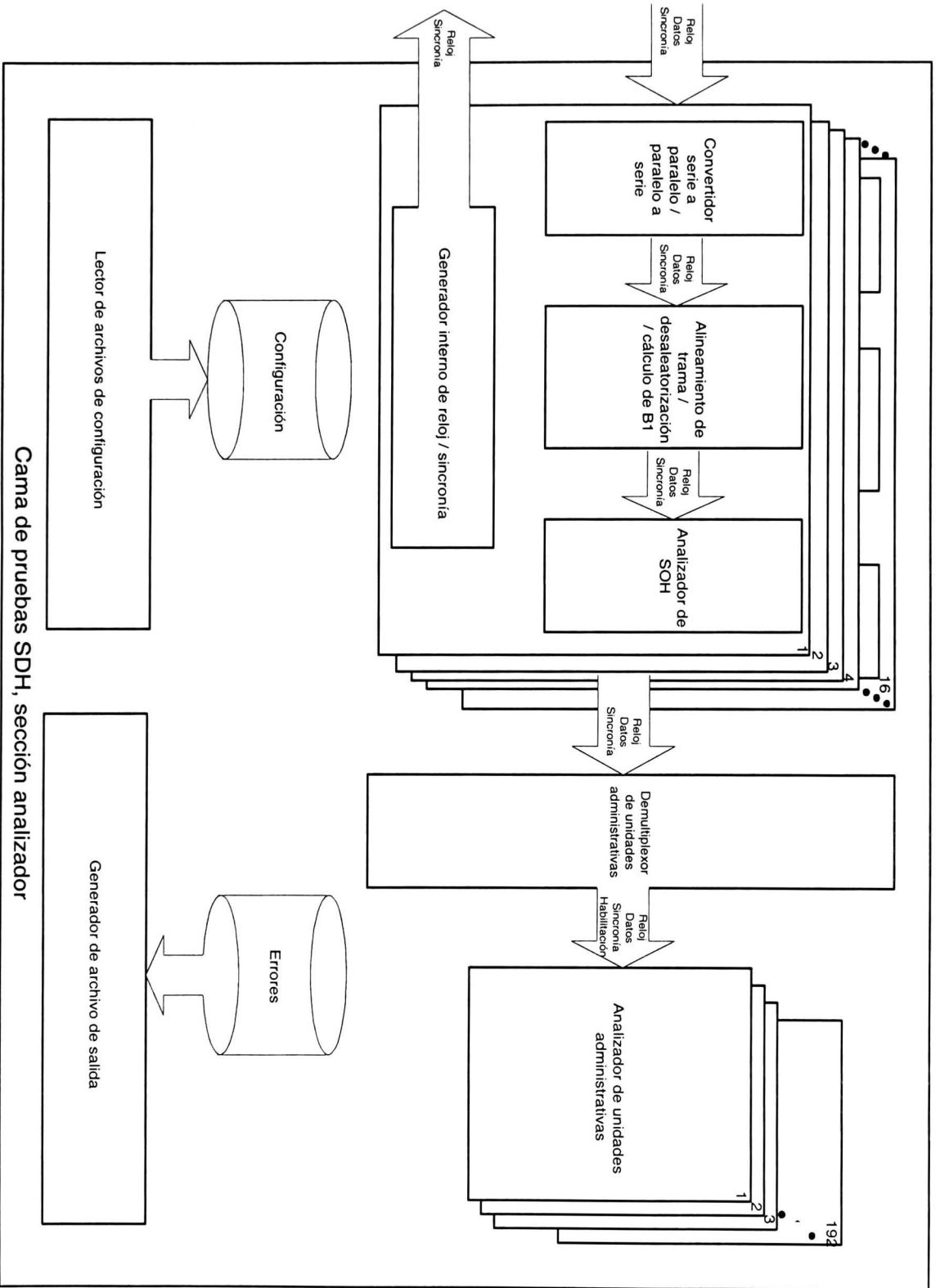


Figura 1 Arquitectura de la camra de pruebas, sección analizador

Algunas de las características comunes a todos los módulos son:

- Los datos de configuración los leen de las memorias que están en el módulo de registros de configuración.
- Si el resultado del análisis da algún error encontrado, este se comunica al generador de textos mediante un bus de datos. El proceso se describe mas adelante.
- La filosofía de diseño utilizada es la de control - flujo de datos
- Se diseñan en VHDL.

4.3 Convertidor serie a paralelo.

Este módulo se repite por cada puerto de entrada al analizador SDH/SONET. El funcionamiento de cada uno de los 16 módulos es independiente. La Figura 11 muestra los puertos de entrada y salida de este módulo.

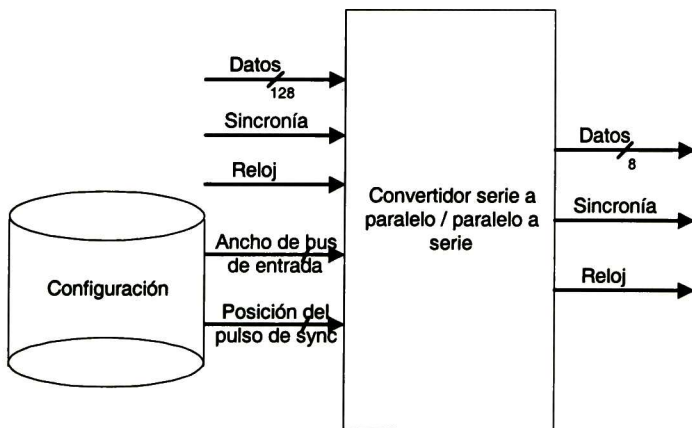


Figura 11 Convertidor serie a paralelo

El ancho del bus de datos SDH/SONET de entrada se puede configurar a 1, 4, 8, 16, 32 y 128 bits. El módulo recibe estos datos y los saca por un bus de datos cuyo ancho es siempre de 8 bits (1 octetos). El reloj de salida también es regenerado, pues es dividido/multiplicado de acuerdo a la proporción existente entre el ancho de bus de datos de entrada y el de salida. Esto se muestra en la Tabla 8

Bus de entrada (bits)	Bus de salida (bits)	Relación reloj de salida / reloj de entrada
1	8	1/8
4	8	1/2
8	8	1
16	8	2
32	8	4
128	8	16

Tabla 8 Relación de reloj de entrada/reloj de salida para el módulo convertidor de serie a paralelo / paralelo a serie

4.4 Alineación de trama, desaleatorizador, cálculo de B1.

Este módulo también se repite por cada puerto, por lo que existen 16 instancias del mismo. Tres tareas se realizan en esta sección, pues se encuentran ligadas.

De acuerdo a [2] y [11] durante la generación de la trama SDH/SONET, los datos pasan por un aleatorizador, el cual se aplica a todos los octetos a excepción de la primera fila de los octetos de tara de sección de regeneración. Entre estos octetos se encuentran los octetos de alineación A1 y A2. De acuerdo a los mismos estándares el cálculo del octeto B1 se realiza sobre la trama después de dicho proceso y el resultado se pone en los datos antes de él. Debido a lo anterior resulta más eficiente tener los tres procesos en un solo módulo.

La Figura 12 muestra los puertos de entrada y salida del módulo. El primer proceso realizado sobre los datos entrantes es encontrar los octetos de alineamiento A1/A2 o el pulso de sincronización externo, según la configuración que el usuario. En caso de que la configuración sea búsqueda de alineación interna, el módulo sigue el algoritmo mostrado en el Figura 13. Si la búsqueda de alineación es externa, entonces el módulo busca el pulso de en la entrada de sincronía, y de acuerdo a la configuración que el usuario de, determina si el octeto más significativo del bus de datos de entrada es el primer octeto A1 o el octeto J0.

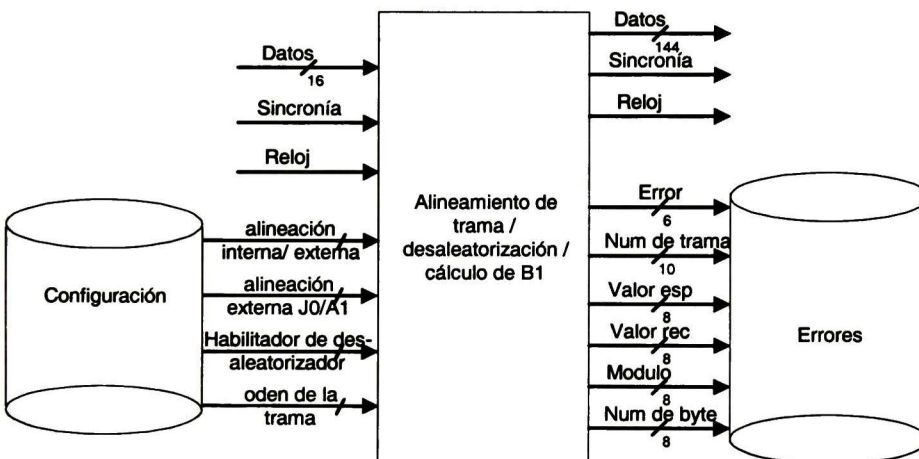


Figura 12 Modulo de alineación de trama/ des-aleatorización / cálculo de B1

Debido a que los datos vienen sobre la línea de datos de 8 bits y no se encuentran alineados en fronteras de octetos, el algoritmo de búsqueda de $N \times A1$ (F6 hex) seguido de $N \times A2$ (28 hex) octetos se realiza en dos partes. La primera busca las fronteras de octeto, tratando de encontrar el valor de F6 hex seguido por otro F6 hex (sí $N > 2$) o el valor de F6 hex seguido de 28 hex (sí $N = 1$) dentro del flujo de bits de datos entrante. La segunda parte se encarga de buscar el resto de la secuencia de octetos A1/A2. El pulso de alineación de salida indica la presencia del primer octeto A1 en el bus de datos. La sincronía de trama se reporta al módulo generador de archivos de texto mediante los registros de error.

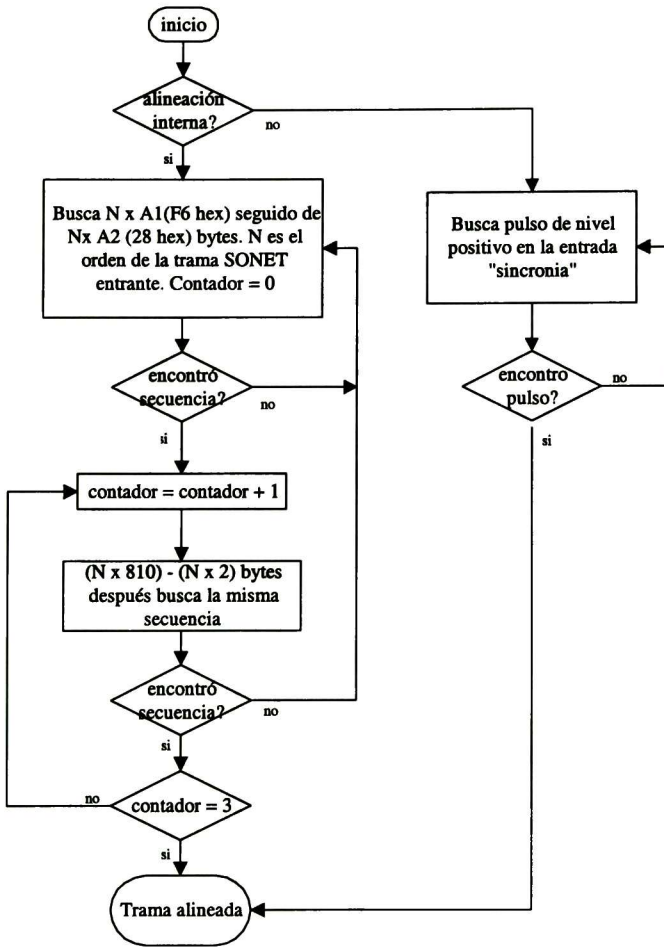


Figura 13 Búsqueda de alineación de trama

Una vez que el módulo ha declarado sincronía de trama, se inicia la cuenta de tramas SDH entrantes, la cual se incrementa cada vez que llega un pulso externo de trama o cada vez que se detecta la secuencia de octetos A1/A2 correspondiente. Enseguida están los procesos de des-aleatorización y cálculo de B1. El proceso de des-aleatorización se realiza siempre y cuando el usuario lo haya habilitado. El polinomio generador utilizado es $1 + X^6 + X^7$. La Figura 14 muestra la implementación con registros del aleatorizador (que también des-aleatoriza). En ella se muestran las entradas de datos, habilitación del aleatorizador, entrada de reloj y la salida de datos, ya des-aleatorizada.

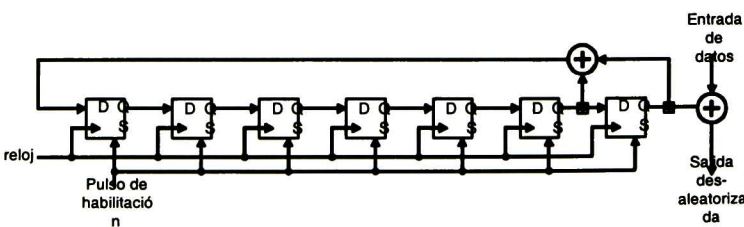


Figura 14 Aleatorizador implementado con registros [2].

Este modelo [2] de siete registros produce una secuencia repetitiva de 128 bits. Esta secuencia es la que se utiliza en el analizador para des-aleatorizar, pues los datos no llegan al módulo en forma serial, sino en un bus de 8 bits. Por lo tanto, los 8 bits entrantes se suman lógicamente (XOR) con 8 bits de la secuencia de bits pseudoaleatoria previamente almacenada. Los siguientes 8 bits de entrada siguen el mismo proceso, aunque con los siguientes 8 bits de la secuencia.

El cálculo del octeto B1 [2] [11] se realiza con los datos antes del proceso de des-aleatorización. Esto se muestra en la Figura 15.

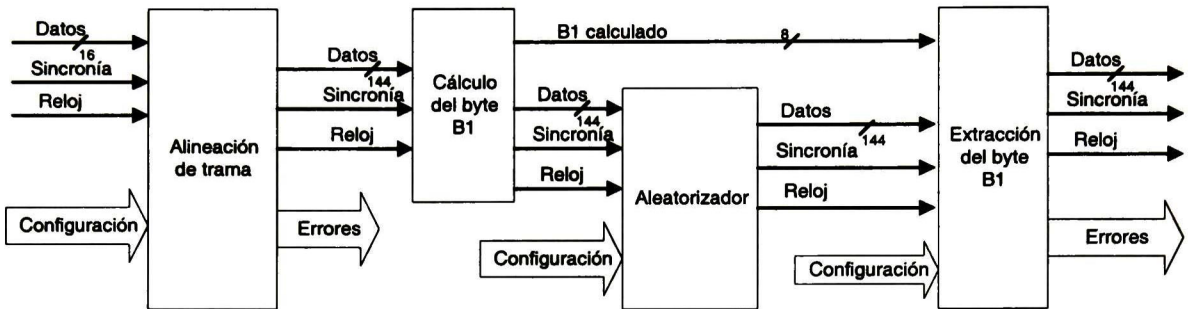


Figura 15 Secuencia de procesos internos al módulo descrito en la sección 3.5

El octeto B1 calculado se pasa al módulo que, de acuerdo a la información de sincronía de trama entrante y orden de la trama, extrae el octeto B1. Entonces se realiza la comparación entre ambos octetos y de arrojar ésta algún error, se accede al módulo generador de texto mediante los registros de error. El resto de los datos sale de este módulo ya des-aleatorizados y con una correcta alineación de trama.

4.5 Analizador de SOH.

Al igual que los anteriores módulos, este se repite una vez por puerto. Su función principal es la de extraer los octetos de la tara de sección [2] y determinar si su valor es igual al esperado. La fuente del valor esperado puede ser algún registro preprogramado por el usuario o bien, algún valor arrojado como producto de un proceso interno, dependiendo del octeto que se esté analizando. El proceso sobre un determinado octeto puede ser deshabilitado por el usuario, programando el modo de análisis de este como transparente (ver sec. 2.4).

Los octetos analizados en este módulo se muestran en la Tabla 9, junto con la fuente del valor esperado. Para cada renglón de SOH, existen $9N^2$ octetos de tara, divididos en tres grupos de $3N$ octetos cada uno [2]. En esta tabla se observa que, aunque en algunos casos solamente el primer octeto de ese grupo tiene uso y el resto no lo tiene especificado, se utiliza el nombre del primer octeto para designar al resto de los octetos del grupo, y distinguir así a los octetos no usados del grupo de los octetos D1 de aquellos en el grupo de los octetos B1.

La Figura 16 muestra las entradas y salidas de este bloque. Al igual que en el bloque de procesamiento

² N es el orden de la trama SDH entrante



del octeto B1, este bloque cuenta con una interfaz a los registros de error para acceder al modulo de generación de archivos de texto cuando algún error fue detectado en alguno de los octetos.

Nombre del octeto de SOH [2]	Fuente del valor esperado
A1	Registro programado por el usuario
J0	Registro programado por el usuario
Z0, octetos 1 a 3	Registro programado por el usuario
NU, octetos 1 a (3N-4), fila 1	Registro programado por el usuario
B1, octetos 2 a 3N	Registro programado por el usuario
E1, octetos 1 a 3N	Registro programado por el usuario
F1, octetos 1 a 3N	Registro programado por el usuario
D1, octetos 1 a 3N	Registro programado por el usuario
D2, octetos 1 a 3N	Registro programado por el usuario
D3, octetos 1 a 3N	Registro programado por el usuario
B2, octetos 1 a 3N	Cálculo interno
K1, octetos 1 a 3N	Registro programado por el usuario
K2, octetos 1 a 3N	Registro programado por el usuario
D4, octetos 1 a 3N	Registro programado por el usuario
D5, octetos 1 a 3N	Registro programado por el usuario
D6, octetos 1 a 3N	Registro programado por el usuario
D7, octetos 1 a 3N	Registro programado por el usuario
D8, octetos 1 a 3N	Registro programado por el usuario
D9, octetos 1 a 3N	Registro programado por el usuario
D10, octetos 1 a 3N	Registro programado por el usuario
D11, octetos 1 a 3N	Registro programado por el usuario
D12, octetos 1 a 3N	Registro programado por el usuario
S1, octetos 1 a 3N	Registro programado por el usuario
M0/M1, octetos 1 a 3N	Registro programado por el usuario
E2, octetos 1 a 3N	Registro programado por el usuario

Nota 1. - N indica el orden de la trama SDH entrante.

Nota 2. - En cualquiera de los casos el valor esperado también puede ser el último valor recibido en el mismo octeto, misma posición.

Tabla 9 Fuente del valor esperado para los octetos del SOH

En esta figura se aprecia que el valor esperado de cada uno de los octetos es leído por el módulo. Estos datos son tomados de un conjunto de arreglos globales, un arreglo por cada tipo de octeto, el cual se puede acceder directamente por el módulo.

Este conjunto de arreglos globales es actualizado dinámicamente por el módulo que lee el archivo de configuración, si algún valor esperado cambia con el tiempo.³

³ Dicha actualización no ocurre cuando el valor es calculado directamente por el módulo analizador, como es el caso del octeto B2.

El algoritmo básico de búsqueda, que se muestra en el Figura 17, se basa en un contador de filas que va de 0 a 8 y un contador de columnas interno, cuya cuenta va de 0 a $90 \cdot (N \cdot 3) - 1$, mediante los cuales se determina la posición de cada uno de los octetos de SOH. La cuenta de cada uno de estos se reinicia a ceros cuando el pulso de sincronía de trama es detectado en el puerto de entrada "sincronía".

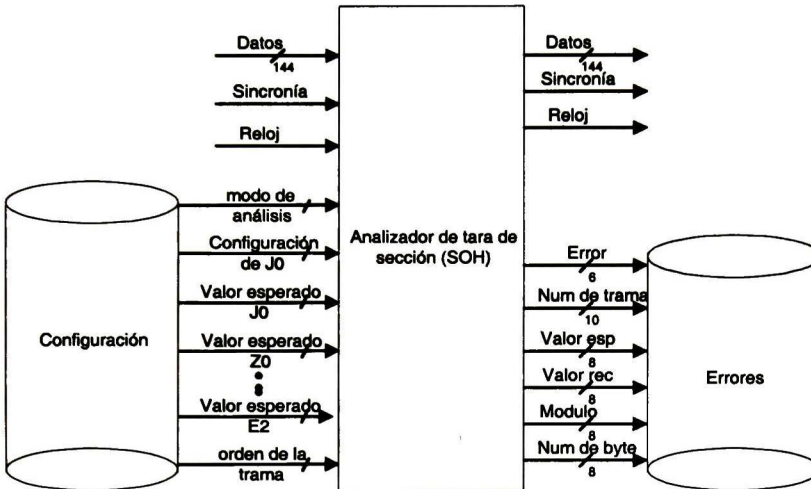


Figura 16 Analizador de SOH

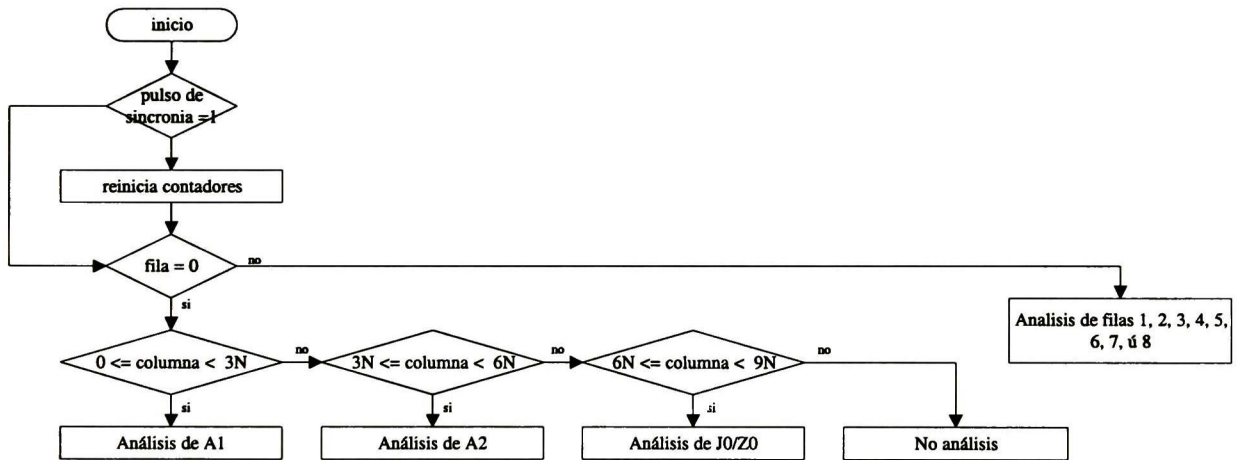


Figura 17 Descripción general de la búsqueda de octetos de SOH, para su análisis

Cualquiera de los octetos de SOH puede ser analizado de acuerdo a tres criterios:

- Valor esperado, el cual es programado por el usuario o calculado internamente, de acuerdo a lo mostrado en la Tabla 9.
- Valor anterior, en el cual el valor recibido una trama anterior para un octeto específico dentro del SOH se toma como valor esperado para el mismo octeto en la trama entrante.
- Transparente, en el cual no se realiza análisis.

Los octetos A1 y A2 también son analizados en esta parte, aunque de acuerdo a lo programado por el

usuario, sí la búsqueda de sincronía fue interna, estos ya fueron analizados en el bloque de búsqueda de alineación; más si la búsqueda de alineación fue basada en pulso externo, entonces estos no se analizaron en aquél módulo, por lo que se tienen que analizar en el módulo de SOH.

El octeto J0 es analizado de acuerdo al modo de configuración para la traza que este octeto contiene, la cual puede ser [2]:

- Valor fijo, entre 0 y 255 (0 y FF hex).
- Trama compuesta de 16 octetos con CRC-7.
- Trama de 64 octetos con alimentación de línea (CR) y retorno (LF).
- Trama de 64 octetos con formato libre.

El módulo recibe un octeto J0 por trama, cuyo valor es buscado en la memoria de valores esperados y entonces espera por el siguiente octeto de la traza. Este proceso se repite hasta que la traza entera haya sido recibida en forma correcta, para entonces declarar una traza alineada y comenzar el reporte de errores en el octeto J0, si alguno posterior al anterior proceso aparece.

Para el análisis de los octetos B2 recibidos se utiliza el proceso de cálculo de paridad entrelazada de bit descrita en [2] [11]. El resultado arrojado por dicho cálculo se utiliza como valor esperado y comparado contra el octeto B2 entrante.

El resto de los octetos de SOH es comparado contra el valor esperado, sea este el que el usuario programa o el último valor recibido, para el mismo octeto en la misma posición.

Si alguna de las comparaciones valor recibido-valor esperado arrojan una diferencia, el analizador de SOH accede al módulo generador de texto mediante los registros de error. La Figura 18 muestra en zonas sombreadas la parte de la trama que ha sido procesada hasta este módulo.

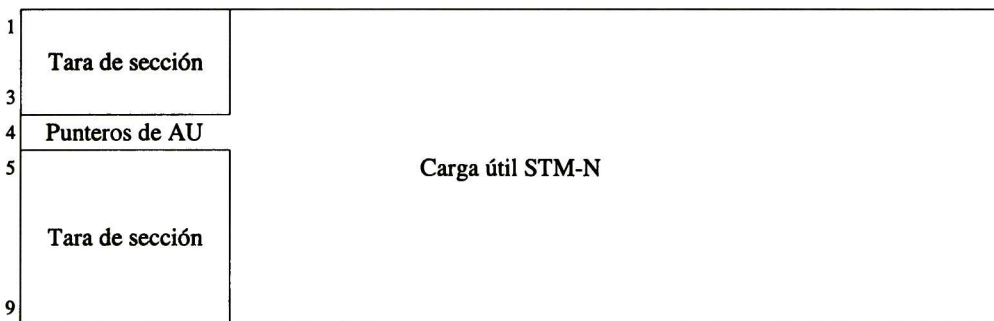


Figura 18 Datos procesados de la trama entrante a la salida del módulo

4.6 Demultiplexor de unidades administrativas.

Las entradas de este bloque son las salidas de datos, sincronía y reloj de los 16 bloques analizadores de SOH. De acuerdo a la configuración dada por el usuario a los puertos el módulo toma los datos de sus entradas, y de acuerdo a la configuración de unidades administrativas dada a cada trama SDH, el módulo demultiplexa en sus unidades administrativas a los datos que entran por cada puerto.

De acuerdo a lo especificado en [2] un grupo de unidades administrativas [AUG] puede estar formado por:

- Un AUG-64 puede estar formado de cuatro AUG-16 o un AU-4-64c.
- Un AUG-16 puede estar formado de cuatro AUG-4 o un AU-4-16c.
- AUG-4 puede estar formado de cuatro AUG-1 o un AU-4-4c.
- AUG-1 puede estar formado de un AU-4 o tres AU-3s.

El demultiplexor de unidades administrativas descompone el AUG en sus unidades administrativas (AU). Es decir, sí una trama STM-64/STS-192 entrante está formada por 192 AU-3/STS-1, se tendrán a la salida del módulo los datos separados para cada AU-3/STS-1, aunque de acuerdo al procedimiento de multiplexación estos primero se agrupan en AUG-1/STS-3, luego cuatro de éstos se agrupan en un AUG-4/STS-12 y cuatro de éstos en un AUG-16/STS-48 y finalmente cuatro de éstos en un AUG-64/STS-192, el cual luego forma la trama STM-64 [2].

De acuerdo a lo anterior, el demultiplexor tiene 192 salidas de datos SDH, donde hasta 192 constituyentes AU-3/STS-1 pueden salir.

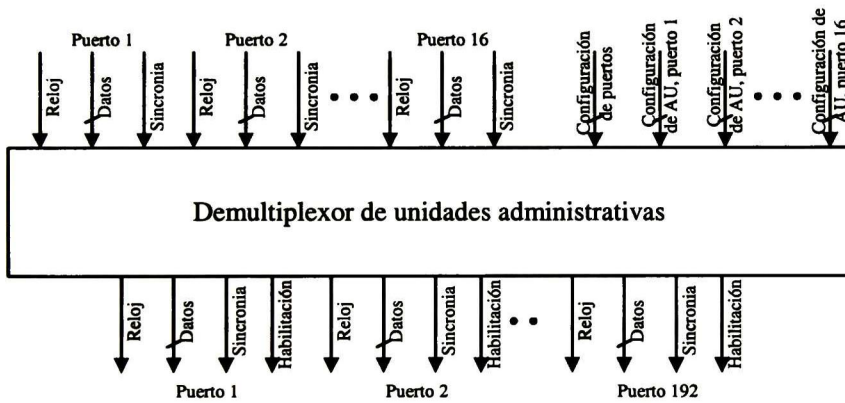


Figura 19 Demultiplexor de unidades administrativas AU

Puede ser que no todos los puertos de entrada al demultiplexor se utilicen, debido a que de acuerdo a la configuración dada por el usuario a la cama de pruebas, pueden haber puertos que no se utilicen. Por ejemplo, si los puertos 1 a 4 se configuran para aceptar tramas STM-16, entonces los puertos 5 a 16 quedarán sin utilizar. Entonces el demultiplexor de AU tomara datos solamente de los puertos activos (en el ejemplo el 1, 2, 3 y 4) y las tramas que por ahí entren serán las que sean demultiplexadas. Esto se muestra en el ejemplo mostrado en la Tabla 10.

Trama entrante por puerto de entrada al demultiplexor	Cantidad asignada de puertos de salida del demultiplexor
STM-64	192
STM-16	48



STM-4	12
STM-1	3
STM-0	1

Tabla 10 Asignación de puertos de salida del modulo de acuerdo al orden de la trama entrante por puerto

También puede ser que no todos los puertos de salida del demultiplexor se utilicen. Para cada puerto de entrada utilizado se reservan tantos puertos de salida como unidades AU-3 sea posible multiplexar en la trama STM-N entrante por dicho puerto; por ejemplo, si en la entrada correspondiente al puerto 1 se recibe una trama STM-16, se reservan los primeros 48 puertos de salida para este puerto de entrada. Los puertos de salida reservados para un puerto ocupan posiciones contiguas (ej. puertos 1-48).

Los puertos de salida que han sido reservados se agrupan de acuerdo a la estructura de constituyentes que la trama entrante tenga, asignando a cada constituyente tantos puertos como unidades AU-3 sea posible multiplexar en dicho constituyente. Por ejemplo, si la trama del ejemplo anterior se constituye por 4 AU-4-4c, los 48 puertos reservados se dividen en 4 grupos de 12 puertos, cada uno correspondiente a un constituyente. De estos grupos solamente el primer puerto estará activo, es decir, por este se sacará el constituyente asignado al grupo, mientras que el resto de los puertos permanecerá inactivo. Esto se muestra en la Tabla 11. De esta cantidad de puertos asignados, solamente uno esta activo.

Unidad administrativa	Cantidad asignada de puertos de salida del modulo (solo uno activo)
AU-4-64c	192
AU-4-16c	48
AU-4-4c	12
AU-4	3
AU-3	1

Tabla 11 Asignación de puertos de salida del modulo de acuerdo a la unidad administrativa constituyente



Orden de la trama entrante	Unidades administrativas	Puertos de salida asignados	Puertos de salida activos
STM-16, puerto 1	1 x AU-4-16c	1 a 48 (48)	1
STM-16, puerto 2	1 x AU-4-4c 1 x AU-4-4c 1 x AU-4-4c 1 x AU-4 1 x AU-4 1 x AU-4 1 x AU-4	49 a 96 (48)	49 61 73 85 88 91 94
STM-4, puerto 3	1 x AU-4 1 x AU-4 1 x AU-4 1 x AU-4	97 a 108 (12)	97 100 103 106
STM-1, puerto 4	1 x AU-3 1 x AU-3 1 x AU-3	109 a 111 (3)	109 110 111

Tabla 12 Ejemplo dado para la distribución de puertos de salida del demultiplexor de unidades administrativas

El proceso de demultiplexación se realiza basándose en lo programado por el usuario. Se utiliza la estructura de multiplexación del capítulo 7 en [2]. Los datos de cuatro AUG-N dentro de un AUG-4xN se encuentran entrelazados en grupos de N octetos por AUG-N. Los grupos AUG-N tienen una fase fija respecto al AUG-4xN. Los datos de un AU-4 se colocan directamente dentro de un AUG-1. Un AU-4 se encuentra formado por un contenedor virtual VC-4 más 9 octetos antes de la cuarta fila, asignados como los punteros del AU-4. La fase del VC-4 respecto al AU-4 esta dada por los punteros del AU-4. La fase del AU-4 es fija respecto al AUG-1. Los datos de tres AU-3 se entrelazan en grupos de un octeto por AU-3 [2]. Esto se muestra en las Figura 20 a Figura 22.

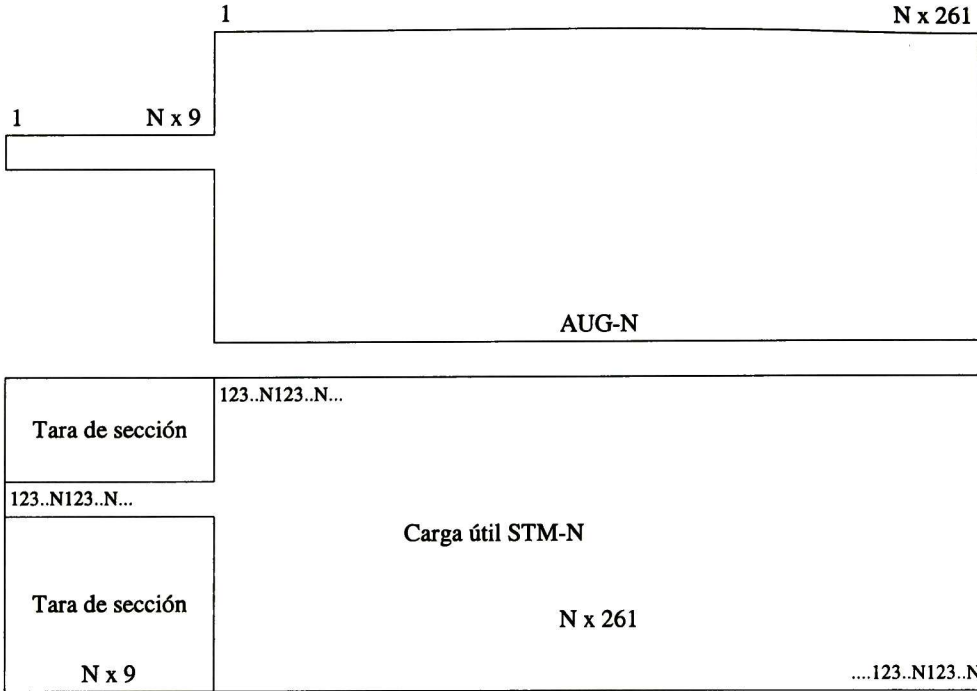


Figura 20 Multiplexaje de AUG-N

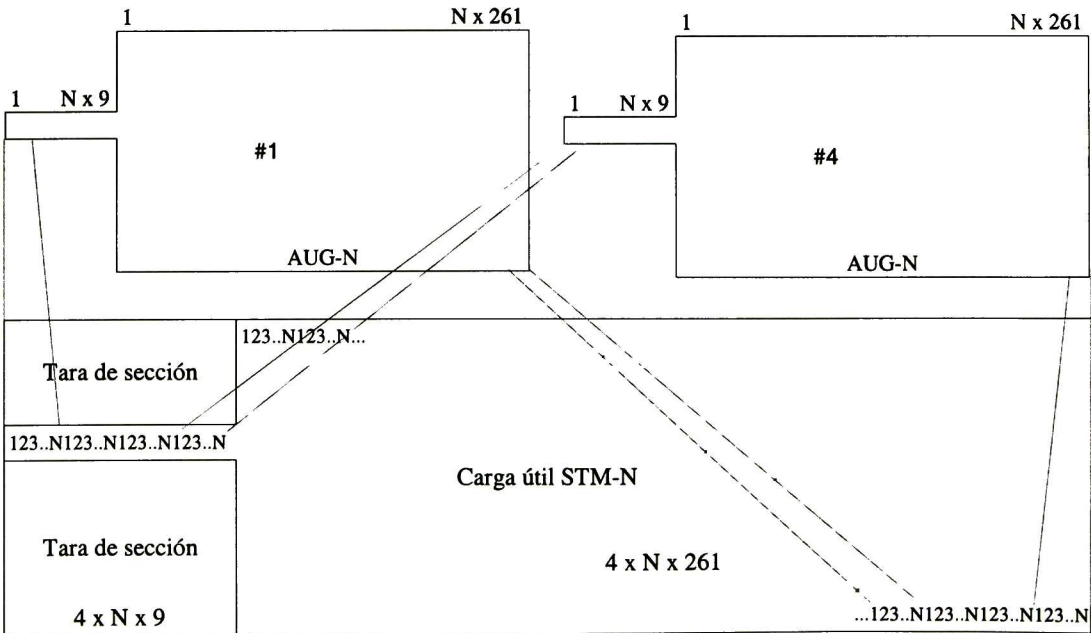


Figura 21 Multiplexaje de 4 AUG-N en un AUG-4N

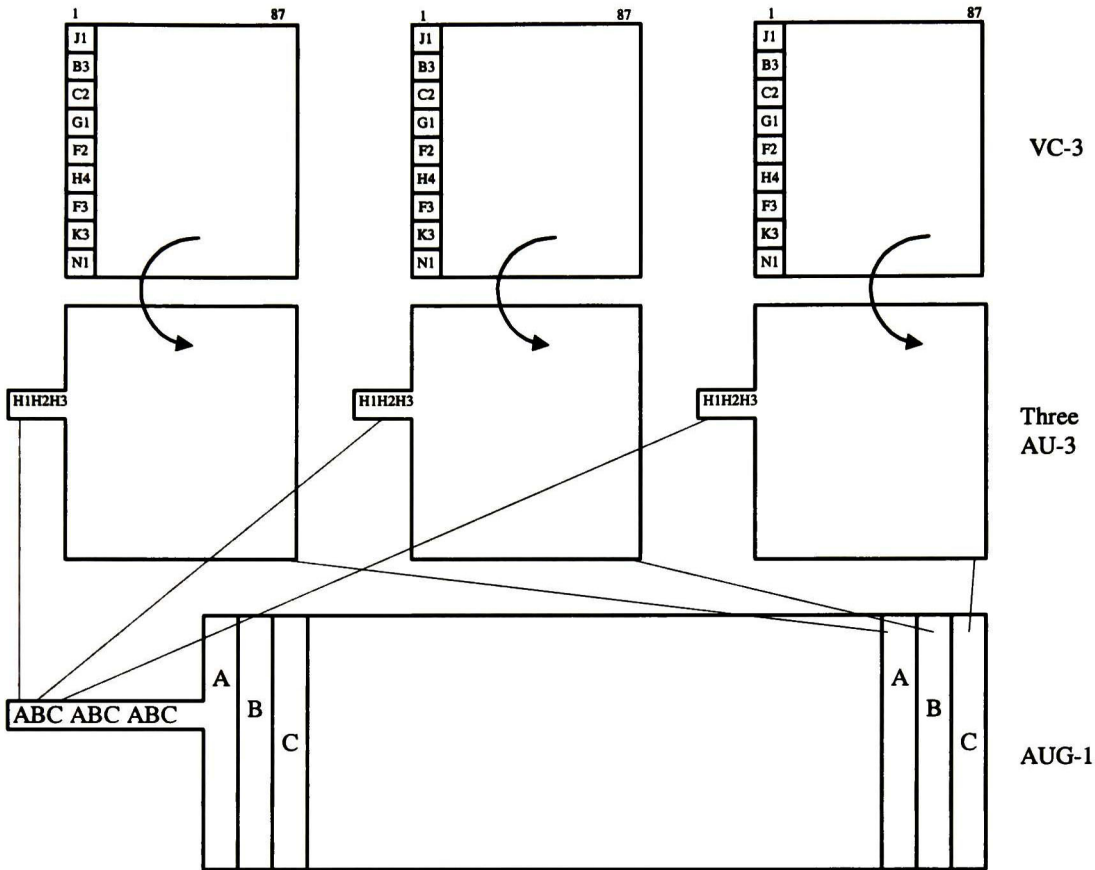


Figura 22 Multiplexaje de AU-3

La capacidad de demultiplexación tiene una resolución de unidades administrativas AU. La demultiplexación y análisis de grupos de tributarios TUG y de contenedores virtuales VC hacia unidades administrativas AU no se soporta.

De acuerdo a la configuración de constituyentes de las tramas entrantes dada por el usuario el demultiplexor de unidades administrativas toma tantos octetos consecutivos, pertenecientes a un AU que entren por el puerto, como la estructura de multiplexación mencionada defina por constituyente. El pulso de sincronía de entrada proporciona una guía para determinar cuando comienza y termina una trama, y como el número de renglones y columnas está bien definido para un STM-N dado, sirve también para ubicar las posiciones de los octetos pertenecientes a una unidad administrativa. Estos octetos son enviados por alguno de los puertos de salida, según se describió anteriormente, hacia los analizadores de AU. Esto se muestra en el Figura 23.

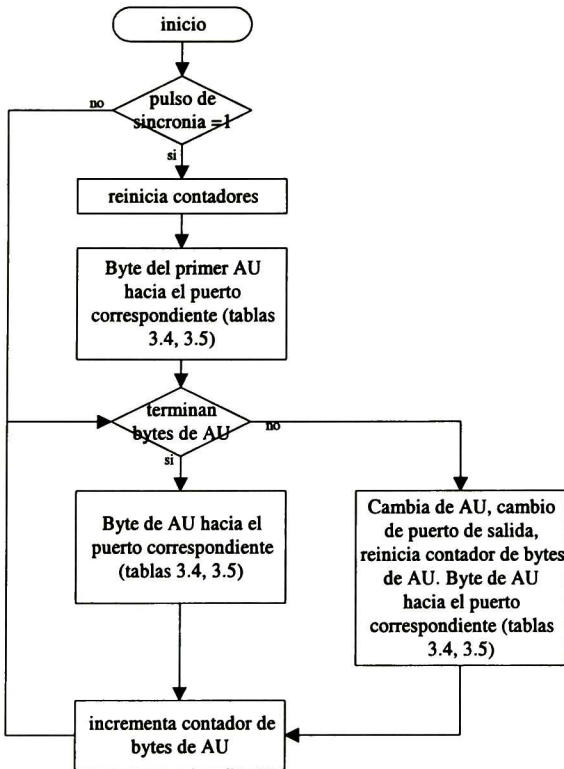


Figura 23 Descripción del algoritmo de demultiplexación de unidades administrativas

A pesar de que una AU consiste solamente de los punteros de AU y un contenedor virtual VC, el módulo demultiplexor también saca los octetos que corresponden al SOH, siguiendo el mismo proceso de demultiplexaje hecho para las AU.

La señal de sincronía es regenerada para cada AU demultiplexada. Al igual que la señal de sincronía de entrada, esta también indica la posición del primer octeto A1. La señal de reloj también es regenerada, y se saca un octeto por cada ciclo de reloj, a través del bus de 8 bits de salida de datos.

4.7 Analizador de unidades administrativas.

Las entradas de los analizadores de unidades administrativas incluyen la señal de datos, de reloj y de sincronía. Si el módulo no recibe señal de reloj alguna, éste no realiza ninguna operación.

Cada uno de los puertos de salida del demultiplexor de AU esta conectado a un analizador de AU diferente. Debido a que puede ser que no todos los puertos de salida del demultiplexor se encuentren activos, no todos los analizadores de AU estarán activos. Solamente aquellos conectados a puertos de salida activos del demultiplexor estarán funcionando.

De acuerdo a la configuración de constituyentes para las tramas SDH entrantes por cada puerto, el módulo sabe que tipo de AU procesará. La ubicación de cada uno de los octetos es determinada por el pulso de sincronía entrante.



El análisis de POH y de carga útil se realiza con una resolución de hasta VC-3, es decir, análisis de VC-2, VC-12 y VC-11 no es soportado.

4.7.1 Procesador de punteros.

La fase del VC respecto al AU viene dada por los punteros de AU (H1 y H2). Para determinar la ubicación de los octetos de POH y el comienzo del VC es necesario interpretar el valor que los punteros de AU tienen. La Figura 24 muestra los campos de los punteros y su significado.

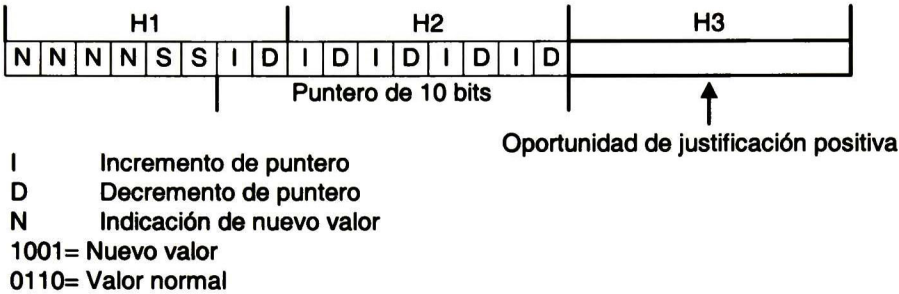


Figura 24 Punteros de AU

Por cada AU solamente viene un juego de punteros H1-H2. El resto de los octetos H1 y H2 contiene el indicador de concatenación. Los octetos H3 se utilizan para justificación negativa de punteros. Cuando alguna justificación negativa se lleva a cabo, los octetos H3 contendrán octetos del VC, en cualquier otro caso, contendrán octetos de relleno [2]. El proceso realizado a los punteros se muestra en el Figura 25.

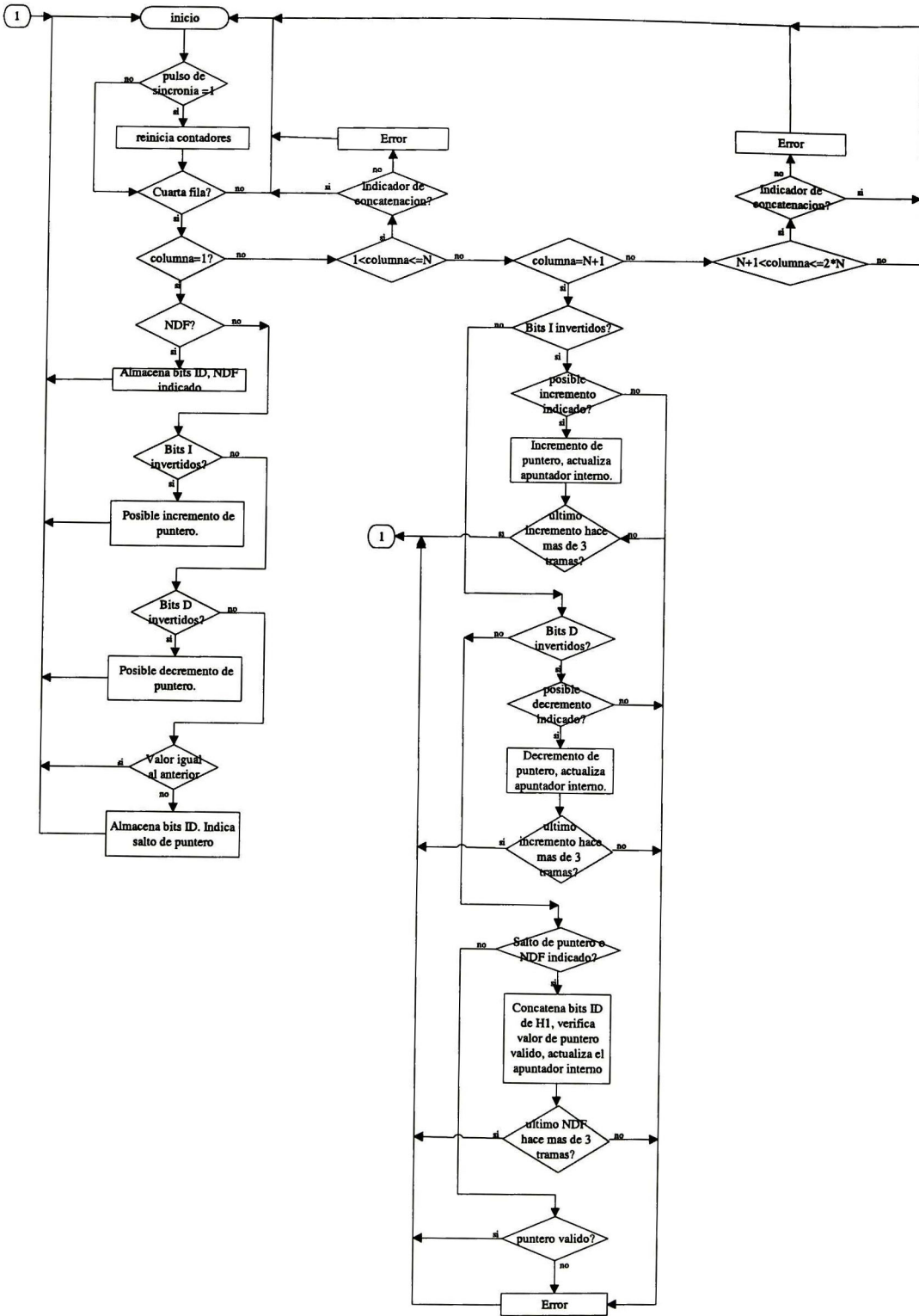


Figura 25 Procesamiento de punteros

Cualquier violación a las reglas de movimientos de punteros establecidas en [2] es reportada al usuario como un mensaje de error. Movimientos de punteros e indicaciones de nuevo puntero NDF son reportados al usuario como mensajes de información [sec. 2.5].

- No se aplica filtrado a los valores de punteros. Por lo tanto, se considera un valor de puntero erróneo si hubo un cambio en él y no se detecta indicación de incremento, decremento o NDF.
- Movimientos de puntero consecutivos deben ser separados por al menos tres tramas en el que el puntero permanece constante.
- No se aplica la regla de mayoría de votos para determinar si un incremento, decremento o nuevo valor de puntero se llevó a cabo. Por lo tanto, se considera un valor de puntero erróneo si dichas indicaciones no vienen en forma correcta.

Una vez que el valor de los punteros ha sido determinado, se generan las siguientes señales:

1. Indicación de posición del octeto J1 del POH.
2. Indicación de VC valido
3. Indicación de carga útil de VC.

Mediante estas señales, el analizador de carga útil y tara de ruta (POH) pueden determinar la posición de los octetos por analizar. La Figura 26 muestra en zonas sombreadas la parte de la trama que ha sido procesada hasta este módulo.

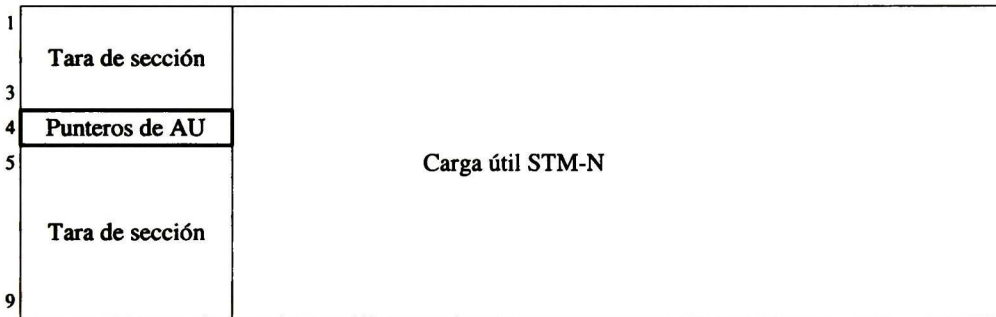


Figura 26 Datos procesados de la trama entrante a la salida del analizador de punteros de AU.

4.7.2 Analizador de POH.

La función principal es la de determinar si el valor recibido en los octetos de POH es igual al esperado. La fuente del valor esperado puede ser algún registro preprogramado por el usuario o bien, algún valor arrojado como producto de un proceso interno, dependiendo del octeto que se esté analizando. El proceso sobre un determinado octeto puede ser deshabilitado por el usuario, programando el modo de análisis como transparente (sec. 2.4).

Nombre del octeto de POH [2]	Fuente del valor esperado
J1	Registro programado por el usuario
B3	Cálculo interno
C2	Registro programado por el usuario



G1	Registro programado por el usuario
F2	Registro programado por el usuario
H4	Registro programado por el usuario
F3	Registro programado por el usuario
K3	Registro programado por el usuario
N1	Registro programado por el usuario

Nota 2. - En cualquiera de los casos el valor esperado también puede ser el último valor recibido en el mismo octeto, misma posición.

Tabla 13 Fuente del valor esperado para los octetos del POH

El valor esperado configurado por el usuario es tomado de un conjunto de arreglos globales, el cual se puede acceder directamente por el módulo. Este conjunto de arreglos globales es actualizado dinámicamente por el módulo que lee el archivo de configuración, si algún valor esperado cambia con el tiempo.

Los octetos J1 y B3 son analizados utilizando los mismos criterios de configuración y análisis del octeto J0 y del octeto B2, del módulo de análisis de SOH. El resto de los octetos de POH es comparado contra el valor esperado, ya sea este programado por el usuario o el último valor recibido para el mismo octeto, misma posición.

Si alguna de las comparaciones valor recibido – valor esperado arroja una diferencia, el analizador de POH accede al módulo generador de texto mediante los registros de error.

4.7.3 Analizador de carga útil.

Las columnas 2 a 87 de un VC-3, 2 a 261 de un VC-4, y 2 a 3N*87 de un VC-4-Nc son dedicadas a transportar la carga útil de un VC. El análisis de la carga útil se realiza determinando si el valor recibido, para un octeto de la carga, es igual al valor esperado. La fuente del valor esperado es un registro, el cual es actualizado de acuerdo al tipo de carga programado por el usuario. Esta puede ser:

- Secuencia pseudo-aleatoria PRBS 2²⁰
- Secuencia incremental (de 0 a255) o decremental (de 255 hacia 0).
- Valor fijo, entre 0 y 255.

Si el tipo de carga es alguna secuencia, entonces el analizador tiene que alinearse a los datos recibidos. Una vez que los últimos 5 octetos recibidos han coincidido con cinco octetos consecutivos de la secuencia esperada, se declara alineación y comienza la comparación y reporte de errores. Si el tipo de carga es un valor fijo, el octeto recibido se compara con este valor. Esto se muestra en el **Error! Reference source not found.**

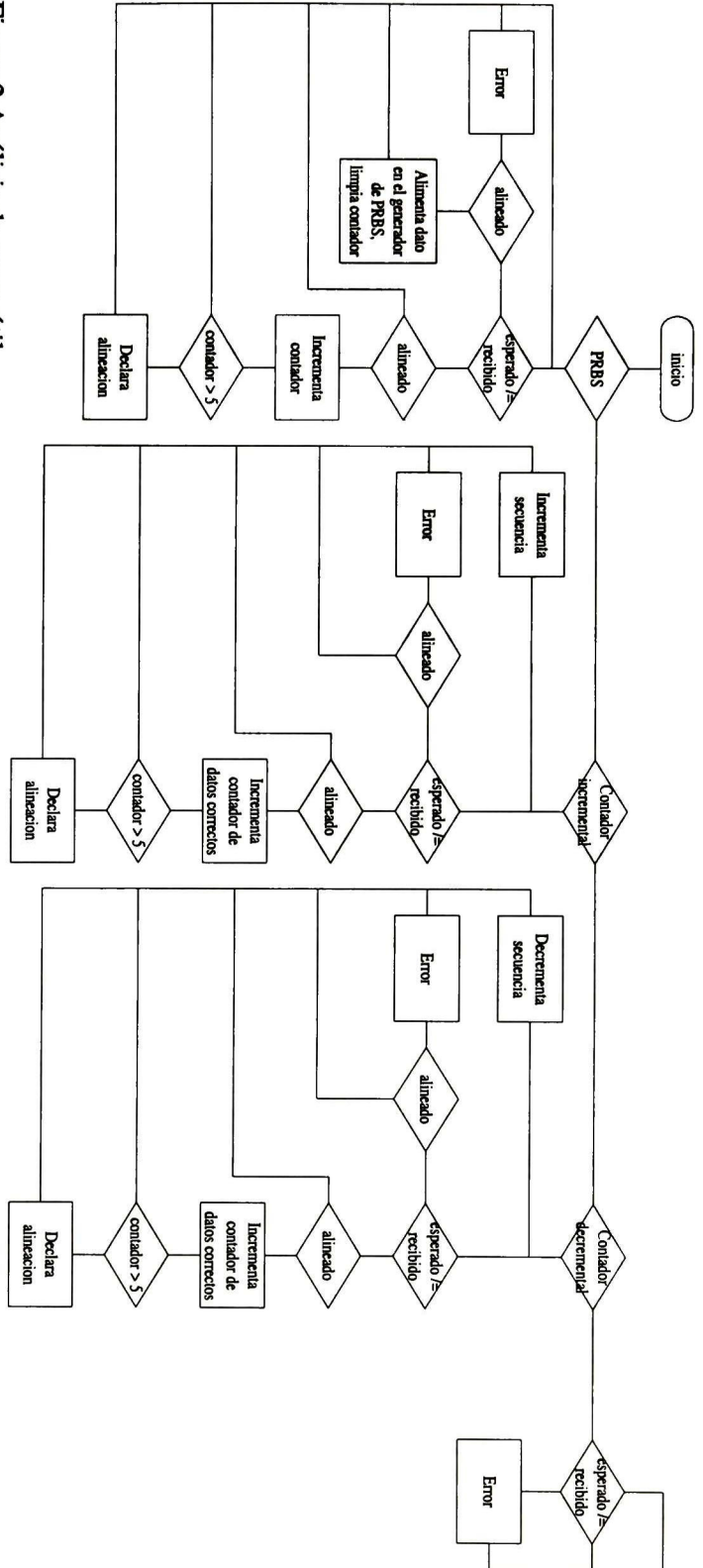


Figura 2 Análisis de carga útil

El valor esperado se calcula dentro de este módulo, excepto si este es un valor fijo. Por lo tanto, dentro de él se encuentra un generador de secuencias pseudoaleatorias PRBS 2²⁰. Como semilla inicial se utiliza el dato entrante, a partir del cual se calcula el dato siguiente. También se encuentra un contador ascendente y un contador descendente, cuyos valores iniciales se toman a partir del primer dato recibido y hasta que se declara la carga útil como alineada.

Si alguna de las comparaciones valor recibido – valor esperado arroja una diferencia, el analizador de carga útil accede al módulo generador de texto mediante los registros de error.

4.8 Lector de archivos de configuración.

Según se ha descrito anteriormente, el usuario introduce y obtiene datos de la cama de pruebas a través de archivos de texto con un formato determinado [sec. 2.4]. El lector de archivos de configuración se encarga de revisar la sintaxis del archivo de configuración, almacenar la configuración de las variables que el resto de los módulos accede para realizar sus operaciones correctamente. Dicho almacenamiento incluye la configuración inicial y la actualización de los registros en el tiempo.

El proceso de lectura y almacenamiento de información se muestra en el Figura 27. En él se observa que ambos procesos se realizan en forma intercalada, y un renglón a la vez, recorriendo el archivo desde el primer renglón hasta el último, si no se encuentra ningún error. Si un error de sintaxis es encontrado, se interrumpe la lectura del archivo y se envía una señal de error al usuario a través de la línea de comandos del simulador que se esté utilizando.

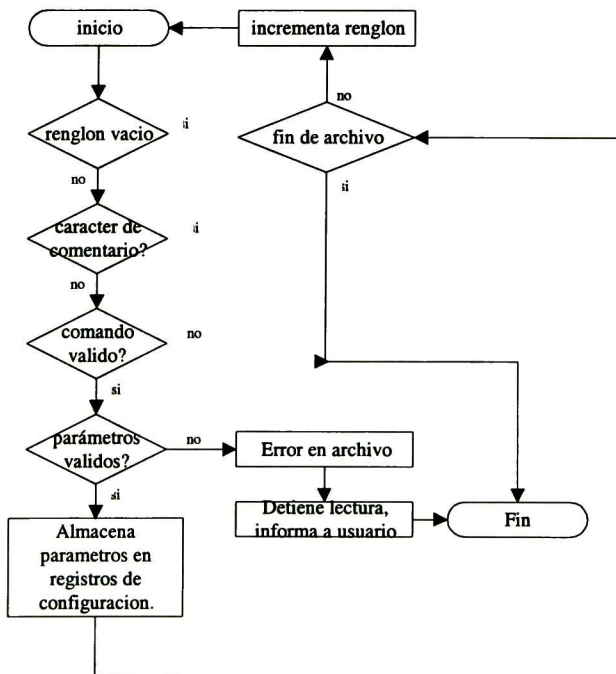


Figura 27 Proceso de lectura del archivo de configuración

El número máximo de líneas que puede ser leído e interpretado por el lector es programable mediante



una variable genérica [14]; sin embargo, el número máximo de cambios dinámicos que pueden presentarse es de 20000⁴

Los registros de configuración escritos por el módulo, una vez interpretado el archivo de texto, se muestran en la Tabla 14.

La actualización de valores esperados por el resto de los módulos se realiza basándose en los registros 9, 10, 11, 12 y 13. El número de trama en el que un cambio se lleva a cabo es leído de los contadores de trama que el módulo de alineación de trama contiene. Cada cambio se realiza en el número de trama indicado por el puerto al que el constituyente pertenece [sec. 3.6].

⁴ Este número fue estimado basándose en las pruebas descritas en el plan de pruebas.



Número de identificación	Nombre	Descripción
1	Configuración principal	La configuración SDH de los puertos se guarda en esta posición, indicando el orden de la trama entrante
2	Ancho de bus de datos	El ancho del bus de datos de los puertos SDH de entrada se almacena en esta posición
3	Pulso de sincronía	Almacena la información que determina si el analizador se alineará a la trama buscando pulso externo de sincronía o bien buscando los octetos A1-A2, uno por puerto
4	Posición del pulso de sincronía	Almacena la información que determina si el pulso externo de sincronía indica la posición del primer octeto A1 o bien del octeto J0, uno por puerto
5	Aleatorizador	Almacena la información que determina si el analizador realizará el proceso de des-aleatorización o no, uno por puerto
6	Constituyentes	Almacena la información que indica a los módulos de demultiplexación de AU y análisis de AU como se encuentra constituida la trama entrante, uno por analizador de AU
7	Tipo de carga útil	Almacena la información que indica a los módulos de análisis de AU que tipo de carga útil procesar, uno por analizador de AU
8	Valores esperados	Almacena el valor esperado que los módulos analizadores toman para realizar sus cálculos. Existe uno por octeto definido [tablas 3.3 y 3.7].
9	Cambio en analizador de AU	Almacena el número de analizador de AU donde se llevan a cabo los cambios en forma secuencial programados. Son tantos como cambios ocurran, hasta un máximo de 20000
10	Trama de cambio en analizador de AU	Almacena las tramas donde se llevan a cabo los cambios programados. Son tantos como cambios ocurran, hasta un máximo de 20000
11	Nuevo valor de cambio en analizador de AU	Almacena los valores de los cambios programados. Son tantos como cambios ocurran, hasta un máximo de 20000
12	Octeto de cambio	Almacena el tipo de octeto que sufre los programados. Son tantos como cambios ocurran, hasta un máximo de 20000
13	Parámetro cambiado	Almacena los parámetros que cambian cuando el octeto cambiado es el valor esperado de la carga útil. Son tantos como cambios ocurran, hasta un máximo de 20000

Tabla 14 Registros actualizados por el lector de archivos de texto



4.9 Generador de archivos de texto.

El generador de archivos de texto se encarga de crear el archivo de resultado del análisis que la cama realiza [sec. 2.5].

Cada uno de los módulos accede a los registros de error para indicar que un error⁵ ha sido detectado en la trama entrante. Cuando algún registro sufre algún cambio, el evento provoca que el generador de archivos de texto identifique que registro fue actualizado y de acuerdo a la información leída, se genera un renglón en el archivo de texto de salida, según el formato definido en la sección 2.5. La Tabla 15 muestra los registros de error que son actualizados por los módulos.

Número de identificación	Nombre	Descripción
1	Número de trama	Indica el número de trama en que se detecta el error
2	Valor esperado	Indica el valor que se esperaba recibir.
3	Valor recibido	Indica el valor recibido
4	Número de constituyente	Indica el número de constituyente o de analizador de AU [sec. 3.6] en que se detecta el error.
5	Número de octeto	Indica el número de octeto en que se detecta el error, dentro de un tipo o clase de octeto [sec. 3.5, 3.7]
6	Tipo de error	Indica el tipo de error detectado. Puede caer dentro de cualquiera de los siguientes: <ul style="list-style-type: none"> • Octetos de las tablas 3.7 o 3.3 (SOH, POH) • Octeto B1 • Carga útil • En sincronía • Fuera de sincronía • Incremento de puntero • Decremento de puntero • Nuevo puntero

Nota.- Existe un registro por puerto. Debido a que dentro de la cama de pruebas el camino de datos es de 8 bits, solamente se analiza un octeto por puerto.

Tabla 15 Registros de error

⁵ Además de errores, también se genera indicación de movimientos de puntero, sincronía y perdida de sincronía [sec. 2.5]

5 Verificación de la cama de pruebas SDH, sección analizador.

El proceso de verificación de una cama de pruebas tiene diferencias respecto al proceso de verificación de un circuito o sistema, algunas de las razones son:

- El tiempo disponible para verificar una cama de prueba, antes de utilizarla, es considerablemente menor al de un circuito.
- La cama puede ser modificada mientras está siendo utilizada.
- La cama normalmente se encuentra escrita utilizando un estilo de codificación diferente al de los circuitos. Esto permite una mayor rapidez en la ejecución de las simulaciones.

Sin embargo también existen algunas semejanzas entre el proceso de diseño de una cama de pruebas y el proceso de diseño de un circuito. Entonces el proceso de verificación de la cama no es del todo ajeno al proceso de verificación del circuito.

5.1 Estrategia de verificación de la cama de pruebas.

En el capítulo 2 se describe el documento de especificación de la cama de pruebas SDH, sección analizador. Entonces el proceso de verificación del analizador también puede compararse al comportamiento de ésta en referencia a la especificación, tal y como sucede para un circuito [ver capítulo 1].

Según se describe en [1] un método para verificar una transformación realizada por un ser humano (en este caso la cama de pruebas a partir de la especificación) es tener redundancia. Algún ingeniero de verificación diferente al que diseñó e implementó la cama debe de revisar que ésta cumpla con la especificación. Las diferentes herramientas de control de revisiones [1], como revisiones de código, deben utilizarse para incrementar el grado de confianza en la cama antes de su uso.

Sin embargo, una verificación exhaustiva del analizador antes de su uso no es posible, por lo que el proceso de verificación de éste continúa durante el proceso de verificación del circuito, durante su uso. La estrategia de verificación del analizador se muestra en la Figura 28.



Figura 28 Estrategia de verificación de la cama de pruebas SDH, sección analizador



5.2 Pruebas esenciales para la cama de pruebas SDH, sección analizador.

A partir del documento de especificación se genera un conjunto de pruebas para verificar el funcionamiento correcto del analizador SDH, sin intentar que éste describa todas las pruebas para verificarlo exhaustivamente. De acuerdo a lo expuesto en la sec. 4.2, ésta se completará conforme la cama se utilice en el proceso de verificación del circuito bajo prueba.

La funcionalidad del analizador SDH fue expuesta en los capítulos 2 y 3, por lo que no se tratará más en éste capítulo. La Tabla 16 muestra las prioridades asignadas a cada función del analizador.

Prioridad	Funcionalidad
Media	Ancho de bus de datos configurable a 1, 4, 8, 16, 32, y 128 bits
Alta	Búsqueda de palabras de sincronía para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192.
Baja	Generación de señal de reloj.
Media	Búsqueda de señal de sincronización externa indicando la posición del primer octeto A1 o del octeto J0.
Media	Des-aleatorización de datos entrantes.
Alta	Análisis y cálculo de octeto B1 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192.
Baja	Análisis de J0 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192, conteniendo una traza de 64 octetos.
Media	Análisis de J0 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192, conteniendo una traza de 64 octetos con retorno de carro y alimentación de línea.
Media	Análisis de J0 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192, conteniendo una traza de 16 octetos con CRC.
Alta	Análisis de J0 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192, conteniendo una traza de 1 octeto.
Alta	Análisis y cálculo de B2 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192.
Alta	Análisis del resto de los octetos SOH para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192.
Alta	Demultiplexación de unidades para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192.
Alta	Análisis y procesamiento de punteros de unidad administrativa.
Alta	Análisis y cálculo de B3 por unidad administrativa.
Alta	Análisis del resto de octetos POH por unidad administrativa.
Alta	Análisis de carga útil por unidad administrativa.
Alta	Lectura de archivo de configuración por el usuario.
Alta	Generación de archivo de texto con resultados del análisis.

Tabla 16 Funcionalidad de la cama de pruebas SDH, sección analizador y sus prioridades

El conjunto de funciones y características de la cama de prueba que se verifican se pueden agrupar de acuerdo a características y procesos que tienen en común. Esta agrupación se muestra en la Tabla 17.



Grupo	Funcionalidad
Interfaces	Ancho de bus de datos configurable a 1, 4, 8, 16, 32, y 128 bits
	Generación de señal de reloj.
Sincronía	Búsqueda de palabras de sincronía para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192.
	Búsqueda de señal de sincronización externa indicando la posición del primer octeto A1 o del octeto J0.
	Des-aleatorización de datos entrantes.
SOH	Análisis y cálculo de octeto B1 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192.
	Análisis de J0 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192, conteniendo una traza de 64 octetos.
	Análisis de J0 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192, conteniendo una traza de 64 octetos con retorno de carro y alimentación de línea.
	Análisis de J0 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192, conteniendo una traza de 16 octetos con CRC.
	Análisis de J0 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192, conteniendo una traza de 1 octeto.
	Análisis y cálculo de B2 para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192.
	Análisis del resto de los octetos SOH para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192.
Demultiplexaje	Demultiplexación de unidades para tramas SDH/SONET STM-0/STS-1, STM-1/STS-3, STM-4/STS-12, STM-16/STS-48, STM-64/STS-192.
Unidades administrativas	Análisis y procesamiento de punteros de unidad administrativa.
	Análisis y cálculo de B3 por unidad administrativa.
	Análisis del resto de octetos POH por unidad administrativa.
	Análisis de carga útil por unidad administrativa.
Interacción con el usuario	Lectura de archivo de configuración por el usuario.
	Generación de archivo de texto con resultados del análisis.

Tabla 17 Agrupación de funciones del analizador SDH

Un resumen de las pruebas aplicadas a la cama de pruebas SDH, sección analizador semuestra en el apéndice A.

5.3 Proceso de verificación de la cama de pruebas.

Un elemento importante en el proceso de verificación es la interpretación que diferentes ingenieros tienen del documento de especificación de un circuito o cama. Tener diferentes puntos de vista respecto al mismo documento permite disminuir las probabilidades de que un error de interpretación



del documento de especificación por parte del ingeniero que implementa la cama no sea detectado. Llamaremos “redundancia” en el proceso de diseño y verificación de un dispositivo a la introducción de diferentes interpretaciones sobre el mismo documento de especificación por diferentes individuos.

De acuerdo a lo descrito en la sección 5.1, la introducción de redundancia en el proceso de verificación del analizador forma parte del proceso en sí [1]. En este caso, la generación de estímulos para la verificación del analizador se realiza por parte de un generador de tramas SDH/SONET con características similares. Este generador se utilizaría a su vez en el proceso de verificación del circuito S19201 de AMCC, para generar las tramas SDH/SONET necesarias. Se considerará que dicho generador se especifica, realiza su arquitectura e implementa por otro miembro del equipo de verificación.

Además de lo anterior, se considera que el proceso de escritura de los archivos de texto que configuran el analizador es desarrollado por algún otro miembro del equipo de verificación y que éste realiza su proceso de verificación.

El plan de pruebas que se ejecutará sobre la cama de pruebas, y que se describe en el Apéndice A, también es diseñado y escrito por un ingeniero distinto. Entonces, durante el proceso de implementación y verificación de la cama de pruebas se han reflejado las interpretaciones del ingeniero(s) que la implementa(n), de aquél que la verifica y de aquél que describió su plan de pruebas.

El objetivo de la verificación de la cama hasta este punto, según se describe en la sección 5.1, es el de comprobar que la cama de pruebas cumple con la especificación, en este caso descrita en el capítulo 3. Se prueban las características ahí descritas [ver tablas 17 y 18] para así tener un grado alto de confiabilidad en ella antes de que ésta sea utilizada.

La introducción de redundancia continúa con el uso de la cama ya durante el proceso de excitación/análisis del circuito bajo prueba, ya que el analizador es utilizado por el equipo de verificación de circuito [1] que se forma de individuos que incluso no participaron en el diseño del analizador.

Durante este proceso se encontrarán errores tanto en el circuito bajo prueba como en la cama. Los errores de la cama que se encuentran son corregidos por el equipo que la implementó, aunque estos deben ser en mucho menor cantidad, lo cual es garantizado por el proceso de verificación que fue aplicado a la cama antes de ser utilizada.

6 - Uso de la cama de pruebas SDH, sección analizador.

La cama de pruebas SDH, sección analizador, forma parte del ambiente de verificación planteado para el circuito S19201. Dicho ambiente se muestra en la Figura 29, y consiste del analizador descrito en el presente documento, un generador [ver sec. 4.3], un modelo de microprocesador y una cama de pruebas para los puertos de inserción/extracción de TOH⁶

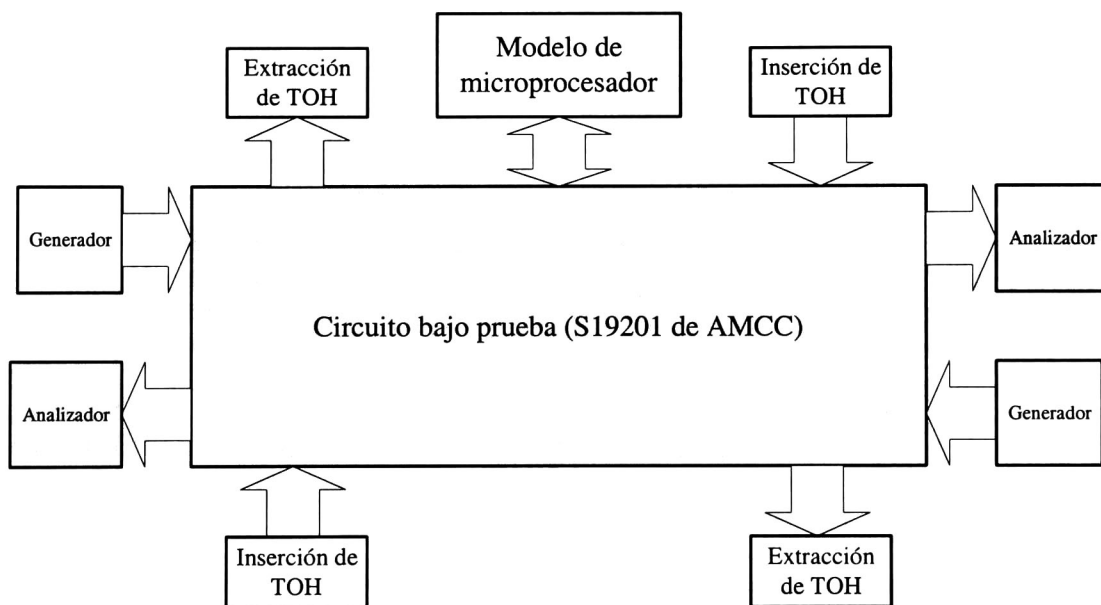


Figura 29 Ambiente de verificación para el circuito S19201, incluyendo el analizador SDH

El analizador facilita la detección de errores en el circuito bajo prueba, según se describe en el capítulo 1. El usuario lo configura a través de los archivos de configuración. El nombre de estos archivos se configura utilizando una variable genérica tipo texto [14], la cual tiene por omisión el valor de “sdh.ini” El reporte de salida permite al usuario determinar si hubo errores o algún tipo de evento durante la simulación. El nombre del archivo de salida también se configura utilizando una variable genérica de tipo texto [14], cuyo valor por omisión es “sdh.out”.

6.1 Estructura de directorios para simulación.

Debido a la cantidad de archivos necesarios para ejecutar una simulación del ambiente de verificación, es conveniente tener una estructura de directorios clara que permita realizar cualquier cambio fácilmente. La estructura de directorios propuesta se muestra en la Figura 30. En ella se observa que existen los siguientes directorios:

⁶ Esta cama tampoco se ha descrito en este documento y se considera desarrollada por algún otro miembro del equipo de verificación.

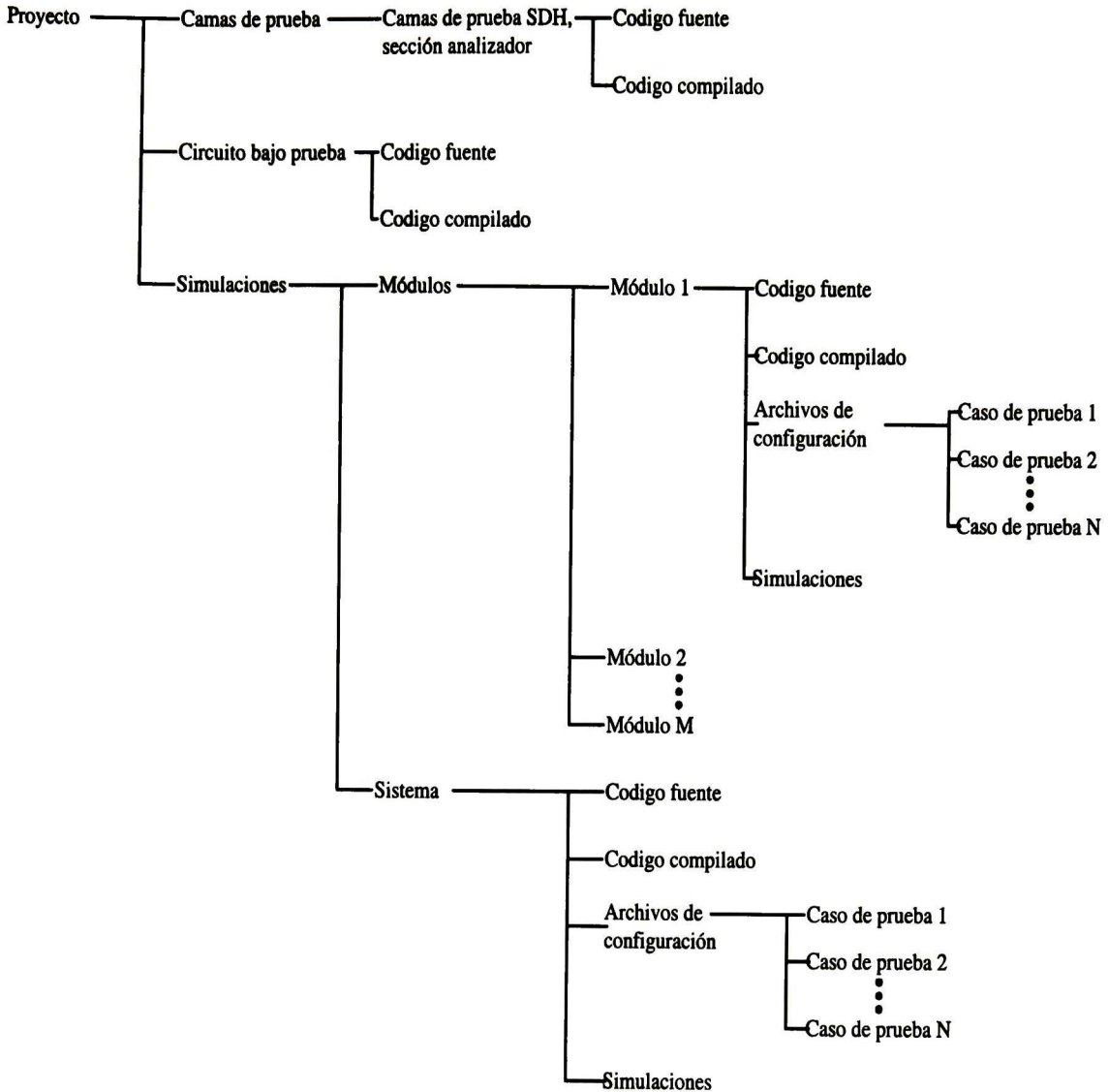


Figura 30 Estructura de directorios propuesta para ejecutar una simulación del ambiente de verificación.

- Directorio donde se encuentran las camas de prueba utilizadas, tanto el código fuente como el código compilado (ejecutable en simulación). Este directorio debe poder ser leído por todos los miembros del equipo de verificación.
- Directorio donde se encuentran los archivos que describen al circuito bajo prueba.
- Directorio donde se encuentran los archivos compilados del circuito bajo prueba.
- Directorio donde se realizan las simulaciones.

Este directorio es el que más subdirectorios tiene, pues en él se organizan todas las simulaciones de todos los casos de prueba especificados en el plan de pruebas y de acuerdo a la estrategia de

verificación. Los subdirectorios propuestos de acuerdo a la estrategia de verificación descrita en el capítulo 1 para el S19201 son:

- Directorio para las simulaciones al nivel de módulo.
- Directorio para las simulaciones al nivel de sistema.

Cada uno de estos directorios contiene los siguientes subdirectorios:

- Directorio donde se encuentra el código fuente del ambiente de verificación para el ámbito correspondiente.
- Directorio donde se encuentra el código compilado del ambiente de verificación.
- Directorio donde se encuentran los archivos de configuración, uno por caso de prueba.
- Directorio donde se ejecutan las simulaciones, también uno por caso de prueba.

Los archivos de configuración “sdh.ini” y “sdh.out” se almacenan en los directorios de acuerdo al caso de prueba al que pertenecen, y deben de contener comentarios que describan claramente que es lo que hacen y a que caso de prueba pertenecen.

6.2 Resultados.

El tiempo de simulación por trama se describe en la Tabla 18, utilizando el ambiente de verificación para la cama de pruebas, sección analizador, descrito en el capítulo 4. La cantidad de memoria utilizada por dicho ambiente durante una simulación es cercana a los 200 Moctetos. La computadora utilizada tiene un procesador Intel Pentium 3 a 750 Mhz, con 256 Moctetos de memoria RAM y disco duro de 4.1 Goctetos.

Modo de la cama	Unidades administrativas	Tiempo real por milisegundo de simulación
16 puertos STM-1	1 x AU-4 por puerto	4:32 minutos
16 puertos STM-4	4 x AU-4 por puerto	19:40 minutos
4 puertos STM-4	4 x AU-4 por puerto	6:04 minutos
4 puertos STM-16	1 x AU-4-16c por puerto	16:30 minutos
2 puertos STM-16	16 x AU-4 por puerto	22:45 minutos
4 puertos STM-4	4 x AU-4 por puerto	
10 puertos STM-1	1 x AU-4 por puerto	
16 puertos STM-1	3 x AU-3 por puerto	5:50 minutos
16 puertos STM-4	16 x AU-3 por puerto	21:30 minutos
4 puertos STM-4	16 x AU-3 por puerto	7:00 minutos
4 puertos STM-16	4 x AU-4-4c por puerto	17:05 minutos
2 puertos STM-16	4 x AU-4-4c por puerto	21:15 minutos
4 puertos STM-4	1 x AU-4-4c por puerto	
10 puertos STM-1	1 x AU-4 por puerto	

Tabla 18 Tiempos de simulación de la cama de pruebas SDH, sección analizador



7 - Conclusiones.

La arquitectura definida para la cama de pruebas SDH, sección analizador, se basa en la reutilización de código y la modularidad. Esto permite que, en general, ésta se pueda utilizar para desarrollar una cama de pruebas sintetizable, con los cambios pertinentes y que dependen en gran parte de la tecnología utilizada para implementarla.

Se describe en el presente documento, las semejanzas entre el proceso de diseño de un circuito y de una cama de pruebas, en este caso, un analizador de tramas SDH. Estas son grandes, y de hecho se pueden seguir los mismos pasos para el diseño de ambos, de acuerdo a lo descrito en el capítulo 1.

Además de lo anterior, la tesis describe de manera clara el proceso de verificación de una cama de pruebas, en el capítulo 4. En el se determina que la redundancia dada por la interacción con otros ingenieros miembros del equipo de verificación es importante, y que constituye a la vez, la mayor diferencia entre el proceso de verificación de un circuito y de una cama de pruebas.

En síntesis, se presenta una metodología para desarrollar camas de prueba, definiendo este proceso de manera semejante el proceso de diseño lógico de hardware, desde su concepción en forma de documentos claros y precisos hasta su implementación y verificación. El circuito AMCC S19201 es utilizado sólo como referencia para ejemplificar dicha metodología.

Como trabajo futuro propuesto, se plantea el desarrollo de una interfaz gráfica al usuario, que facilite la escritura del texto de configuración de la cama de pruebas. Esta interface gráfica deberá generar un archivo de texto que cumpla con la descripción del archivo de configuración dada en el capítulo 2.

El lenguaje utilizado para desarrollar la cama de pruebas, sección analizador, es VHDL. VHDL fue diseñado para describir modelos funcionales de circuitos, y aunque no fue diseñado para el desarrollo de camas de prueba, las mejoras que ha sufrido permiten utilizarlo para este fin, sin que esto tenga un gran impacto en los tiempos de simulación. Esto se debe a que actualmente la mayor parte del tiempo de simulación para la verificación funcional de un circuito es utilizada por el modelo del circuito.

Pero el manejo de archivos, así como la descripción de una interfaz más amigable para el usuario son carencias importantes de VHDL, por lo que se propone que la interfaz gráfica para la cama de pruebas se realice en otro lenguaje, ya sea C, C++, C Builder o cualquier otro, que permita una mejor interacción con el usuario.



8 - Apéndice A.

9.1 Interface e interacción con el usuario.

Objetivo: Verificar la correcta generación de reloj de la cama, de acuerdo al tipo de trama y al ancho de bus configurados. Verificar la correcta alineación de trama, utilizando sincronía interna en el analizador.

Descripción básica: Se configura la cama de prueba de forma que cada uno de los puertos tome las configuraciones definidas en las tablas 20 y 21. El reloj de salida correspondiente a cada puerto debe de tener la frecuencia adecuada según los dos anteriores parámetros

Frecuencia de salida = Tasa de bits de la trama configurada / ancho de bits del bus.

Puerto	Modo (SONET)	Ancho de bus
1	STS-1	1
2	STS-3	4
3	STS-12	8
4	STS-48	16
5	STS-1	32
6	STS-3	128
7	STS-12	32
8	STS-48	128
9	STS-12	1
10	STS-12	4
11	STS-12	128
12	STS-12	16
13	STS-3	1
14	STS-3	16
15	STS-3	8
16	STS-3	32

Tabla 19 Configuración 1 de cada puerto para la prueba 9.1.

1	STS-192	32
---	---------	----

Tabla 20 Configuración 2 de cada puerto para la prueba 9.2.

Todas las tramas utilizadas son concatenadas y no contienen errores, y se utilizan los valores por omisión para cada octeto.

El analizador se configura para tener sincronía interna, así realiza la búsqueda de los octetos A1, A2 de la trama entrante. Como resultado el reporte de salida no muestra ningún error, solamente la indicación de que entró en sincronía para cada uno de los puertos.

9.2 Interface e interacción con el usuario.

Objetivo: Verificar la correcta alineación de trama, utilizando sincronía externa en el analizador.



Descripción básica: Se configura la cama de prueba de forma que cada uno de los puertos tome las configuraciones definidas en las tablas 22 y 23.

Todas las tramas utilizadas son concatenadas y no contienen errores, así como los valores por omisión para cada octeto se utilizan.

El analizador se configura para tener sincronía externa en el octeto A1, así realiza la búsqueda del pulso de sincronía para la trama entrante. Como resultado el reporte de salida no muestra ningún error, solamente la indicación de que entró en sincronía para cada uno de los puertos

Puerto	Modo (SONET)	Ancho de bus
1	STS-12	16
2	STS-12	8
3	STS-12	4
4	STS-12	1
5	STS-1	32
6	STS-1	128
7	STS-1	16
8	STS-1	8
9	STS-48	1
10	STS-48	4
11	STS-3	128
12	STS-3	16
13	STS-3	1
14	STS-3	4
15	STS-3	8
16	STS-3	32

Tabla 21 Configuración 1 de cada puerto.

1	STS-192	1
---	---------	---

Tabla 22 Configuración 2 de cada puerto.

1	STS-192	16
---	---------	----

Tabla 23 Configuración 3 de cada puerto.

1	STS-192	4
---	---------	---

Tabla 24 Configuración 4 de cada puerto.

1	STS-192	8
---	---------	---

Tabla 25 Configuración 5 de cada puerto.

9.3 Aleatorización e interacción con el usuario.

Objetivo: Verificar el des-aleatorizador y el analizador de B2.



Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o 22 y la de la tabla 23. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía externa en el octeto A1.

Todas las tramas utilizadas son concatenadas, y se utilizan los valores por omisión para cada octeto. Las tramas vienen aleatorizadas.

Se revisa visualmente que las señales entrantes al analizador de SOH contengan los valores programados por omisión para los octetos de la trama SDH entrante. Estos deben ser iguales, es decir, deben de estar des-aleatorizados.

Después de la trama 10 recibida por el analizador, se introducen errores en la carga útil de las tramas entrantes, de manera que estos se vean reflejados bit a bit en el octeto B2 de la trama siguiente. La inserción de errores en la carga útil se realiza alternadamente durante 10 tramas, en cada trama una cantidad diferente de errores.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 19 debe indicar, alternadamente, errores en la carga útil y en el octeto B2. Los errores indicados en los octetos B3 o B1 no son tomados en cuenta.

9.4 Análisis de octetos B1 y J0 e interacción con el usuario.

Objetivo: Verificar el análisis de octetos B1 y J0.

Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o 22 y la de la tabla 24. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía externa en el octeto J0. El octeto J0 se configura para recibir una traza de un solo octeto, cuyo valor debe ser diferente al dado por omisión.

Todas las tramas utilizadas son concatenadas, y se utilizan los valores por omisión para cada octeto. Las tramas vienen aleatorizadas. El valor dado al octeto J0 debe coincidir con el esperado por el analizador.

Después de la trama 10 recibida por el analizador, se introducen errores en el octeto J0 de las tramas entrantes, de manera que estos se vean reflejados bit a bit en el octeto B1 de la trama siguiente. La inserción de errores en el octeto J0 se realiza alternadamente durante 8 tramas, en cada trama una cantidad diferente de errores.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 19 debe indicar, alternadamente, errores en el octeto J0 y en el octeto B1.

9.5 Análisis de octetos B1 y J0 e interacción con el usuario.

Objetivo: Verificar el análisis de octetos B1 y J0.

Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o 22 y la de la tabla 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía externa en el octeto J0. El octeto J0 se configura para recibir una traza de 16 octetos con CRC, cuyo valor debe ser diferente al dado por omisión.

Todas las tramas utilizadas son concatenadas, y se utilizan los valores por omisión para cada octeto. Las tramas vienen aleatorizadas. El valor dado al octeto J0 debe coincidir con el esperado por el analizador.

Después de la trama 10 recibida por el analizador, se introducen errores en el octeto J0 de las tramas entrantes, de manera que estos se vean reflejados bit a bit en el octeto B1 de la trama siguiente. La inserción de errores en el octeto J0 se realiza alternadamente durante 32 tramas.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 41 debe indicar, alternadamente, errores en el octeto J0 y en el octeto B1.

9.6 Análisis de octetos B1 y J0 e interacción con el usuario.

Objetivo: Verificar el análisis de octetos B1 y J0.

Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o 22 y alguno de las tablas 23 a 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía externa en el octeto A1. El octeto J0 se configura para recibir una traza de 64 octetos con retorno de carro y alimentación de línea, cuyo valor debe ser diferente al dado por omisión.

Todas las tramas utilizadas son concatenadas, así como se utilizan los valores por omisión para cada octeto. Las tramas vienen aleatorizadas. El valor dado al octeto J0 debe coincidir con el esperado por el analizador.

Después de la trama 10 recibida por el analizador, se introducen errores en el octeto J0 de las tramas entrantes, de manera que estos se vean reflejados bit a bit en el octeto B1 de la trama siguiente. La inserción de errores en el octeto J0 se realiza alternadamente durante 64 tramas.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 73 debe indicar, alternadamente, errores en el octeto J0 y en el octeto B1.

9.7 Análisis de octetos B1 y J0 e interacción con el usuario.

Objetivo: Verificar el análisis de octetos B1 y J0.

Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o 22 y alguno de las tablas 23 a 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía externa en el octeto J0. El octeto J0 se configura para recibir una traza de 64 octetos libre, cuyo valor debe ser diferente al dado por omisión.

Todas las tramas utilizadas son concatenadas, y se utilizan los valores por omisión para cada octeto. Las tramas vienen aleatorizadas. El valor dado al octeto J0 debe coincidir con el esperado por el analizador.

Después de la trama 10 recibida por el analizador, se introducen errores en el octeto J0 de las tramas entrantes, de manera que estos se vean reflejados bit a bit en el octeto B1 de la trama siguiente. La inserción de errores en el octeto J0 se realiza alternadamente durante 64 tramas.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 73 debe indicar, alternadamente, errores en el octeto J0 y en el octeto B1.

9.8 Análisis de octetos de SOH e interacción con el usuario.

Objetivo: Verificar el análisis de octetos SOH.

Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o 22 y alguno de las tablas 23 a 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía interna. El octeto J0 se configura para recibir una traza de 1 octeto, cuyo valor debe ser diferente al dado por omisión. El resto de octetos de SOH deben de configurarse con algún valor diferente al dado por omisión.

Todas las tramas utilizadas son concatenadas, así como se utilizan los valores por omisión para cada octeto. Las tramas vienen aleatorizadas. El valor dado a los octetos de SOH debe coincidir con el esperado por el analizador.

Después de la trama 10 recibida por el analizador, se introducen errores en los diferentes octetos de la tara de sección SOH. Los errores son introducidos en un octeto por trama y en diferentes bits y octetos cada ocasión. La inserción se realiza continuamente hasta haber recorrido todos los tipos de octetos de SOH. Los octetos indefinidos o de uso nacional se consideran como un solo tipo de octeto [ver sec. 3.5]. Los errores se introducen incluso en los octetos de alineamiento A1 y A2, así como en el octeto B1. Entonces, el número de tramas en las que se introducirán errores es de 31

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 30 debe indicar errores en los octetos de SOH en que se introdujeron errores, así como en el octeto B1.

9.9 Análisis de punteros de AU e interacción con el usuario.

Objetivo: Verificar el análisis de punteros de AU

Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o 22 y alguno de las tablas 23 a 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía interna. Para cada puerto se utiliza una configuración de AU válida y diferente para cada puerto del mismo tipo, de ser posible. Se utilizan los valores por omisión para cada octeto, excepto para el octeto J1, el cual contendrá una traza de un octeto sencillo, cuyo valor será diferente para cada octeto J1 alimentado al analizador. Para cada carga útil se tiene un valor fijo entre 0 y 255 decimal, diferente a la de las demás cargas.

Para cada trama entrante se utiliza la misma configuración de AU definida para el analizador. Las tramas vienen aleatorizadas. El valor dado a los octetos de SOH debe coincidir con el esperado por el analizador, incluyendo el de las cargas útiles y octetos J1.

Después de la trama 10 del analizador se generan alternadamente un incremento y un decremento de puntero, para cada puntero de la trama generada. Entre cada movimiento hay tres tramas sin cambios. Esto se repite durante 12 tramas.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 22 debe indicar los movimientos de puntero generados.

9.10 Análisis de los octetos B3.

Objetivo: Verificar el análisis de los octetos B3.

Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o

22 y alguno de las tablas 23 a 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía interna. Para cada puerto se utiliza una configuración de AU válida y diferente para cada puerto del mismo tipo, de ser posible. Se utilizan los valores por omisión para cada octeto, excepto para el octeto J1, el cual contendrá una traza de un octeto sencillo, cuyo valor será diferente para cada octeto J1 alimentado al analizador. Para cada carga útil se tiene un valor fijo entre 0 y 255 decimal, diferente a la de las demás cargas.

Para cada trama entrante se utiliza la misma configuración de AU definida para el analizador. Las tramas vienen aleatorizadas. El valor dado a los octetos de SOH debe coincidir con el esperado por el analizador, incluyendo el de las cargas útiles y octetos J1.

Después de la trama 10 recibida por el analizador, se introducen errores en la carga útil de cada constituyente de las tramas entrantes, de manera que estos se vean reflejados bit a bit en el octeto B3 de la trama siguiente. La inserción de errores en la carga útil se realiza alternadamente durante 10 tramas, en cada trama una cantidad diferente de errores.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 19 debe indicar, alternadamente, errores en la carga útil y en el octeto B3. Los errores indicados en los octetos B2 o B1 no son tomados en cuenta.

9.11 Análisis de octetos B3 y J1.

Objetivo: Verificar el análisis de octetos B3 y J1.

Descripción básica: Se utilizan alguna de las configuraciones mostradas las tablas 20 o 22 y alguno de las tablas 23 a 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía interna. Para cada puerto se utiliza una configuración de AU válida y diferente para cada puerto del mismo tipo, de ser posible. Se utilizan los valores por omisión para cada octeto, excepto para el octeto J1, el cual contendrá una traza de 16 octetos con CRC, cuyo valor debe ser diferente al dado por omisión y diferente para cada octeto J1 alimentado al analizador. Para cada carga útil se tiene un valor fijo entre 0 y 255 decimal, diferente a la de las demás cargas.

Para cada trama entrante se utiliza la misma configuración de AU definida para el analizador. Las tramas vienen aleatorizadas. El valor dado a los octetos de SOH debe coincidir con el esperado por el analizador, incluyendo el de las cargas útiles y octetos J1.

Después de la trama 10 recibida por el analizador, se introducen errores en el octeto J1 de las tramas entrantes, de manera que estos se vean reflejados bit a bit en el octeto B3 de la trama siguiente. La inserción de errores en el octeto J1 se realiza alternadamente durante 32 tramas.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 41 debe indicar, alternadamente, errores en el octeto J1 y en el octeto B3.

9.12 Análisis de octetos B3 y J1.

Objetivo: Verificar el análisis de octetos B3 y J1.

Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o 22 y alguno de las tablas 23 a 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía interna. Para cada puerto se utiliza una configuración de AU válida y diferente para cada puerto del mismo tipo, de ser posible. Se utilizan los valores por omisión para cada octeto,



excepto para el octeto J1, el cual contendrá una traza de 64 octetos con LF y CR, cuyo valor debe ser diferente al dado por omisión y diferente para cada octeto J1 alimentado al analizador. Para cada carga útil se tiene un valor fijo entre 0 y 255 decimal, diferente a la de las demás cargas.

Para cada trama entrante se utiliza la misma configuración de AU definida para el analizador. Las tramas vienen aleatorizadas. El valor dado a los octetos de SOH debe coincidir con el esperado por el analizador, incluyendo el de las cargas útiles y octetos J1.

Después de la trama 10 recibida por el analizador, se introducen errores en el octeto J1 de las tramas entrantes, de manera que estos se vean reflejados bit a bit en el octeto B3 de la trama siguiente. La inserción de errores en el octeto J1 se realiza alternadamente durante 64 tramas.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 73 debe indicar, alternadamente, errores en el octeto J1 y en el octeto B3.

9.13 Análisis de octetos B3 y J1.

Objetivo: Verificar el análisis de octetos B3 y J1.

Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o 22 y alguno de las tablas 23 a 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía interna. Para cada puerto se utiliza una configuración de AU válida y diferente para cada puerto del mismo tipo, de ser posible. Se utilizan los valores por omisión para cada octeto, excepto para el octeto J1, el cual contendrá una traza de 64 octetos libre, cuyo valor debe ser diferente al dado por omisión y diferente para cada octeto J1 alimentado al analizador. Para cada carga útil se tiene un valor fijo entre 0 y 255 decimal, diferente a la de las demás cargas.

Para cada trama entrante se utiliza la misma configuración de AU definida para el analizador. Las tramas vienen aleatorizadas. El valor dado a los octetos de SOH debe coincidir con el esperado por el analizador, incluyendo el de las cargas útiles y octetos J1.

Después de la trama 10 recibida por el analizador, se introducen errores en el octeto J1 de las tramas entrantes, de manera que estos se vean reflejados bit a bit en el octeto B3 de la trama siguiente. La inserción de errores en el octeto J1 se realiza alternadamente durante 64 tramas.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 73 debe indicar, alternadamente, errores en el octeto J1 y en el octeto B3.

9.14 Análisis de octetos de POH.

Objetivo: Verificar el análisis de octetos de POH.

Descripción básica: Se utilizan alguna de las configuraciones mostradas las tablas 20 o 22 y alguno de las tablas 23 a 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía interna. Para cada puerto se utiliza una configuración de AU válida y diferente para cada puerto del mismo tipo, de ser posible. Se utilizan los valores por omisión para cada octeto, excepto para el octeto J1, el cual contendrá una traza de un octeto sencillo, cuyo valor debe ser diferente al dado por omisión y diferente para cada octeto J1 alimentado al analizador. Para cada carga útil se tiene un valor fijo entre 0 y 255 decimal, diferente a la de las demás cargas.



Para cada trama entrante se utiliza la misma configuración de AU definida para el analizador. Las tramas vienen aleatorizadas. El valor dado a los octetos de SOH debe coincidir con el esperado por el analizador, incluyendo el de las cargas útiles y octetos J1.

Después de la trama 10 recibida por el analizador, se introducen errores en cada uno de los octetos de POH de las tramas entrantes, un octeto por trama por constituyente, de manera que estos se vean reflejados bit a bit en el octeto B3 de la trama siguiente. La inserción de errores en los octetos de POH se realiza alternadamente durante 18 tramas.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 28 debe indicar, alternadamente, errores en los octetos de POH donde se introdujo el error y en el octeto B3.

9.15 Análisis de carga útil.

Objetivo: Verificar el análisis de carga útil.

Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o 22 y alguno de las tablas 23 a 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía interna. Para cada puerto se utiliza una configuración de AU válida y diferente para cada puerto del mismo tipo, de ser posible. Se utilizan los valores por omisión para cada octeto, excepto para el octeto J1, el cual contendrá una traza de un octeto sencillo, cuyo valor debe ser diferente al dado por omisión y diferente para cada octeto J1 alimentado al analizador. Para cada carga útil se tiene un valor incremental de 0 a 255.

Para cada trama entrante se utiliza la misma configuración de AU definida para el analizador. Las tramas vienen aleatorizadas. El valor dado a los octetos de SOH debe coincidir con el esperado por el analizador, incluyendo el de las cargas útiles y octetos J1.

Después de la trama 10 recibida por el analizador, se introducen errores en alguno de los octetos de carga útil de las tramas entrantes, un octeto por trama por constituyente, de manera que estos se vean reflejados bit a bit en el octeto B3 de la trama siguiente. La inserción de errores en los octetos de carga útil se realiza alternadamente durante 10 tramas.

9.16 Análisis de carga útil.

Objetivo: Verificar el análisis de carga útil.

Descripción básica: Se utilizan alguna de las configuraciones mostradas en las tablas 20 o 22 y alguno de las tablas 23 a 25. El analizador se configura con el des-aleatorizador habilitado y búsqueda de sincronía interna. Para cada puerto se utiliza una configuración de AU válida y diferente para cada puerto del mismo tipo, de ser posible. Se utilizan los valores por omisión para cada octeto, excepto para el octeto J1, el cual contendrá una traza de un octeto sencillo, cuyo valor debe ser diferente al dado por omisión y diferente para cada octeto J1 alimentado al analizador. Para cada carga útil se tiene un valor PRBS.

Para cada trama entrante se utiliza la misma configuración de AU definida para el analizador. Las tramas vienen aleatorizadas. El valor dado a los octetos de SOH debe coincidir con el esperado por el analizador, incluyendo el de las cargas útiles y octetos J1.



Después de la trama 10 recibida por el analizador, se introducen errores en alguno de los octetos de carga útil de las tramas entrantes, un octeto por trama por constituyente, de manera que estos se vean reflejados bit a bit en el octeto B3 de la trama siguiente. La inserción de errores en los octetos de carga útil se realiza alternadamente durante 10 tramas.

El reporte de salida debe indicar la entrada en sincronía para cada uno de los puertos, y en las tramas 10 a 19 debe indicar, alternadamente, errores en los octetos de carga útil y en el octeto B3.



9 - Bibliografía.

1. Bergeron, Janick, "Writing Testbenches: functional verification of HDL models", Kluwer Academic Publishers, 2000.
2. G.707, "Serie G: transmission systems and media, digital systems and networks. Digital transmission systems – Terminal equipments – General. Network node interface for the Synchronous Digital Hierarchy (SDH)", International Telecommunications Union, 2000.
3. G.780, "Serie G: sistemas y medios de transmisión. Sistemas de transmisión digital – Equipos terminales – Vocabulario de términos de redes y equipos de la jerarquía digital síncrona", Union Internacional de telecomunicaciones, 2000.
4. G.783, "Serie G: sistemas y medios de transmisión. Sistemas de transmisión digital – Equipos terminales – Características principales de los equipos multiplex de la jerarquía digital síncrona", Union Internacional de telecomunicaciones, 2000.
5. Anthony McIssac et al, "Functional Verification Methodology of Chamaleon Processor", en las memorias oficiales de la 33ª Design Automation Conference, 1996.
6. Patrick C. MacGeer et al, "Verification of electronic systems", en las memorias oficiales de la 33ª Design Automation Conference, Las Vegas, Nevada, USA, 1996.
7. Daniel Geist et al, "A Methodology for the verification of a System on a CHIP", en las memorias oficiales de la 36ª Design Automation Conference, New Orleans, Louisiana, USA, 1999.
8. Rolf Clauberg et al, "Design Methodology of a large communications CHIP", IEEE design and test of computers, Julio-Septiembre, 2000.
9. Susana Stoica, "Generating Functional design verification tests", IEEE design and test of computers, Julio-Septiembre, 1999.
10. Larios, Alejandro, "Tabla de enrutado para un conmutador de alta velocidad", Tesis de Maestría, CINVESTAV-IPN, 1999.
11. Walter Goralski, "SONET A guide to Synchronous Optical Network", McGraw-Hill, 1997.
12. G703 "Serie G: sistemas y medios de transmisión. Sistemas de transmisión digital – Equipos terminales – Physical/electrical characteristics of hierarchical digital interfaces". Union Internacional de telecomunicaciones, 2001.
13. G803 "Serie G: sistemas y medios de transmisión. Sistemas de transmisión digital – Equipos terminales – Architecture of transport networks based on the synchronous digital hierarchy (SDH)". Union Internacional de telecomunicaciones, 1997



14. Peter Ashenden, "The Designer's guide to VHDL", Morgan Kauffmann Publishers, Inc., 1996.



**Centro de Investigación y de Estudios
Avanzados del IPN**

Unidad Guadalajara

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional, aprobó la tesis: DESARROLLO DE UNA CAMA DE PRUEBAS SDH, SECCION ANALIZADOR del(a) C. Jacobo RIZO DAVALOS el día 22 de Marzo de 2002

Dr. Arturo Veloz Guerrero
Investigador Cinvestav 3A
CINVESTAV GDL
Guadalajara

Dr. Manuel Edgardo
Guzmán Rentería
Investigador Cinvestav 3A
CINVESTAV GDL
Guadalajara

Mc. Jesus Palomino Echartea
General Manager --
Intel Tecnología de México,
S.A. de C. V. Guadalajara
design center

--



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000004451