



**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS
DEL INSTITUTO POLITÉCNICO NACIONAL**

UNIDAD ZACATENCO

DEPARTAMENTO DE INGENIERÍA ELÉCTRICA
SECCIÓN DE ELECTRÓNICA DEL ESTADO SÓLIDO

Proyecto de Tesis

Diseño, Fabricación y Caracterización de Estructuras Metal-Dieléctrico-Semiconductor (MDS), con MoS_2 como Semiconductor, para utilizar en Transistores de Efecto de Campo (FETs).

Para obtener el grado de
Maestra en Ciencias
en la especialidad de
Ingeniería Eléctrica

Presenta

Ing. Abril Abilene García Soriano

Directores de Tesis

Dra. Magali Estrada del Cueto

Dr. Antonio Cerdeira Altuzarra

Ciudad de México

Octubre de 2024

Dedicatoria

A mi mami, Cristina,
por brindarme siempre su apoyo incondicional.

A mi papi, Rogelio,
quien me sigue inspirando a convertirme en lo que soy.

A mis queridas hermanas, Jessica y Laura,
por acompañarme siempre y alegrar mis días.

A mis sobrinos, Santi, Cami y Meli,
mis bebecitos preciosos, por hacerme inmensamente feliz.

A mi familia, por todo su amor.

Agradecimientos

Agradezco a mis asesores, la Dra. Magali Estrada y el Dr. Antonio Cerdeira, por todas sus valiosas enseñanzas sobre la microelectrónica, por guiarme durante todo mi proyecto, y por enseñarme a hacer y a comprender cosas increíbles que antes de la maestría no sabía que existían. Por todas las explicaciones que tuvieron que repetirme más de una vez. Gracias por creer en mí y por motivarme cada día. Sobre todo, gracias por ser pacientes conmigo y por contribuir en mi formación y mejora como profesional.

Agradezco a mis revisores de tesis, el Dr. Gabriel Romero y el Dr. Yurik Kudriavtsev, por revisar y contribuir en la mejora del presente trabajo. Además, quiero agradecerles por ayudarme a resolver las dudas con las que acudí a ellos durante mi estancia en la Sección de Electrónica del Estado Sólido (SEES), incluyendo al Dr. Arturo Escobosa y al Dr. Víctor Sánchez.

Agradezco al Consejo Nacional de Humanidades, Ciencias y Tecnologías (CONAHCYT), por financiar mis estudios de maestría en la bella ciudad de México, al Centro de Investigación y de Estudios avanzados del Instituto Politécnico Nacional (CINVESTAV), por su apoyo en cada paso de mis estudios de maestría, y por la bonita y enriquecedora experiencia académica que me brindó.

Agradezco a los integrantes de la Sección de Electrónica del Estado Sólido, por la bonita experiencia de poder convivir con ellos. A la secretaria Mónica, por los consejos, y a la secretaria Yesenia, por apoyarme con todos mis trámites de la maestría. A los profesores, técnicos y auxiliares de investigación, por ayudar a mantener la operación de la SEES. A todos los que fueron mis profesores, por todas sus enseñanzas, y a todos los que me ayudaron a aprender algo nuevo. Agradezco también a las personas que me permitieron enseñarles un poco de lo que aprendí durante la maestría.

Agradezco a mis amigos del Cinvestav. Al Drrrrrrr. Ángel Sacramento, por la orientación, las charlas y momentos divertidos. A Dante, por todas las pláticas y la comida compartida. A Magaly, a Alfredo Santis, a Gerardo y a Anisleidy. A Erick, que fue mi compañero de equipo durante un año entero, fuimos un team poderoso. Gracias a mis buenos amigos José Josué y Luz Margarita, por su apoyo para realizar las

actividades del comité de la rama y el capítulo estudiantil del Instituto de Ingenieros Eléctricos y Electrónicos (IEEE).

Agradezco especialmente a mi colega y buen amigo, el Dr. Isaí Hernández, por su apoyo incondicional desde que inicié la maestría. Por su paciencia para explicarme todo lo que no podía comprender sobre los dispositivos electrónicos. Por las invitaciones para participar en las actividades del IEEE y por guiarme durante mi gestión como presidenta del capítulo estudiantil. Por los consejos para mejorar mi proyecto de tesis y las enseñanzas para desarrollar nuevas técnicas en el laboratorio. Por toda la motivación y las porras. Agradezco su valiosísima amistad brindada desde el primer día, gracias por todo.

Agradezco al Ing. Luis Hernández, por su amistad y por brindarme su apoyo en el laboratorio. Gracias por las enseñanzas, por la motivación y la compañía durante la ejecución de los procesos de fabricación, por el trabajo en equipo. Gracias por siempre echarme porras y por creer en mí (PCF). Agradezco al Dr. César Pons, por enseñarme a ejecutar mi proceso favorito del laboratorio, la litografía. Agradezco su paciencia, el tiempo que compartimos en el laboratorio y su amistad. Agradezco a la Ing. Paola Martínez, por apoyarme con mis procesos de fabricación durante su servicio social.

Agradezco a mis amigos de la prepa, Marely y Manuel, los mejores siempre. A mis amigos de la universidad, Adriana, Diego, Cristian y Rossana, miembros del best team ever, a mis amigas Olin Adriana y Monse Castro, mis ingenieras e ingenieros en electrónica favoritos. A mi buena amiga Diana Rodriguez, por nuestras platicas, citas y plancitos. Gracias a todos, por siempre expresar su admiración hacía a mí, por motivarme, por echarme porras y por estar conmigo siempre, aunque estemos lejos. Gracias por todos sus mensajes bonitos, y por quererme tanto como yo los quiero. Agradezco a mis amigos de entrenamientos, Cony, José Luis, Saraí, Jessica, Aranza, Gaby, Andrea, Jesús y Claudia, por los entrenamientos divertidos y cansados, y por las convivencias divertidas. A mis amigos Leonor, Meri, Itayetsi, Lalito, Josué, Hugo, y a todos los que ya no me alcanzaron aquí. A todos mis amigos, por inspirarme.

Contenido

Dedicatoria	2
Agradecimientos.....	3
Resumen.....	9
Abstract	9
Objetivos.....	10
Capítulo 1: Introducción.....	11
Materiales 2D.....	13
Materiales TMDs	14
Semiconductor MoS ₂	16
Materiales amorfos.....	18
Dieléctricos de alta k	18
Contacto Óhmico	20
Justificación.....	21
Resumen del capítulo 1.....	24
Capítulo 2: Diseño y Fabricación de Estructuras MDS	25
Estructura MDS.....	25
Teoría de la curva C-V	26
Diseño de la estructura MDS	34
Proceso de fabricación	35
Limpieza de sustratos	37
Depósito de Materiales.....	39
Definición de microestructuras.....	41

Fotolitografía.....	41
Método de Ataque y RIE	41
Método de levantamiento (Lift-off).....	43
Método de depósito por centrifugado (Spin-Coating).....	44
Resumen del capítulo 2.....	46
Capítulo 3: Caracterización y Análisis de Resultados	47
Caracterización Física	47
Espectroscopía de Iones Secundarios (SIMS)	47
Espectroscopía Raman	49
Determinación de Espesores.....	50
Perfilometría.....	51
Elipsometría.....	51
Caracterización Eléctrica.....	52
Caracterización por el método de C-V	52
Cálculo de la constante dieléctrica del HfO ₂	61
Medición de la resistividad de las capas y la resistencia de contacto.....	61
Método TLM.....	63
Estudio de la calidad del dieléctrico	67
Resumen del capítulo 3.....	68
Conclusiones generales	70
Trabajo a futuro.....	71

Índice de Figuras

Figura 1: Estructura molecular del MoS ₂	17
Figura 2. Diagrama de una estructura MDS, a) de compuerta por arriba, b) de compuerta por abajo.....	25
Figura 3. Diagrama de bandas de la estructura MDS en acumulación, EFM es el nivel de Fermi del metal.....	32
Figura 4. Diagrama de bandas de la estructura MDS en empobrecimiento.....	32
Figura 5. Diagrama de bandas de la estructura MDS en inversión.....	33
Figura 6. Estructura MDS de una compuerta con pasivación.....	34
Figura 7. Estructura MDS de una compuerta sin pasivación.....	34
Figura 8. Estructura MS - muestra testigo 1.	34
Figura 9. Diseño de la topología por capas de la estructura de la Figura 8, a) semiconductor, b) metal, c) estructura completa.	35
Figura 10. Diseño de la topología por capas de la estructura de la Figura 6, a) metal de compuerta, b) dieléctrico que cubre la compuerta, c) semiconductor d) hueco a través del dieléctrico para acceder al metal de compuerta (vía), e) región de pasivación, f) metal de contacto, g) estructura completa.	35
Figura 11. Pasos del proceso de definición de microestructuras	43
Figura 12. Pasos básicos del proceso de definición de estructuras por el método de lift-off.....	44
Figura 13. Diagrama del proceso de Sputtering en SIMS.....	48
Figura 14. Distribución de contenido atómico.....	49
Figura 15. Espectro Raman del MoS ₂ con el pico característico en 325 cm ⁻¹	50
Figura 16. Regiones de una característica C-V de alta frecuencia.....	52

Figura 17. Baja frecuencia (C_{lf}), alta frecuencia (C_{hf}), y empobrecimiento profundo (C_{dd}) en una curva C-V normalizada de una estructura de SiO_2 -Si de un capacitor MOS, C_{ox} es la capacitancia del dieléctrico [29].	53
Figura 18. Cálculo de la pendiente para determinar la concentración de carga, N_B	55
Figura 19. Cálculo del voltaje de banda plana V_{FB}	56
Figura 20. Curva modelada y curva experimental	57
Figura 21. Curva C_i -V de un capacitor pasivados y no pasivados (Figuras 6 y 7).	57
Figura 22. Curvas C-V del estudio de estrés	59
Figura 23. Curvas C-V obtenidas con señales de ac de distintas frecuencias	60
Figura 24. Topología de la estructura MS en la Figura 8	62
Figura 25. Estructuras MS fabricadas, la región azul es el MoS_2 y la amarilla el Mo	62
Figura 26: El método de TLM, a) trayectoria de la corriente entre el primer y último contacto en una estructura MS para TLM, b) flujo de corriente a través del patrón TLM utilizado este trabajo, c) circuito equivalente de la estructura de b).	64
Figura 27. Curvas I-V con tratamiento térmico de 300°C extraídas de la muestra T167	
Figura 28. Corriente de fuga a través de estructuras MIM y MIS	68

Índice de tablas

Tabla 1. Materiales y espesores de las estructuras	36
Tabla 2. Proceso de limpieza de sustratos	38
Tabla 3. Cálculos de R_{sc} , ρ_{sc} y R_c en T1, FFP1 y FFP2 obtenidos por TLM	66

Resumen

El presente trabajo trata sobre la descripción de todos los pasos que implica la fabricación de dispositivos semiconductores. Se parte del diseño de las estructuras a fabricar, la determinación de su geometría y dimensiones, la elección de los materiales y técnicas de depósito. Se describen los pasos del proceso de fabricación y se hace énfasis en la importancia de llevarlo a cabo en altas condiciones de limpieza ambientales. Se tratan temas sobre caracterización física y eléctrica que se llevan a cabo durante y después del proceso de fabricación. También se incluye información sobre cómo el uso de algunas técnicas de ingeniería permite mejorar el proceso de fabricación una vez que ha sido terminado.

Se estudian a detalle las características físicas y eléctricas de la estructura metal-dieléctrico semiconductor (MDS) con MoS_2 como material semiconductor, HfO_2 como dieléctrico de compuerta y molibdeno como metal de contacto para determinar su potencial aplicación en la fabricación de transistores de efecto de campo de 2D (2D FETs), basados en esta estructura MDS. El estudio completo se lleva a cabo mediante el uso de técnicas de caracterización física como perfilometría, elipsometría, SIMS y Espectroscopía Raman, y eléctricas como Capacitancia-Voltaje y Corriente-Voltaje.

Abstract

This work is about the description of all the steps involved in the manufacturing of semiconductor devices. It starts with the design of the structures to be fabricated, the determination of their geometry and dimensions, the election of materials and their deposition techniques. The steps of the manufacturing process are described, and the importance of carrying it out under high environmental cleanliness conditions, is emphasized. Topics on physical and electrical characterization that are carried out during and after the fabrication process are covered. Besides, is included information on how the use of some engineering techniques can improve the manufacturing process once it has been completed.

The physical and electrical characteristics of the metal-dielectric-semiconductor structure (MDS), with MoS₂ as semiconductor, HfO₂ as high-k gate dielectric and molybdenum as metal contact, are studied to determine its potential application in field effect 2D transistors (2D FETs) based on this structure. The complete study is carried out using physical characterization techniques such as profilometry, ellipsometry, SIMS and Raman Spectroscopy, and electrical techniques such as Capacitance-Voltage and Current-Voltage.

Objetivos

En el presente trabajo se plantea como objetivo general la fabricación y caracterización de estructuras Metal-Dieléctrico-Semiconductor con una capa semiconductor de dos dimensiones (2D) para estudiar su aplicación en transistores de efecto de campo, 2D FETs.

Para alcanzar dicho objetivo, se plantearon los siguientes objetivos específicos

- Conocer el estado del arte de los materiales semiconductores 2D para seleccionar el material a utilizar en los dispositivos a fabricar.
- Familiarizarse con los principios básicos de funcionamiento de la técnica de depósito de capas por pulverización catódica con magnetron RF para emplearla para depositar las capas de las estructuras metal-dieléctrico-semiconductor, MDS que se estudiarán.
- Familiarizarse con los principios básicos de funcionamiento de la técnica de litografía que requiere el proceso de fabricación.
- Aprender a manejar los equipos de depósito y de litografía para realizar los procesos requeridos.
- Ajustar los parámetros de depósito de la capa semiconductor 2D del material seleccionado.

- Estudiar las características de las capas semiconductoras depositadas, para su aplicación en estructuras MDS y en dispositivos FETs de 2D.
- Definir las estructuras convenientes y la secuencia de fabricación de las estructuras MDS y FETs de 2D.
- Diseñar la topología por capas de las estructuras propuestas para definir las durante los procesos de fotolitografía.
- Estudiar las características de las estructuras fabricadas y concluir sobre su posible utilización en dispositivos 2D FETs.

Capítulo 1: Introducción

La industria de semiconductores se ha desarrollado rápidamente a través del tiempo, siendo su relevancia tal, que en la actualidad la mayoría de las actividades humanas dependen directa o indirectamente de los sistemas electrónicos basados en materiales semiconductores. Las sociedades interactuamos la mayor parte del tiempo con componentes electrónicos presentes en sistemas de cómputo, comunicaciones, transporte, investigación, etc. Por esta razón, la electrónica se está convirtiendo en el mercado más grande del mundo. En 2021, se estimó que tuvo ingresos alrededor de 600 billones de dólares [1].

El desarrollo actual que han alcanzado los circuitos integrados se debe, en gran medida, al transistor de efecto de campo metal-óxido-semiconductor, MOSFET, cuya base de operación es el silicio y que conforman un circuito integrado encapsulado en una pastilla o chip. Para satisfacer la demanda de las tecnologías actuales, la industria de semiconductores ha buscado la constante reducción de las dimensiones de los transistores MOSFET. Esto trae consigo un aumento de la densidad de transistores en cada circuito integrado, lo que permite una mayor velocidad de operación, menor consumo de potencia, y la posibilidad lograr ejecutar funciones más complejas [2]. Estos dispositivos son los más importantes para circuitos integrados como microprocesadores y memorias semiconductoras [3]. En los últimos 50 años, la

densidad de los MOSFETs en un solo chip ha aumentado, siguiendo la ley de Moore, que establece que el número de transistores en un chip se duplica al menos cada dos, o tres años [4].

Con el escalamiento, los parámetros de desempeño de las estructuras MOSFET volumétricas (3D) se degradan [3] debido a que en su límite físico surgen varios efectos parásitos [5]. Cuando el ancho de la región de empobrecimiento en la región cercana al drain en un FET es comparable con la longitud del largo de canal, la dinámica de los portadores de carga móviles deja de ser controlada no solo por el campo eléctrico en el gate, si no que la polarización en el drenador también contribuye a la inyección de carga disminuyendo la barrera de potencial. Esto conduce a la disminución del voltaje de umbral, así como el incremento de la corriente en estado de apagado [6]. A estos problemas se le conocen como efectos de canal corto (SCEs), y provocan una degradación drástica en la movilidad de portadores y cambios en las características subumbral de los transistores basados en silicio [4, 6]. En conjunto, los SCEs afectan la operación y eficiencia energética del dispositivo. La mayor corriente de fuga y mayor disipación de potencia estática podría impedir a estos dispositivos formar parte de la siguiente generación de la electrónica [7].

Como la miniaturización de los CMOS parece estar alcanzando su límite, ha surgido la necesidad de identificar nuevos materiales semiconductores que permitan eliminar o disminuir los efectos de canal corto, y que además sean compatibles con la infraestructura de la tecnología ya existente [8].

A la distancia que penetra el campo eléctrico generado en el drain hacia el canal, se le denomina longitud característica del MOSFET, λ , y está asociada al efecto de canal corto relacionado con la disminución de la barrera en el drain (DIBL). Esta depende de parámetros del semiconductor y del dieléctrico como [2]:

$$\lambda = \sqrt{(t_s t_i) \frac{k_s}{k_i}}, \quad (1)$$

donde t_s es el espesor del semiconductor, t_i es el espesor del dieléctrico de compuerta, k_s y k_i son las constantes dieléctricas del semiconductor y del dieléctrico de compuerta, respectivamente. Para que los SCE sean menores, el largo del canal L , debe ser mayor que λ . Para disminuir λ , debe disminuirse t_s , t_i , k_s , o aumentarse k_i . Sin embargo, al disminuir t_s , la movilidad disminuye debido a la dispersión de portadores en la superficie y aumenta la fuga de corriente a través del semiconductor. Si se aumenta el k_i usando un dieléctrico de alta k , se produce mayor densidad de carga en la interfaz dieléctrico-semiconductor, lo que afecta el voltaje de umbral del MOSFET. En general, el control electrostático de los portadores en el canal se reduce y la fuga aumenta.

Materiales 2D

Para luchar contra el problema de la limitante física de los dispositivos 3D que causan los SCEs, en la actualidad, se han propuesto los semiconductores de dos dimensiones (2D), como los candidatos prometedores para la siguiente generación de la electrónica [5].

En los materiales 2D, los átomos interactúan mediante enlaces covalentes en el plano cuya superficie está libre de enlaces sueltos. Esta peculiar característica permite que las capas se puedan ensamblar mediante una tecnología de apilamiento y usarlos como alternativas de aplicación para la capa semiconductor en dispositivos FET, de manera que el transporte de electrones sea confinado dentro en un canal muy delgado, lo que significa que la región de carga espacial en el drenador y fuente no se expande a lo largo de la dirección del canal, por lo tanto, los transistores basados en materiales 2D podrían ser inmunes a algunos SCEs [8].

Debido a que las capas vecinas de un material 2D se conectan entre sí por fuerzas de Van der Waals (VdW) débiles, las características eléctricas de estos materiales no deben degradarse cuando su espesor se reduce hasta de una monocapa [8].

Entre estos materiales se encuentran el grafeno, el nitruro de boro hexagonal (h-BN), los dicalcogenuros de metales de transición (TMDs), el siliceno (silicio 2D), y el fosforeno [8].

En el año 2004, el descubrimiento de un campo eléctrico en el grafeno (una monocapa de átomos de carbono densamente empaquetados en una estructura de anillo de benceno) desató un revuelo en la investigación de dispositivos basados en este material. Por todo el mundo, los grupos de investigación invirtieron grandes presupuestos para explotar el potencial y limitaciones de estos dispositivos, de los que no se pudo obtener resultados satisfactorios, debido que el grafeno carece de una banda prohibida [9]. Para los dispositivos FET, esta característica es indeseada porque implica que el canal no puede conmutarse [4].

En 2011 se fabricó el primer transistor basado en MoS_2 de mono capa [10], este hecho desencadenó que los científicos y tecnólogos dejaran de estudiar el grafeno y comenzaran a explorar y a investigar arduamente otros materiales 2D, entre ellos, se han enfocado en explorar el potencial de los semiconductores TMDs [4].

Materiales TMDs

Los TMDs cuya fórmula es MX_2 , donde M representa el metal de transición y X es un átomo de calcógeno, consiste en una capa de un metal de transición contenida entre dos capas de un calcógeno, que en conjunto forman una capa unitaria. Las interacciones intracapa se basan en enlaces covalentes, mientras que la interacción interfacial entre las superficies de dos capas se lleva a cabo mediante fuerzas de Van der Waals que estabilizan la estructura como si fuera la de un material volumétrico [11].

Estos materiales han atraído gran atención debido que exhiben diversas propiedades electrónicas, fotoeléctricas, magnéticas y ferroeléctricas, dependiendo de su composición, además pueden ser semiconductores con anchos de banda que se encuentran en el rango de 0.5-2 eV [2, 4, 8]. Así como el grafeno, estos materiales se pueden depositar en nano hojas de una o pocas capas y exhiben diversas estructuras cristalinas que muestran distintivas propiedades físicas emergentes, que son distintas cuando se encuentran en forma de material volumétrico. En base a su arreglo atómico, los TMDs exhiben diversas estructuras como la fase-H y la fase-T con diferentes simetrías [11]. La fase-H tiene estructura de estado fundamental y es la que exhibe características semiconductoras. Algunas de las aplicaciones para las que se han

estudiado son super capacitores, baterías, biosensores, sensores de gas, dispositivos fotónicos y dispositivos electrónicos, como los transistores [12-14].

Ejemplos de estos materiales son el disulfuro de molibdeno (MoS_2), diseleniuro de molibdeno (MoSe_2), disulfuro de tungsteno (WS_2) y diseleniuro de tungsteno (WSe_2), borofeno (boro 2D), germaneno (germanio 2D) y MXenes (carburos/nitruros 2D) [14].

La síntesis de capas de materiales TMDs tienen como objetivo lograr procesos controlables, de gran escala y capas atómicas uniformes. Entre las primeras técnicas reportadas se encuentran los métodos de depósito químico epitaxial a partir de compuestos metal-orgánicos por la técnica CVD (Depósito a partir de la fase vapor) conocida como MOCVD. Sin embargo, para lograr la calidad requerida en las capas depositadas, es necesario depositarlas sobre sustratos de zafiro y proceder con una exfoliación mecánico-química para transportar la capa crecida a la superficie de otro sustrato, sobre el cual se fabricará el dispositivo. En este proceso existen limitaciones y dificultades técnicas que hacen difícil su aplicación en la producción en masa de los dispositivos. Entre ellas se pueden citar las limitaciones críticas en el tamaño de la capa exfoliada y la uniformidad de la película, por lo que, su desarrollo se ha llevado a estudios más allá de los fundamentales [14].

Por otro lado, la técnica CVD se ha estudiado para la producción escalable y confiable de materiales TMDs de gran área. Sin embargo, la calidad de las películas es baja respecto a la de la técnica de exfoliación [14].

Para obtener TMDs de espesor controlable y uniformidad a gran escala, se estudian técnicas como: ALD (Atomic Layer Deposition) y métodos de depósito directos como Sputtering, PLD (Pulsed Laser Deposition) y haz de electrones (e-beam) [10, 14, 15].

A continuación, se describen las propiedades intrínsecas, extrínsecas y parámetros esenciales para los materiales 2D con aplicabilidad en dispositivos.

- Se ha identificado al ancho de banda como un factor crucial que afecta el desempeño de los dispositivos debido a su efecto determinante en la corriente de estado apagado ($I_{off} \propto \exp\left(\frac{-E_g}{mk_B T}\right)$) y la razón de encendido/apagado

$(\frac{I_{on}}{I_{off}} \propto \exp(\frac{E_g}{mk_B T}))$ de los transistores, donde m es un factor de 2 o mayor, dependiendo de la configuración del transistor, k_B es la constante de Boltzmann y T es la temperatura [16].

- La propiedad del transporte de carga del canal del material es altamente demandada para que los portadores de carga respondan rápidamente al cambio en el campo eléctrico externo aplicado. Los parámetros del dispositivo, que generalmente incluyen la movilidad, la razón de encendido/apagado y la velocidad de saturación, proporcionan información directa sobre la eficiencia de este campo eléctrico [17].
- El calentamiento por efecto Joule en el canal de un FET que se origina por el flujo de corriente, también es un factor determinante del desempeño del dispositivo, en que el calor debe ser disipado para evitar el sobrecalentamiento que induce a su degradación. Por lo tanto, lo ideal es que el dispositivo se fabrique con un semiconductor y sustrato con alta conductividad térmica [18].

En 1959 Richard P. Feynman presentó por primera vez la idea de la importancia de los materiales estratificados (materiales 2D) y propuso específicamente el aislamiento de capas individuales. A partir de esta idea, años más tarde, Robert Frindt intentó adelgazar algunas capas de MoS₂ y sintetizar monocapas usando intercalación con Litio [19]. Sin embargo, fue hasta el año 2011 que B. Radisavljevic fabricó el primer transistor basado en una monocapa del semiconductor MoS₂ [10]. Los resultados satisfactorios reportados en su trabajo indujeron a que otras personas se interesaran en estudiar sus posibles aplicaciones en dispositivos.

Semiconductor MoS₂

El MoS₂ es un ejemplo típico de un metal de transición estratificado de la familia de materiales dicalcogenuros. Los cristales de MoS₂ están compuestos de capas apiladas verticalmente que interactúan débilmente entre ellas y se mantienen unidas por medio de interacciones de Van der Waals, su estructura se representa en la Figura 1 [10].

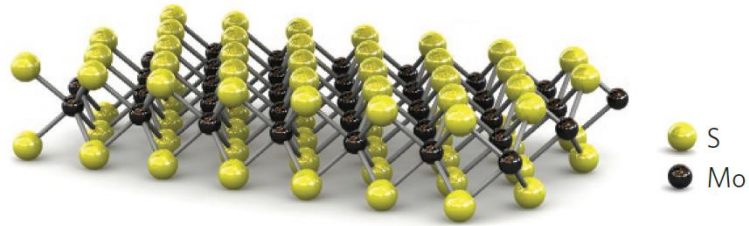


Figura 1: Estructura molecular del MoS₂

Su estructura se compone de una capa de molibdeno entre dos capas de átomos de azufre, y en los últimos años ha generado gran interés por sus inusuales propiedades electrónicas y ópticas que se pueden modificar. Las principales características del MoS₂ son:

- Posee anchos de banda que van desde 1.29 eV, si es una estructura de volumen, a 1.9 eV si es una monocapa.
- Si su estructura es volumétrica, el semiconductor es de banda indirecta, si es una monocapa, su banda es directa.
- Las capas de MoS₂ carecen de enlaces sueltos en su superficie.
- Presenta movilidades que van desde 20 a 200 cm² V⁻¹ s⁻¹.
- Utilizado en FETs, se alcanzan altas razones de encendido/apagado (I_{ON}/I_{OFF}), por arriba de 10⁹.
- Su resistividad, si es de volumen, es del orden de 10⁴ Ω-cm a temperatura ambiente.
- Su constante dieléctrica es de 2.6 a 2.8 si es de volumen.
- La conductividad térmica a temperatura ambiente es de 131 Wm⁻¹K⁻¹, si es monocapa, y 2.3 Wm⁻¹K⁻¹, si es de volumen.

Las propiedades listadas anteriormente, son la que hacen posible poder aplicar este semiconductor en dispositivos como transistores, diodos p-n y sensores de gas [10, 20, 21].

La integración de este material en dispositivos requiere de una técnica de síntesis de alta calidad que permita depositar películas de gran área sobre un sustrato y la fabricación de una alta densidad de dispositivos [20].

Materiales amorfos

En comparación con un sistema cristalino, los materiales amorfos carecen de un orden atómico predecible y de largo alcance. Su peculiar estructura no cristalina, su excelente uniformidad en áreas grandes y bajo costo de fabricación los hace desempeñar papeles importantes en varias aplicaciones industriales. En general, es bien conocido que los defectos presentes en la capa semiconductor no cristalina controlan, de manera importante, el comportamiento de los dispositivos semiconductores fabricados con estos materiales. Los materiales amorfos, que como ya se indicó, pueden obtenerse en procesos menos costosos que los cristalinos, presentan sin embargo, características que pueden ser utilizadas en dispositivos electrónicos [22]. En este trabajo se depositan capas semiconductoras y dieléctricas con esta estructura.

Dieléctricos de alta k

El óxido de silicio SiO_2 ha sido usado como el principal dieléctrico de compuerta para la fabricación de dispositivos MOS en la industria de semiconductores, debido a su excelente compatibilidad con el silicio. Sin embargo, con el escalamiento, ha sido necesario reducir su espesor. A medida que los dispositivos se acercan a dimensiones por debajo de los 45 nm, se requiere que su espesor sea menor a 1 nm, lo que es aproximadamente equivalente a 3 monocapas del material. Por otro lado, es bien conocido que, cuando el espesor de la capa de SiO_2 es menor a 3 nm, se presenta una alta corriente de fuga a través de dicha capa, debido al tuneo directo [23, 24].

Para seguir reduciendo las dimensiones de los transistores MOS, necesarias para alcanzar el desarrollo actual de los circuitos integrados MOS, se han definido las conocidas reglas de escalamiento. El criterio de escalamiento más utilizado busca mantener el campo eléctrico en las diferentes regiones del dispositivo al reducir sus dimensiones [25].

En el caso de los dieléctricos se definió el concepto de espesor equivalente del óxido (EOT) que se calcula a partir la de la expresión

$$X_{equivalente} = X_i \cdot \frac{k_{SiO_2}}{k_i}, \quad (2)$$

donde X_i y k_i son el espesor real y la constante dieléctrica del dieléctrico, respectivamente, y k_{SiO_2} es la constante dieléctrica del SiO₂. Si k_i es mayor que k_{SiO_2} , en (2) se puede observar que el espesor equivalente será menor al espesor real. De esta manera, es posible tener una capa de dieléctrico de mayor espesor real, pero cuyo comportamiento es igual al de una capa de SiO₂ de menor espesor [25].

Para esto se utilizan los dieléctricos de alta k, con mayor constante dieléctrica respecto a la del silicio, donde teniendo un mayor espesor real que evita el tuneo, se logra el EOT requerido para el correcto funcionamiento del dispositivo escalado [23].

Entre las propiedades esenciales para escoger dieléctricos de alta-k como dieléctrico de compuerta se encuentran [26]:

- a. Permitividad, banda prohibida y barrera con el silicio.
- b. Estabilidad termodinámica.
- c. Morfología de la película.
- d. Densidad de carga en la interfaz.
- e. Compatibilidad con otros materiales utilizados en el procesamiento de dispositivos CMOS.
- f. Compatibilidad del proceso.
- g. Confiabilidad.

Algunos dieléctricos de alta-k, como el óxido de hafnio (HfO₂) y óxido de aluminio (Al₂O₃), son ampliamente usados en dispositivos CMOS. Por ejemplo, el óxido de hafnio tiene una constante dieléctrica de 19-25, ancho de banda de 5.7 eV y es

ampliamente utilizado en la manufactura de microprocesadores [10]. Las características del HfO_2 dependen fuertemente del método de obtención de la película. Entre los métodos utilizados para su depósito se encuentran el ALD (Atomic Layer Deposition) y PVD (Physical Vapor Deposition) y la pulverización catódica por RF [27].

Contacto Óhmico

Para mejorar el desempeño de los FETs, se requiere tener un contacto óhmico con baja resistencia en la interfaz metal-semiconductor, que facilite la transferencia de carga entre el electrodo metálico y el semiconductor [28].

El contacto metal-semiconductor fue descubierto por Braun en 1874 y la primera teoría sobre el estudio de contactos fue desarrollada por Schottky en los años 30. Todos los dispositivos semiconductores tienen contactos metal-semiconductor con una resistencia específica. Estos contactos pueden ser rectificantes (diodo Schottky) o no rectificantes (óhmicos), y es importante caracterizarlos para conocer cómo influyen en el comportamiento del dispositivo. En un transistor MOS, la caída de voltaje a través de los contactos del drenaje (drain) y fuente (source) debe ser mucho menor que la caída de voltaje a través de la región del canal entre dichos contactos [29].

Un contacto óhmico es una estructura metal-semiconductor a través de la que fluye una corriente eléctrica del metal al semiconductor y viceversa, siguiendo la ley de Ohm [30]. Cuando estos materiales entran en contacto, la concentración de portadores en equilibrio del semiconductor no cambia significativamente ni produce una impedancia significativa, por lo que, la curva de corriente-voltaje de un contacto óhmico es lineal [31]. En la tecnología se han desarrollado diversas estrategias para mejorar la resistencia de contacto metal-semiconductor. A continuación, se enlistan algunas de las más importantes:

- En dispositivos MOS de silicio, para crear un contacto óhmico, el material semiconductor es fuertemente dopado. Si en el semiconductor la concentración de dopaje es muy alta, la región de carga especial (RCE) será muy estrecha porque el ancho de la RCE es inversamente proporcional a la raíz cuadrada de

la concentración de portadores en el semiconductor. Por tanto, los electrones pueden atravesar la delgada barrera de potencial mediante tuneo, formando un contacto óhmico de baja resistencia. La característica I-V exhibe una relación lineal [31].

- La elección de un metal con la adecuada función de trabajo, el cual se combina con el recocido, que es la técnica adoptada para mejorar la calidad de la interfaz metal-semiconductor [28].

Justificación

Como ya se indicó, la investigación en dispositivos FET basados en semiconductores de 2D se encuentra en auge debido a su posible utilización para continuar reduciendo las dimensiones de los MOSFETs [8].

Se han fabricado FETs basados en MoS₂ tipo N, reportando valores de movilidad de efecto de campo que alcanzan valores mayores a 40 cm² V⁻¹ s⁻¹ [32], con razones de encendido y apagado del orden de ~10⁵-10⁶.

Entre las técnicas utilizadas para el depósito de la capa de MoS₂ se reportan; MOCVD en [14] y [33], CVD en [34], donde obtienen capas tipo N. Algunas veces deposita la capa en un sustrato de zafiro que posteriormente es transferida a un sustrato de silicio (exfoliación). En este último caso es una técnica compleja para ser implementada en producción a gran escala, aunque aún se trabaja sobre ello [33]. Los valores de movilidad obtenidos reportados para estos trabajos son de ~23.9-30 cm² V⁻¹ s⁻¹ con razones I_{on}/I_{off} de ~10⁷-10⁹, mayores a los mencionados anteriormente.

Aunque MOCVD y CVD son técnicas escalables y con las que se han obtenido dispositivos con buenos parámetros de funcionamiento, son de mayor costo respecto a la técnica magnetron Sputtering.

Buscando técnicas compatibles con gran escala de producción, se ha estudiado también el depósito por pulverización catódica (sputtering), con diferentes opciones, la mayoría introduciendo un elemento reactivo tratando de mejorar la calidad de las capas obtenidas [15].

En la referencia [21] se hace una comparación de las variables de depósito por magnetron sputtering reportadas en diversos trabajos para evaluar de manera general cómo afectan estas variables la calidad de las películas. Se menciona el efecto de la potencia de depósito, el efecto de la temperatura del sustrato durante el depósito, el efecto de la sulfurización y del recocido, el tiempo de depósito, el rol de los átomos de hidrógeno en las películas depositadas y el efecto del voltaje de polarización del proceso del depósito. Las capas eran de tipo P y N.

En la referencia [15], se propone un proceso para sintetizar capas atómicas de MoS₂ a escala de oblea usando la técnica Magnetron Sputtering, donde se propone que, a partir de esta técnica de depósito, se pueden obtener monocapas uniformes y cristalinas de este semiconductor crecidas sobre sustratos cristalinos. Además, el trabajo incluye la fabricación de transistores basados en estas películas semiconductoras. Se reporta que las capas son tipo P, y para los dispositivos reportaron I_{on}/I_{off} de $\sim 10^3$ y movilidad de $\sim 12.2 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. Hasta la fecha de publicación de este artículo (2015), la mayoría de las películas de MoS₂ sintetizadas eran de tipo N, pero posteriormente comenzó a reportarse que se pueden obtener películas de MoS₂ tipo P mediante un tratamiento por plasma. El tipo de semiconductor lo atribuyeron al método en que se sintetizó la película delgada; un blanco de molibdeno se bombardeó dentro de una cámara de vacío que contenía una atmósfera de azufre, para que los átomos de Mo reaccionaran con el S para formar moléculas de MoS₂. Luego, sobre un sustrato caliente, se depositan las capas del semiconductor. Con este método se pueden depositar monocapas, bicapas, tricapas y películas delgadas de MoS₂, cuyas características ópticas y eléctricas son comparables a las de las capas sintetizadas por otros métodos [15]. En la referencia [35] también se confirma que la técnica de magnetron Sputtering es una ruta viable para crecer películas de MoS₂. En este caso, se utilizó un blanco estequiométrico comercial de MoS₂. Al no requerir una fuente extra de azufre, como en el caso del trabajo descrito anteriormente, esta alternativa se vuelve una estrategia simple para crecer películas de alta calidad de MoS₂, con características que permiten que sea una técnica escalable.

Considerando otros semiconductores TMD y su desempeño en aplicaciones de dispositivos, se han reportado el uso de semiconductores de ancho de banda grande que presentan la dificultad de formar contactos óhmicos, Por ejemplo, el WSe₂ [36]. Con este material se han obtenido buenos resultados en dispositivos FET, sin embargo, no se ha demostrado que pueda ser depositado por la alguna técnica de depósito escalable para procesos industriales [37], a diferencia del MoS₂.

Teniendo como referencia los resultados mencionados anteriormente, debido a la disponibilidad del blanco de MoS₂ y del equipo de las cámaras de vacío, en este trabajo se optó por trabajar con la técnica de depósito por magnetron Sputtering RF.

Como se ha mencionado anteriormente, la selección del metal de contacto para el drain y source en estos dispositivos es un punto neurálgico para que los dispositivos FET de 2D funcionen eficientemente. Un estudio [38], mediante simulación de la interfaz entre el MoS₂ y doce metales distintos, entre los que se encuentra el molibdeno, concluye que la unión MoS₂-Mo es la que exhibe una mejor interacción interfacial entre el metal y semiconductor debido a distancias interfaciales extremadamente pequeñas (~1.5 Å), además, esta unión exhibe menor altura de barrera (0.72 eV), estas características sugieren un aumento en la transferencia de carga, lo que resulta en un contacto óhmico. En este trabajo también se reporta la simulación de dispositivos FET de 2D con los mismos metales, donde aquellos simulados con la unión MoS₂-Mo exhibieron mejor desempeño (I_{on}/I_{off} de $\sim 10^4$). Por ello, entre los metales disponibles en nuestro laboratorio, se escogió el molibdeno como metal de los contactos.

En este trabajo, se propone la fabricación de estructuras MDS basadas MoS₂ usando molibdeno como metal para los electrodos del drenaje (drain), fuente (source) y compuerta (gate), el uso de HfO₂ como dieléctrico de compuerta, y se propone el uso de distintos sustratos para fabricar las estructuras.

Resumen del capítulo 1

En este capítulo se presentan y discuten los motivos que han llevado al estudio de los materiales semiconductores de dos dimensiones (2D), como posibles sustitutos del Si, en la fabricación de transistores de efecto de campo de dimensiones menores de los 12 nm.

Se analizan las causas que podrían disminuir los efectos de canal corto (SCEs) que hoy en día se presentan en los MOSFETs de Si.

Se analizan algunas características de posibles materiales a utilizar en las estructuras para fabricar FETs de 2D, justificando por qué se escogieron el MoS₂ como semiconductor, y el Mo como metal, así como dieléctricos de alta k como dieléctrico de compuerta.

También se analizan posibles métodos de depósito de la capa semiconductor y se justifica la utilización del método de pulverización catódica por RF por ser aplicable a producción en gran escala a relativamente bajo costo.

Capítulo 2: Diseño y Fabricación de Estructuras MDS

Estructura MDS

La estructura o capacitor metal-dieléctrico-semiconductor (MDS) se compone de cuatro capas de materiales apilados, un metal, un material dieléctrico, un material semiconductor y otra capa metálica. La capa metálica que está en contacto con el dieléctrico se utiliza como electrodo de compuerta, y la capa metálica que está en contacto con el semiconductor se utiliza como electrodo de contacto. La calidad de la interfaz metal-semiconductor es determinante para el desempeño del dispositivo. Al evaluar el desempeño de una estructura MDS, se puede predecir la operación de un transistor fabricado con las mismas capas de material, debido a esto, es importante su fabricación y caracterización [25, 39].

Existen dos configuraciones básicas de la estructura MDS. Cuando el metal de compuerta (G) se encuentra por debajo de toda la estructura, la configuración se denomina estructura MDS de compuerta por abajo (back gate), y cuando el metal de compuerta está por arriba de la estructura, se denomina estructura MDS de compuerta por arriba (top gate), como se muestra en la siguiente figura.

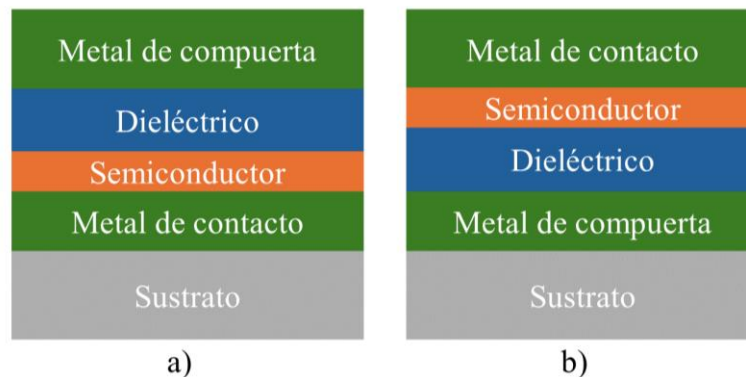


Figura 2. Diagrama de una estructura MDS, a) de compuerta por arriba, b) de compuerta por abajo

Para describir la estructura MDS, se tienen algunas consideraciones importantes.

- Se considera que el dieléctrico posee un ancho de banda grande, lo que evita que exista un flujo de corriente importante a través de él.

- Debido a que no fluye corriente a través de la interfaz dieléctrico-semiconductor, el nivel de Fermi en el semiconductor es constante.
- Sin voltaje externo aplicado, el semiconductor tiene una densidad uniforme de portadores de carga.
- La distribución energética de los portadores dentro del semiconductor está gobernada por la estadística de Fermi-Dirac.
- La interfaz metal-semiconductor debe formar un contacto óhmico.
- En la estructura ideal, se considera que la interfaz dieléctrico-semiconductor está libre de centros de carga.

Teoría de la curva C-V

Cuando se polariza la estructura MDS el voltaje aplicado a la compuerta se distribuye entre el dieléctrico y el semiconductor, lo que provoca que ocurran cambios en la distribución de carga en el semiconductor, en la región cercana a la interfaz con el dieléctrico. En esta región pueden ocurrir tres fenómenos: una acumulación de portadores, un empobrecimiento de portadores o un fenómeno de inversión de portadores [25, 29]. Los fenómenos que tienen lugar en esa región superficial se pueden describir al resolver la ecuación de Poisson:

$$\frac{d^2\Psi}{dx^2} = -\frac{\rho(x)}{k_s\epsilon_o}, \quad (3)$$

donde Ψ es el potencial dentro de la estructura analizada, $\rho(x)$ es la densidad de carga en el semiconductor, k_s es la constante dieléctrica del semiconductor y ϵ_o es la permitividad en el vacío.

La densidad de carga en la región de carga espacial se calcula como:

$$\rho(x) = q(N_d^+ - N_a^- + p_p - n_p), \quad (4)$$

donde N_a y N_d son la densidad de aceptores y donadores, respectivamente, p_p es la densidad de huecos y n_p la de electrones.

Considerando que todas las impurezas están totalmente ionizadas,

$$\rho(x) = q(N_d - N_a + p_p - n_p), \quad (5)$$

y considerando que existe neutralidad de carga en el semiconductor, la densidad de carga en todo el volumen del semiconductor será cero ($\Psi(x) = 0$), es decir:

$$\rho(x) = q(N_d - N_a + p_p - n_p) = 0, \quad (6)$$

con lo que se cumple:

$$N_a - N_d = p_{p0} - n_{p0}, \quad (7)$$

como resultado de la condición de neutralidad de carga. Si se cumple que $N_a - N_d \gg n_i$, entonces $N_a - N_d = p_{p0} - n_{p0} \cong p_{p0}$ y $n_{p0} = \frac{n_i^2}{p_{p0}}$, con lo que se obtiene la ecuación:

$$\rho(x) = q(-p_{p0} + n_{p0} + p_p - n_p), \quad (8)$$

donde $p_p = p_{p0}e^{-\beta\psi}$ y $n_p = n_{p0}e^{\beta\psi}$, donde $\beta = \frac{q}{kT}$, es el inverso del potencial térmico.

Así, la ecuación de Poisson queda como:

$$\frac{d^2\Psi}{dx^2} = -\frac{q}{k_s\epsilon_0} [p_{p0} (e^{-\beta\Psi} - 1) - n_{p0} (e^{\beta\Psi} - 1)]. \quad (9)$$

Tomando en cuenta que el campo eléctrico en función del potencial eléctrico está dado por:

$$F(x) = -\frac{d\psi}{dx}. \quad (10)$$

La ecuación (9), se puede expresar como:

$$\frac{d\psi}{dx} d\left(\frac{d\psi}{dx}\right) = -\frac{q}{k_s \epsilon_0} [p_{p0}(e^{-\beta\psi} - 1) - n_{p0}(e^{\beta\psi} - 1)] d\psi. \quad (11)$$

Al integrar la ecuación (11), se obtiene:

$$\int \frac{d\Psi}{dx} d\left(\frac{d\Psi}{dx}\right) = -\frac{q}{k_s \epsilon_0} \int_0^{\Psi} [p_{p0}(e^{-\beta\Psi} - 1) - n_{p0}(e^{\beta\Psi} - 1)] \cdot d\Psi. \quad (12)$$

El resultado de la integral queda como:

$$\frac{1}{2} F^2 = \left[-\frac{q}{k_s \epsilon_0} \frac{1}{\beta} \right] [-p_{p0}(\beta\Psi + e^{-\beta\Psi} - 1) - n_{p0}(e^{-\beta\Psi} - \beta\Psi - 1)], \quad (13)$$

que al reescribirla queda como:

$$\frac{1}{2} F^2 = \left[-\frac{q}{k_s \epsilon_0} \right] \left(-\frac{p_{p0}}{\beta} \right) \left[(\beta\Psi + e^{-\beta\Psi} - 1) + \frac{n_{p0}}{p_{p0}} (e^{-\beta\Psi} - \beta\Psi - 1) \right]. \quad (14)$$

Luego, de la Ley de Gauss, la ecuación (10) se expresa como:

$$F(x) = \frac{Q_{sem}}{k_s \epsilon_0} = \int_0^x \frac{\rho(x)}{k_s \epsilon_0} dx = -\frac{d\Psi}{dx}. \quad (15)$$

Donde $F(x)$ es el campo eléctrico y Q_{sem} es la carga en el semiconductor. Entonces, el campo eléctrico se puede expresar a través de una función F_0 , a partir de la ecuación (14):

$$F_o \left(\beta\Psi, \frac{n_{p0}}{p_{p0}} \right) = \left[(\beta\Psi + e^{-\beta\Psi} - 1) + \frac{n_{p0}}{p_{p0}} (e^{\beta\Psi} - \beta\Psi - 1) \right]^{\frac{1}{2}} \geq 0, \quad (16)$$

y se puede describir el campo eléctrico en la superficie del semiconductor mediante la ecuación:

$$F = \frac{\sqrt{2}kT}{qL_D} \cdot F_o \left(\beta\Psi, \frac{n_{p0}}{p_{p0}} \right). \quad (17)$$

donde la longitud de Debye extrínseca para un semiconductor tipo P se expresa como:

$$L_D = \sqrt{\frac{kTk_s\epsilon_0}{q^2p_{p0}}}. \quad (18)$$

Usando la ecuación (15), la carga superficial Q_s se expresa como:

$$Q_s = k_s\epsilon_0 F_s = (k_s\epsilon_0) \left[\frac{\sqrt{2}kT}{qL_D} \cdot F_o \left(\beta\Psi, \frac{n_{p0}}{p_{p0}} \right) \right]. \quad (19)$$

La capacitancia debida a la carga en el semiconductor C_s , está definida como:

$$C_s = \frac{dQ_s}{d\Psi_s}. \quad (20)$$

Si el potencial en la superficie del semiconductor es $\Psi_s = 0$, la estructura se encuentra en condición de bandas planas y la capacitancia en el semiconductor C_{FBS} se define solo por la carga que penetra en el semiconductor desde la superficie a una distancia del orden de la longitud de Debye, entonces el valor de la capacitancia se puede expresar como:

$$C_{FBS} = \frac{k_s \epsilon_0}{L_D}. \quad (21)$$

Para el caso de una estructura MDS ideal, la característica C-V se obtiene considerando que una parte del voltaje aplicado a la estructura cae a través del dieléctrico (V_i) y otra parte en la región de carga espacial del semiconductor (Ψ_s). Esto se expresa como:

$$V = V_i + \Psi_s, \quad (22)$$

donde el voltaje a través del dieléctrico se calcula como:

$$V_i = F_i X_i = \frac{k_s}{k_i} \cdot X_i F_s = \frac{Q_s X_i}{k_i \epsilon_0} = \frac{Q_s}{C_i}, \quad (23)$$

donde k_i es la constante dieléctrica del dieléctrico, k_s es la constante dieléctrica del semiconductor y X_i es el espesor del dieléctrico. Para calcular la capacitancia por unidad de área en el dieléctrico (C_i), se considera un capacitor de placas paralelas:

$$C_i = \frac{k_i \epsilon_0}{X_i}, \quad (24)$$

donde $\epsilon_0 = 8.86 \times 10^{-14} \frac{F}{cm}$.

Así, la capacitancia total $C_T = \frac{dQ_s}{dV}$, será la que resulta de la capacitancia del dieléctrico en serie con la del semiconductor C_s , lo que se expresa como:

$$\frac{1}{C_T} = \frac{1}{C_i} + \frac{1}{C_s}. \quad (25)$$

De (24) también se puede estimar el valor de la constante dieléctrica del dieléctrico usando la curva C-V medida en una estructura metal-dieléctrico-metal (MIM).

Finalmente, la capacitancia por unidad de área total de bandas planas se puede obtener sustituyendo (21) y (24) en (25), obteniendo:

$$C_{FB} = \frac{k_i \epsilon_0}{X_i + \frac{k_i L_D}{k_s}}. \quad (26)$$

El valor de capacitancia por unidad de área mínima en la curva C-V se puede obtener como:

$$C_{min} = \frac{1}{\frac{1}{C_i} + \frac{k_i W_{m\acute{a}x}}{k_s}}, \quad (27)$$

donde $W_{m\acute{a}x}$ es el ancho máximo de la región de carga espacial que se alcanza en la condición de inversión fuerte, es decir, cuando el potencial superficial es igual a dos veces el potencial de Fermi ($\varphi_s = 2\varphi_F$). Este valor depende de la concentración de carga (N_B) en el semiconductor y está dado por:

$$W_{m\acute{a}x} = \sqrt{\frac{2k_s \epsilon_0 (2\varphi_F)}{qN_B}}, \quad (28)$$

donde, para un sustrato tipo P:

$$\varphi_F = k \frac{T}{q} \ln \left(\frac{N_B}{n_i} \right). \quad (29)$$

Diagramas de Bandas de Energía

Para una estructura MDS con semiconductor tipo P, la acumulación de carga ocurre cuando la estructura se polariza con voltajes negativos. Con el voltaje negativo, los huecos son atraídos hacia la región cercana a la interfaz y se genera una densidad de carga positiva que provoca un doblamiento hacia arriba de las bandas de energía, como se muestra en la Figura 3.

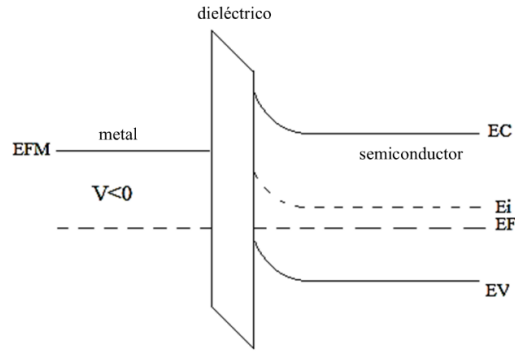


Figura 3. Diagrama de bandas de la estructura MDS en acumulación, EFM es el nivel de Fermi del metal.

El empobrecimiento de carga ocurre cuando el voltaje aplicado a la compuerta es positivo. En este caso, los huecos dentro del semiconductor son repelidos de la región cercana a la interfaz dieléctrico-semiconductor, lo que eventualmente genera una región de carga negativa asociada a las impurezas ionizadas. En este caso, las bandas se doblan hacia abajo como se muestra en la Figura 4.

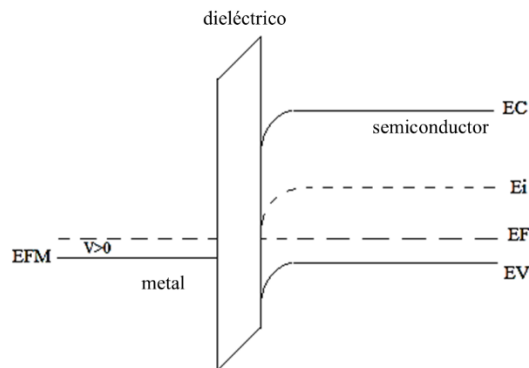


Figura 4. Diagrama de bandas de la estructura MDS en empobrecimiento

Una vez que se ha alcanzado la condición de empobrecimiento total, si a la compuerta se le sigue aumentando el voltaje positivo, la concentración de portadores mayoritarios seguirá disminuyendo, llegando a un punto en el que la concentración de huecos es igual a la de electrones.

En general, si el voltaje aplicado se sigue aumentando, los portadores mayoritarios siguen disminuyendo por lo que, en la región cercana a la interfaz, la concentración de

portadores minoritarios superará a la concentración de portadores mayoritarios, generando así la inversión de conductividad. En esa región, el semiconductor pasará de ser tipo P a ser tipo N. Esta condición se alcanza cuando el potencial superficial es igual a dos veces el potencial de Fermi ($\Psi_s = 2\Psi_F$), y es una condición reversible conocida como unión P-N inducida. En la Figura 5 se presenta el diagrama de bandas.

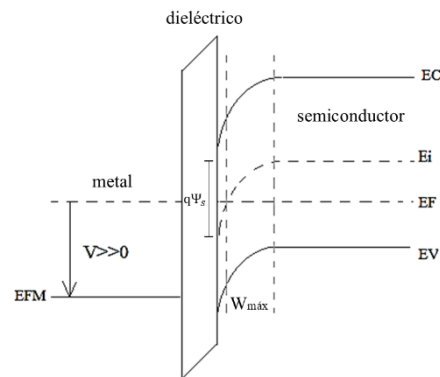


Figura 5. Diagrama de bandas de la estructura MDS en inversión

En este trabajo, los dispositivos fabricados no operan en la condición de inversión.

El funcionamiento de un transistor de efecto de campo está basado en una estructura MDS, por lo que, estudiar la estructura MDS, permite predecir varios aspectos de su funcionamiento. Si conectamos las terminales de drenador y fuente del transistor a tierra, y si se polariza la terminal de compuerta, el dispositivo se puede estudiar como una estructura MDS. Debido a esto, para estudiar muchas de sus características, basta con fabricar la estructura MDS que implica un proceso de fabricación más corto y menos complejo respecto al de un proceso de fabricación de TFTs.

En este trabajo se fabricaron estructuras Metal-Dieléctrico-Semiconductor (MDS) de una compuerta, de doble compuerta y testigos empleados específicamente para estudiar la interfaz metal-semiconductor.

Diseño de la estructura MDS

El proceso de fabricación parte del diseño de las estructuras, dibujando su corte transversal. En este paso del proceso también se define la secuencia de los depósitos y definición de las capas. A continuación, se muestra el diagrama de las estructuras MDS diseñadas.

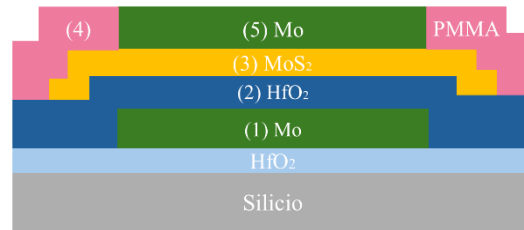


Figura 6. Estructura MDS de una compuerta con pasivación.

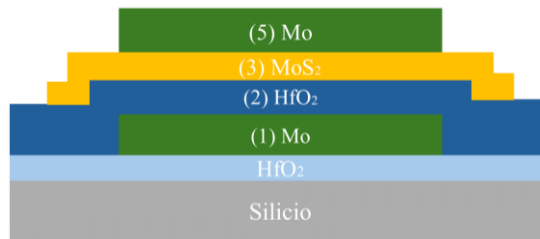


Figura 7. Estructura MDS de una compuerta sin pasivación.

También se fabricaron estructuras metal-semiconductor (MS), cuya representación corresponde a la Figura 8.



Figura 8. Estructura MS - muestra testigo 1.

Una vez que se han diseñado las estructuras, se procede a crear el diseño por computadora de la topología (layout) del dispositivo. En el layout se define el patrón que se va a transferir a cada capa. Para este trabajo se ha empleado el software *Clewin*

4. A continuación se muestran algunos ejemplos de la secuencia de diseño de algunas estructuras.

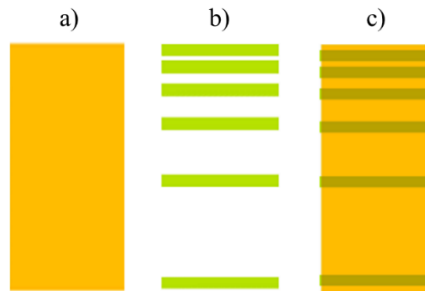


Figura 9. Diseño de la topología por capas de la estructura de la Figura 8, a) semiconductor, b) metal, c) estructura completa.

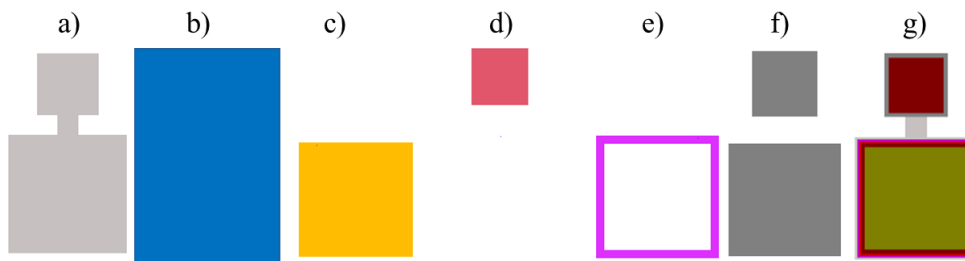


Figura 10. Diseño de la topología por capas de la estructura de la Figura 6, a) metal de compuerta, b) dieléctrico que cubre la compuerta, c) semiconductor d) hueco a través del dieléctrico para acceder al metal de compuerta (vía), e) región de pasivación, f) metal de contacto, g) estructura completa.

Proceso de fabricación

Antes de iniciar el proceso de fabricación, se definen los espesores de las capas de los diferentes materiales. En la Tabla 1 se recopilan sus características.

La capa de PMMA (polimetilmetacrilato) para la pasivación del semiconductor tiene un espesor aproximado de 450 nm.

Tabla 1. Materiales y espesores de las estructuras

Estructura	Sustrato	Metal de compuerta	Metal de contacto	Semiconductor	Dieléctrico de compuerta
Doble compuerta con y sin pasivación	Silicio P ⁺⁺ / HfO ₂ (145nm)	Mo (120 nm)	Mo (260 nm)	MoS ₂ (27 nm)	HfO ₂ (145nm)
Muestra testigo 1	Vidrio	-	Mo (260 nm)	MoS ₂ (45 nm)	-

Una vez que se ha diseñado la topología de los dispositivos y se han determinado los espesores de las capas, se procede a diseñar la secuencia del proceso de fabricación. A continuación, se enumeran los pasos del proceso de fabricación correspondiente a la estructura de una compuerta con pasivación.

1. Depósito del Mo de compuerta.
2. Litografía de la capa de Mo.
3. Ataque del Mo.
4. Depósito del HfO₂.
5. Litografía de la capa de HfO₂.
6. Ataque del HfO₂ para abrir las vías.
7. Depósito del MoS₂.
8. Litografía de la capa de MoS₂.
9. Ataque del MoS₂.
10. Tratamiento térmico de 350 °C a la capa de MoS₂.
11. Depósito del PMMA.
12. Litografía de la capa de PMMA.
13. Ataque del PMMA.
14. Depósito del Mo de contacto.
15. Litografía de la capa de Mo.
16. Ataque del Mo.
17. Primera caracterización eléctrica.
18. Tratamiento térmico a 350 °C para los contactos.
19. Continuar con la caracterización de los dispositivos.

Limpieza de sustratos

Todo proceso de fabricación de dispositivos comienza con la limpieza del sustrato. En los años 50, cuando surgió la tecnología de dispositivos de estado sólido, en la industria de la microelectrónica se reconoció la importancia que tiene hacer limpieza a los sustratos sobre los que se fabrican los dispositivos electrónicos basados en semiconductores, debido a que la presencia de contaminantes químicos e impurezas diminutas presentes en la oblea o en la superficie de los dispositivos pueden afectar críticamente su desempeño. En este trabajo se utilizó la técnica de limpieza denominada “RCA Standard Clean” creada por Werner Kern en la RCA (Radio Cooperation of America), que hasta la fecha se mantiene como el proceso estándar de limpieza para los sustratos de silicio empleados en la tecnología de fabricación de circuitos integrados [40, 41]. En la Tabla 2, se muestran los pasos del proceso. El objetivo de la limpieza es remover las partículas e impurezas químicas sin dañar o alterar la superficie del sustrato usando ácidos, bases, oxidantes y solventes orgánicos. Cada sustancia empleada debe ser de grado electrónico, para que introduzca el mínimo posible de contaminantes o partículas.

La función que tiene el peróxido de hidrógeno durante el proceso de limpieza es formar una capa de ~1 a 1.5 nm de óxido de silicio (SiO_2) para evitar que el silicio se oxide libremente durante la exposición al ambiente.

A continuación, se describe brevemente cada paso del proceso de limpieza, se menciona su función y generalidades.

La limpieza preliminar consta de cuatro pasos, inicia con un enjuague en tricloroetileno seguido de un enjuague en acetona, solventes orgánicos que remueven impurezas orgánicas.

El siguiente paso es la limpieza con piraña, que elimina compuestos orgánicos e inorgánicos que aún existan. Después de este paso, la superficie de la oblea queda fuertemente contaminada con residuos de sulfuro del ácido sulfúrico y es necesario un enjuague intenso con agua desionizada para eliminar el líquido viscoso.

Tabla 2. Proceso de limpieza de sustratos

Etapa	Composición	Especificaciones
Limpieza preliminar		
Tricloroetileno (C ₂ HCl ₃)		Temperatura ambiente 5 minutos en ultrasonido
Secar con pistola de N ₂		
Acetona (CH ₃ (CO)CH ₃)		Temperatura ambiente 5 minutos en ultrasonido
Secar con pistola de N ₂		
Piraña (H ₂ O ₂ : SO ₄ H ₂)	1 parte de peróxido de hidrógeno 3 partes de ácido sulfúrico	Temperatura 70°C en baño maría por 10 minutos
2 enjuagues en agua desionizada H ₂ O DI>18MΩ		
HF diluido (HF: H ₂ O)	1 parte de ácido fluorhídrico 9 partes de agua	Temperatura ambiente Enjuague vigoroso
2 enjuagues en agua desionizada H ₂ O DI>18MΩ		
Limpieza RCA		
SC-1 (H ₂ O: H ₂ O ₂ : HN ₄ OH)	5 partes de agua 1 parte de peróxido de hidrógeno 1 parte de hidróxido de amonio	Temperatura 70°C en baño maría por 10 minutos
2 enjuagues en agua desionizada H ₂ O DI>18MΩ		
SC-2 (H ₂ O: H ₂ O ₂ : HCl)	5 partes de agua 1 parte de peróxido de hidrógeno 1 parte de ácido clorhídrico	Temperatura 70°C en baño maría por 10 minutos
Enjuague en H ₂ O DI en cascada por 5 minutos		

Después del enjuague, si el sustrato es de silicio, debe sumergirse en ácido fluorhídrico diluido para eliminar el óxido nativo que se forma cuando el sustrato es expuesto al ambiente, y se enjuaga en agua desionizada. Si el sustrato no es de silicio, se omite ese paso. La remoción del óxido se puede observar a simple vista debido a que cambian las características de mojado, la superficie pasa de ser hidrofílica (SiO₂) a hidrofóbica (Si).

La limpieza RCA consta de dos soluciones calientes aplicadas de manera consecutiva, Standard Clean 1 (SC-1) y Standard Clean 2 (SC-2), también conocidas en México como X1 y X2, respectivamente.

SC-1 se compone de una mezcla de agua, peróxido de hidrógeno e hidróxido de amonio calentada a 70°C donde se sumerge el sustrato durante 10 minutos. Esta solución es

empleada para remover contaminantes orgánicos que pudieron quedar atrapados en la capa de SiO₂. Durante el proceso, esta capa de óxido se disuelve y se forma una nueva. La función del hidróxido de amonio sirve para remover metales del grupo I-B y II-B como Au, Cu, Ag, Zn y Cd y elementos de otros grupos como Ni, Co y Cr. Esta solución debe prepararse en el momento que se va a utilizar debido a que eventualmente, el peróxido de hidrógeno se descompone en agua y oxígeno, mientras que el amoniaco en el hidróxido se evapora. Además, por su baja estabilidad térmica, es muy importante controlar la temperatura durante su calentamiento. En este paso, en la superficie del sustrato se genera una capa de SiO₂.

SC-2 se compone de la misma cantidad de agua y peróxido de hidrogeno que en SC-1, y ácido clorhídrico. También es calentada a 70°C donde se sumerge el sustrato durante 10 minutos. Su función es disolver y remover residuos alcalinos de la superficie, y cualquier residuo metálico como Au y Ag, así como hidróxidos metálicos. Después del proceso, la muestra debe ser enjuagada en agua desionizada corriente y secada con nitrógeno. Inmediatamente debe ser almacenada en un contenedor de vidrio o metal dentro de una atmósfera de nitrógeno. En nuestro laboratorio, los sustratos se almacenan en la mufla a 90°C, esta se encuentra dentro de la caja de guantes con un ambiente de nitrógeno.

Depósito de Materiales

Para fabricar las capas de las estructuras MDS se empleó la técnica de Sputtering o pulverización catódica en su variante de RF (Radio Frecuencia), debido a que con esta técnica es posible depositar metales, dieléctricos y semiconductores.

La técnica se basa en generar un plasma a partir de un gas, por medio de cuál se producen partículas cagadas (iones y electrones secundarios) que son aceleradas hacía una superficie para erosionarla, los átomos que se extraen de esa superficie se depositan en la superficie de un sustrato cercano. La superficie para erosionar se denomina blanco o *target* que se fabrica a partir del material o compuesto que se va a depositar.

El equipo de la técnica RF Sputtering por magnetrón consta de dos electrodos, el electrodo activo y el electrodo de tierra. El electrodo activo es un magnetrón al que se

le conecta una señal de RF (~13.56 MHz), cuya función principal es producir un plasma y concentrarlo uniformemente en la región de la cámara donde se coloca el sustrato (electrodo de tierra). Una particularidad de esta técnica es que, a diferencia de DC (Corriente Directa) Sputtering, además de metales y semiconductores, permite depositar dieléctricos, debido a que, en una pequeña porción del ciclo, el electrodo activo y el de tierra, se invierten eléctricamente. Este efecto de inversión elimina la carga acumulada (electrones) sobre la superficie del blanco y genera una cantidad igual de iones que garantizan la neutralidad eléctrica, cuyo efecto es aumentar la probabilidad de que se presenten más colisiones ionizantes que permiten que la descarga eléctrica sea auto mantenida. Este método de depósito se lleva a cabo dentro de una cámara de vacío porque requiere una atmosfera del orden de 10^{-5} Torr para que los iones en el plasma puedan alcanzar un nivel de aceleración óptimo para el proceso de depósito. Este nivel de vacío se consigue utilizando una bomba turbo molecular [41].

En un sistema de Sputtering, la tasa de depósito es característica del equipo que se posee debido a que cada uno está configurado de forma distinta. La geometría del sistema, el perfil de emisión de los átomos expulsados del blanco, la distancia del sustrato al blanco y la presión del gas de depósito, son factores que afectan la velocidad de depósito del sistema. En este trabajo, se caracterizó la velocidad de depósito para fijar las condiciones de depósito requeridas en cada capa. Las películas resultantes se caracterizaron usando técnicas como la elipsometría y perfilometría para la determinación del espesor.

En este trabajo, el Mo y el MoS₂ se depositaron en la misma cámara, que tiene instalados los dos blancos. Para el caso del Mo, la densidad de potencia aplicada es 3.52 W/cm² y la presión de argón aplicada es de 20 mTorr. Los espesores obtenidos son 120 nm para el metal de compuerta y 260 nm si el metal es de contacto. Para el caso del MoS₂, la densidad de potencia es 4.8 W/cm² y la presión de argón aplicada es de 13 mTorr, el espesor obtenido es 27 nm.

Para el depósito del material dieléctrico se utilizó una cámara distinta, la densidad de potencia es 4.8 W/cm^2 con una presión de argón de 20 mTorr. El espesor utilizado en la estructura es 120 nm.

Definición de microestructuras

Fotolitografía

El proceso de fotolitografía es un método que consiste en la transferencia de un patrón hacia un sustrato por medio de luz. De manera general, el método se compone de los siguientes pasos. Primero, se deposita una capa de fotorresina sobre un sustrato o película. Luego, la fotorresina se expone a radiación electromagnética que modifica sus propiedades químicas. Después de la exposición, se lleva a cabo un ataque que consiste en sumergir el sustrato con la fotorresina en una solución reveladora [42]. La solución reveladora remueve las áreas de la fotorresina que fueron expuestas a la luz, permitiendo el acceso a la superficie del sustrato o película [43]. En este caso, el revelado de la fotorresina se realiza con una solución de KOH diluido, 10:1, H₂O: KOH madre (10:1, H₂O: KOH al 45%). El equipo utilizado para la exposición de los sustratos con fotorresina es de escritura directa sobre la oblea. El equipo es marca Heidelberg Instruments, modelo μ PG101 y utiliza una láser clase 1 de 405 nm.

En la topología a definir existen dos regiones denominadas calles e islas. Las calles son todas las regiones que rodean el patrón a definir en cada capa. Las islas son las regiones formadas sobre el patrón que se va a definir en cada capa.

Luego de revelar la fotorresina, para definir la topología de cada capa, existen dos métodos comunes: por ataque de las regiones de la película donde se reveló la fotorresina, y por levantamiento de las regiones con fotorresina (Lift-off). El Lift-off es un proceso aditivo, mientras que el ataque es un proceso sustractivo[44], ambos requieren un proceso de fotolitografía.

Método de Ataque y RIE

Una vez que se ha atacado el material en las regiones donde se reveló la fotorresina, se debe remover el resto de la fotorresina del sustrato.

En este trabajo, se emplearon dos métodos de ataque para definir los materiales del proceso de fabricación.

El ataque húmedo se ha utilizado para definir el metal de compuerta y de contactos, molibdeno. Si el metal a definir no se encuentra directamente sobre el MoS_2 , se utiliza una solución de peróxido de hidrógeno diluida al 30%, aproximadamente 40 ml [44]. Si el molibdeno se encuentra sobre la capa de semiconductor (MoS_2) se utiliza una mezcla con los siguientes compuestos; 30 ml de ácido fosfórico (H_3PO_4), 18 ml de ácido nítrico (HNO_3), 10 ml de ácido acético (CH_3COOH) y 65 ml de peróxido de hidrógeno (H_2O_2) [45]. Se sumerge la muestra en la solución durante el tiempo requerido según el espesor de la capa.

Para el ataque en seco se empleó un equipo por RIE (Reactive Ion Etching), que puede ser selectivo y anisotrópico, según el gas utilizado.

Para generar el plasma dentro de la cámara de vacío se aplica una fuente de RF a 13.56 MHz entre el electrodo activo y el de tierra. Lo que ocurre dentro de la cámara es un proceso similar al de RF Sputtering.

Las condiciones de RF se pueden ajustar variando la presión de la cámara, el flujo del gas y la potencia de RF [46, 47].

En este trabajo, para atacar el HfO_2 se trabaja con una presión de 13 mTorr, la potencia de RF es de 42 W y se utiliza tetrafluoruro de carbono (CF_4) a una presión de 13 mTorr. La velocidad de ataque en estas condiciones es de 2.78 nm/min. Para atacar el MoS_2 se trabaja con las mismas condiciones que en el caso anterior. La velocidad de ataque es de 5.4 nm/min. Para los dos casos, el vacío alcanzado en la cámara antes del proceso de ataque es 10^{-5} Torr.

La figura 5 se muestra la secuencia de los pasos básicos de un proceso de fotolitografía para definir las microestructuras por el método de ataque.

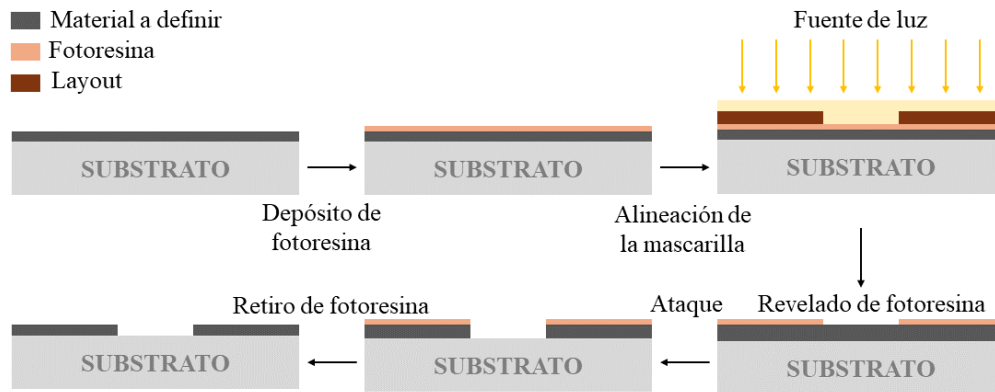


Figura 11. Pasos del proceso de definición de microestructuras por el método de ataque.

Método de levantamiento (Lift-off)

Para el proceso de lift-off, primero se deposita una capa de fotorresina a la que se transfiere un patrón invertido, es decir, se exponen las calles para que después del proceso de litografía, al revelar la fotorresina se abran huecos en las regiones donde se quiere definir el material. Una vez que se han abierto los huecos, se procede a depositar la capa de material a definir, este puede ser un metal, un óxido o un semiconductor. Después del depósito, el material que está sobre la fotorresina debe retirarse, por lo que es necesario diluirla para que sobre el sustrato sólo quede el material que quedó en contacto directo. Para remover la fotorresina se sigue una secuencia de 4 enjuagues en US. La primera fase es un enjuague en acetona por aproximadamente 1 minuto. Este solvente penetra por las paredes de las regiones en donde se abrieron los huecos, permitiendo que la fotorresina con material comience a disolverse. La segunda fase es otro enjuague en acetona por aproximadamente 30 segundos. Si después de este tiempo aún se observan pequeños residuos de material, se debe agitar la muestra de forma manual dentro de la acetona. Se recomienda un máximo de 5 minutos de enjuague en acetona para evitar que el material depositado en el sustrato se debilite o sufra alguna alteración. El tercer enjuague se realiza con alcohol isopropílico, su objetivo es limpiar la muestra de restos de material y fotorresina que hayan podido quedar adheridos. El

cuarto enjuague de la muestra es con agua desionizada, su objetivo es eliminar los restos de alcohol isopropílico y algún resto de material que pudiera permanecer en la muestra [48]. En la figura 6 se muestra la secuencia de pasos del método.

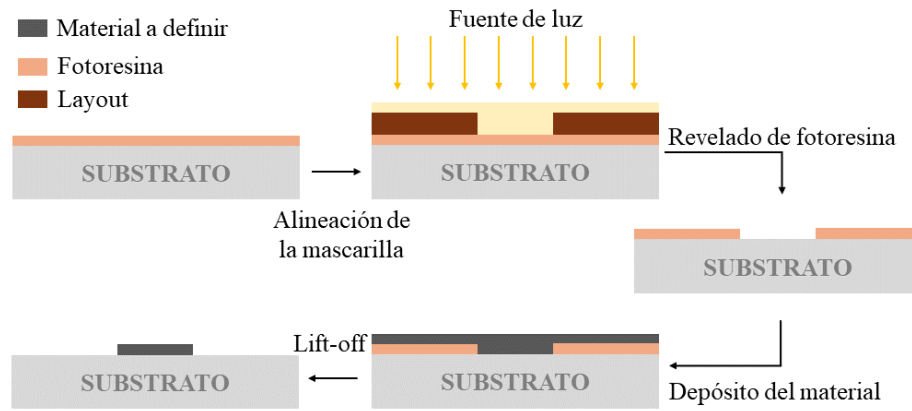


Figura 12. Pasos básicos del proceso de definición de estructuras por el método de lift-off

Método de depósito por centrifugado (Spin-Coating)

Como se mencionó anteriormente, los métodos de ataque y lift-off emplean fotolitografía que requieren un depósito de fotoresina previo a la exposición. El método de depósito empleado se denomina spin coating. Es un método simple que permite hacer depósitos delgados y uniformes de materiales orgánicos sobre sustratos planos. El sustrato para depositar se coloca sobre una superficie rotatoria capaz de sujetarlo, normalmente a partir de una bomba de vacío.

El método se desarrolla a partir de 4 pasos. Primero se deposita el material al centro del sustrato, luego se inicia el ciclo de centrifugado, mediante el cual ocurre el proceso de evaporación de la sustancia depositada. Esta sustancia se distribuye uniformemente sobre el sustrato debido a la fuerza centrífuga generada por el giro. Un giro a alta velocidad resulta en el adelgazamiento de la sustancia depositada. Si la sustancia depositada tiene componentes volátiles, éstos se evaporan rápidamente durante el depósito, si los componentes tienen baja volatilidad, éstos permanecen en la superficie del sustrato. En este caso, la fotoresina utilizada se somete a un tratamiento térmico

posterior al depósito para evaporar los componentes líquidos, lo que mejora la adherencia de la fotorresina al sustrato.

El espesor de la capa depositada se controla a partir de la viscosidad de la sustancia y la velocidad de giro. Una desventaja de esta técnica de depósito es que solo se aprovecha del 2% al 5% del material depositado en el sustrato, el material restante se desecha [42].

Para este trabajo, cuando se definen capas de material utilizando el método de ataque, la velocidad del spinner se configura a 4500 RPM, mientras que para el método de lift-off, el spinner se configura en 3915 RPM. La fotorresina usada es Microposit™ S1827™ Positive Photoresist.

El método de spin coating también es utilizado para el depósito del PMMA, un polímero transparente resistente a altas temperaturas.

Cabe señalar que, al trabajar con dispositivos de pequeñas dimensiones, es muy importante evitar su exposición al ambiente debido a que las partículas pueden adherirse a las capas, contaminar la muestra y afectar o dañar por completo el proceso de fabricación. La calidad de la estructura MDS afecta directamente el desempeño de los dispositivos, por lo que es indispensable llevar a cabo un proceso de fabricación utilizando tecnología limpia.

Cuando el proceso de fabricación se ha finalizado, el siguiente paso es la caracterización eléctrica de la estructura MDS, por lo que es muy importante conocer la teoría de las curvas C-V y cómo se comporta la estructura bajo condiciones de polarización específicas, pues este método permite no solo caracterizar los dispositivos, si no también permite caracterizar y evaluar la calidad del proceso tecnológico.

La evaluación del proceso de fabricación permite la posibilidad de optimizarlo cada vez que se repite, para así, obtener dispositivos con los mejores parámetros de desempeño posibles.

Resumen del capítulo 2

En el capítulo se describe el principio de funcionamiento de una estructura MDS.

Se eligen los materiales que se utilizarán en la estructura MDS en la cual se basará el transistor de efecto de campo que se desea fabricar.

Se diseña la estructura a fabricar.

Se describen los pasos utilizados para fabricar las estructuras, comenzando con el diseño de las topologías que deben transferirse a cada capa del dispositivo, mediante el proceso de litografía. Se definen los espesores de las capas, las dimensiones de los dispositivos y el sustrato sobre el cuál se van a fabricar, etc.

Se describe a detalle cada paso utilizado en el proceso de fabricación, explicando detalles.

Capítulo 3: Caracterización y Análisis de Resultados

En este capítulo se describen los métodos de caracterización física y eléctrica utilizados para evaluar las características de las estructuras fabricadas y se presentan los resultados obtenidos para cada una.

Se realizaron tres procesos de fabricación completos. De ellos se reportan los resultados de dos procesos denominados FullFETPro 1 (FFP1) y FullFETPro 2 (FFP2), que contienen estructuras, MS, MDS, MIM de diferentes dimensiones, y transistores de diferentes longitudes de canal. También se fabricaron y caracterizaron muestras testigo con la estructura metal-semiconductor (MS), de las cuales analizaremos la denominada Testigo 1 (T1).

Caracterización Física

Espectroscopía de Iones Secundarios (SIMS)

Para confirmar la presencia y espesor de las capas depositadas, se obtuvo el perfil de distribución de masas mediante la técnica de Espectroscopía de Iones Secundarios (SIMS). Este estudio fue realizado a la muestra T1 de la Figura 8.

La espectrometría de masa de iones secundarios consiste en analizar, con un espectrómetro de masa, los iones secundarios emitidos desde una muestra sólida sobre la que incidió un haz de iones primarios de baja energía (~keV). La emisión de iones secundarios emitidos por una superficie sólida bajo bombardeo de iones proporciona información sobre la composición elemental, isotópica y molecular de sus capas atómicas superiores. Los rendimientos secundarios de iones variarán en gran medida según el entorno químico y las condiciones de pulverización (iones, energía, ángulo). Esta técnica es de naturaleza destructiva (pulverización de material). Se puede aplicar a cualquier tipo de material sólido (aislantes, semiconductores, metales) que puedan mantenerse al vacío [41].

La técnica SIMS se puede utilizar para medir cualquier impureza elemental, desde hidrógeno hasta uranio y cualquier isótopo de cualquier elemento. El límite de detección de la mayoría de las impurezas suele ser mayor a 10^{16} átomos/cm³ [41].

Principio básico-Sputtering

Cuando los iones primarios pesados que tienen energías entre 1 y 20 keV impactan una superficie sólida (el sustrato), la energía se transfiere a los átomos en la superficie mediante colisiones directas o indirectas. Esto crea una zona de mezcla que consta de iones primarios y átomos desplazados desde la muestra. La energía y el proceso de transferencia del momento dan como resultado la expulsión desde la superficie de partículas neutras y cargadas (iones atómicos y grupos de átomos ionizados, llamados iones moleculares) en un proceso llamado pulverización catódica, *Sputtering*. Este proceso fue mencionado en el capítulo 1 como técnica de depósito de las capas de materiales. Se representa en la siguiente figura [41].

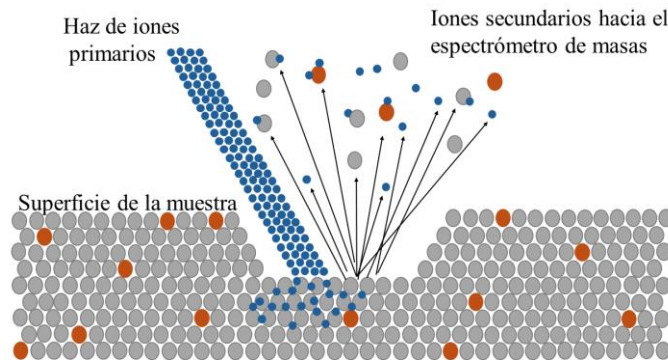


Figura 13. Diagrama del proceso de Sputtering en SIMS

En la Figura 14 se muestra el perfil de distribución de átomos de Mo, S y HfO₂ obtenido de cada región de la estructura MoS₂/HfO₂/Mo. En el gráfico se observa la presencia de los materiales que componen las regiones de la estructura MDS. A la izquierda del gráfico, las curvas negra y roja, en conjunto, corresponden a la capa de MoS₂. La curva azul indica la presencia de la capa dieléctrica y la curva negra indica

la presencia del metal de compuerta. Se observan también los valores de profundidad en los que empieza y termina cada capa, correspondientes a sus espesores.

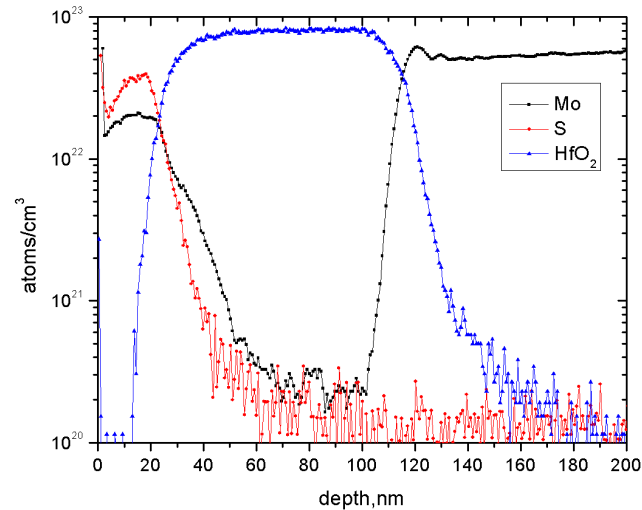


Figura 14. Distribución de contenido atómico

Para este estudio se utilizó un espectrómetro de masas de tiempo libre TOF-SIMS-V de ION-TOF Co. Las mediciones se realizaron en el modo dual de haz de iones: la pulverización superficial se realizó mediante un haz de iones de cesio de 500 eV, y se analizó la parte central del cráter de grabado por un haz pulsante de iones de bismuto Bi^{3+} . Se registraron los iones secundarios de CsM^+ , donde M es el elemento analizado. Se sabe que este modo proporciona un efecto de matriz mínimo al analizar interfaces. Ambas interfaces en el perfil experimental se observan bastante nítidas (teniendo en cuenta el método de preparación). La composición no estequiométrica de MoS_2 cerca de la superficie (<5 nm) puede explicarse por el efecto transitorio que acompaña a la pulverización iónica, así como por la influencia de elementos químicamente activos (C y O) adsorbidos en la superficie cuando la muestra es expuesta al aire [49].

Espectroscopía Raman

La espectroscopía Raman es una técnica de caracterización óptica que es usada principalmente para determinar las características estructurales de un material por medio de su interacción con un haz de luz. El espectro de cristales responde más a los

detalles de defectos y desorden que al rastreo de impurezas e imperfecciones químicas relacionadas.

El análisis se basa en el examen de la luz dispersada por el material al incidir sobre él un haz de luz monocromático. Una pequeña porción de la luz es dispersada inelásticamente experimentando ligeros cambios de frecuencia que son característicos del material analizado e independientes de la frecuencia de la luz incidente. Esta técnica de análisis se realiza directamente sobre el material y no es destructiva [41].

Con el objetivo de confirmar la no cristalinidad de la capa de MoS₂, se obtuvo el espectro Raman (Figura 15) bajo la excitación de un láser de 532 nm donde se observa el centro de una banda no bien definida en 325 cm⁻¹. La región de aumento de la intensidad cercana a 325 cm⁻¹ indica la presencia del material MoS₂. Al mismo tiempo, el ancho de la región de mayor intensidad confirma la presencia de una capa amorfa, lo cual es correspondiente con el método de depósito utilizado [49].

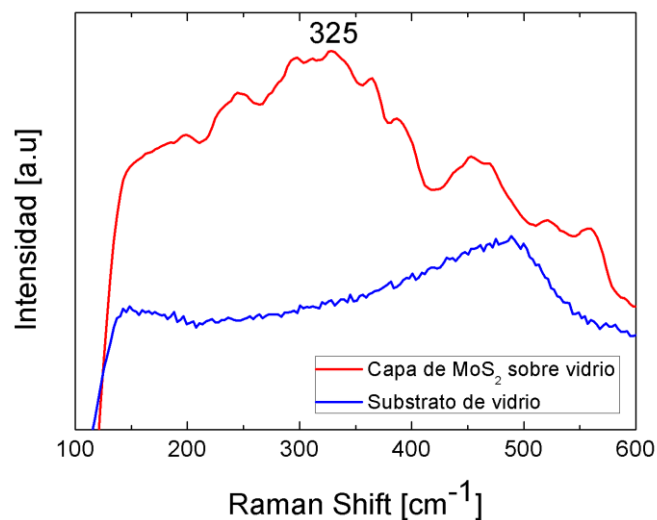


Figura 15. Espectro Raman del MoS₂ con el pico característico en 325 cm⁻¹

Determinación de Espesores

Para medir los espesores de las capas de MoS₂ depositadas, se emplearon otras dos técnicas de caracterización: perfilometría y elipsometría.

Perfilometría

La técnica de perfilometría es una técnica empleada para extraer información topográfica de una superficie. El análisis puede ser puntual, un escaneo lineal o incluso un escaneo completo tridimensional. El propósito de la técnica es obtener la morfología, rugosidad de una superficie y altura de escalones. Hay dos tipos de perfilómetros: de sonda y óptico. Para este trabajo se utilizó un perfilómetro de sonda que utiliza una punta que se mueve a lo largo de la superficie para detectar su altura. Esto se hace mecánicamente con un circuito de retroalimentación que monitorea la fuerza de la muestra que empuja contra la sonda mientras explora la superficie. Se utiliza un sistema de retroalimentación para mantener el brazo con una cantidad específica de torque, conocido como "punto de ajuste". Los cambios de altura del soporte del brazo se pueden utilizar para reconstruir la superficie. Es una técnica lenta debido a que requiere tener contacto directo con la superficie, sin embargo, proporciona alta resolución de la superficie [50]. La muestra preparada para este análisis es una capa del material semiconductor depositada sobre un sustrato de vidrio cubierto en una región con cinta. Esto permite formar un escalón del material depositado entre la región cubierta y la no cubierta por la cinta. El espesor obtenido de la capa fue aproximadamente de ~ 27.3 nm.

Elipsometría

La técnica de elipsometría es una técnica de análisis óptico que se basa en el cambio del estado de polarización de la luz al ser reflejada desde una superficie. Generalmente es utilizada para determinar el espesor de películas delgadas dieléctricas sobre sustratos absorbentes y las constantes ópticas de películas o sustratos, como el índice de refracción n o el coeficiente de extinción k . Si existen múltiples superficies paralelas reflejantes, los haces reflejados interactúan entre sí y generan a la salida de las capas, un mínimo o máximo de amplitud como función de la longitud de onda o el ángulo de incidencia. Debido a que la Elipsometría depende de mediciones angulares, las variables ópticas se pueden determinar con gran precisión, siendo independientes de la intensidad de la luz, reflectancia, y la sensibilidad del detector de amplitud [29]. Para este estudio se preparó una muestra con un sustrato de silicio sobre el que se depositó

la capa de MoS₂ con las mismas condiciones de depósito establecidas para la fabricación de los dispositivos. El espesor obtenido fue de ~25 nm.

Caracterización Eléctrica

Caracterización por el método de C-V

Como ya se señaló, el método de C-V es una técnica muy importante para la caracterización y análisis de estructuras MDS y de dispositivos cuyo funcionamiento está basado en esta estructura [29, 51]. El fundamento teórico de la misma se presentó en el capítulo 2.

A continuación se presenta el estudio de las características C-V de las estructuras MDS fabricadas [29].

En la Figura 16 se muestra una curva C-V de alta frecuencia de una estructura MDS sobre un sustrato semiconductor tipo P con sus tres regiones correspondientes.

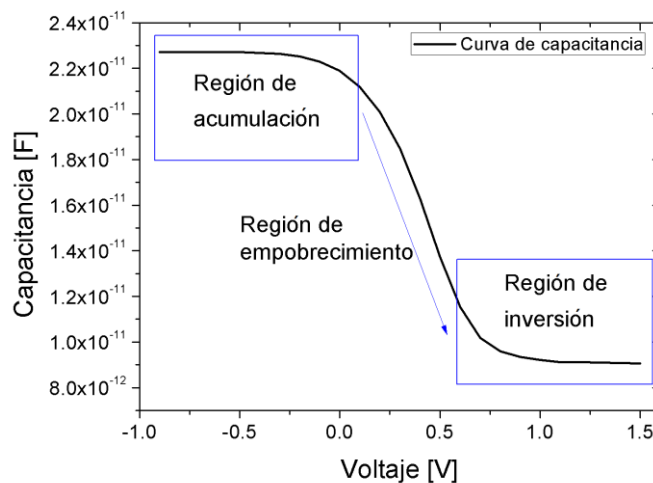


Figura 16. Regiones de una característica C-V de alta frecuencia

El método de medición de una característica C-V, consiste en la aplicación de dos señales al dispositivo, una señal de corriente alterna de pequeña amplitud que permite detectar el cambio de valor de capacitancia para cada voltaje aplicado (capacitancia diferencial) y la señal de polarización que permite medir la capacitancia del dispositivo

a diferentes voltajes de polarización aplicados. El valor de la capacitancia también dependerá de la frecuencia de medición, según se muestra en la Figura 17 [25, 29]. Se observa que las tres curvas son idénticas en la región donde la capa semiconductor está en acumulación (región de acumulación) y en la región donde el semiconductor está empobrecido (región de empobrecimiento). Cuando el semiconductor está en inversión (región de inversión) pueden observarse distintos comportamientos.

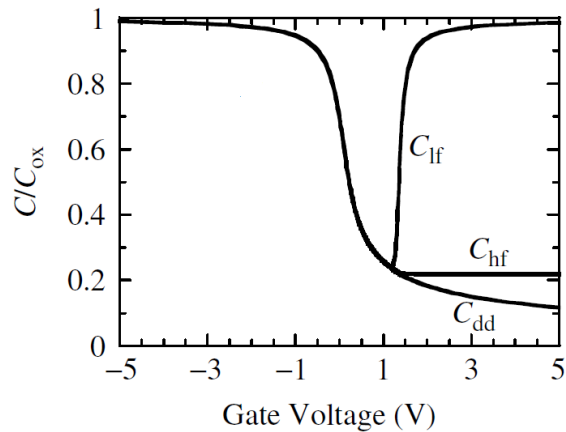


Figura 17. Baja frecuencia (C_{lf}), alta frecuencia (C_{hf}), y empobrecimiento profundo (C_{dd}) en una curva C-V normalizada de una estructura de SiO_2 -Si de un capacitor MOS, C_{ox} es la capacitancia del dieléctrico [29].

Caso 1: Curvas de capacitancia de alta frecuencia

En este caso, la frecuencia de la señal de medición es lo suficientemente alta para que los portadores minoritarios no puedan seguir la variación de dicha señal, pero los portadores mayoritarios sí pueden seguirla. La tasa de variación del barrido de voltaje de polarización debe ser lo suficientemente lenta para que puedan generarse tanto portadores mayoritarios como minoritarios, en el tiempo que transcurre entre la aplicación del voltaje de polarización y entre el que se mide la capacitancia diferencial. En régimen de acumulación, los portadores mayoritarios generados, se localizan junto a la interfaz dieléctrico-semiconductor, compensando el incremento de carga debido al voltaje de polarización aplicado a la estructura y a las variaciones de la señal de medición. La curva es constante e igual a la capacitancia debida solo a la capa dieléctrica, C_{ox} . En la condición de empobrecimiento, la señal de polarización produce

un empobrecimiento de la superficie del semiconductor, la capacitancia disminuye a medida que los portadores mayoritarios se alejan de la interfaz dieléctrico-semiconductor y la región empobrecida aumenta hasta alcanzar su valor máximo, a partir del cual, todo incremento en el voltaje de polarización se compensa por la generación de portadores minoritarios. Sin embargo, si la generación de portadores minoritarios no puede seguir la variación de la señal de medición, la capacitancia medida se mantendrá constante e igual a la capacitancia indicada como C_{hf} en la Figura 17. La variación de carga debida a la señal de medición se compensa con variaciones en el ancho de la zona empobrecida, debida a portadores mayoritarios.

Caso 2: Curva CV de baja frecuencia

En las curvas CV de baja frecuencia, la frecuencia de la señal de medición aplicada a la compuerta es lo suficientemente baja para que, en la condición de inversión, tanto los portadores mayoritarios como los minoritarios puedan seguir sus variaciones. Como se observa en la Figura 17, en una estructura con semiconductor tipo P en la condición de inversión, a medida que el voltaje se incrementa a voltajes positivos, los portadores minoritarios acumulados en la interfaz dieléctrico-semiconductor pueden seguir las variaciones de la señal de medición y la capacitancia que se mide (C_{if}) incrementa, hasta que se alcanza el mismo valor de capacitancia C_{ox} que en la región de acumulación. A partir de determinado voltaje de polarización en inversa, la curva C-V de la estructura MDS se comporta como si fuera un capacitor de placas paralelas.

Caso 3: En las curvas de capacitancia en la región de empobrecimiento profundo, la variación de la señal de polarización es tan rápida que no da tiempo a que se generen los portadores minoritarios necesarios para formar la región de inversión. Sin la existencia de una región de inversión, cada incremento de voltaje produce un aumento en el ancho de la región de carga espacial para compensar el incremento de carga en el electrodo de compuerta, lo que provoca una disminución constante de la capacitancia, indicada como C_{dd} en la Figura 17. Si la polarización externa se sigue amentando, en algún momento, el semiconductor entrará en el régimen de ruptura por efecto del campo eléctrico.

Para obtener un valor aproximado de la concentración de carga (N_B) dentro del semiconductor se puede considerar que el comportamiento de la región de carga espacial es igual al que se observa en la región menos dopada de una unión p-n al ser polarizada en inversa [52]. El análisis se lleva a cabo a partir de la característica dada por el inverso de la capacitancia al cuadrado contra el voltaje, ($\frac{1}{C^2}$ vs V), en donde el primer paso es calcular la pendiente de la región lineal de la característica, como se muestra en la Figura 18.

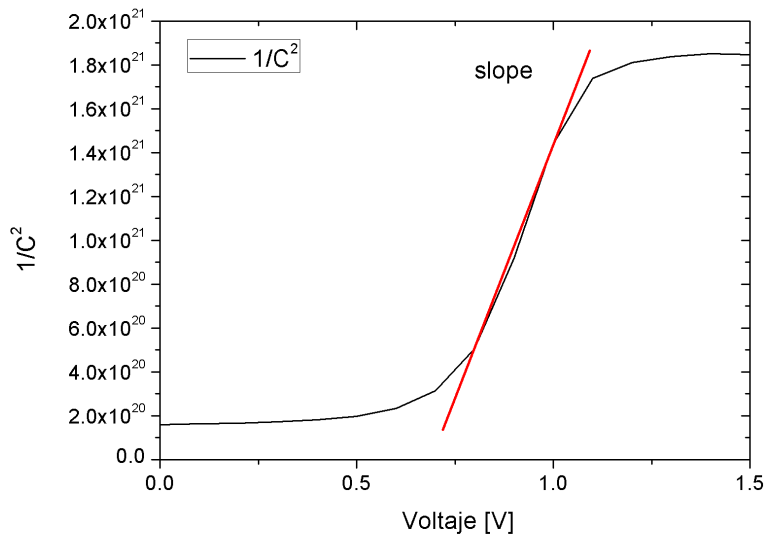


Figura 18. Cálculo de la pendiente para determinar la concentración de carga, N_B

Una vez conocida la pendiente, se puede calcular el valor de N_B [52] mediante la siguiente ecuación:

$$N_B = \frac{\epsilon_0 \cdot q}{\text{slope} \cdot A^2 \cdot k_s} = \frac{1.4 \times 10^{32}}{\text{slope} \cdot A^2 \cdot k_s} \quad (30)$$

En nuestro caso, se obtuvo un valor promedio de $N_B = 3.96 \times 10^{16} \text{ cm}^{-3}$ [55].

Con el valor de N_B , se puede estimar la longitud de Debye con la ecuación (18) haciendo $p_{p0} = N_B$. Así, se obtiene que $L_D = 1 \times 10^{-6} \text{ cm}$. Posteriormente, se puede calcular la capacitancia de banda plana por unidad de área usando la ecuación (26),

de la que se obtiene que $C_{FB} = C_{iFB} \cdot \text{área} = 7.092 \times 10^{-11} \text{ F}$ [25], el cual se indica en la Figura 19. El voltaje de banda plana, V_{FB} , es 0.5 V [49].

En la Figura 19 se muestra la característica C-V de un dispositivo de 300 μm por lado. El primer dato que se puede obtener de las curvas es que el tipo de semiconductor es tipo P debido a que la acumulación de carga positiva (huecos) ocurre cuando a la estructura se le aplican voltajes negativos [25, 29].

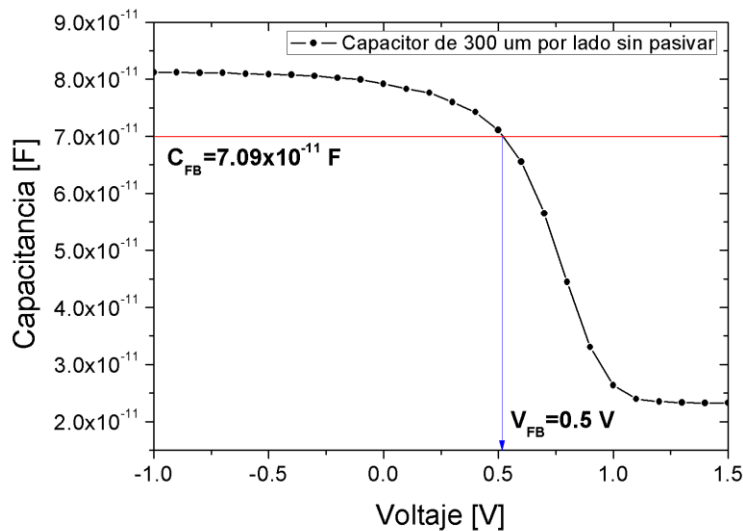


Figura 19. Cálculo del voltaje de banda plana V_{FB}

Este valor de N_B también permite modelar la curva C-V usando las ecuaciones correspondientes a la teoría de las curvas C-V descritas en el capítulo 2. En la Figura 20 se muestra la comparación entre una curva modelada y una medida, para una estructura de 250 μm por lado sin pasivación. Para la curva modelada, el voltaje de banda plana fue $V_{FB} = 0.6 \text{ V}$ [49].

Con el valor obtenido de N_B , también se calculó el valor de la capacitancia mínima (C_{min}), usando las ecuaciones (27) y (28), con las que se obtiene que $C_{min} = 1.6 \times 10^{-11} \text{ F}$, que corresponde al valor de C_{min} de la curva experimental de la Figura 20.

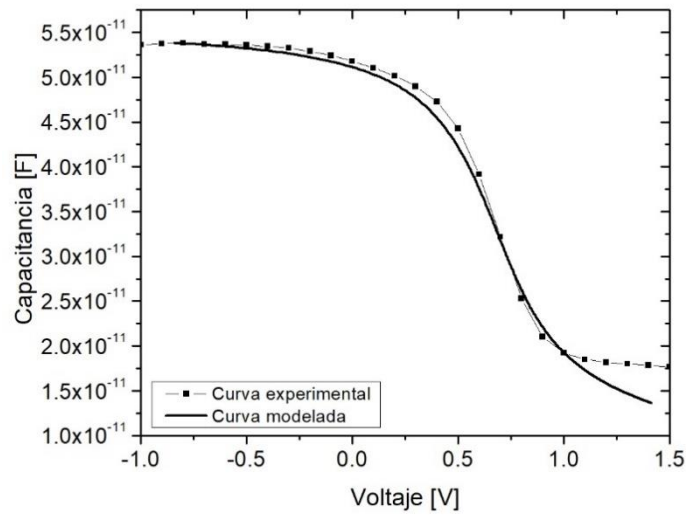


Figura 20. Curva modelada y curva experimental

En la Figura 21 se muestran tres curvas de capacitancia por unidad de área (C_i -V) obtenidas de tres capacitores MDS, uno de 200 μm (sin pasivación) y otro de 250 μm por lado (con pasivación), situados en la muestra FFP1, así como uno de 300 μm (sin pasivación) en la muestra FFP2. Los capacitores tienen las estructuras mostradas en las Figuras 6 y 7. La frecuencia de la señal de medición de corriente alterna aplicada es 1 kHz y el rango de voltaje de polarización de -1 a 1.5 V.

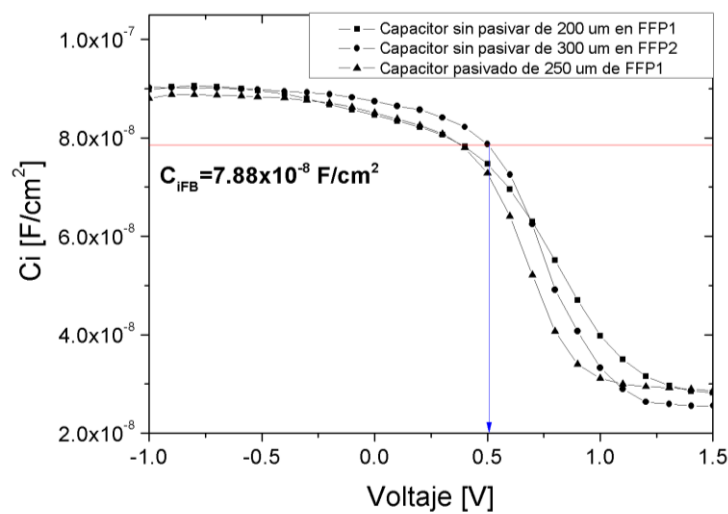


Figura 21. Curva C_i -V de un capacitor pasivados y no pasivados (Figuras 6 y 7).

Se confirma que la capacitancia por unidad de área es la misma. El pequeño corrimiento del voltaje de banda plana indica que hay una ligera variación de carga en la interfaz dieléctrico-semiconductor (Q_{ss}), en dispositivos fabricados en el mismo proceso (FFP1). En estructuras de distintos procesos, (FFP1 y FFP2), las curvas se reproducen bien, lo que indica que el proceso de fabricación tiene cierto grado de reproducibilidad.

Además, se observa que el voltaje de banda plana de los tres dispositivos se encuentra alrededor 0.5 y 0.6 V. Los valores de V_{FB} indican que si se fabricaran transistores con esta estructura, éstos tendrían un voltaje de umbral (V_T) dentro de este intervalo. En las curvas se observa que la capacitancia va de la condición de acumulación a empobrecimiento en un intervalo de voltaje pequeño, alrededor de -1 a 1.5 V, por lo tanto, un TFT fabricado con esta estructura operaría en el mismo intervalo de voltaje [49].

La inestabilidad eléctrica en dispositivos como TFTs generalmente se mide mediante el corrimiento del V_T que se presenta cuando el dispositivo es sometido a un voltaje constante o a una corriente de drenaje (I_D) durante un tiempo determinado [53]. Durante una polarización constante a la compuerta, la carga en la interfaz, Q_{ss} , puede variar, haciendo variar al V_T .

De la característica C-V también se puede determinar el tipo de carga presente en la interfaz dieléctrico-semiconductor (Q_{ss}), cargas que pueden afectar significativamente el desempeño del dispositivo. Existen cuatro tipos generales de cargas asociadas a la interfaz dieléctrico-semiconductor: carga fija en la interfaz, carga móvil en el dieléctrico, dipolos en el dieléctrico y carga atrapada en la interfaz que varía con V_G . Según el tipo de carga presente, durante un estudio de estrés, la curva C-V puede mantenerse en la misma posición si las cargas no varían con V_G ; la curva puede sufrir un corrimiento si las cargas varían con V_G , o deformarse en alguna región si las cargas son móviles [25, 29].

En la Figura 22 se muestran los resultados obtenidos cuando se aplicó una rutina de voltajes de polarización a un dispositivo de 300 μm por lado. La rutina de polarización fue la siguiente: 1) aplicar un voltaje externo de -1 V a 1.5 V, mantenerlo durante 5

minutos y medir la curva. 2) Aplicar un voltaje externo de 1.5 V a -1 V, mantenerlo durante 5 minutos y medir la curva. Esto se realizó dos veces [49]. Se pudo observar un efecto de histéresis, con un corrimiento inicial del V_{FB} de las curvas de alrededor de 0.12 V. A partir de la segunda medición, el corrimiento de V_{FB} se reduce.

Cuando una curva C-V presenta corrimientos paralelos, el comportamiento se puede asociar a la presencia de cargas fijas en el dieléctrico y en la interfaz. El hecho de que exista un corrimiento paralelo a la derecha (hacia voltajes positivos) puede explicarse por la presencia de dipolos en el dieléctrico de alta k , que cambian su orientación con la polarización externa. En la segunda medición, con polarización contraria, se reorientan. En la tercera medición se observa un ligero corrimiento hacia la izquierda que no se puede asociar a una ventana de histéresis, porque en la cuarta medición, la curva no se recorrió, lo que confirma que el V_T ya se saturó. Esto puede explicarse porque los dipolos también alcanzan un estado de saturación en el que todos están mutuamente alineados con el campo eléctrico, es por esto que las curvas ya no presentan corrimientos posteriores [29, 54].

Por último, a este análisis se puede agregar que se descarta la presencia de cargas móviles porque el V_{FB} es estable y porque las curvas no se deformaron [25].

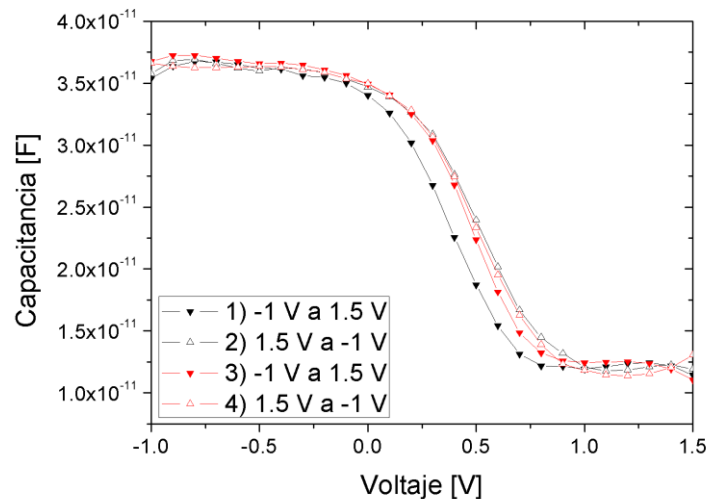


Figura 22. Curvas C-V del estudio de estrés

Para comprender el efecto de la frecuencia de la señal de medición en la curva C-V, se obtuvieron las características mostradas en la Figura 23 de un dispositivo de 200 μm por lado. Se puede observar que, a medida que la que frecuencia de la señal de corriente alterna aumenta, la capacitancia máxima disminuye y la capacitancia mínima aumenta con respecto a la capacitancia máxima. Además, se observa un cambio en la pendiente de la región de inversión, lo que indica una disminución en la concentración de portadores minoritarios. Este comportamiento se observa cuando el proceso de generación/recombinación de los portadores de carga no es lo suficientemente rápido para seguir la variación de la señal y se podría deber a la presencia de una distribución de estados localizados (DOS) situados dentro de la banda prohibida del material semiconductor amorfo. Este comportamiento también depende de la sección transversal de captura de la DOS [49]. El hecho de que la capacitancia máxima disminuya no significa que la región de acumulación no esté presente, que no se aprecie en la curva se debe a que la variación con la señal de ac no puede ser detectada por el método de medición [39, 51].

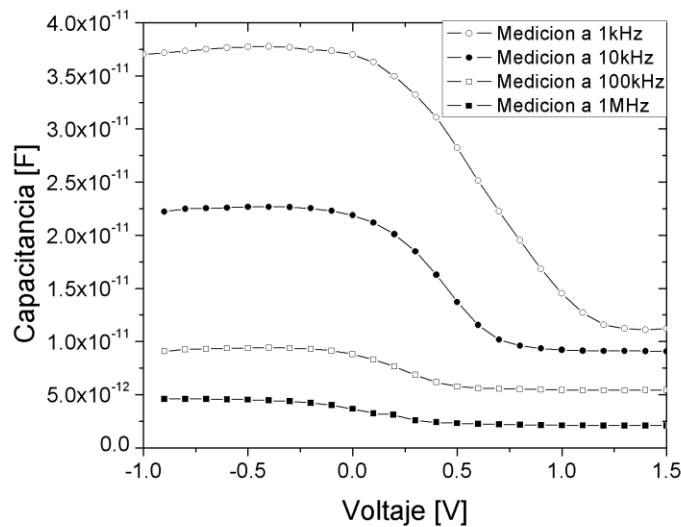


Figura 23. Curvas C-V obtenidas con señales de ac de distintas frecuencias

Cálculo de la constante dieléctrica del HfO₂

Para estudiar la capa de HfO₂ se utilizaron capacitores MIM y MIS situados tanto en la misma muestra, como en muestras diferentes. Se estimó el valor de la constante dieléctrica k_i de la capa a partir de la curva C_i -V obtenida con la señal de medición de ac a 1 kHz, y utilizando la ecuación (24) de la forma:

$$k_i = \frac{C_{imax}X_i}{\epsilon_0} \quad (31)$$

Donde C_{imax} es el valor máximo de la capacitancia por unidad de área.

Considerando un valor promedio de los valores de capacitancia máxima por unidad de área obtenidos de varios capacitores, $C_{imax} = 11.5 \times 10^{-8} F/cm^2$, y un $X_i = 145 \times 10^{-7} cm$, la k_i calculada es aproximadamente 18.66, muy cercano al valor esperado de $k_i = 19$ [49].

Medición de la resistividad de las capas y la resistencia de contacto

La resistividad de las capas de MoS₂ y de Mo se obtuvo usando el método de TLM (Transfer Length Method) y el método de 4 puntas. Para las mediciones por TLM, se diseñó y fabricó una estructura con 6 tiras idénticas de Mo de 260 nm de espesor que fueron definidas mediante un proceso de fotolitografía sobre una capa de MoS₂ de 27 nm de espesor. La separación entre los contactos es $w_{12} = 20 \mu m$, $w_{23} = 40 \mu m$, $w_{34} = 80 \mu m$, $w_{45} = 160 \mu m$, $w_{56} = 320 \mu m$, el ancho de las tiras es $w_1 = 400 \mu m$ y el largo es $L = 40 \mu m$. La estructura MS fabricada tiene la estructura de la Figura 8 cuya topología corresponde a la de la Figura 24 y se encuentra en las muestras T1, FFP1 y FFP2.

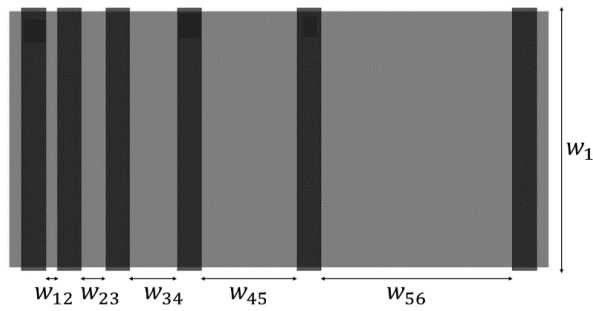


Figura 24. Topología de la estructura MS en la Figura 8

La estructura real fabricada se muestra en la Figura 25.

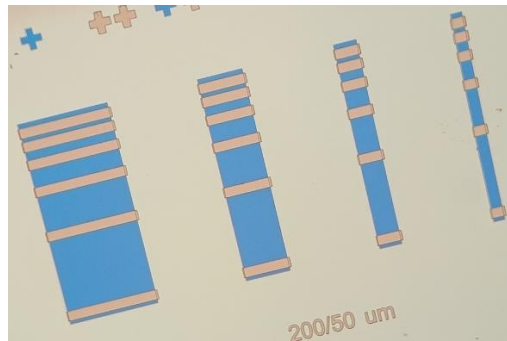


Figura 25. Estructuras MS fabricadas, la región azul es el MoS₂ y la amarilla el Mo

En el capítulo 2 se mencionó que existen varias formas de disminuir la resistencia de los contactos metal-semiconductor y una de las más usadas es la aplicación de tratamientos térmicos. A partir de una curva I-V se puede estudiar el efecto que tiene la aplicación de un tratamiento térmico (TT) en una atmósfera de gas inerte en la resistividad de la capa semiconductor y en la resistencia del contacto metal-semiconductor.

Para las tres muestras, T1, FFP1 y FFP2, se midió la curva I-V entre pares de tiras de Mo situados a diferentes distancias de acuerdo con el método que se describe a continuación.

Se utilizaron tiras separadas a distancias w_{ab} y w_{ac} , conectadas con un contacto a en común. Las mediciones I-V de la muestra T1 se extrajeron antes y después de cada tratamiento térmico, uno a 200°C y otro a 300°C, ambos por 30 minutos en una

atmósfera de argón. Para el caso de FFP1 y FFP2, solo se extrajeron las curvas I-V con un tratamiento térmico a 300 °C.

Método TLM

El método TLM (Transfer Length Method) consiste en la definición de un rectángulo de una película semiconductor homogénea sobre la cual se definen contactos metálicos idénticos de igual dimensión, alineados y separados por una distancia w_{ab} . El estudio consiste en la extracción de las curvas I-V entre pares de contactos, donde cada longitud de separación tiene asociada una resistencia y con estas curvas se pueden extraer parámetros como la resistencia del semiconductor (R_{sc}) y la resistencia del contacto metal-semiconductor (R_c) [29, 30]. Para realizar esta caracterización, a la estructura se le puede inyectar una corriente y medir un voltaje, o viceversa. La teoría del método de caracterización se explica a partir de la Figura 26a). Las regiones rellenas representan los contactos metálicos y la región blanca representa la capa semiconductor. La corriente que se inyecta a la estructura va del metal al semiconductor y del semiconductor al metal. En cada transición de material a material, la corriente se encuentra con una resistencia de contacto (R_c) presente en la interfaz metal-semiconductor. Cuando la corriente sale de un contacto metálico para ir al siguiente, esta atraviesa la capa semiconductor con una resistencia que tiene asociada la distancia w_{ab} que los separa, $R_{sc}(w_{ab})$. Este comportamiento en la estructura ocurre cuando la resistencia de contacto es baja y cuando los valores de resistividad de las capas metálica y semiconductor son comparables en magnitud. Sin embargo, en las estructuras que se fabricaron en este trabajo no ocurre, debido a que el valor de la resistividad del metal es despreciable respecto a la del semiconductor, además la resistencia de contacto es muy alta. En este caso, la corriente inyectada va de un contacto metálico a otro, como se muestra en 26b). En 26c) se representa el circuito equivalente de la estructura del que se derivan las ecuaciones que permiten utilizar el método de caracterización.

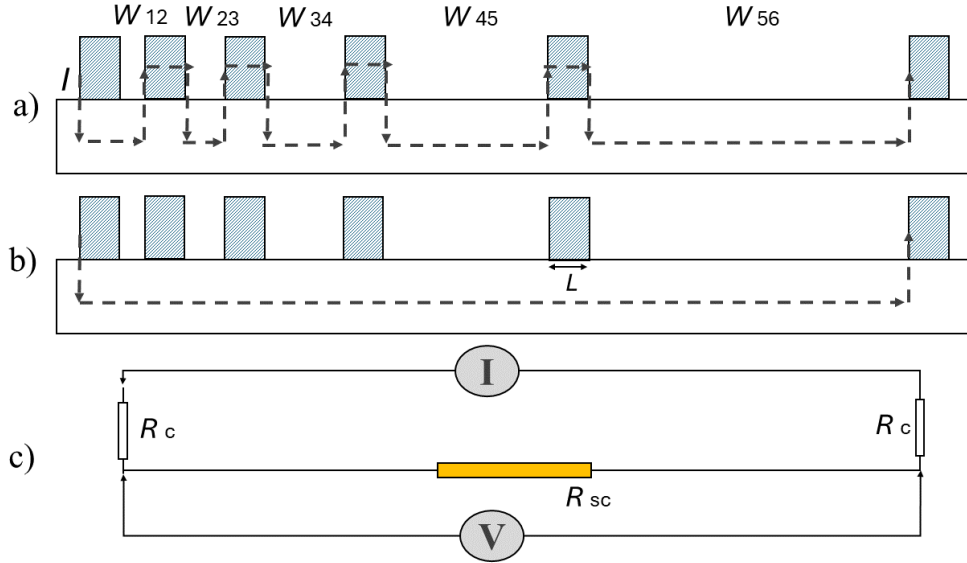


Figura 26: El método de TLM, a) trayectoria de la corriente entre el primer y último contacto en una estructura MS para TLM, b) flujo de corriente a través del patrón TLM utilizado este trabajo, c) circuito equivalente de la estructura de b).

La resistencia R_T entre dos contactos consecutivos es función de la separación entre ellos, y está dada por:

$$R_{ij}(w_{ij}) = 2R_C + R_{sh} \frac{w_{ij}}{w_1}, \quad (32)$$

donde w_1 es el ancho de los contactos metálicos, w_{ij} es la separación entre los contactos, y R_{sh} es la resistencia de hoja de la capa semiconductor. De la ecuación (32), se puede calcular la resistencia de la capa semiconductor, R_{sc} , definida como la resistencia de hoja en Ω/\square , y se expresa como:

$$R_{sc} = R_{sh} \frac{w_{ij}}{w_1} \quad (33)$$

Considerando nuestro caso, en el que la resistividad de la capa semiconductor es mucho mayor respecto a la del metal de los contactos y que la resistencia de contacto entre el metal y el semiconductor no es despreciable, la resistencia total se puede

calcular a partir de mediciones de pares de contactos no consecutivos, por lo que (33) se puede expresar como:

$$R_T = 2R_C + R_{SC}, \quad (34)$$

donde R_T se calcula como el inverso de la pendiente de la curva I-V medida.

En este caso, se puede calcular R_{SC} con un par de mediciones R_{ab} y R_{ac} que tengan un contacto a en común. A partir de (32) se obtiene una expresión que relaciona a las dos mediciones:

$$R_{SC} = \frac{R_{ac} - R_{ab}}{\left(\frac{W_{ac}}{W_{ab}} - 1\right)}. \quad (35)$$

Conociendo el valor de R_{SC} , se puede calcular la resistividad del semiconductor ρ_{SC} , mediante la ecuación:

$$R_{SC} = \rho_{SC} \left(\frac{W_{ab}}{A}\right), \quad (36)$$

donde A es el área transversal a través de la capa semiconductor y w_{ab} es la distancia de separación de los contactos.

Una vez conocido el valor de R_{SC} , se puede calcular el valor de la resistencia de contacto como:

$$R_C = \frac{R_{ac} - R_{SC}}{2}. \quad (37)$$

En la Tabla 3 se recopilan los resultados obtenidos. Se puede observar, que a medida que la muestra se somete a un tratamiento térmico, los valores de resistencia de contacto y resistividad de la capa van disminuyendo, con el tratamiento térmico de 300°C los valores disminuyen hasta en dos órdenes de magnitud. De los resultados se puede observar que el tratamiento térmico afecta la resistividad de la capa

semiconductora, pues del tratamiento de 200°C al de 300°C se observa una disminución en la resistividad hasta dos órdenes de magnitud. Este valor de resistividad de la capa de MoS₂ es similar al reportado en [21]. En la tabla también se observa una disminución en la resistencia de contacto de un orden de magnitud.

Tabla 3. Cálculos de R_{sc} , ρ_{sc} y R_c en T1, FFP1 y FFP2 obtenidos por TLM

Muestra	T1			FFP1	FFP2
	-	200°C	300°C	300°C	300°C
Resistencia	[Ω]				
$R_{sc}(w_{12},w_{16})$	9.69×10^{10}	2.47×10^{10}	9.68×10^8	-	-
$R_{sc}(w_{23},w_{26})$	1.74×10^{11}	5.78×10^{10}	1.96×10^9	6.8×10^7	8.51×10^8
$R_c(w_{12},w_{16})$	8.59×10^{10}	3.84×10^{11}	6.16×10^9	-	-
$R_c(w_{23},w_{26})$	4.48×10^{11}	2.52×10^{11}	3.39×10^9	1.33×10^8	1.41×10^9
$R_{TC}(w_{12},w_{16})$	2.69×10^{11}	7.92×10^{11}	1.33×10^{10}	-	-
$R_{TC}(w_{23},w_{26})$	1.07×10^{12}	5.61×10^{11}	8.73×10^9	3.35×10^8	3.68×10^9
$R_{TM}(w_{12},w_{16})$	2.69×10^{11}	7.92×10^{11}	1.33×10^{10}	-	-
$R_{TM}(w_{23},w_{26})$	1.07×10^{12}	5.61×10^{11}	8.73×10^9	3.35×10^8	3.68×10^9
Resistividad	[$\Omega - cm$]				
$\rho_{sh}(w_{12},w_{16})$	8.72×10^6	2.22×10^6	8.71×10^4	-	-
$\rho_{sh}(w_{23},w_{26})$	7.84×10^6	2.60×10^6	8.81×10^4	3.7×10^3	4.6×10^4

En la Tabla 3, R_{TC} es la resistencia total calculada y R_{TM} es la resistencia total medida. Con los valores presentados, se comprueba la validez de las ecuaciones planteadas debido a su similitud.

La resistividad de la capa de molibdeno se midió por el método de cuatro puntas usando una capa de 250 nm de espesor depositada sobre un sustrato de vidrio bajo las mismas condiciones de depósito usadas en un proceso de fabricación completo. De esta medición se obtuvo que la resistividad de la capa de molibdeno es $\rho = 4 \times 10^{-2} \Omega - cm$ [49].

En la Figura 27 se muestran las curvas I-V obtenidas del patrón de TLM de la muestra T1. En general, se observa que el comportamiento de las curvas es lineal, solo una dependencia, $I_{w_{12}}$, se desvía de este comportamiento, por lo que se confirma la

presencia de contactos óhmicos. Sin embargo, a pesar de la mejora con el tratamiento térmico, la resistencia de contacto sigue siendo muy alta para un dispositivo FET, por lo que es evidente que se debe trabajar en reducir este valor. Para esto, una alternativa podría ser el uso de una capa fina de grafeno entre el semiconductor y el metal, como se propone en la referencia [49].

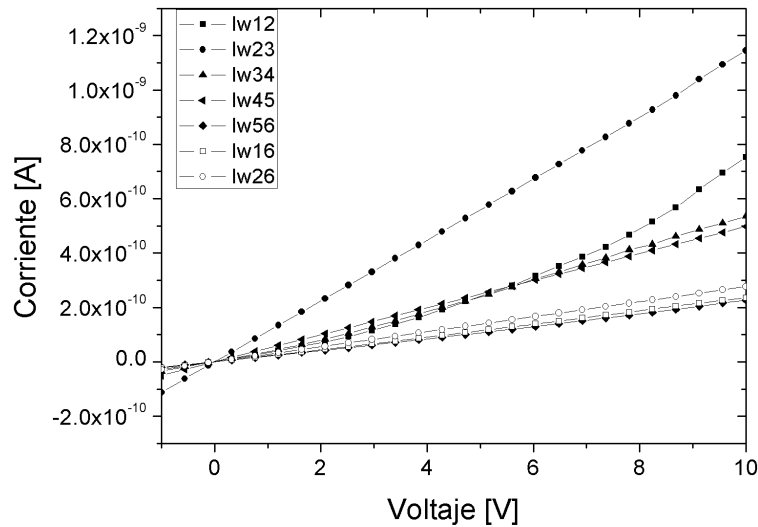


Figura 27. Curvas I-V con tratamiento térmico de 300°C extraídas de la muestra T1

Estudio de la calidad del dieléctrico

Se estudió la calidad del dieléctrico por medio de una característica I-V de una estructura MIM, la Figura 28 muestra la corriente de fuga por unidad de área a través de la capa dieléctrica de estructuras MIS y MIM ($\text{Mo}/\text{HfO}_2/\text{MoS}_2/\text{Mo}$) de $200 \mu\text{m}$ y $300 \mu\text{m}$ por lado, situados en las muestras FFP1 y FFP2, ambas fueron sometidas a un tratamiento térmico de 300°C durante 30 minutos. Se observa que para ambas estructuras MIM y MIS, la densidad de corriente está por debajo de $J \approx 5 \times 10^{-8} \text{A}/\text{cm}^2$ dentro del rango de voltaje de -0.5 a 1.5 V, que es el voltaje de operación de los dispositivos.

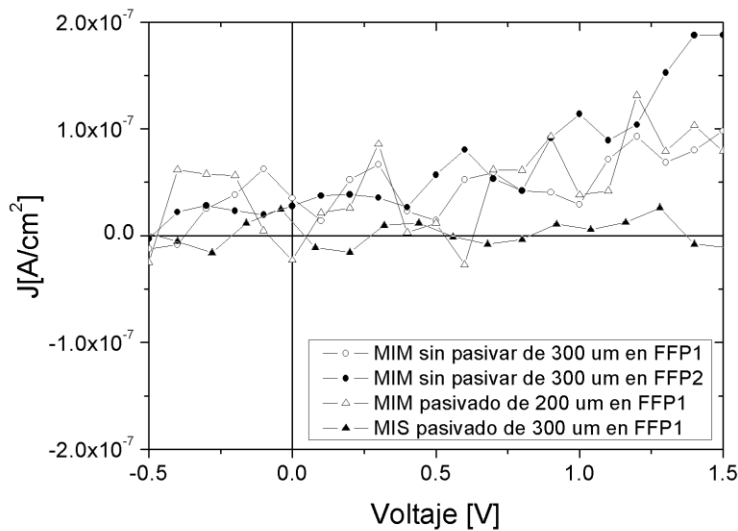


Figura 28. Corriente de fuga a través de estructuras MIM y MIS

Resumen del capítulo 3

Se empleó el método de caracterización SIMS para determinar la presencia de las capas depositadas por el método de RF Sputtering, así como la espectroscopía Raman para definir la estructura atómica de la capa semiconductor. Se observó la presencia de las capas con el espesor esperado.

Los espesores también se midieron por las técnicas de perfilometría y de elipsometría, los que coincidieron dentro del límite de error con los observados por SIMS.

A partir de la medición de curvas C-V se determinó, el tipo de semiconductor y la concentración de portadores, así como el rango de voltaje de operación del dispositivo, el voltaje y capacitancia de banda plana. A partir de las características C-V, también se puede evaluar la calidad del proceso de fabricación y la estabilidad de los dispositivos.

Se utilizaron los métodos de I-V y de TML para determinar resistividad y resistencia de contacto, lo que resulta importante para el uso de estas estructuras en FETs. Se observó una alta resistividad de la capa semiconductor, pero dentro de

valores reportados por otros autores. La resistencia de contacto en el drain y en el source resultó muy alta, resultando uno de los problemas importantes a resolver. Se confirmó la ausencia de un contacto Schottky en la interfaz metal-semiconductor.

Se estudió el efecto del tratamiento térmico en la resistividad de la capa semiconductor y en la resistencia de contacto. Se aplicaron dos tratamientos térmicos, el de 200 °C no provocó una disminución significativa, sin embargo, la aplicación de un tratamiento térmico a 300 °C causó una disminución de un orden de magnitud en ambos valores.

La capa semiconductor muestra un comportamiento tipo P, que puede estar relacionado con los procesos de plasma utilizados durante la fabricación de los dispositivos.

Se obtuvieron características C-V estables con voltaje de banda plana de alrededor de 0.5 V y bajo rango de operación, para dispositivos FET basados en esta estructura MDS.

Los resultados, después de la caracterización de las estructuras MDS fabricadas indican que los FET de 2D tipo P que se pueden obtener usando estas estructuras, tendrán un voltaje umbral de alrededor de 0.5 V, que corresponde al V_{FB} obtenido. Se espera que el rango de voltaje de operación de los dispositivos FET sea de -1 a 1.5 V, como se muestra en las curvas C-V, y no debería observarse histéresis durante estrés por polarización.

Conclusiones generales

Las estructuras MDS y MS propuestas y fabricadas resultaron ser las óptimas para su fabricación, pues fueron las que presentaron la menor cantidad de problemas durante el proceso de fabricación y las que mostraron un mejor desempeño.

Tras haber realizado diversas pruebas de ataque a cada material, se determinó que las técnicas empleadas para cada capa fueron las óptimas.

La secuencia de definición de las capas fue la adecuada, debido a que las capas previamente definidas no sufrieron daños que afectaran de manera significativa el desempeño de los dispositivos.

Las características de la capa de HfO_2 depositada por Sputtering de RF, presentan una constante dieléctrica del orden de 19, con corriente de fuga del orden de pA para espesores del orden de decenas de nm.

La caracterización de las capas de MoS_2 , depositada únicamente por pulverización catódica de RF de un blanco de MoS_2 de pureza mayor de 99.9% permite obtener capas de MoS_2 tipo P, con espesores de una o varias monocapas, para ser utilizadas en FETs de dos dimensiones.

La litografía de la capa de MoS_2 puede ser realizada mediante un ataque seco en plasma de CF_4 , de manera controlable.

El semiconductor MoS_2 parece tener mucho potencial para formar parte de la futura generación de la electrónica, sin embargo, es necesario trabajar en la búsqueda del material que permita mejorar la interacción interfacial de la unión Mo- MoS_2 .

Se puede definir el metal de contacto mediante la técnica de levantamiento para no exponer las capas previamente depositadas y definidas, lo que permite conseguir dispositivos funcionales.

La caracterización de la estructura MDS formada por las capas: Mo/ HfO_2 / MoS_2 /Mo, con todas las capas depositadas por Sputtering RF, y con proceso de litografía utilizando ataque húmedo en H_2O_2 para el molibdeno y ataque seco en CF_4 para el

MoS₂, con un tratamiento térmico final a 300 ° C confirma que puede ser utilizadas para la fabricación de FETs de 2D, que usen dicha estructura y método de fabricación.

La técnica de caracterización de Capacitancia-Voltaje es una herramienta muy completa, pues no solo permite obtener amplia información sobre los materiales contenidos en la estructura y para conocer parámetros del desempeño de los dispositivos, sino también para caracterizar la calidad del proceso de fabricación.

La caracterización de las estructuras MDS fabricadas indican que los FET de 2D tipo P, que se pueden obtener usando estas estructuras, tendrán un voltaje umbral de alrededor de 0.5 V, que corresponde al V_{FB} obtenido. Se espera que el rango de voltaje de operación de los dispositivos FET sea de -1 a 1.5 V, como se muestra en las curvas C-V, y no debería observarse una histéresis importante, durante estrés por polarización.

La fabricación de dispositivos semiconductores requiere de técnicas complejas que se deben llevar a cabo con mucha precisión, de manera limpia y controlada para lograr un proceso de fabricación exitoso.

Trabajo a futuro

Trabajar en la disminución de la resistencia de contacto usando capas de materiales entre el MoS₂ y el Mo, por ejemplo, con una fina capa de grafeno entre ellos.

Fabricar dispositivos FET de 2D con la estructura MDS ajustada.

Caracterizar los dispositivos fabricados y determinar sus parámetros fundamentales, como movilidad de efecto de campo V_T y estabilidad. Determinar el mecanismo de transporte que se observe.

Bibliografia

- [1] C. G. Rodrigues, J. E. de Menezes, and M. L. Carneiro, "GLOBAL MARKET OVERVIEW OF SEMICONDUCTOR INDUSTRY: VISÃO GERAL DO MERCADO MUNDIAL DA INDÚSTRIA DE SEMICONDUTORES," *Revista Gestão e Conhecimento*, vol. 16, no. 1, pp. 490-497, 2022.
- [2] T. Wei, Z. Han, X. Zhong, Q. Xiao, T. Liu, and D. Xiang, "Two dimensional semiconducting materials for ultimately scaled transistors," *Iscience*, vol. 25, no. 10, 2022.
- [3] M. Aditya and K. S. Rao, "Design and performance analysis of advanced MOSFET structures," *Transactions on Electrical and Electronic Materials*, vol. 23, no. 3, pp. 219-227, 2022.
- [4] M. Chhowalla, D. Jena, and H. Zhang, "Two-dimensional semiconductors for transistors," *Nature Reviews Materials*, vol. 1, no. 11, pp. 1-15, 2016.
- [5] C. Claeys and E. Simoen, "Challenges for advanced end of the roadmap, beyond Si and beyond CMOS technologies," in *2017 32nd Symposium on Microelectronics Technology and Devices (SBMicro)*, 2017, pp. 1-6: IEEE.
- [6] M. F. Al-Mistarihi, A. Rjoub, and N. R. Al-Taradeh, "Drain induced barrier lowering (DIBL) accurate model for nanoscale Si-MOSFET transistor," in *2013 25th International Conference on Microelectronics (ICM)*, 2013, pp. 1-4: IEEE.
- [7] S. Sharma, W. Aderhold, K. R. Sharma, and A. Mayur, "Thermal processing for continued scaling of semiconductor devices," in *2014 20th International Conference on Ion Implantation Technology (IIT)*, 2014, pp. 1-6: IEEE.
- [8] Q. Zhang, C. Liu, and P. Zhou, "2D materials readiness for the transistor performance breakthrough," *Iscience*, 2023.
- [9] K. S. Novoselov *et al.*, "Electric field effect in atomically thin carbon films," *science*, vol. 306, no. 5696, pp. 666-669, 2004.
- [10] B. Radisavljevic, A. Radenovic, J. Brivio, V. Giacometti, and A. Kis, "Single-layer MoS₂ transistors," *Nature nanotechnology*, vol. 6, no. 3, pp. 147-150, 2011.
- [11] H. Huang, X. Fan, D. J. Singh, and W. Zheng, "Recent progress of TMD nanomaterials: phase transitions and applications," *Nanoscale*, vol. 12, no. 3, pp. 1247-1268, 2020.
- [12] M. Habib *et al.*, "WX₂ (X= S, Se) single crystals: a highly stable material for supercapacitor applications," *Electrochimica Acta*, vol. 258, pp. 71-79, 2017.
- [13] J. Li *et al.*, "Flower-like MoSe₂/C Composite with Expanded (0 0 2) Planes of Few-layer MoSe₂ as the Anode for High-Performance Sodium-Ion Batteries," *Chemistry–A European Journal*, vol. 23, no. 56, pp. 14004-14010, 2017.
- [14] W. Choi, N. Choudhary, G. H. Han, J. Park, D. Akinwande, and Y. H. Lee, "Recent development of two-dimensional transition metal dichalcogenides and their applications," *Materials Today*, vol. 20, no. 3, pp. 116-130, 2017.

- [15] J. Tao *et al.*, "Growth of wafer-scale MoS₂ monolayer by magnetron sputtering," *Nanoscale*, vol. 7, no. 6, pp. 2497-2503, 2015.
- [16] K. Kim, J.-Y. Choi, T. Kim, S.-H. Cho, and H.-J. Chung, "A role for graphene in silicon-based semiconductor devices," *Nature*, vol. 479, no. 7373, pp. 338-344, 2011.
- [17] R. Cheng *et al.*, "Few-layer molybdenum disulfide transistors and circuits for high-speed flexible electronics," *Nature communications*, vol. 5, no. 1, p. 5143, 2014.
- [18] S.-H. Bae *et al.*, "Integration of bulk materials with two-dimensional materials for physical coupling and applications," *Nature materials*, vol. 18, no. 6, pp. 550-560, 2019.
- [19] R. Lv *et al.*, "Transition metal dichalcogenides and beyond: synthesis, properties, and applications of single- and few-layer nanosheets," *Accounts of chemical research*, vol. 48, no. 1, pp. 56-64, 2015.
- [20] K. Haynes *et al.*, "Modulating the resistivity of MoS₂ through low energy phosphorus plasma implantation," *Applied Physics Letters*, vol. 110, no. 26, 2017.
- [21] D. Gupta, V. Chauhan, and R. Kumar, "Sputter deposition of 2D MoS₂ thin films-A critical review from a surface and structural perspective," *Inorganic Chemistry Communications*, vol. 144, p. 109848, 2022.
- [22] Z. Yang, J. Hao, and S. P. Lau, "Synthesis, properties, and applications of 2D amorphous inorganic materials," *Journal of applied physics*, vol. 127, no. 22, 2020.
- [23] Z. Li, J.-P. Xu, L. Liu, and X.-Y. Zhao, "Enhanced mobility of MoS₂ field-effect transistors by combining defect passivation with dielectric-screening effect," *Chinese Physics B*, vol. 30, no. 1, p. 018102, 2021.
- [24] Y.-H. Kim and J. C. Lee, "Reliability characteristics of high-k dielectrics," *Microelectronics Reliability*, vol. 44, no. 2, pp. 183-193, 2004.
- [25] M. Estrada and A. Escobosa, *Tecnología de fabricación de microcircuitos: aspectos básicos: tecnología de microcircuitos*. Editorial Académica Española, 2012.
- [26] G. D. Wilk, R. M. Wallace, and J. Anthony, "High- κ gate dielectrics: Current status and materials properties considerations," *Journal of applied physics*, vol. 89, no. 10, pp. 5243-5275, 2001.
- [27] H. A. Hsain *et al.*, "Many routes to ferroelectric HfO₂: A review of current deposition methods," *Journal of Vacuum Science & Technology A*, vol. 40, no. 1, 2022.
- [28] H. Yang, S. Cai, Y. Zhang, D. Wu, and X. Fang, "Enhanced electrical properties of lithography-free fabricated MoS₂ field effect transistors with chromium contacts," *The Journal of Physical Chemistry Letters*, vol. 12, no. 11, pp. 2705-2711, 2021.
- [29] D. K. Schroder, *Semiconductor material and device characterization*. John Wiley & Sons, 2015.

- [30] J. Mimila-Arroyo and M. Herrera-Bernal, "Extension of Shockley's transmission line method (TLM) to characterize ohmic contacts," *Semiconductor Science and Technology*, vol. 32, no. 5, p. 055001, 2017.
- [31] L. Zhang, H. Xing, M. Yang, Q. Dong, H. Li, and S. Liu, "Advances in atomic layer deposited high- κ inorganic materials for gate dielectrics engineering of two-dimensional MoS₂ field effect transistors," *Carbon Letters*, vol. 32, no. 5, pp. 1247-1264, 2022.
- [32] J. Jiang *et al.*, "Construction of high field-effect mobility multilayer MoS₂ field-effect transistors with excellent stability through interface engineering," *ACS Applied Electronic Materials*, vol. 2, no. 7, pp. 2132-2140, 2020.
- [33] A. Sebastian, R. Pendurthi, T. H. Choudhury, J. M. Redwing, and S. Das, "Benchmarking monolayer MoS₂ and WS₂ field-effect transistors," *Nature communications*, vol. 12, no. 1, p. 693, 2021.
- [34] Y. Y. Illarionov, K. K. Smithe, M. Waltl, T. Knobloch, E. Pop, and T. Grasser, "Improved hysteresis and reliability of MoS₂ transistors with high-quality CVD growth and Al₂O₃ encapsulation," *IEEE Electron Device Letters*, vol. 38, no. 12, pp. 1763-1766, 2017.
- [35] H. Samassekou *et al.*, "Viable route towards large-area 2D MoS₂ using magnetron sputtering," *2D Materials*, vol. 4, no. 2, p. 021002, 2017.
- [36] H. Fang, S. Chuang, T. C. Chang, K. Takei, T. Takahashi, and A. Javey, "High-performance single layered WSe₂ p-FETs with chemically doped contacts," *Nano letters*, vol. 12, no. 7, pp. 3788-3792, 2012.
- [37] B. Liu *et al.*, "High-Performance Contact-Doped WSe₂ Transistors Using TaSe₂ Electrodes," *ACS Applied Materials & Interfaces*, 2024.
- [38] Y. Zhao, Y. Li, and F. Ma, "Performance Upper Limit of Sub-10 nm Monolayer MoS₂ Transistors with MoS₂-Mo Electrodes," *The Journal of Physical Chemistry C*, vol. 126, no. 29, pp. 12100-12112, 2022.
- [39] I. Hernandez, M. Estrada, I. Garduno, J. Tinoco, and A. Cerdeira, "Characterization of HfO₂ on Hafnium-Indium-Zinc Oxide HIZO layer metal-insulator-semiconductor structures deposited by RF sputtering," in *2015 30th Symposium on Microelectronics Technology and Devices (SBMicro)*, 2015, pp. 1-3: IEEE.
- [40] W. Kern, "Handbook of semiconductor wafer cleaning technology," *New Jersey: Noyes Publication*, pp. 111-196, 1993.
- [41] K. K. Schuegraf, "Handbook of thin-film deposition processes and techniques: principles, methods, equipment, and applications," (*No Title*), 1988.
- [42] B. S. Yilbas, A. Al-Sharafi, and H. Ali, *Self-cleaning of surfaces and water droplet mobility*. Elsevier, 2019.
- [43] C. Acikgoz, M. A. Hempenius, J. Huskens, and G. J. Vancso, "Polymers in conventional and alternative lithography for the fabrication of nanostructures," *European Polymer Journal*, vol. 47, no. 11, pp. 2033-2052, 2011.

- [44] M. Zhao *et al.*, "Wet-etch method for patterning metal electrodes directly on amorphous oxide semiconductor films," *ECS Solid State Letters*, vol. 1, no. 5, p. P82, 2012.
- [45] J. Tai and E. C. Sputtering, "Wet Etching of Molybdenum Films; 2005," *Princeton University*, 2005.
- [46] R. J. Shul and S. J. Pearton, *Handbook of advanced plasma processing techniques*. Springer Science & Business Media, 2011.
- [47] F. Karouta, "A practical approach to reactive ion etching," *Journal of Physics D: Applied Physics*, vol. 47, no. 23, p. 233501, 2014.
- [48] J. Golden, H. Miller, D. Nawrocki, and J. Ross, "Optimization of bi-layer lift-off resist process," *CS Mantech Technical Digest*, 2009.
- [49] A. A. García-Soriano, I. S. Hernández-Luna, M. Estrada, Y. Kudriavtsev, and A. Cerdeira, "Physical And Electrical Characterization of MoS₂ Layers Deposited by RF Magnetron Sputtering for 2D FETs," in *2024 IEEE Latin American Electron Devices Conference (LAEDC)*, 2024, pp. 1-4: IEEE.
- [50] N. Instruments. *Profilometry*. Available: <https://www.nanoscience.com/techniques/profilometry/>
- [51] M. Estrada *et al.*, "Effect of the capture cross section of bulk traps in amorphous materials on the frequency dependence of the Capacitance-Voltage characteristic of MIS structures," in *2015 IEEE International Autumn Meeting on Power, Electronics and Computing (ROPEC)*, 2015, pp. 1-3: IEEE.
- [52] A. S. Grove, "Physics and technology of semiconductor devices," (*No Title*), 1967.
- [53] D. Gupta, S. Yoo, C. Lee, and Y. Hong, "Electrical-stress-induced threshold voltage instability in solution-processed ZnO thin-film transistors: An experimental and simulation study," *IEEE transactions on electron devices*, vol. 58, no. 7, pp. 1995-2002, 2011.
- [54] W. D. Callister, "Materials science and engineering an introduction Callister," (*No Title*).