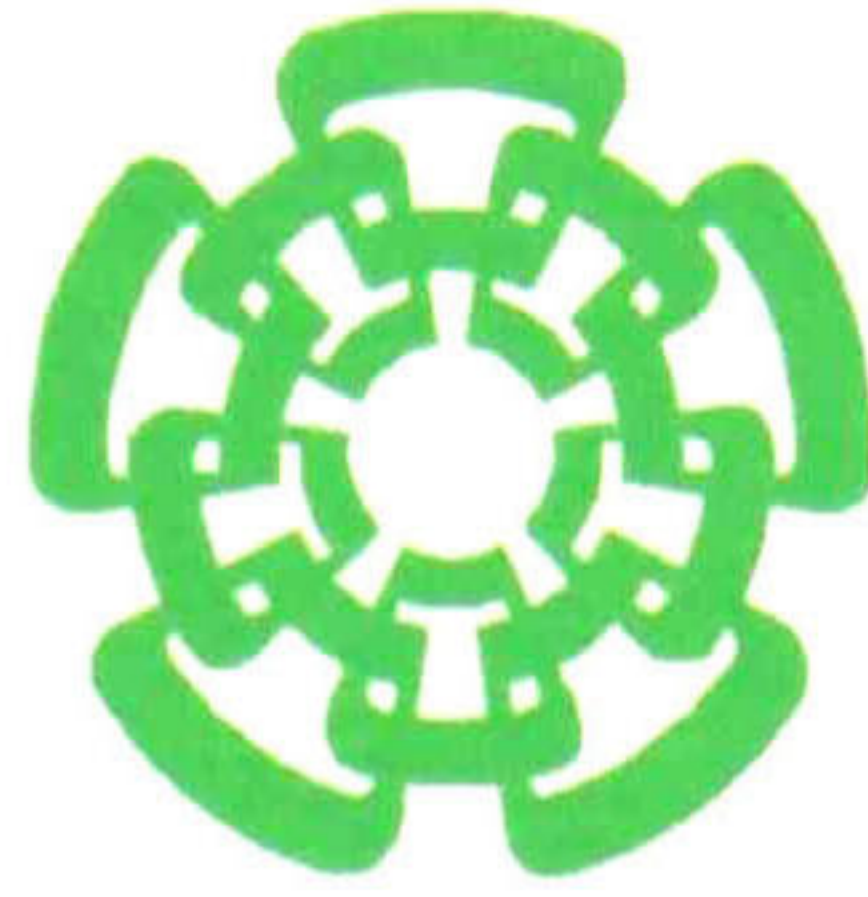


XX(80125,1)



**CENTRO DE INVESTIGACION Y DE ESTUDIOS AVANZADOS DEL IPN
DEPARTAMENTO DE INGENIERIA ELECTRICA
SECCION DE ELECTRONICA DEL ESTADO SOLIDO
CINVESTAV I.P.N.
SECCION DE INFORMACION
Y DOCUMENTACION**

**TESIS PARA OBTENER EL GRADO DE
MAESTRO EN CIENCIAS EN LA ESPECIALIDAD DE INGENIERIA
ELECTRICA**

DEL

Ing. Felipe Santiago Lomelí Jacobo

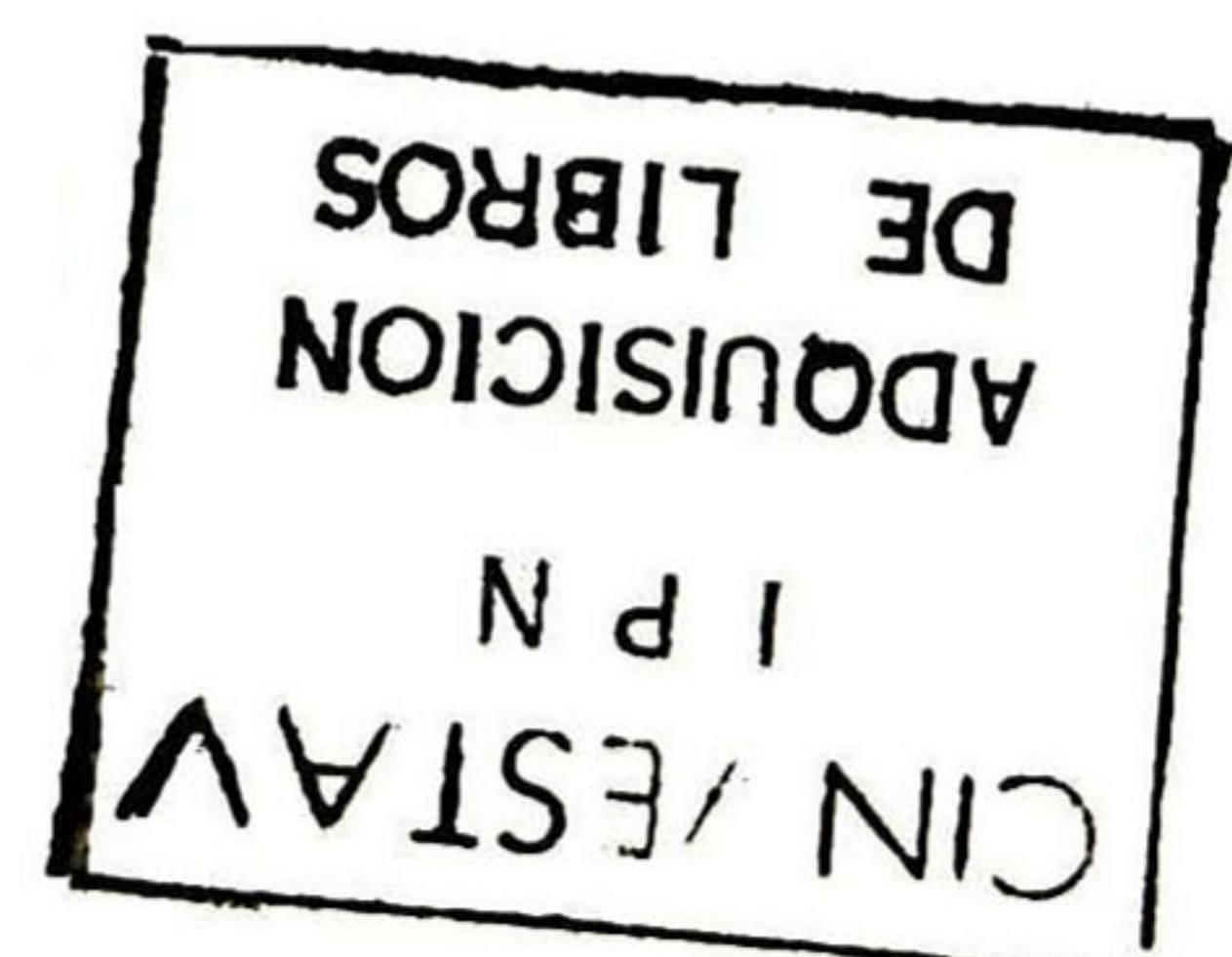
TEMA:

**El transistor MOS de potencia:
características, modelo y simulación.**

ASESOR:

Dr. Antonio Cerdeira Altuzarra

**Guadalajara, México
Mayo del 2000**



CLASIF.:	
ADQUIS.:	TRISIS 002
FECHA:	12-011-00
PROCED.:	SONO 541102106105
	6

SONO 541102106105

Agradecimientos:

Al término de este trabajo que representa el esfuerzo y dedicación de varios años de mi vida, quiero expresar mi más profundo agradecimiento al Señor, por permitirme ser y llegar a este momento para ver realizada una meta más en mi vida. A mis Padres a quienes debo mi existencia, formación y apoyo incondicional hasta el último momento. A mi Esposa e Hijos, con quienes siempre he tenido un apoyo, ánimo y comprensión hasta los momentos y obstáculos más difíciles de mi carrera. A mi Hermano, con quien siempre tengo un apoyo incondicional y sincero. A mis amigos y compañeros por su apoyo y ánimo que de alguna u otra forma han contribuido directa o indirectamente a la realización de este trabajo y su aliento día a día. A mis maestros, a quienes gracias a su gran noble labor y paciencia nos permiten obtener conocimiento y desarrollo, en especial al Dr. Antonio Cerdeira por su apoyo y ayuda. A la planta de GDL por el apoyo otorgado para la realización de este programa especial dentro de la misma.

A todos ellos quiero hacerlos partícipes de este logro y agradecerles por su contribución y apoyo para la realización de esta meta.

Sinceramente:



Felipe Santiago Lomeli Jacobo.

INDICE

Introducción	iii
Capítulo 1. La simulación circuital de los TMOS	1.1
Historia	1.1
El TMOS, pilar del desarrollo de la microelectrónica	1.3
Dispositivos con estructuras MOS	1.4
Simulación y extracción de parámetros	1.4
Relevancia del TMOS en ON Semiconductor/Motorola Guadalajara	1.6
Conclusiones	1.7
Objetivos de la presente Tesis	1.7
Capítulo 2. Modelo del TMOS de potencia	2.1
Antecedentes	2.1
Selección del nivel del modelo	2.2
El modelo del TMOS de potencia (macromodelo)	2.3
Los parámetros del macromodelo del TMOS de potencia	2.9
Los parámetros de DC del TMOS de potencia	2.11
Las capacitancias del macromodelo del TMOS de potencia	2.12
Conclusiones	2.15
Capítulo 3. Metodología para la extracción de parámetros del TMOS de potencia	3.1
Extracción de los parámetros del modelo del TMOS de potencia	3.1
Extracción de los parámetros de DC del macromodelo	3.2
Parámetros de DC del TMOS-núcleo	3.3
Extracción de VTO y KP	3.3
Parámetro RD	3.5
Parámetros de DC del diodo del cuerpo (“body diode”)	3.6
Extracción de los parámetros de las capacitancias del modelo	3.8
Parámetro de capacitancia CGS	3.9
Parámetro de capacitancia CGD	3.10
Parámetros de capacitancia para D_{MIN}	3.11
Parámetro de capacitancia para D_{MAX}	3.11

Parámetros de capacitancia para el diodo del cuerpo	3.11
Elementos parásitos	3.12
Conclusiones	3.12
Capítulo 4. Resultados de la extracción de parámetros del TMOS de potencia	4.1
Selección del TMOS de potencia a caracterizar	4.1
Extracción de los parámetros de DC del macromodelo	4.2
Parámetros de DC del TMOS	4.2
Parámetro RD	4.5
Parámetros de DC del diodo del cuerpo (“body diode”)	4.7
Extracción de los parámetros de las capacitivos del modelo	4.11
Curvas C-V del TMOS: Ciss, Coss y Crss	4.11
Característica de la carga de compuerta	4.13
Parámetro de capacitancia CGS	4.15
Parámetro de capacitancia CGD	4.15
Parámetros de capacitancia para D_{MIN}	4.15
Parámetro de capacitancia para D_{MAX}	4.15
Parámetros de capacitancia para el diodo del cuerpo	4.16
Elementos parásitos	4.18
Resumen de los parámetros obtenidos para el macromodelo del TMOS de potencia MTP3N100E con envase tipo TO-220 plástico.	4.19
Comprobación de los resultados	4.20
Características de salida del TMOS	4.20
Características de conmutación del dispositivo MTP3N100E	4.24
Programa de PSPICE para el dispositivo MTP3N100E	4.26
Conclusiones	4.28
Conclusiones generales	5.1
Anexo 1	6.1
Anexo 2	7.1
Anexo 3	8.1
Anexo 4	9.1

INTRODUCCION

El presente trabajo de tesis pretende, además de cumplir con el objetivo de reafirmar los conocimientos sobre la física de los semiconductores estudiados durante el curso tomado, contribuir de una manera práctica al conocimiento general sobre los dispositivos que se fabrican en la planta de GDL.

El trabajo está orientado a la modelación del dispositivo TMOS de potencia y a proponer un modelo y una técnica de extracción de parámetros sencilla y fácil de seguir para la simulación del mismo. El tema se desarrolla a través de cuatro capítulos en los que se va adquiriendo el conocimiento necesario para llegar a establecer la técnica a seguir durante la experimentación hasta llegar a la simulación del dispositivo.

Los objetivos principales que se proponen para este trabajo son:

- Análisis de los modelos de los TMOS y su rango de aplicaciones en los dispositivos de potencia. Selección de un macromodelo.
- Identificar una metodología para la extracción de parámetros de los TMOS de potencia que sea sencilla de seguir y a la vez confiable.
- Aplicar esta metodología a un TMOS encapsulado en la planta de GDL y comparar sus resultados.
- Dotar a la planta de GDL de mas herramientas para caracterizar los dispositivos que fabrica.

El contenido de la tesis se desarrolla en cuatro capítulos, las conclusiones y tres anexos.

En el primer capítulo se desarrolla una investigación de la literatura existente sobre la historia de la tecnología de las estructuras MOS, la cual ha permitido prácticamente el desarrollo de la tecnología actual. Se revisan los dispositivos actuales que cuentan con este tipo de estructuras desde los más sencillos hasta los de muy alta integración. Se realiza también un análisis de los modelos, técnicas de simulación y extracción de parámetros para los dispositivo TMOS más comunes.

En el segundo capítulo analizamos el caso particular de los TMOS de potencia con respecto a los modelos propuestos actualmente, para los cuales encontramos durante la investigación varios modelos de distintas complejidades y algunas técnicas de extracción de parámetros existentes. De esta investigación seleccionamos el modelo y la técnica de extracción de parámetros más sencilla a nuestro criterio, para luego pasar a analizarla con detalle. Encontramos diferencias significativas entre las estructuras horizontales con que cuentan los TMOS de pequeña señal comparados con los TMOS de potencia de estructuras verticales por lo que es necesario el uso de los modelos llamados “macromodelos”, los cuales contienen un TMOS convencional como núcleo junto con elementos externos para ayudar a simular las diferencias estructurales. Se describen los parámetros que conforman el macromodelo y las características que ellos simulan.

El tercer capítulo enfoca de manera específica la técnica de la extracción de parámetros según la metodología que se escogió en el segundo capítulo. Durante la revisión de los diferentes trabajos ya desarrollados para simulaciones de TMOS de potencia y las técnicas de extracción que se proponen en notas de aplicación de fabricantes de dispositivos, se pudo realizar algunas modificaciones al modelo y al procedimiento propuesto por el autor con el fin de mejorar el ajuste del mismo.

En el cuarto y último capítulo se desarrolla la experimentación con base a la metodología establecida en el tercer capítulo. Aquí se establecen los circuitos y equipos utilizados durante la extracción de las diferentes características del dispositivo que van a dar como resultado la extracción de los parámetros del modelo para la simulación. Algunos de estos parámetros son extraídos de las mediciones realizadas mediante el procesamiento de datos con la ayuda de herramientas de programas de computación mencionados aquí. Se encuentra que algunos parámetros son bastante sensibles con el tipo de método y equipo utilizado con respecto a su exactitud.

Los resultados obtenidos se corresponden con los objetivos planteados y representan un aporte al trabajo de desarrollo, fabricación y caracterización de dispositivos semiconductores en la Planta de Guadalajara.

La simulación circuital de los TMOS

1.1 Historia

El estudio, desarrollo y control de las propiedades eléctricas de la estructura MOS (metal-óxido-semiconductor) ha sido uno de los mayores factores que han permitido poder hacer un transistor diferente al transistor de juntura bipolar (BJT); el transistor de efecto de campo con compuerta aislada conocido como MOSFET, IGFET o simplemente como transistor MOS (TMOS). Este último nombre es el que usaremos en este trabajo. Con este nuevo dispositivo se hizo posible la fabricación de circuitos integrados de silicio estables, de alto rendimiento y alta integración.

La razón por la que el transistor bipolar fuera fabricado antes que el de efecto de campo, aún cuando este fuera propuesto con **anterioridad**, se debió prácticamente a problemas tecnológicos para obtener una estructura superficial apropiada para el de efecto de campo. La razón de este retardo se debió principalmente al uso de materiales que no incluían al silicio. El pobre control de las interfaces aislante-semiconductor que se utilizaron en esa época y la falta de entendimiento de los sistemas aislante-semiconductor, contribuyeron en la falta de una tecnología de fabricación limpia por lo que hicieron prácticamente imposible el desarrollo de estas estructuras. Lo anterior debido a los efectos de superficie que están presentes en las todas las interfaces entre materiales, y en particular la interface del semiconductor la cual es sustancialmente diferente en comparación con el volumen del mismo, ya que la estructura es interrumpida abruptamente originando enlaces libres en la superficie, modificando las propiedades eléctricas de la estructura.

La fabricación de la estructura Metal-Oxido-Semiconductor (MOS) no fue posible sino hasta que se desarrolló para el silicio la conocida Tecnología Planar, y se puso especial énfasis en la limpieza del óxido de silicio y de la interfaz.

De hecho el concepto del transistor de efecto de campo superficial fue propuesto por primera vez en los comienzos de la década de los 1930's, antes de la invención del transistor bipolar, por Lilienfeld [6] y Heil [7] (patentes). En 1935 Liandrat [8] propuso que la conductividad de una capa de semiconductor delgado podría ser modulada por un campo eléctrico externo, llegando a ser una de las herramientas más poderosas en el estudio de superficies. Posteriormente fue

estudiado por Shockley y Pearson [9] en un experimento de efecto de campo en 1948. El efecto transistor fue descubierto por Bardeen y Brattain [10] en 1947. En la época de los 1950's el estudio de superficies libres fue de nuevo revisado, motivado principalmente por algunos problemas de rendimiento y confiabilidad encontrados en transistores bipolares y diodos de juntura. Durante el período en que las superficies reales comenzaron a ser intensamente estudiadas, un modelo teórico – matemático sobre el doblamiento de bandas superficiales y sus consecuencias fue propuesto por Brown [11] en 1953, Kingston y Neustadter [12] en 1955, y Garret y Brattain [13] en 1955. Este trabajo teórico fue aplicado en la siguiente década a la interface silicio-óxido de silicio.

Atalla [14] y un grupo de colegas liderado por él, emprendieron trabajos iniciales en pasivación superficial teniendo en mente diodos de juntura y transistores bipolares. En 1960 – 1961 Ligenza y Spitzer [15] lograron la primera capa de óxido de silicio de buena calidad, alta resistencia a la ruptura dieléctrica y de baja pérdida, obtenida por medio de oxidación en alta presión de vapor. En 1959 Atalla [14, 16] dejó establecidos en trabajos clásicos, los fundamentos de pasivación por óxido para diodos de juntura y transistores bipolares. Frosh y Derrick [17] en 1957 encontraron que el dióxido de silicio actúa como una barrera efectiva contra muchas impurezas dopantes comúnmente usadas, previniendo así que estas alcancen el silicio por debajo de la capa. Todo este trabajo formó las bases para el proceso de la Tecnología Planar lo que ha hizo posible el desarrollo y fabricación de las estructuras MOS, la cual finalmente llevó a la construcción de los circuitos integrados monolíticos.

En 1960, Kahng y Atalla [14, 16] propusieron y fabricaron el primer TMOS utilizando una estructura de silicio oxidada térmicamente (hecha bajo el sistema de Ligenza y Spitzer [15]), la cual ha sido la base del éxito en la fabricación de las estructuras MOS modernas.

En 1961 Kahng [18] mostró que el desempeño del TMOS fue consistente con una teoría simple de primer orden. Sin embargo, la reproducibilidad de las características fue pobre debido a grandes niveles de trampas superficiales y densidades de cargas fijas en el óxido así como contaminación de sodio en el mismo. La fabricación práctica del TMOS fue realizada solo hasta después de que las propiedades interfaciales de la superficie oxidada de silicio y la naturaleza de las variaciones y contaminaciones iónicas fueron entendidas y controladas. El primer análisis publicado sobre las características del TMOS fue hecho por Ihantola y Moll [19]. Trabajos teóricos similares fueron reportados por Hofstein y Heiman [20], quienes publicaron la primera comparación detallada entre teoría y experimentación.

En 1963, Grove, Deal y Snow [21] desarrollaron el primer proceso comercial utilizable para la construcción de TMOS con características estables. En el proceso desarrollado por estas personas, los niveles de sodio fueron minimizados por medio de escrupulosos cuidados y limpieza en cada paso crítico del proceso. Otro avance reportado en este período por Kerr y Young [22] fue el concepto de “gettering” de sodio con fósforo, el cual fue una solución alternativa al problema de corrimiento del voltaje umbral debido al sodio.

El siguiente paso clave en la comercialización, fue el desarrollo en 1963 de ambos dispositivos canal- p y canal- n con una amplia variedad de características, hecho por Wanlass y Sah [23],

1.3 Dispositivos con estructuras MOS

Existe una gran variedad de dispositivos que utilizan estructuras MOS como parte fundamental de control debido principalmente a las características anteriormente señaladas. Entre los dispositivos más conocidos tenemos los siguientes divididos en tres categorías principales:

- a) **Discretos:**
 - Transistores MOS de pequeña señal
 - Transistores MOS de potencia: VMOSFET, DMOSFET y UMOSFET.
 - Transistores IGBT (Transistor Bipolar de Compuerta Aislada)
 - TMBS (Rectificador Schottky con Trinchera MOS)

- b) **Integrados:**
 - Microprocesadores
 - Memorias DRAM, SRAM, PROM, EPROM, EEPROM
 - Puertos de salida/entrada (I/O)
 - Convertidores A/D y D/A
 - Compuertas lógicas (CMOS y BiCMOS)
 - Dispositivos ASIC (Circuitos Integrados de Aplicación Específica)

- c) **Híbridos:**
 - Módulos Híbridos de Potencia a partir de IGBT
 - Módulos Híbridos de Potencia a partir de MOSFET

Como se puede ver, además de circuitos integrados de alta integración, los TMOS tienen una fuerte área de aplicación en dispositivos discretos de potencia, los cuales serán el objetivo fundamental de este trabajo. Los TMOS de potencia han sufrido grandes mejoras especialmente los de bajo voltaje con reducciones de casi la mitad en la resistencia del dispositivo al estar activado (R_{DSon}), comparado con sus antecesores. Los ingenieros de dispositivos siguen alentando la mejora con reducciones aún mayores, ya que los diseñadores tienden a buscar dispositivos más eficientes para optimizar sus sistemas utilizando lo mejor de la tecnología actual.

1.4 Simulación y extracción de parámetros

Lo que actualmente conocemos como "Hi-Tec" ó "Alta Tecnología" se lo debemos principalmente al avance y desarrollo del TMOS ya sea de forma discreta o integrada en ambos campos: analógico y digital. Debido a la complejidad y los aspectos que involucran la reducción de las dimensiones y los avances de los procesamientos de los transistores actuales se ha hecho necesaria la redefinición de los modelos y la extracción de información más detallada de cada dispositivo(s) dentro del circuito. Por esta razón, desde hace varios años se han venido creando toda una gamma de sistemas de simulación que sirvan como ayuda en el desarrollo y optimización de las características tecnológicas y eléctricas de los dispositivos, siendo algunos de ellos más especializados en aspectos de interés específico que pueden ir desde la simulación de las características de respuesta de un dispositivo discreto determinado hasta la simulación de un

quienes fueron retados por los interesantes pero inestables dispositivos de efecto de campo reportados por Weimer [24] usando sulfato de cadmio. Wanlass y Sah [23] reportaron circuitos MOS complementarios pero construidos en chips separados de silicio para los dispositivos canal- n y canal- p (por las limitaciones de la tecnología del momento) a diferencia de ser fabricados en el mismo chip de silicio tal y como se hacen hoy en día.

El concepto de circuito integrado cambió de dispositivos discretos alambrados en un solo encapsulado al circuito integrado monolítico conocido hoy en día. Varias patentes fueron aplicadas en 1959 en diferentes aspectos sobre circuitos integrados [23, 25]. Hogan [26] y Kilby [27] han dado aportaciones significativas a la historia del desarrollo de los circuitos integrados. Una revisión comprensiva de la evolución de la tecnología del silicio durante 1952 a 1977 fue dada por Deal y Early [28], y Kahng [29] dio un revisión histórica del desarrollo del MOSFET. Hoy en día las compuertas de silicio policristalino [30, 31], en lugar de las compuertas de metal, y los implantadores iónicos [32, 33] son ampliamente usados en la manufactura de circuitos integrados debido a las muchas ventajas que ofrece esta tecnología.

Debido al intensivo estudio en el ámbito mundial de la estructura MOS en los últimos 35 años, la han hecho la mejor estructura semiconductor-dieléctrico, y la mas entendida hoy en día. Todo el conocimiento obtenido acerca de esta estructura es aplicable en todo el campo de la microelectrónica, el cual puede ser estudiado por medio de las técnicas de medición tan refinadas y sensitivas desarrolladas en el curso de los trabajos realizados sobre dispositivos discretos y circuitos integrados. Estos conocimientos pueden ser también aplicados a otras áreas de importancia tecnológica que involucran aislantes e interfaces aislante-semiconductor.

1.2 El TMOS, pilar del desarrollo de la microelectrónica

En circuitos de alta escala de integración el TMOS es importante por su bajo costo de fabricación, pequeñas dimensiones y bajo consumo de potencia, razón por la cuál es el más utilizado.

La década de los 1980's es conocida como la década de los dispositivos VLSI que cuentan con millones de transistores en un sólo chip, por lo que la disipación de potencia se convierte en una limitación fundamental. Consecuentemente con esta restricción la tecnología de fabricación a partir de tecnología CMOS domina la fabricación de los circuitos integrados de alta integración (VLSI) por el bajo consumo de energía que presenta. La tecnología CMOS es llamada de esta forma debido a la configuración básica de inversor que utiliza dos transistores MOS complementarios, es decir, un canal- n y un canal- p , cuyas compuertas están conectadas al mismo nodo de entrada y funcionan alternadamente dependiendo del estado lógico de la entrada.

En suma, la tecnología CMOS tiene un consumo de potencia mucho menor, velocidades de trabajo muy aceptables y una alta capacidad de integración y confiabilidad. Por estas causas es que se puede afirmar que el TMOS es el pilar de la microelectrónica actual.

arreglo de varios tipos de dispositivos ya sea dentro de un circuito integrado o en un circuito ensamblado a partir de varios dispositivos incluidos en librerías los cuales fueron previamente modelados.

Entre los programas más utilizados de simulación circuital están la familia del SPICE (Simulation Program with Integrated Circuit Emphasis) que fue realizado con base a un simulador llamado CANCEER el cual se desarrolló a principios de los 1970s. Posteriormente se desarrolló el SPICE2 en la Universidad de Berkeley en California, el cual contiene algoritmos más robustos que el SPICE original y que pronto llegó a convertirse en el estándar de la industria. Entre los miembros de esta familia se tiene al AIMSPICE, RSPICE, y el PSPICE. Este último estuvo disponible desde 1984 y fue el primer simulador disponible con base al SPICE para PC IBM compatible. Existen algunos otros como el SABER que tienen un buen desempeño de modelación.

Estos programas de simulación circuital contienen básicamente los algoritmos matemáticos que junto con los modelos o arreglos previamente determinados para cada dispositivo, definen el comportamiento del mismo. Por lo tanto, los resultados simulados comparados con los datos medidos experimentalmente, dependerán principalmente de dos aspectos: el modelo y sus parámetros.

Aspecto A) El tipo de **modelo** o conjunto de ecuaciones que describan el funcionamiento del dispositivo.

El modelo puede contener desde ecuaciones simples de primera aproximación hasta ecuaciones muy complejas y elaboradas que contengan mayor información para el ajuste del comportamiento del dispositivo, los que se llaman efectos de segundo orden. Cada modelo se caracteriza por su grado de aproximación a la realidad y por la complejidad de cálculos que introduce. Por esta razón el diseñador debe conocer cuales son las ecuaciones que describen el comportamiento de los TMOS y cual es la influencia de los parámetros en los modelos. El simulador PSPICE tiene 4 modelos para el TMOS [3]:

- NIVEL 1:** Modelo de **primera aproximación** basado en el modelo de Shichman-Hodges. Utilizado principalmente para cálculos preliminares, para dispositivos de canales anchos y largos, mayores a 20 μm .
- NIVEL 2:** Modelo **analítico unidimensional**, que incorpora la mayoría de los efectos de segundo orden de los dispositivos de canal corto y estrecho (utiliza la ecuación analítica de los 3/2), que afectan a los parámetros importantes como son el V_T y la movilidad. Tiene en cuenta otros efectos como la temperatura.
- NIVEL 3:** Modelo de segundo orden o **semi-empírico**, basado en el uso de parámetros ajustados a partir de datos experimentales por medio de ajuste de curvas matemáticas, más que sistemas físicos. Este modelo fue desarrollado para dispositivos de dimensiones pequeñas, menores a 2 μm , tomando la mayoría de los parámetros del NIVEL 2 en el que se toma en cuenta los efectos de acortamiento de canal y la geometría de las uniones.

NIVEL 4: corresponde al llamado **BSIM** (Berkeley Short-Chanel IGFET Model for MOS Transistors) [4]. Este modelo ha sido desarrollado para tener una mayor eficiencia computacional y precisión, facilitando la caracterización del TMOS en el diseño de circuitos integrados de alta complejidad (VLSI). Actualmente existen tres versiones de este nivel.

Aspecto B) La exactitud de los **parámetros** suministrados al modelo.

Estos parámetros pueden ser de tipo tecnológico o eléctrico. Para los primeros dependerán principalmente de la información proveída por el fabricante. Debido a que la exactitud del modelo depende fuertemente de los valores de los parámetros de entrada, estos deberán estar relacionados con el proceso en particular usado en cada sitio de manufactura. Los parámetros eléctricos deben ser determinados a partir de mediciones eléctricas, en un proceso conocido como extracción.

Según sea la aplicación se selecciona el método de extracción, habiendo dos métodos principales [5]:

1. **Extracción Manual ó Individual**, en la que se requiere realizar mediciones independientes de cuyas evaluaciones se puede extraer uno o dos parámetros. Por tanto, para tener el juego completo de parámetros se requiere de realizar varias mediciones, diferentes técnicas para cada una y en diferentes condiciones, lo que implica mayor tiempo y trabajo de extracción además de que la precisión en el ajuste entre las características experimentales y las calculadas, no es la mejor. Este método es aplicable para los NIVELES 1, 2 y 3.
2. **Extracción Automática**, este método utiliza la técnica de Optimización Matemática, la cual se basa en el ajuste matemático de los parámetros de un modelo dado al juego de datos que describen las características voltaje-corriente de un transistor. Este método utiliza la medición eléctrica de uno o más transistores con varios niveles de polarización para así obtener una respuesta de toda la región del transistor a partir de varios puntos. Estas mediciones se realizan con sistemas de adquisición automática para su mayor precisión. Este tipo de métodos se utiliza principalmente en modelaciones de circuitos de alta integración, pero puede ser utilizado con cualquier modelo.

1.5 Relevancia del TMOS en ON Semiconductor/Motorola Guadalajara

Como se puede observar son muchas y muy variadas las características por las cuales los dispositivos TMOS a partir de estructuras MOS han llegado a ser parte fundamental en el desarrollo de la microelectrónica actual no sólo en el ramo de los circuitos integrados sino también en el campo de los dispositivos de potencia, que serán los que se estudiarán con mayor detalle en el transcurso de esta tesis.

En la planta de GDL se tienen actualmente una gamma muy variada de dispositivos TMOS de potencia que son construidos con tecnología VMOSFET (TMOS V) y DMOSFET (HDTMOS), al igual que IGBTs. Por esto es de gran importancia tener un sistema de caracterización de

dispositivos que pueda correlacionar los parámetros tecnológicos de manufactura de obleas con los parámetros eléctricos observados al nivel de Pruebas Finales. Toda esta información es de vital importancia para el entendimiento de los distintos factores que pueden afectar el rendimiento del dispositivo, para ayudar a detectar problemas relacionados con la fabricación y proponer posibles mejoras de la calidad de los dispositivos en las aplicaciones y en el campo, tal y como lo requieren los clientes actuales.

1.6 Conclusiones

Basados en la información obtenida y analizada referente al TMOS podemos concluir que este dispositivo es un elemento que tiene una gran importancia en la actualidad. Es la base de la microelectrónica de alto nivel de integración y se aplica en forma creciente en los dispositivos de potencia.

Por esta razón, es la finalidad de esta tesis el sentar las bases al nivel de una planta productiva para una metodología de caracterización, extracción de parámetros y simulación eléctrica de los dispositivos MOS especialmente enfocada a los TMOS de potencia. Esta debe poder ser desarrollada y aplicada a cualquier dispositivo de este tipo, que en el futuro se requiera caracterizar, dentro de la línea de producción de la Planta en Guadalajara. Esta información permitirá darle al ingeniero de dispositivo, producto, aplicación y de campo, un conocimiento y entendimiento aún mayor del dispositivo junto con la física básica de los semiconductores. Además, contará una herramienta primordial que le ayudará a plantear un modelo para su simulación cuando así lo requiera el análisis de una determinada aplicación y/o el cliente mismo en condiciones normales o en el estudio de un problema.

1.6.1 Objetivos de la presente Tesis

Los objetivos principales que se proponen para este trabajo son:

- Análisis de los modelos de los TMOS y su rango de aplicaciones en los dispositivos de potencia. Selección de un macromodelo.
- Identificar una metodología para la extracción de parámetros de los TMOS de potencia que sea sencilla de seguir y a la vez confiable.
- Aplicar esta metodología a un TMOS encapsulado en la planta de GDL y comparar sus resultados.
- Dotar a la planta de GDL de mas herramientas para caracterizar los dispositivos que fabrica.

Bibliografía

- [1] S.M. Sze, "*Physics of Semiconductor Devices*", 2a. Ed. New York: Wiley-Interscience, 1981, Cap. 8.

- [2] E. H. Nicollian & J. R. Brews, "MOS (Metal Oxide Semiconductor) Physics and Technology" Wiley-Interscience, 1982, Cap. 1.
- [3] Andrei Vlaimirescu & Sally Liu, "The Simulation of MOS Integrated Circuits using SPICE2" Report of Department of Electrical Engineering and Computer Science, University of California, 1980.
- [4] B. J. Sheu, D. L. Scharfetter, P. Ko, M. Jeng, "BSIM: Berkeley Short-Channel IGFET Model for MOS Transistors" IEEE J. of Solid State Circuits, Vol. SC-22, 4, pp. 558-565, 1987.
- [5] Antonio Cerdeira Altuzarra, "Notas para el Curso de Microelectrónica" CINVESTAV Depto. Ing. Eléctrica, México D.F., 1996.
- [6] J. E. Lilienfeld, Patentes EUA 1,745,175 (realizada en 1926, publicada in 1930), 1,877,140 (realizada en 1928, publicada in 1932), y 1,900,018 (realizada en 1928, publicada en 1933).
- [7] O. Heil, Patente Británica 439457 (realizada en 1935, publicada in 1935).
- [8] G. Liandrat, Conferencias en el Colegio de Francia, 1935.
- [9] W. Schokley y G. L. Pearson, "Phys. Rev.", 74, 232 (1948).
- [10] J. Bardeen y W. H. Brattain, "Phys. Rev.", 74, 230 (1948; *ibid.*; 75, 203 (1949).
- [11] W. L. Brown, "Phys. Rev." 91, 518 (1953).
- [12] R. H. Kingston y S. F. Neustadler, "J. Appl. Phys.", 26, 718 (1955).
- [13] C. G. B. Garret y W. H. Brattain, "Phys. Rev", 99, 376 (1955).
- [14] M. M. Atalla, Patente EUA 3,206,670 (realizada en 1960, publicada in 1965).
- [15] J. R. Ligenza y W. G. Spitzer, "J. Phys. Chem. solids" 14, 131 (1960); J. R. Ligenza, "J. Phys. Chem.", 65, 2011 (1961).
- [16] D. Kahng y M. M. Atalla, "IRE-IEEE Solid-State Device Research Conference, Carnegie Institute of Technology, Pittsburg, Pa.," 1960; D. Kahng, Patente EUA 3,102,230 (realizada en 1960, publicada in 1963).
- [17] C. J. Frosh y L. Derrick, "J. Electrochem. Soc.", 104, 547 (1957).
- [18] D. Kahng, "Bell Telephone Laboratories Technical Memorandum", (Enero 16, 1961).
- [19] H. K. J. Ihantola y J. L. Moll, "Solid-State Electron.", 7, 423 (1964).
- [20] S. R. Hofstein y F. P. Heiman, "Proc. IEEE" 51, 1190 (1963).
- [21] B. E. Deal, Patente EUA 3,426,422 (realizada en 1965, publicada in 1969).
- [22] D. R. Kerr y D. R. Young, Patente EUA 3,303,059 (realizada en 1964, publicada in 1967).
- [23] F. M. Wanlass y C. T. Sah, "ISSC Digest", pp. 32-33 (Febrero 1963); Patente EUA 3,356,858 (realizada en 1963, publicada in 1967).
- [24] P. K. Weimer, "IRE-AIEE Device Research Conference, Stanford University, Stanford, Calif.", 1961.
- [25] R. N. Noyce, Patente EUA 2,981,877 (1961).
- [26] C. L. Hogan, "Interface Age", 2 (3), 24 (1977).
- [27] J. S. Kilby, "IEEE Transact. Electron Devices", ED-23, 648 (1976).
- [28] B. E. Deal y J. M. Early, "J. Electrochem. Soc.", 126, 20c (1979).
- [29] D. Kahng, "IEEE Transact. Electron Devices", ED-23, 655 (1976).
- [30] J. C. Serace, R. E. Kerwin, D. L. Klein, y R. Edwards, "J. Solid-State Electron" 11, 653 (1968).

- [31] R. E. Kerwin, D. L. Klein, J. C. Serace, Patente EUA 3,476,236 (realizada en 1967, publicada in 1969).
- [32] H. G. Dill, Patente EUA 3,544,399 (realizada en 1966, publicada in 1970).
- [33] J. L. Stone y J. C. Plunkett, "*Solid-State Technol.*" 19, (6) 35 (1976).

Modelo del TMOS de potencia

2.1 Antecedentes

Para este trabajo se utilizarán programas de simulación circuital basados en el SPICE, utilizando los modelos que contiene, ya que se ha convertido prácticamente en el estándar de la industria y de los sistemas docentes, y por consiguiente existe una gran cantidad de recursos enfocados en la continua actualización de este programa. Específicamente se utilizarán las versiones para PC, el Pspice y el Rspice.

Como ya se mencionó en el capítulo anterior, en el SPICE existen varios modelos para realizar la simulación del TMOS. Los distintos niveles que contiene el SPICE se utilizan dependiendo principalmente de dos factores: la precisión con la que se requiera realizar la simulación y el tamaño del canal del TMOS en cuestión. Por esta razón cada siguiente nivel de modelo contiene una lista con mayor número de parámetros, debido a que estos se van agregando para obtener una mayor exactitud y precisión en la descripción de los fenómenos físicos de la estructura, así como para tener en consideración los efectos secundarios derivados del acortamiento de canal a medida que se reducen las dimensiones generales, como es el caso de los dispositivos VLSI que cada vez requieren de una mayor integración.

Este aumento en la cantidad de parámetros para simular al TMOS tiene como consecuencia una mayor complejidad en la medición y extracción de los parámetros para el modelo, así como una serie de ecuaciones más elaboradas, lo que da como resultado una mayor cantidad de trabajo y tiempo durante la simulación del dispositivo. Por esta razón es necesario identificar objetivamente el nivel del modelo adecuado para el tipo de TMOS y exactitud en resultados requeridos para tal simulación.

2.2 Selección del nivel del modelo

En el caso de los TMOS de potencia, el canal es relativamente largo, típicamente de 2µm, por lo cual se puede utilizar el *NIVEL 1*, y en algunos casos el *NIVEL 3* para mejorar la precisión, en el transistor que servirá de núcleo del macromodelo, y que llamaremos TMOS-núcleo.

El modelo del TMOS *NIVEL 1* no considera los efectos secundarios que se presentan en los dispositivos denominados de “canal corto” debido a que las geometrias reducidas con que son fabricados, lo que conlleva a la aparición de factores que influyen en el funcionamiento del TMOS y varían sus parámetros de trabajo. Los efectos principales que no se consideran en este modelo son:

- Velocidad límite, debido a un efecto de saturación de la velocidad de los portadores al alcanzar el llamado campo crítico (ver ecuación 2.1).
- Reducción de la movilidad de los portadores por efecto de los campos eléctricos de la compuerta y drenador [1]:

$$\mu_{ef} = \frac{\mu_0}{[1 + \theta(V_G - V_T)] \left[1 + \frac{\mu_s}{L V_{max}} V_D \right]} \quad (2.1)$$

- Variación del voltaje de umbral debido a la reducción en la concentración de la carga en el sustrato bajo el canal por las consideraciones geométricas del mismo [1]:

$$\Delta V_T = \frac{V_T - V_T'}{V_T} = 1 - \frac{Q_B'}{Q_B} = \frac{x_j}{L} \left(\sqrt{1 + \frac{2x_{dj}}{x_j}} - 1 \right) \quad (2.2)$$

En la figura 2.1 se muestra el circuito equivalente del TMOS utilizado en el SPICE que incluye: una fuente de corriente I_d , dos diodos, resistencias ohmicas en serie con el drenador, fuente, compuerta y sustrato, y varias capacitancias. También existe una resistencia en paralelo (RDS) con el canal drenador - fuente.

La lista de parámetros del TMOS para los niveles 1, 2 y 3 puede encontrarse en el Anexo A1 [2].

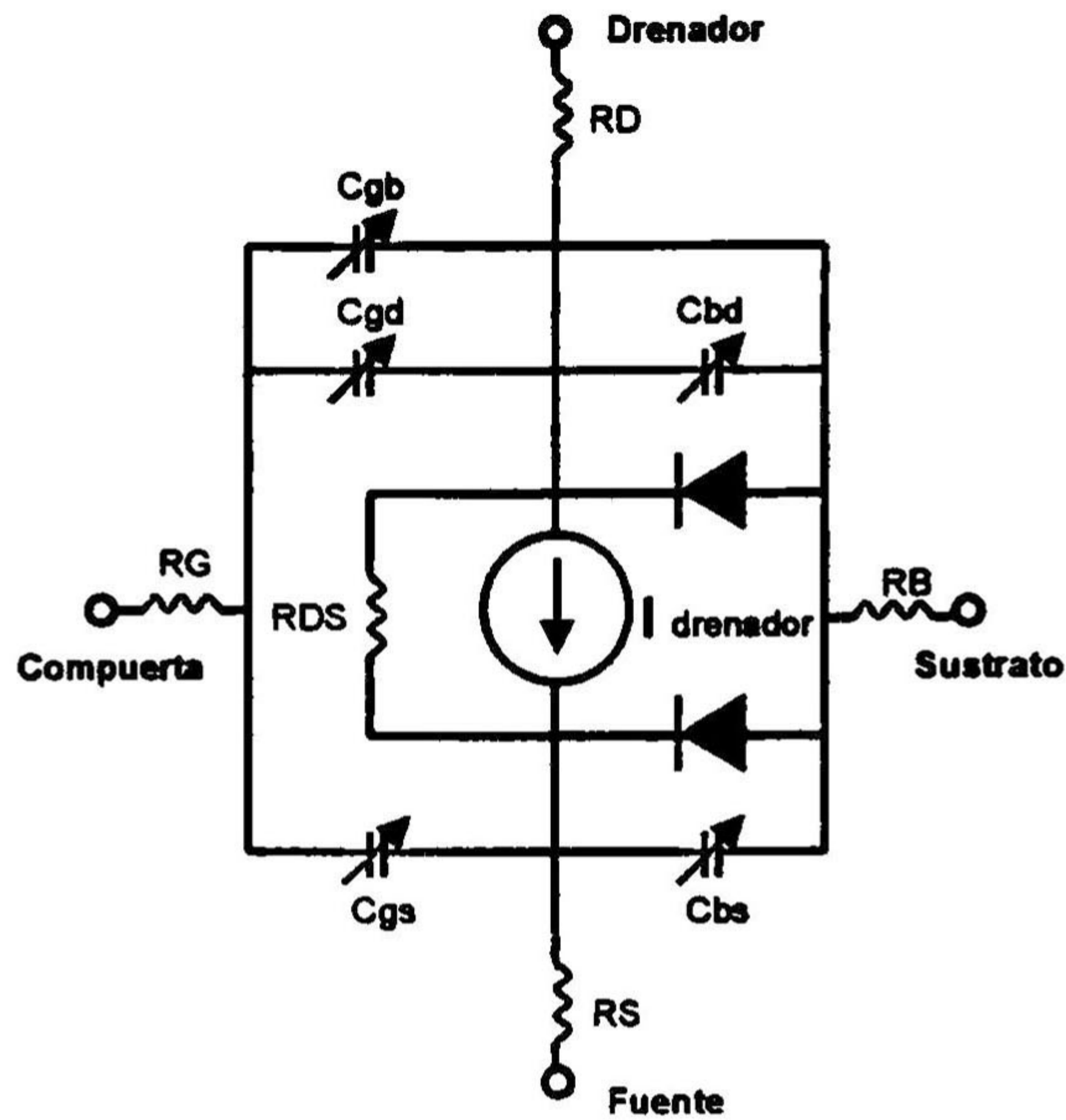


Figura 2.1.- Circuito equivalente del TMOS-núcleo

2.3 El modelo del TMOS de potencia (macromodelo)

El transistor de efecto de campo metal-óxido-semiconductor de potencia tiene un modelo circuital ligeramente diferente al del TMOS convencional con que el SPICE cuenta. Esta diferencia estriba principalmente en el hecho de que los modelos del TMOS en SPICE son normalmente para las estructuras superficiales (horizontales), figura 2.2, mientras que los transistores TMOS de potencia son estructuras verticales, figura 2.3.

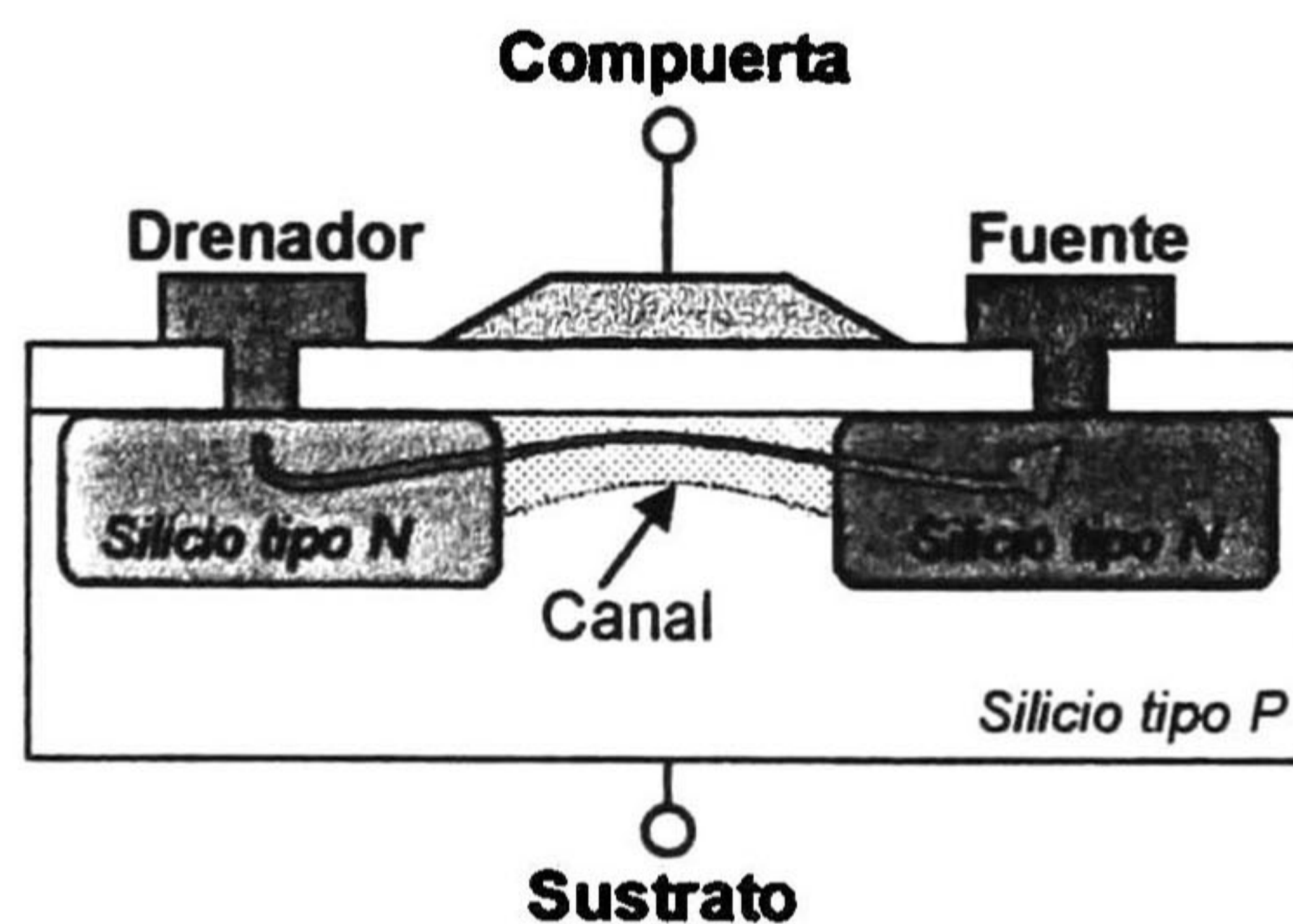


Figura 2.2.- Estructura transversal que muestra la dirección de la corriente en el transistor TMOS canal-N de pequeña señal (lateral).

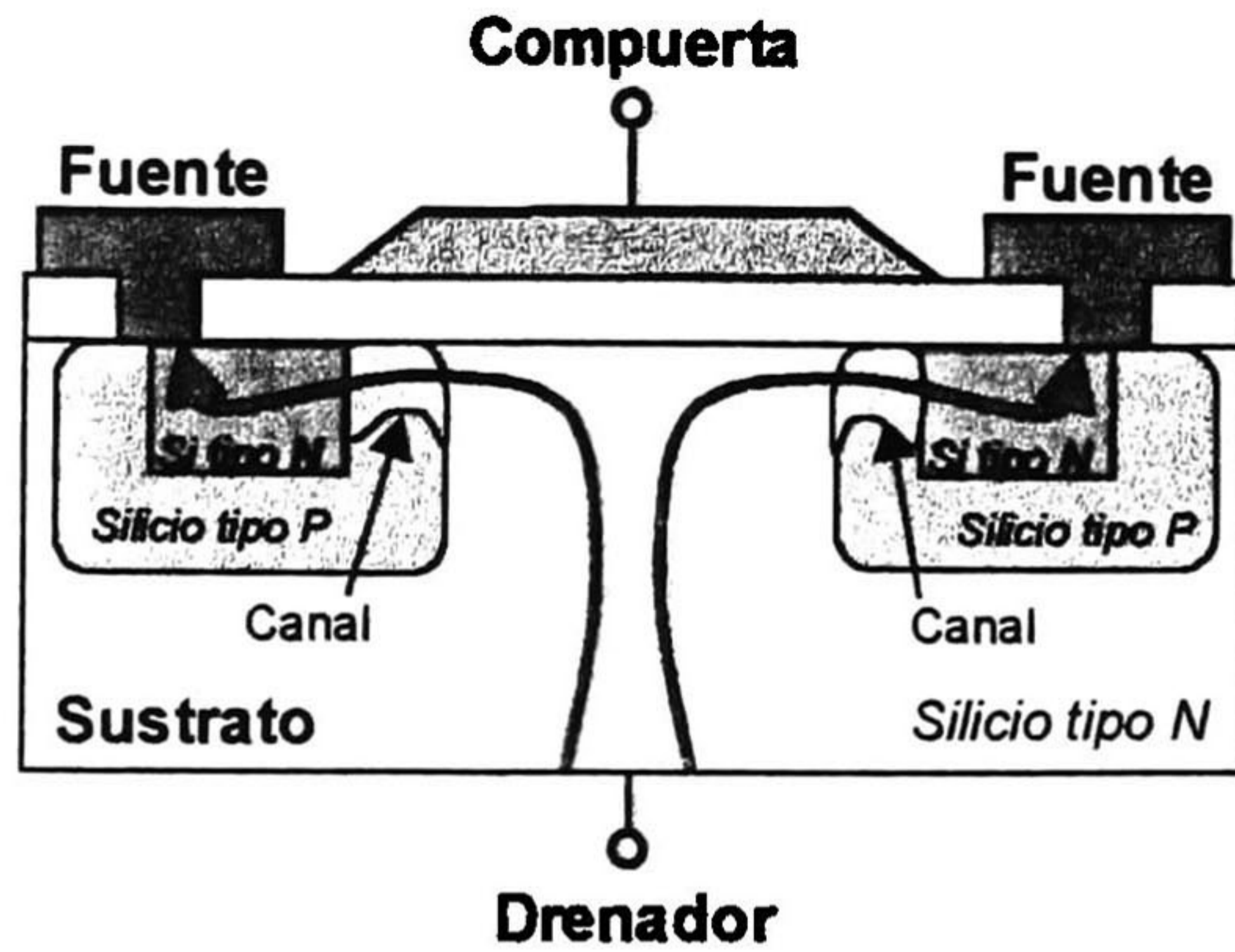


Figura 2.3.- Estructura transversal que muestra la dirección de la corriente en el transistor de potencia TMOS canal-N (vertical).

Las principales diferencias entre estas estructuras son: en la estructura vertical no existe una terminal para el sustrato ya que este pasa a ser el drenador. Las resistencias de fuente y drenador son significativamente asimétricas, siendo esta última la de mayor magnitud, especialmente en estado de conducción (R_{DSon}), ya que comprende varias resistencias en serie como se puede observar en la figura 2.4, sin embargo son de valores relativamente bajos comparados con la capacidad de voltaje y corriente de estos dispositivos [7]:

$$R_{DSon} = R_{N+} + R_{CH} + R_A + R_J + R_D + R_S \quad (2.3)$$

R_{N+} es la contribución de la difusión N+ de la fuente la cual tiene una resistencia típica de 2×10^{-5} ohm-cm², la cual es despreciable comparada con las otras resistencias de la estructura.

R_{CH} es la resistencia del canal la cual depende de la relación de canal (L/Z), el grosor del óxido (por medio de C_{ox}), y el voltaje de polarización de compuerta (V_G). El valor de resistencia de un dispositivo típico es alrededor de 2.5×10^{-3} ohm-cm²

R_A es la resistencia de la zona de acumulación que se forma por la corriente proveniente del canal dentro de la región JFET. Esta resistencia depende de la carga en la capa de acumulación y la movilidad de los portadores libres en la superficie de acumulación. Esta resistencia es típicamente de alrededor de 6×10^{-3} ohm-cm², la cual puede ser reducida decreciendo la longitud del electrodo de compuerta (L_G) entre las celdas, sin embargo esto puede afectar adversamente la resistencia JFET.

R_J es la resistencia de la región de dispersión entre las difusiones de base P, a la cual se le llama *resistencia JFET*, debido a que el flujo de corriente es similar a la del transistor de efecto de campo de unión con las regiones de base P que actúan como regiones de compuerta. En el caso del TMOS de alto voltaje, la región de desvío debe ser de un dopado bajo para poder obtener la ruptura deseada. La extensión de la región de deflexión tiene una gran contribución con la

resistencia JFET, por esta razón se debe mantener la concentración de la región JFET por debajo de $5 \times 10^{16} \text{ cm}^{-3}$.

R_D es la resistencia de la región distribuida y la región de Bulk, la cual se asume que comienza debajo de la parte inferior de la difusión de base P. El modelo propuesto para la corriente distribuida en la región de desvío que permite una mejor precisión de la resistencia esta basado en la distribución de la corriente de una sección transversal a 45° [7]. Debido a que la corriente de drenador tiende a fluir sólo por debajo de la región de la compuerta, crea una región muerta debajo de la región base P. Por lo tanto la resistencia R_D deberá ser la suma de la región donde la sección transversal va incrementando y la región de sección transversal igual al ancho de la celda. Los valores de resistividad dependerán del dopaje de la capa epitaxial con respecto a la ruptura del dispositivo.

R_S es la resistencia que representa el sustrato y que es generalmente despreciable para TMOS de potencia de alto voltaje. Sin embargo, para dispositivos con voltajes de ruptura por debajo de los 50V, puede contribuir significativamente. Los valores típicos son de alrededor de $5 \times 10^{-4} \text{ ohm-cm}^2$.

Una última, pero no menos significativa, resistencia que puede ser altamente considerable es la resistencia de contacto la cual afecta tanto a los contactos de fuente como de drenador, principalmente a la primera debido a que contiene un área menor. Estas dependerán principalmente de dos procesos de fabricación: el de metalización del dispositivo a nivel oblea y el de ensamble con respecto al soldado del dado y el alambrado a las terminales del encapsulado. Este parámetro es en el que mayor contribución se tiene a las posibles alteraciones de los parámetros en general del dispositivo.

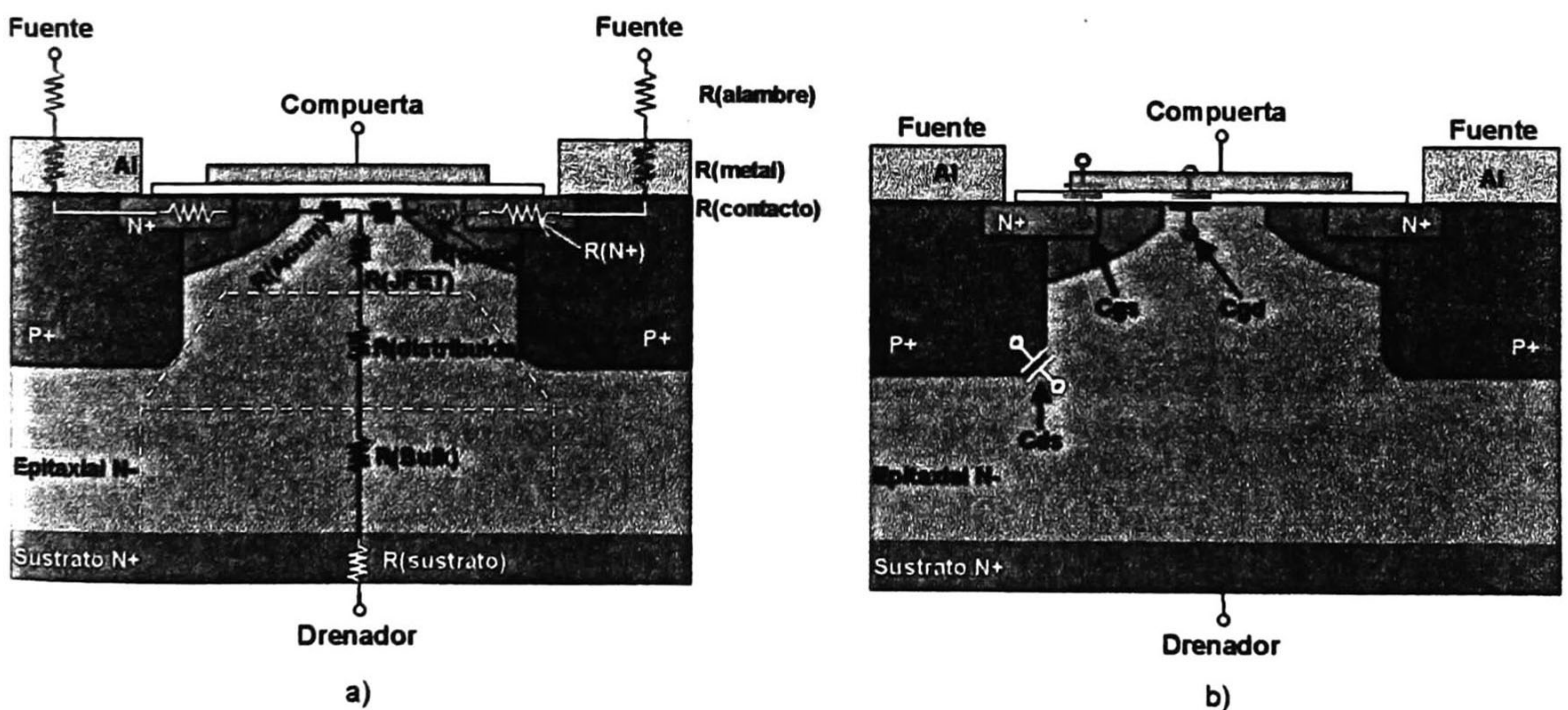


Figura 2.4 Componentes internos de la estructura del TMOS de potencia; a) Resistencias que conforman $R_{DS(on)}$; b) Capacitancias principales.

Debido a su estructura misma, el TMOS de potencia cuenta con un diodo interconstruido que aparece al ser necesario hacer un contacto superficial al electrodo de la fuente, formándose un transistor NPN con el substrato el cual puede llegar a disminuir la capacidad de bloqueo en directa del dispositivo por efecto de la polarización de la base debido a corrientes capacitivas. Para evitar este problema se prolonga el contacto también a la región P, con lo cual se elimina el transistor, pero se crea el llamado diodo del cuerpo.

Debido a que el drenador se encuentra en la parte inferior del dispositivo la capacidad de corriente y disipación de potencia es mucho mayor que en la estructura horizontal. La figura 2.5 muestra los voltajes de ruptura para esta estructura que se pueden conseguir a partir de dos de los parámetros que mayor contribución tienen: el nivel de dopaje de la región de desvío y el ancho de la compuerta (debido a la relación de la curvatura en la zona de deflexión con el espaciamiento entre celdas que contribuyen a rupturas de voltaje prematuras).

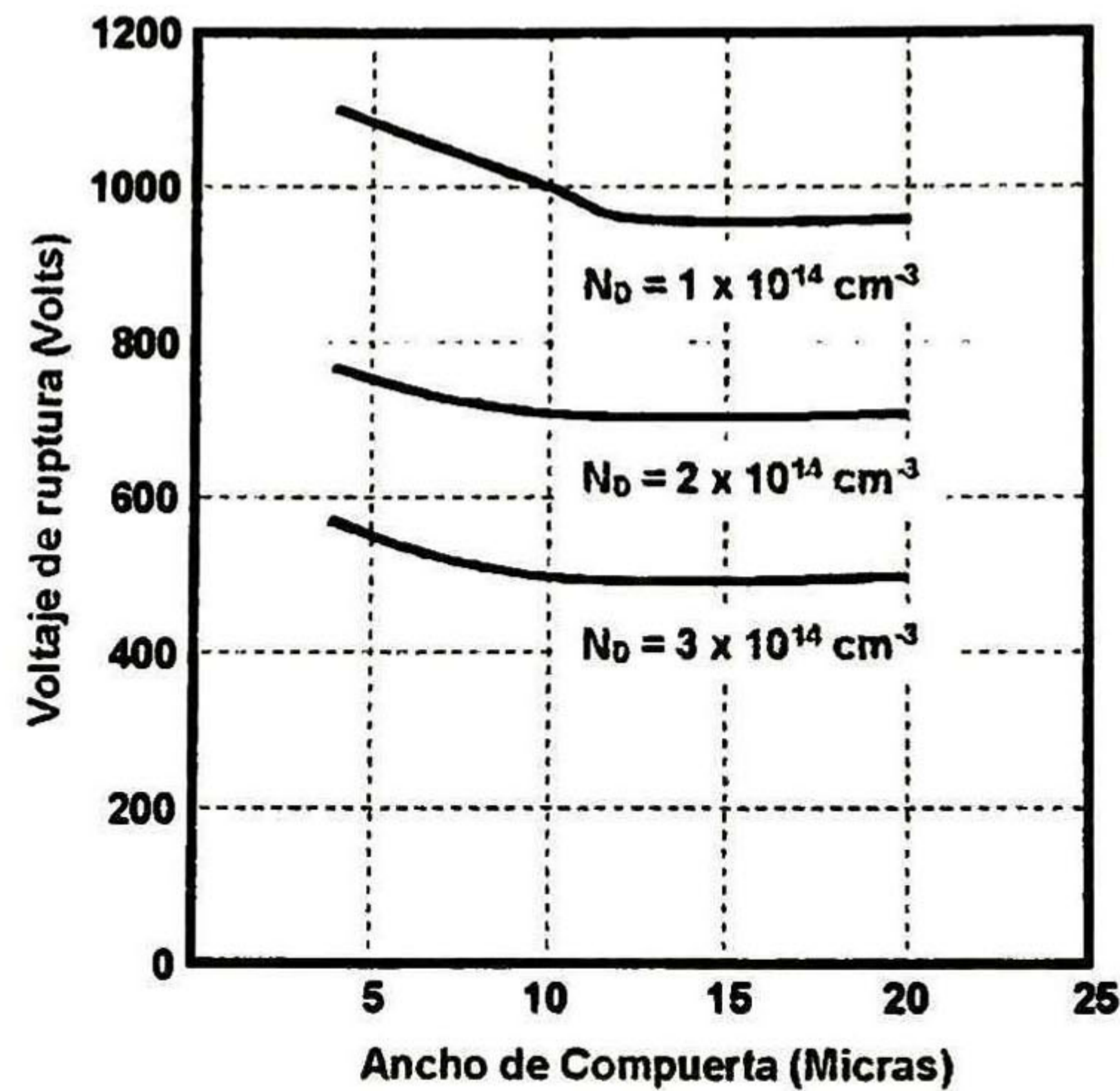


Figura 2.5.- Efecto de del ancho de compuerta de polisilicio y la concentración de la región de desvío en el voltaje de ruptura de una celda DMOS.

En cuanto a las capacitancias parásitas principales de la estructura vertical se tiene a C_{gd} , la cual es bastante no lineal debido a su dependencia con el voltaje V_{gd} . Esta capacitancia es del tipo MIS ya que esta formada por la estructura de la compuerta, el óxido de compuerta y la capa epitaxial N-, sobre la cual se forma la región de acumulación y de deserción. C_{gd} es la suma de las capacitancias del óxido de compuerta (C_{ox}) y la capacitancia de la superficie del semiconductor dependiente de las polarizaciones de compuerta y drenador (variable) [7]:

$$\frac{1}{C_{gd}} = \frac{1}{\epsilon_{ox}} + \frac{1}{\overline{t_{ox}} \frac{dQ_s}{d\psi_s}} \quad (2.4)$$

La capacitancia C_{ds} es prácticamente la capacitancia que presenta la unión pn del “diodo del cuerpo” que depende de la polarización entre drenador y fuente. Esta capacitancia es debida a la unión bipolar entre la región de base P y la región de desvío N- [3]:

$$C_{ds} = \frac{C_{JO}}{\left[1 - \left(\frac{V_d}{V_J}\right)\right]^M} \quad (2.5)$$

Y finalmente la capacitancia C_{gs} en función del voltaje de compuerta, resultado de la suma de las capacitancias entre compuerta y fuente (C_{ox}), la capacitancia entre compuerta y la región de difusión N+ de tipo de acumulación, y la capacitancia entre compuerta y la región de difusión de base P del tipo de deserción (ver figura 2.4) [7]:

$$C_{gs} = C_{N+} + C_P + C_o \quad (2.6)$$

Basados en la estructura de la figura 2.3 se crea una celda que se muestra en la figura 2.6. La misma está formada por un contacto a la región de la fuente y esta rodeada por el canal del TMOS. Esta geometría cerrada de la celda puede tener diferentes formas, cuadradas, hexagonales, etc. En la figura 2.7 se muestra la foto del TMOS MTP3N100E, donde se pueden observar la gran cantidad de celdas interconectadas entre sí en paralelo para incrementar la corriente total del TMOS de potencia.

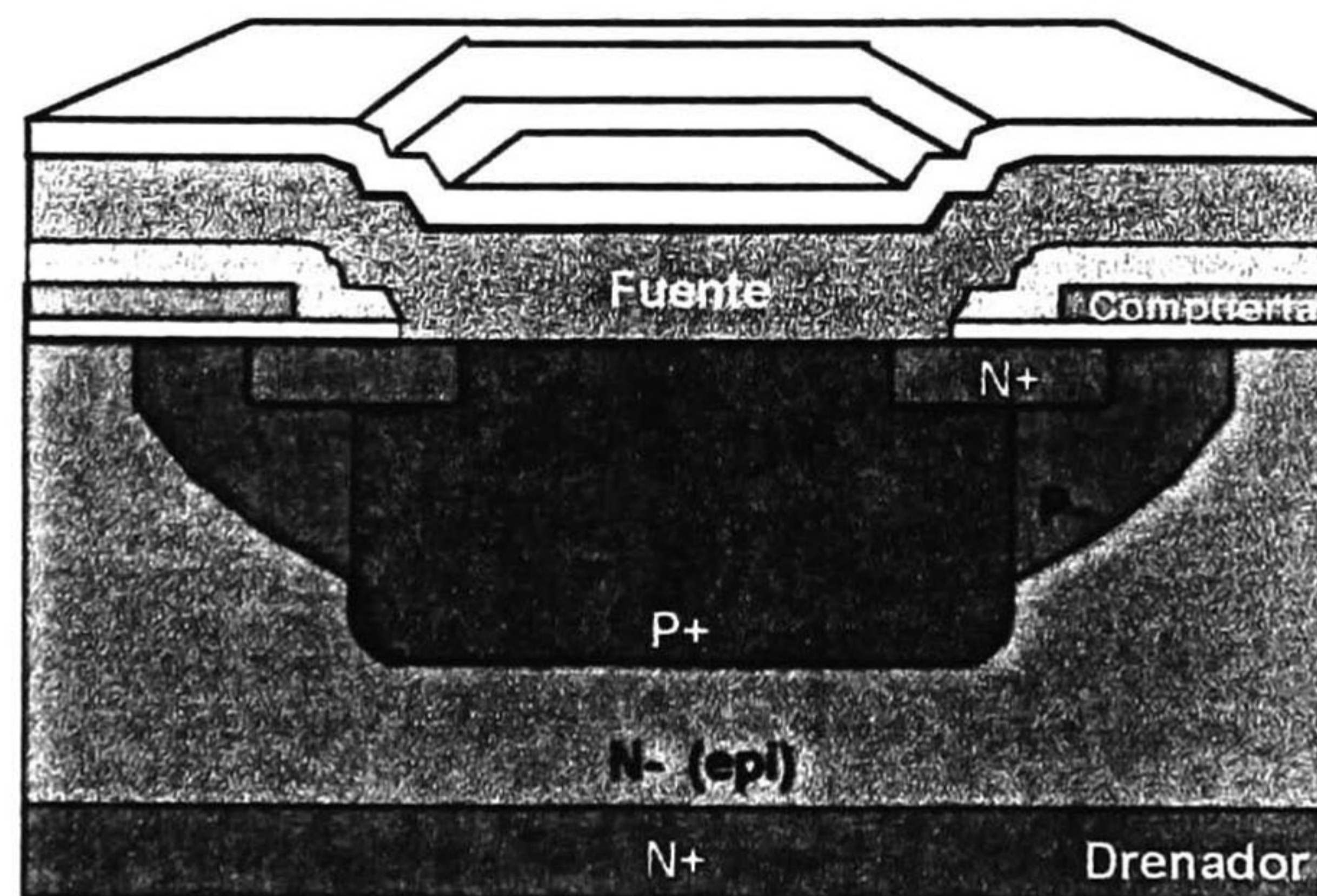


Figura 2.6 Celdas del TMOS de potencia

Con el fin de poder modelar el TMOS de potencia con exactitud se requiere el uso de un macromodelo que incluye los elementos mencionados. Existen varios tipos de macromodelos propuestos para modelar el TMOS de potencia que datan desde 1982 [3].

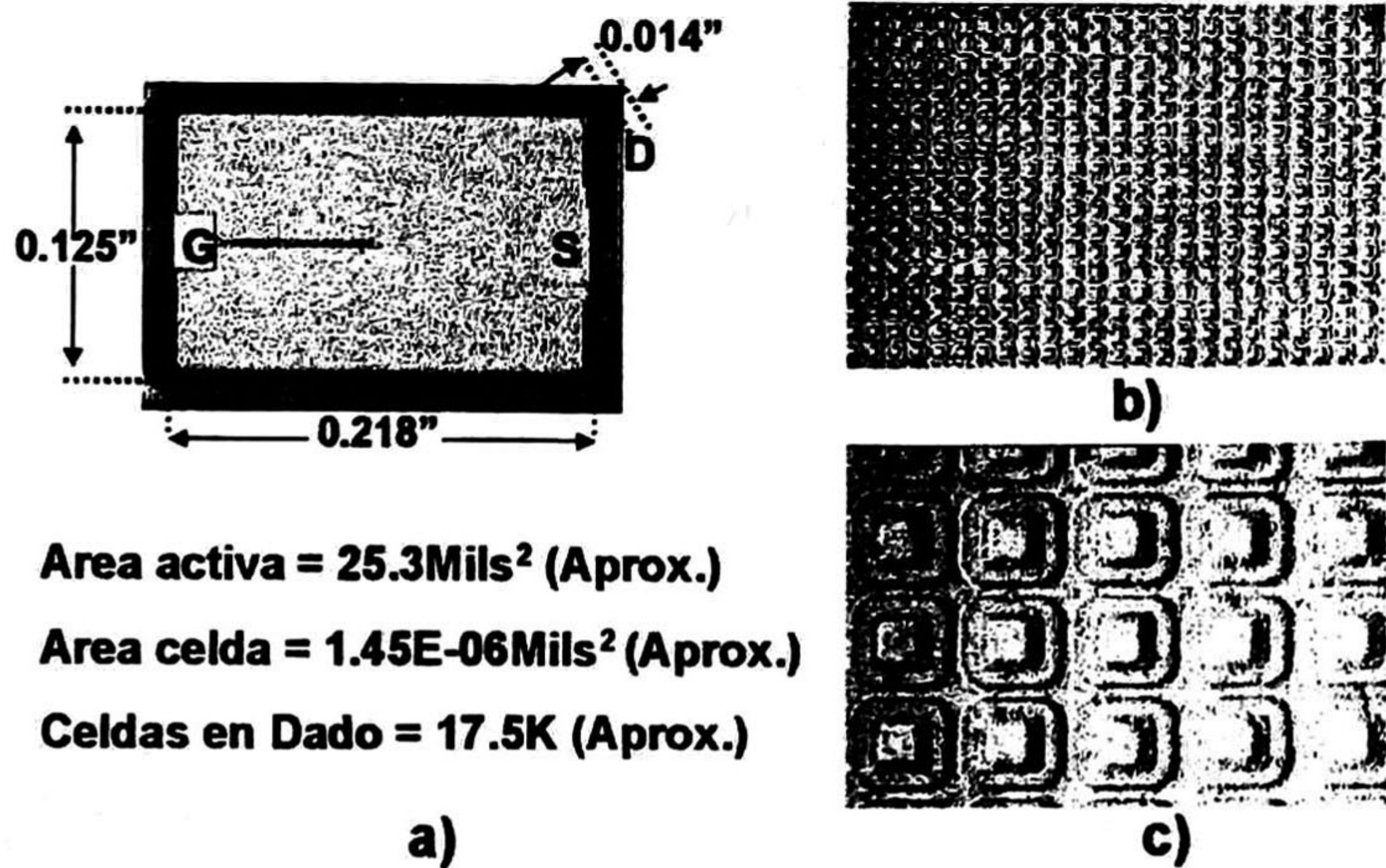


Figura 2.7 Dispositivo TMOS de potencia MTP3N100E actual, a) dimensiones actuales b) detalle de celdas 20X, tamaño actual; c) detalle de celdas, 100X tamaño actual.

Después de analizar varios modelos bastante complejos para la simulación de los TMOS de potencia, se encontró que se reporta por Kielkowski [3] que el macromodelo creado por Iraj Masarrati de SILICONIX [8], ofrece una exactitud superior, buenas características de convergencia y una estructura simple, lo que cumple con nuestros objetivos iniciales y nos beneficia con una extracción de parámetros más simple, y que ya ha sido utilizada por algunos autores. Por esta razón este es el modelo que utilizaremos. En el anexo A2 se pueden observar los macromodelos que se analizaron con respecto a su complejidad, principalmente en la extracción de los parámetros del modelo. La figura 2.8, muestra el circuito equivalente del macromodelo para la simulación del TMOS de potencia que se utilizará. En el mismo se incluyen el TMOS-núcleo, diodos, resistores, capacitores e inductancias.

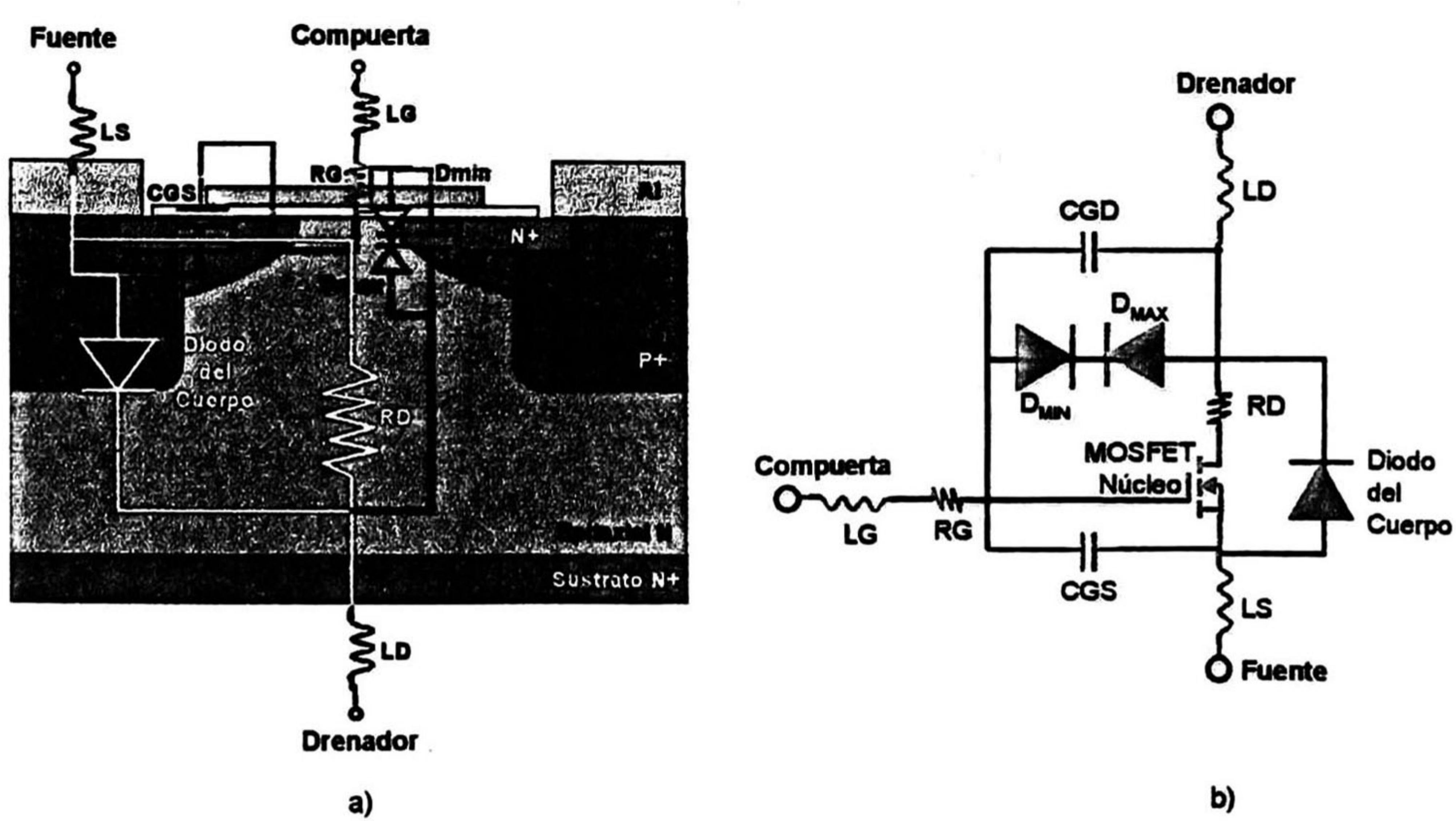


Figura 2.8.- Modelo del TMOS de potencia canal-N en evaluación, a) Estructura física; b) Circuito equivalente

2.4 Los parámetros del macromodelo del TMOS de potencia

Como se puede observar en la figura 2.8.b), el núcleo del macromodelo para la simulación del TMOS de potencia es el TMOS de pequeña señal estándar del SPICE, que se simula utilizando el Nivel 1 o el 3 (para mejorar el ajuste en los dispositivos de bajo voltaje). Los restantes elementos tienen sus modelos específicos en el simulador. Los parámetros de I-V del transistor-núcleo pueden ser ajustados de tal manera que modelen el comportamiento de I-V del TMOS de potencia. La Tabla 2.1, muestra los parámetros de DC del TMOS-núcleo. Esta tabla muestra 4 de los 42 parámetros del modelo del TMOS, por lo que los restantes 38 se han despreciado debido a que estos describen muchos de los efectos de canal corto que no se presentan en los TMOS de potencia. En lugar de utilizar los parámetros de capacitancia del modelo del TMOS, las características de capacitancia del macromodelo serán descritas por elementos externos del macromodelo. También se puede notar que las capacitancias asociadas con el sustrato en el modelo típico del TMOS no están presentes en el modelo del TMOS de potencia debido a que prácticamente no existe el sustrato como elemento ya que el mismo es el drenador, o sea, este es un dispositivo de tres electrodos solamente.

Nombre	Parámetro	Unidad	Valor por omisión
Nivel	Índice de Modelo	–	1
VTO	Voltaje de umbral	V	0.0
KP	Parámetro de transconductancia	A/V ²	2.0E-5
RS	Resistencia óhmica de Fuente	Ω	0.0

Tabla 2.1.- Parámetros del TMOS-núcleo del macromodelo que se utilizan para las características I-V de DC.

Nombre	Parámetro	Unidad	Valor por omisión
D_{BODY}			
IS	Corriente de saturación	A	1.00E-14
RS	Resistencia ohmica	Ω	0
N	Coefficiente de emisión	–	1
CJO	Capacitancia de unión a 0 V	F	0
VJ	Potencial de unión	V	1
M	Coefficiente del gradiente de variación	–	0.5
D_{MIN}			
CJO	Capacitancia de unión a 0 V	F	0
VJ	Potencial de unión	V	1
M	Coefficiente del gradiente de variación	–	0.5
D_{MAX}			
CJO	Capacitancia de unión a 0 V	F	0

Tabla 2.2- Parámetros activos del macromodelo del TMOS de potencia.

Los restantes elementos del macromodelo se agrupan en dos grandes categorías que se muestran en las tablas 2.2 y 2.3, las cuales contienen los elementos activos (no lineales) y pasivos respectivamente.

Nombre						
LS	LD	LG	RG	RD	CGD	CGS

Tabla 2.3.- Parámetros de los elementos pasivos del macromodelo del TMOS de potencia.

Los parámetros del modelo en las tablas 2.1 y 2.2, y los valores de los elementos pasivos en la tabla 2.3, describen las características I-V y C-V del macromodelo del TMOS de potencia.

D_{BODY} simula el diodo que se forma entre la región tipo-P y la región tipo-N del drenador. Los parámetros del diodo D_{BODY} simulan las características de este diodo del cuerpo tanto para los parámetros de DC como para AC del dispositivo (capacitancia Cds). Este diodo se añade debido a que el TMOS del SPICE cuenta con los diodos D-B y S-B, que tienen muy poca flexibilidad y no puede ser fácilmente igualado con las características medidas.

Los diodos D_{MIN} y D_{MAX} ayudan a modelar la capacitancia no lineal Cgd (compuerta-drenador) y las características de la carga de compuerta. Como ya se explicó en el punto 2.3, debido a que parte de la capacitancia Cgd tiene una componente dependiente de los voltajes de compuerta y drenador en la superficie de la región epitaxial N- por debajo del traslape con la compuerta, el origen de la capacitancia es de acumulación y deserción, dependiendo del estado en el que se encuentre el dispositivo. Por esta razón se utiliza la característica de la región de deflexión del diodo en función del voltaje para simular dicha capacitancia. Ambos diodos simulan los cambios de capacitancia debidos al cambio en el voltaje entre drenador y compuerta cuando el dispositivo esta en conmutación. Cuando el voltaje de drenador es mayor al de compuerta (corte) D_{MAX} se encuentra polarizado directamente y D_{MIN} en inversa, por lo que D_{MIN} es el que contribuye a la capacitancia compuerta-drenador. Cuando el dispositivo se encuentra en saturación, el voltaje drenador-fuente cae casi a cero y el voltaje compuerta-drenador polariza directamente a D_{MIN} e inversamente a D_{MAX} , quien complementa la simulación de la capacitancia compuerta-drenador.

Los inductores LD, LS y LG modelan la inductancia de las terminales del transistor en su empaque. RG representa la resistencia de compuerta o resistencia distribuida del dispositivo. RD representa la resistencia del drenador R_{DSon} del TMOS que contiene todas las resistencias en serie como se muestra en la figura 2.4.a. En este modelo, se utiliza una resistencia RD externa para modelar la resistencia del drenador porque la resistencia interconstruida del TMOS núcleo no permite al usuario describir los coeficientes de temperatura del transistor. La resistencia RD externa puede ser ajustada para que cambie con la temperatura. El valor de la resistencia RD es especialmente importante en los dispositivos de alto voltaje, debido a que la resistencia del silicio en la base debe ser mayor, para tener mayores voltajes de ruptura, lo que trae como resultado el aumento de RD, y no poder considerarlo igual al RS.

Los capacitores CGD y CGS representan las capacitancias constantes de compuerta-drenador y compuerta-fuente.

2.5 Los parámetros de DC del TMOS de potencia

Para entender mejor los parámetros de corriente directa de la Tabla 2.1, se muestran a continuación las ecuaciones de nivel 1 utilizadas: 2.7, 2.8 y 2.9, que describen la corriente de drenador del TMOS, en las diferentes regiones de la característica de salida, como se puede observar en la figura 2.9.

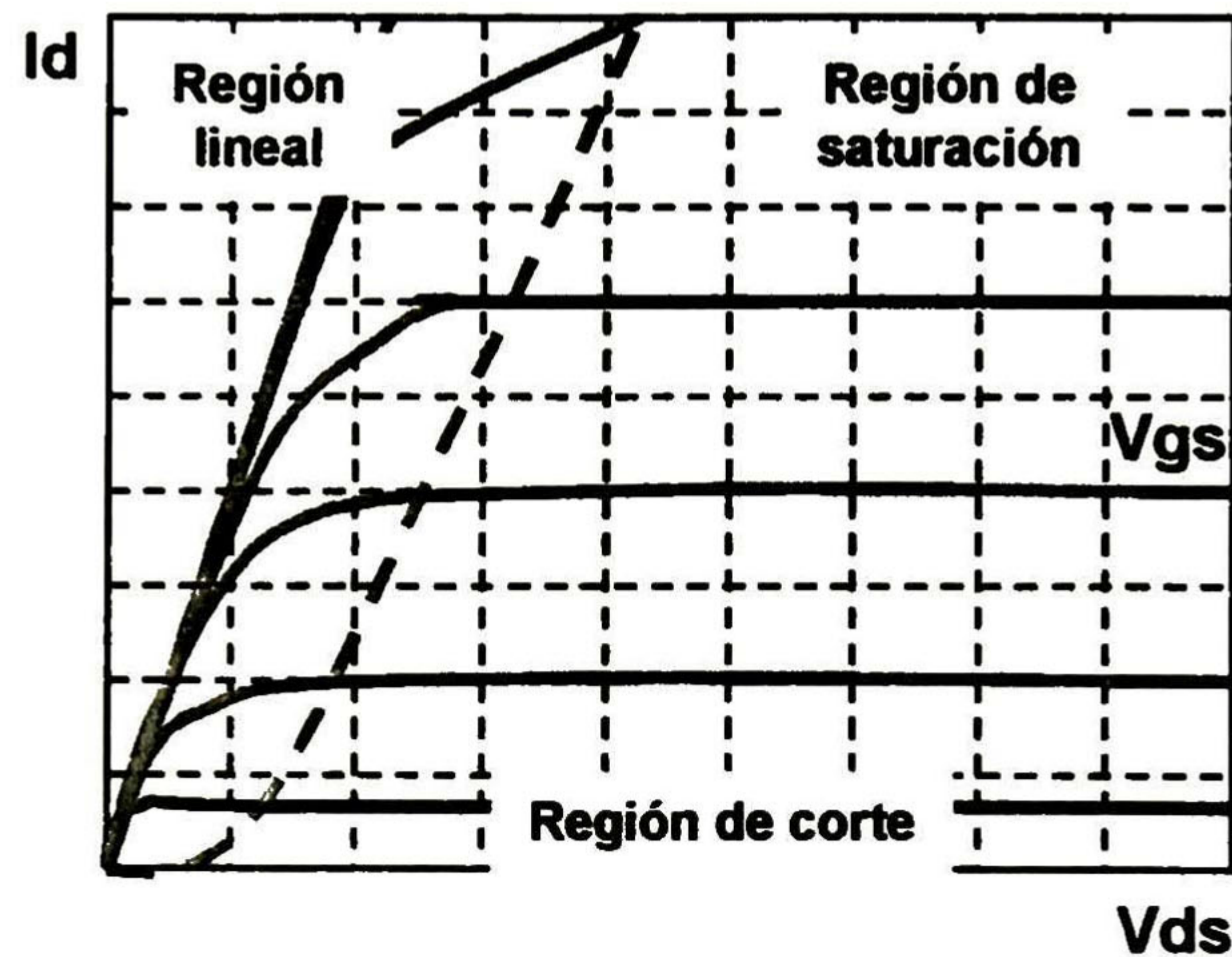


Figura 2.9.-Característica de salida del TMOS de potencia, mostrando la región lineal, corte y saturación.

Para la región lineal $|V_{gs} - V_{TO}| > V_{ds}$ [7]:

$$I_{ds} = KP * \left(V_{gs} - V_{TO} - \frac{V_{ds}}{2} \right) * V_{ds} * (1 + LAMBDA * V_{ds}) \quad (2.7)$$

Para la región de saturación $V_{ds} \geq |V_{gs} - V_{TO}|$ [7]:

$$I_{ds} = \frac{KP}{2} * (V_{gs} - V_{TO})^2 * (1 + LAMBDA * V_{ds}) \quad (2.8)$$

Para la región de corte $|V_{gs}| < |V_{TO}|$ [7]:

$$I_{ds} = 0 \quad (2.9)$$

En las ecuaciones 2.7 y 2.8, K_P representa la tranconductancia del transistor. V_{TO} representa el voltaje umbral, o sea al cual se forma el canal y el transistor comienza a conducir corriente. Ambos parámetros son determinados de las características I-V del transistor.

La manera de extraer los valores para estos parámetros junto con el resto de los parámetros del macromodelo se describirá en el capítulo 3.

2.6 Las capacitancias del macromodelo del TMOS de potencia

Debido a la naturaleza vertical del TMOS de potencia, las capacitancias del modelo del TMOS de pequeña señal no proporcionan un modelo exacto para el TMOS de potencia. Por esta razón, los parámetros de las capacitancias del TMOS de pequeña señal, no se consideran y por tanto el modelo de capacitancias es simulado añadiendo capacitancias externas al TMOS-núcleo, (ver figuras 2.4 y 2.8).

Funcionalmente, las capacitancias para el macromodelo del TMOS de potencia pueden ser mostradas como se ilustra en la figura 2.10. Desafortunadamente, no podemos medir las capacitancias C_{gs} , C_{gd} , y C_{ds} directamente. En lugar de ello, estos valores se deberán obtener a partir de las capacitancias medidas C_{iss} , C_{oss} , y C_{rss} .

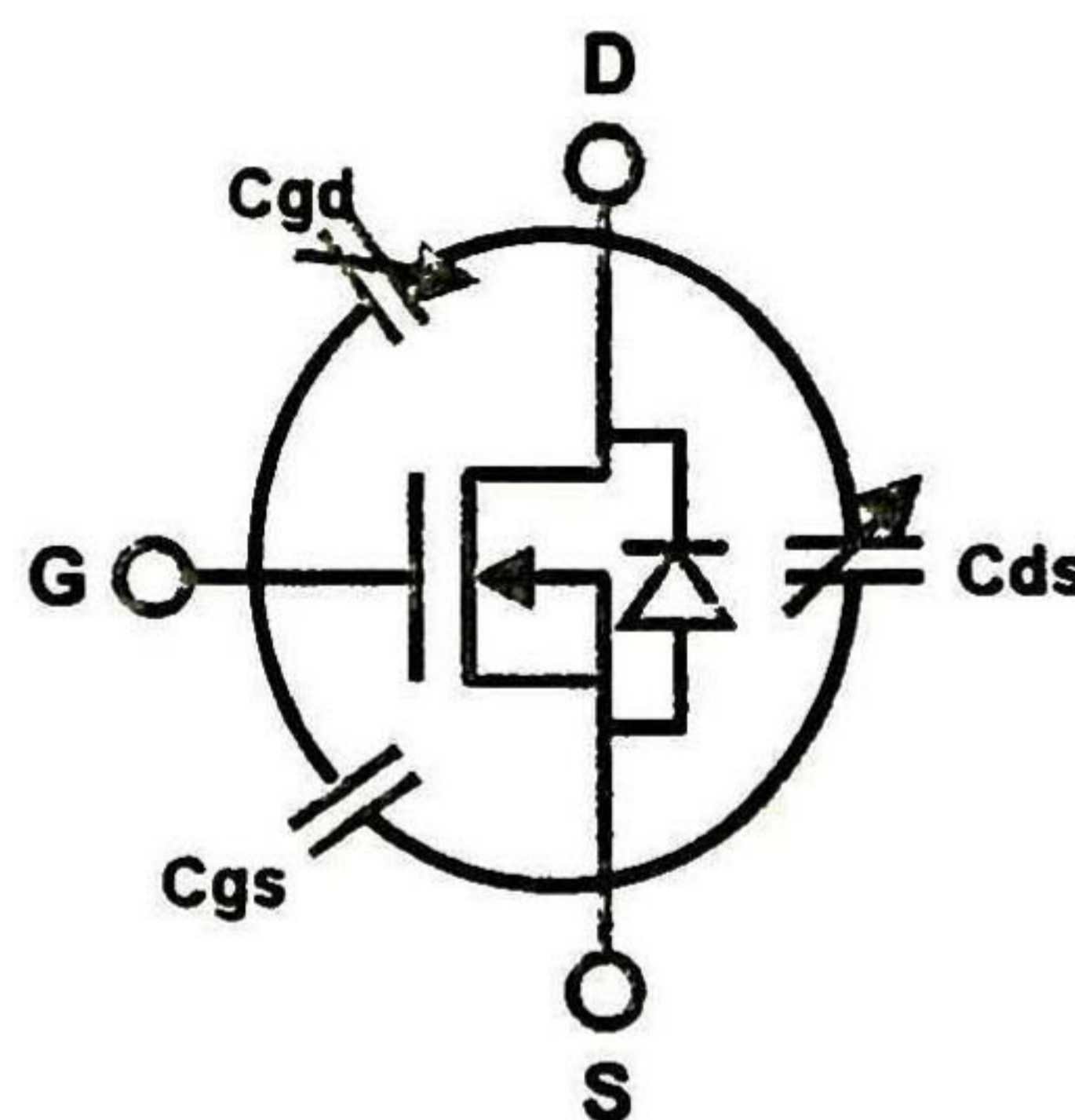


Figura 2.10.- Capacitancias terminales del TMOS de potencia.

Para entender las capacitancias del modelo del TMOS de potencia, debemos revisar las hojas de datos de los dispositivos. Las tres capacitancias tradicionales que se pueden medir y están en las hojas de datos, como ya se mencionó anteriormente, son: la capacitancia de entrada C_{iss} , que representa las capacitancias de compuerta-fuente y compuerta-drenador durante la aplicación de la señal de entrada a la compuerta. La capacitancia de salida C_{oss} , que comprende las capacitancias compuerta-drenador y drenador fuente, que están presentes a la salida del circuito. Y la capacitancia de transferencia en reversa C_{rss} , que es la misma capacitancia presente de compuerta-drenador. La variación de las capacitancias con los voltajes aplicados se puede observar en la figura 2.11.

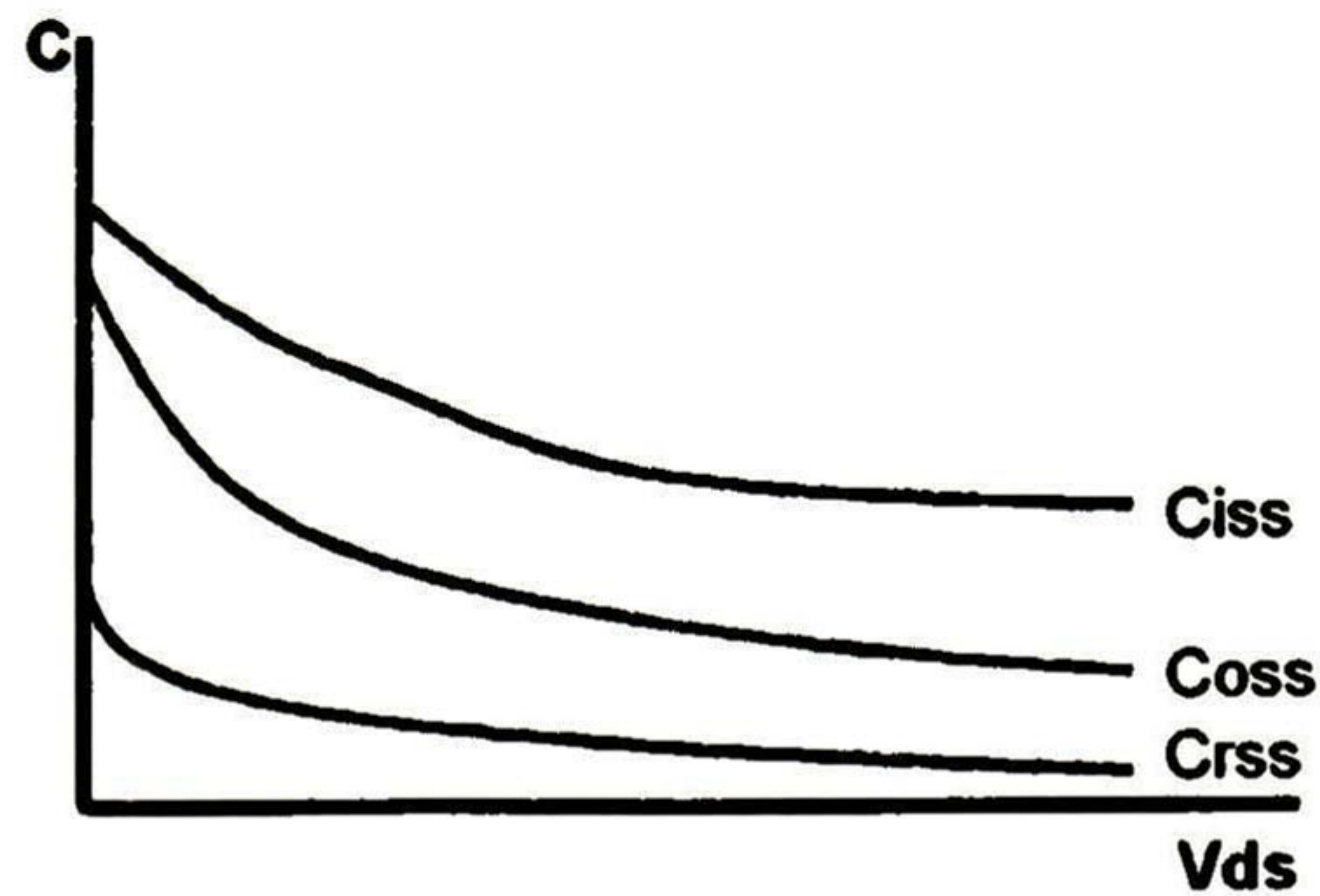


Figura 2.11.- Características de las capacitancias del TMOS de potencia.

La relación entre estas capacitancias medidas y las del modelo se muestran a continuación [3]:

$$C_{iss} = C_{gs} + C_{gd} \tag{2.10}$$

$$C_{oss} = C_{gd} + C_{ds} \tag{2.11}$$

$$C_{rss} = C_{gd} \tag{2.12}$$

Otra magnitud importante es la característica de carga de compuerta que se muestra en la figura 2.12, donde se aprecia la relación entre el voltaje aplicado a la compuerta y la carga acumulada en la misma. Esta característica es altamente recomendada para los diseñadores de circuitos “drivers” de TMOS de potencia en los cálculos de los tiempos de conmutación debido a que, a diferencia de utilizar las capacitancias exclusivamente, se puede obtener una mayor precisión. Esto debido a que prácticamente la cantidad de carga necesaria para poder llevar el dispositivo al estado de “encendido” y posteriormente al de “apagado”, es la que establece dichos tiempos.

Normalmente esta gráfica se muestra a tres diferentes voltajes de V_{ds} . Para que nuestro modelo del TMOS de potencia se pueda modelar con exactitud necesitamos ambas características: las de capacitancia y la de carga de compuerta.

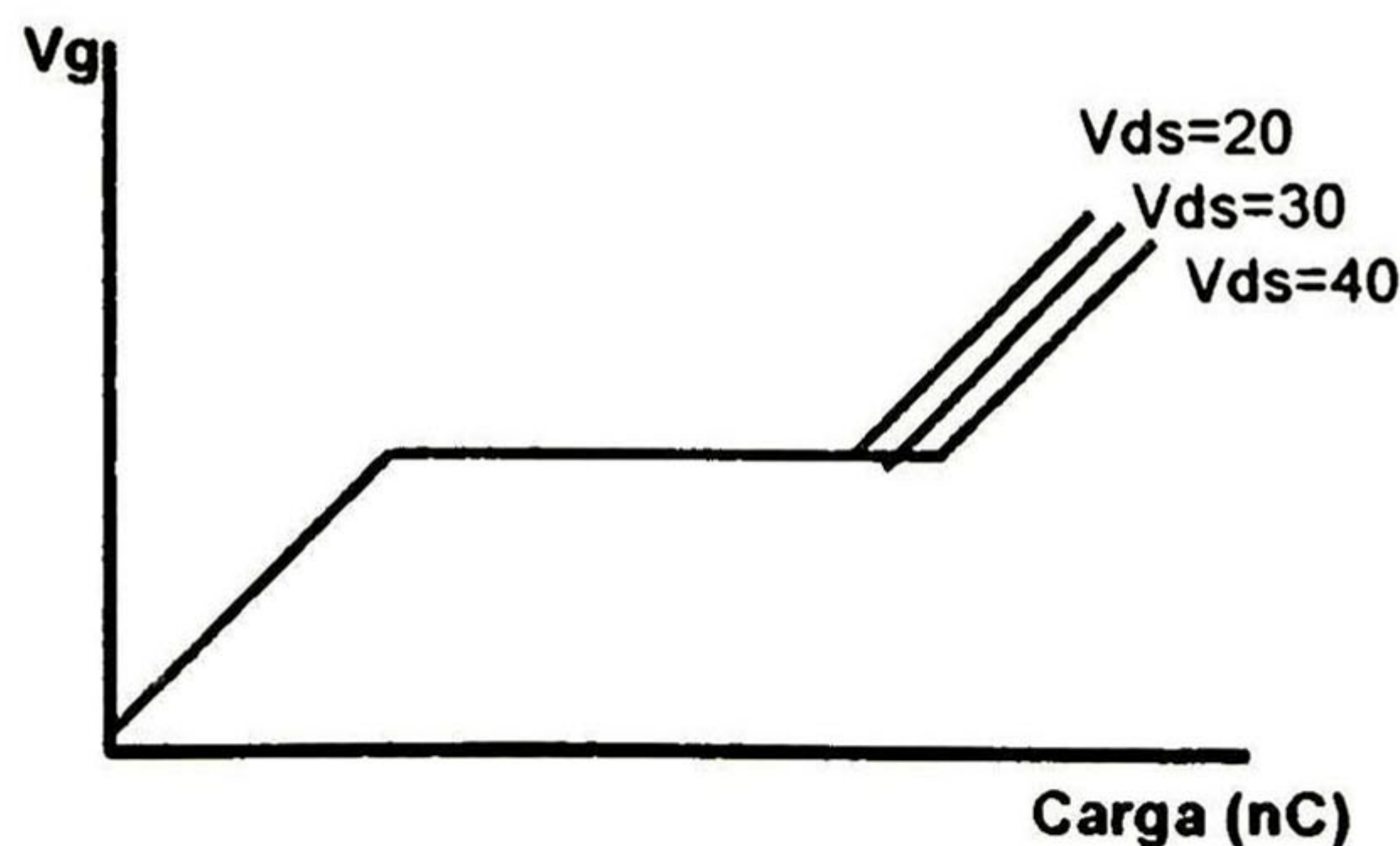


Figura 2.12.- Características de carga de compuerta del TMOS de potencia.

Como se puede observar en la figura 2.13, la conmutación del dispositivo es completamente dependiente con la característica de carga de compuerta [4]:

- a) En el intervalo de tiempo $t_1 - t_2$, el tiempo de retardo en el encendido inicial $t_d(\text{on})$ es debido al tiempo que tarda V_{gs} en incrementarse exponencialmente hasta el voltaje de umbral. De aquí puede verse que la constante de tiempo es determinada por $R_s \cdot C_{gs}$. Debido a que la impedancia de la señal de entrada es un factor predominante en la ecuación del tiempo $t_d(\text{on})$, las condiciones de prueba utilizadas durante la medición de la característica son muy importantes.
- b) En el intervalo de tiempo $t_2 - t_3$, el voltaje V_{gs} ha alcanzado el nivel de voltaje de umbral por lo que no existe más consumo de carga por C_{gs} debido a que el voltaje de compuerta se mantiene constante. Ahora la carga es enfocada totalmente a la capacitancia Miller y el circuito de compuerta contribuye exclusivamente a descargar dicha capacitancia.

Lo anterior es correcto si el flujo de corriente en el drenador se mantiene constante a un nivel determinado, ya que los cambios en la corriente I_{ds} demandan directamente una variación en la cantidad de carga para C_{gs} , debido a que se requiere una mayor cantidad de carga en el circuito de I_{ds} .

A menos que el circuito de compuerta pueda rápidamente suministrar la corriente para descargar C_{dg} , la caída de voltaje en V_{ds} será lenta lo cual incrementará el tiempo de encendido, t_r .

- c) En el intervalo de tiempo $t_3 - t_4$, el TMOS está encendido y el voltaje de compuerta puede incrementarse por arriba del nivel requerido.
- d) En el intervalo de tiempo $t_4 - t_5$, el apagado del dispositivo comienza en orden inverso. El retardo en el comienzo del tiempo de apagado $t_d(\text{off})$, depende de la caída del voltaje V_{gs} a cerca del valor de umbral, y a que el voltaje V_{ds} comience a incrementar debido al efecto Miller que ocurre de nuevo debido a la capacitancia C_{dg} , la cual impide el aumento del voltaje V_{ds} a la vez que C_{dg} se recarga al nivel de V_{cc} .
- e) En el intervalo de tiempo $t_5 - t_6$, el tiempo de caída t_r , es debido principalmente a la descarga de la capacitancia C_{gs} debida a la disminución del voltaje V_{gs} hasta llegar a cero.

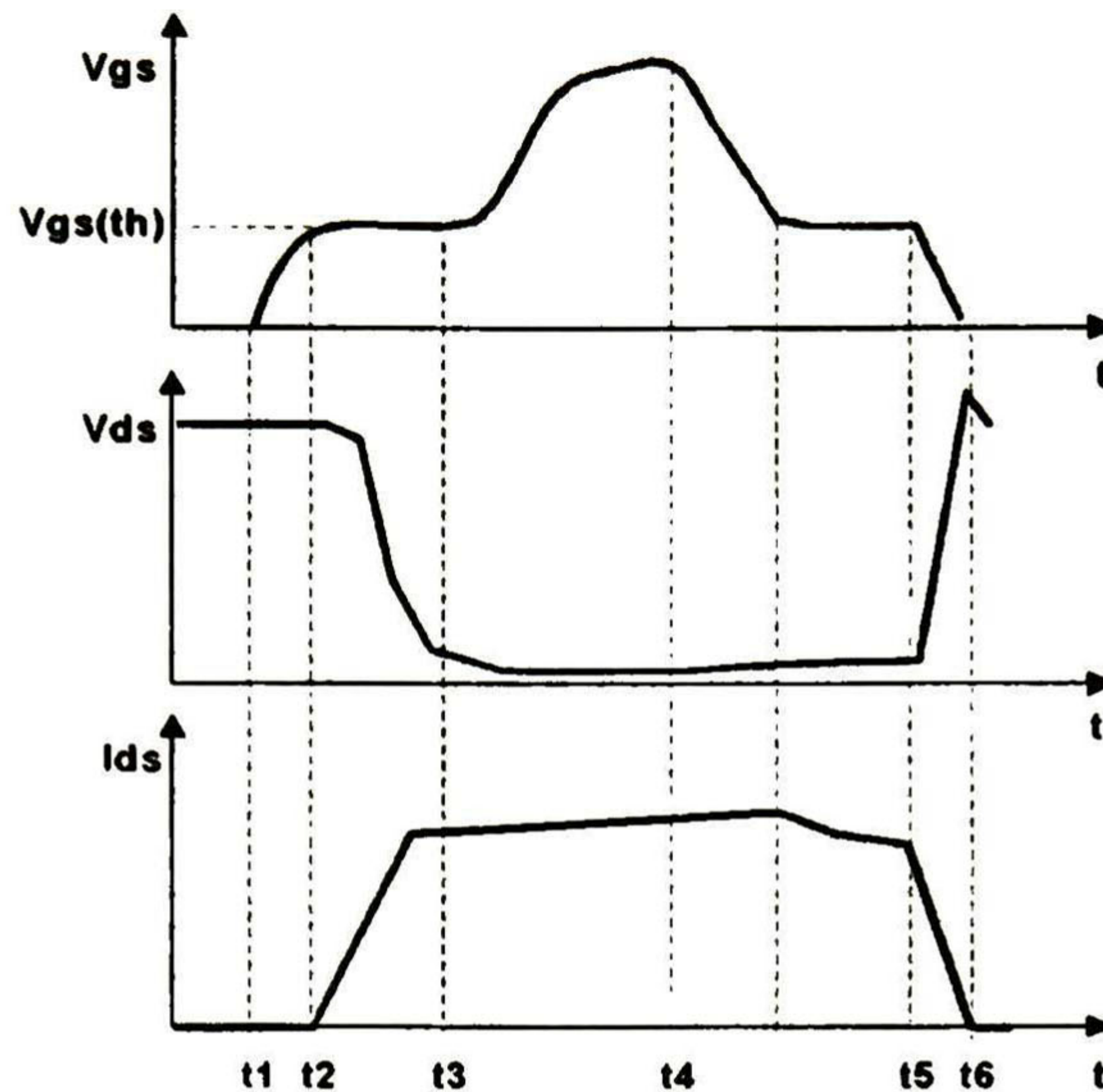


Figura 2.13.- Formas de onda de conmutación con carga resistiva, para un TMOS de potencia.

2.7 Conclusiones

Se analizaron diferentes macromodelos para los TMOS de potencia, seleccionando el modelo de SILICONIX por su simpleza y las posibilidades de realizar la extracción de los parámetros que lo definen.

Este macromodelo tiene como elemento central, el modelo del TMOS de pequeña señal que forma el núcleo del macromodelo y puede ser simulado con el modelo de nivel 1 en los simuladores tipo SPICE. Se definieron todos los elementos del macromodelo y los parámetros que los modelan

Bibliografía

- [1] Antonio Cerdeira Altuzarra, *"Notas para el Curso de Microelectrónica"*, CINVESTAV Depto. Ing. Eléctrica, México, D.F.
- [2] Tor A. Fjeldly, Trond Ytterdal, Michael Shur, *"Introduction to Device Modeling and Circuit Simulation"*, John Wiley & Sons Inc., 1998.
- [3] Ron M. Kielkowsky, *"SPICE Practical Device Modeling"*, McGraw-Hill, 1995.
- [4] Ralph Locher, *"AN558-Rev. B, Introduction to Power MOSFETs and their Applications"*, FAIRCHILD Semiconductor, 1998.
- [5] International Rectifier, *"Use Gate Charge to Design the Gate Drive Circuit for power MOSFETs and IGBTs"*, International Rectifier AN-944.
- [6] Charles-Edouard Cordonnier, *"Spice Model for TMOS Power TMOSs"*, MOTOROLA FET Applications Manual - AN1043, 1991.
- [7] B. Jayant Baliga, *"Power Semiconductor Devices"*, PWS Publishing Company, 1996.
- [8] Ed Oxner, personal correspondence, December 31, 1993 (by Kielkowsky).

Metodología para la extracción de parámetros del TMOS de potencia

3.1 Extracción de los parámetros del modelo del TMOS de potencia

Como ya lo mencionamos en el capítulo anterior la adecuada selección del modelo para la simulación del tipo de TMOS bajo estudio, es de vital importancia para la exactitud de la simulación. De igual forma los valores de los parámetros de estos modelos son también muy importantes ya que de ellos dependerá también la exactitud de la simulación. La razón es que en estos modelos algunos parámetros no se pueden calcular con precisión. Además algunos parámetros tienen un carácter empírico y sirven para el ajuste de las características y cuando queremos representar un dispositivo real, los valores de estos parámetros calculados no reproducirían fielmente los datos experimentales.

Por esta razón se hace necesario el contar con un sistema adecuado de extracción de parámetros para cada tipo de TMOS que represente su real comportamiento. Dependiendo de la aplicación se selecciona el método de extracción, teniendo dos principales tipos:

a) **La extracción individual.**- Esta técnica requiere de mediciones independientes de las cuales se pueden extraer uno o dos parámetros. De esta forma se requiere realizar diferentes mediciones y en diferentes condiciones con el fin de tener el juego completo de parámetros. Las ventajas y desventajas que podemos nombrar son:

- Los resultados se asocian con magnitudes físicas tales como N_B , V_T , μ , θ , etc.
- Permite la evaluación del comportamiento del dispositivo y de la tecnología de fabricación.
- El procedimiento es lento y trabajoso.
- Existen parámetros que sólo se pueden determinar indirectamente, como V_{MAX}
- La precisión de ajuste entre las características experimentales y las calculadas puede no ser la mejor, teniendo en cuenta que cada parámetro se calculó en condiciones diferentes.

b) **Técnicas de optimización matemática.**- Esta procedimiento es realizado de una manera mucho más sofisticada con sistemas automáticos dedicados a la adquisición de datos y extracción de parámetros. Normalmente son equipos computarizados que realizan mediciones de características I-V y/o C-V en varios dispositivos de un cierto tipo. Los datos obtenidos son procesados por algoritmos para obtener los valores de los parámetros utilizando la técnica de error medio cuadrado para minimizar su función objetivo, que minimice la diferencia relativa entre la corriente calculada y la corriente medida. Las ventajas y desventajas de esta técnica son:

- Se utilizan técnicas generales de optimización matemáticas muy elaboradas.
- Se dan los datos experimentales de todo el rango de variación para corrientes y voltajes en que se requiere realizar la simulación.
- En un solo procesamiento se obtiene el juego de parámetros a la vez.
- El valor de los parámetros obtenidos no tiene necesariamente un sentido físico.
- Las diferentes regiones de las características de salida se procesan al mismo tiempo, teniendo así un ajuste en todas las regiones.
- Se pueden realizar análisis estadísticos, debido a que se pueden realizar diferentes juegos de parámetros, para diferentes dispositivos, teniendo como resultado parámetros promediados.
- La precisión de ajuste modelo-datos es muy buena.
- El procedimiento es simple.

La técnica que utilizaremos será la de Extracción Individual de parámetros debido a que el propósito del presente trabajo está enfocado principalmente a los siguientes objetivos: el de ejercitar el conocimiento sobre la física de los dispositivos semiconductores, la tecnología de fabricación y el comportamiento del dispositivo, y el de proveer un procedimiento efectivo y factible de caracterización de producto para la planta de ON Semiconductor/Motorola GDL con los medios con que cuenta la misma, ya que es más común contar con equipos para realizar mediciones de I-V y C-V que con equipos más sofisticados de caracterización de productos.

La extracción de parámetros se realizará en dos grandes bloques de acuerdo con el modelo que se escogió anteriormente en el capítulo 2. La primera parte describirá el procedimiento normal de extracción de parámetros de DC y la segunda, las capacitancias para el TMOS de potencia. Para ayudar con el procesamiento de algunos datos durante el procedimiento de la extracción de parámetros utilizaremos algunos programas auxiliares del programa de simulación RSPICE, diseñados especialmente con ese propósito.

3.2 Extracción de los parámetros de DC del macromodelo

Los parámetros de DC del macromodelo del TMOS de potencia contemplan prácticamente dos elementos para su modelación: los parámetros del TMOS-núcleo y los del diodo del cuerpo.

Parámetros de DC del TMOS-núcleo

Primeramente comenzamos con la extracción de los parámetros de DC del TMOS-núcleo del macromodelo. Los primeros parámetros a extraer son VTO y KP. Algunos autores [5] reportan que para sus modelos de TMOS de potencia, la obtención de los parámetros VTO y KP pueden ser obtenidos a partir de las características de la región lineal para dispositivos de bajo a medio voltaje, y de saturación para dispositivos de alto voltaje.

Consideraciones Básicas:

Debido a que en muchas ocasiones no se tiene disponible datos de proceso tecnológico de fabricación de obleas para las áreas de ensamble o usuarios en general, se hacen algunas consideraciones para este modelo:

- KP representa la transconductancia efectiva $KP = W/L * \mu_0 * C_{ox}$.
- Debido a que el TMOS de potencia es de estructura vertical, las resistencias RD y RS son asimétricas. La resistencia de fuente RS es principalmente debida al alambre de soldado entre semiconductor cabezal del envase y las capas de metal de contacto del chip. En los productos actuales, RS es despreciable comparada con las demás resistencias del dispositivo. Para todos los productos se atribuye $1 \text{ m}\Omega$ a este parámetro.
- Por lo anterior, RD se relaciona directamente con el parámetro R_{DSon} del dispositivo el cual representa la suma de las resistencias asociadas durante el flujo de corriente entre drenador y fuente cuando este se encuentra activado por la polarización de compuerta. Su valor es considerablemente mayor, considerando que el contacto del drenaje esta en el fondo de la oblea.

Extracción de VTO y KP

Para la extracción de parámetros de la **región lineal** del TMOS se requiere obtener la característica de la transconductancia mediante la conexión del dispositivo como se ilustra en la figura 3.1(a). Aquí se puede observar que se mantiene un voltaje constante entre drenador y fuente de 0.1 V , a la vez que se hace variar el voltaje, con pequeños incrementos, entre compuerta y fuente, midiendo la corriente del drenador I_d , obteniendo la característica de la región lineal como se observa en la figura 3.1(b).

De estas mediciones se escogen los datos de corriente I_D y voltaje V_G en la porción lineal de la gráfica para extraer los valores a y b ($y = a+bx$), que corresponden a la intersección con el eje y, y la pendiente de la recta respectivamente para obtener los valores de VTO y KP por medio de las siguientes ecuaciones [4]:

$$VTO = V_{gs}(\text{intersección}) - \frac{V_{ds}}{2} \quad (3.1)$$

$$V_{gs}(\text{intersección}) = -\frac{a}{b} \quad (3.2)$$

$$KP = \frac{b}{V_{ds}} \quad (3.3)$$

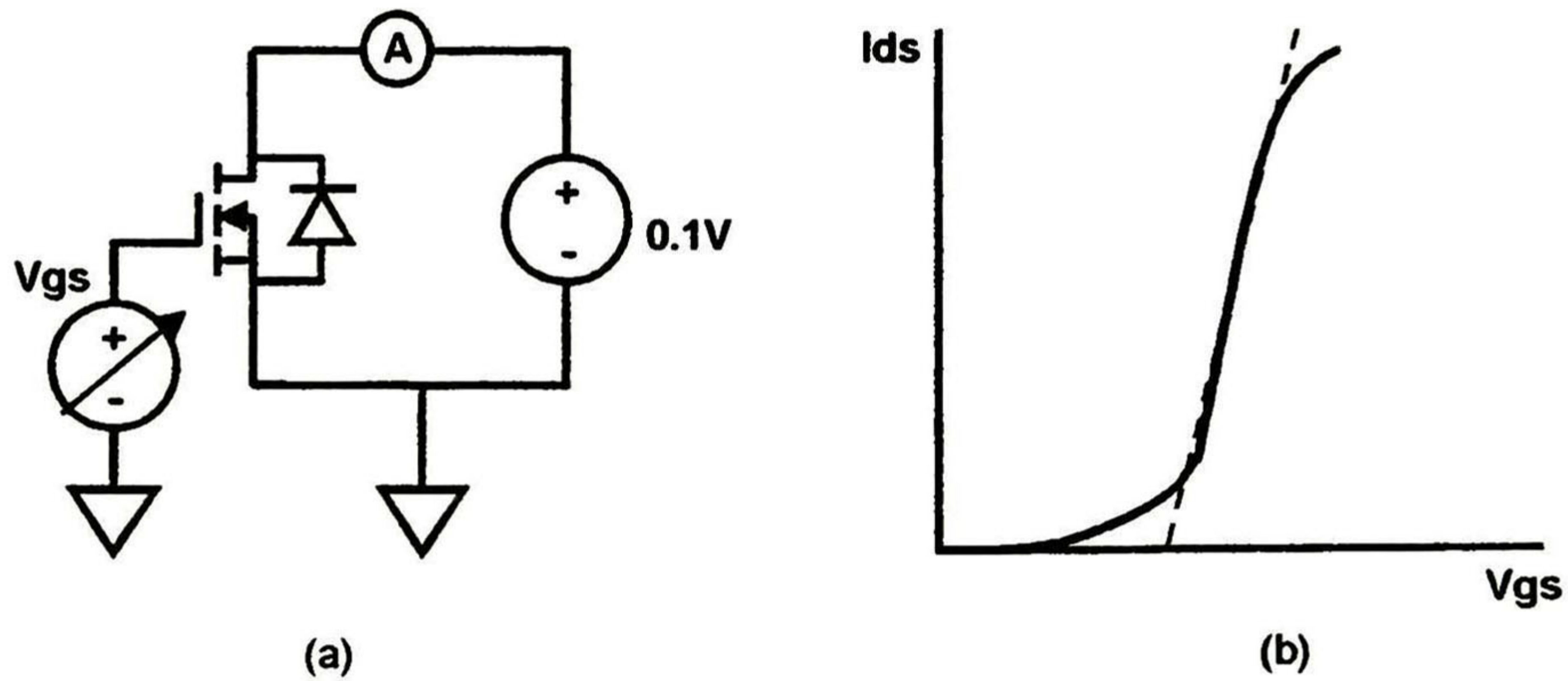


Figura 3.1.- Circuito para la medición y característica I_{ds} - V_{gs} en la región lineal del TMOS.

Para extraer estos mismos parámetros de la **región de saturación** se requiere obtener la característica de transconductancia mediante la conexión del dispositivo como se ilustra en la figura 3.2(a). En este circuito se conectan en común la compuerta y el drenador a una fuente de voltaje variable ($V_{gs} = V_{ds}$). A la vez que se varía el voltaje de compuerta, se mide la corriente del drenador I_d . Considerando la relación cuadrática entre I_{ds} y V_{gs} , ecuación 2.2, es conveniente obtener un gráfico de $I_{ds}^{1/2}$ en función de $V_{gs}=V_{ds}$, como se muestra en la figura 3.2(b). De la región lineal de esta curva se obtienen los valores a y b ($y = a+bx$), que corresponden a la intersección con el eje y , y la pendiente de la recta respectivamente para obtener los valores de V_{TO} y KP utilizando las siguientes ecuaciones [4]:

$$V_{TO} = V_{gs}(\text{intersección}) \quad (3.4)$$

$$V_{gs}(\text{intersección}) = -\frac{a}{b} \quad (3.5)$$

$$KP = 2 * (b^2) \quad (3.6)$$

La utilización de la característica de saturación proporciona una mayor exactitud en la extracción de los parámetros principalmente para KP , ya que se obtiene la mayor ganancia posible del dispositivo, lo cual es muy necesario para una simulación más exacta de los dispositivos de alto voltaje. Cabe mencionar que los mejores resultados para KP se obtienen de la mayor pendiente posible de la recta en la característica de saturación.

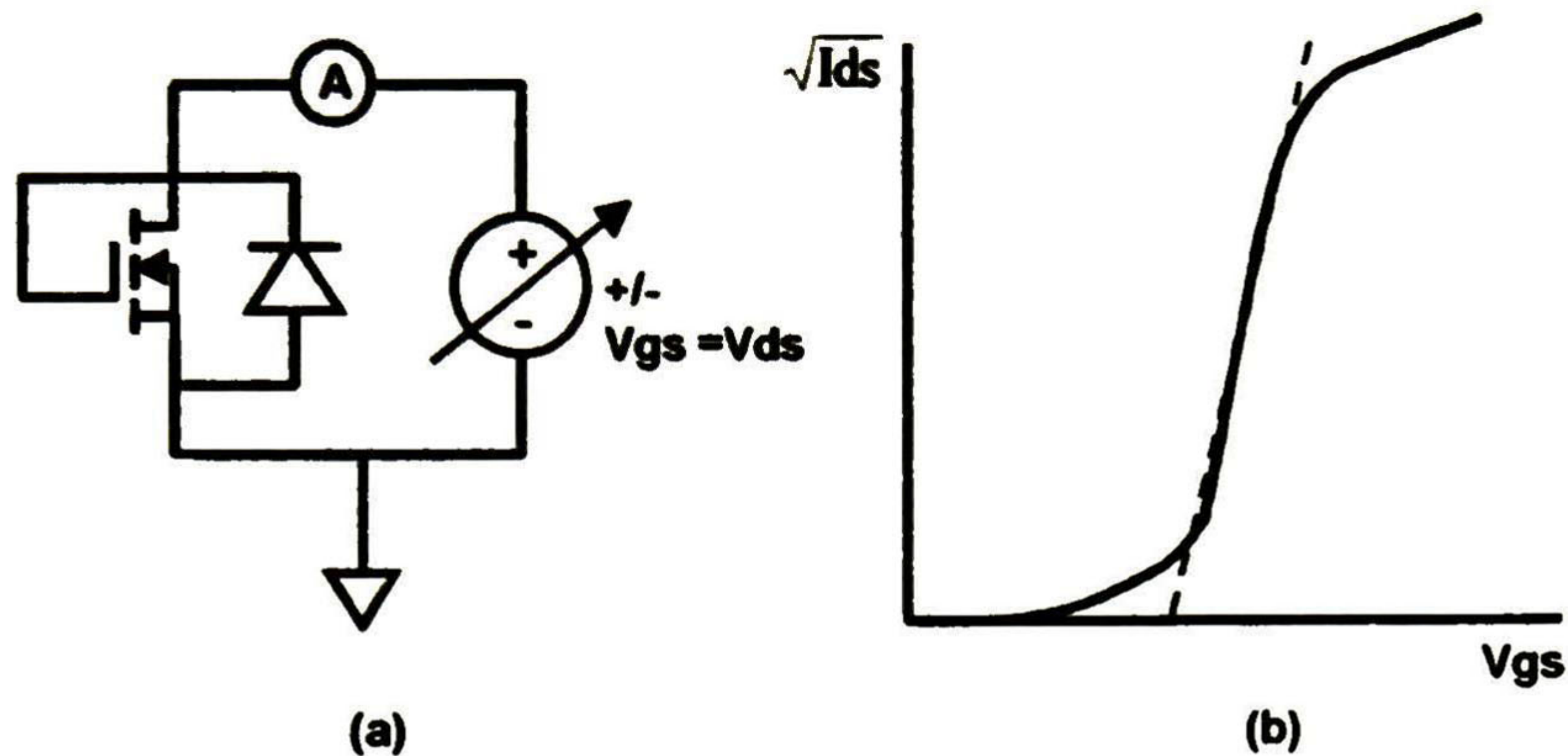


Figura 3.2.- Circuito para la medición y característica $I^{1/2}$ - V_{ds} en la región de saturación.

Parámetro R_D

La característica de saturación muestra un cambio brusco de pendiente que no se muestra en la literatura consultada. El cambio de pendiente se explica por la influencia de R_{DSon} (R_D en el macromodelo) en el voltaje que cae directamente en el drenaje del TMOS-núcleo, $V_{D'}$, a medida que la corriente aumenta. Este aumento de la corriente I_{ds} provoca una caída de voltaje V_{RD} lo que lleva al dispositivo a tener un voltaje $V_{D'}$ menor que $V_g - V_{TO}$ sacándolo de la región de saturación a la región lineal. En este caso la caída de voltaje será fundamentalmente en la resistencia en serie R_D , resultando una variación lineal.

Para la extracción de R_D , se toma la característica de saturación como se muestra en la figura 3.3.a. De la segunda pendiente se obtiene el valor de la misma y se calcula el valor para R_D como se muestra en la ecuación 3.7.

$$R_{DSon} = \frac{1}{b} = R_D \tag{3.7}$$

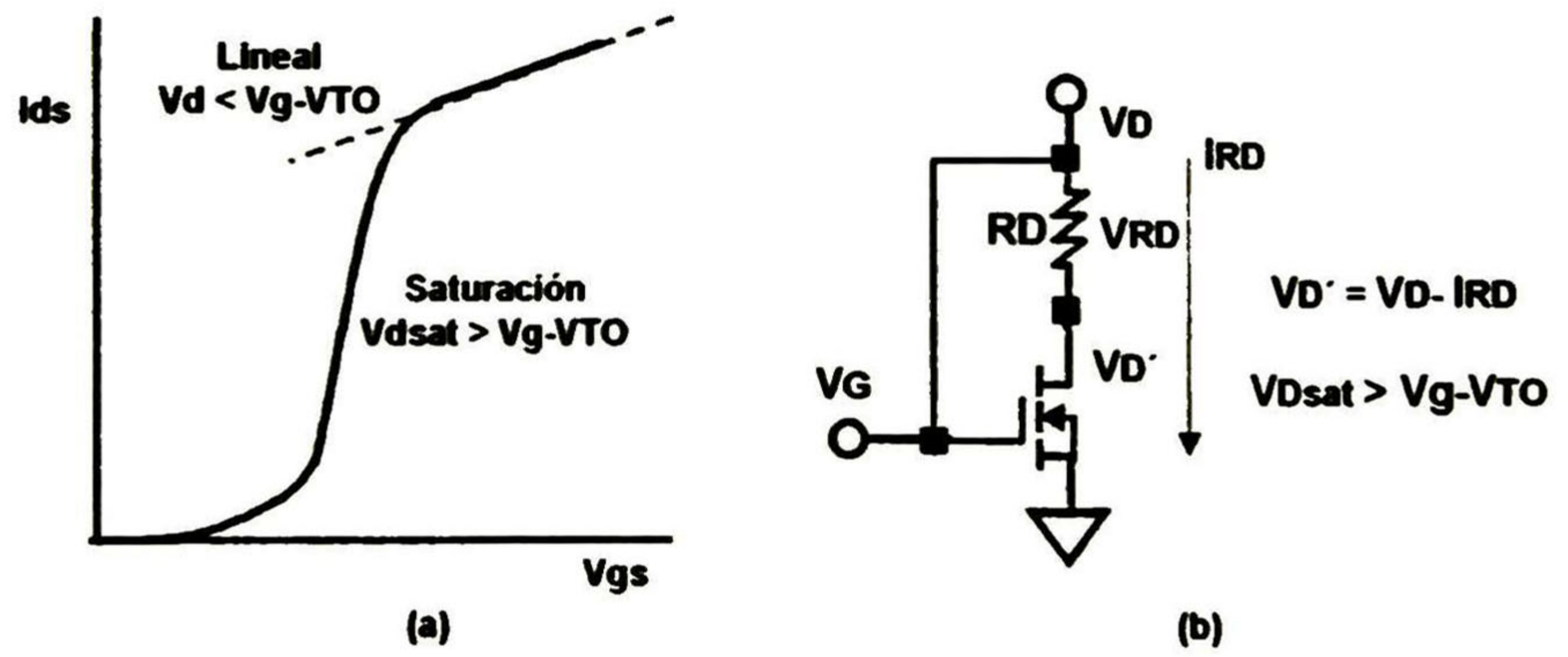


Figura 3.3.- a) Obtención del parámetro R_{DSon} a partir de la característica de saturación en la región lineal; b) explicación del cambio de pendiente (saturación a lineal) debido a R_{DSon} .

Para el modelo del TMOS que utilizaremos, la resistencia medida del drenador está definida por la resistencia externa R_D . Debido a esto, el coeficiente de temperatura de R_D deberá ser especificado. Este dato puede tomarse de la hoja de datos del fabricante mediante la relación de variación de resistencia de drenador a fuente (R_{DSon}) en función de la temperatura de la unión (T_j).

Parámetros de DC del diodo del cuerpo (“body diode”)

La característica I-V del diodo del cuerpo es modelada con los parámetros I_S , R_S y N que describen la región del diodo en polarización directa. Para extraer estos parámetros, necesitaremos obtener la curva de la característica en directa de este diodo. Para tal fin el TMOS de potencia se debe conectar como se muestra en el circuito de la figura 3.4, de tal forma que se polarice el diodo del cuerpo en directa.

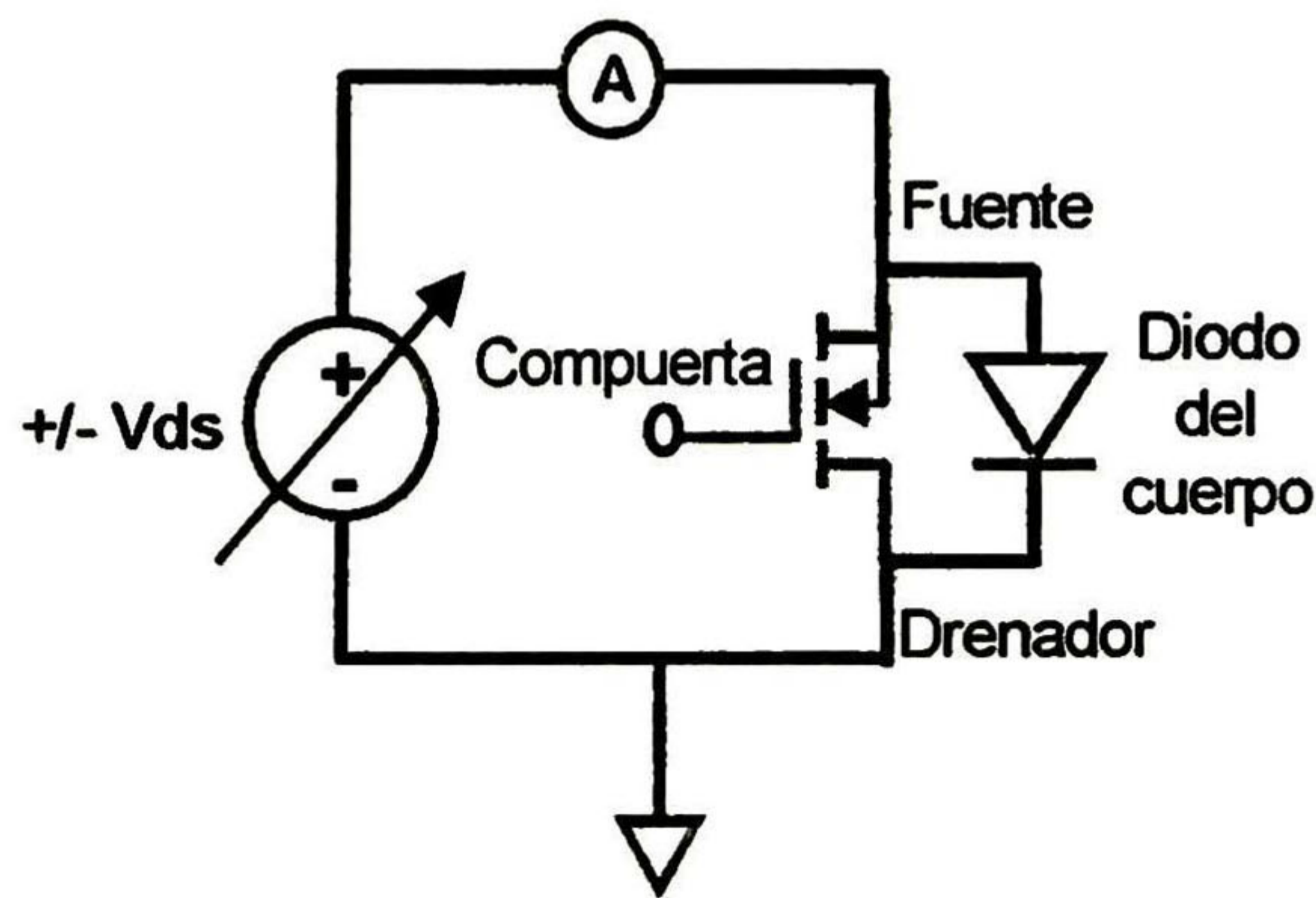


Figura 3.4.- Circuito empleado para la medición de la curva I-V del diodo del cuerpo.

Una vez obtenida la curva característica del diodo del cuerpo en directa, se grafica el $\ln(I_{ds})$ contra el voltaje V_{sd} . Enseguida se utilizan de estos datos los que corresponden a la región lineal de la curva para obtener los valores a y b ($y = a+bx$), que corresponden a la intersección con el eje “y”, y la pendiente de la recta respectivamente en la región lineal de la curva del diodo. Ver figura 3.5.

Para extraer el parámetro I_S , se utiliza el valor de la intersección con el eje “y”, utilizando la ecuación 3.8 [4]:

$$I_S = \exp(y - \text{intersección}) \quad (3.8)$$

Para obtener N , se utiliza el valor de b (pendiente de la recta) resultando [4]:

$$N = \frac{1}{\text{pendiente} * \left(\frac{kt}{q}\right)} \quad (3.9)$$

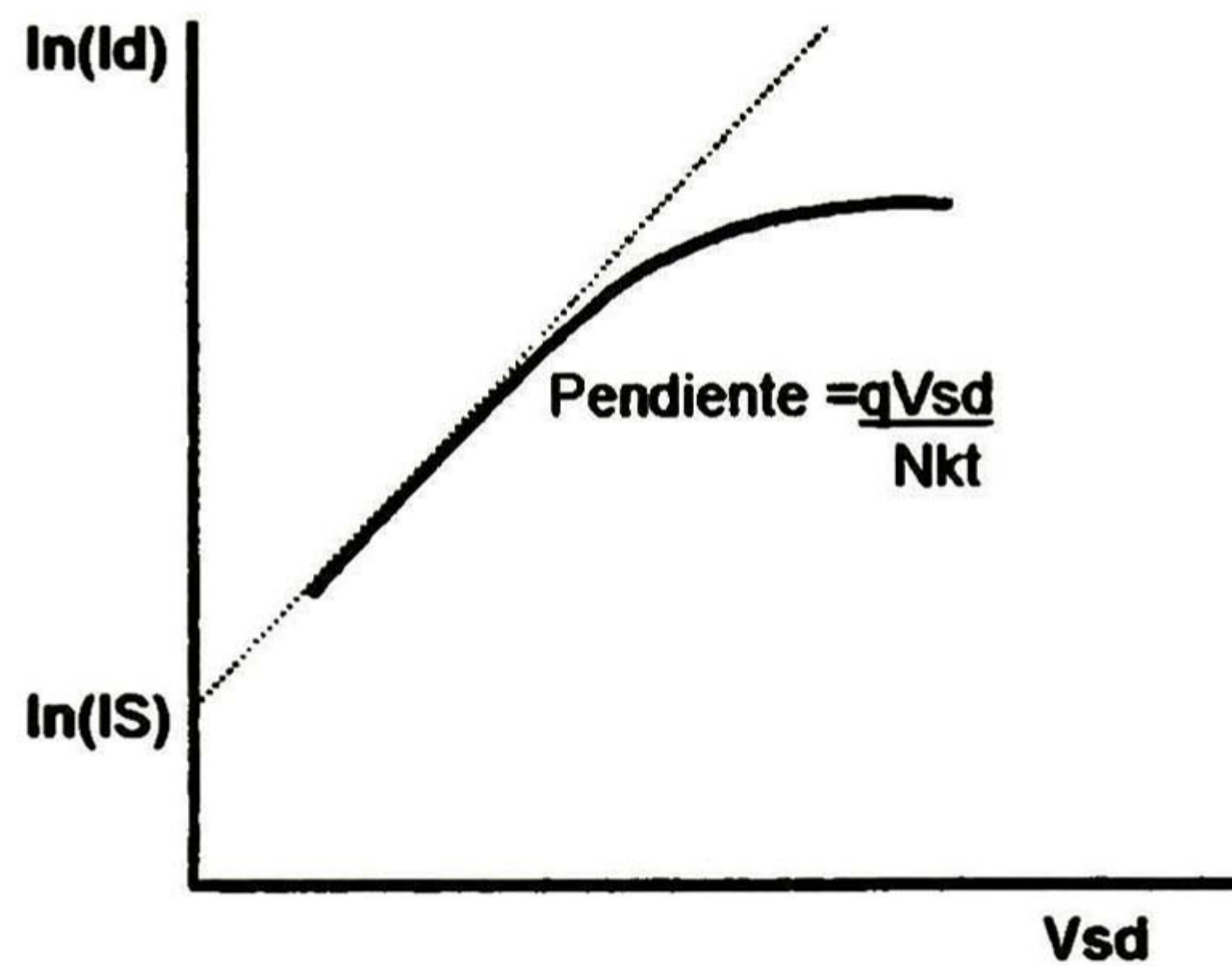


Figura 3.5.- Aproximación lineal de la característica del diodo del cuerpo, para extraer IS y N.

Para obtener el valor de RS se dibuja una línea recta desde el punto máximo medido de corriente $\ln(I_d)$ hasta la intersección con el eje Y como se muestra en la figura 3.6. Esta intersección determina la corriente máxima I_{max} . El punto de intersección de la línea horizontal y la I_{max} se denomina X_2 . X_1 será la intersección de esta línea horizontal con la recta proyectada de la parte lineal de la curva $\ln(I_d)$ -V.

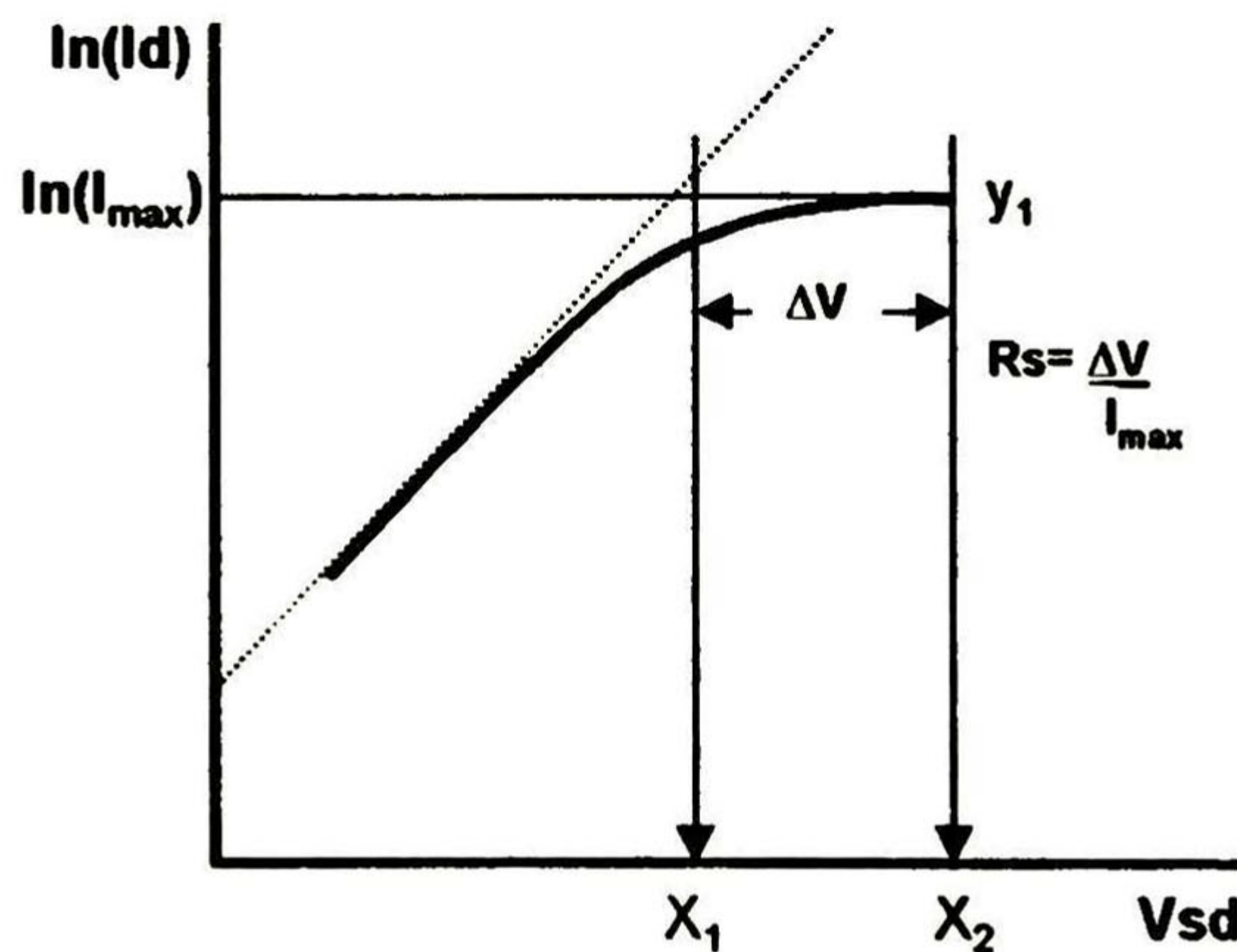


Figura 3.6.- Cálculo del parámetro del modelo RS.

De esta forma RS se determina por la caída de tensión X_2 - X_1 entre la corriente máxima, y puede ser determinada gráficamente o utilizando las ecuaciones 3.10(a) a la 3.10(d) para mayor exactitud [4]:

$$Y_1 = \ln(I_{m\alpha x}) \quad (3.10a)$$

$$X_1 = \frac{(Y_1 - Y \text{ intersección})}{\text{pendiente}} \quad (3.10b)$$

$$X_2 = V_d @ I_{m\alpha x} \quad (3.10c)$$

$$RS = \frac{(X_2 - X_1)}{I_{m\alpha x}} \quad (3.10d)$$

3.3 Extracción de los parámetros de las capacitancias del modelo

Para obtener los parámetros de capacitancia del macromodelo es necesario hacerlo de forma indirecta midiendo las capacitancias del transistor TMOS: C_{oss} (capacitancia de salida), C_{rss} (capacitancia de transferencia de reversa) y C_{iss} (capacitancia de entrada), ver párrafo 2.6. Para medir estas características se deberán emplear capacitímetros (como el tipo BOONTON 72BD) que deberán conectarse como se muestra en las figuras 3.7(a), (b), (c).

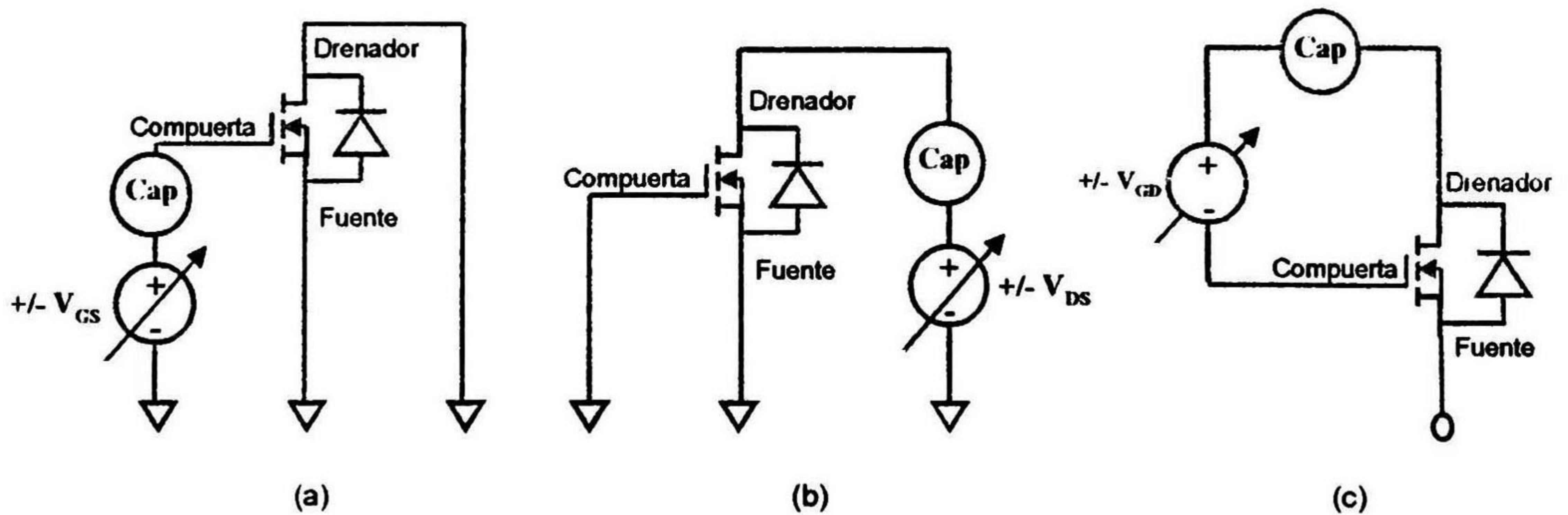


Figura 3.7.- (a) Circuito de medición para la capacitancia C_{iss} , (b) Circuito de medición para la capacitancia C_{oss} , (c) Circuito de medición para la capacitancia C_{rss} .

Las características de carga de compuerta también son necesarias, y aunque se encuentran disponibles en el “databook” será necesario medirlas para asegurar la exactitud del modelo. El circuito que se utiliza se muestra en la figura 3.8.

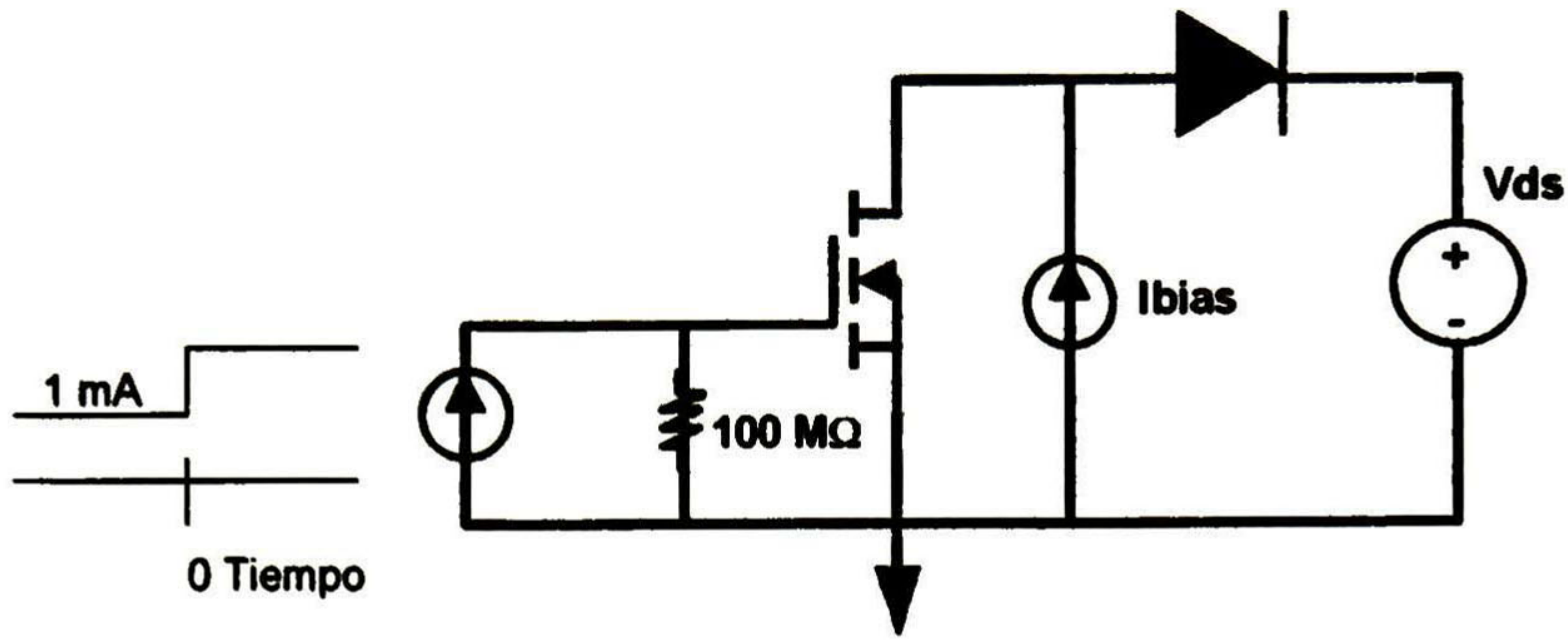


Figura 3.8.- Circuito para medir la carga de compuerta del TMOS de potencia.

Parámetro de capacitancia CGS

Para poder obtener los parámetros de capacitancia del macromodelo se repiten aquí las ecuaciones del párrafo 2.6 [4]:

$$C_{iss} = C_{gs} + C_{gd} \quad (3.11)$$

$$C_{oss} = C_{gd} + C_{ds} \quad (3.12)$$

$$C_{rss} = C_{gd} \quad (3.13)$$

De las ecuaciones 3.11 y 3.13 obtenemos CGS por medio de la ecuación 3.14, al restar los valores de las capacitancias medidas de $C_{iss} - C_{rss}$ en cero voltaje, como se muestra en la figura 3.9 [4]:

$$C_{gs} = C_{iss} - C_{rss} = CGS \quad (3.14)$$

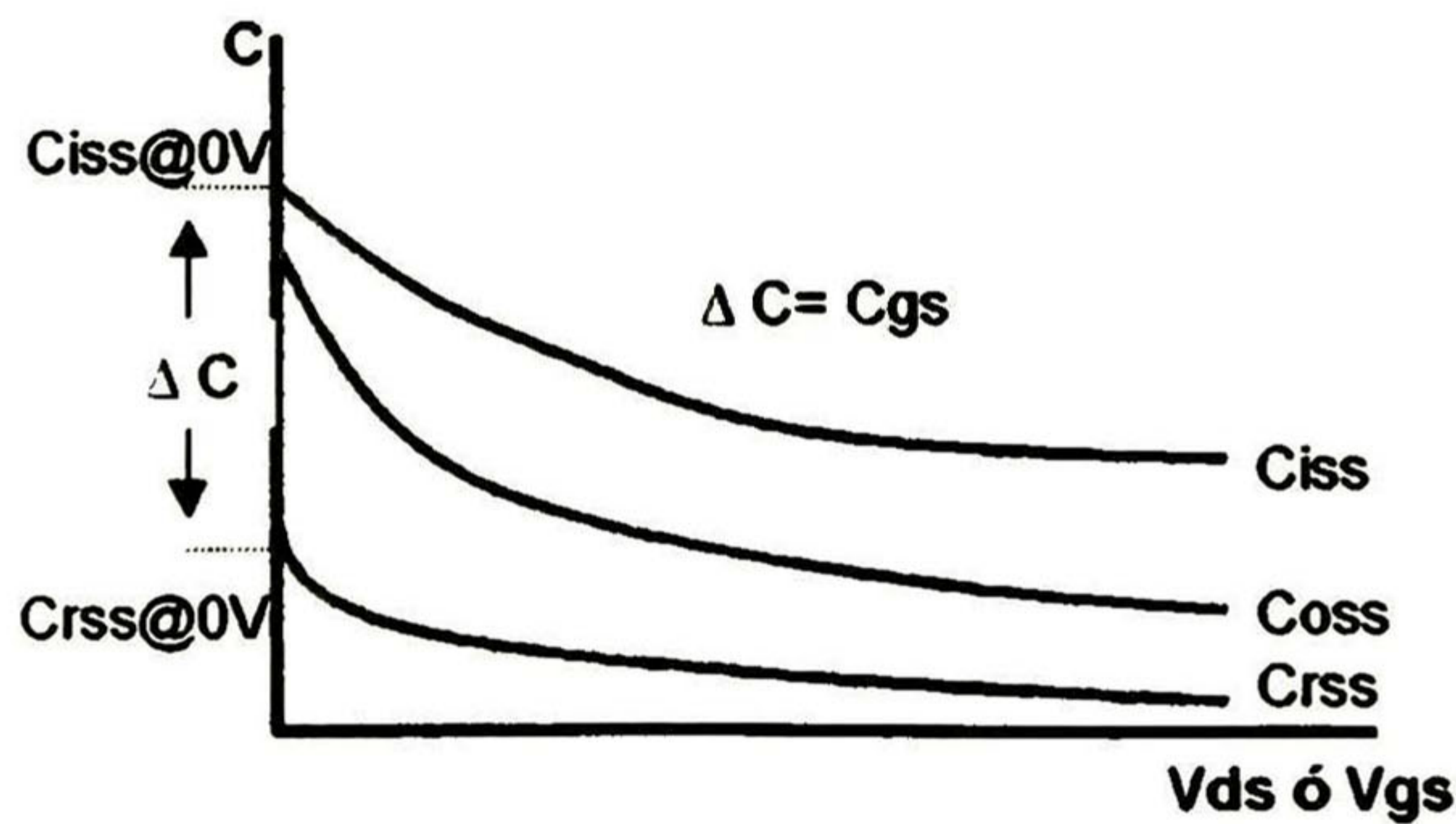


Figura 3.9.- Características de capacitancia del TMOS de potencia y la extracción del parámetro Cgs.

Parámetro de capacitancia CGD

Una vez determinado CGS, se puede determinar la capacitancia Cgd la cual, como ya se explicó en el capítulo anterior, es no lineal, por lo que esta será modelada en el macromodelo del SPICE por tres capacitancias, dos de unión: D_{MIN} y D_{MAX} , y la constante CGD. Por tanto la capacitancia medida Crss servirá de base para el cálculo de estos tres elementos que modelan la capacitancia Cgd.

La constante CGD se determina a partir de las características de carga de compuerta donde el voltaje comienza a elevarse para los diferentes valores de voltaje de drenador como se observa en la figura 3.10.

Debido a que se suministra una corriente constante a la compuerta, la escala horizontal de tiempo es directamente proporcional a la carga proveída a la compuerta. Contando con un factor de escala adecuado, el oscilograma de la figura 3.10 se muestra como una gráfica de voltaje en función de la carga de compuerta. El punto del segundo incremento de voltaje indica cuando el dispositivo esta completamente encendido. Durante el primer incremento de voltaje, la capacitancia compuerta-fuente esta cargándose, y durante la porción plana, la capacitancia compuerta-drenador se carga.

Este gráfico claramente diferencia entre la carga requerida para las capacitancias compuerta-fuente y compuerta-drenador ("Miller"). En el punto del segundo incremento de voltaje, ambas capacitancias están cargadas hasta el valor necesario para hacer el cambio de apagado a encendido del dispositivo a un voltaje y corriente dados.

De esta forma la capacitancia CGD es determinada por la variación de la carga de compuerta debida a la variación de voltaje de drenador, como se puede observar en la ecuación 3.15 [4]:

$$CGD = \frac{(\Delta q)}{(\Delta V_{ds})} \quad (3.15)$$

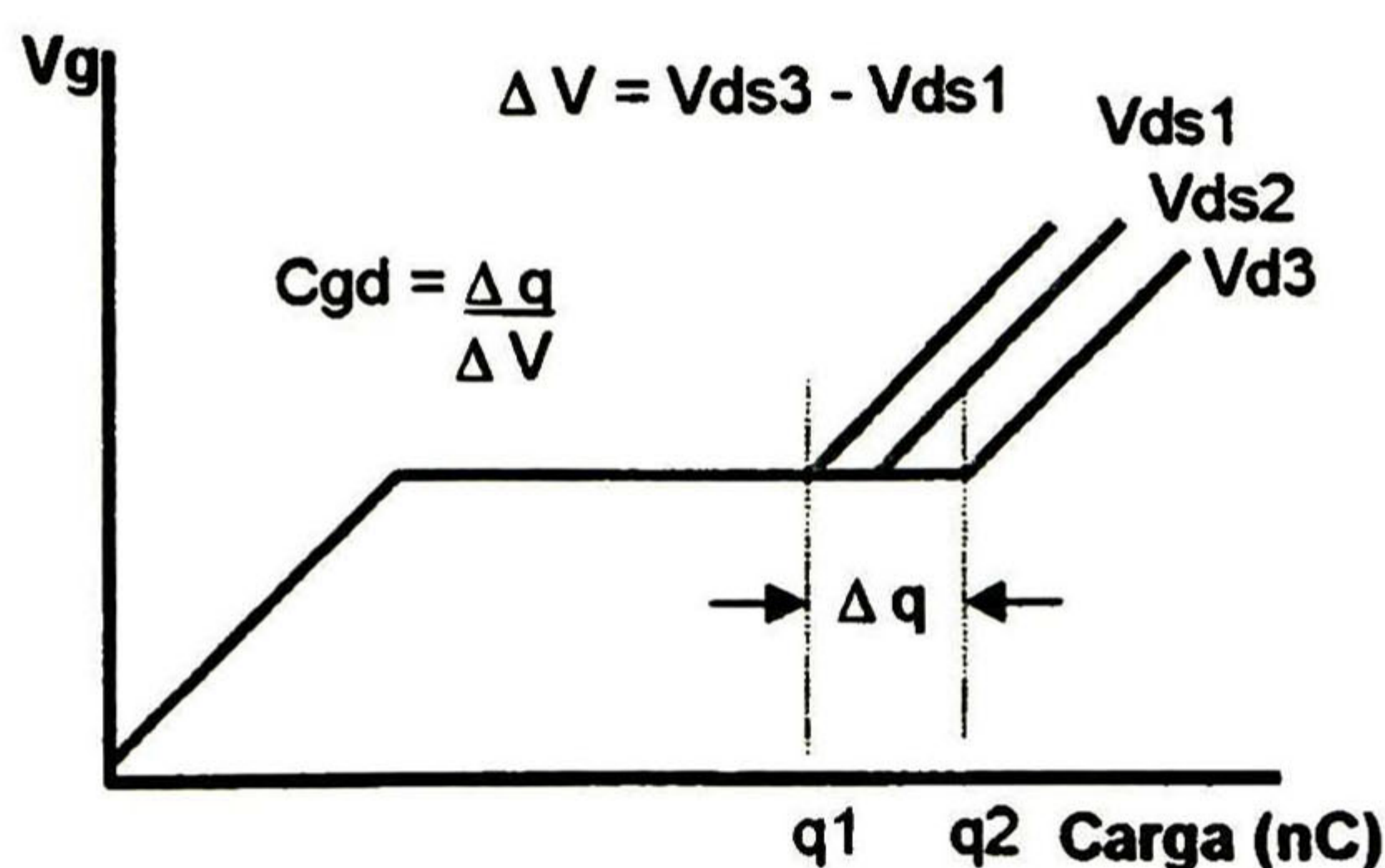


Figura 3.10.- Característica de carga de compuerta del TMOS de potencia y la extracción de CGD.

Parámetros de capacitancia para D_{MIN}

Debido a que el proceso para determinar algunos valores para los elementos capacitivos requiere de cálculos iterativos, utilizaremos el programa auxiliar que realiza este proceso del simulador RSPICE. Para determinar los componentes de D_{MIN} : CJO, M y VJ, introduciremos en el programa CJ_CALC, las características C-V de la capacitancia de compuerta drenador (C_{rss}). Previo a la introducción de estos valores deberán ajustarse de acuerdo a la ecuación 3.16, los valores de capacitancia C_{rss} restando una cantidad igual al parámetro CGD (debido a que la capacitancia de D_{MIN} está sumada en paralelo con CGD en el macromodelo que se utiliza) [4]:

$$CJ_{(n)} = C_{rss(n)} - CGD \quad (3.16)$$

Después de arreglar los valores de C_{rss} y procesarlos con el programa CJ_CALC, se extraen los valores de los parámetros CJO, M y VJ para D_{MIN} .

Parámetro de capacitancia para D_{MAX}

El último componente de la capacitancia compuerta - drenador es el valor de la capacitancia a cero voltaje (CJO) de D_{MAX} . Este valor se determina por medio de aproximaciones sucesivas con la ayuda de los programas TMOS.MOD (macromodelo en SPICE con los parámetros del TMOS de potencia) y GATE.BAT (simulación y graficación de las características de carga de compuerta del TMOS de potencia a diferentes polarizaciones de V_{ds}).

Se comienza por asignar al archivo TMOS.MOD los valores correspondientes a los parámetros del macromodelo del TMOS de potencia obtenidos hasta este momento y para el valor inicial de CJO del D_{MAX} se inicia con 1000 pF. Enseguida se ejecuta el programa GATE.BAT para que se simulen y grafiquen (con ayuda del programa RSPICE) los valores de la carga de compuerta a tres diferentes polarizaciones de V_{ds} . Una vez simulada la característica de carga de compuerta se compara con la misma gráfica obtenida de la medición para verificar que los puntos en que el voltaje de compuerta comienza a incrementarse en esta gráfica sean en el mismo valor de carga de compuerta. Si estos puntos no coinciden, se deberá entonces realizar repeticiones de esta operación para ajustar el valor de CJO para el D_{MAX} en incrementos o decrementos de 50 ó 100 pF en el archivo TMOS.MOD y ejecutando el programa GATE.BAT para que se simule de nuevo la característica de carga de compuerta hasta que los puntos de elevación del voltaje de compuerta coincidan. Logrado lo anterior, entonces se tendrá el valor final de CJO para D_{MAX} .

Parámetros de capacitancia para el diodo del cuerpo

El último componente de capacitancia del macromodelo es el parámetro de capacitancia del diodo del cuerpo. La característica de capacitancia C_{oss} incluye ambas características: la del diodo del cuerpo y la de compuerta - drenador. Para modelar la capacitancia del diodo del cuerpo debemos entonces restar la característica C_{rss} de C_{oss} . Esta sustracción se debe realizar previo al

procesamiento de los datos. De estos valores obtenidos se tiene la característica C-V del diodo del cuerpo.

Para obtener los parámetros del modelo de capacitancia del diodo del cuerpo, los valores de la sustracción de $C_{oss} - C_{rss}$ deberán ser introducidos junto con los valores de voltaje para cada uno de estos valores en el programa auxiliar CJ_CALC, para obtener los parámetros CJO, M y VJ del diodo del cuerpo.

3.4 Elementos parásitos

El macromodelo del TMOS de potencia incluye cuatro elementos parásitos L_d , L_s , L_g , y R_g . Las inductancias de las terminales varían por tipo de paquete. Para transistores en paquetes T0-220 (plástico) L_s y L_g son usualmente alrededor de 6 nH. Usualmente la inductancia de compuerta es ligeramente menor (para T0-220 es típicamente 4 nH). La resistencia de compuerta varía por dispositivo, pero es típicamente entre 3 y 5 Ω . La tabla 3.1 muestra diferentes valores de L_d , L_s , L_g y R_g para varios paquetes.

Tipo de Paquete	L_d	L_s	L_g	R_g
T0-220 (plástico)	4 nH	6 nH	6 nH	5 Ω
T0-204 (T0-3, metal)	9 nH	12 nH	12 nH	5 Ω
T0-218 (plástico)	7.5 nH	10 nH	10 nH	5 Ω

Tabla 3.1.- Valores de elementos parásitos de TMOS de potencia para varios tipos de envases.

* Si se desea conocer con mayor detalle el uso de los programas auxiliares del RSPICE, estos se pueden encontrar en los apéndices de la bibliografía de Kielkowsky [4].

3.5 Conclusiones

1. Se definió una metodología para la extracción de cada uno de los catorce parámetros para el macromodelo del TMOS de potencia. El método de extracción es el individual.
2. Se propone utilizar la característica I-V en saturación para definir los parámetros V_{TO} y K_P , así como también para la extracción de R_D en la región donde el TMOS sale de la saturación. Este procedimiento para TMOS de alto voltaje no está reportado en la literatura que se consultó. La utilización de este procedimiento proporciona la ventaja de tener una simulación más exacta principalmente por K_P y una obtención de R_D por medios más sencillos y precisos.
3. Los procedimientos de mediciones adoptados fueron los factibles de ejecutar en la Planta de GDL. Se requiere de equipo de medición convencional, programas de simulación y el montaje de dos circuitos de medición específicos que se pueden fabricar.

4. Los parámetros a medir son: V_{TO} , K_P , R_D , I_S , N , R_S , C_{oss} , C_{iss} , C_{rss} , C_{GS} , C_{GD} , C_{JO} , M , V_J , L_d , L_s , L_g , R_g .

Bibliografía

- [1] Yannis P. Tsividis, *“Operation and Modeling of the MOS Transistor”* McGraw Hill, 1987.
- [2] Antonio Cerdeira Altuzarra, *“Notas para el Curso de Microelectrónica”* CINVESTAV Depto. Ing. Eléctrica, México, D.F.
- [3] Andrei Vlaimirescu & Sally Liu, *“The Simulation of MOS Integrated Circuits using SPICE2”* Report of Department of Electrical Engineering and Computer Science University of California , 1980.
- [4] Ron M. Kielkowsky, *“SPICE Practical Device Modeling”*, McGraw-Hill, 1995.
- [5] Charles-Edouard Cordonnier, *“Spice Model for TMOS Power TMOSs”* MOTOROLA FET Applications Manual - AN1043, 1991.
- [6] S. M. Sze, *“Modern Semiconductor Device Physics”*, John Wiley & Sons, Inc, 1998.

Resultados de la extracción de parámetros del TMOS de potencia

4.1 Selección del TMOS de potencia a caracterizar

Para demostrar las técnicas descritas en el capítulo anterior se realizó la extracción de parámetros sobre el TMOS de potencia MTP3N100E de ON Semiconductor (Motorola) con encapsulado tipo TO-220, ensamblado en la planta de GDL, cuyas especificaciones generales lo describen como un dispositivo de alto voltaje con un $V_{DS} = 1000V$, $I_D = 3A$ y $R_{DSon} = 4\Omega$. Se utilizó este dispositivo por dos razones principalmente, una de ellas es que cuenta actualmente con un modelo en PSPICE desarrollado por Analogly, Inc. Este macromodelo es más complejo y diferente del que proponemos pero lo utilizaremos a modo de comparación. En el ANEXO 2 se muestra el modelo para este dispositivo propuesto por Analogly, Inc. La otra razón de utilizar este dispositivo es que en la literatura revisada todos los modelos desarrollados se refieren a dispositivos de bajo voltaje, por lo que se decidió desarrollar nuestro trabajo experimental basados en un dispositivo de alto voltaje para verificar la técnica propuesta en el capítulo anterior.

En el ANEXO 3 se muestran las hojas de datos del dispositivo MTP3N100E como referencia.

Para la extracción de parámetros en cada una de las características tanto de DC como de capacitancia, se utilizaron tres dispositivos del mismo tipo para obtener una mejor representación del dispositivo promedio, en las mediciones realizadas.

Como ya lo explicamos en el capítulo 3, existe una diferencia significativa para extraer los parámetros de los dispositivos de alto voltaje para DC principalmente para VTO, KP y RD para una adecuada simulación. La extracción de parámetros para el macromodelo la dividimos en tres grandes grupos: DC, capacitivos y parásitos.

4.2 Extracción de los parámetros de DC del macromodelo

Para realizar las mediciones para la extracción de parámetros se utilizaron los siguientes equipos:

- Dos fuentes programables a pasos HP6636A
- Multímetro HP34401A
- Capacímetro BOONTON 72B
- Trazador de curvas Tektronics 370A
- Generador de señales Tektronics FG502
- Osciloscopio Tektronics 2430A
- Equipo de prueba TESEC SPEKTRA.

Para el procesamiento de los datos se utilizaron los programas de simulación PSPICE versión 7.1, RSPICE Versión 3.4.0, y sus programas auxiliares LINREG, CJ_CALC, y GATE.BAT.

Parámetros de DC del TMOS

Se comienza con la extracción de los parámetros de DC del TMOS-núcleo del macromodelo. Debido a que el dispositivo utilizado es de alto voltaje obtendremos la curva de la característica de transferencia (transconductancia) en la región de saturación, por las razones señaladas en el capítulo anterior. La medición fue realizada con el circuito de la figura 3.2. Inicialmente las mediciones fueron hechas en el trazador de curvas digital con el fin de obtener una mejor precisión en las lecturas de corriente. Lo anterior debido a que en mediciones iniciales de prueba realizadas con fuentes de voltaje independientes (con incremento a pasos), se observó una inestabilidad significativa a medida que el voltaje incrementaba por efecto del calentamiento del dispositivo con respecto del tiempo en el que la medición se realizaba. Sin embargo los parámetros extraídos de la característica de transferencia en saturación medida con el trazador de curvas, no proporcionaron el mejor ajuste en la simulación de la característica de salida respecto a la característica medida experimentalmente, debido al bajo valor de K_P obtenido. Por tal motivo se exploraron otras opciones de medición eléctrica teniendo que los mejores resultados en la simulación de la característica de salida del TMOS fueron obtenidos con el valor de K_P extraído a partir de la característica de transferencia en saturación al utilizar el equipo de pruebas automático. Por tal motivo la medición de dicha característica para la extracción del valor de K_P es crítica para obtener la mejor simulación posible de la característica de salida del TMOS con respecto a la medida experimentalmente.

La diferencia en la medición del trazador de curvas digital estriba en el hecho de que el tiempo de medición en el cual el dispositivo es polarizado, depende del operador para “congelar” la imagen para tomar la medición, ya que puede ir desde varios milisegundos hasta algunos segundos, además cuenta con resistencias limitadoras de corriente en serie que interfieren con la medición de la corriente durante todo el tiempo de la medición. En contraste, el equipo de prueba automático realiza la medición programada punto por punto a partir de pulsos cortos (380 μ s) con

duración de tiempo estándar que evitan el calentamiento del dispositivo, además la corriente es limitada con el sistema tipo "clamp", el cual actúa sólo en caso de una sobre corriente fuera de lo normal programada previamente. Los datos obtenidos de esta medición se muestran en la curva de la figura 4.1.

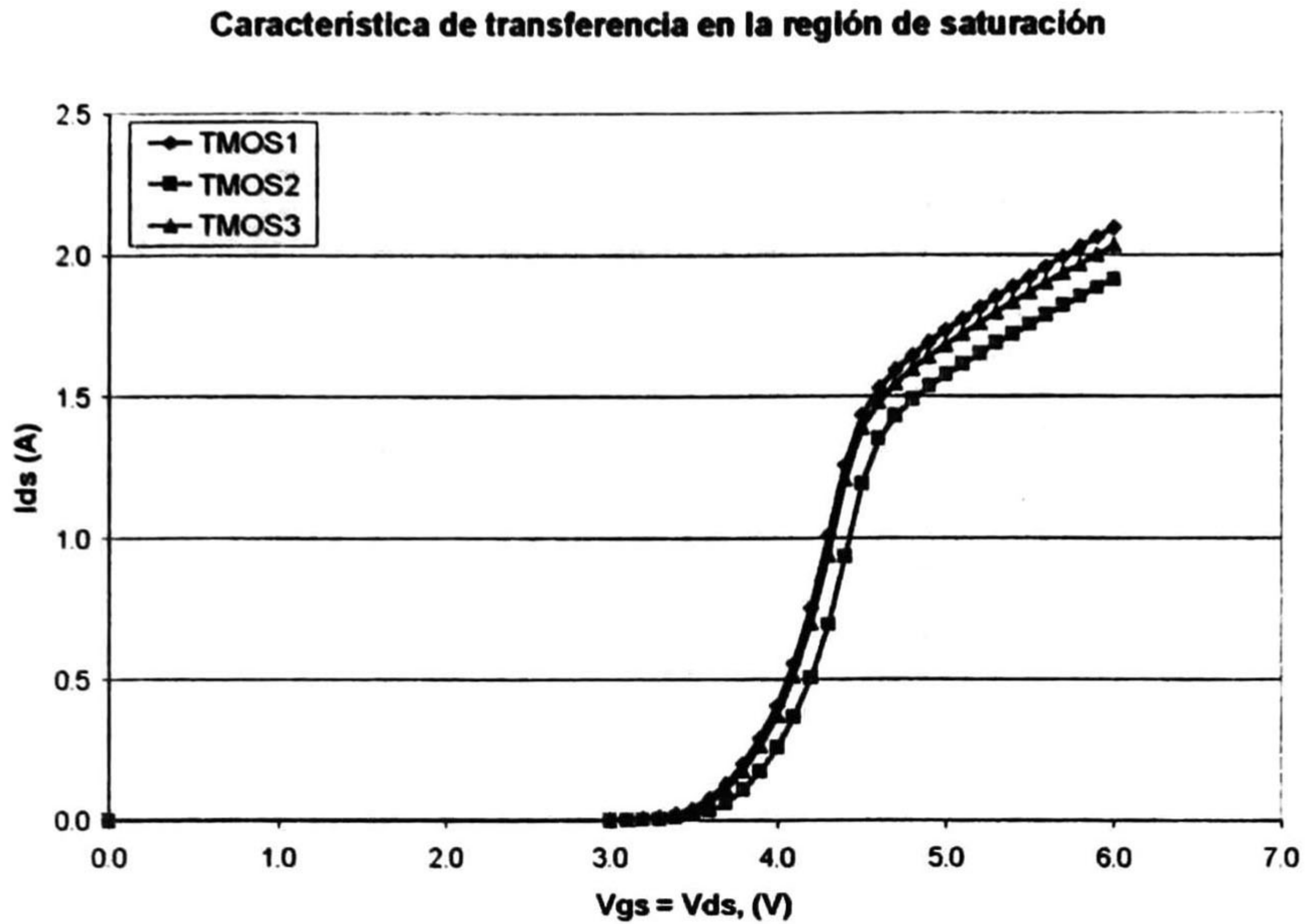


Figura 4.1.- Característica medida de la región de saturación del TMOS de potencia.

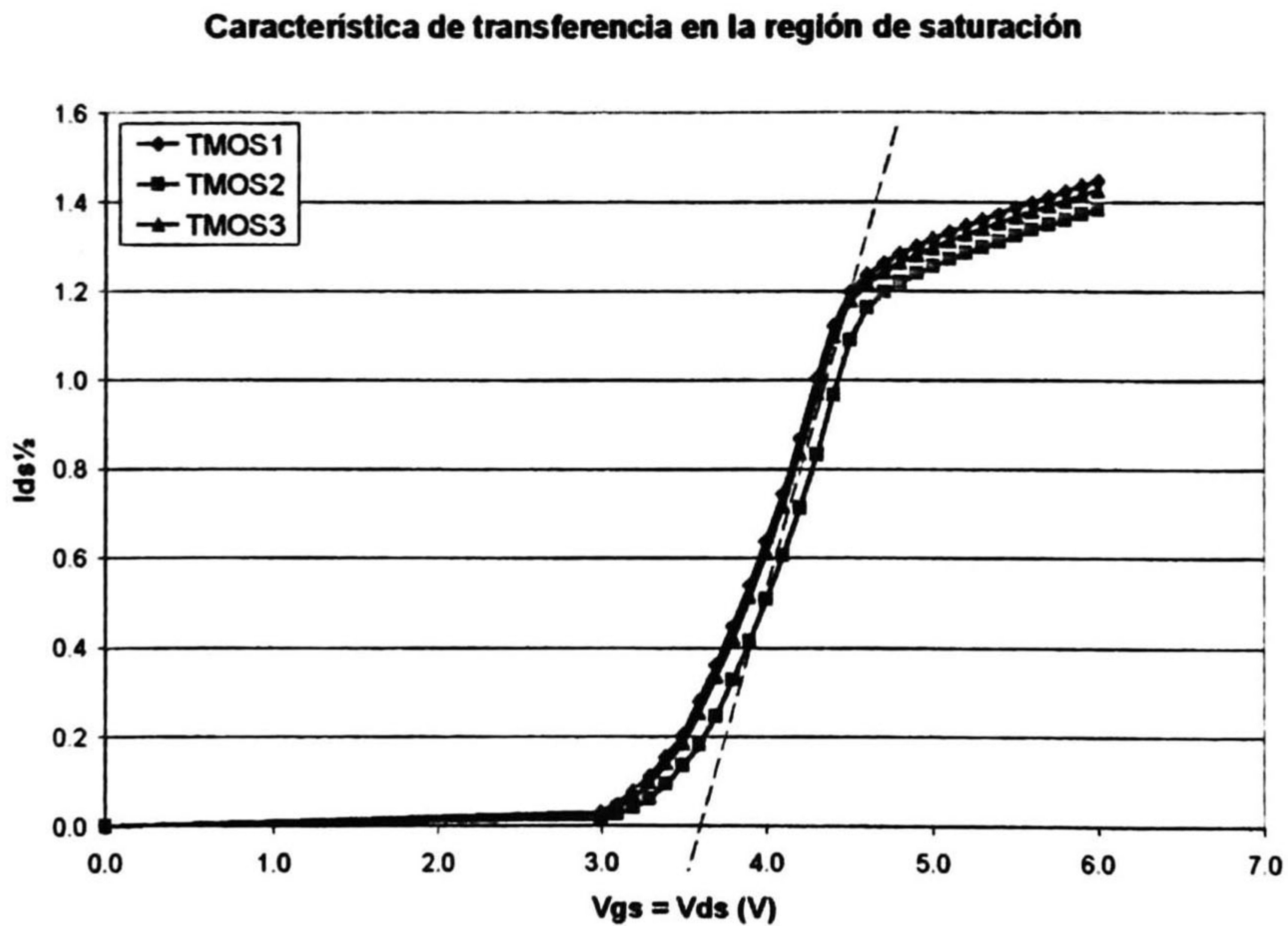


Figura 4.2.- Característica calculada para $ID^{1/2}$ a partir de la medición de la región de saturación del TMOS de potencia. Detalle de la recta para la obtención de los parámetros V_{TO} y K_P .

Como se ve en la figura 4.1, hay claramente un codo con una pendiente recta que no aparece en la información disponible sobre estos dispositivos, cuya causa se explicó en el capítulo anterior.

Vgs = Vds	Ids - A			Ids/2		
	TMOS1	TMOS2	TMOS3	TMOS1	TMOS2	TMOS3
0.00	0.00	0.00	0.00	0.000	0.000	0.000
3.00	0.00	0.00	0.00	0.031	0.015	0.026
3.10	0.00	0.00	0.00	0.048	0.025	0.041
3.20	0.01	0.00	0.00	0.077	0.039	0.064
3.30	0.01	0.00	0.01	0.112	0.060	0.098
3.40	0.02	0.01	0.02	0.154	0.093	0.140
3.50	0.04	0.02	0.03	0.204	0.134	0.186
3.60	0.08	0.03	0.06	0.280	0.180	0.253
3.70	0.13	0.06	0.11	0.360	0.245	0.335
3.80	0.20	0.11	0.18	0.447	0.328	0.420
3.90	0.29	0.17	0.26	0.539	0.413	0.513
4.00	0.41	0.26	0.37	0.638	0.507	0.611
4.10	0.55	0.37	0.51	0.745	0.605	0.716
4.20	0.75	0.51	0.70	0.867	0.712	0.835
4.30	1.01	0.69	0.94	1.005	0.832	0.969
4.40	1.26	0.93	1.21	1.121	0.965	1.098
4.50	1.44	1.19	1.39	1.198	1.090	1.178
4.60	1.53	1.35	1.48	1.236	1.162	1.217
4.70	1.59	1.43	1.55	1.262	1.196	1.243
4.80	1.65	1.49	1.60	1.283	1.220	1.263
4.90	1.69	1.54	1.64	1.301	1.239	1.281
5.00	1.73	1.58	1.68	1.317	1.255	1.297
5.10	1.78	1.62	1.72	1.332	1.271	1.312
5.20	1.81	1.65	1.76	1.347	1.285	1.326
5.30	1.85	1.69	1.80	1.361	1.299	1.341
5.40	1.89	1.72	1.83	1.374	1.311	1.354
5.50	1.92	1.76	1.87	1.387	1.325	1.367
5.60	1.96	1.79	1.90	1.399	1.337	1.379
5.70	1.99	1.82	1.94	1.412	1.349	1.391
5.80	2.03	1.85	1.97	1.424	1.361	1.403
5.90	2.06	1.88	2.00	1.436	1.372	1.415
6.00	2.10	1.91	2.03	1.448	1.383	1.426

Tabla 4.1.- Datos experimentales de la característica I-V medida en saturación, Vgs = Vds. Los datos en negrita corresponden a la región lineal de esta característica y son los datos utilizados para los cálculos.

Posteriormente se calcula la raíz cuadrada de la corriente de drenador ID vs voltaje de compuerta Vgs, como se observa en la figura 4.2. Los datos obtenidos en la medición se muestran, a manera de ejemplo, en la tabla 4.1. Utilizando los datos subrayados en negrita y el programa LINREG se obtienen los datos de salida que se muestran en la figura 4.3.

***** LINREG Results *****			
For the equation Y = a + b*X			
TMOS1	TMOS2	TMOS3	TMOS
a = -4.45	a = -4.61	a = -4.54	a = -4.53
b = 1.27	b = 1.27	b = 1.28	b = 1.27
chi2 = 0.00	chi2 = 0.00	chi2 = 0.00	chi2 = 0.00

Figura 4.3.- Datos del archivo de salida del programa LINREG.

Sustituyendo estos valores en las ecuaciones 3.4 y 3.5, se obtiene el valor de V_{TO} para cada uno de los tres TMOS, los cuales promediaremos para obtener el valor general para nuestro modelo:

$$V_{TO} = V_{gs}(\text{intersección}) = -\frac{a}{b} = \frac{4.53}{1.27} = 3.57V \quad (4.1)$$

Por medio de la ecuación 3.6, se obtiene K_P :

$$K_P = 2 * (b^2) = 2 * (1.27^2) = 3.23A/V^2 \quad (4.2)$$

Parámetro RD

Para la extracción de RD, como ya lo mencionamos, se tomará el valor del parámetro R_{DSon} del dispositivo. La obtención del parámetro se realizó tomando la pendiente de la recta que se forma en la curva de la característica de transferencia medida en saturación, como se puede ver en la figura 4.4.

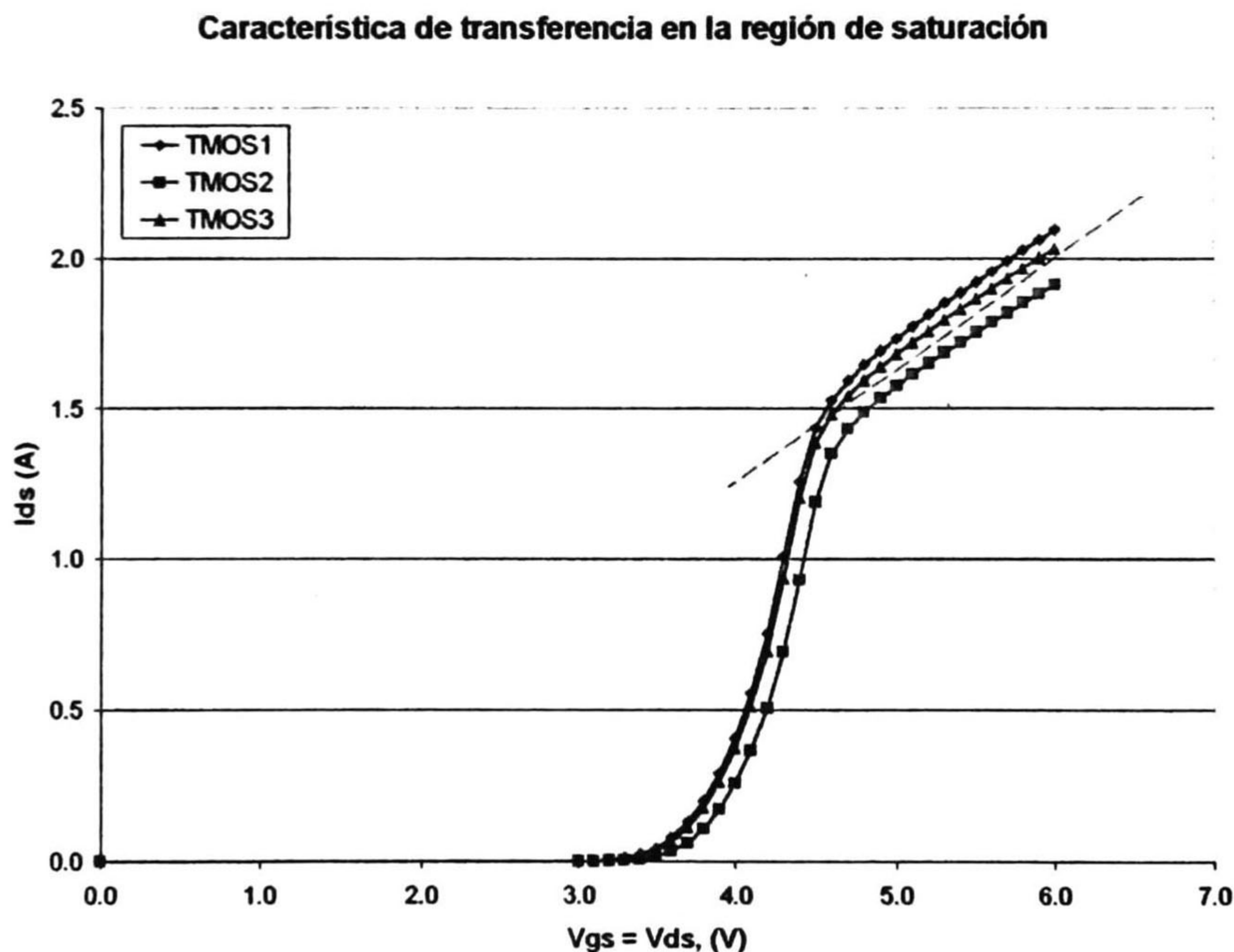


Figura 4.4.- Característica calculada para $ID^{1/2}$ a partir de la medición de la región de saturación del TMOS de potencia. Detalle de la recta para la obtención del parámetro RD.

Como ya se mencionó en el capítulo anterior, este cambio de pendiente es debido a la influencia de R_{DSon} . Los datos obtenidos de la parte lineal de la curva I_d - V_{ds} , se pueden

observar en la tabla 4.1, los cuales fueron procesados con el programa LINREG. De los datos de salida se obtuvo el valor de la pendiente, como se muestra en la figura 4.5. Por medio de la ecuación 3.7 se obtuvo el parámetro RD para cada uno de los tres TMOS medidos, resultando el promedio para nuestro modelo:

$$RD_{Son} = \frac{1}{0.36} = RD = 2.81 \Omega \quad (4.3)$$

***** LINREG Results *****			
For the equation Y = a + b*X			
TMOS1	TMOS2	TMOS3	TMOS
a = -0.11	a = -0.11	a = -0.12	a = -0.11
b = 0.37	b = 0.34	b = 0.36	b = 0.36
chi2 = 0.00	chi2 = 0.00	chi2 = 0.00	chi2 = 0.00

Figura 4.5.- Datos del archivo de salida de LINREG.

Debido a que la resistencia serie del drenador, que definimos para el modelo del TMOS de potencia está representada por la resistencia externa RD, necesitamos especificar el coeficiente de temperatura de la misma. Para ello tomamos la información de las hojas de datos, debido a que no contamos con un equipo preciso para tal medición. De la curva de variación de la resistencia de drenador a fuente (RD_{Son}) vs temperatura de la unión (T_j) se tiene una variación aproximada mente lineal e igual a [Anexo A4]:

$$Coef_Term(TC) = \frac{\Delta RD_{Son}}{\Delta T_j} = \frac{5.06}{200} = 0.025 \Omega/^{\circ}C \quad (4.4)$$

En la tabla 4.2 se muestran los datos extraídos del coeficiente de temperatura para RD, a partir de la información de la hoja de datos.

De acuerdo a hoja de datos del fabricante:

	Variación@25°C	Rango	
RD _{Son}	1.41	6.463	5.06 Ohm
Temp	-50	150	200 °C
Coeficiente			0.025 Ohm/°C

Tabla 4.2.- Datos extraídos del coeficiente de temperatura.

Parámetros de DC del diodo del cuerpo (“body diode”)

Para extraer los parámetros de DC que describen al diodo del cuerpo en polarización directa (I_S , R_S y N) obtuvimos la curva de la característica en directa del mismo. Esto se logró conectando el TMOS de potencia como se muestra en el circuito de la figura 3.4, de forma tal que el diodo se polarizó en directa. La curva característica del diodo se muestra en la figura 4.6.

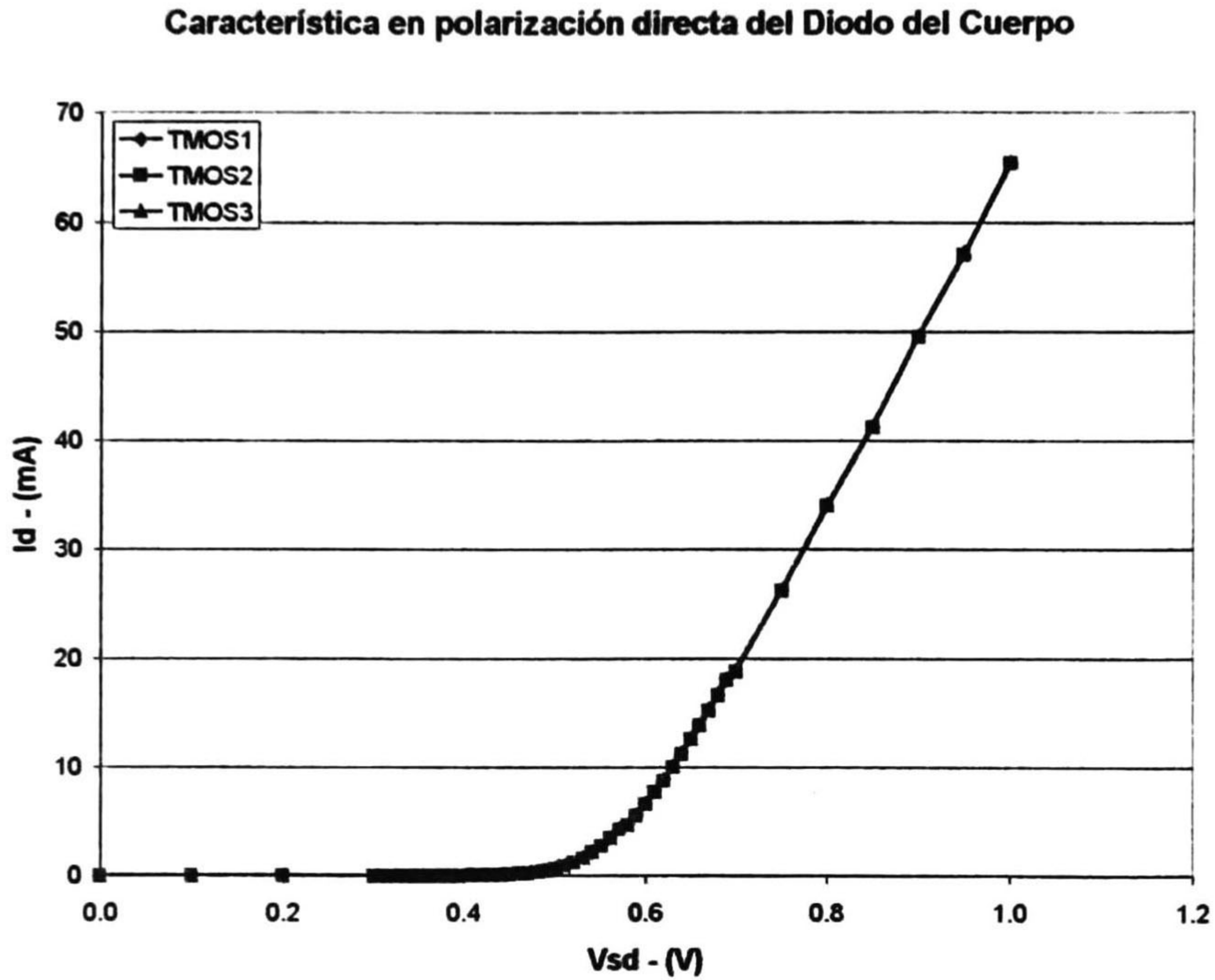


Figura 4.6.- Curva experimental de la característica I-V del diodo del cuerpo en polarización directa.

Una vez obtenida esta curva del diodo del cuerpo en directa, se calcula el logaritmo de I_d en función de V_{ds} , como se muestra en la figura 4.7. Como se puede observar en ambas figuras las características de los tres TMOS son similares por lo que los datos se promedian para $\ln(I_d)$ y se toman los que corresponden a la región lineal y se procesan con el programa LINREG. La información de salida se presenta en la figura 4.8.

In de la característica en directa del Diodo del Cuerpo

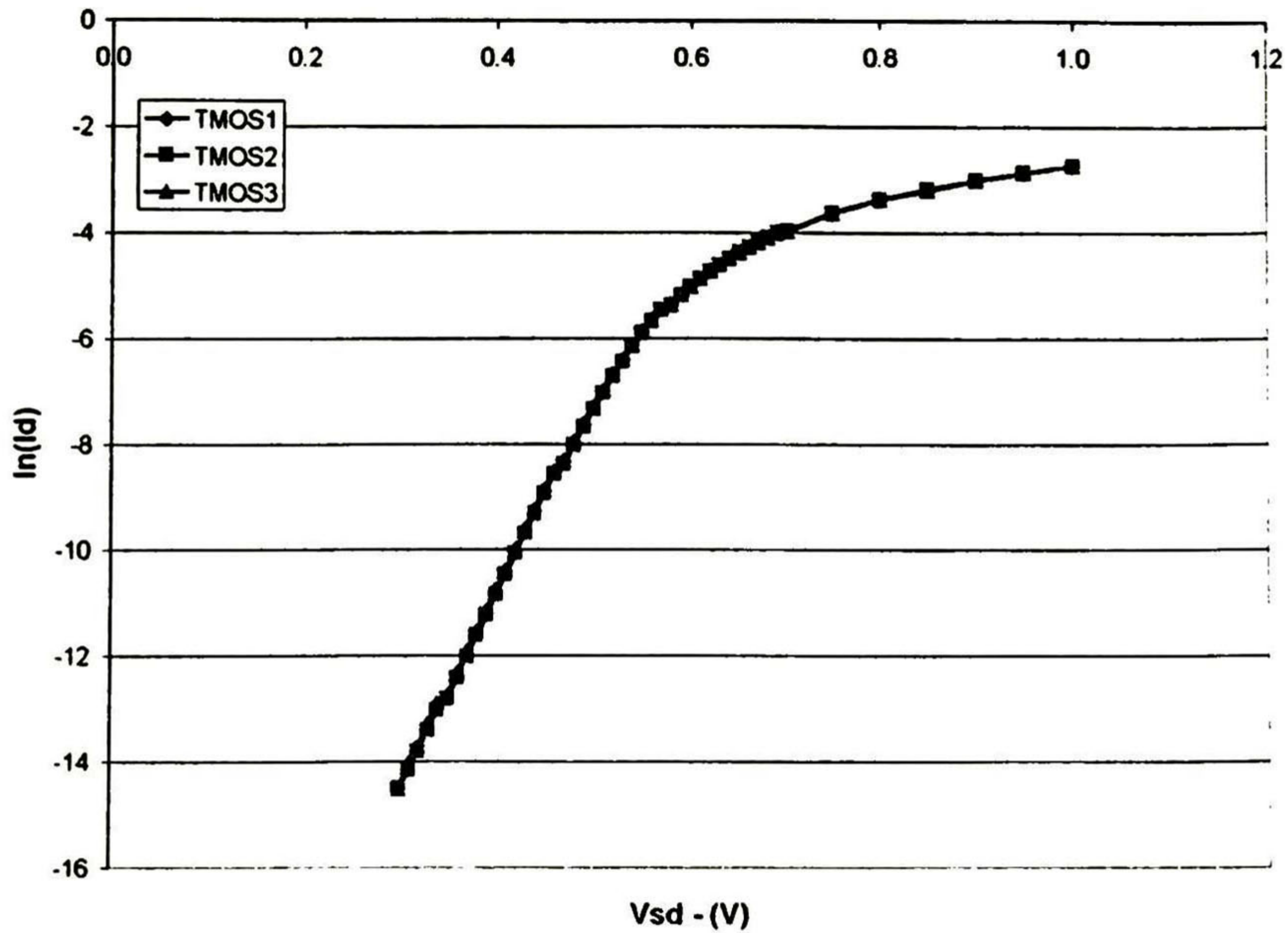


Figura 4.7.- ln(Id) de la característica medida del diodo del cuerpo en polarización directa.

```

* * * * * * * * * * LINREG Results * * * * * * * * * *
For the equation Y = a + b*X
a      =   -0.25153E+02
* b    =    0.35752E+02
* chi2 = 0.240
*

```

Figura 4.8.- Datos del archivo de salida de LINREG.

A partir de estos datos y utilizando la ecuación 3.8, se obtiene el parámetro IS:

$$IS = \exp(a) = \exp(-25.153) = 1.19E - 11 A \tag{4.5}$$

Para obtener N, se utiliza la ecuación 3.9 y el valor de b, resultando:

$$N = \frac{1}{b * \left(\frac{kt}{q}\right)} = \frac{1}{35.752 * (0.0255)} = 1.10 \tag{4.6}$$

Como se describió en el capítulo anterior, el valor de R_S se puede obtener de dos formas: gráficamente o utilizando las ecuaciones 3.10(a) a la 3.10(d), si se requiere mayor exactitud. Para nuestro caso se utilizaron las ecuaciones mencionadas y se obtuvo el siguiente resultado:

$$Y_1 = \ln(I_{m\alpha}) = \ln(0.065) = -2.727 \quad (4.7)$$

$$X_1 = \frac{(Y_1 - a)}{b} = \frac{(-2.727 - 25.15)}{35.75} = 0.627 V \quad (4.8)$$

$$X_2 = V_d @ I_{m\alpha} = 1 V \quad (4.9)$$

$$R_S = \frac{(X_2 - X_1)}{I_{m\alpha}} = \frac{(1 - 0.627)}{0.065} = 5.698 \Omega \quad (4.10)$$

Los datos experimentales se muestran en la tabla 4.3.

Vds-Volts	Ids - mA			Ids (A)	ln(Ids)
	TMOS1	TMOS2	TMOS3		
0.00	0.0000	0.0000	0.0000	0.0000	
0.10	0.0000	0.0000	0.0000	0.0000	
0.20	0.0005	0.0000	0.0000	0.0002	
0.30	0.0005	0.0005	0.0005	0.0005	-14.509
0.31	0.0007	0.0007	0.0008	0.0007	-14.126
0.32	0.0011	0.0010	0.0011	0.0011	-13.751
0.33	0.0016	0.0015	0.0017	0.0016	-13.346
0.34	0.0024	0.0022	0.0025	0.0024	-12.954
0.35	0.0028	0.0027	0.0029	0.0028	-12.786
0.36	0.0042	0.0040	0.0044	0.0042	-12.380
0.37	0.0063	0.0060	0.0066	0.0063	-11.975
0.38	0.0094	0.0090	0.0098	0.0094	-11.575
0.39	0.0139	0.0132	0.0144	0.0138	-11.188
0.40	0.0207	0.0195	0.0214	0.0205	-10.793
0.41	0.0300	0.0285	0.0311	0.0299	-10.419
0.42	0.0445	0.0421	0.0459	0.0442	-10.028
0.43	0.0650	0.0618	0.0668	0.0645	-9.648
0.44	0.0955	0.0905	0.0977	0.0946	-9.266
0.45	0.1370	0.1307	0.1410	0.1362	-8.901
0.46	0.1990	0.1900	0.2040	0.1977	-8.529
0.47	0.2380	0.2290	0.2450	0.2373	-8.346
0.48	0.3460	0.3250	0.3480	0.3397	-7.988
0.49	0.4810	0.4610	0.4920	0.4780	-7.646
0.50	0.6650	0.6380	0.6780	0.6603	-7.323
0.51	0.9160	0.8820	0.9320	0.9100	-7.002
0.52	1.2400	1.1950	1.2550	1.2300	-6.701
0.53	1.6510	1.5970	1.6710	1.6397	-6.413
0.54	2.1700	2.1070	2.1980	2.1583	-6.138
0.55	2.7850	2.7070	2.8150	2.7690	-5.889
0.56	3.4910	3.4020	3.5210	3.4713	-5.663
0.57	4.3000	4.2000	4.3300	4.2767	-5.455
0.58	4.6950	4.5920	4.7250	4.6707	-5.366
0.59	5.6300	5.5240	5.6650	5.6063	-5.184
0.60	6.6300	6.5190	6.6660	6.6050	-5.020
0.61	7.7150	7.6010	7.7490	7.6883	-4.868
0.62	8.8300	8.7140	8.8760	8.8067	-4.732
0.63	10.0400	9.9380	10.0950	10.0243	-4.603
0.64	11.2810	11.1780	11.3330	11.2640	-4.486
0.65	12.5820	12.4850	12.6400	12.5690	-4.377
0.66	13.8650	13.7680	13.9220	13.8517	-4.279
0.67	15.2450	15.1500	15.3050	15.2333	-4.184
0.68	16.6350	16.5300	16.6900	16.6183	-4.097
0.69	18.0660	17.9650	18.1250	18.0520	-4.014
0.7	18.9000	18.7050	18.8550	18.8200	-3.973
0.75	26.2300	26.1570	26.3120	26.2330	-3.641
0.8	34.0600	33.9950	34.1600	34.0717	-3.379
0.85	41.2560	41.1900	41.3450	41.2637	-3.188
0.9	49.5450	49.4820	49.6410	49.5560	-3.005
0.95	57.0200	56.9850	57.1700	57.0583	-2.864
1	65.3900	65.3520	65.5000	65.4140	-2.727

Tabla 4.3.- Datos experimentales para la medición de las características del diodo del cuerpo. Los datos en negrita corresponden a la región lineal de esta característica y son los datos utilizados para los cálculos.

4.3 Extracción de los parámetros capacitivos del macromodelo

Como ya se mencionó en el capítulo anterior, para poder extraer los parámetros capacitivos del macromodelo es necesario hacerlo a partir de las siguientes mediciones: obtener las curvas características de C-V del dispositivo: C_{iss} , C_{oss} y C_{rss} , en función de V_{ds} . Y obtener la característica de la carga de la compuerta Q_g . Finalmente se requiere de un ajuste por aproximaciones sucesivas del valor de la capacitancia para D_{max} .

Curvas C-V del TMOS: C_{iss} , C_{oss} y C_{rss}

Para medir estas características se montó el circuito de pruebas que se muestra en la figura 4.9. Este circuito engloba a los tres circuitos básicos que se requieren para medir cada una de las tres características descritas en las figuras 3.7(a), (b), (c).

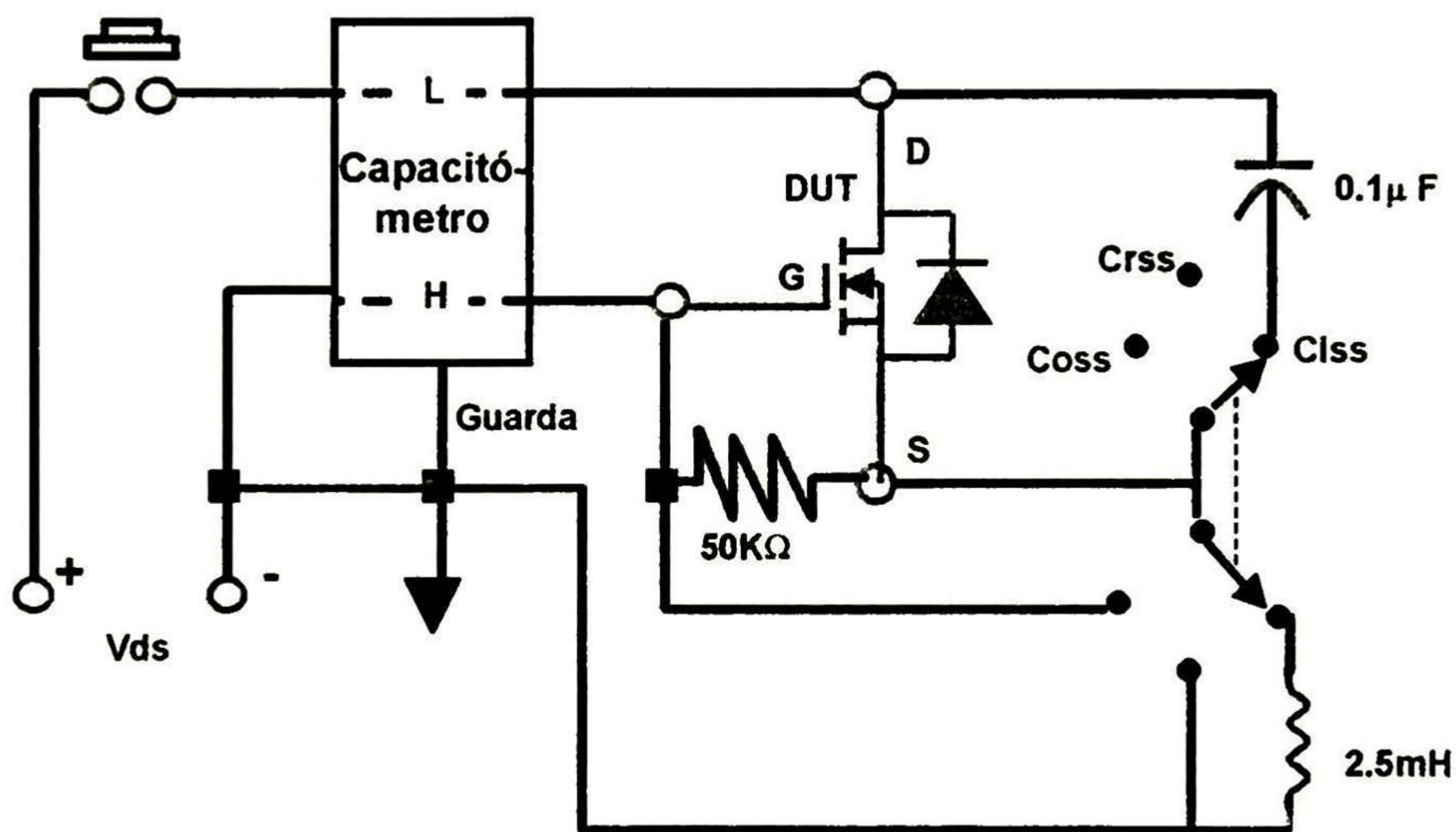


Figura 4.9.- Circuito para la medición de las características de capacitancia C_{iss} , C_{oss} y C_{rss} .

Los resultados experimentales medidos de las características de capacitancia C_{iss} , C_{oss} y C_{rss} , en función de V_{ds} , de los tres TMOS se promediaron por ser similares y se muestran en la figura 4.10. Se puede observar que la curva C-V de capacitancia C_{iss} tiene un comportamiento diferente al que normalmente se observa en las hojas de datos del dispositivo, ya que la curva una vez que toma el valor más bajo de 1750 pF al llegar a 7 volts, vuelve a aumentar su valor de capacitancia en lugar de continuar bajando. Esta diferencia es debida a problemas del circuito de medición de capacitancia. El problema es debido a que la capacitancia de entrada de un TMOS de potencia no puede ser medido directamente con un capacitómetro ya que la zona de inversión formada en la región de base tipo P, no puede responder aún siquiera a una señal de alta frecuencia aplicada a la capacitancia MIS. La razón de este comportamiento es debido a la región de la difusión N+, la cual provee una transferencia rápida de electrones en la zona de inversión, por lo que la

capacitancia de entrada responderá como si la señal aplicada para la medición de la capacitancia fuera de baja frecuencia. Este fenómeno puede ser compensado utilizando el arreglo de capacitancia y bobina que se muestran en el circuito de la figura 4.9. Sin embargo, los valores utilizados en el circuito armado no fueron los adecuados para conseguir que la compensación fuera la necesaria para obtener la curva típica. De cualquier manera estos pueden ser corregidos probando diferentes valores de inductancia y capacitancia de los elementos que se agregan al circuito de la figura 4.9, para cuando se mide la característica de C_{iss} . Para nuestro estudio esta desviación con respecto a la curva típica no es significativa ya que para C_{iss} solo requerimos la medición en 0 V, además de que tal solución esta fuera del objetivo principal del presente trabajo se prefirió invertir el tiempo en los puntos de experimentación principales. Por lo que no se continuó evaluando.

Características C-V para C_{iss} , C_{oss} y C_{rss}

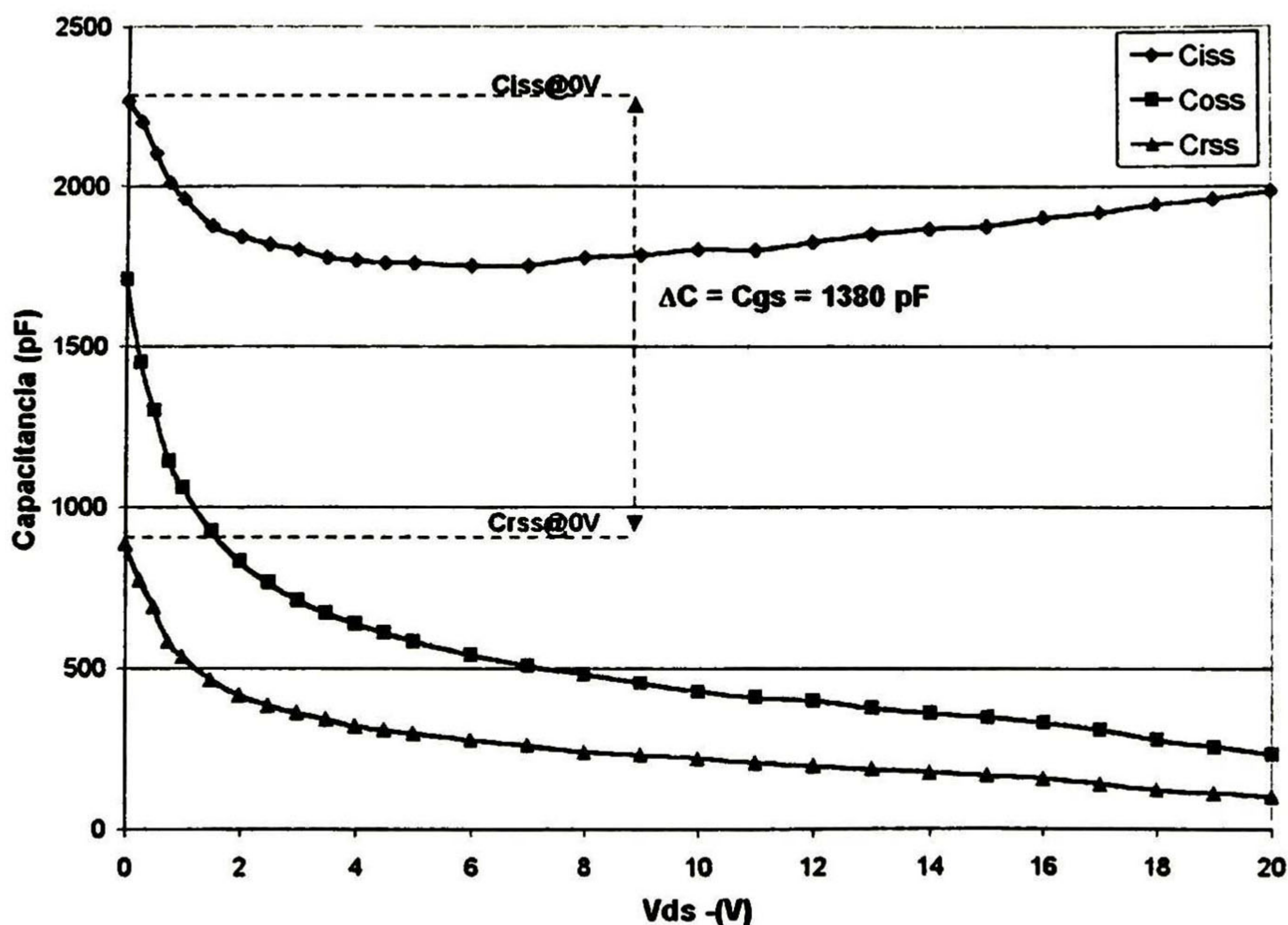


Figura 4.10.- Características medidas de capacitancia C_{iss} , C_{oss} y C_{rss} .

Los datos experimentales en 0 V, que se utilizarán corresponden a $C_{iss} = 2267$ pF, $C_{oss} = 1708$ pF y $C_{rss} = 887$ pF.

La comparación de estos resultados con los de la hoja de datos (ver figura 7a, en Anexo A3) indica una buena coincidencia, con excepción del efecto ya mencionado sobre C_{iss} .

Característica de la carga de compuerta

Aunque las características de carga de compuerta están disponibles en algunas hojas de datos, algunas veces no se muestran para diferentes valores de V_{ds} , lo cual es necesario para obtener el diferencial de voltaje en función de la variación de la carga de la compuerta. Esto se requiere para poder calcular el valor de capacitancia CGD. El circuito que se montó para realizar esta medición se muestra en la figura 4.11. Para su implementación física se utilizó un generador de señales para suministrar la excitación de entrada al circuito y un osciloscopio entre compuerta y fuente para medir la señal de V_{gs} en función del tiempo.

El principio de operación de esta medición se basa en suministrar una corriente constante de 1 mA a la compuerta (0.77 mA en este caso):

Si, la corriente es constante, la relación carga/tiempo es constante. Y por lo tanto la escala de tiempo se puede convertir en una escala de carga al multiplicarla por un factor constante (por 0.77, en este caso).

Por lo tanto si tenemos una escala de tiempo en μs y la corriente suministrada esta dada en mA, entonces la escala de carga estará dada en nC [10]:

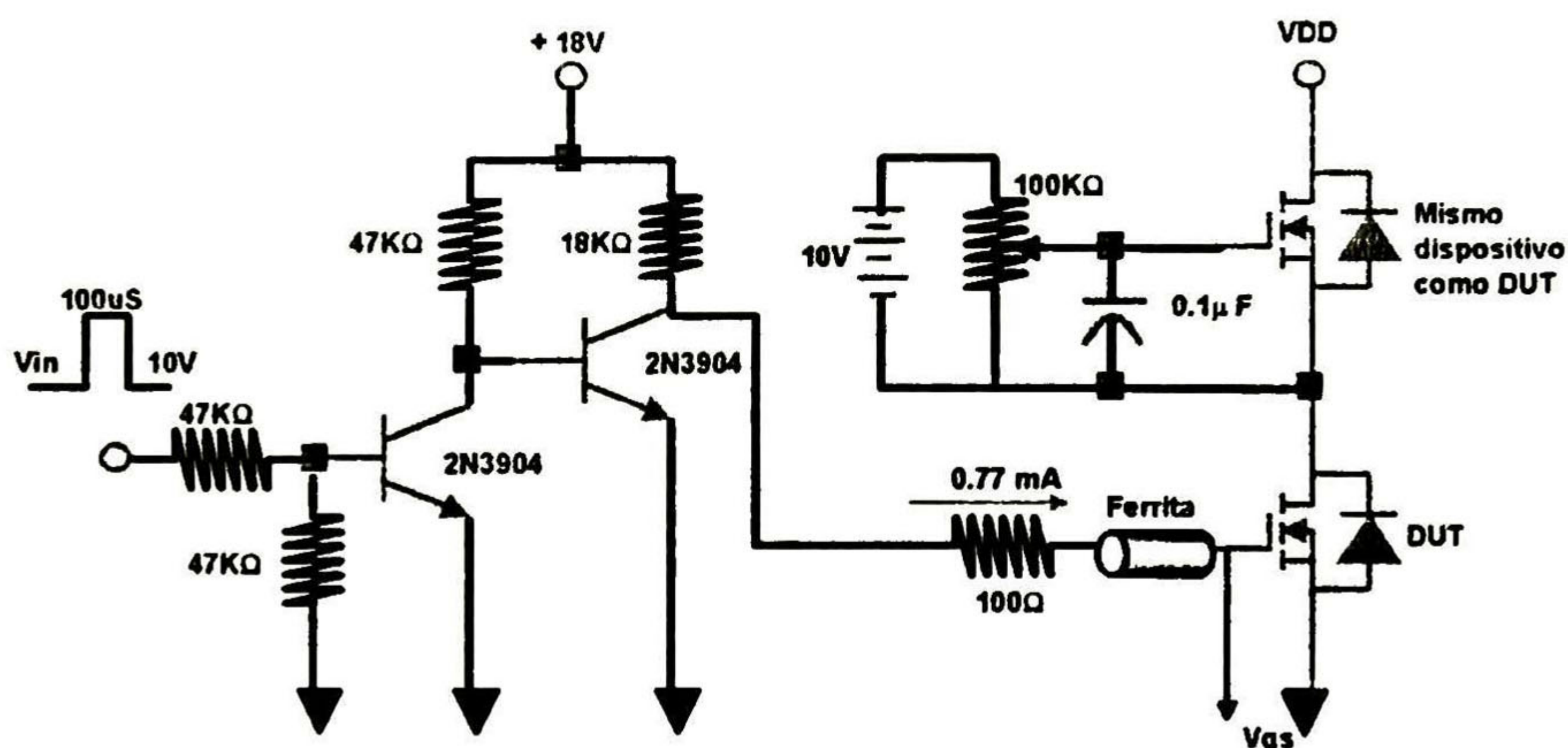


Figura 4.11.- Circuito utilizado para medir la carga de compuerta del TMOS de potencia.

La medición de la característica de carga de compuerta fue realizada a dos diferentes valores de voltaje V_{ds} para los tres TMOS utilizados cuyos datos fueron promediados por ser similares y poder obtener los parámetros generales para nuestro modelo. La característica de carga de compuerta resultante se muestra en la figura 4.12.

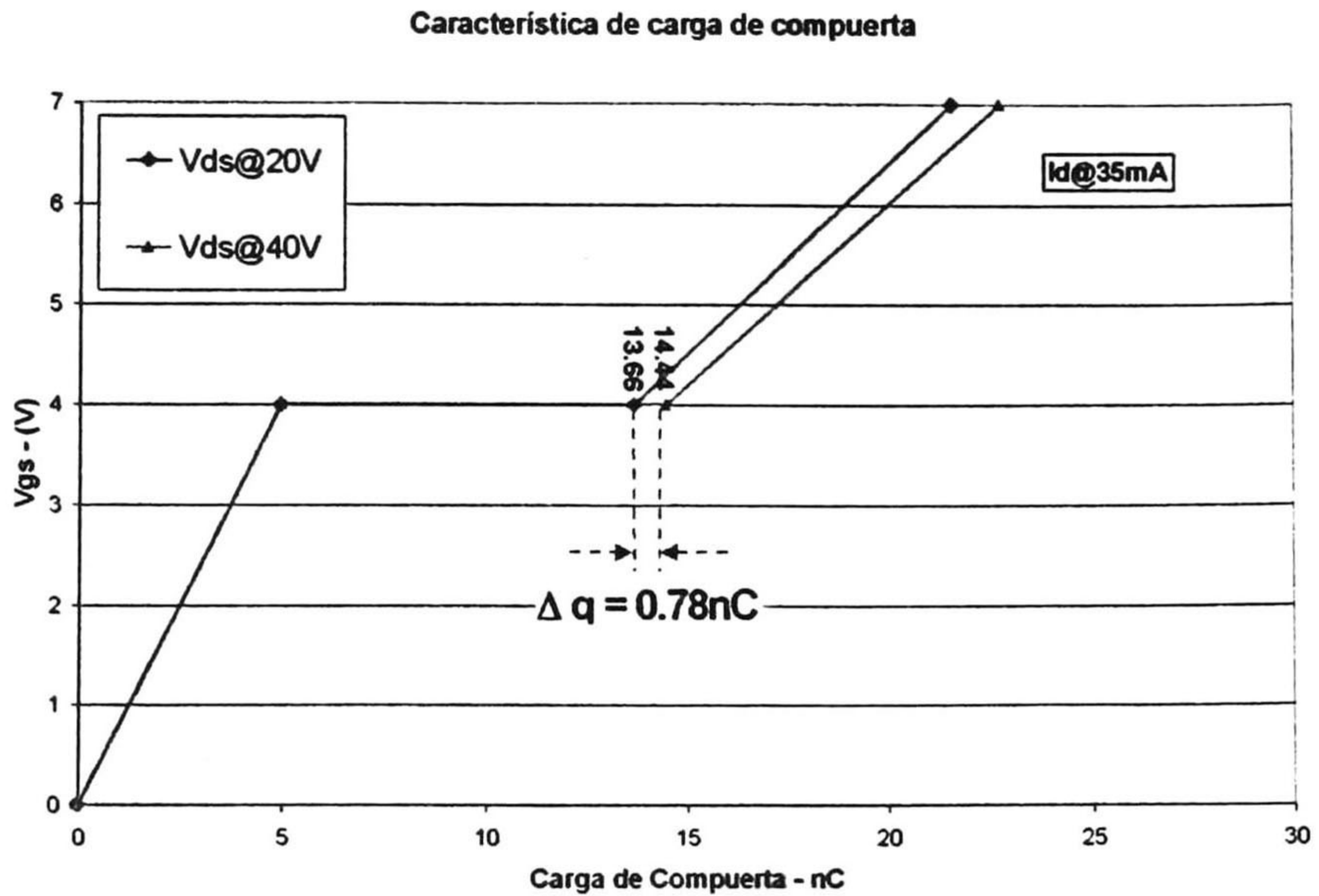


Figura 4.12.- Característica de carga de compuerta del TMOS de potencia.

En la tabla 4.4 se muestran los valores experimentales de la carga de la compuerta.

Tiempos de barrido - us / Vds@20V				
Vgs	TMOS1	TMOS2	TMOS3	Promedio
4	6.4	6.5	6.3	6.4
4	17.28	18.5	17.2	17.66
7	27.8	28	27.7	27.8

Tiempos de barrido - us / Vds@40V				
Vgs	TMOS1	TMOS2	TMOS3	Promedio
4	6.3	6.4	6.1	6.4
4	18.3	19.5	18.2	18.7
7	29	30	29.1	29.4

Resumen de datos de tiempos de barrido - us				
Vgs (V)	0	4.00	4.00	7.00
Vds@20V	0	6.40	17.66	27.83
Vds@40V	0	6.40	18.67	29.37

Datos de carga de compuerta Vgs vs. carga - nC				
Vgs (V)	0	4.00	4.00	7.00
Vds@20V	0	4.95	13.66	21.53
Vds@40V	0	4.95	14.44	22.71

Tabla 4.4.- Datos experimentales para la medición de la carga de la compuerta.

Parámetro de capacitancia CGS

De las curvas características C-V obtenidas anteriormente para C_{iss} y C_{rss} , tomamos para ambos los valores en cero voltaje y por medio de la ecuación 3.14 definimos el parámetro CGS:

$$C_{gs} = C_{iss} - C_{rss} = CGS = (2.27E - 09) - (8.87E - 10) = 1380 \text{ pF} \quad (4.11)$$

Parámetro de capacitancia CGD

Partiendo de las características de carga de compuerta medidas (figura 4.12), tomamos el valor de la carga de compuerta para cada una de las dos curvas en donde se presenta el segundo punto de elevación de voltaje para obtener el diferencial de carga. Posteriormente lo comparamos con el diferencial de voltaje de las dos curvas medidas a dos distintos voltajes de drenador como lo señala la ecuación 3.15. El resultado para CGD es:

$$C_{GD} = \frac{(\Delta q)}{(\Delta V_{ds})} = \frac{(18.67 - 17.66)}{(40 - 20)} = \frac{0.78 \text{ nC}}{20 \text{ V}} = 39 \text{ pF} \quad (4.12)$$

Parámetros de capacitancia para D_{MIN}

Para obtener los parámetros que describen la capacitancia de la unión del diodo D_{min} tomamos los datos de la característica C-V para C_{rss} y con la ayuda de una hoja de cálculo, a cada uno de los valores de capacitancia le restamos el valor de CGD (ya obtenido) de acuerdo con la ecuación 3.16 (ver tabla 4.5). Debido a que el proceso para determinar algunos valores para los elementos capacitivos requiere de cálculos iterativos, utilizamos el programa CJ_CALC que realiza este proceso en el programa RSPICE. Una vez restada esta capacitancia los datos se procesan en CJ_CALC y se obtienen los valores de CJO, M y VJ, como se muestra en la figura 4.13:

```
* * * * * CJ_CALC Results * * * * *
*
* cjo = 847.667E-12
* vj = 0.710
* m = 0.610
*
```

Figura 4.13.- Datos del archivo de salida de CJ_CALC para D_{min} .

Parámetro de capacitancia para D_{MAX}

El último componente de la capacitancia compuerta – drenador es la capacitancia a cero voltaje (CJO) de D_{max} . Este valor lo determinamos de forma iterativa con la ayuda del programa RSPICE utilizando un archivo llamado TMOS.MOD, el cual es un macromodelo en SPICE y en él están contenidos los parámetros del TMOS. Además se hace uso del archivo ejecutable

GATE.BAT, el cual nos habilita el modo de simulación y graficación de las características de carga de compuerta del TMOS de potencia a diferentes polarizaciones.

Se comenzó por dar como datos de partida al archivo TMOS.MOD los valores correspondientes a los parámetros del macromodelo del TMOS de potencia ya obtenidos hasta el momento. Como valor inicial de CJO del Dmax se tomó 1000 pF. Enseguida se ejecuta el programa GATE.BAT para que se simulen y grafiquen (con ayuda del programa RSPICE) los valores de la carga de compuerta para las dos diferentes polarizaciones de Vds que medimos previamente a 20 y 40 V. Una vez simulada la característica de carga de compuerta se comparó con la misma gráfica obtenida de la medición (figura 4.12) para verificar que los puntos en que el voltaje de compuerta comienza a incrementarse en esta gráfica fueran en el mismo valor de carga de compuerta. Esta secuencia se repitió varias veces en las que se fue ajustando consecutivamente el valor de CJO para Dmax en el archivo TMOS.MOD hasta llegar al valor en el que mejor se reprodujo la característica medida de la carga de compuerta como se puede observar en la figura 4.14, y cuyo valor fue de 4000 pF.

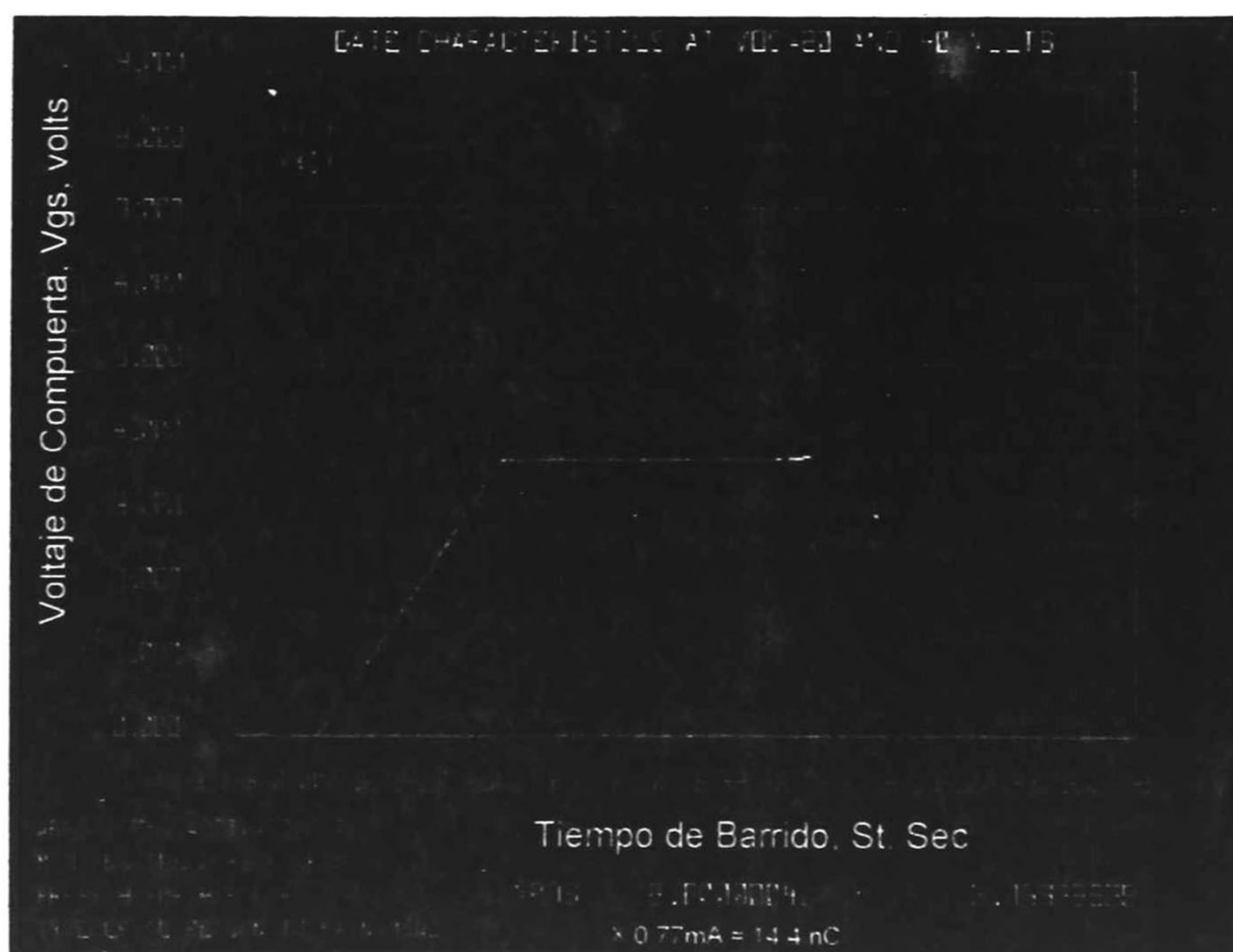


Figura 4.14.- Característica simulada de carga de compuerta para obtener el valor de CJO para Dmax.

Parámetros de capacitancia para el diodo del cuerpo

Para obtener el último componente de capacitancia del macromodelo debemos obtener los elementos que definen la capacitancia del diodo del cuerpo. Debido a que la característica de capacitancia Coss incluye ambas características: la del diodo del cuerpo y la de compuerta – drenador, necesitamos obtener solo la capacitancia del diodo del cuerpo. Para tal fin debemos

entonces restar la característica Crss de Coss. Esta sustracción la realizamos con la ayuda de una hoja de cálculo. Una vez obtenidos los valores de C-V que definen la característica de capacitancia del diodo del cuerpo se procesan con la ayuda de CJ_CALC para obtener los componentes de dicha capacitancia: CJO, M y VJ, como se muestra en la figura 4.15.

```

*   *   *   *   *   *   *   *   *   *   *   *   *   *   *   *
*
*   cjo =      822.000E-12
*   vj  =      0.601
*   m   =      0.463
*

```

Figura 4.15.- Datos del archivo de salida de CJ_CALC para diodo del cuerpo.

En la tabla 4.5 se muestran los datos experimentales en base a los cuales se calcularon los parámetros de capacitancias para Dmin y el diodo del cuerpo.

Capacitancia en pF				CGD = 39 pF Crss - CGD	pF Coss - Crss
Volts	Ciss	Coss	Crss		
0.00	2267	1708	887	848	822
0.25	2200	1450	773	734	677
0.50	2100	1300	690	651	610
0.75	2008	1142	583	544	558
1.00	1958	1058	537	498	522
1.50	1875	923	463	424	460
2.00	1842	830	417	378	413
2.50	1817	763	383	344	380
3.00	1800	710	360	321	350
3.50	1775	670	340	301	330
4.00	1767	637	320	281	317
4.50	1758	610	307	268	303
5.00	1758	583	297	258	287
6.00	1750	540	277	238	263
7.00	1750	507	260	221	247
8.00	1775	480	240	201	240
9.00	1783	453	230	191	223
10.00	1800	427	220	181	207
11.00	1800	410	207	168	203
12.00	1825	400	197	158	203
13.00	1850	377	187	148	190
14.00	1867	360	177	138	183
15.00	1875	347	167	128	180
16.00	1900	330	157	118	173
17.00	1917	307	140	101	167
18.00	1942	277	123	84	153
19.00	1958	257	113	74	143
20.00	1983	233	100	61	133

Tabla 4.5.- Datos experimentales utilizados para obtener los parámetros de capacitancia para Dmin y el diodo del cuerpo. Los datos en negrita corresponden a los utilizados en CJ_CALC.

4.4 Elementos parásitos

Como ya se mencionó en el capítulo anterior, existen cuatro elementos parásitos en el macromodelo del TMOS de potencia: L_d , L_s , L_g , y R_g . Para el caso particular de las inductancias de las terminales para transistores en envases TO-220 (plástico) L_s y L_g son usualmente tomadas alrededor de 6 nH comparada con un valor de 7.5 nH para L_s y 4.5 nH para L_d que señala la hoja de datos de este dispositivo en particular. Usualmente la inductancia de drenador es ligeramente menor y para envases TO-220 es típicamente 4 nH. La hoja de datos no especifica el valor para L_d . La resistencia de compuerta varía por dispositivo, pero es típicamente entre 3 y 5 Ω y tampoco está especificada en la hoja de datos del fabricante. La tabla 4.6 muestra los valores de L_D , L_S , L_G y R_G comparando los valores típicos [1] y los especificados en la hoja de datos del fabricante.

Envase TO-220	L_d	L_s	L_g	R_g
Típico	4 nH	6 nH	6 nH	5 Ω
Hoja de datos	4.5nH	7.5 nH	N/A	N/A

Tabla 4.6.- Valores de elementos parásitos del TMOS de potencia para el envase tipo TO-220 Plástico.

Para nuestro modelo emplearemos los datos del fabricante hasta donde estén disponibles y en su defecto se utilizarán los típicos.

4.5 Resumen de los parámetros obtenidos para el macromodelo del TMOS de potencia MTP3N100E con envase tipo TO-220 plástico.

En la tabla 4.7 se muestra el resumen de los parámetros extraídos y tomados de hojas de datos para la simulación del dispositivo analizado, el MTP3N100E con envase de tipo TO-220 de plástico.

Elemento	Nombre	Parámetro	Valor	Unidad
MOSFET	Nivel	Índice del modelo	1	
	VTO	Voltaje de umbral a 0V	3.57	V
	KP	Parámetro de transconductancia	3.23	A/V ²
	RS	Resistencia óhmica de Fuente	0.00	Ω
Diodo del cuerpo	IS	Corriente de saturación	1.19E-11	A
	RS	Resistencia óhmica	5.70	Ω
	N	Coefficiente de emisión	1.10	
	CJO	Capacitancia de unión a 0 V	8.22E-10	F
	VJ	Potencial de la unión	0.60	V
	M	Coefficiente de graduación	0.46	
Dmin	CJO	Capacitancia de unión a 0 V	8.48E-10	F
	VJ	Potencial de la unión	0.71	V
	M	Coefficiente de graduación	0.61	
Dmax	CJO	Capacitancia de unión a 0 V	4.00E-09	F
Pasivos	LS	Inductancia de terminal de fuente	7.50E-09	H
	LD	Inductancia de terminal de drenador	4.50E-09	H
	LG	Inductancia de terminal de compuerta	6.00E-09	H
	RG	Resistencia de compuerta	5	Ω
	RD	Resistencia de drenador	2.81	Ω
		Coefficiente de temperatura	0.025	Ω/°C
	CGD	Capacitancia compuerta-drenador	3.89E-11	F
CGS	Capacitancia compuerta-fuente	1.38E-09	F	

Tabla 4.7.- Lista de parámetros del macromodelo para el TMOS de potencia MTP3N100E.

4.6 Comprobación de los resultados

Características de salida del TMOS

Para la comprobación de los los resultados obtenidos durante la medición y simulación de las características de salida del TMOS de potencia, se compararán los datos experimentales medidos con las simulaciones realizadas en PSPICE con el macromodelo de Siliconix en evaluación y el de Analogy, Inc.

En la figura 4.16 se muestra el gráfico de la característica de salida V-I en la región de encendido, en la que se comparan las características individuales que se midieron experimentalmente de cada uno de los tres TMOS contra la característica simulada en PSPICE por el macromodelo propuesto. Se seleccionó esta región de la característica de salida por cubrir el rango de variación de corrientes permisibles, hasta 3 A, y el de voltaje donde hay variación de corriente. A partir de los 20 V la corriente se mantiene constante al incrementar el voltaje de drenaje. En la figura 4.17 se puede observar la comparación individual de cada unos de los 3 TMOS medidos contra su simulación particular.

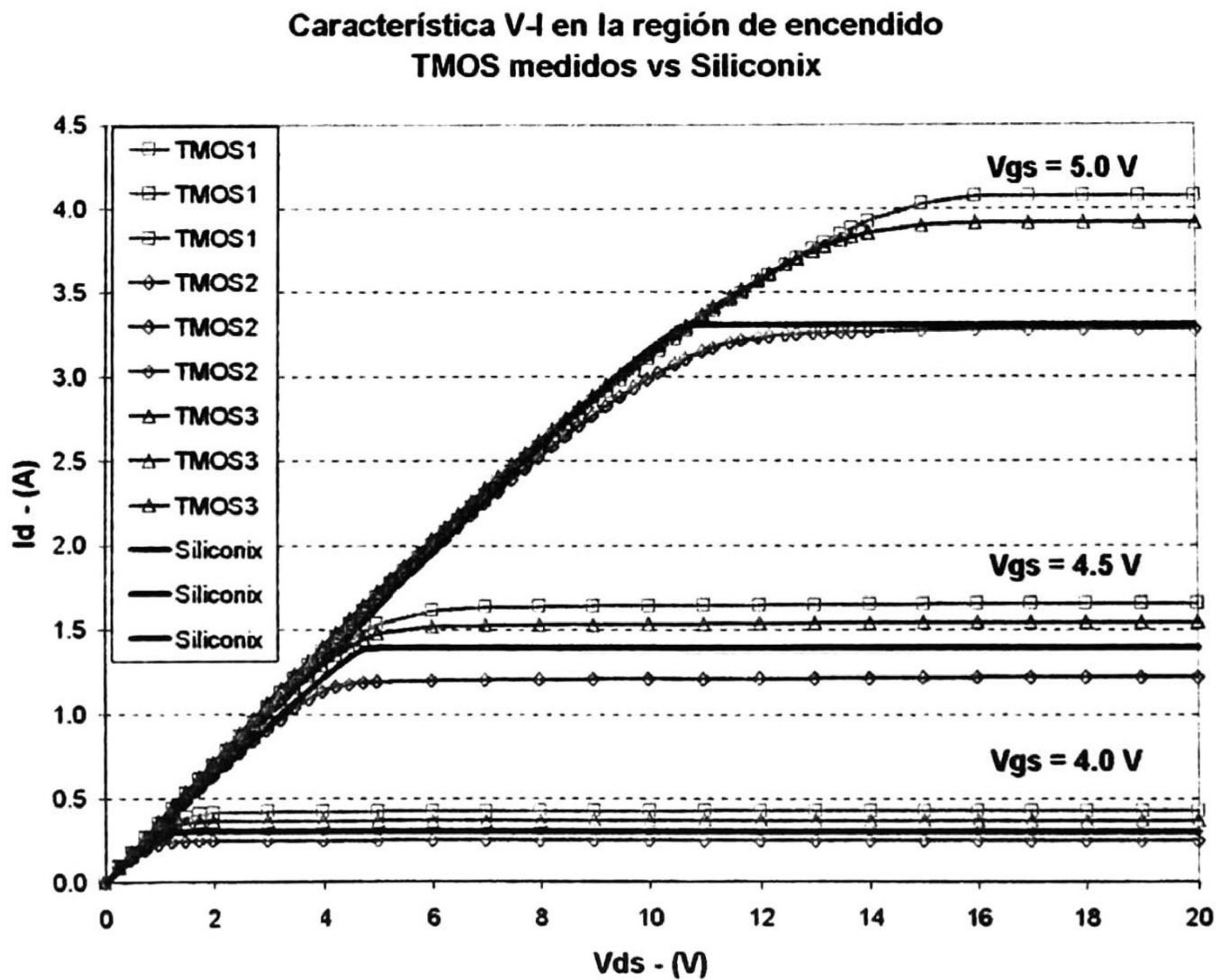


Figura 4.16.- Características experimentales en la región de encendido para los tres TMOS medidos y la simulación realizada en PSPICE con el macromodelo de SILICONIX en evaluación para el TMOS de potencia MTP3N100E.

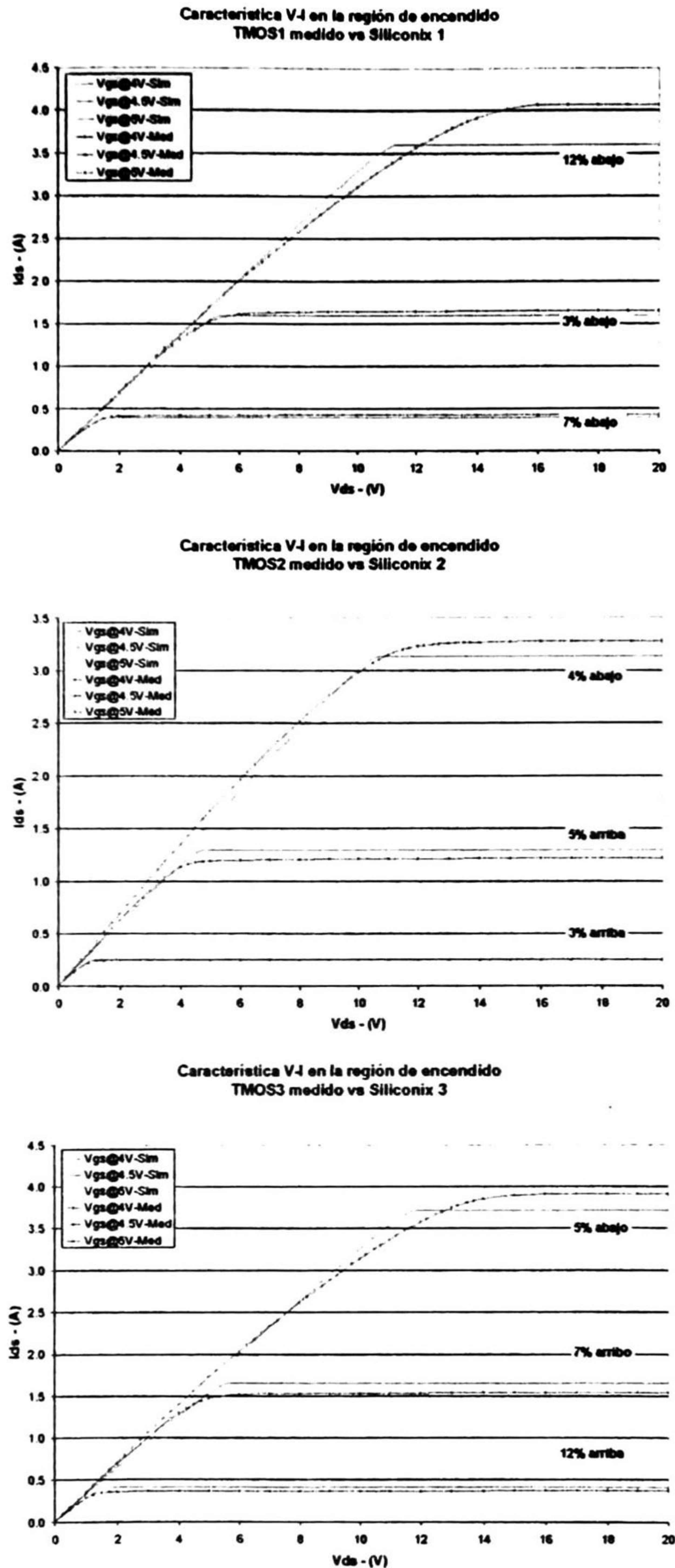


Figura 4.17.- Características experimentales en la región de encendido para cada uno de los tres TMOS medidos y la simulación individual realizada en PSPICE con el macromodelo de SILICONIX en evaluación para el TMOS de potencia MTP3N100E.

En la figura 4.18 se muestra la curva en la misma región comparando el TMOS experimental promedio con las simulaciones realizadas en PSPICE con el macromodelo de Siliconix y el de Analogy, Inc. En esta figura se puede apreciar el porcentaje de error en el ajuste promedio de 10% teniendo que en la región de trabajo (1.5A) es de sólo el 5%, lo cual es bastante aceptable. También se puede observar que el ajuste es mejor que el modelo que se propone por Analogy, Inc.

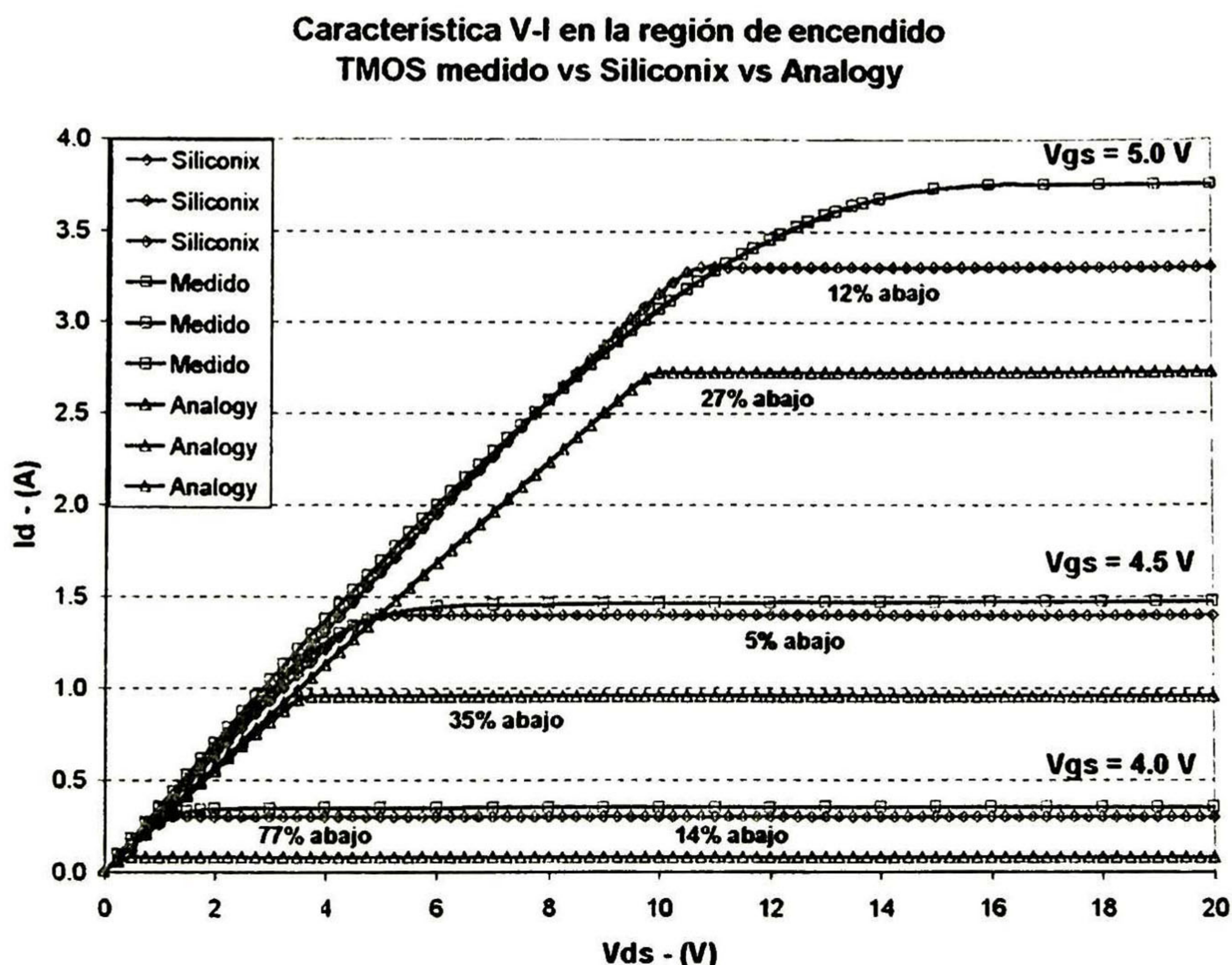


Figura 4.18.- Característica de la región de encendido para el TMOS experimental promedio comparado con las simulaciones realizadas en PSPICE con los macromodelos de SILICONIX en evaluación y el de Analogy, Inc.

En la figura 4.19 se muestra la característica de transconductancia en la región de saturación obtenida experimentalmente para los tres TMOS medidos y la simulación realizada en PSPICE con el macromodelo de Siliconix en evaluación.

Finalmente en la figura 4.20 se muestra la comparación de la misma característica de transconductancia en la región de saturación, para el TMOS promedio medido experimentalmente junto con las simulaciones realizada en PSPICE con el macromodelo en evaluación de este trabajo y el de Analogy, Inc.

Como se puede observar en las gráficas anteriores el nivel de ajuste es bastante bueno (menor al 5%) entre las características medidas y la simulación en PSPICE con el macromodelo propuesto en este trabajo. Sin embargo la simulación con el macromodelo propuesto por Analogy, Inc, muestra un menor ajuste.

**Característica de transconductancia en región de saturación
TMOS medidos vs Siliconix**

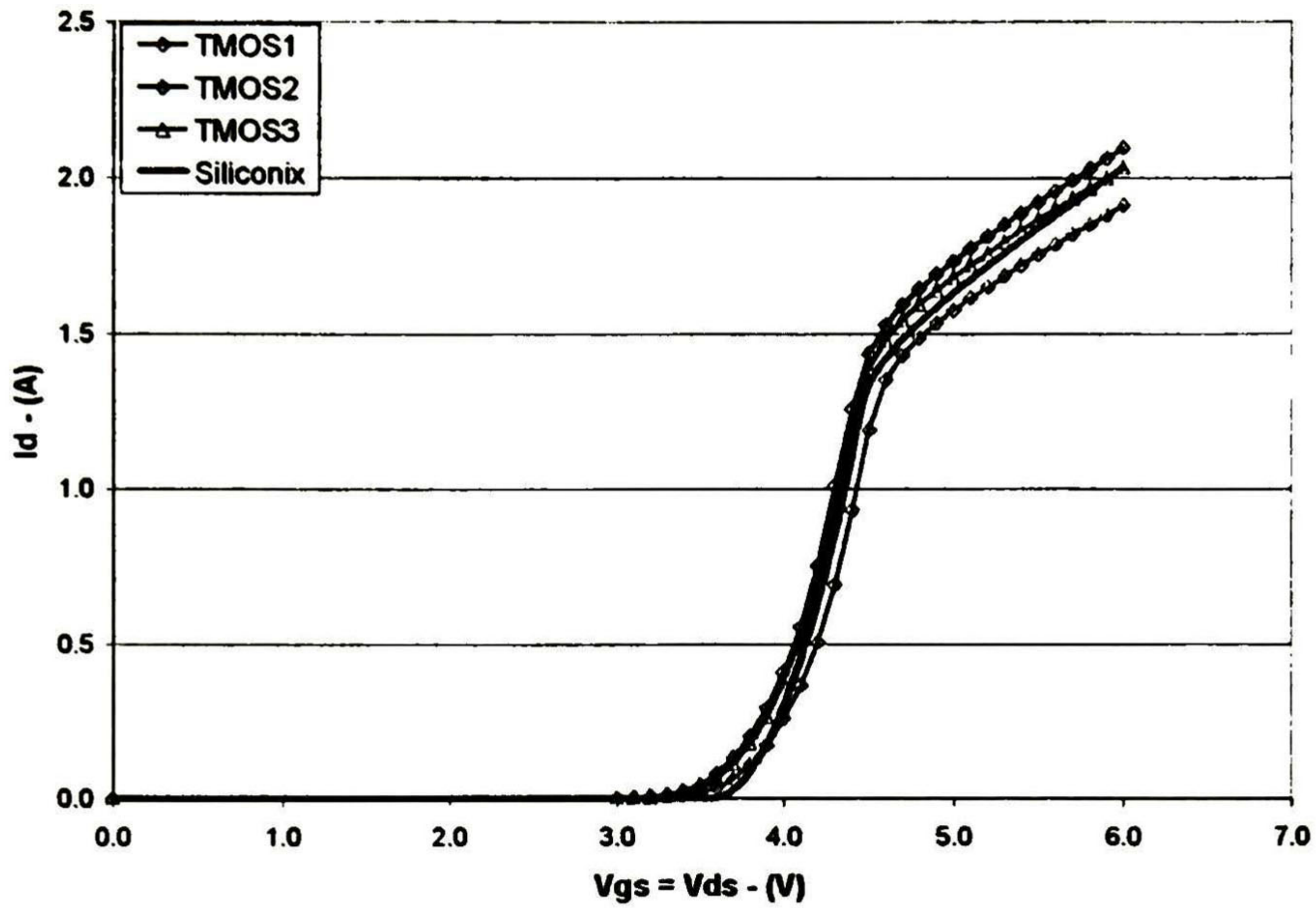


Figura 4.19.- Característica de transconductancia en la región de saturación del TMOS de potencia para los tres TMOS medidos y la simulación en el PSPICE con el modelo propuesto.

**Característica de transconductancia en región de saturación
TMOS medido vs Siliconix vs Analogy**

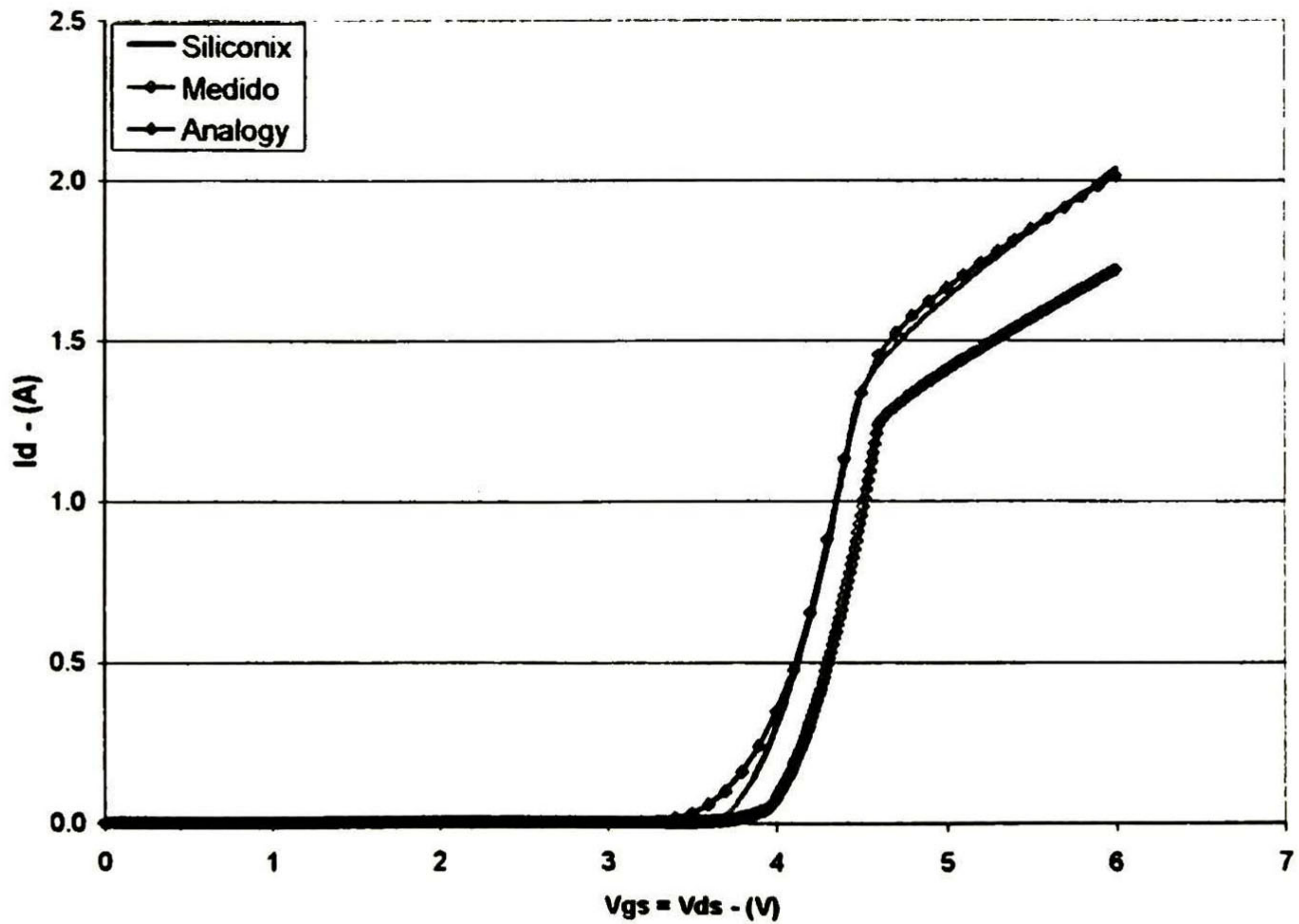


Figura 4.20.- Comparación de la característica de transconductancia en la región de saturación del TMOS promedio medido y las simulaciones en PSPICE de los modelos de Siliconix y de Analogy, Inc.

Características de conmutación del dispositivo MTP3N100E

Debido a que las características de conmutación de los TMOS son normalmente en el rango de los nanosegundos, los circuitos de prueba requeridos deberán estar blindados con técnicas de RF para evitar que capacitancias e inductancias parásitas inherentes al circuito de medición y el “ruido” del medio interactúen con las mediciones del dispositivo alterando significativamente los parámetros del mismo, de otra forma las mediciones no serán exactas. Debido a lo anterior, las mediciones de los tiempos de conmutación tienden frecuentemente a caracterizar más al circuito de prueba que al dispositivo mismo bajo prueba. Por esta razón, los fabricantes de dispositivos recomiendan tomar la característica de carga de compuerta, la cual provee un mejor indicativo de la capacidad de conmutación del TMOS de potencia [10].

De las figuras 4.12 y 4.14, ya obtenidas previamente durante la extracción misma de los parámetros, podemos observar que la característica de carga de compuerta obtenida experimentalmente y la característica simulada por el macromodelo de Siliconix en evaluación, son similares. Para nuestro caso, aunque no contamos con un circuito que cumpla con los requisitos de precisión mencionados anteriormente, se realizó una medición de la característica de conmutación con el circuito que se muestra en la figura 4.21, con el fin de tener una comparación cercana en el rango de trabajo esperado del orden de los nanosegundos. La tabla 4.8 muestra las mediciones que se obtuvieron experimentalmente, así como los valores de la simulación en el PSPICE por el macromodelo de Siliconix en evaluación junto con el propuesto por Analogly, Inc. Como se puede observar ambos modelos tienen una aproximación similar a los datos experimentales en el rango de los nanosegundos:

Parámetro	Medido	Analogy	Este trabajo
Turn-on delay (ns)	41	50	57
Rise time (ns)	74	38	52
Turn-off delay (ns)	123	102	87
Fall time (ns)	87	54	78

Tabla 4.8.- Comparación de los parámetros de respuesta a un pulso más representativos del TMOS de potencia MTP3N100E.

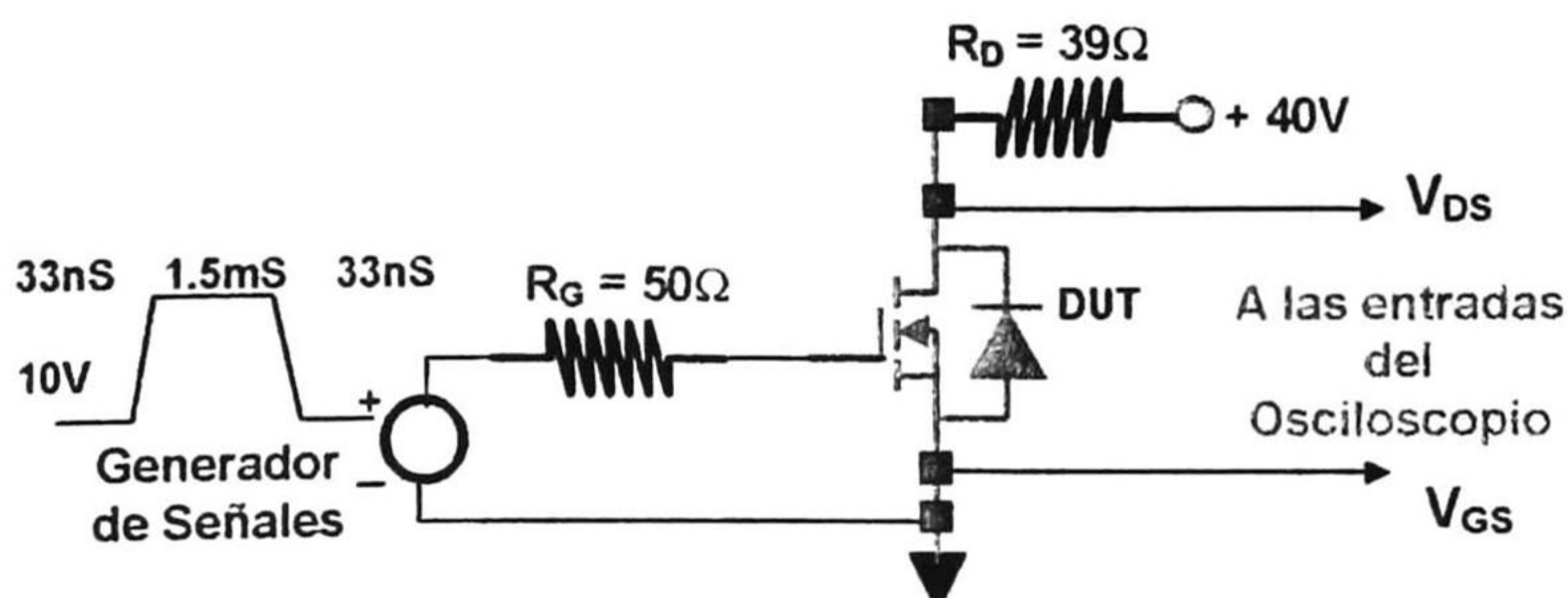


Figura 4.21.- Circuito de medición para la característica de conmutación del TMOS de potencia MTP3N100E.

Las figuras 4.22 y 4.23, muestran la característica de conmutación y los datos de las simulaciones en PSPICE de ambos modelos: Siliconix y Analogly, Inc, respectivamente.

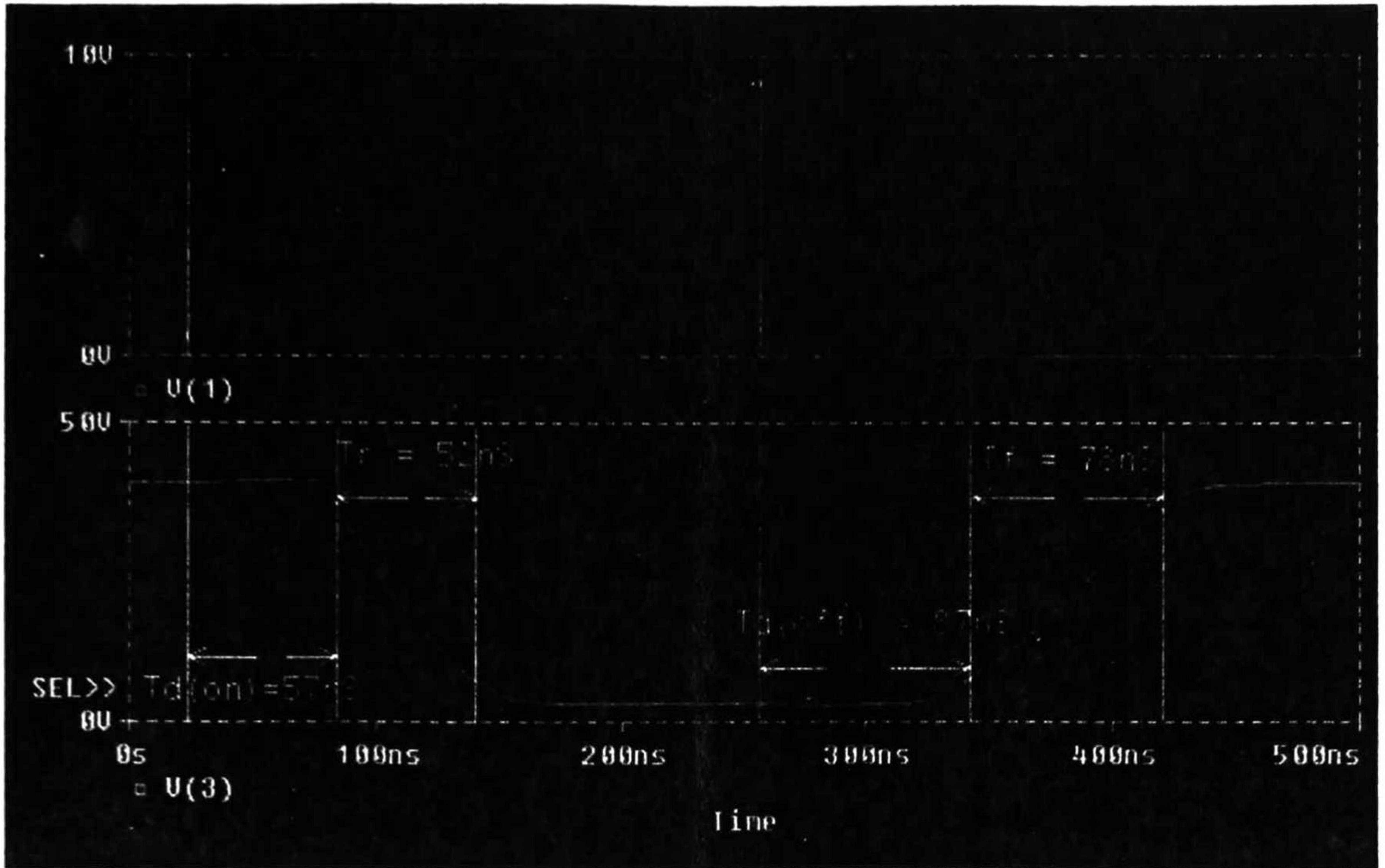


Figura 4.22.- Característica de conmutación del TMOS de Potencia MTP3N100E, simulada en el PSPICE con el macromodelo en evaluación.

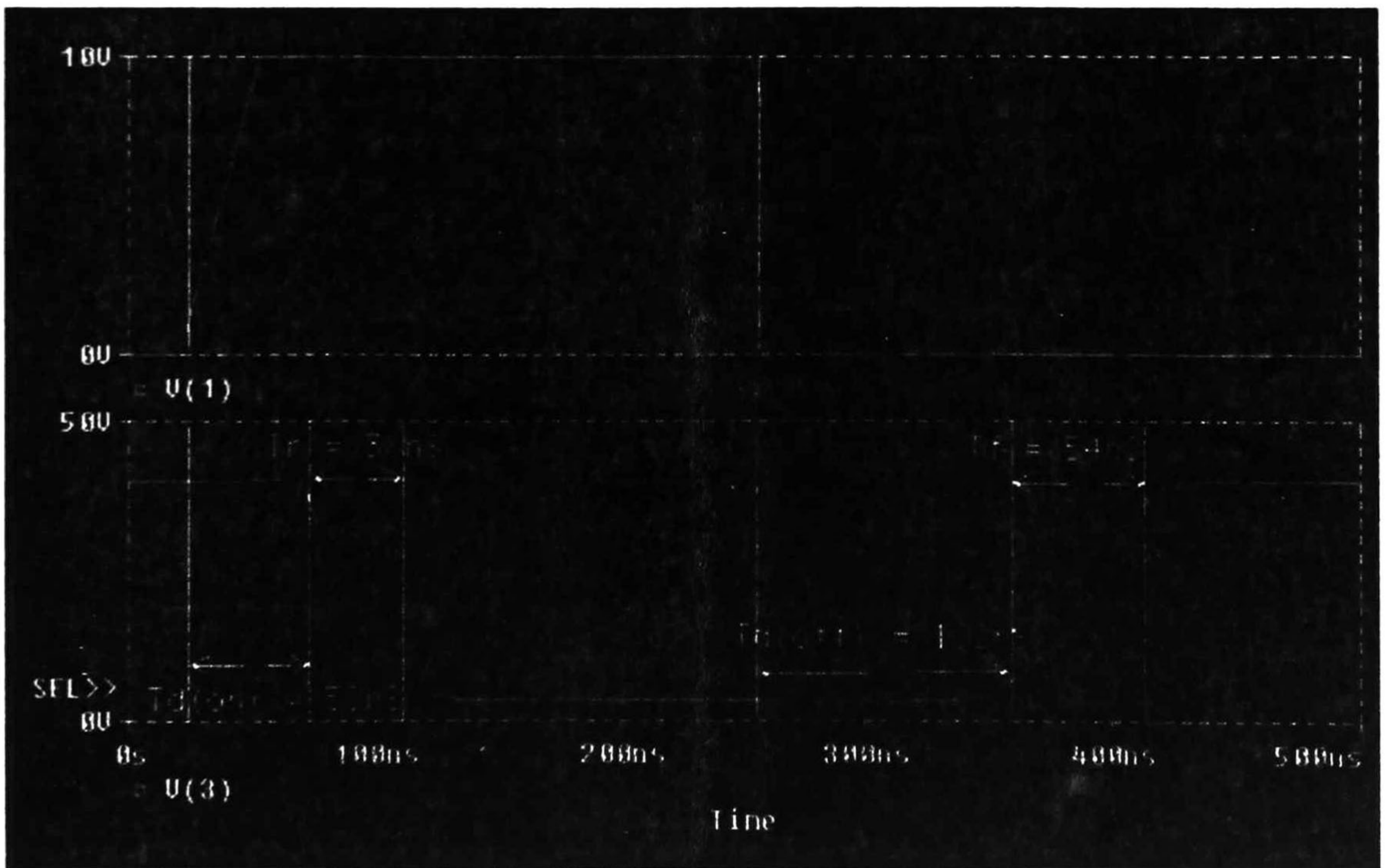


Figura 4.23.- Característica de conmutación del TMOS de potencia MTP3N100E, simulada en el PSPICE con el macromodelo de Analogly, Inc.

Programa de PSPICE para el dispositivo MTP3N100E

A continuación se muestra el programa del macromodelo en evaluación del presente trabajo para el PSPICE:

```
**Macromodelo para PSPICE del Dispositivo MTP3N100E
***** MODELO SILICONIX PSPICE(tm) SIMULADOR
*****
.subckt mtp3n100e 1 2 3
*
* 1 = Compuerta  2 = Drenador  30 = Fuente
*
*****
*----- Elementos Externos -----
* Inductancias del Paquete
*
LDRAIN      2  30  4.5nH
LGATE       1  50  6.0nH
LSOURCE     20  3   7.5nH
*
*
* Resistencias
*
RDRAIN      30  40  2.81  TC1=0.025
RGATE       50  10  5
*
*
* Diodo del Cuerpo
*
DBODY       20  30  DBODY
*
*
* Arreglo de Capacitancias
*
CGD         10  30  39pF
CGS         10  20  1380pF
*
DMIN        10  60  DMIN
DMAX        30  60  DMAX
*
*-----
*
*----- TMOS NUCLEO -----
*
M1          40  10  20  20  MCORE
*
*-----
```



```

*
*
*----- Modelos -----
*
.MODEL MCORE NMOS (
+LEVEL      = 1
+VTO        = 3.57
+KP         = 3.23
+GAMMA      = 0
+RS         = 0)
*
*-----
*
.MODEL DBODY D (
+IS         = 11.9e-12
+RS         = 5.7
+N          = 1.10
+CJO        = 822pF
+VJ         = 0.601
+M          = 0.463)
*
*-----
*
.MODEL DMIN D (
+CJO        = 848pF
+VJ         = 0.71
+M          = 0.61)
*
*-----
*
.MODEL DMAX D (
+CJO        = 4000pF)
*
.ENDS MTP3N100E

```


Conclusiones

1. Se seleccionó el TMOS de potencia MTP3N100E ensamblado en la Planta de Guadalajara considerando que se contaba con un modelo de simulación propuesto por la firma Analogly, Inc., que permitiría la comparación con los resultados obtenidos en este trabajo.
2. Se adoptó el macromodelo para el TMOS de potencia propuesto por SILICONIX, así como en lo general el procedimiento de extracción de parámetros sugerido por Kielkowski. Realizando modificaciones en los mismos.
3. Las modificaciones realizadas son:
 - En el circuito equivalente el diodo del cuerpo se encontraba conectado directamente al TMOS-núcleo, siendo la resistencia RD común a ambos. Esto no responde a la realidad, ya que esta resistencia es la misma RDson, la cual está en serie al TMOS-núcleo y estos a su vez en paralelo con el diodo del cuerpo.
 - Considerando que nuestro dispositivo es de alto voltaje, se adoptó el método de extracción de VTO y KP a partir de la característica I-V en saturación, en lugar de la característica lineal propuesta por Kielkowski. Se reporta que da una mejor aproximación.
 - Se tuvo que proponer una técnica de extracción de RD, ya que para estos dispositivos no es posible igualarlo con RS. Se extraen de manera diferente pudiendo diferenciarse en varios ordenes.
4. Se realizó la extracción de parámetros en dos bloques: para los parámetros de DC y para los parámetros de AC. Se propone una secuencia de extracción que permitió dar facilidad y rapidez al proceso experimental, utilizando los equipos disponibles en la Planta.
5. Se requirió construir dos circuitos específicos para poder realizar la extracción de parámetros. Uno para medir las diferentes capacitancias del transistor, y el otro para medir la carga en la compuerta del TMOS.
6. La selección de los métodos de extracción y los circuitos requeridos fue resultado de una extensa búsqueda de información disponible, escrita y en Internet, tanto de firma de fabricantes, como de universidades.
7. El procesamiento de los datos experimentales se simplificó con el uso de programas auxiliares del RSPICE, tanto para regresiones lineales, como para ajustar las capacitancias.
8. Para tres transistores se realizó la extracción de todos los parámetros del macromodelo a utilizar. Se realizó la simulación de la característica de salida y de la respuesta a un pulso, que se contrastó contra los resultados obtenidos de mediciones, de la hoja de datos y de la simulación con los datos propuestos por Analogly, Inc. La comparación ofreció los siguientes resultados:
 - En DC, los datos experimentales comparados con los resultados de la simulación en PSPICE del modelo en evaluación, mostraron un buen ajuste menor al porcentaje de error propuesto (<15%). Y a su vez un mejor desempeño comparado con el modelo propuesto por Analogly, Inc.
 - En AC, los datos experimentales de carga de compuerta comparados con el resultado de la simulación en PSPICE, mostraron un buen ajuste (<5%). En cuanto a la medición de la característica de conmutación, aunque no se contó con el circuito de medición requerido para una buena exactitud, se realizó una medición para verificar la aproximación del modelo en evaluación con los datos experimentales, teniendo una

respuesta similar en el rango de 0 a 150 nanosegundos, lo cual es bastante cercano considerando el rango tan bajo de respuesta en tiempo.

Bibliografía

- [1] Ron M. Kielkowsky, *"SPICE Practical Device Modeling"*, McGraw-Hill, 1995.
- [2] MicroSim, *"The Design Center, Analysis-user's Guide"*, MicroSim Corporation, 1992.
- [3] Tor A. Fjeldly/TY/MS, *"Introduction to Device Modeling and Circuit Simulation"* John Wiley & Sons, Inc, 1998.
- [4] Charles-Edouard Cordonnier, *"Spice Model for TMOS Power MOSFETs"* MOTOROLA FET Applications Manual - AN1043, 1991.
- [5] Motorola, *"TMOS Power MOSFET Transistor Device Data"* Motorola Inc., 1996.
- [6] Kim Gauen, *"Testing Power MOSFET Gate Charge"* EB125, 1989.
- [7] International Rectifier, *"Use Gate Charge to Design the Gate Drive Circuit for power MOSFETs and IGBTs"*, International Rectifier AN-944.
- [8] Ralph Locher, *"Introduction to Power MOSFETs and their Applications"* Fairchild AN-558, 1998.
- [9] S. M. Sze, *"Modern Semiconductor Device Physics"* John Wiley & Sons, Inc, 1998.
- [10] International Rectifier, *"Measuring HEXFET[®] Characteristics"* International Rectifier AN-957.

CONCLUSIONES GENERALES

1. Se realizó el análisis de los macromodelos para TMOS de potencia que se presentaban en la literatura. Por su simpleza, y por la posibilidad de extraer los parámetros de los modelos de una forma relativamente fácil, se seleccionó el macromodelo de SILICONIX.
2. Después de una búsqueda en la información escrita y en Internet, se propone utilizar la metodología de extracción propuesta por Kielkowski considerando los requerimientos en equipos y en procesamiento, los cuales están disponibles en la Planta.
3. Los parámetros a definir en total, considerando que para los TMOS de potencia es suficiente el modelar el TMOS-núcleo del macromodelo con el Nivel 1, son: VTO, KP, RS, RD, IS, N, RS, Coss, Ciss, Crss, CGS, CGD, CJO, M, VJ, Ld, Ls, Lg, Rg.
4. Se seleccionó el TMOS de potencia MTP3N100E ensamblado en la Planta de Guadalajara considerando que se contaba con un modelo de simulación propuesto por la firma Analogy Inc, que permitiría la comparación con los resultados obtenidos en este trabajo.
5. Se hicieron: una modificación al modelo y dos modificaciones en el método de extracción:
 - En el circuito equivalente, se cambió la conexión del diodo del cuerpo que se encontraba conectado directamente al TMOS-núcleo, por la conexión al extremo de RD, la cual está en serie al TMOS-núcleo y estos a su vez en paralelo con el diodo del cuerpo, debido a que así corresponde a la realidad.
 - Considerando que el dispositivo seleccionado es de alto voltaje, se adoptó el método de extracción de VTO y KP a partir de la característica IV en saturación, en lugar de la característica lineal propuesta por Kielkowski. Se reporta que da una mejor aproximación.
 - Se propuso una técnica de extracción de RD, ya que para estos dispositivos no es posible igualarlo con RS. Se determinan por métodos diferentes, pudiendo diferenciarse en varios órdenes.
6. Se realizó la extracción de parámetros en dos bloques: para los parámetros de DC y para los parámetros de AC. Se propone una secuencia de extracción que permitió dar falicidad

y rapidez al proceso experimental, utilizando los equipos disponibles en la Planta. Además se utilizaron programas auxiliares del simulador RSPICE.

7. Se requirió construir dos circuitos específicos para poder realizar la extracción de parámetros. Uno para medir las diferentes capacitancias del transistor, y el otro para medir la carga en la compuerta del TMOS.
8. Para tres transistores se realizó la extracción de todos los parámetros del macromodelo a utilizar. Se realizó la simulación de la característica de salida y de la respuesta a un pulso, que se contrastó contra los resultados obtenidos de mediciones y de la simulación con los datos propuestos por Analogly. La comparación ofreció los siguientes resultados:
 - En DC, los datos experimentales comparados con los resultados de la simulación en PSPICE del modelo en evaluación, mostraron un buen ajuste menor al porcentaje de error propuesto inicialmente menor del 15%. Y a su vez un mejor desempeño comparado con el modelo propuesto por Analogly, Inc.
 - En AC, los datos experimentales de carga de compuerta comparados con el resultado de la simulación en PSPICE, mostraron un buen ajuste (<5%). En cuanto a la medición de la característica de conmutación, aunque no se contó con el circuito de medición requerido para una buena exactitud, se realizó una medición para verificar la aproximación del modelo en evaluación con los datos experimentales, teniendo una respuesta similar en el rango de 0 a 150 nanosegundos, lo cual es bastante cercano considerando el rango tan bajo de respuesta en tiempo.
9. Se comprobaron las ventajas del macromodelo propuesto, así como de los métodos de extracción propuestos en este trabajo. Con un modelo más simple, con menos parámetros, se obtuvieron mejores aproximaciones que utilizando el nivel 3.
10. En general el presente trabajo deja una doble contribución:

En lo personal la reafirmación de los conocimientos sobre la física de los dispositivos semiconductores, la relación de la tecnología de manufactura con las características eléctricas y la enseñanza de las técnicas de modelación para dispositivos semiconductores en general. Lo anterior representa una base sólida sobre la cual se puede continuar investigando y experimentando en distintos campos de tecnología, manufactura y aplicación de dispositivos semiconductores. En lo particular estos conocimientos han sido de gran ayuda en las actuales responsabilidades de ingeniería de Proceso y Producto que ya han dado sus primeros resultados en casos reales:

Como experiencias personales podemos mencionar dos muy significativas:

- a) En las áreas de ensamble un problema sobre determinar y explicar el origen de un valor alto de VF en diodos rectificadores de potencia ha sido siempre un tanto difícil debido a la interacción con el proceso de soldado. Sin embargo hemos podido identificar el origen del problema con mayor facilidad en base a un estudio de la característica en directa del diodo para determinar si el alto valor de VF es debido a la resistencia de contacto o por un valor de resistividad del

sustrato, caracterizando además el porcentaje de huecos en el proceso de soldado con respecto al nivel de contribución al VF, especialmente debido a la energía disipada durante la prueba.

- b) En un reciente viaje para visitar a un proveedor potencial de obleas para rectificadores, el proveedor presentó una propuesta para utilizar una oblea con un cierto nivel de dopaje en el sustrato para ser utilizada para dos diferentes dispositivos que actualmente se fabrican con dos voltajes de ruptura diferentes a partir de dos diferentes sustratos. Gracias al actual conocimiento sobre la materia, se pudo cuestionar y entender al proveedor sobre las técnicas que se utilizarían para el proceso de difusión siendo que a priori no parecía factible debido a las restricciones físicas que se tienen para el voltaje de ruptura. Por lo tanto, las evaluaciones de tienen en proceso para verificar la factibilidad del proceso. Además del proceso de fabricación, se pudo realizar una hipótesis sobre el impacto que el cambio tendría en la aplicación del dispositivo para ser considerada durante la calificación del mismo.

En general los actuales conocimientos han sido y siguen siendo de gran ayuda para enfrentar día con día los problemas que se presentan, mediante el entendimiento de los factores de procesamiento tecnológico y su impacto en el comportamiento eléctrico de los dispositivos durante el encapsulamiento y en las pruebas finales, para poder actuar en su solución y/o pedir a los procesos previos su solución.

Para la Planta de GDL, el presente trabajo sirve como una guía en el aprendizaje de las técnicas de modelaje de dispositivos semiconductores de una manera fácil y factible ya que se utiliza un modelo sencillo con extracción de parámetros con equipos y herramientas de uso común en la Planta. Aunque el trabajo está enfocado a TMOS de potencia, las técnicas utilizadas pueden aplicarse a otros dispositivos. El uso de estas técnicas es una gran ayuda en el desarrollo profesional de los ingenieros al poder demostrar la funcionalidad de prácticamente cualquier dispositivo en aplicaciones específicas según el interés de los usuarios, así como el conocimiento que se adquiere con la experimentación misma.

PARAMETROS DEL MODELO DEL TMOS EN PSPICE

Parámetros del modelo del TMOS en PSPICE

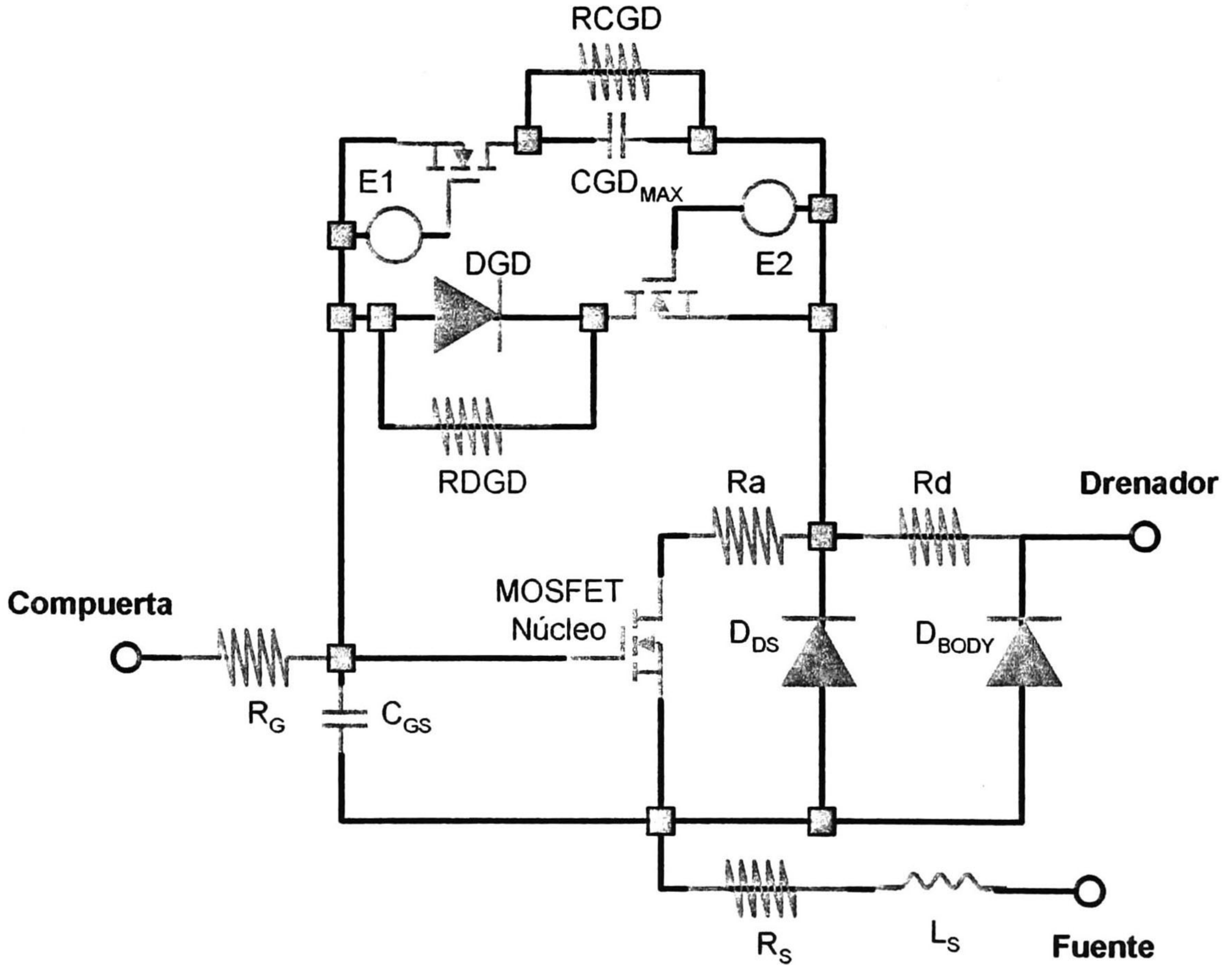
Nombre	Parámetro	Unidad	Valor por omisión
LEVEL	Índice de modelo	-	1
VTO	Voltaje umbral sin polarización	V	0.0
KP	Parámetro de transconductancia	A/V^2	2.0E-05
GAMMA	Parámetro de umbral del sustrato	$V^{1/2}$	0.0
PHI	Potencial superficial	V	0.6
LAMBDA	Modulación de longitud de canal (sólo MOS1 y MOS2)	1/V	0.0
RD	Resistencia de drenador	Ω	0.0
RS	Resistencia de fuente	Ω	0.0
CBD	Capacitancia de unión B-D sin polarización	F	0.0
CBS	Capacitancia de unión B-S sin polarización	F	0.0
IS	Corriente de saturación de la unión del sustrato	A	1.0E-14
PB	Potencial de unión de sustrato	V	0.8
CGSO	Capacitancia de traslape compuerta-fuente, por metro de ancho de canal	F/m	0.0
CGDO	Capacitancia de traslape compuerta-drenador, por metro de ancho de canal	F/m	0.0
CGBO	Capacitancia de traslape compuerta-sustrato, por metro de ancho de canal	F/m	0.0
RSH	Resistencia de hoja de la difusión de drenador y fuente	Ω/cuadro	0.0
CJ	Capacitancia inferior de unión con sustrato sin polarización, por m^2 de área de unión.	F/m^2	0.0
MJ	Coefficiente del gradiente de unión inferior con sustrato	-	0.5
CJSW	Capacitancia de unión de pared lateral con sustrato sin polarización por metro de perímetro de unión.	F/m	0.0
MJSW	Coefficiente del gradiente de unión de pared lateral con sustrato	-	0.50 (Nivel 1) 0.33 (Nivel 2)
JS	Corriente de saturación de unión con sustrato por m^2 de área de unión.	A/m^2	0
TOX	Grosor de óxido de compuerta	m	1.0E-07
NSUB	Dopado de sustrato	cm^{-3}	0.0
NSS	Densidad de estados superficiales	cm^{-2}	0.0
NFS	Densidad de estados superficiales rápidos	cm^{-2}	0.0
TPG	Tipo de material de compuerta (+1, opuesto al sustrato; -1, mismo que sustrato; 0, compuerta de Al)	-	1.0
XJ	Profundidad de unión metalúrgica	m	0.0
LD	Difusión lateral	m	0.0
U0	Movilidad superficial	$cm^2/V s$	600
UCRIT	Campo crítico en la degradación de la movilidad (sólo MOS2)	V/cm	1.0E+04
UEXP	Exponente del campo crítico en la degradación de la movilidad (sólo MOS2)	-	0.0
UTRA	Coefficiente de campo transversal (eliminado para MOS2)	-	0.0
VMAX	Velocidad de arrastre máxima para portadores	m/s	0.0
NEFF	Coefficiente de cargas (fijas y móviles) totales de canal (sólo MOS2)	-	1.0
KF	Coefficiente de ruido de Flicker	-	0.0
AF	Exponente de ruido de Flicker	-	1.0
FC	Coefficiente para fórmula de capacitancia de deflexión en polarización directa	-	0.5
DELTA	Efecto de ensanchamiento en voltaje de umbral (sólo	-	0.0

THETA	MOS2 y MOS3)	V^{-1}	0.0
ETA	Modulación de movilidad (sólo MOS3)	-	0.0
KAPPA	Retroalimentación estática (sólo MOS3)	-	0.2
TNOM	Factor de campo de saturación	$^{\circ}C$	27
	Parámetro de medición de temperatura		

MACROMODELOS PARA EL TMOS DE POTENCIA

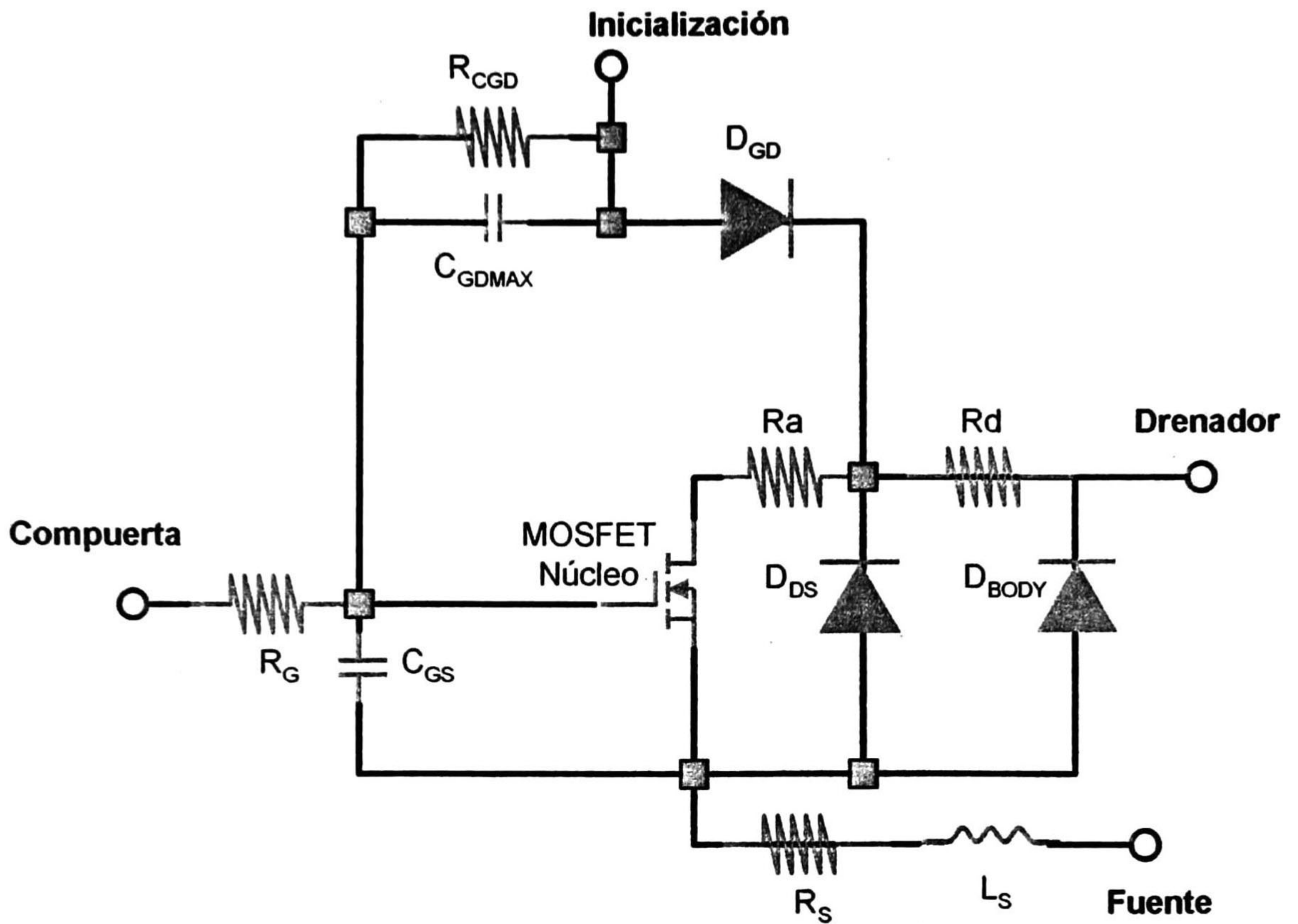
A continuación se presentan los cuatro modelos analizados para el TMOS de potencia:

1. **Macromodelo diseñado por la Universidad LAAS-CNRS de Toulouse Francia en conjunto con Motorola Inc.**



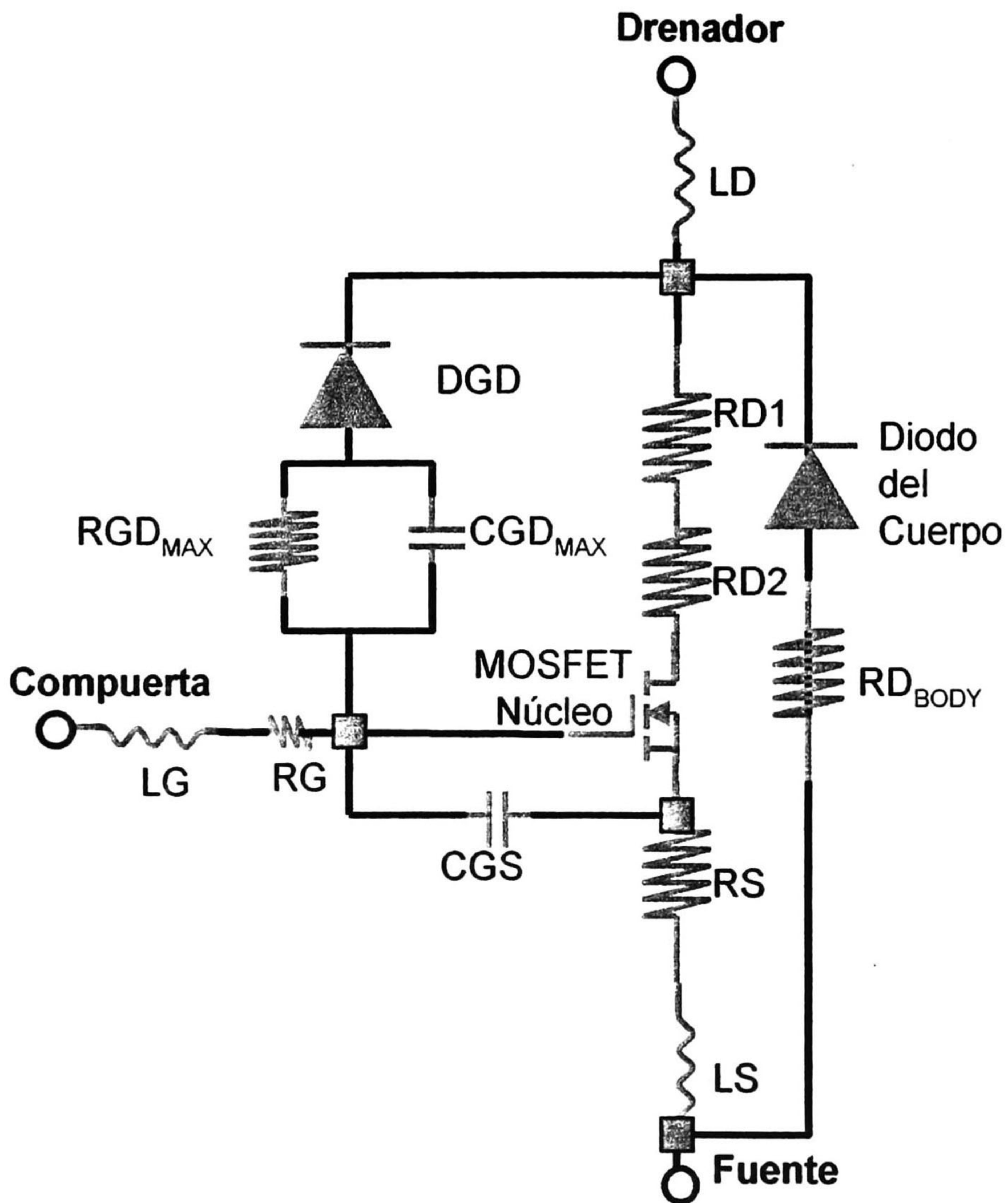
Este macromodelo contiene conmutadores para la capacitancia CGD. El modelo es complejo y la extracción de parámetros lo es también.

2. Macromodelo diseñado por la Universidad LAAS-CNRS de Toulouse Francia en conjunto con Motorola Inc.



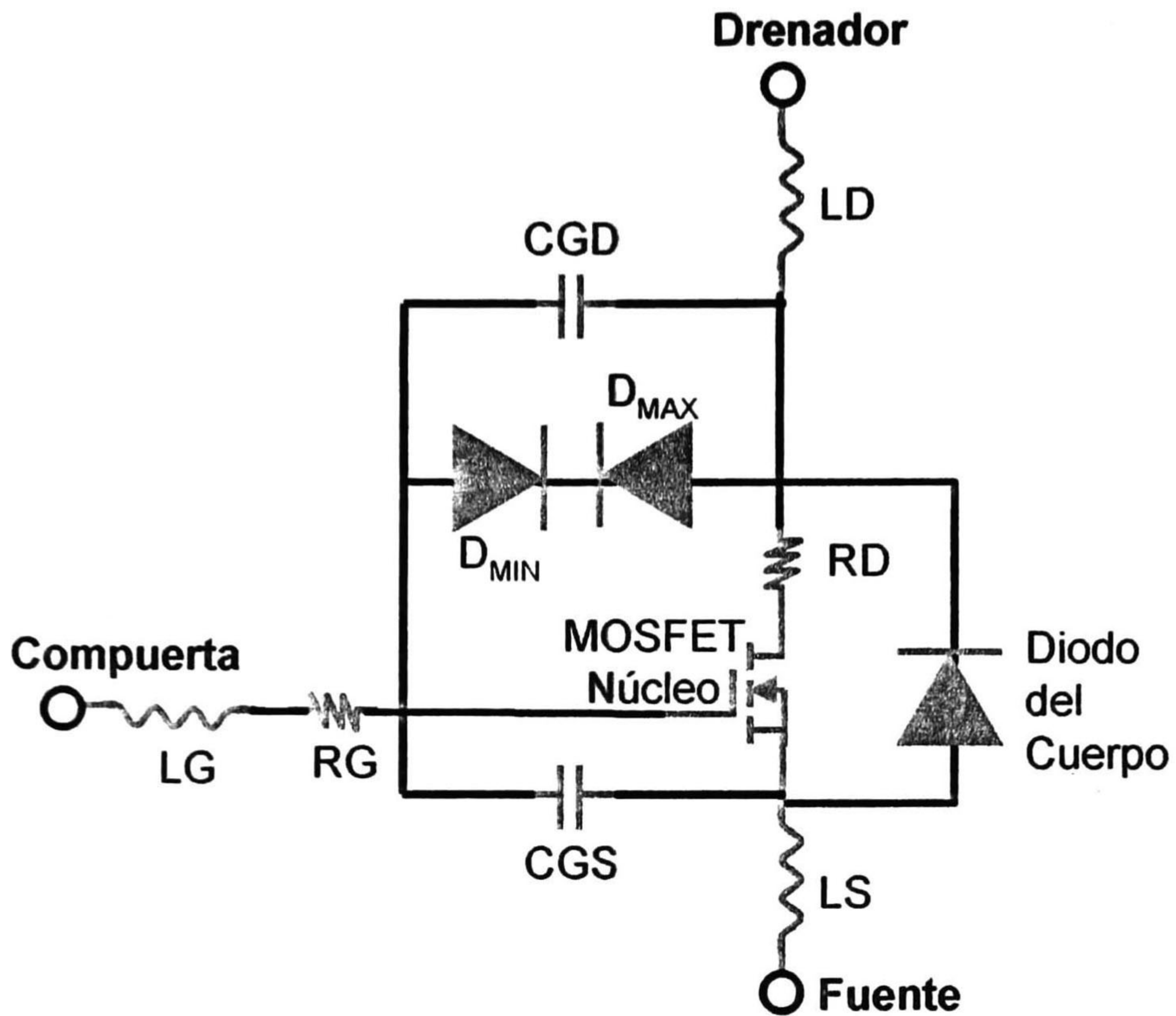
Este macromodelo es prácticamente similar al anterior, sólo que no contiene conmutadores para la capacitancia CGD. Por tal motivo es más rápido que el anterior. El inconveniente es que requiere de una señal de iniciación, sólo para el análisis de transientes. Al igual que el modelo anterior es complejo y la extracción de parámetros lo es también.

3. Macromodelo diseñado por Analogy, Inc.



Este macromodelo es mucho más simple que los anteriores, sin embargo contiene varios parámetros en el modelo que para su extracción lo hacen complicado ya que obtener los valores para los mismos se hace complicado ya que es difícil separar las resistencias en serie internas, si no se cuenta con parámetros tecnológicos.

4. Macromodelo diseñado por SILICONIX.



Como se puede apreciar este macromodelo es el más sencillo de los cuatro analizados. Además se puede observar que es muy similar al anterior, sólo que los parámetros con que cuenta representa los que el diseño de Analogly, Inc muestra, sin que esto deteriore su capacidad de simulación. La extracción de parámetros es por tanto más sencilla y fácil de seguir, por lo que se decidió experimentar con este macromodelo.

**MACROMODELO DEL TMOS DE POTENCIA MTP3N100E PARA
PSPICE, CREADO POR ANALOGY, INC.**

```

*****
*
*
* #####
* #
* # MTP3N100E #
* # Motorola TMOS Power FET #
* # 3 AMPERES #
* # 1000 VOLTS #
* # RDS(on) = 4 OHMS #
* # Package = TO-220AB #
* #
* # This model was developed by #
* # Analogy, Inc. #
* # 9205 SW Gemini Dr. #
* # Beaverton, OR 97005 #
* # Copyright 1994 Analogy, Inc. #
* # All Rights Reserved #
* #
* # The content of this model is subject to change #
* # without notice and may not be modified or altered #
* # without permission from Motorola, Inc. This model #
* # has been carefully checked and is believed to be #
* # accurate, however neither Analogy nor Motorola #
* # assume liability for the use of this model or the #
* # results obtained from using it. #
* #
* # For more information regarding modeling services, #
* # model libraries or simulation products, please #
* # contact Analogy, Inc. (503) 626-9700. #
* #
* #####
*
*
*

```

* There are four simulation models provided on this disk for the MTP3N100E power mosfet. Three of the models are for use with SPICE based simulators and the fourth model is for use with the SABER(TM) simulator from Analogy.

* The three SPICE models have identical parameter values and model structure however the syntax is slightly modified in each model to support a variety of SPICE simulators. The SPICE model is based on the available elements in SPICE based electrical simulators and may have limited accuracy and convergence capabilities due to fundamental limitations in SPICE based simulators. Specifically, this model DOES NOT produce an accurate prediction of some non-linear capacitance effects, non-linear leakage characteristics, soft-knee breakdown, weak inversion characteristics, body diode forward and reverse recovery mechanisms, and maximum device ratings.

* The SABER model is a more accurate model that includes all non-linear capacitances, non-linear leakage characteristics, soft-knee breakdown, weak inversion characteristics, body diode forward and reverse recovery mechanisms, and maximum stress ratings. The model is available for use with the SABER(tm) simulator from Analogy and is written in MAST(tm), an Analog Hardware


```

* Description Language (AHDL). The SABER model is well suited for power circuit
* simulation.
*****
*
*****
*
* The model for this device is a subcircuit and can be used in the one of the
  following formats in any spice compatible simulator.

* This model file contains 3 subcircuits with correct syntax for SPICE2G.6,
* SPICE3C/D.X, HSPICE(tm) and PSPICE(tm) The user must call the proper
subcircuit
* in their netlist depending on the simulator they are using, e.g.:
*
* X<name> Nodes<N1, N2, N3> Model_Name

* where X<name> is the circuit specific name, Nodes<N1, N2, N3> are the
  connection points for the device and Model_Name is the name of the model
* provided in this model file.
*
* There are 3 nodes for this device.
* The first is the Drain, the second is the Gate, and the third is the Source.
* The Model_Name is: mtp3n100eG for Berkley 2G.6 and compatible simulators.
*                       mtp3n100eD for Berkley 3C.X, 3D.X and HSPICE(tm)
simulators.
*                       mtp3n100eP for Microsim PSPICE(tm) simulator.
  Example: X1 1 2 3 mtp3n100eX
*
***** MICROSIM PSPICE(tm) SIMULATORS *****
***** INSTANTIATION *****
.subckt mtp3n100eP 10 20 30
*
* 10 = Drain 20 = Gate 30 = Source
*
*****
*----- EXTERNAL PARASITICS -----
* PACKAGE INDUCTANCE

LDRAIN 10 11 1e-09
LGATE 20 21 1e-09
LSOURCE 30 31 1e-09
*
* RESISTANCES
*
RDRAIN1 4 11 RDRAIN 3.4
RDRAIN2 4 5 RDRAIN 0.01
RSOURCE 31 6 RSOURCE 0.01508
RDBODY 8 30 RDBODY 0.01
*
RGATE 21 2 1
*-----
*
*----- CAPACITANCES AND BODY DIODE -----
*
DBODY 8 11 DBODY

```



```

DGD          3  11 DGD
CGDMAX       2   3 2.8e-09
RGDMAX       2   3 1e+08
CGS          2   6 1.188e-09

```

```

*-----
*
*----- CORE MOSFET -----
*

```

```

M1          5  2  6  6  MAIN

```

```

*-----
*

```

```

.MODEL RDRAIN RES (
+TC1      = 0.008115
+TC2      = 1.948e-05)

```

```

.MODEL RSOURCE RES (
+TC1      = 0
+TC2      = 0)

```

```

.MODEL RDBODY RES (
+TC1      = 0
+TC2      = 0)

```

```

.MODEL MAIN NMOS (
+LEVEL    = 3
+VTO      = 3.8
+KP       = 8
+GAMMA    = 3
+PHI      = 0.6
+LAMBDA   = 0.0009889
+RD       = 0
+RS       = 0
+CBD      = 0
+CBS      = 0
+IS       = 1e-14
+PB       = 0.8
+CGSO     = 0
+CGDO     = 0
+CGBO     = 0
+RSH      = 0
+CJ       = 0
+MJ       = 0.5
+CJSW     = 0
+MJSW     = 0.33
+JS       = 1e-14
+TOX      = 1e-07
+NSUB     = 1e+15
+NSS      = 0
+NFS      = 6.886e+11
+TPG      = 1
+XJ       = 0
+LD       = 0
+UO       = 600
+UCRIT    = 10000

```



```
+UEXP      = 0
+UTRA      = 0
+VMAX      = 1e+06
+NEFF      = 1
+KF        = 0
+AF        = 1
+FC        = 0.5
+DELTA     = 0
+THETA     = 0
+ETA       = 0
+KAPPA     = 0.2)
*
```

```
*-----*
```

```
*
.MODEL DGD D (
+IS        = 1e-15
+RS        = 0
+N         = 1000
+TT        = 0
+CJO       = 1.109e-09
+VJ        = 1.55
+M         = 0.9227
+EG        = 1.11
+XTI       = 3
+KF        = 0
+AF        = 1
+FC        = 0.5
+BV        = 10000
+IBV       = 0.001)
*
```

```
*-----*
```

```
*
.MODEL DBODY D (
+IS        = 2.15e-10
+RS        = 0.00743
+N         = 1.23
+TT        = 2.011e-07
+CJO       = 5.809e-10
+VJ        = 1.425
+M         = 0.5887
+EG        = 1.11
+XTI       = 4.385
+KF        = 0
+AF        = 1
+FC        = 0.5
+BV        = 1100
+IBV       = 0.00025)
.ENDS
```


**HOJA DE DATOS DEL FABRICANTE PARA EL TMOS DE
POTENCIA MTP3N100E**

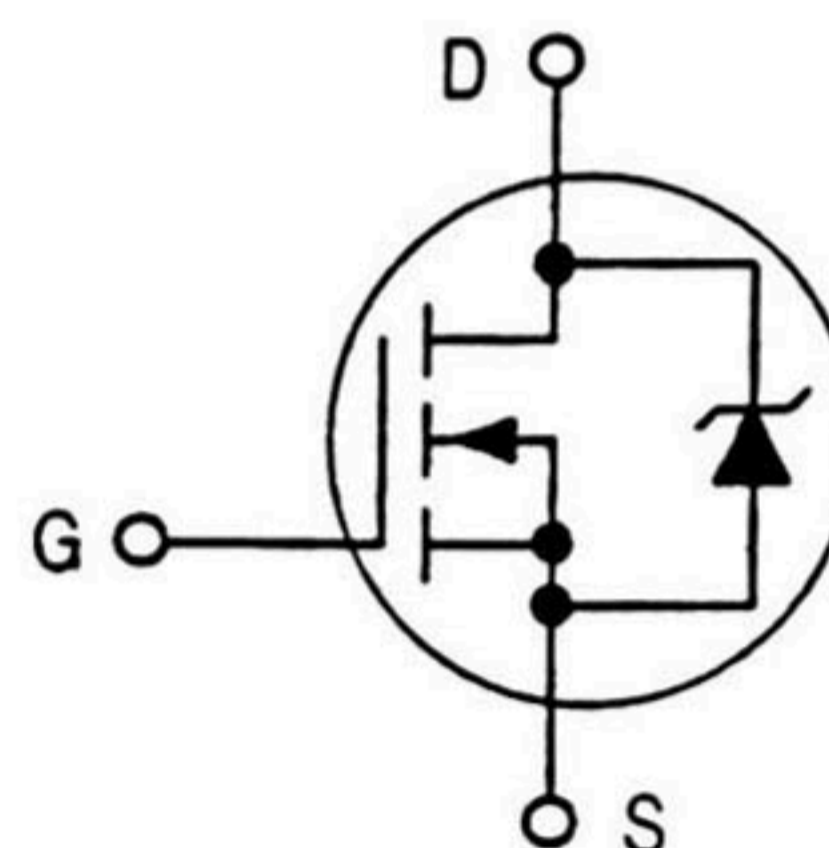
Designer's™ Data Sheet

TMOS E-FET™

Power Field Effect Transistor N-Channel Enhancement-Mode Silicon Gate

This high voltage MOSFET uses an advanced termination scheme to provide enhanced voltage-blocking capability without degrading performance over time. In addition, this advanced TMOS E-FET is designed to withstand high energy in the avalanche and commutation modes. The new energy efficient design also offers a drain-to-source diode with a fast recovery time. Designed for high voltage, high speed switching applications in power supplies, converters and PWM motor controls, these devices are particularly well suited for bridge circuits where diode speed and commutating safe operating areas are critical and offer additional safety margin against unexpected voltage transients.

- Robust High Voltage Termination
- Avalanche Energy Specified
- Source-to-Drain Diode Recovery Time Comparable to a Discrete Fast Recovery Diode
- Diode is Characterized for Use in Bridge Circuits
- I_{DSS} and $V_{DS(on)}$ Specified at Elevated Temperature



MTP3N100E

Motorola Preferred Device

TMOS POWER FET
3.0 AMPERES
1000 VOLTS
 $R_{DS(on)} = 4.0 \text{ OHM}$



CASE 221A-06, Style 5
TO-220AB

MAXIMUM RATINGS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DSS}	1000	Vdc
Drain-Gate Voltage ($R_{GS} = 1.0 \text{ M}\Omega$)	V_{DGR}	1000	Vdc
Gate-Source Voltage — Continuous — Non-Repetitive ($t_p \leq 10 \text{ ms}$)	V_{GS} V_{GSM}	± 20 ± 40	Vdc Vpk
Drain Current — Continuous — Continuous @ 100°C — Single Pulse ($t_p \leq 10 \mu\text{s}$)	I_D I_D I_{DM}	3.0 2.4 9.0	Adc Adc Apk
Total Power Dissipation Derate above 25°C	P_D	125 1.0	Watts W/ $^\circ\text{C}$
Operating and Storage Temperature Range	T_J, T_{stg}	-55 to 150	$^\circ\text{C}$
Single Pulse Drain-to-Source Avalanche Energy — Starting $T_J = 25^\circ\text{C}$ ($V_{DD} = 150 \text{ Vdc}$, $V_{GS} = 10 \text{ Vdc}$, $I_L = 7.0 \text{ Apk}$, $L = 10 \text{ mH}$, $R_G = 25 \Omega$)	E_{AS}	245	mJ
Thermal Resistance — Junction to Case — Junction to Ambient	$R_{\theta JC}$ $R_{\theta JA}$	1.00 62.5	$^\circ\text{C/W}$
Maximum Lead Temperature for Soldering Purposes, 1/8" from case for 10 seconds	T_L	260	$^\circ\text{C}$

Designer's Data for "Worst Case" Conditions — The Designer's Data Sheet permits the design of most circuits entirely from the information presented. SOA Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.

E-FET and Designer's are trademarks of Motorola, Inc. TMOS is a registered trademark of Motorola, Inc.

Preferred devices are Motorola recommended choices for future use and best overall value.



TYPICAL ELECTRICAL CHARACTERISTICS

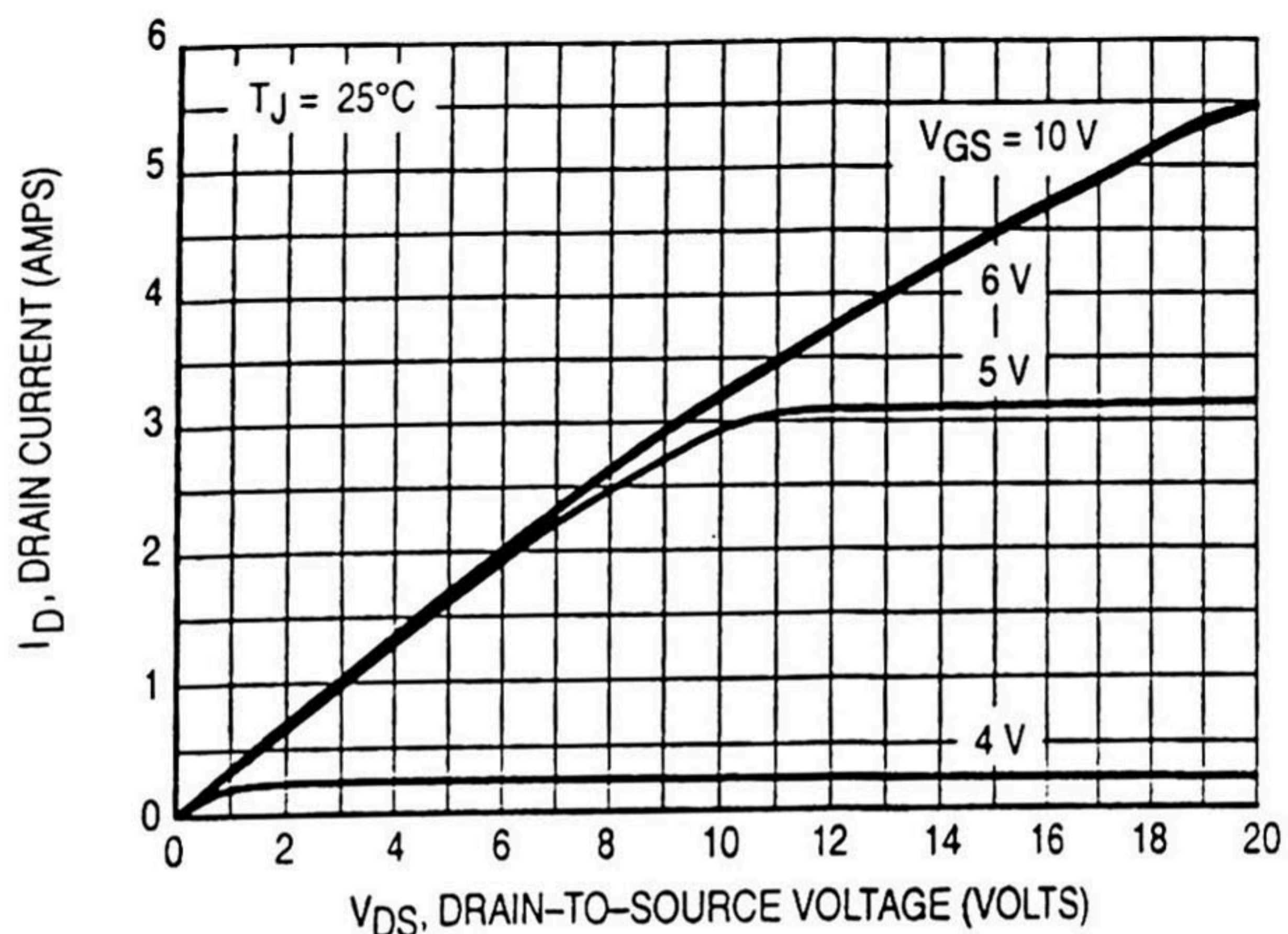


Figure 1. On-Region Characteristics

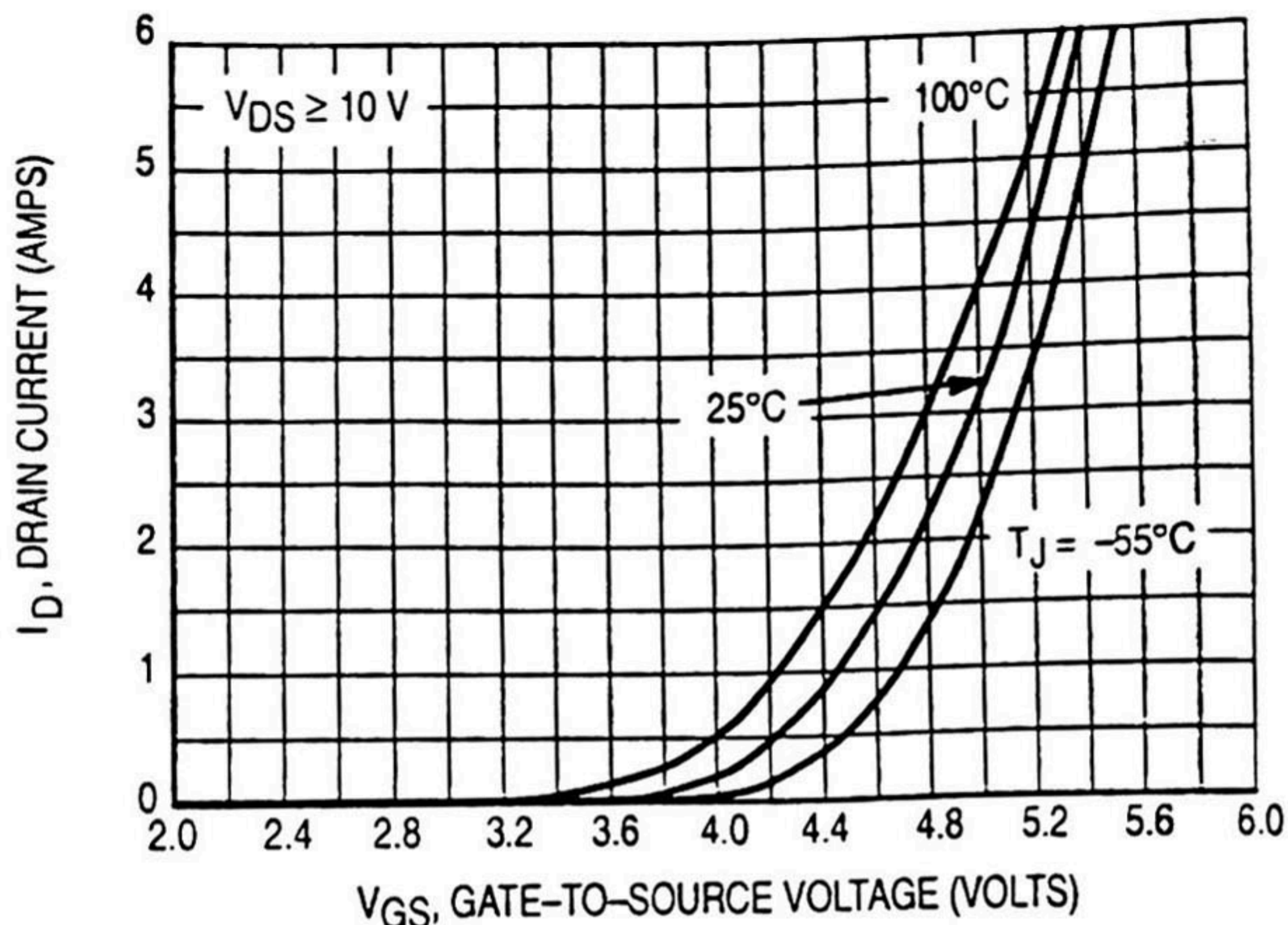


Figure 2. Transfer Characteristics

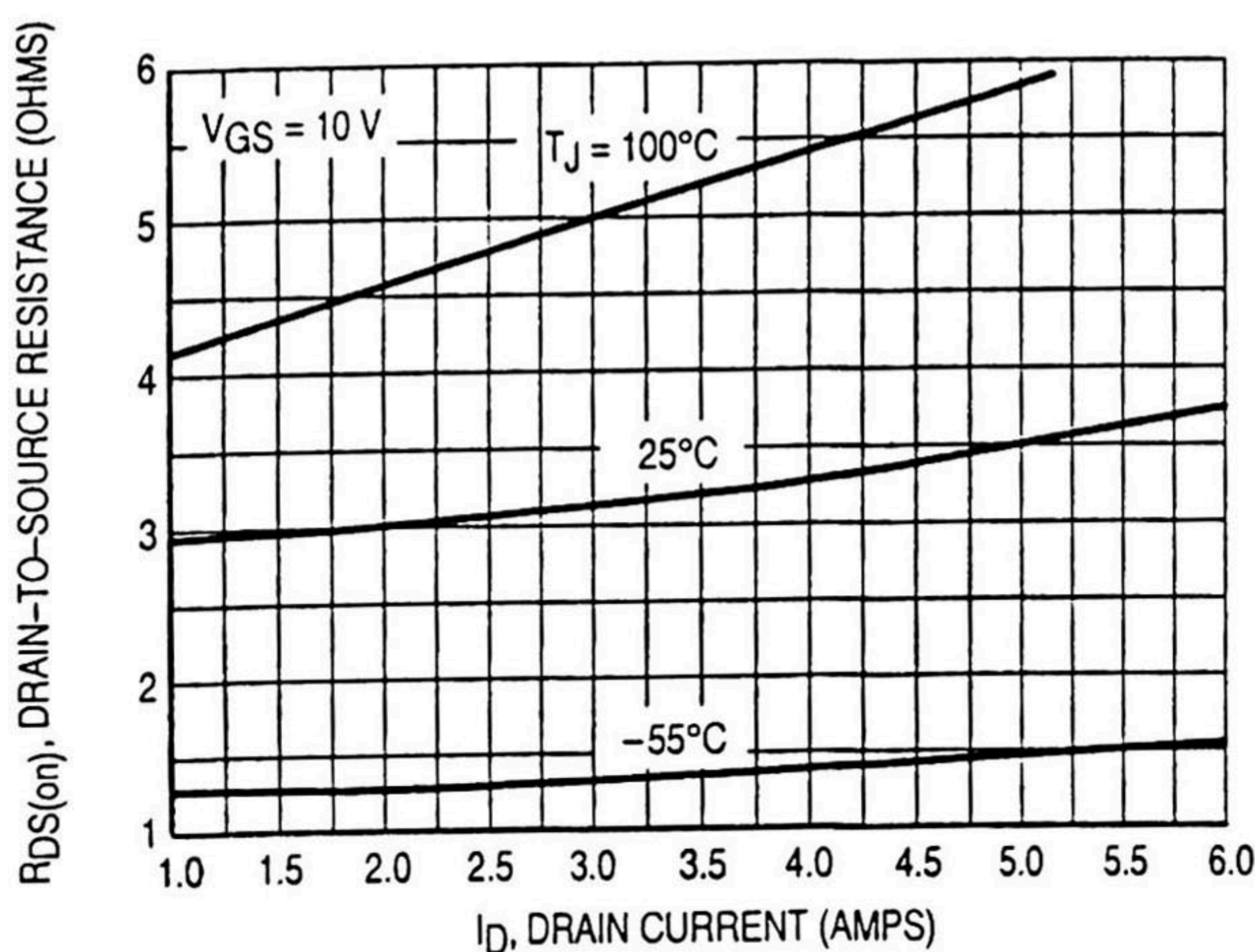


Figure 3. On-Resistance versus Drain Current and Temperature

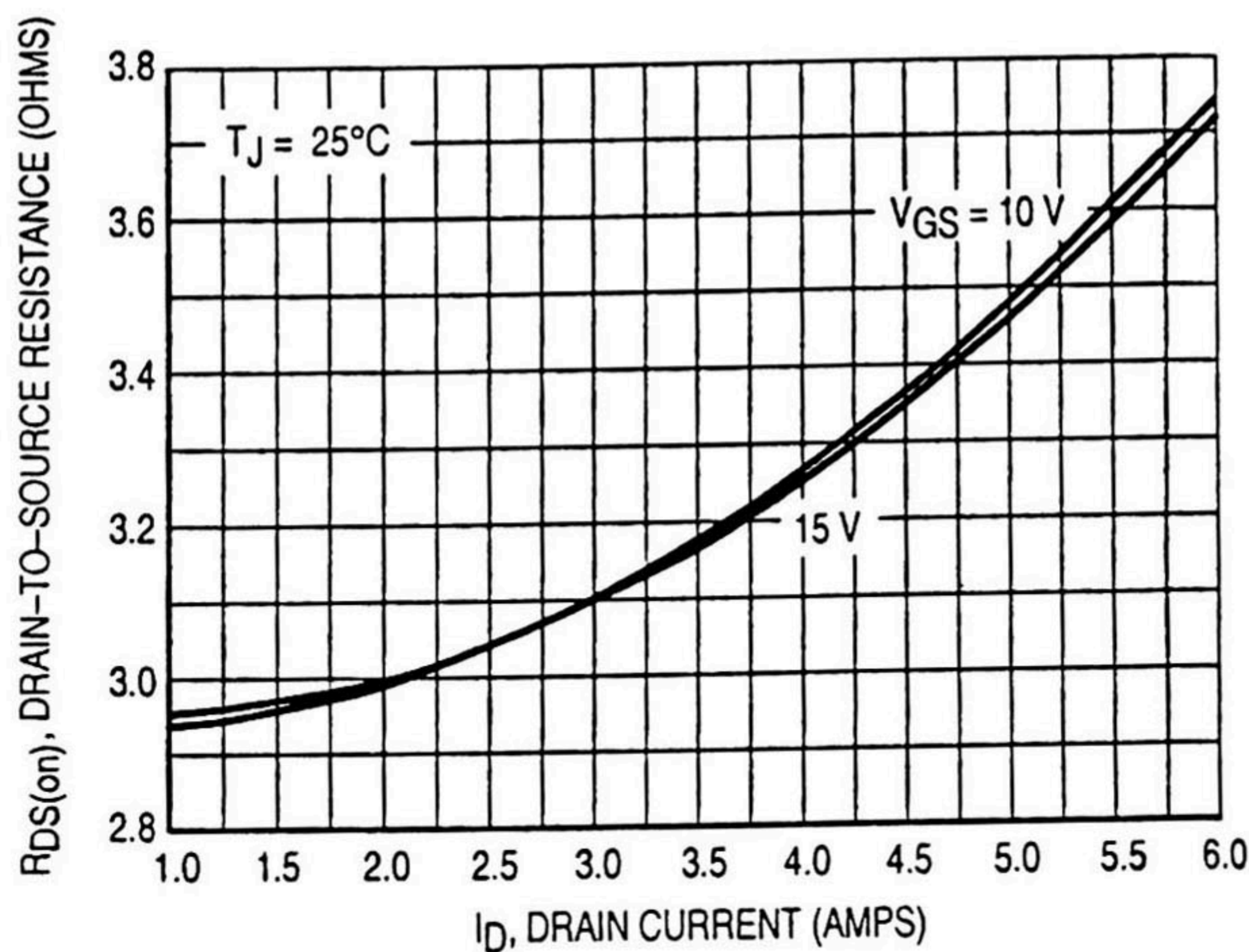


Figure 4. On-Resistance versus Drain Current and Gate Voltage

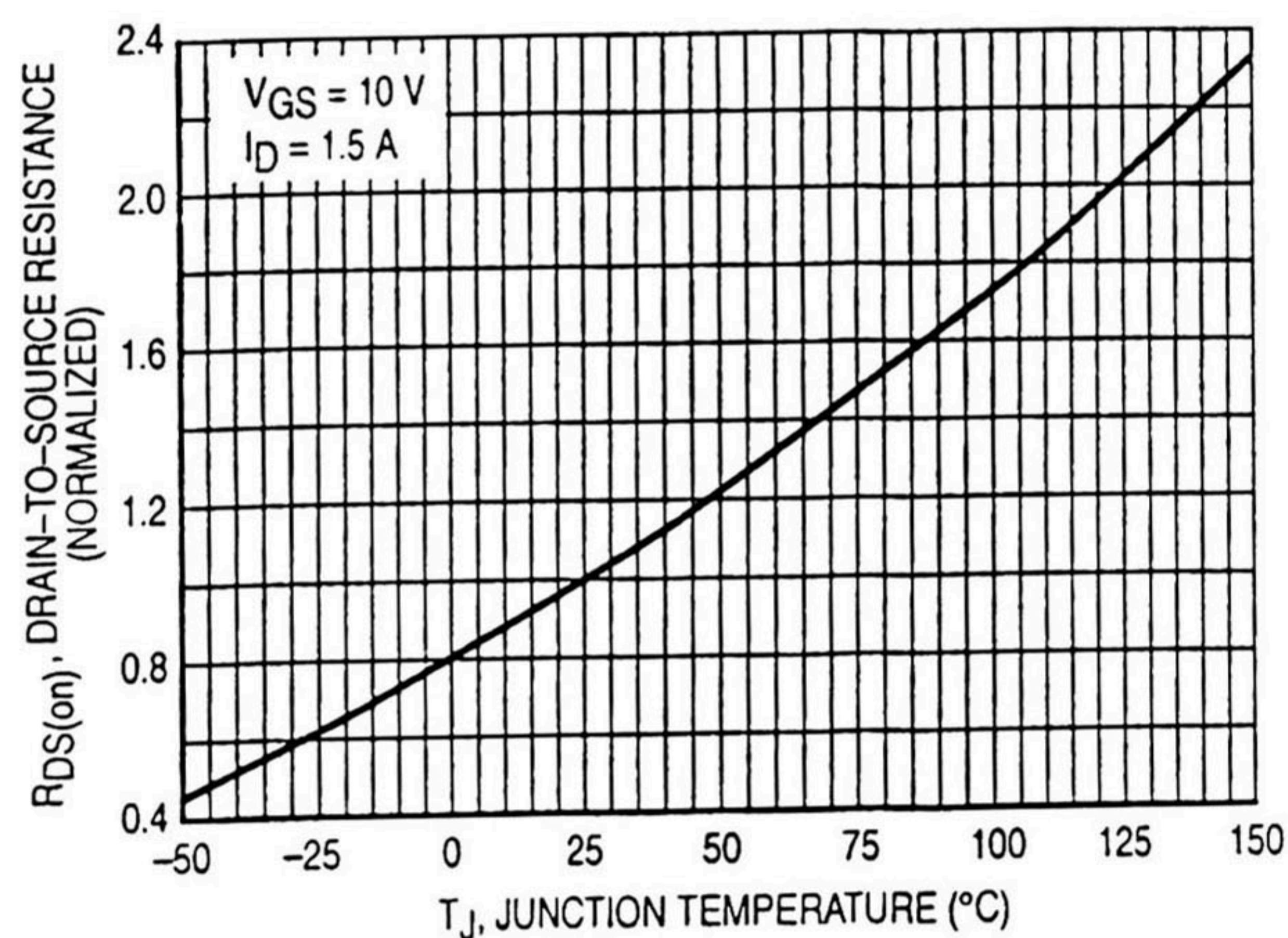


Figure 5. On-Resistance Variation with Temperature

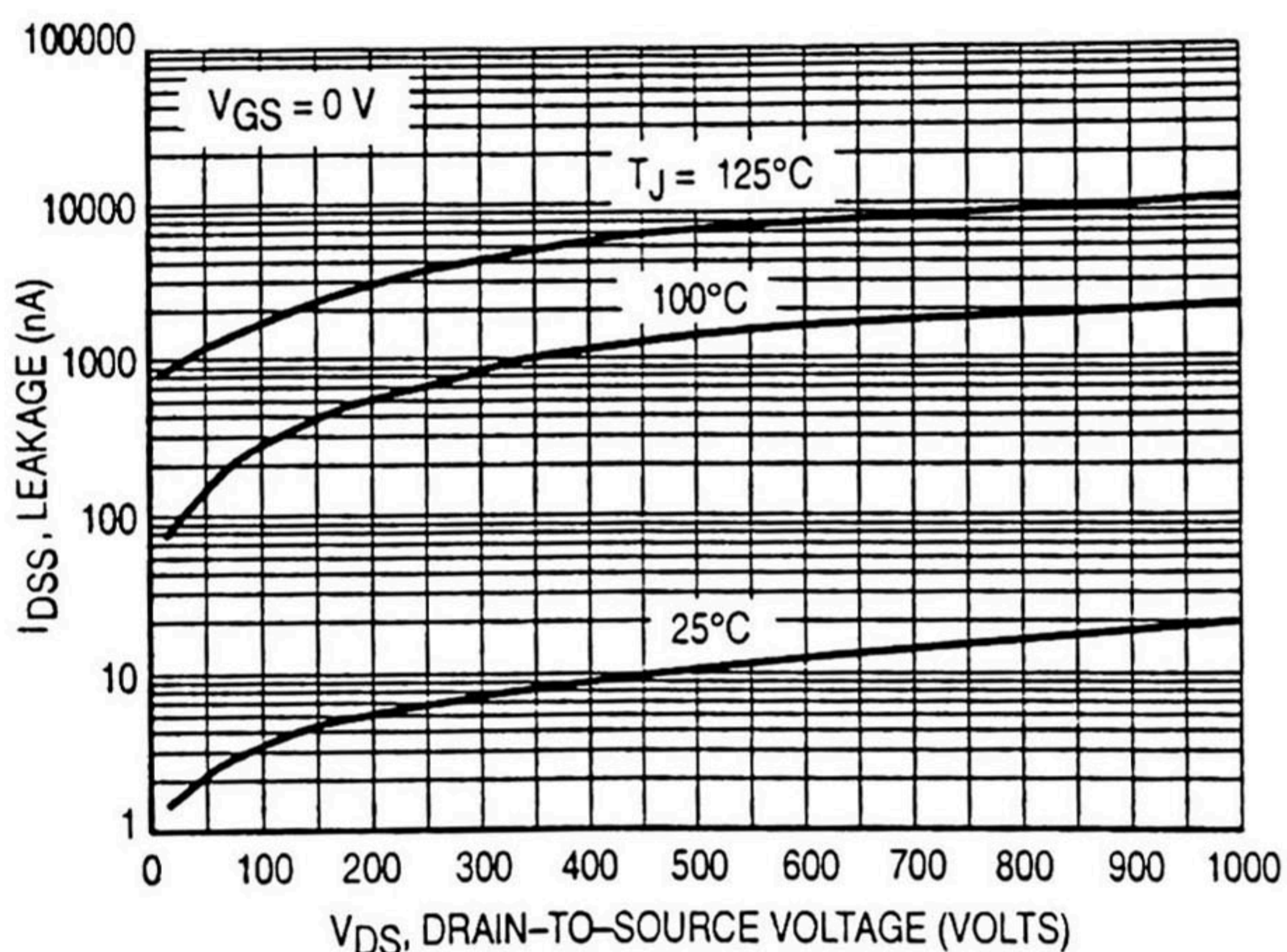


Figure 6. Drain-To-Source Leakage Current versus Voltage

POWER MOSFET SWITCHING

Switching behavior is most easily modeled and predicted by recognizing that the power MOSFET is charge controlled. The lengths of various switching intervals (Δt) are determined by how fast the FET input capacitance can be charged by current from the generator.

The published capacitance data is difficult to use for calculating rise and fall because drain-gate capacitance varies greatly with applied voltage. Accordingly, gate charge data is used. In most cases, a satisfactory estimate of average input current ($I_{G(AV)}$) can be made from a rudimentary analysis of the drive circuit so that

$$t = Q/I_{G(AV)}$$

During the rise and fall time interval when switching a resistive load, V_{GS} remains virtually constant at a level known as the plateau voltage, V_{GSP} . Therefore, rise and fall times may be approximated by the following:

$$t_r = Q_2 \times R_G / (V_{GG} - V_{GSP})$$

$$t_f = Q_2 \times R_G / V_{GSP}$$

where

V_{GG} = the gate drive voltage, which varies from zero to V_{GG}

R_G = the gate drive resistance

and Q_2 and V_{GSP} are read from the gate charge curve.

During the turn-on and turn-off delay times, gate current is not constant. The simplest calculation uses appropriate values from the capacitance curves in a standard equation for voltage change in an RC network. The equations are:

$$t_{d(on)} = R_G C_{iss} \ln [V_{GG} / (V_{GG} - V_{GSP})]$$

$$t_{d(off)} = R_G C_{iss} \ln (V_{GG} / V_{GSP})$$

The capacitance (C_{iss}) is read from the capacitance curve at a voltage corresponding to the off-state condition when calculating $t_{d(on)}$ and is read at a voltage corresponding to the on-state when calculating $t_{d(off)}$.

At high switching speeds, parasitic circuit elements complicate the analysis. The inductance of the MOSFET source lead, inside the package and in the circuit wiring which is common to both the drain and gate current paths, produces a voltage at the source which reduces the gate drive current. The voltage is determined by $L di/dt$, but since di/dt is a function of drain current, the mathematical solution is complex. The MOSFET output capacitance also complicates the mathematics. And finally, MOSFETs have finite internal gate resistance which effectively adds to the resistance of the driving source, but the internal resistance is difficult to measure and, consequently, is not specified.

The resistive switching time variation versus gate resistance (Figure 9) shows how typical switching performance is affected by the parasitic circuit elements. If the parasitics were not present, the slope of the curves would maintain a value of unity regardless of the switching speed. The circuit used to obtain the data is constructed to minimize common inductance in the drain and gate circuit loops and is believed readily achievable with board mounted components. Most power electronic loads are inductive; the data in the figure is taken with a resistive load, which approximates an optimally snubbed inductive load. Power MOSFETs may be safely operated into an inductive load; however, snubbing reduces switching losses.

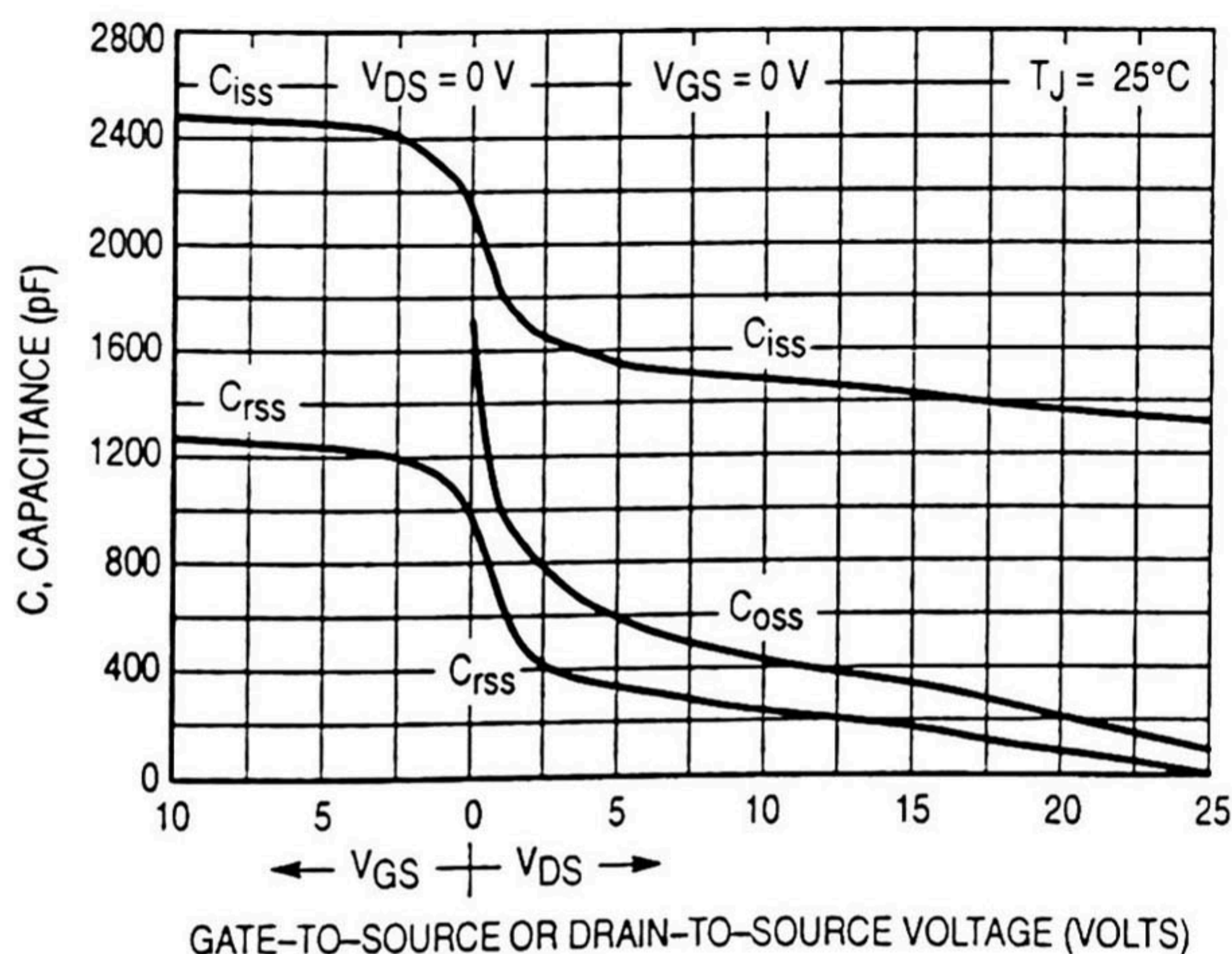


Figure 7a. Capacitance Variation

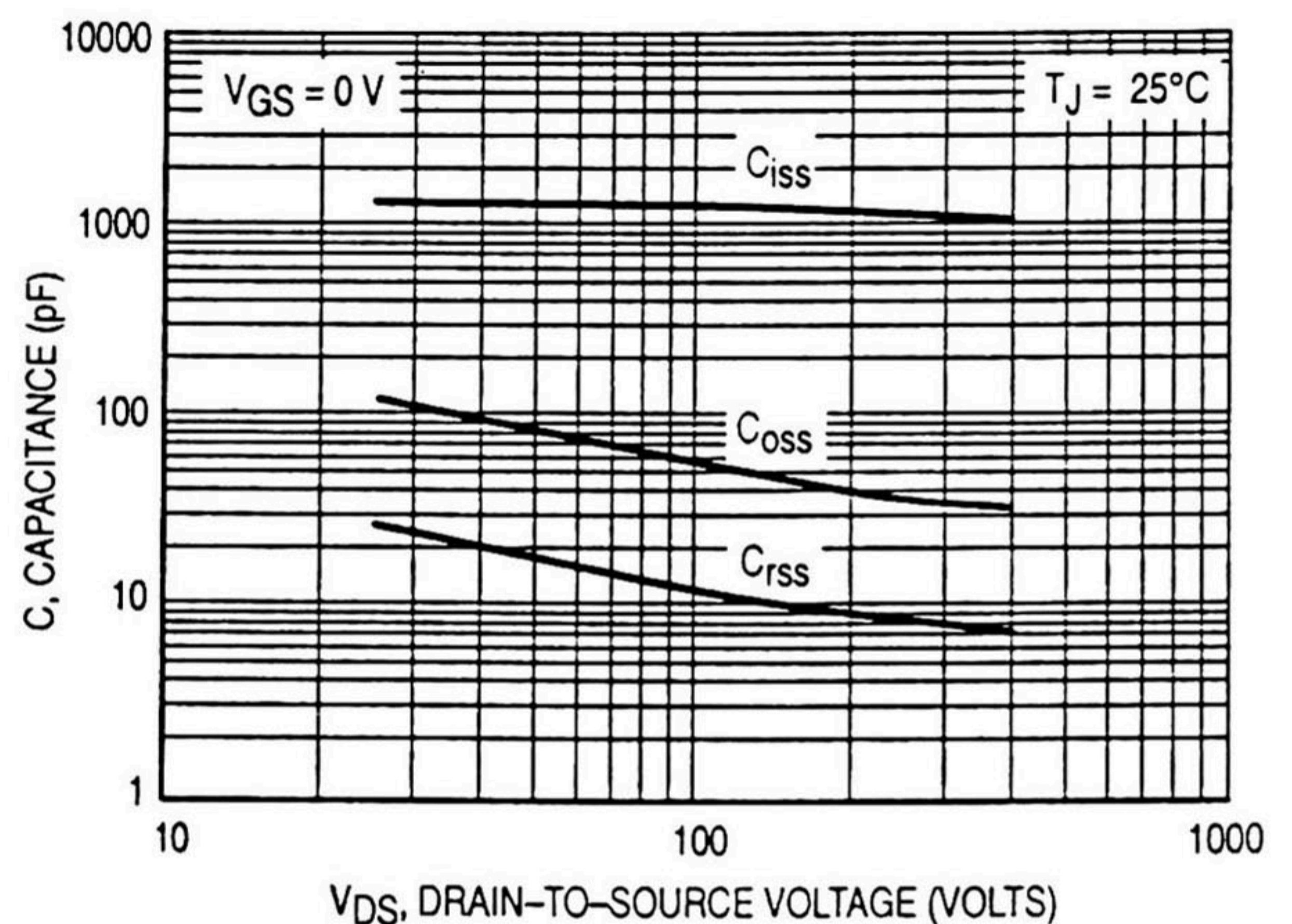


Figure 7b. High Voltage Capacitance Variation

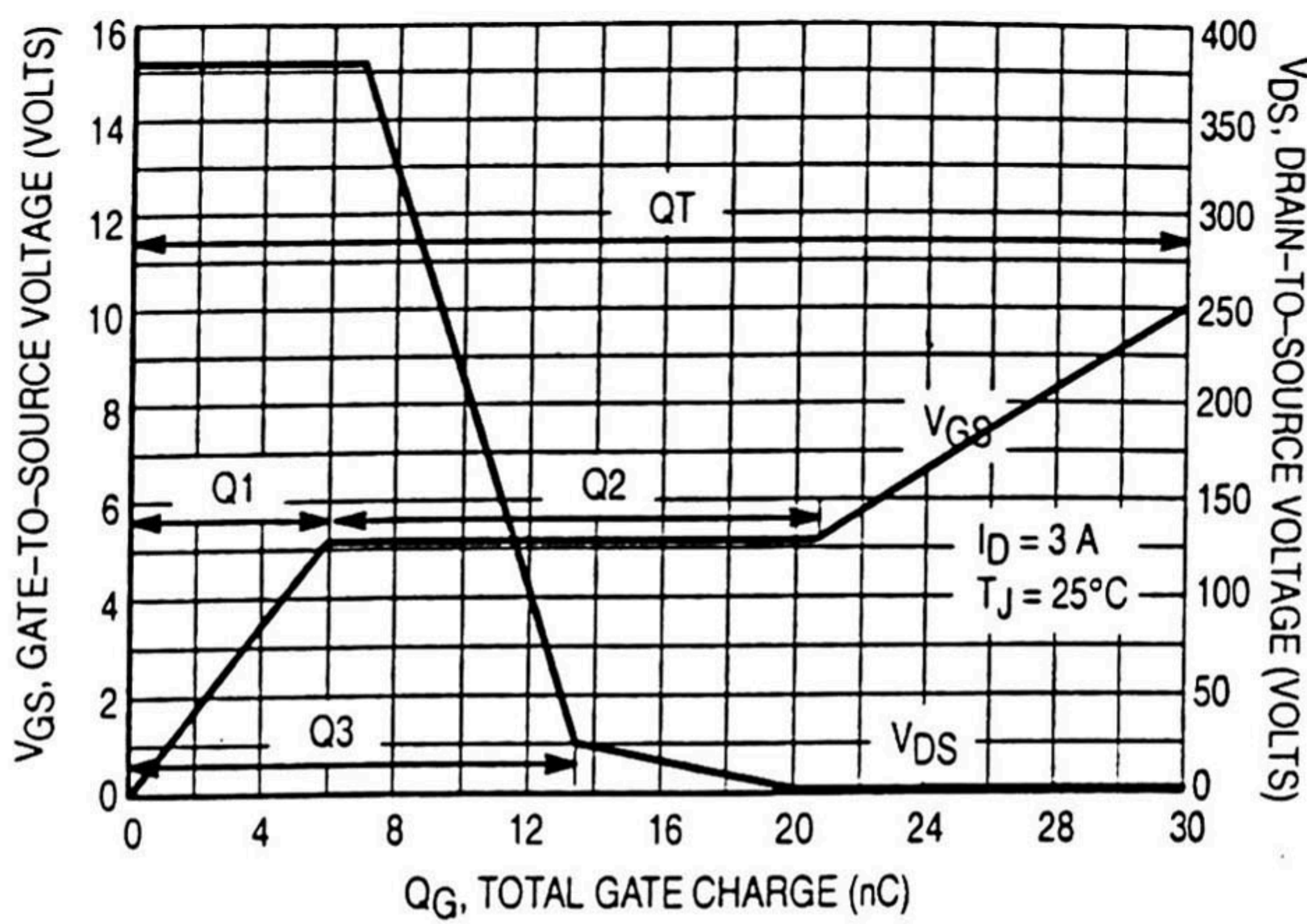


Figure 8. Gate-To-Source and Drain-To-Source Voltage versus Total Charge

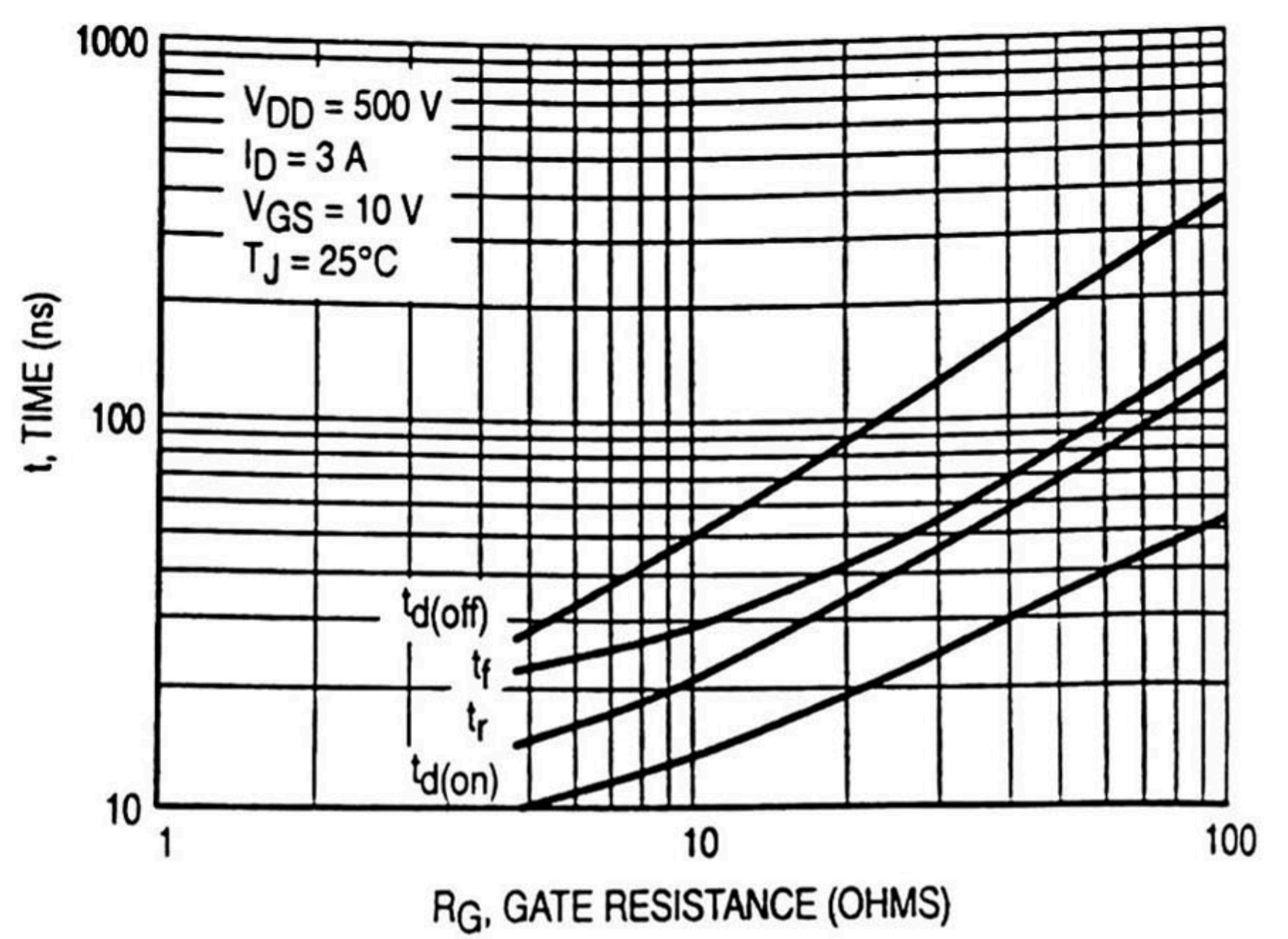


Figure 9. Resistive Switching Time Variation versus Gate Resistance

DRAIN-TO-SOURCE DIODE CHARACTERISTICS

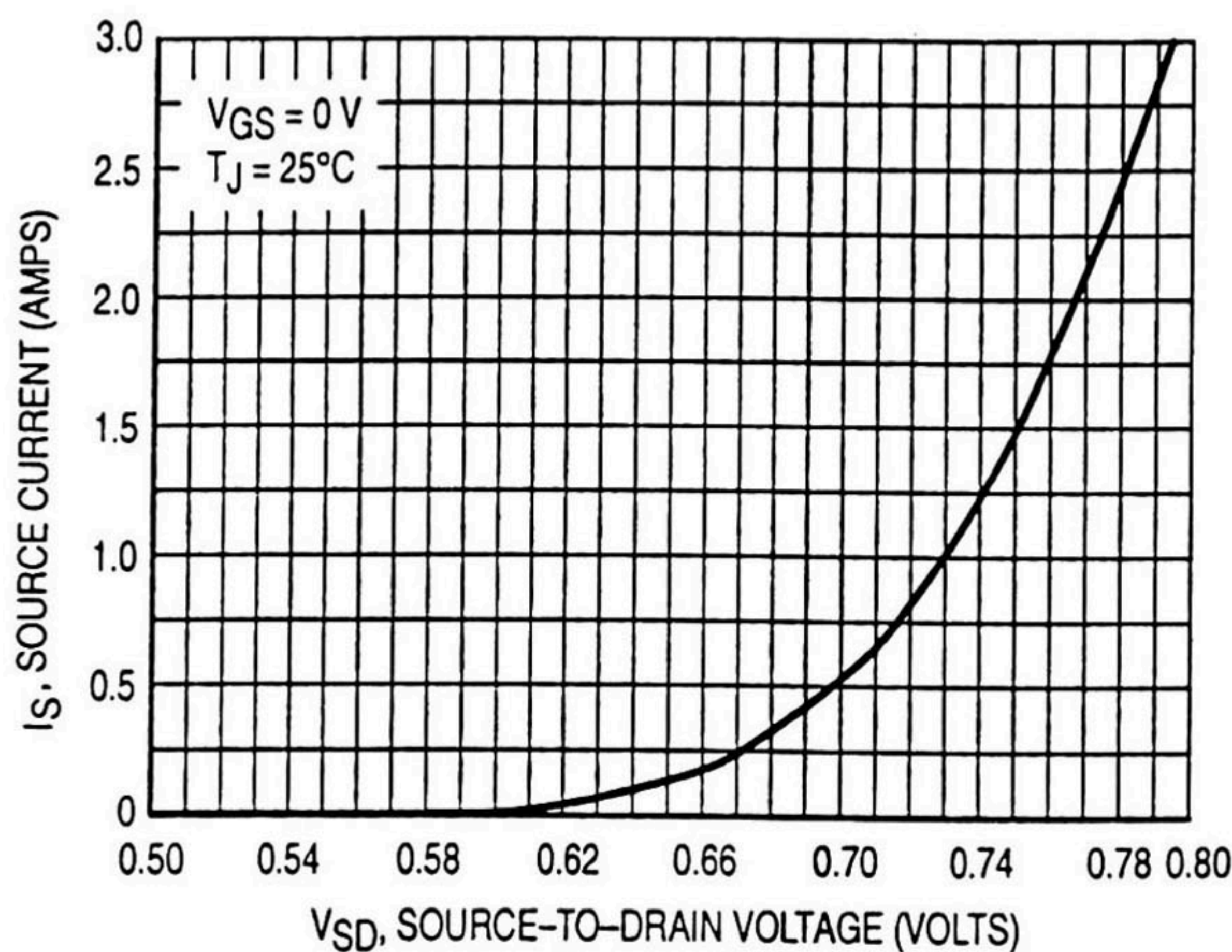


Figure 10. Diode Forward Voltage versus Current

SAFE OPERATING AREA

The Forward Biased Safe Operating Area curves define the maximum simultaneous drain-to-source voltage and drain current that a transistor can handle safely when it is forward biased. Curves are based upon maximum peak junction temperature and a case temperature (T_C) of 25°C . Peak repetitive pulsed power limits are determined by using the thermal response data in conjunction with the procedures discussed in AN569, "Transient Thermal Resistance—General Data and Its Use."

Switching between the off-state and the on-state may traverse any load line provided neither rated peak current (I_{DM}) nor rated voltage (V_{DSS}) is exceeded and the transition time (t_r, t_f) do not exceed $10 \mu\text{s}$. In addition the total power averaged over a complete switching cycle must not exceed $(T_{J(\text{MAX})} - T_C)/(R_{\theta\text{JC}})$.

A Power MOSFET designated E-FET can be safely used in switching circuits with unclamped inductive loads. For reli-

able operation, the stored energy from circuit inductance dissipated in the transistor while in avalanche must be less than the rated limit and adjusted for operating conditions differing from those specified. Although industry practice is to rate in terms of energy, avalanche energy capability is not a constant. The energy rating decreases non-linearly with an increase of peak current in avalanche and peak junction temperature.

Although many E-FETs can withstand the stress of drain-to-source avalanche at currents up to rated pulsed current (I_{DM}), the energy rating is specified at rated continuous current (I_D), in accordance with industry custom. The energy rating must be derated for temperature as shown in the accompanying graph (Figure 12). Maximum energy at currents below rated continuous I_D can safely be assumed to equal the values indicated.

SAFE OPERATING AREA

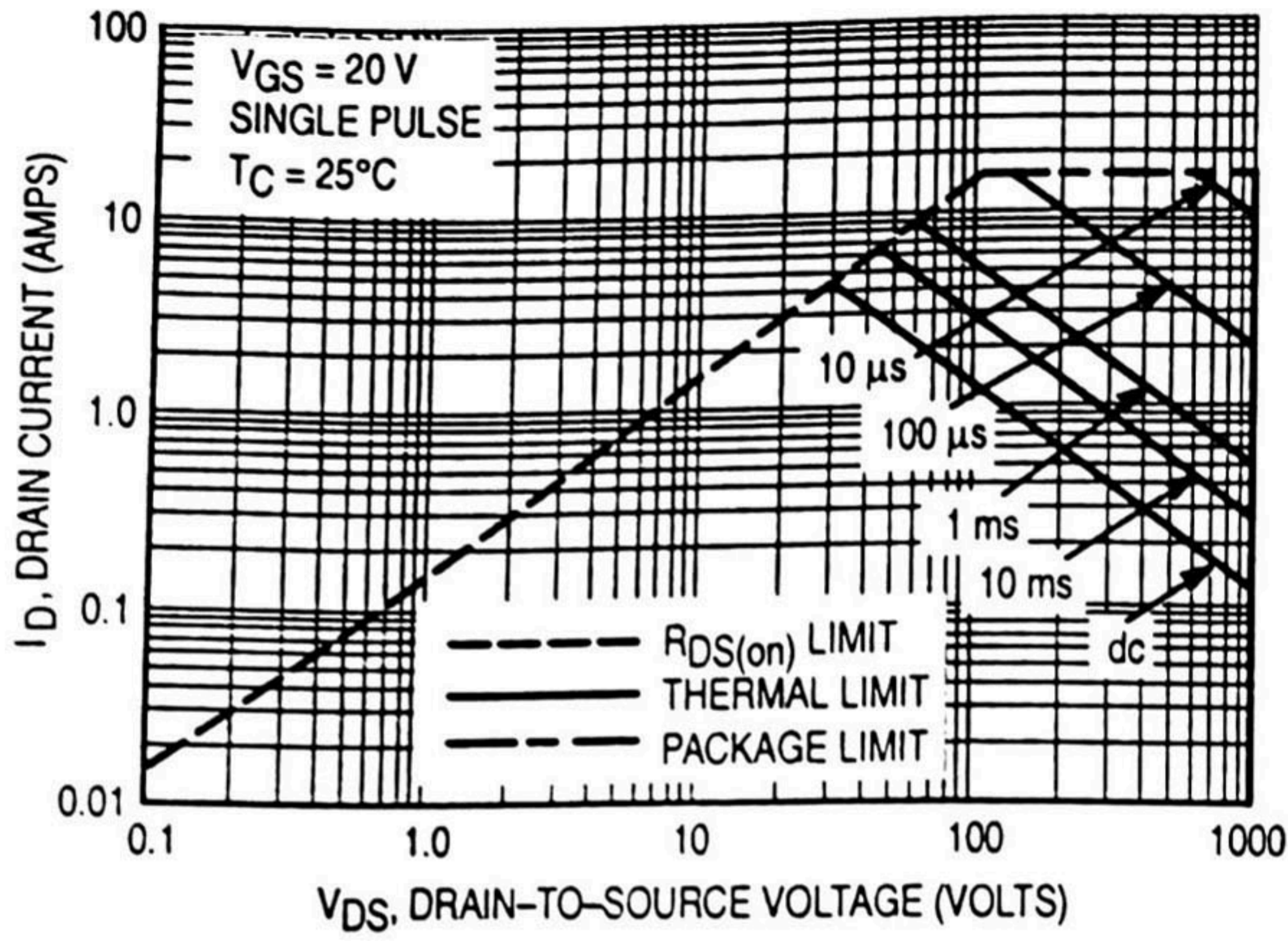


Figure 11. Maximum Rated Forward Biased Safe Operating Area

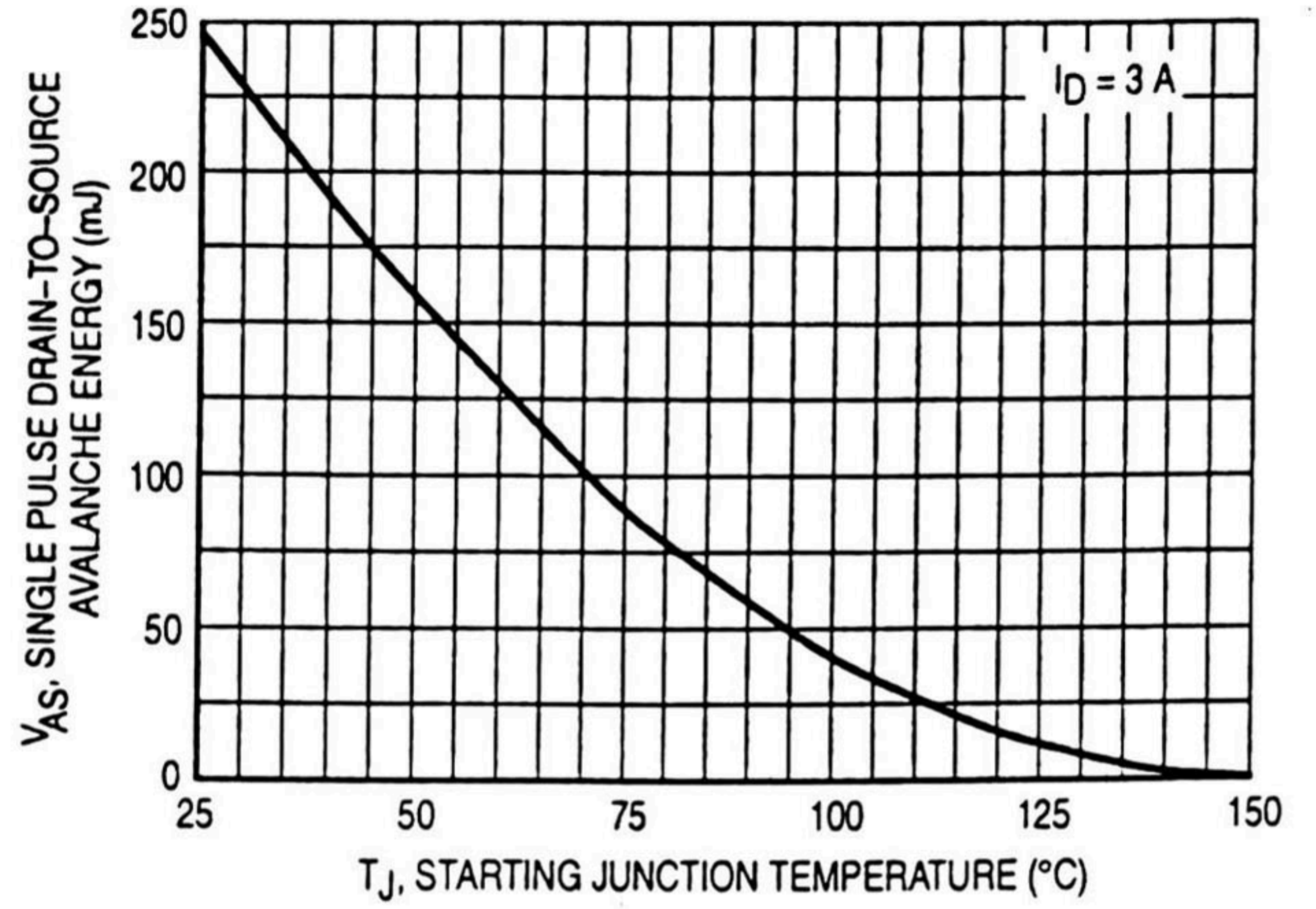


Figure 12. Maximum Avalanche Energy versus Starting Junction Temperature

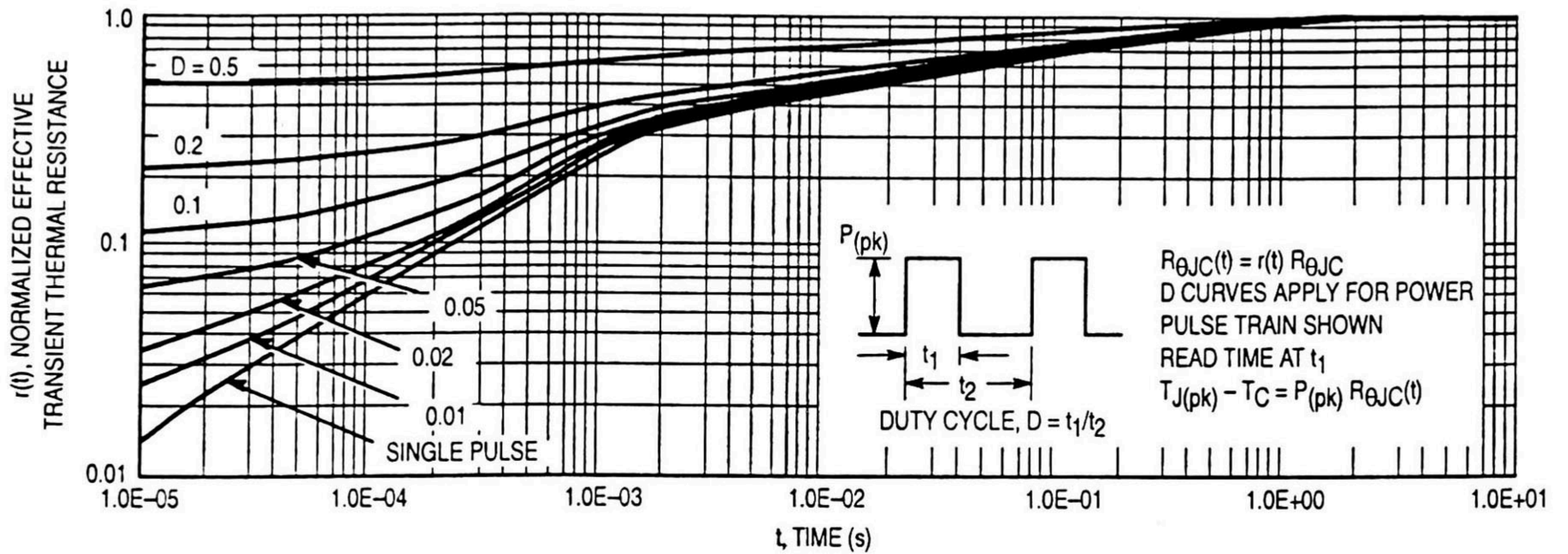


Figure 13. Thermal Response

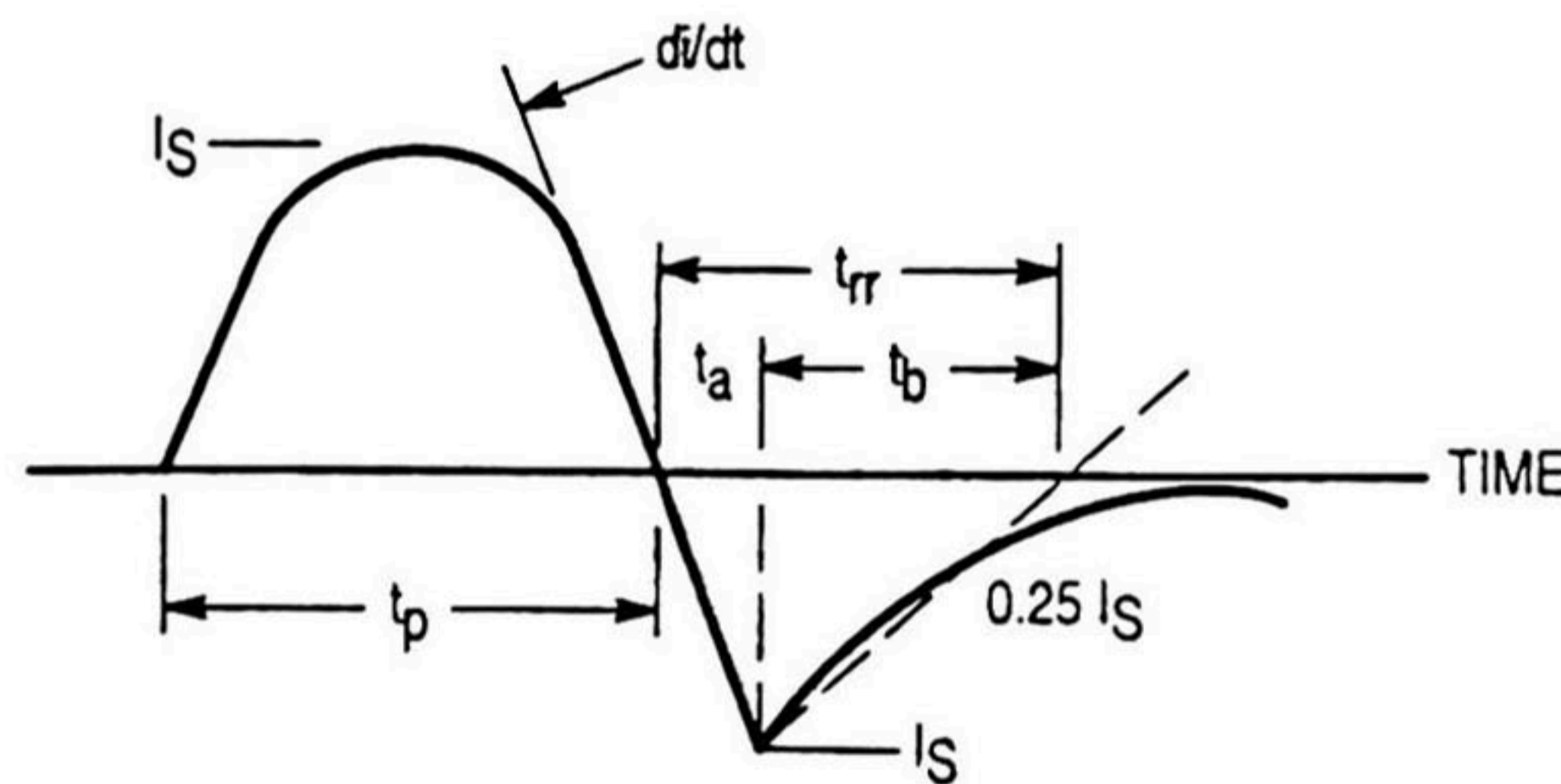
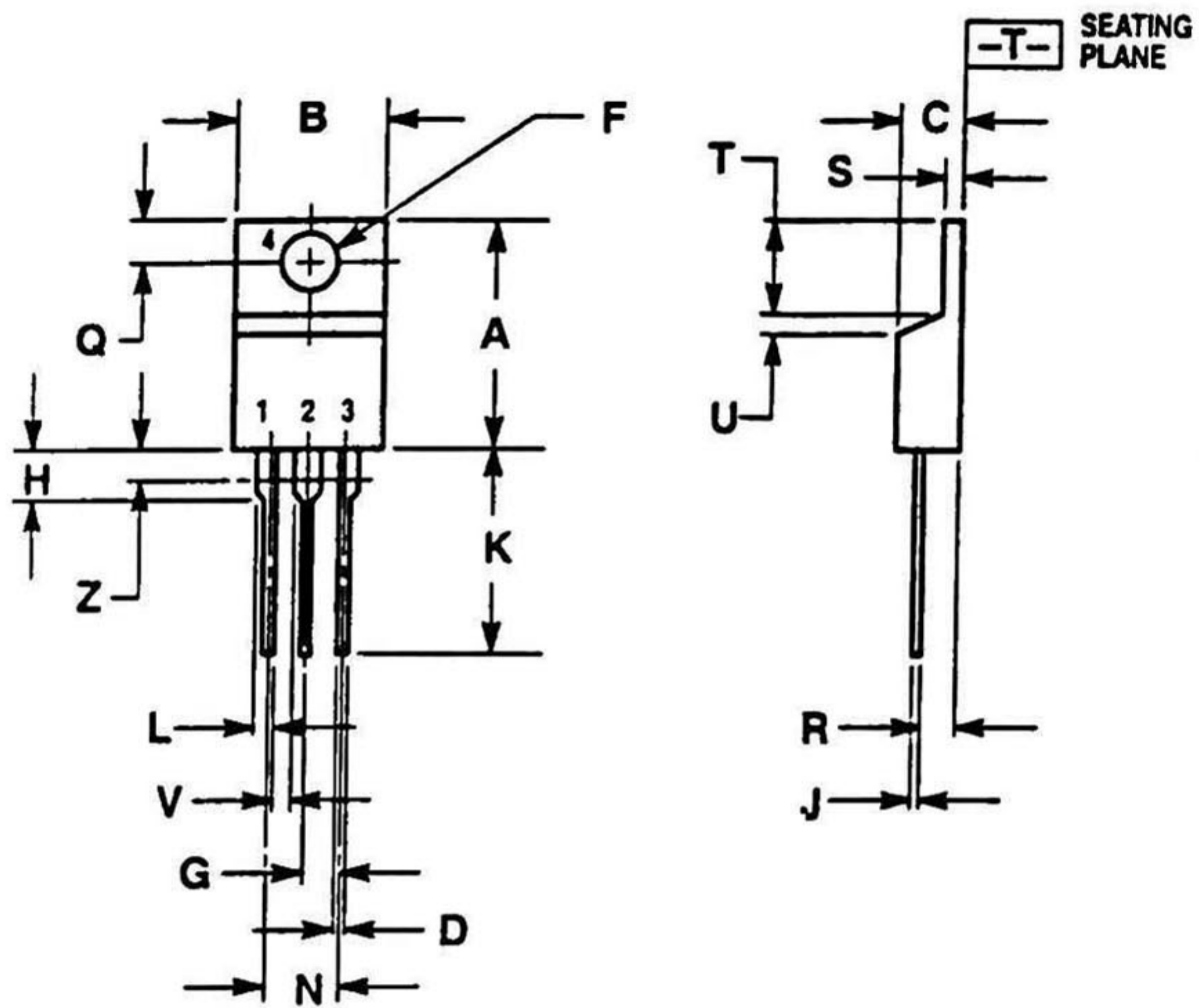


Figure 14. Diode Reverse Recovery Waveform

PACKAGE DIMENSIONS




STYLE 5:
 PIN 1. GATE
 2. DRAIN
 3. SOURCE
 4. DRAIN

- NOTES:
 1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: INCH.
 3. DIMENSION Z DEFINES A ZONE WHERE ALL BODY AND LEAD IRREGULARITIES ARE ALLOWED.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.570	0.620	14.48	15.75
B	0.380	0.405	9.66	10.28
C	0.160	0.190	4.07	4.82
D	0.025	0.035	0.64	0.88
F	0.142	0.147	3.61	3.73
G	0.095	0.105	2.42	2.66
H	0.110	0.155	2.80	3.93
J	0.018	0.025	0.46	0.64
K	0.500	0.562	12.70	14.27
L	0.045	0.060	1.15	1.52
N	0.190	0.210	4.83	5.33
Q	0.100	0.120	2.54	3.04
R	0.080	0.110	2.04	2.79
S	0.045	0.055	1.15	1.39
T	0.235	0.255	5.97	6.47
U	0.000	0.050	0.00	1.27
V	0.045	—	1.15	—
Z	—	0.080	—	2.04

CASE 221A-06
 ISSUE Y

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and  are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Literature Distribution Centers:

USA: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036.

EUROPE: Motorola Ltd.; European Literature Centre; 88 Tanners Drive, Blakelands, Milton Keynes, MK14 5BP, England.

JAPAN: Nippon Motorola Ltd.; 4-32-1, Nishi-Gotanda, Shinagawa-ku, Tokyo 141, Japan.

ASIA PACIFIC: Motorola Semiconductors H.K. Ltd.; Silicon Harbour Center, No. 2 Dai King Street, Tai Po Industrial Estate, Tai Po, N.T., Hong Kong.



MOTOROLA



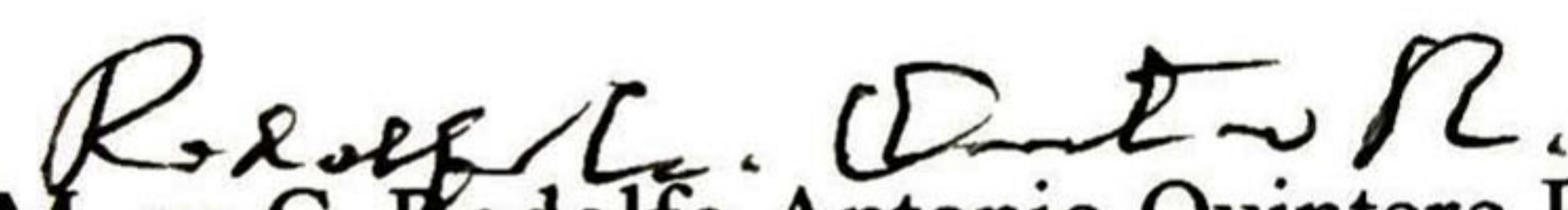
MTP3N100E/D



El Jurado designado por el Departamento de Ingeniería Eléctrica del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó esta tesis el día 5 de mayo del 2000.



Dr. Antonio Cerdeira Altuzarra
Investigador Cinvestav 3C



M. en C. Rodolfo Antonio Quintero Romo
Investigador Auxiliar 1C



Dr. Juan Luis del Valle Padilla
Jefe del Grupo de Ingenieros
De la Empresa SCG



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000003866