



BC-643

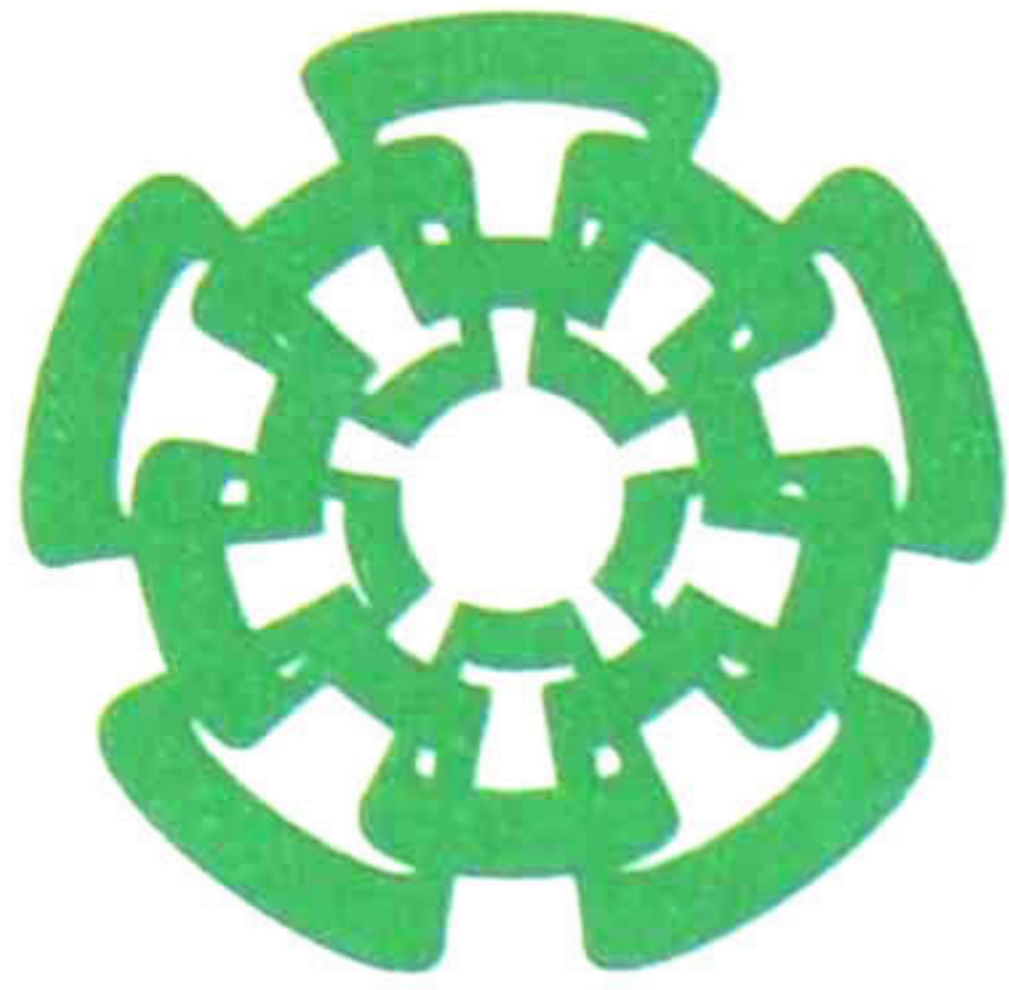
Don. 2011

xx(179069.1)

TK165 G8

U73

2010



Centro de Investigación y de Estudios Avanzados  
del Instituto Politécnico Nacional  
Unidad Guadalajara

**Integración de un Sistema de  
Comunicación Inalámbrica en la Banda L  
para Aplicaciones de Comunicaciones  
Digitales**

Tesis que presenta:  
**Jorge Luis Urbina Martinez**

para obtener el grado de:  
**Maestro en Ciencias**

en la especialidad de:  
**Ingeniería Eléctrica**

Director de Tesis  
**Dr. José Raúl Loo Yau**

# **Integración de un Sistema de Comunicación Inalámbrica en la Banda L para Aplicaciones de Comunicaciones Digitales**

**Tesis de Maestría en Ciencias  
Ingeniería Eléctrica**

Por:

**Jorge Luis Urbina Martinez**  
Ingeniero en Electrónica

Instituto Tecnológico de Durango 2001-2006

Becario de CONACYT, expediente no. 13534

Director de Tesis  
**Dr. José Raúl Loo Yau**

**CINVESTAV  
IPN  
ADQUISICION  
DE LIBROS**

CINVESTAV del IPN Unidad Guadalajara, Septiembre de 2010.



CENTRO DE INVESTIGACIÓN Y  
DESENVOLUPAMIENTO DEL  
INSTITUTO TECNOLÓGICO  
NACIONAL

**COORDINACIÓN GENERAL DE  
SERVICIOS BIBLIOGRÁFICOS**

CLASIF.: TK165.G8 U73 2010  
ADQUIS.. B1-643  
FECHA: 14-Julio-2011  
PROCED.. Don. 2011  
\$

ID: 173944-1001

# Resumen

**H**oy en día los sistemas electrónicos modernos están compuestos por señales mixtas, es decir, señales analógicas y digitales. Una aplicación la encontramos en el front-end de los sistemas de comunicaciones inalámbrica modernos. En ese sentido, este trabajo presenta la implementación física de un front-end para un transmisor y receptor digital inalámbricos que opera de 1.7 hasta 2.0 GHz. El sistema fue diseñado para soportar diferentes esquemas de modulación digital, tal como QPSK, FSK, QAM, etc.

Las tarjetas de circuito impreso del transmisor y el receptor se fabricaron en el sustrato FR4. Este material es barato, pero tradicionalmente no se recomienda para trabajar a frecuencias de microondas. Esto se debe principalmente a las variaciones importantes que presenta la constante dieléctrica compleja, en ese rango de frecuencias.

Como consecuencia, las líneas de transmisión se comportan de una manera inesperada. Este comportamiento produce pérdidas de potencia en la señal transmitida en el sustrato y las pérdidas debido a la impedancia de desajuste.

Además de las pérdidas debidas a los cambios de la constante dieléctrica, también se producen pérdidas debido a las transiciones y el efecto piel de las pistas. Así mismo, fenómenos como la interferencia electromagnética y las emisiones pueden causar un mal funcionamiento del sistema.

Aunque las pérdidas debidas al sustrato no se pueden evitar, ya que son inherentes al material, si se puede minimizar las otras pérdidas mediante la realización de un buen diseño físico. Por lo tanto, esta tesis también se ocupa de recopilar las reglas más importantes del diseño de circuitos impresos para sistemas de señal mixta, tales como la distribución de la tensión y los planos de tierra, la colocación de los componentes electrónicos, los blindajes, etc.

Por otra parte, las pruebas eléctricas y de campo demuestran que el sistema de comunicaciones es capaz de transmitir a una distancia mayor de 150 metros, con una potencia de 9 dBm. De igual forma las pruebas revelan que la mínima potencia de entrada para que el receptor pueda funcionar es de -90 dBm, esto representa un rango dinámico de aproximadamente 100 dB.



# Abstract

**N**owadays electronics systems are composed of digital and analog signals (mixed signals). An application is found in the front-end of modern wireless communications systems. In that sense, this work presents the physical implementation of a front-end for digital wireless transmitter and receiver operates from 1.7 to 2.0 GHz. The communications system was designed to support different digital modulation schemes, such as QPSK, FSK, QAM, etc.

The printed circuit boards of the transmitter and receiver were fabricated on FR4 substrate. This material is inexpensive but it is not traditionally recommended for working at microwave frequencies. This is mainly because the complex dielectric constant shows important variations on that frequency range. As a consequence transmission lines behave

in an unexpected way. Such behavior produces power losses of the transmitted signal in the substrate and losses due to impedance mismatching.

Besides the losses due to the dielectric constant changes there are losses due to transitions and skin effect of tracks. Moreover phenomena such as crosstalk and electromagnetic emissions can cause malfunctioning of the system.

Although losses due to the substrate cannot be avoided, since they are inherent of the material, one can minimize other losses by performing a good physical design. Therefore, this thesis also addresses the most important rules of designing printed circuit board for mixed signal circuits, such as distribution of voltage and ground planes, placement of electronic devices, shielding, etc.

Finally, experimental results shows that the communications system is capable to transmit with 9 dBm of output power a distance of 150 meters. While the minimum input power that the receiver needs to works is -90 dBm, this represents a dynamic range of approximately 100 dB.

*Dedicada con todo mi amor*

*A mi madre,*

*Por nunca dejar de creer en mí y ser mi motivación.*

*A mi hermana,*

*Por su apoyo y aguante todos estos años.*



# Agradecimientos

En primer lugar le agradezco a mi padre Jehová Dios, por la vida y las fuerzas que me dio estos años para poder salir adelante y poder sacar este trabajo de tesis.

A mi madre la Lic. Luz Mercedes Martínez Triana, por ser la persona que más me ha apoyado en mis decisiones a pesar de nuestras pequeñas diferencias y que nunca ha existido un *NO* de su parte. A mi hermana, la futura M. en C. en ingeniería bioquímica, Marcela Jokebed Urbina Martínez, que siempre ha tenido las palabras que me motivan a seguir adelante día a día, y ser mi ejemplo a seguir.

A mi asesor, tutor y amigo, Dr. José Raúl Loo Yao, por tener una cantidad increíble de paciencia al tratar de hacer de mí un mejor ingeniero por sus conocimientos y experiencias que me ha transmitido, así como inculcarme un aprecio al trabajo que realicé. Y por ser la persona que más ha influido en mi vida estos tres años, como un hermano en los buenos y malos momentos que he pasado dentro y fuera del CINVESTAV.

A mis compañeros de estudios y futuros doctores en ciencias, que hemos pasados buenos ratos y muchas aventuras. Al M. en C. Alberto García por ser la persona que siempre tiene tiempo para apoyar a los inexpertos del área y una amplia gama de música que compartir; al M. en C.

Héctor Saavedra por hacer que el tiempo en laboratorio sea más ameno con sus comentarios y críticas; al M. en C. Ilich Guerrero quien es el ejemplo a seguir como estudiante de posgrado y como amigo incondicional; M. en C. Juan Ramírez y al M. en C. Juan Medina que fuimos los compañeros de generación que mas hemos estado unidos en las buenas y en las malas.

A mis compañeros que estuvieron antes y después de mi generación con los cuales hice buenas amistades: Omar Ávila, Gerardo García, Gregorio Tovar, Leonardo Carmona, Pilar Morales, Elizabeth Sirk, Rogelio Sánchez, Felipe Montes, Arturo Gurrola, Raymundo Carranza, Omar Longoria, Jesús Dávila, Octavio Ramos, Francisco Herrera, Ricardo Gómez, Manuel Martínez, José Tuxpan y muchos más del área de telecomunicaciones y potencia.

A mis profesores del CINVESTAV unidad Guadalajara que hicieron en muchas ocasiones cortas las horas de sueño durante más de un año y por el conocimiento que me impartieron. Dr. Juan Luis del Valle, Dr. Federico Sandoval, Dr. Luis Leyva, Dr. Pablo Moreno, Dr. Mariano Aguirre y en especial al Dr. Ramón Parra quien ha sido coasesor de este proyecto y el patrocinador del mismo.

A mis amigos incondicionales en mis aventuras, Ing. Diana García, Ing. Laura Hernández, Ing. Fernando Rojas, Ing. Manuel Rocha, Ing. Carlos Herrera, Ing. Jaime Carrera, Ing. Gerardo Sánchez y al Ing. Fernando Barraza.

A las empresas Texas Instruments, National Semiconductor, Werner Pegasus, CDE del Tec de Monterrey Campus Guadalajara e INTEL de México por todas las atenciones y facilidades que otorgaron para la realización de esta tesis.

Al CINVESTAV por la oportunidad de adquirir nuevos conocimientos y un posgrado de calidad.

A CONACyT por el apoyo económico otorgado durante la estancia de la maestría.

# Contenido

<b>RESUMEN .....</b>	<b>V</b>
<b>ABSTRACT .....</b>	<b>VII</b>
<b>AGRADECIMIENTOS .....</b>	<b>XI</b>
<b>CONTENIDO .....</b>	<b>XIII</b>
<b>CAPÍTULO 1 INTRODUCCIÓN .....</b>	<b>1</b>
<i>1.1 Motivación. ....</i>	<i>2</i>
<i>1.2 Objetivos. ....</i>	<i>3</i>
<i>1.3 Organización de la Tesis. ....</i>	<i>3</i>
<b>CAPÍTULO 2 PRINCIPIOS BÁSICOS DE RF Y MICROONDAS .....</b>	<b>5</b>
<b>2.1 Resistencia, capacitancia e inductancia. ....</b>	<b>5</b>
<b>2.2 Factor de calidad (F. Q.) .....</b>	<b>9</b>
<b>2.3 Línea de transmisión.....</b>	<b>11</b>
<b>2.4 Parámetros de Dispersión.....</b>	<b>14</b>
<b>CAPÍTULO 3 SISTEMAS MODERNOS DE COMUNICACIÓN DIGITAL .....</b>	<b>19</b>

<b>3.1 Diagrama fasorial. ....</b>	<b>20</b>
<b>3.2 Modulación por desviación de frecuencia (FSK).....</b>	<b>21</b>
<b>3.3 Modulación por desviación de Fase (PSK).....</b>	<b>23</b>
3.3.1 <i>Modulación por desviación de fase binaria (BPSK). ....</i>	24
3.3.2 <i>Modulación por desviación de fase múltiple (M-aria PSK). ....</i>	25
<b>3.4 Modulación en amplitud por cuadratura (QAM).....</b>	<b>29</b>
<b>3.5 Recuperación de la Portadora y del Reloj. ....</b>	<b>31</b>
3.5.1 <i>Circuito Cerrado. ....</i>	32
3.5.2 <i>Circuito de Costas.....</i>	32
3.5.3 <i>Remodulador.....</i>	33
3.5.4 <i>Recuperación del Reloj.....</i>	34
<b>CAPÍTULO 4 ARQUITECTURA DEL SISTEMA DE COMUNICACIONES.....</b>	<b>35</b>
<b>4.1 Oscilador Local. ....</b>	<b>36</b>
4.1.1 <i>Oscilador controlado por voltaje (VCO). ....</i>	37
4.1.2 <i>Lazo de amarre de fase (PLL). ....</i>	38
4.1.3 <i>Filtro de lazo.....</i>	41
4.1.4 <i>Divisor de señal. ....</i>	44
4.1.5 <i>Implementación completa del oscilador local.....</i>	45
<b>4.2 Multiplicador de frecuencias. ....</b>	<b>47</b>
<b>4.3 Modulador. ....</b>	<b>48</b>
4.3.1 <i>Acoplamiento de Impedancias.....</i>	50
4.3.2 <i>Acondicionamiento de señales.....</i>	52
4.3.3 <i>Implementación completa del modulador. ....</i>	53
<b>4.4 Demodulador. ....</b>	<b>53</b>
4.4.1 <i>Balun de RF. ....</i>	55
4.4.2 <i>Amplificador de Bajo Ruido (LNA). ....</i>	57
4.4.3 <i>Implementación completa del demodulador. ....</i>	59
<b>4.5 Fuente de Alimentación.....</b>	<b>61</b>
4.5.1 <i>Diseño de la fuente conmutada buck para 5 y 7 volts. ....</i>	63
4.5.2 <i>Diseño de la fuente lineal 2 a 4 volts.....</i>	65
4.5.3 <i>Diseño del inversor de voltaje, -7 volts.....</i>	66
4.5.4 <i>Filtro supresor de ruido EMI.....</i>	68
4.5.5 <i>Implementación completa de la fuente de alimentación.....</i>	69
<b>CAPÍTULO 5 TEORÍA, DISEÑO Y LAYOUT DE LAS PLACAS DE CIRCUITO IMPRESO .....</b>	<b>71</b>



<b>5.1 Fundamentos generales.</b>	<b>72</b>
5.1.1 <i>Definiciones en el área EMC.</i>	72
5.1.2 <i>Definiciones a nivel diseño PCB.</i>	74
<b>5.2 Estándares en el diseño de PCB.</b>	<b>79</b>
<b>5.3 Reglas de diseño para sistemas de señal mezclada.</b>	<b>80</b>
5.3.1 <i>Ubicación y orientación de componentes.</i>	80
5.3.2 <i>Planos de tierra.</i>	87
5.3.3 <i>Distribución de la red de alimentación y capacitores.</i>	92
5.3.4 <i>Formas de los trazos de pistas.</i>	93
5.3.5 <i>Vías y Pads.</i>	98
5.3.6 <i>Interconexión con CI.</i>	99
5.3.7 <i>Interconexión con componentes de SMT</i>	100
<b>5.4 Sistema de comunicaciones integrado en PCB.</b>	<b>102</b>
5.4.1 <i>Transmisor.</i>	103
5.4.2 <i>Receptor.</i>	104
<b>CAPÍTULO 6 RESULTADOS EXPERIMENTALES</b>	<b>107</b>
<b>6.1 Bases de prueba.</b>	<b>108</b>
6.1.1 <i>Oscilador local.</i>	108
6.1.2 <i>Modulador.</i>	111
6.1.3 <i>Demodulador.</i>	114
6.1.4 <i>Amplificadores: LNA y PA.</i>	115
6.1.5 <i>Antena.</i>	116
<b>6.2 Mediciones en campo.</b>	<b>117</b>
<b>CAPÍTULO 7 CONCLUSIONES Y TRABAJO FUTURO</b>	<b>121</b>
<b>7.1 Conclusiones.</b>	<b>121</b>
<b>7.2 Trabajo Futuro.</b>	<b>123</b>
<b>REFERENCIAS</b>	<b>125</b>
<b>APÉNDICES</b>	<b>127</b>



# Capítulo 1

## Introducción.

La ingeniería electrónica ha evolucionado a pasos agigantados gracias al campo de las comunicaciones, provocado por la necesidad del ser humano de estar en contacto con otros a pesar de la distancia. Hoy, en pleno siglo XXI, el cambio es drástico, actualmente la mayoría de los medios de comunicación son inalámbricos y ello exige no sólo transmitir audio y video, sino también otros datos informáticos a grandes velocidades.

Debido a estos avances, es necesario generar capital humano que sea capaz de implementar sistemas de comunicaciones que estén al día con las exigencias del mercado, y dentro de las habilidades que se deben ampliar son la capacidad de diseñar estos sistemas desde la generación de algoritmos, para la transmisión de datos digitales, hasta la implementación del hardware necesario para cumplir tal propósito.

En este proyecto de tesis se diseña la parte relacionada con la integración a nivel hardware de un sistema de comunicaciones digitales que opere en el rango de 1.7 a 2 GHz, enfocándonos principalmente en el “*front-end*” analógico del sistema. Todo esto con el propósito de que el área de telecomunicaciones del CINVESTAV, sea capaz de comprobar los algoritmos teóricos a nivel práctico, y de esta manera realizar mejoras en este campo de investigación.

## *1.1 Motivación.*

Existe un gran tabú en el diseño de circuitos que operan en radiofrecuencia (RF), hasta ha sido llamada magia negra, debido a que no existe una gran comprensión de los fenómenos involucrados en el desempeño. Aunado a esto, el diseño de las placas de circuito impreso (PCB), que contengan tanto circuitería analógica, que opera en el orden de los gigahercios (GHz) como circuitos digitales, es un campo en el que solo trabajan “*expertos*” que poseen conocimiento de reglas y “*trucos*” del diseño, por lo que es necesario buscar información de diferentes fuentes y apoyarse de las recomendaciones para realizar una integración de tal magnitud.

Una de las herramientas que se emplea para apoyarse en el diseño de PCB es usar simuladores de fenómenos electromagnéticos, los cuales permiten conocer los *parámetros de dispersión* conocidos también como *parámetros S* (del inglés *Scatter*) de las redes pasivas además de los campos eléctricos y magnéticos que son invisibles, lo cual ayuda a tener en cuenta la colocación de los componentes en el PCB, por lo cual es necesario obtener conocimiento para manejar este tipo de software. Además de estos programas, es necesario adquirir habilidades en el manejo de software de diseño asistido por computadora (CAD) de diseño electrónico para realizar los esquemáticos y el trazo de los PCB.

Debido a que no se cuenta con un documento que recopile la información de reglas de diseño de PCB para aplicaciones en sistemas de señal mixta, es necesario que se tome la tarea de investigar y reunir las reglas básicas que nos permitan realizar la integración de un sistema con dichas características.

## ***1.2 Objetivos.***

Los alcances que se establecieron para el desarrollo de este trabajo son:

- ✓ Realizar la implementación física de un transmisor y receptor que opere dentro del rango de 1.7 a 2 GHz, con la capacidad de operar en banda base de al menos 200 kHz.
- ✓ Familiarizarse con el software de diseño electrónico y simulación electromagnética.
- ✓ Recopilación de reglas de diseño para circuitos impresos de señal mixta.
- ✓ Manejo de equipo empleado para la fabricación y ensamble de PCB a nivel prototipo.

## ***1.3 Organización de la Tesis.***

El presente documento contiene 7 capítulos que están organizados de la siguiente manera: en el *capítulo 2* se realiza una revisión de los tópicos más importantes que están relacionados en el área de RF, con el fin de que el lector que no está familiarizado con estos términos, pueda comprender el contenido del trabajo. El *capítulo 3*, realiza un resumen de lo que es la radio digital, con los esquemas de modulación modernos así como los diagramas a bloques que los componen.

El *capítulo 4* presenta la síntesis de los bloques presentados en el capítulo 3, a nivel hardware, mientras que el *capítulo 5* incluye la recopilación de las reglas de diseño y resultados de simulaciones electromagnéticas, con el fin de llegar a la fabricación de los PCBs, en el *capítulo 6* se muestran los resultados en laboratorio y en campo de la puesta en marcha del sistema completo de comunicación. Por último, el *capítulo 7* realiza una semblanza de las conclusiones y el trabajo futuro que está pendiente en este proyecto de investigación.

En los apéndices se localizan información que es de ayuda para comprender gran parte de la información contenida en este documento, como son las hojas de datos de los componentes empleados y la información de los archivos de diseño.

# Capítulo 2

## Principios Básicos de RF y Microondas

**P**ara trabajar con elementos pasivos y activos en altas frecuencias, y afirmar que se tiene una comprensión completa de cómo operan dichos elementos, es necesario poseer un conocimiento previo sobre líneas de transmisión y parámetros S. En este capítulo se abordan temas, que ayudarán a comprender los fenómenos que están detrás de la electrónica de alta frecuencia.

### *2.1 Resistencia, capacitancia e inductancia.*

Los elementos distribuidos tales como el resistor, capacitor e inductor, no se pueden asumir ideales para todo el rango de frecuencias. Lo anterior es debido a los efectos parásitos que van modificando el valor de la impedancia, haciéndose más evidente

aumentando la frecuencia de operación. Podemos considerar que una señal de alta frecuencia es toda aquella cuya longitud de onda sea de un tamaño igual o menor que al tamaño físico del circuito que la procesa.

En la figura 2.1, se realiza una comparación entre el comportamiento ideal del componente y del real, el cual incluye las parásitas resistivas ( $R_p$ ), inductivas ( $L_p$ ), capacitivas ( $C_p$ ) y conductancia ( $G_p$ ), además se presenta el comportamiento de la impedancia en función de la frecuencia. Obsérvese que para cada elemento, existe una frecuencia tal que el comportamiento de la impedancia empieza a desviarse del valor original.

Componente	Comportamiento Ideal	Comportamiento en Alta Frecuencia	Impedancia
Alambre			
Capacitor			
Inductor			
Resistor			

Fig. 2.1 Comportamiento de los elementos pasivos en el dominio de la frecuencia.

El diseñador debe tomar en cuenta lo anterior al momento de diseñar, simular y realizar el layout de cualquier circuito que opere en frecuencias de RF y microondas. Una de las opciones que tiene, es usar componentes pasivos de *Tecnología de Montaje*



**Superficial (SMT).** Dado que esta tecnología tiene como ventaja reducir el tamaño de las terminales de los componentes, y puede disminuir en consecuencia el efecto de las componentes parasitas inductivas y resistivas no deseadas.

En el caso del resistor, ver figura 2.1, su valor debería ser constante, idealmente. Sin embargo, al incrementar la frecuencia de operación se puede observar que el valor de la resistencia comienza a disminuir, y posteriormente hay un incremento. Este comportamiento se puede atribuir a los elementos parásitos ( $L_p$  y  $C_p$ ), debidos a la estructura y al material con el cual está fabricado el resistor. La ecuación 2.1 permite ver que el capacitor  $C_p$  tiene un valor predominante en la impedancia de un resistor. Dicha ecuación, en el dominio de la frecuencia ( $\omega$ ), muestra la dependencia que tiene la impedancia con la frecuencia, es decir, si la frecuencia fuera igual con cero, el valor de la impedancia del resistor ( $Z_R$ ) sería el mismo valor nominal que indica el resistor, caso contrario al aumentar la frecuencia, la  $Z_R$  tendería a disminuir hasta cierto valor cercano a cero.

$$Z_R = \frac{R}{j\omega RC_p + 1} + j\omega L_p \quad (2.1)$$

Al momento de elegir los capacitores, para que operen en el rango de RF y microondas, se debe tomar en cuenta no sólo el costo y su estabilidad con la temperatura, sino también la propiedad de funcionar adecuadamente a altas frecuencias, como se muestra en la figura 2.1. Ya que el capacitor posee una inductancia parasita ( $L_p$ ) la cual va contrarrestando el valor de la capacitancia ( $C$ ) al ir aumentando la frecuencia de operación. En la ecuación 2.2, describe de forma analítica este fenómeno.

$$Z_C = R_P + \frac{1}{j\omega C} + j\omega L_P \quad (2.2)$$

Hay que tener cuidado al elegir los capacitores, el valor comercial que la mayoría de los fabricantes otorgan a los capacitores son medidos a 1 MHz. Debido a esto, se deben de tomar precauciones en el momento de seleccionar al componente. Una manera fácil y rápida para asegurar que el valor del capacitor sea el correcto, es empleando las diversas herramientas que los fabricantes otorgan. Veamos el caso de AVX, en su página de internet<sup>1</sup>, existe una sección en la cual podemos encontrar las hojas de datos de cada familia de capacitores que fabrican, además de sus respectivos modelos SPICE, parámetros S y librerías para los simuladores como ADS<sup>2</sup>. Todas estas utilerías permiten elegir el valor correcto del capacitor que necesitamos a la frecuencia que lo vamos a operar.

En el caso de los inductores, en altas frecuencias aparece una capacitancia parásita ( $C_p$ ) paralela distribuida, la cual provoca que el inductor tenga un comportamiento de circuito tanque. Esto lleva que a cierta frecuencia el dispositivo resuene, este comportamiento es llamado *frecuencia de auto-resonancia* (SRF) del inductor, por lo que se esperaría que si el inductor va a operar en circuitos de acoplamiento el valor de la frecuencia de SRF fuera mucho mayor al que va a operar dicho circuito. En la ecuación 2.3, se muestra el modelo del circuito equivalente en el dominio de la frecuencia de un inductor trabajando en alta frecuencia.

$$Z_L = R_P + \frac{j\omega L}{1 - \omega^2 C_P L} \quad (2.3)$$

---

<sup>1</sup> [www.avx.com](http://www.avx.com)

<sup>2</sup> Advanced Design System de Agilent Technologies [www.agilent.com](http://www.agilent.com)

## 2.2 Factor de calidad (F. Q.).

Un parámetro que hay que tener en cuenta al trabajar con elementos concentrados, es el *factor de calidad* o *F.Q.* Esta figura de mérito mide la relación de energía almacenada en el elemento reactivo y la energía que se disipa debido al parasito resistivo [1]. El F. Q. se aplica tanto para circuitos complejos como para elementos individuales.

El F. Q. para el caso de un inductor se describe a continuación,

$$FQ_L = \frac{X_L}{R_L} = \frac{\omega L}{R_L} \quad (2.4)$$

y para un capacitor,

$$FQ_C = \frac{X_C}{R_C} = \frac{1}{\omega C R_C} \quad (2.5)$$

donde  $R_L$  representa la resistencia debida al conductor con el que está fabricada la bobina, y en el caso del capacitor  $R_C$  es la resistencia debido a las terminales. La figura 2.2 muestra el modelo que se emplea para calcular el F. Q.

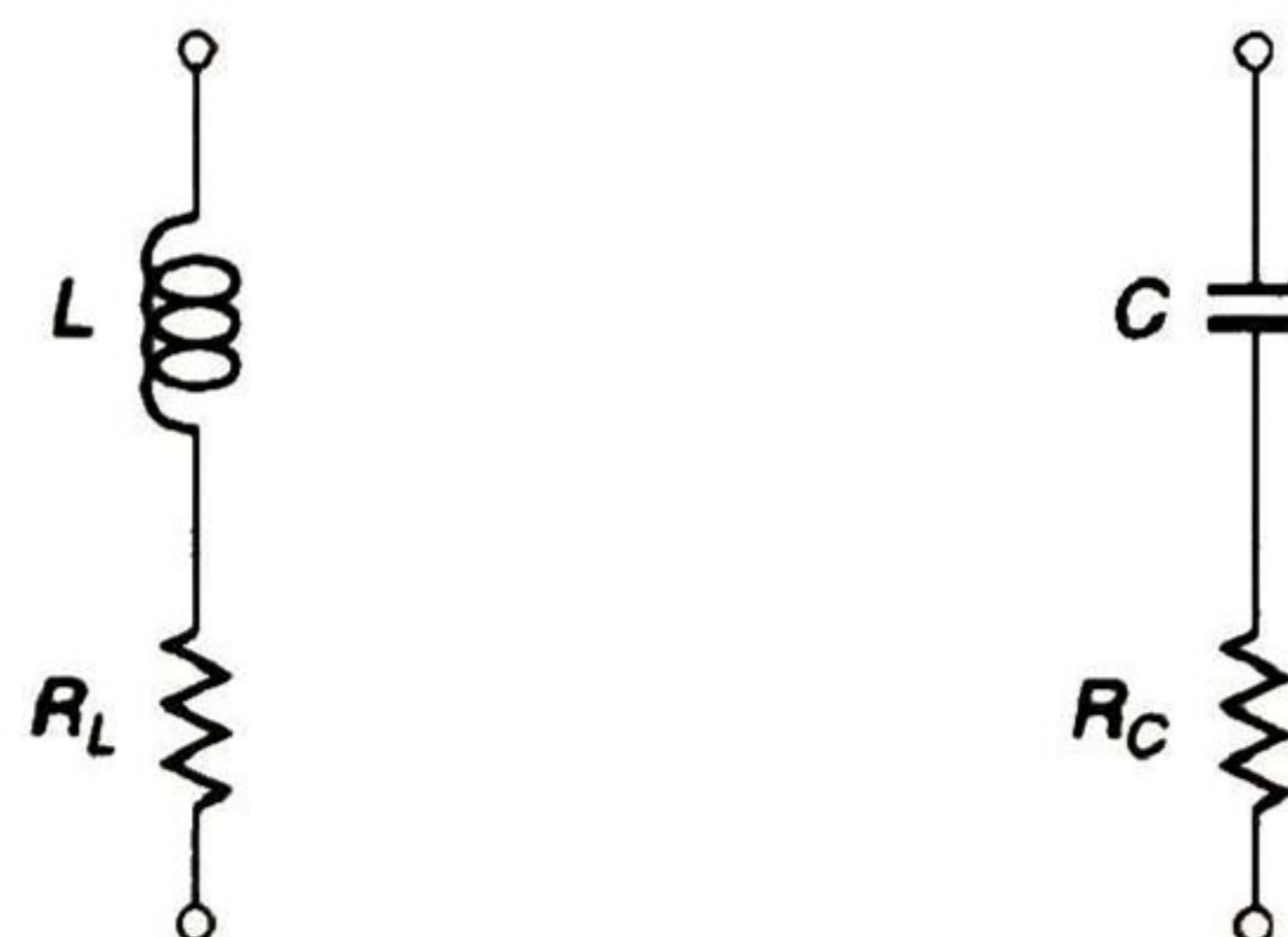


Fig. 2.2 Circuito equivalente del Inductor (L) y Capacitor (C).

Cuando el F. Q. se calcula, sin tomar en cuenta una carga u otro dispositivo conectado, es llamado F.Q. *sin carga* ( $FQ_u$ ). Cuando procuramos mantener un valor alto del factor de calidad, en cada componente de forma individual, logramos minimizar las pérdidas en el circuito. Y, como se muestra en la figura 2.3, el  $FQ_u$  de un capacitor disminuye al aumentar la frecuencia, mientras que en el caso del inductor  $FQ_u$  tiende a aumentar y después cae rápidamente.

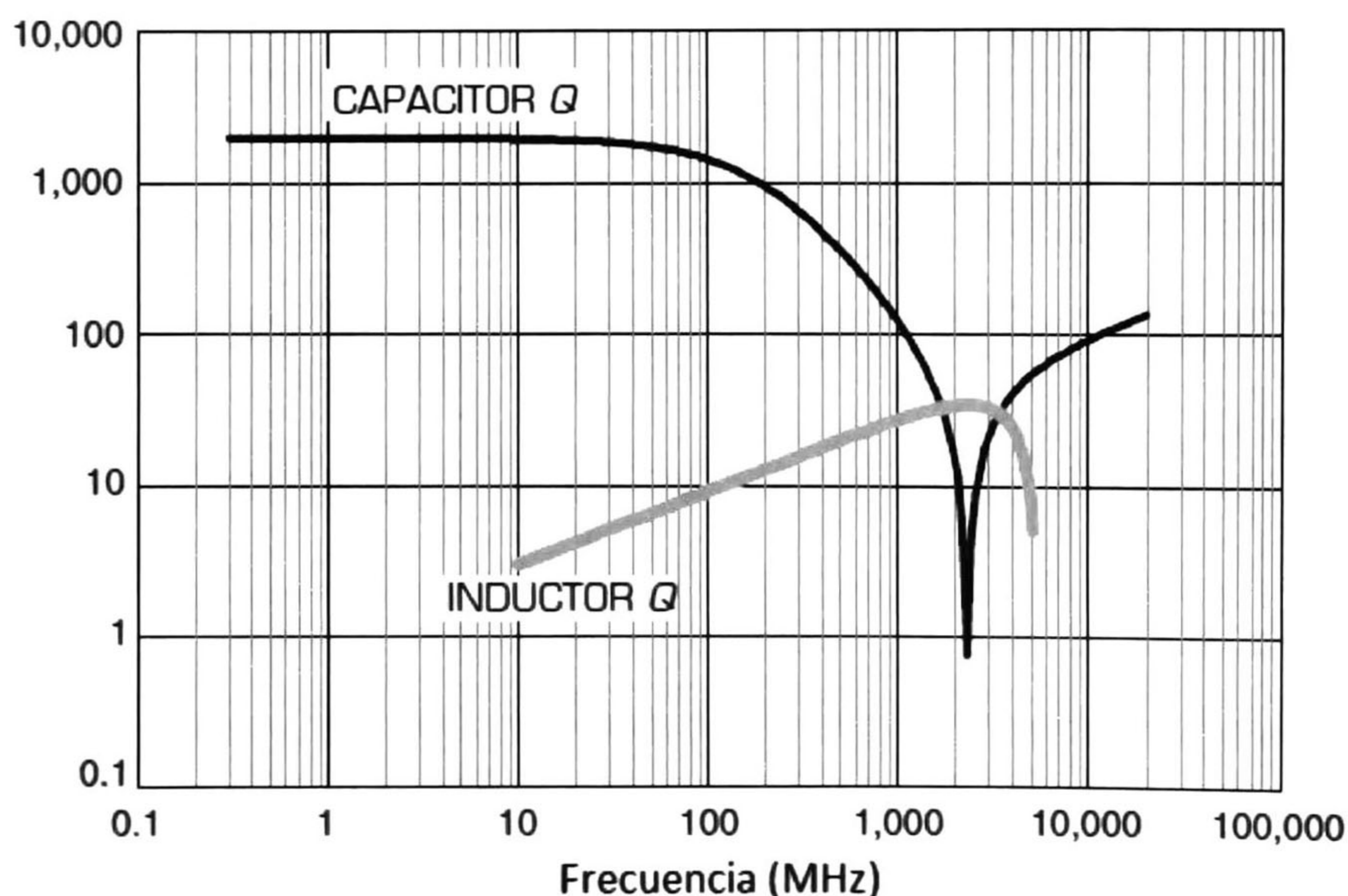


Fig. 2.3 Respuesta del factor Q al incremento de frecuencia.

Cuando un inductor o capacitor se encuentra en un circuito, el factor de calidad Q cambia debido a la carga. En este caso se llama *factor de calidad Q con carga* ( $F. Q_{Load}$ ), y es la relación entre la magnitud de la parte reactiva y la resistencia total de la carga  $Z_0$  y la resistencia parásita del componente pasivo ( pudiendo ser  $R_L$  o  $R_C$ , según sea el caso). En las ecuaciones 2.6 y 2.7 se muestran el  $F. Q_{Load}$  de un inductor y de un capacitor respectivamente.

$$F. Q_{Load\ ind.} = \frac{\omega_0 L}{Z_0 + R_L} \quad (2.6)$$

$$F. Q_{Load\ cap.} = \frac{1}{\omega_0 C (Z_0 + R_C)} \quad (2.7)$$

### 2.3 Línea de transmisión.

Se puede definir como toda aquella estructura que permita dirigir la transmisión de energía de un punto a otro. En nuestro caso sólo nos referiremos a aquellos medios de transmisión basados en conductores metálicos. Ahora bien, lo que determina que un conductor se considere ideal, o como una línea de transmisión con todos sus elementos distribuidos, es su longitud eléctrica.

Dicha longitud está dada por la longitud de onda ( $\lambda$ ) de la señal a transmitir. Si la dimensión física del medio de transmisión es igual o mayor que la longitud de onda, se dice que el conductor se comporta como una línea de transmisión, caso contrario sigue siendo un conductor ideal.

En la práctica, se requiere saber la dimensión física de cierta línea de transmisión cuando sólo se tiene la longitud eléctrica de la misma. Una manera fácil de obtener dicha dimensión es calcular  $\lambda$  a la frecuencia en la que opera al vacío, y de ahí que la longitud eléctrica sean múltiplos o fracciones de  $\lambda$ .

En la figura 2.4a se representa, en forma esquemática, un conductor ideal mientras que la 2.4b, muestra cómo se encuentran distribuidos los elementos parásitos que posee una sección de línea de transmisión  $\Delta z$ , los cuales podemos definir de la siguiente manera:

$R =$  La resistencia en serie por unidad de longitud,  $\Omega/m$ .

$L =$  La inductancia en serie por unidad de longitud,  $H/m$ .

$G =$  La conductancia en paralelo por unidad de longitud,  $S/m$ .

$C =$  La capacitancia en paralelo por unidad de longitud,  $F/m$ .

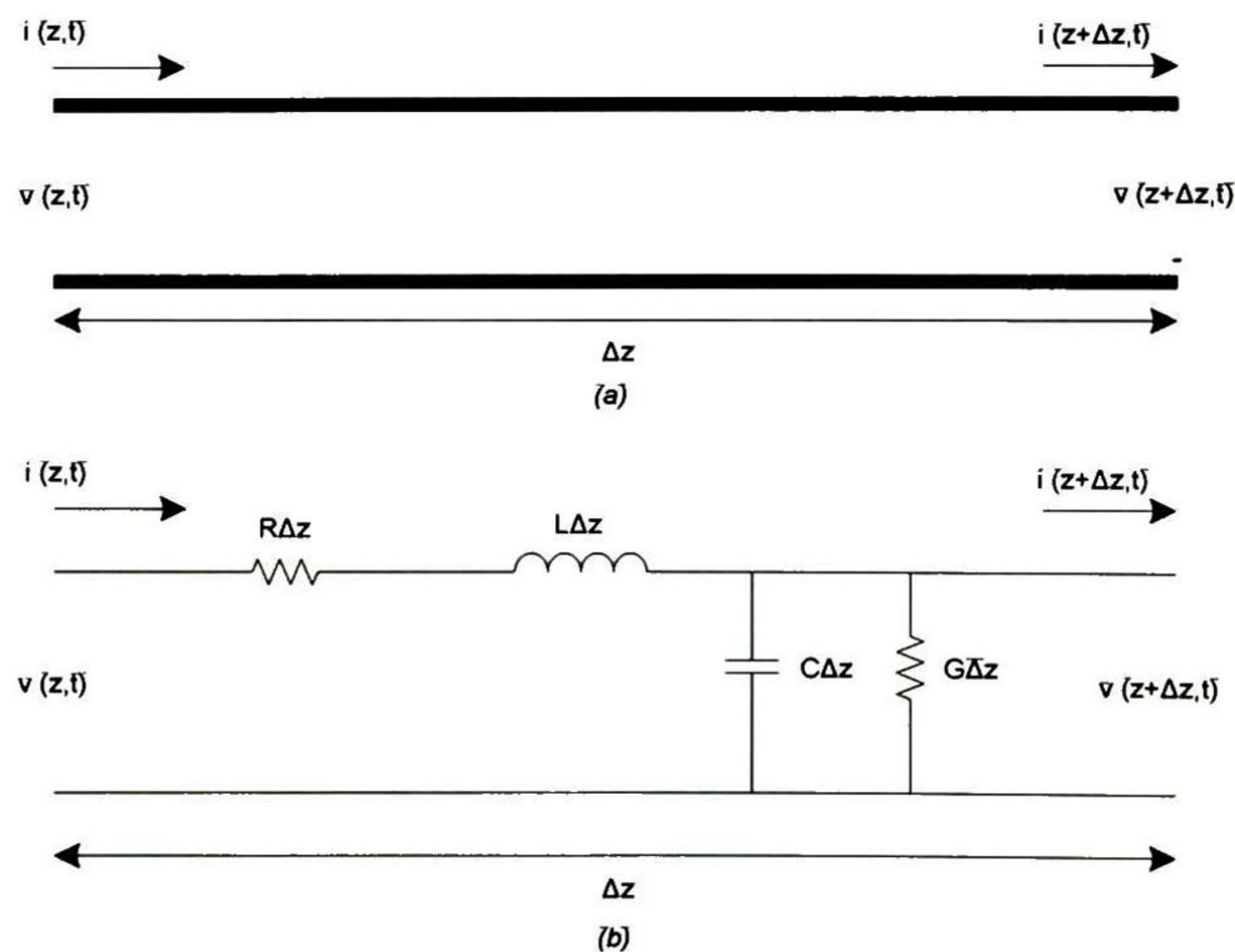
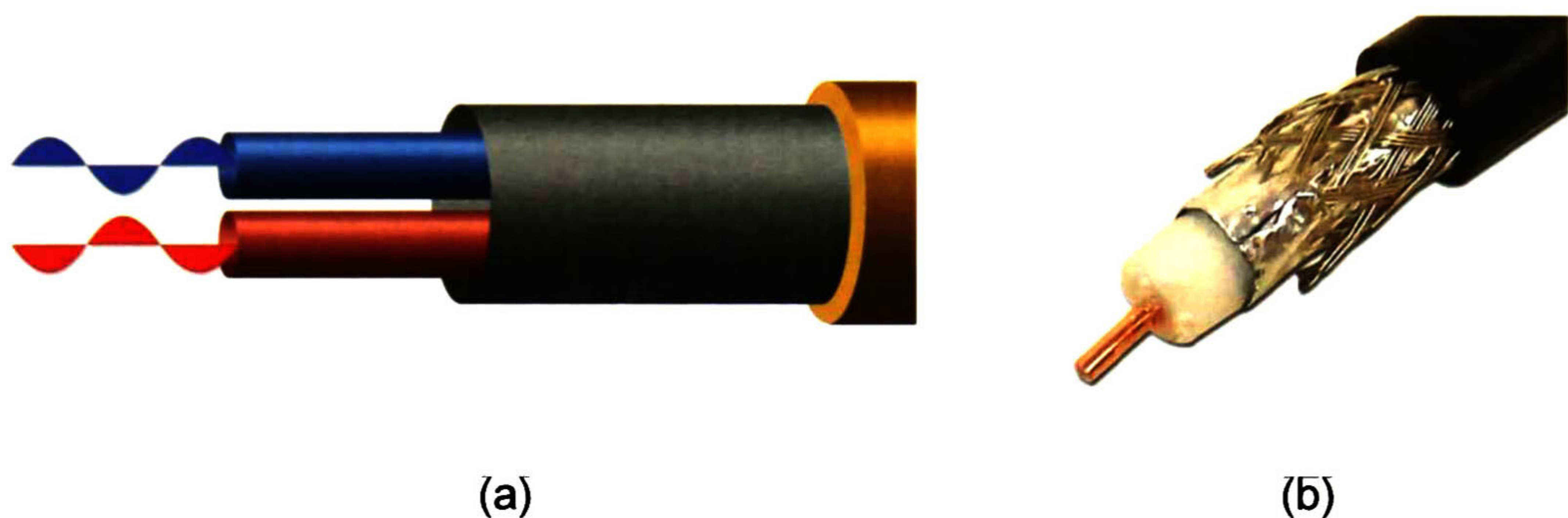


Fig. 2.4 Conductor ideal (a), línea de transmisión (b).

En la línea de transmisión,  $L$  representa el total de la autoinducción debida a los dos conductores, mientras que  $C$  es la capacitancia debida a la cercanía de los conductores.  $R$  y  $G$  modelan las pérdidas que existen en el metal y en el dieléctrico, respectivamente. En la mayoría de los casos la línea de transmisión es tratada como una línea sin pérdidas es decir,  $R = G = 0$ , de esta manera la impedancia característica de una línea de transmisión sin pérdidas se puede escribir como:

$$Z_0 = \sqrt{\frac{L}{C}} \tag{2.8}$$

Las líneas de transmisión se pueden clasificar en *líneas balanceadas* y *no balanceadas*. Las líneas balanceadas son aquellas que poseen dos conductores, los cuales tienen la misma impedancia a tierra; ejemplo de ello es el par trenzado que se emplea en las líneas telefónicas y el cable plano paralelo que se usa en las antenas de TV, por mencionar algunos (ver figura 2.5a). Mientras que las líneas no balanceadas, en estas sólo lleva un conductor por donde viaja la energía y el plano de tierra; el caso más popular es el cable coaxial y la microcinta fabricadas en las placas de circuito impreso (ver figura 2.5b).



**Fig. 2.5** Ejemplo de línea de transmisión: (a) balanceada, (b) no balanceada.

Cuando a una línea de transmisión con impedancia  $Z_0$ , se le coloca una carga  $Z_L$  en uno de los extremos, y por el otro extremo hacemos incidir una señal ( $V^+$ ) a una frecuencia determinada, se puede presentar el caso en el cual  $Z_0 \neq Z_L$ , y debido a esto se genera una señal reflejada ( $V^-$ ), la relación que existe entre ambas señales se le conoce como *coeficiente de reflexión* ( $\Gamma$ ), el cual también está dado por una relación de impedancias:

$$\Gamma = \frac{V^-}{V^+} = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (2.9)$$

Cuando  $\Gamma$  es igual a cero, quiere decir que existe un acoplamiento perfecto entre ambas impedancias, pero si  $\Gamma = -1$  se dice que la línea se encuentra en corto circuito y si  $\Gamma = 1$  entonces es un circuito abierto.

La amplitud de la señal reflejada depende del punto dentro de la línea de transmisión donde sea medida. La diferencia entre los valores máximo y mínimo que puede tomar la amplitud de esta señal es llamada *razón de voltaje de onda estacionaria (VSWR)*, y se define por:

$$VSWR = \frac{V_{max}}{V_{min}} = \frac{1 + \Gamma}{1 - \Gamma} \quad (2.10)$$

## 2.4 Parámetros de Dispersión.

Una de las técnicas que existen para resolver y caracterizar circuitos analógicos, es representarlo como una red de 2 puertos (como se muestra en la figura 2.6) y empleando los parámetros Z, Y, ABCD; éstos parámetros se obtienen utilizando condiciones de corto o abierto respectivamente.

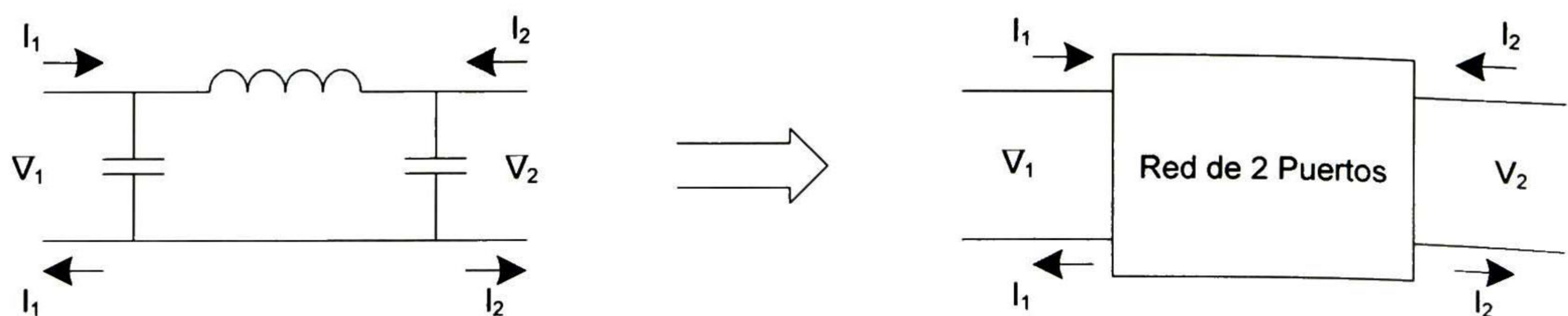


Fig. 2.6 Representación de un circuito pasivo a una red de 2 puertos.



Pero a medida que aumenta la frecuencia de operación, resulta más difícil cumplir estas condiciones, y al trabajar con circuitos activos, estas condiciones pueden ocasionar un mal comportamiento del dispositivo y hasta provocar su destrucción. Por lo que la esencia de los *parámetros de dispersión*, o *parámetros S*, permiten ver la relación que existe entre la señal incidente, o inyectada, con la reflejada en una línea de transmisión, por lo que se concluye que los parámetros S son una relación del flujo de potencia [2].

Los parámetros S, son ampliamente empleados al trabajar a frecuencias de RF y microondas, ya que estos parámetros incorporan los efectos de reflexión y transmisión, dándonos una clara interpretación de su comportamiento físico, además son fáciles de convertir entre los parámetros clásicos (Z, Y, ABCD).

El conjunto de ecuaciones que definen a una red de dos puertos, en términos de ondas incidentes y reflejadas, son las siguientes:

$$B_1 = S_{11}A_1 + S_{12}A_2 \quad (2.11)$$

$$B_2 = S_{21}A_1 + S_{22}A_2 \quad (2.12)$$

en donde,  $A_1$  y  $A_2$  representan las ondas incidentes en cada puerto, respectivamente, y  $B_1$  y  $B_2$  son las ondas reflejadas.

En base a las ecuaciones 2.11 y 2.12 se puede definir los parámetros S de la siguiente manera:

### Sentido Directo

$$S_{11} = \frac{\text{Reflejada}}{\text{Incidente}} = \frac{B_1}{A_1} \Big|_{A_2=0} \quad (2.13)$$

$$S_{21} = \frac{\text{Transmitida}}{\text{Incidente}} = \frac{B_2}{A_1} \Big|_{A_2=0} \quad (2.14)$$

### Sentido Inverso

$$S_{22} = \frac{\text{Reflejada}}{\text{Incidente}} = \frac{B_2}{A_2} \Big|_{A_1=0} \quad (2.15)$$

$$S_{12} = \frac{\text{Transmitida}}{\text{Incidente}} = \frac{B_1}{A_2} \Big|_{A_1=0} \quad (2.13)$$

Los parámetros  $S_{11}$  y  $S_{21}$  son determinados midiendo la magnitud y fase de la onda incidente, reflejada y transmitida, cuando la salida del puerto 2 está terminada en una  $Z_0$ . Lo anterior implica que  $Z_0$  tenga la impedancia característica del sistema de medición, asegurando de esta manera la condición de que  $A_2$  sea igual a cero, e implica que no exista onda de reflexión de regreso al puerto. De igual modo, colocando la fuente en el puerto 2 y en el puerto 1 una carga de  $Z_0$ , se pueden realizar las mediciones de  $S_{22}$  y  $S_{12}$ .

Estos cuatro parámetros definen completamente las características de la red de dos puertos. Estos parámetros pueden ser medidos empleando un analizador de redes vectorial, en la figura 2.7 observamos la interpretación que se tiene de estos parámetros de un dispositivo bajo prueba (DUT), al ser medido empleando un analizador de redes vectorial.

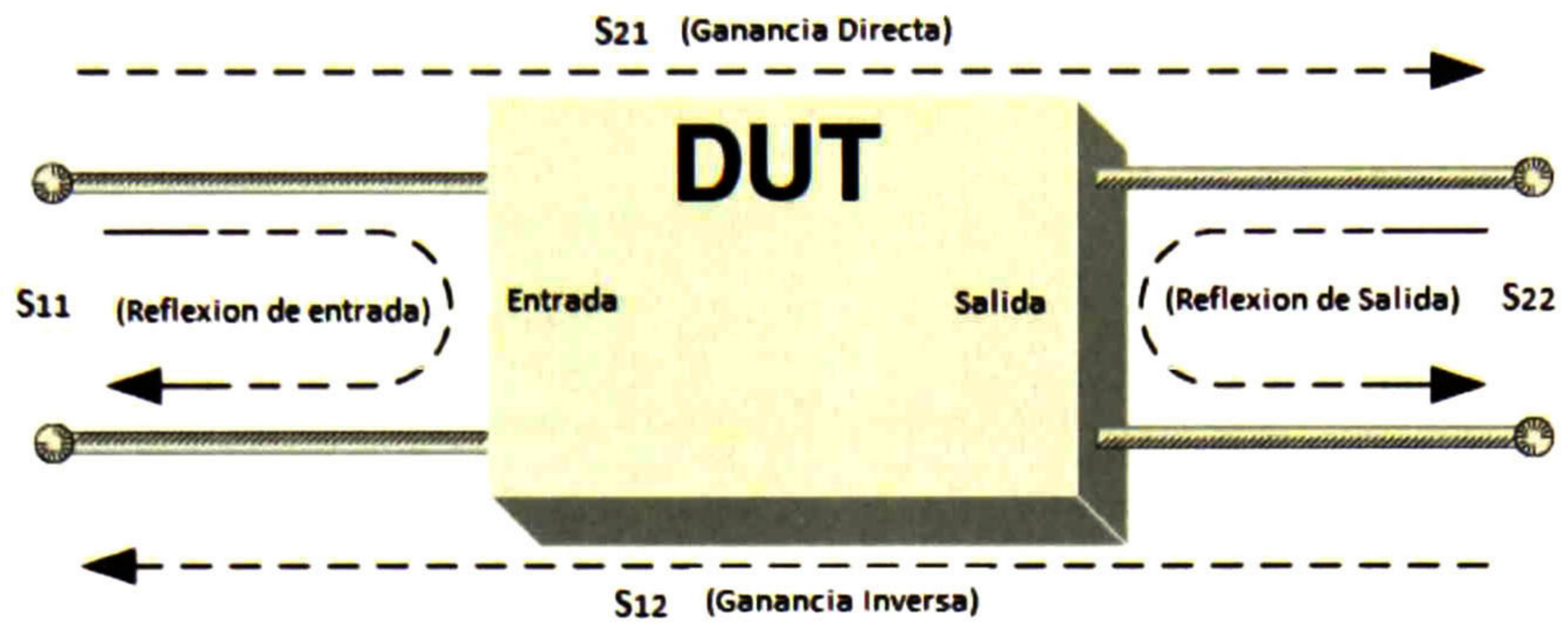


Fig. 2.7 Interpretación de los parámetros S.



# Capítulo 3

## Sistemas Modernos de Comunicación Digital

Los sistemas modernos de comunicaciones que operan en el rango de las microondas, poseen un gran ancho de banda, lo cual permite transmitir un gran volumen de información. A estos sistemas se le conoce como *radio digital* [3], debido a que emplea señales analógicas como portadora y moduladora, pero esta última obedece a técnicas de modulación que traducen la información digital a analógicas.

En este capítulo, se explican las tres técnicas de modulación digital que se emplean en los sistemas de radio digital moderno como son por Desviación de Frecuencia (FSK), Desviación de Fase (PSK) y Amplitud por Cuadratura (QAM), además se incluyen sus bloques básicos y algunos parámetros que se tiene que tomar en cuenta al momento de realizar un diseño.

### 3.1 Diagrama fasorial.

Una manera fácil para entender los métodos de modulación digital es emplear un *diagrama fasorial*, como el que se muestra en la figura 3.1a, en el cual el eje de las abscisas representa la fase (I, en inglés *in-phase*) y el de las ordenadas representa la cuadratura (Q); entre ellas se encuentra la señal (s), la cual puede variar en fase ( $\theta$ ) y en amplitud (A), con lo cual cualquier señal portadora con información digital puede ser representada en fase y cuadratura.

Un ejemplo de esto se muestra en la figura 3.1b, donde un cero puede representarse en el centro de las coordenadas, lo que significa que no se emite señal en ese periodo, y el valor unitario se coloca en el eje de las abscisas con un valor X de amplitud y sin ángulo de desfasamiento.

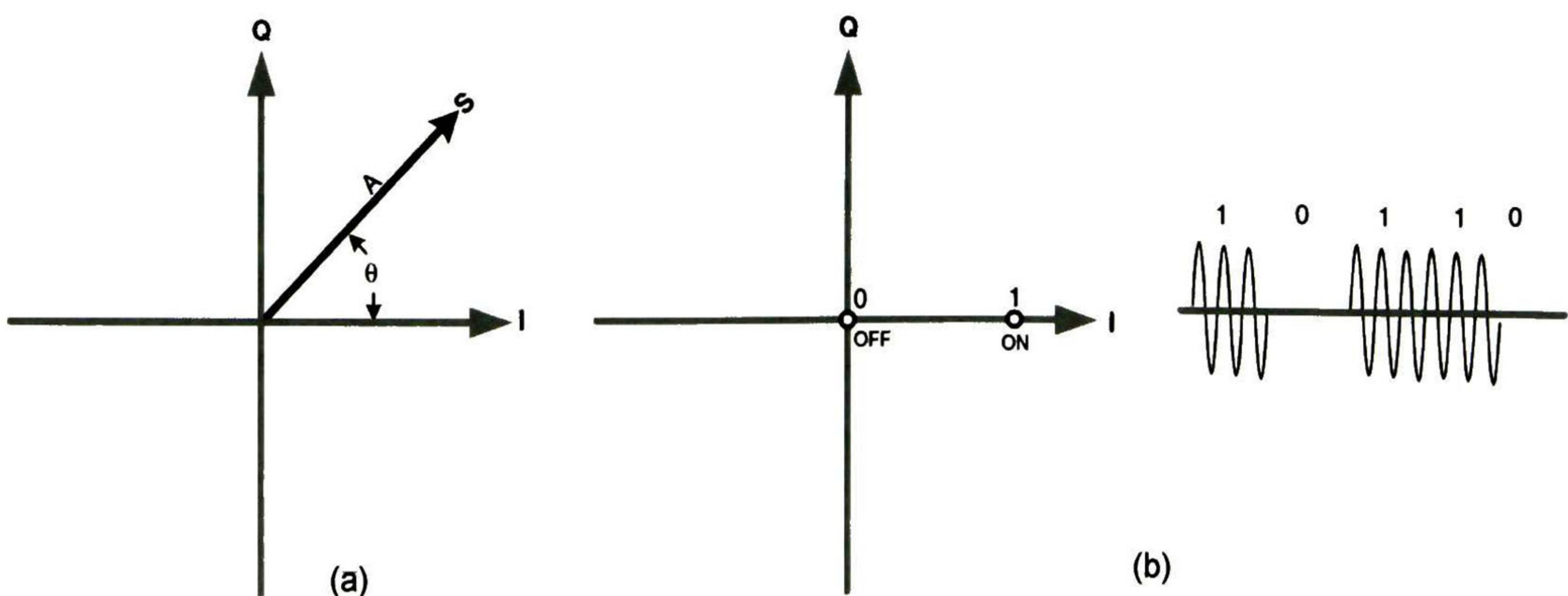


Fig. 3.1 (a) Diagrama fasorial, (b) ejemplo de una modulación binaria con diagrama de constelaciones.

Este tipo de diagrama, cuando no se presentan los fasores, sino solamente los puntos donde cae los estados lógicos, es conocido como *diagrama de constelaciones*.

### 3.2 Modulación por desviación de frecuencia (FSK).

La modulación FSK, es una técnica de modulación digital simple, ya que consiste en cambiar la frecuencia de la portadora de acuerdo a los valores de amplitud de la señal moduladora. El esquema FSK es binario, de manera que cada uno de los dos valores que la frecuencia puede tomar está dado por la siguiente expresión.

$$m(t) = A_c \cos \left[ \left( \omega_c + \frac{s_m(t)\Delta\omega}{2} \right) t \right] \quad (3.1)$$

en donde:

$m(t)$  = onda FSK binaria.

$A_c$  = amplitud pico de la portadora sin modular.

$\omega_c$  = frecuencia en radianes/seg. de la portadora.

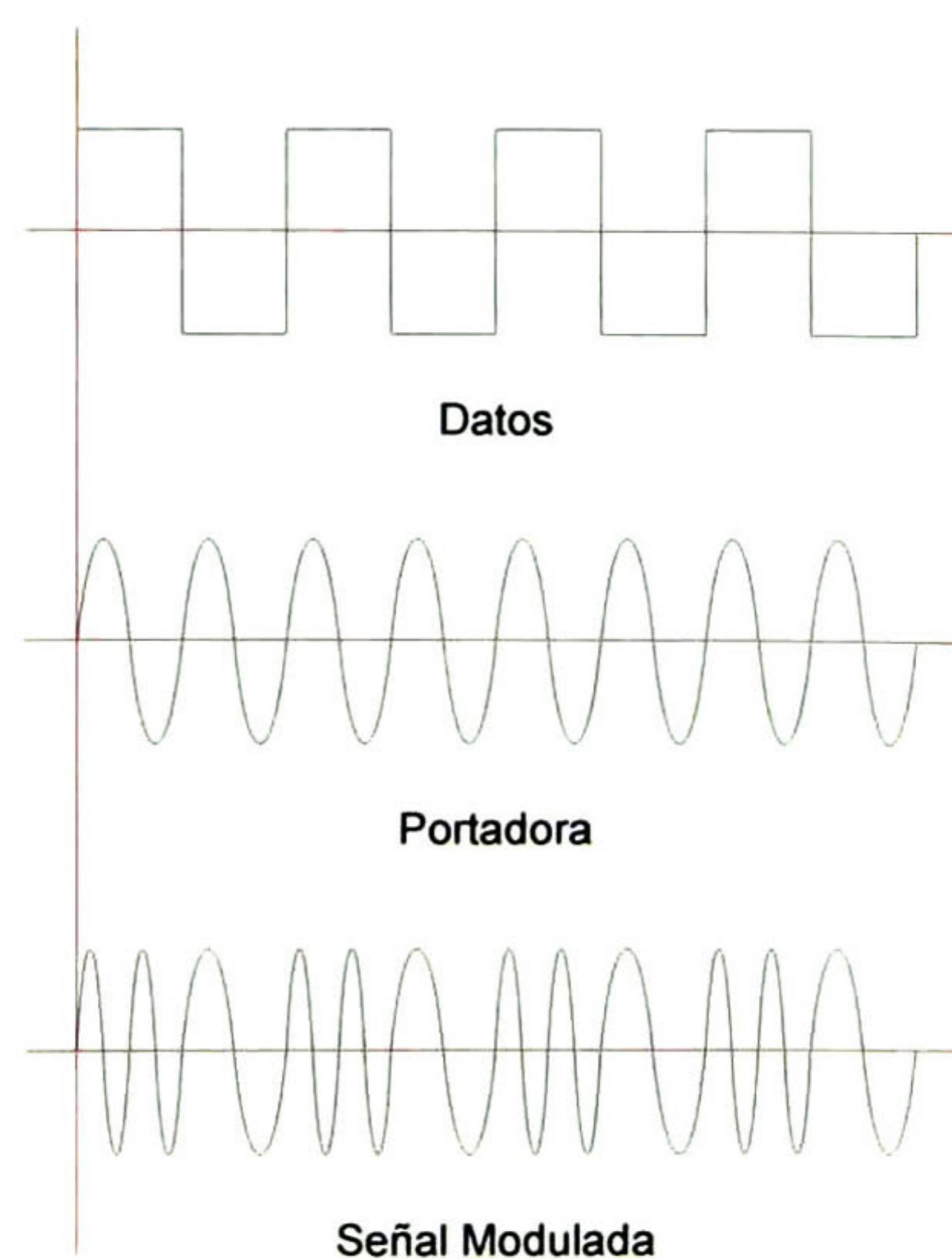
$s_m(t)$  = señal modulante digital binaria.

$\Delta\omega$  = cambio de frecuencia en la salida.

Como se describe en la ecuación 3.1, en FSK binario la amplitud  $A_c$  de la portadora se mantiene constante con la modulación pero la frecuencia  $\omega_c$  de la portadora cambia en un rango de  $\pm\Delta\omega/2$ . Este cambio de frecuencia es proporcional a la amplitud y polaridad de la moduladora binaria. Por ejemplo, si el uno binario es +1 volt y el cero binario es -1 volt se producen cambios de frecuencia de  $+\Delta\omega/2$  y  $-\Delta\omega/2$ , respectivamente. Además, la velocidad a la que cambia la frecuencia de portadora es igual a la velocidad de cambio

de la señal binaria entrante  $s_m(t)$  o sea, la tasa de bits de entrada. En consecuencia, la frecuencia portadora se desvía o cambia entre  $\omega_c + \Delta\omega/2$  y  $\omega_c - \Delta\omega/2$ .

En el FSK binario, la frecuencia portadora se desvía en función de los datos binarios de entrada. Por lo tanto, la salida del modulador es una función escalón en el tiempo; a medida que la señal de entrada cambia de un estado lógico a otro, la señal modulada cambia entre dos frecuencias. La velocidad de cambio de la entrada del modulador se conoce como *velocidad de bits* y se mide en bits por segundo, mientras que la salida del modulador se conoce como *velocidad de bauds*. En la figura 3.2 se muestran las formas de onda correspondientes a la modulación FSK.

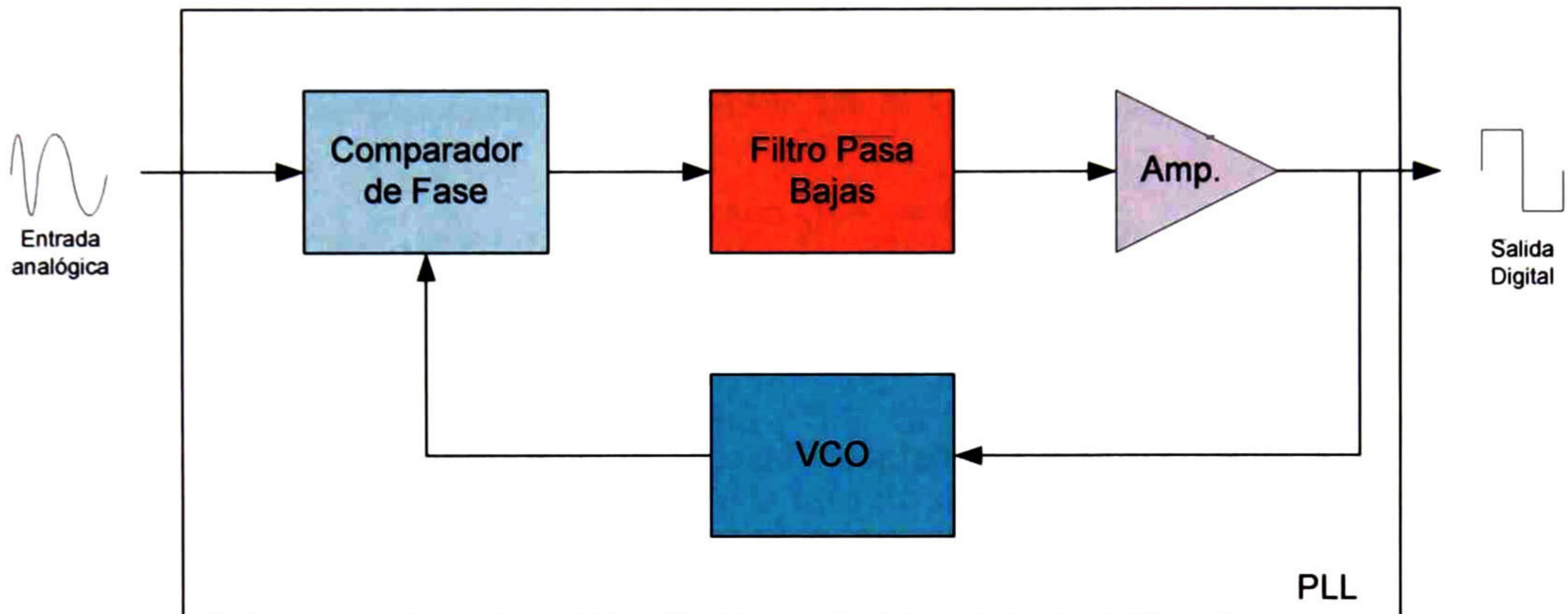


**Fig. 3.2** Modulación FSK.

La recepción FSK, se puede realizar empleando un circuito con un lazo de enganche de fase (PLL). A medida que la entrada del PLL cambia entre las dos frecuencias, el voltaje de error de CD en la salida del comparador de fase cambia en concordancia. Como sólo existen dos frecuencias, también existen dos voltajes de error, y cada uno representa a los



niveles lógicos 1 y 0. Por lo general la frecuencia natural del PLL es sintonizada para que sea la misma a la frecuencia central del modulador FSK, como resultado, los cambios en el voltaje de error de CD siguen a los cambios de frecuencia en la entrada analógica y son simétricos con respecto a 0 volts. En la figura 3.3, se ejemplifica este proceso de demodulación.



**Fig. 3.3** Demodulación FSK, empleado PLL.

### 3.3 Modulación por desviación de Fase (PSK).

La modulación por desviación de fase (PSK) es uno de los más amplios esquemas de modulación digital; además es ampliamente usada en la industria de las telecomunicaciones. PSK es una forma de modulación en ángulo de envolvente constante y es similar a la modulación de fase convencional salvo que la entrada de modulador PSK es una señal digital binaria. Con lo cual es posible manejar una cantidad determinada de fases de salida, por lo que a partir de esto la modulación PSK se puede dividir en diferentes clases dependiendo de la cantidad de fases que maneje a su salida como son: la binaria (BPSK), M-aria (MPSK)<sup>5</sup> y la dada por cuadratura (QPSK).

<sup>5</sup> Se emplea el termino M-aria para indicar que una cantidad M de símbolos, están representados cada uno por  $n$  bits.

### 3.3.1 Modulación por desviación de fase binaria (BPSK).

En la modulación BPSK, son posibles dos fases de salida para una sola frecuencia de portadora y cada fase representa a un estado lógico. A medida que la señal digital de entrada cambia, la fase de la portadora de salida cambia entre dos señales diametralmente opuestas, es decir, que tengan  $180^\circ$  de diferencia de fase entre sí.

$$m_1(t) = A_C \cos \omega_c t \quad (3.2)$$

$$m_2(t) = -A_C \cos \omega_c t \quad (3.3)$$

Las ecuaciones 3.2 y 3.3 satisfacen las condiciones mencionadas anteriormente. Además, la razón por lo que se seleccionan de ese modo es porque las señales empleadas son antipodales, de esta manera se reduce al mínimo la probabilidad de bit error. En la figura 3.4a, se representa en el diagrama de constelación a estas dos señales y en la figura 3.4b en el dominio del tiempo.

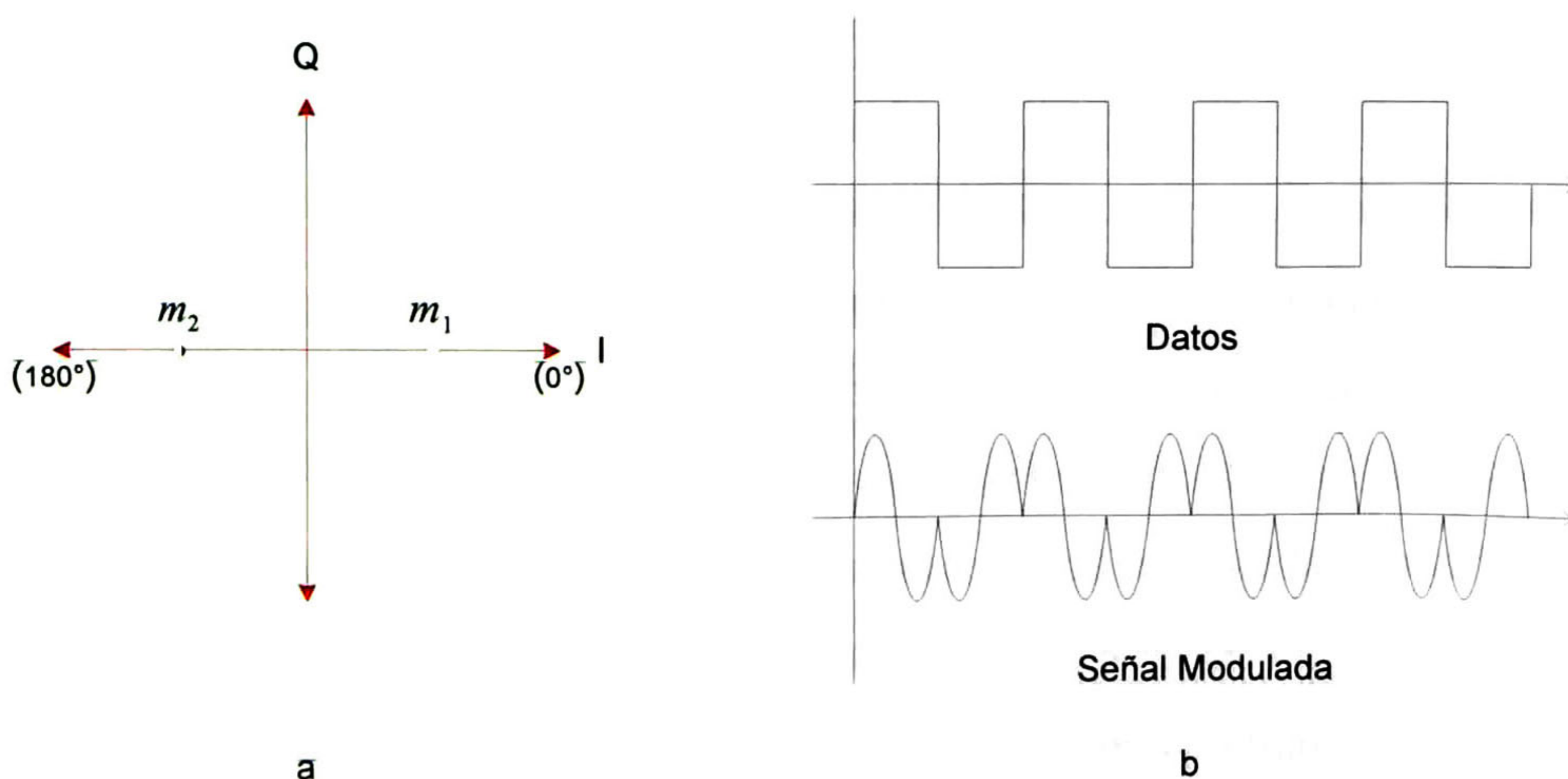


Fig. 3.4 (a) Diagrama de constelaciones; (b) Señales en el dominio del tiempo.

### 3.3.2 Modulación por desviación de fase múltiple (*M*-aria PSK).

La necesidad de incrementar la tasa de bits en el esquema de modulación PSK, originó la modulación múltiple PSK. La forma de operar de este esquema es muy similar al BPSK, con la diferencia que la cantidad de bits por símbolo está dada por:

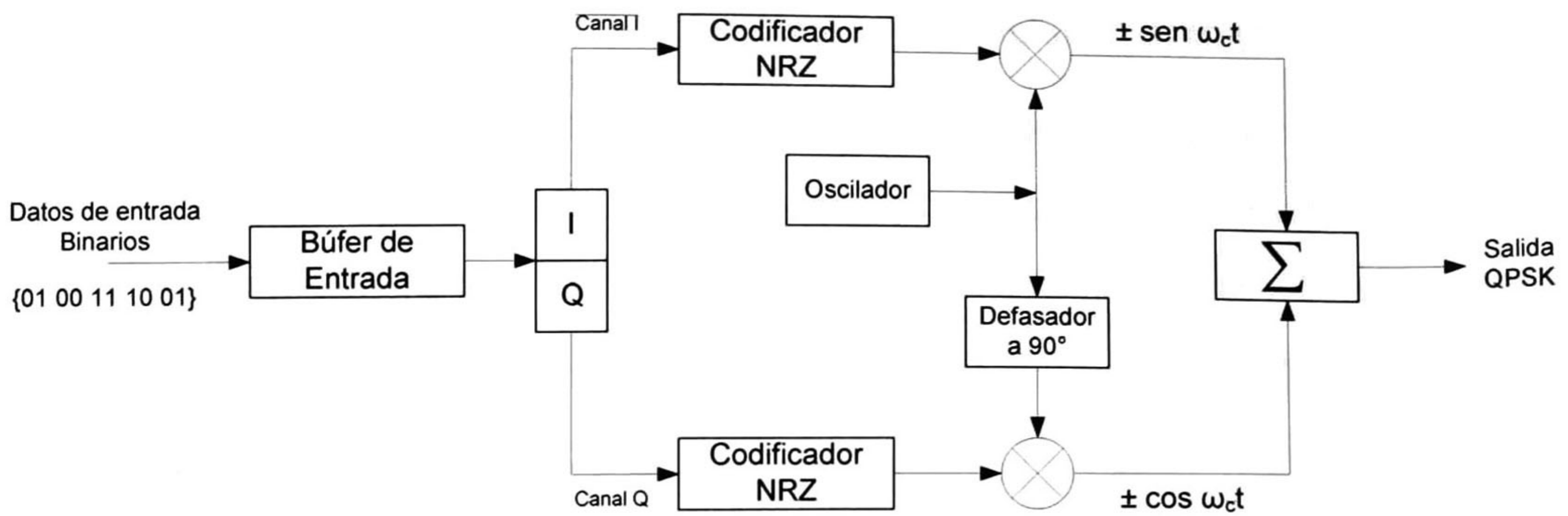
$$n = \log_2 M \quad (3.4)$$

donde  $n$  representa el número de bit por símbolo, y  $M$  es la cantidad de símbolos o condiciones posibles de salida con los  $n$  bits. El conjunto de señales que se emplean en MPSK está definido por las ecuaciones 3.5 y 3.6. La fase de la portadora se procura que sea seleccionada como múltiplo entero de la tasa de símbolos que maneje el esquema.

$$m_i(t) = A_c \cos(\omega_c t + \theta_i), \quad 0 \leq t \leq T, \quad i = 1, 2, \dots, M \quad (3.5)$$

$$\theta_i = \frac{(2i - 1)\pi}{M} \quad (3.6)$$

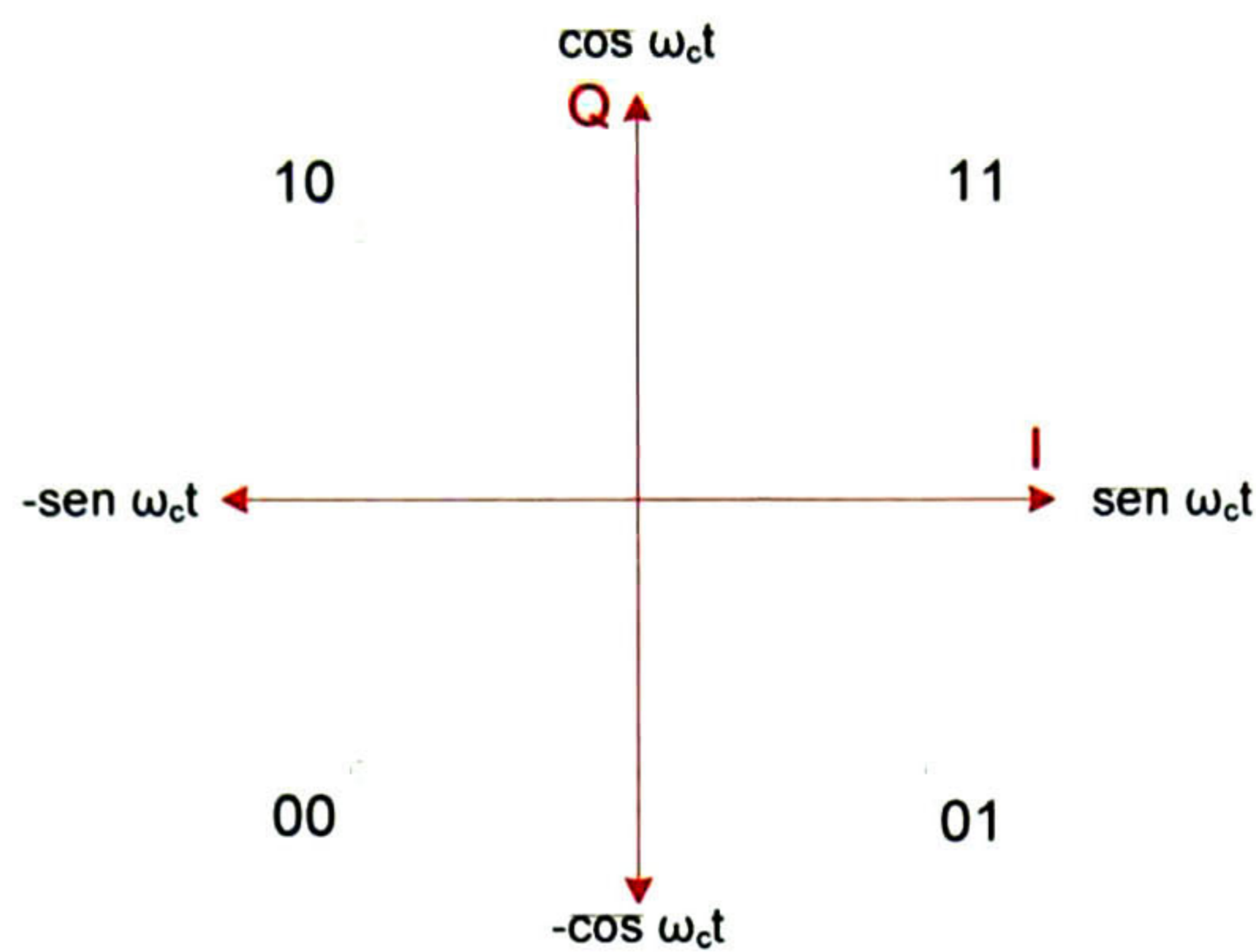
De los casos más empleados de MPSK son la cuaternaria (QPSK) y la de ocho fases (8PSK). El caso de la QPSK, es posible tener cuatro fases de salida con una sola frecuencia portadora, debido a esto las condiciones de entrada requieren dos bits; a este grupo de bits se le conoce como *dibits*. Cada código de dicit (00, 01, 10, 11) genera a la salida una de las cuatro posibles fases. Lo que trae en consecuencia, que la tasa de cambio a la salida es el 50% de la tasa de cambio a la entrada. En la figura 3.5 se muestra el diagrama a bloques de un transmisor QPSK.



**Fig. 3.5** Modulador QPSK.

A la entrada del modulador, se inyectan los datos en grupos de dibit. Cada uno de los bits que compone al dibit es separado, un bit se dirige al canal I y el otro al canal Q. Inmediatamente después ambas señales entran al codificador de no retorno a cero (NRZ), por lo que los valores eléctricos de los bit son cambiados, el 1 lógico = +1 volt y el 0 lógico = -1 volt, de esta manera se le da un mejor uso al ancho de banda, inmunizar al sistema a ruidos y por errores de cableado. Después de las etapas de NRZ, los bits que van por el canal I son modulados con la portadora que está en fase con el oscilador de referencia, mientras que el bit del canal Q es modulado con la portadora que está fuera de fase 90°. Después de la modulación, ambas señales entran a un sumador lineal, el cual las combina. Con esto tenemos una señal QPSK, la que puede ser interpretada en el diagrama de constelaciones de la figura 3.6.

Como en QPSK los datos de entrada se dividen en dos canales, la tasa de bits en cualquier canal, I o Q, es igual al 50% de la tasa de bits a la entrada. Debido a que el divisor de bits va separando los datos en I y Q, la trama queda al 50% de la longitud de los datos de entrada. Como resultado, la salida de los moduladores balanceados I y Q requieren un mínimo ancho de banda de Nyquist de doble banda lateral. Por lo que QPSK hace más eficiente el espectro disponible.



**Fig. 3.6** Diagrama de constelaciones para QPSK.

La técnica para demodular señales QPSK, se puede describir en tres etapas básicamente. La primera consiste en un divisor de potencia la cual divide de forma equitativa la señal QPSK a la entrada de detectores de producto I y Q, y también a un circuito de recuperación de portadora. Después, el circuito de recuperación de portadora reproduce la seña original del oscilador de la portadora en la transmisión.

La portadora recuperada tiene que ser coherente en frecuencia y fase con la portadora de referencia a la transmisora. Las señales de I y Q son moduladas en los detectores de producto en donde a la salida se filtran y después son detectados los bits de los datos que corresponden a I y Q originales. Por último, pasan por un circuito combinador de bits, en donde los datos paralelos de I y Q se convierten en un solo canal de datos binarios.

Para ilustrar el proceso de demodulación, se ejemplifica en la figura 3.7, la cual considera que la señal QPSK de entrada es:  $-\text{sen } \omega_c t + \text{cos } \omega_c t$ . Y observando el diagrama de constelación se puede determinarlos valores de I y Q.

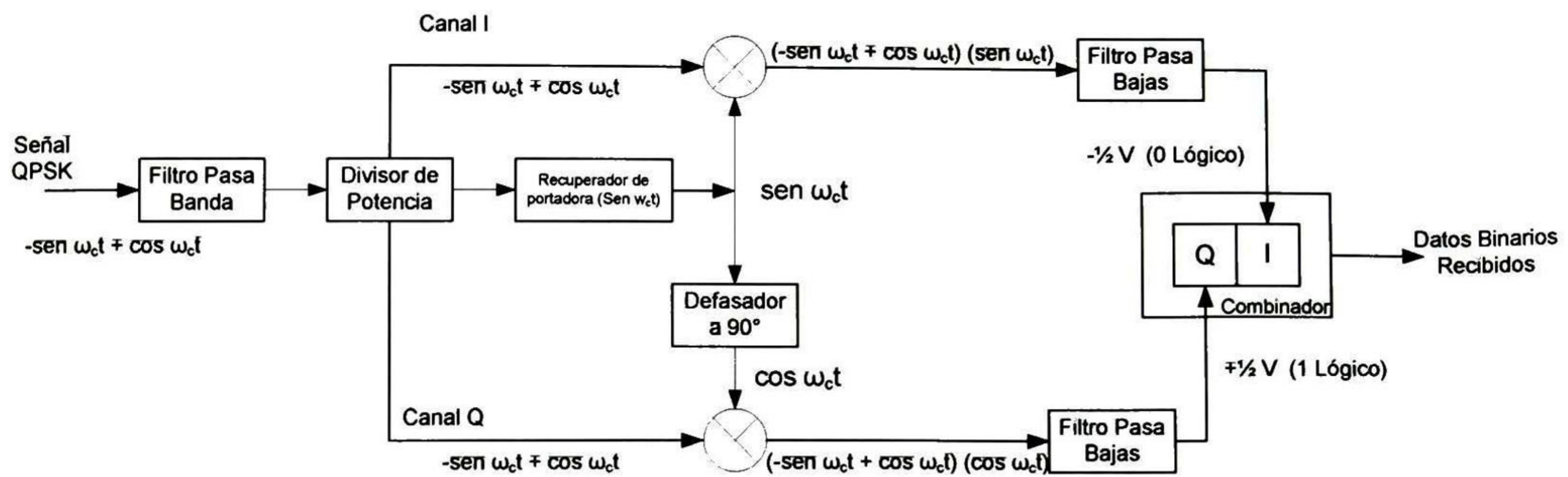


Fig. 3.7 Demodulador QPSK.

La modulación 8PSK es una técnica de codificación M-aria en la cual existen ocho posibles fases de salida, y para codificarlas se consideran a los bits en grupos de tres llamados *tribits*. En la figura 3.8 se muestra el diagrama a bloques del modulador 8PSK, el cual posee en este caso canales: Canal I, Canal Q y Canal C. Éste último es llamado así por ser el canal del bit de control del modulador. En este caso, los bits de los canales I y C entran a un convertidor de 2 a 4 niveles de canal I, y en el otro caso entran los bits de canal Q y  $\bar{C}$  a otro convertidor de 2 a 4 niveles del canal Q. En esencia, los convertidores de niveles son *convertidores digitales a analógicos* (DACs) de entrada paralela, por lo que con dos bits de entrada se pueden obtener 4 voltajes de salida diferentes. A la salida de estos convertidores se tiene una señal de *amplitud de pulso modulada* (PAM), los valores que puede tomar la señal PAM están dados por los niveles de voltaje que entregan los

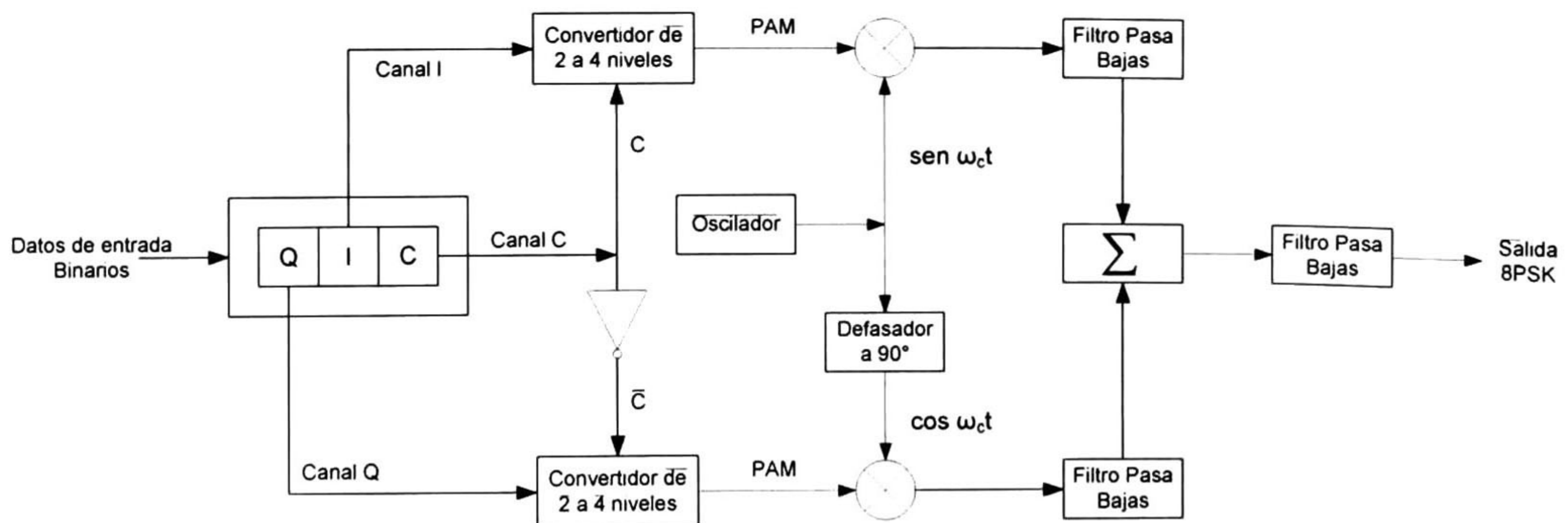


Fig. 3.8 Modulador 8PSK.

DACs. En la figura 3.9 se describe los niveles posibles de voltaje así como el diagrama de constelación y los ángulos de fase que pueden tomar las salidas de este modulador.

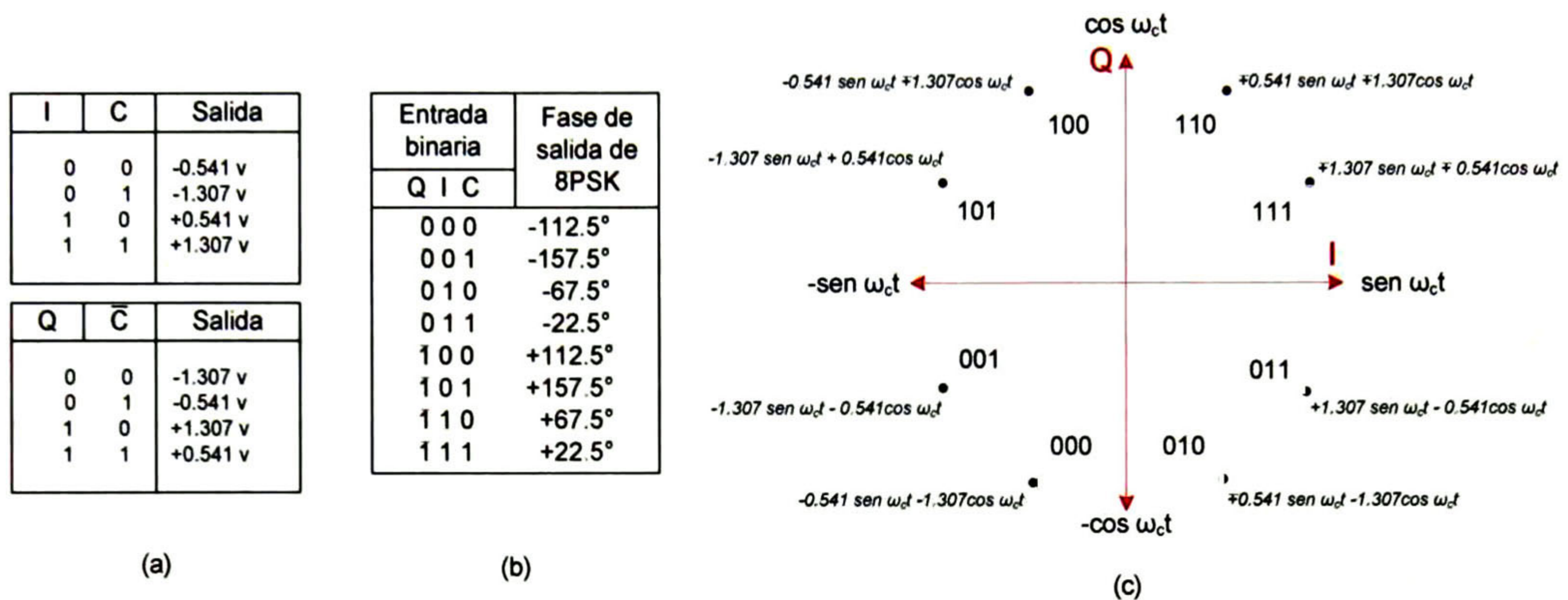


Fig. 3.9 (a) Tabla de verdad del convertidor de 2 a 4 niveles; (b) fase de salida del modulador 8PSK; (c) diagrama de constelación.

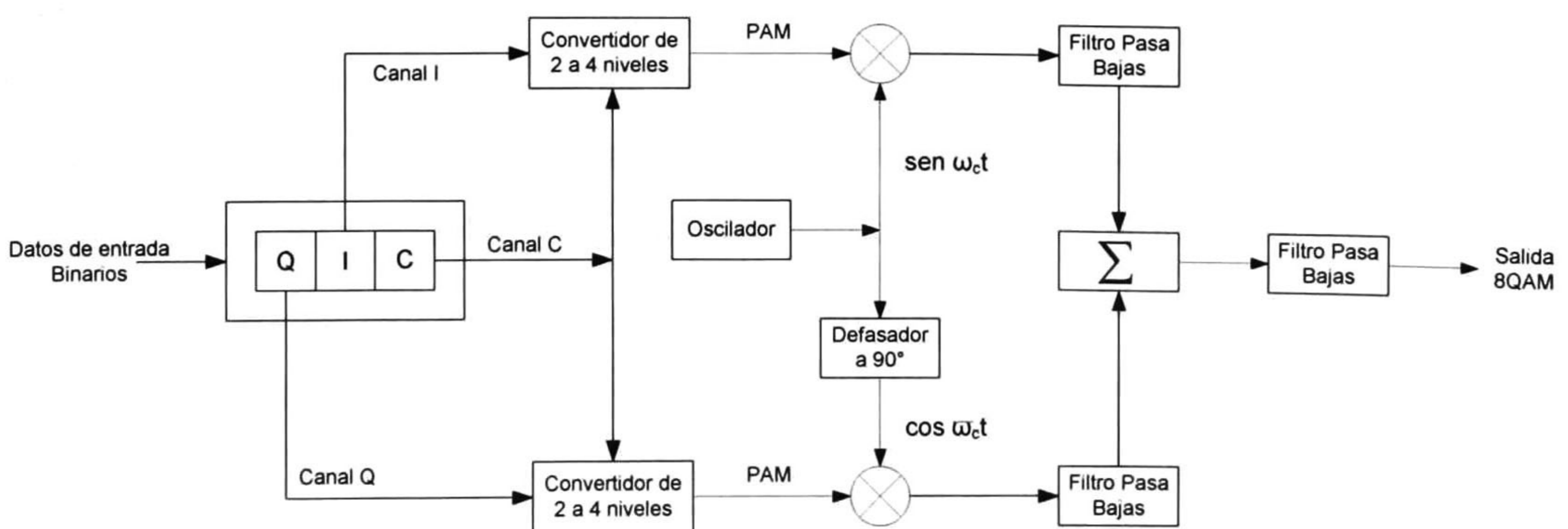
### 3.4 Modulación en amplitud por cuadratura (QAM).

La modulación de amplitud por cuadratura, es una técnica de modulación digital donde la información se encuentra codificada en amplitud y fase. Una manera sencilla de implementar un transmisor QAM es generando y combinando dos ondas sinusoidales de la misma frecuencia pero ortogonales entre sí, cada una de ellas es modulada con el 50% de los datos a transmitir en amplitud y fase, al final se suman estas señales dando como resultado una señal QAM, esto se puede observar en la ecuación 3.7, donde A<sub>1</sub> y A<sub>2</sub> no están restringidos a un valor constante, y se considera a cada rama como un modulador en amplitud por separado.

$$f_{QAM} = A_1(t) \cos(\omega_c t) + A_2(t) \sin(\omega_c t) \quad (3.7)$$

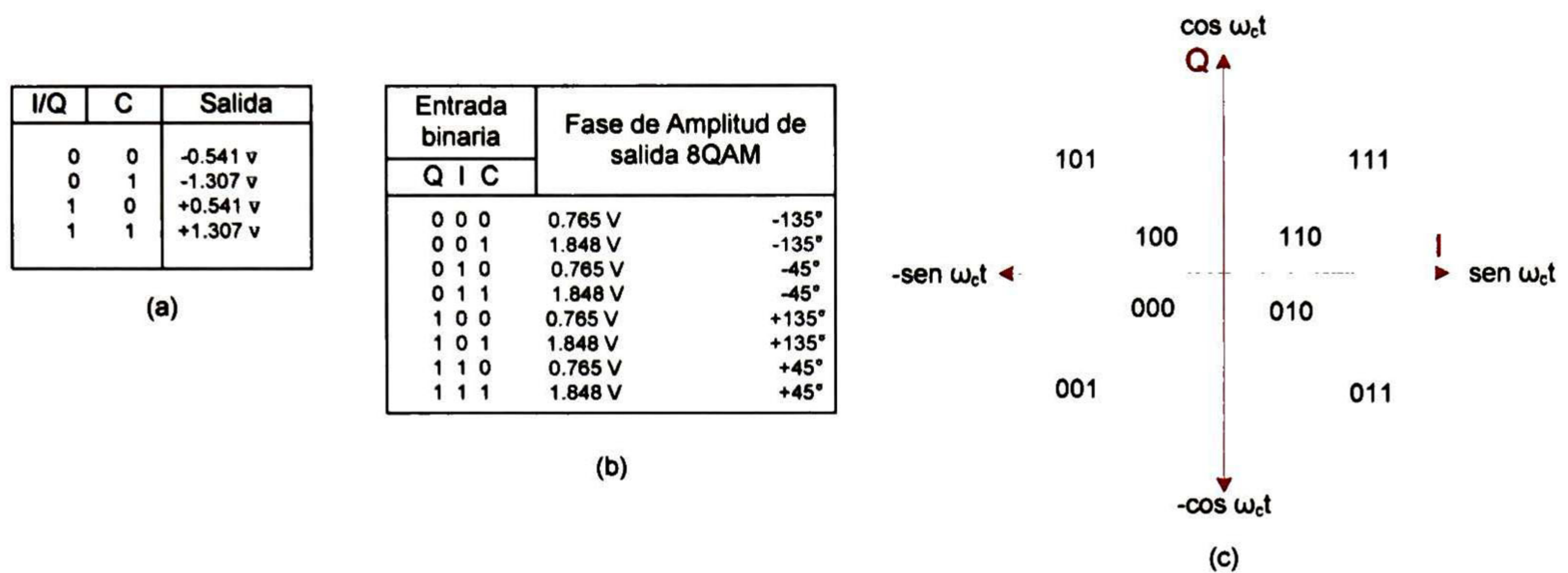
Una de las ventajas de esta modulación, es la libertad que ofrece al distribuir las posiciones en el diagrama de constelaciones, ya que no es necesaria que esta modulación posea una amplitud constante, además QAM tiene la capacidad de codificar  $2^n$  estados o niveles de amplitud y de fase en las portadoras, las más comunes son: 4 QAM, 8 QAM, 16 QAM y 64 QAM.

En la figura 3.10, se describen los bloques básicos que componen al transmisor de 8 QAM. A la entrada, los datos se dividen en grupos de 3 bits, correspondiendo cada bit a I, Q y C, cada uno con una tasa igual a un tercio de la tasa de datos que están entrando. En esta ocasión los bits I y Q, determinan la polaridad de la señal PAM, a la salida de los convertidores de nivel 2 a 4, mientras que el canal C determina la magnitud. Debido a que el bit C se alimenta sin invertir los convertidores de nivel 2 a 4, las magnitudes de las señales PAM son iguales, pero sus polaridades depende de la condición lógica de los bits I/Q, por lo que pueden diferir. En la figura 3.11, se muestra la tabla de verdad de los convertidores de nivel de 2 a 4, así como la tabla de verdad del modulador 8 QAM y su diagrama de constelaciones



**Fig. 3.10** Modulador 8 QAM





**Fig. 3.10** (a) Tabla de verdad del convertidor de 2 a 4 niveles; (b) fase de salida del modulador 8QAM; (c) diagrama de constelación.

En este caso, el receptor de 8 QAM es casi idéntico al receptor de 8 PSK, las diferencias se encuentran en los niveles de PAM, la salida de los detectores de producto y las señales binarias a la salida de los convertidores analógico a digital. Debido a que hay dos amplitudes en transmisión posibles, es necesario que el factor de conversión para los convertidores analógico a digital sea también diferente a comparación del 8 PSK el cual mantiene constante la amplitud.

### 3.5 Recuperación de la Portadora y del Reloj.

En los sistemas como PSK y QAM, la portadora se suprime en los moduladores balanceados y, por lo tanto, no se transmite. En consecuencia, en el receptor la portadora simplemente no puede rastrearse con un circuito de fase cerrada estándar. Con los sistemas de portadora suprimida, como PSK y QAM, se requieren métodos sofisticados de recuperación de la portadora, la cual se necesita para determinar la fase absoluta de la portadora recibida y producir así, en el receptor, una portadora que sea coherente y en fase con el oscilador de referencia. Para ello se emplean sistemas como: *circuito cuadrado*, *circuito de costas* o *remodulador*.

### 3.5.1 Circuito Cerrado.

En el diagrama de bloques que se muestra en la figura 3.11, observamos el circuito cuadrado que sirve para recuperar la portadora de una señal BPSK. Dicha señal es recibida, se filtra y después se eleva al cuadrado. La filtración reduce el ancho del espectro de ruido recibido. El circuito cuadrado quita la modulación y genera la segunda armónica de la frecuencia de la portadora. Esta armónica se rastrea con la fase por el PLL. La frecuencia de salida del VCO del PLL se divide entre dos y se utiliza como referencia de fase para los detectores de producto.

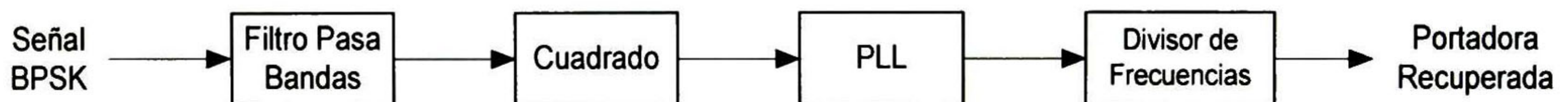


Fig. 3.11 Circuito Cerrado.

### 3.5.2 Circuito de Costas.

Este segundo método, produce los mismos resultados que el circuito cuadrado, sólo que este esquema emplea dos circuitos de rastreo paralelos (I y Q) simultáneos para derivar el producto de los componentes, I y Q, de la señal que maneja el VCO. El circuito en fase (I), emplea el VCO como en el PLL, y el circuito en cuadratura (Q), utiliza la señal del VCO desplazada 90°.

Una vez que la frecuencia del VCO es igual a la frecuencia de la portadora suprimida, el producto de las señales I y Q producirán un voltaje de error proporcional a cualquier error de fase en el VCO. El voltaje de error contra la fase y por consiguiente, la frecuencia del VCO. En el diagrama de la figura 3.12 se observan los bloques que componen al circuito de costas.

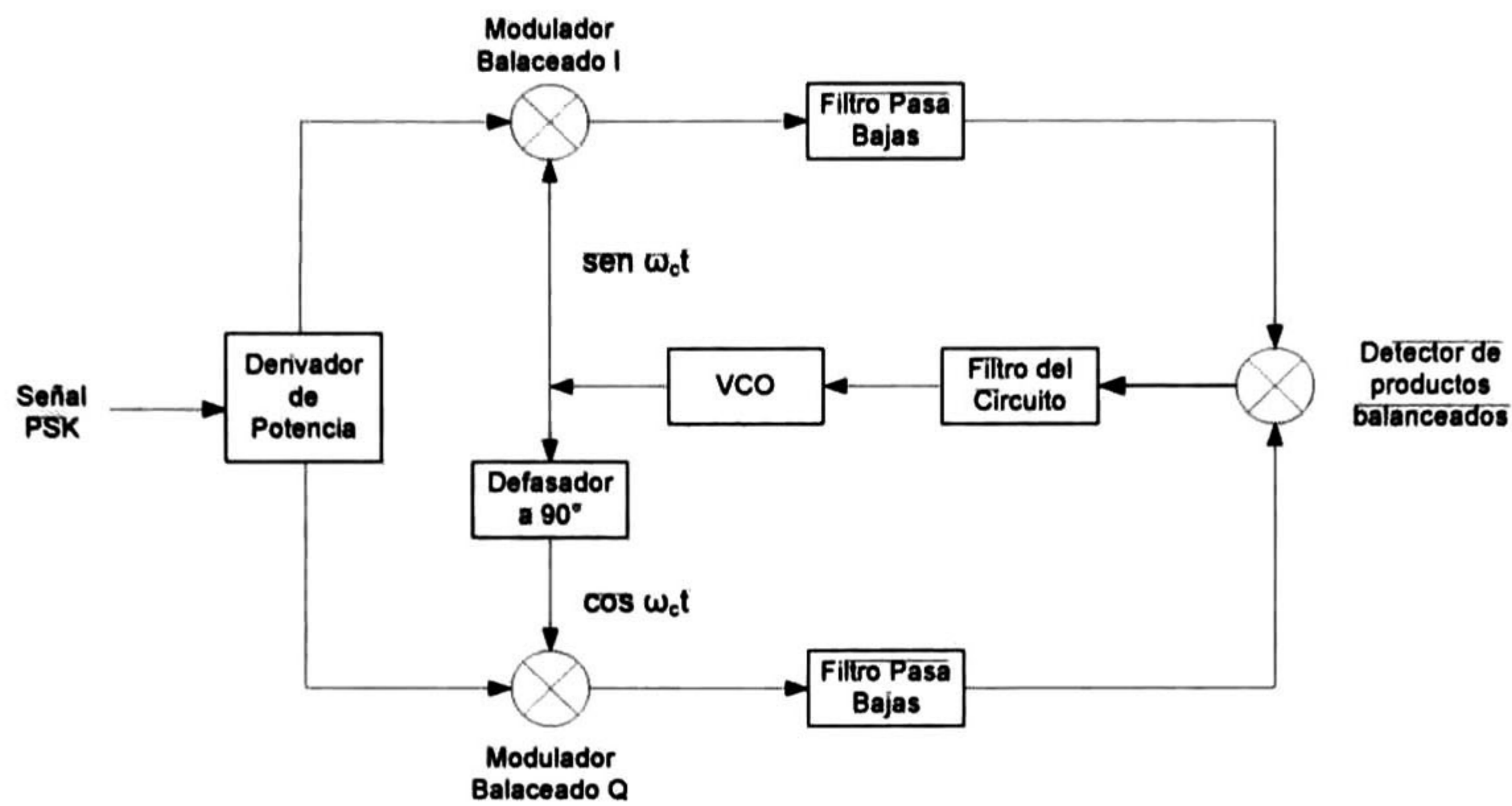


Fig. 3.12 Circuito de Costas

### 3.5.3 Remodulador.

El tercer método para lograr la recuperación de una portadora coherente de frecuencia y fase, es el remodulador, el cual se muestra en la figura 3.13. El remodulador produce un voltaje de error, el cual es proporcional al doble del error de fase, entre la señal que está entrando y la señal del VCO. Este tipo de circuitos posee un tiempo de adquisición más rápido que los circuitos de costas o cuadrados.

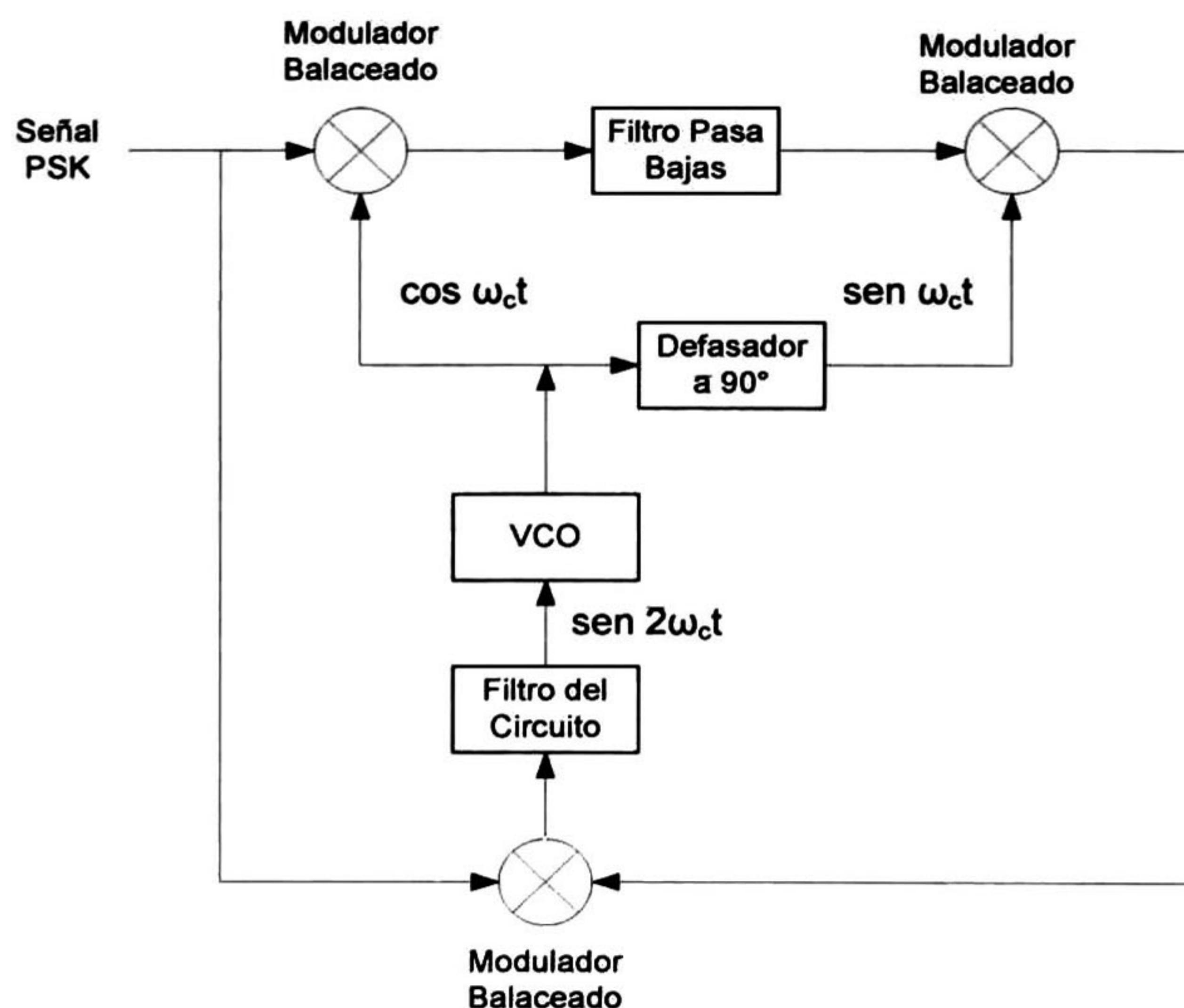


Fig. 3.13 Circuito Remodulador.

### 3.5.4 Recuperación del Reloj.

Como cualquier sistema digital, la radio digital requiere de sincronización de reloj entre los circuitos de transmisión y recepción. Debido a esto es necesario regenerar los relojes en el receptor que están sincronizados con los del transmisor. En la figura 3.14a, se muestra un circuito sencillo que puede ser empleado para recuperar la información del reloj de los datos recibidos. Los datos que se recuperan se pasan por un sistema que los retarda un 50% de tiempo de bit y después se compara con los datos originales en un circuito XOR. La frecuencia del reloj que se recupera con este método es igual a la tasa de datos recibidos. En la figura 3.14b, se muestra un diagrama de tiempo donde se puede ver la relación de los datos y la sincronización del reloj recuperado; de ahí mismo se puede ver que, mientras los datos recibidos contengan un número sustancial de transiciones (1 y 0) el reloj se mantendrá recuperado, pero si los datos experimentan un periodo extenso de unos o de ceros sucesivos, se perderá el reloj. Para evitar que esto suceda, los datos se codifican en el extremo de la transmisión y se decodifican en el extremo de la recepción. La codificación introduce transiciones en la señal binaria utilizando el algoritmo prescrito, y un decodificador utiliza este mismo algoritmo para quitar las transiciones.

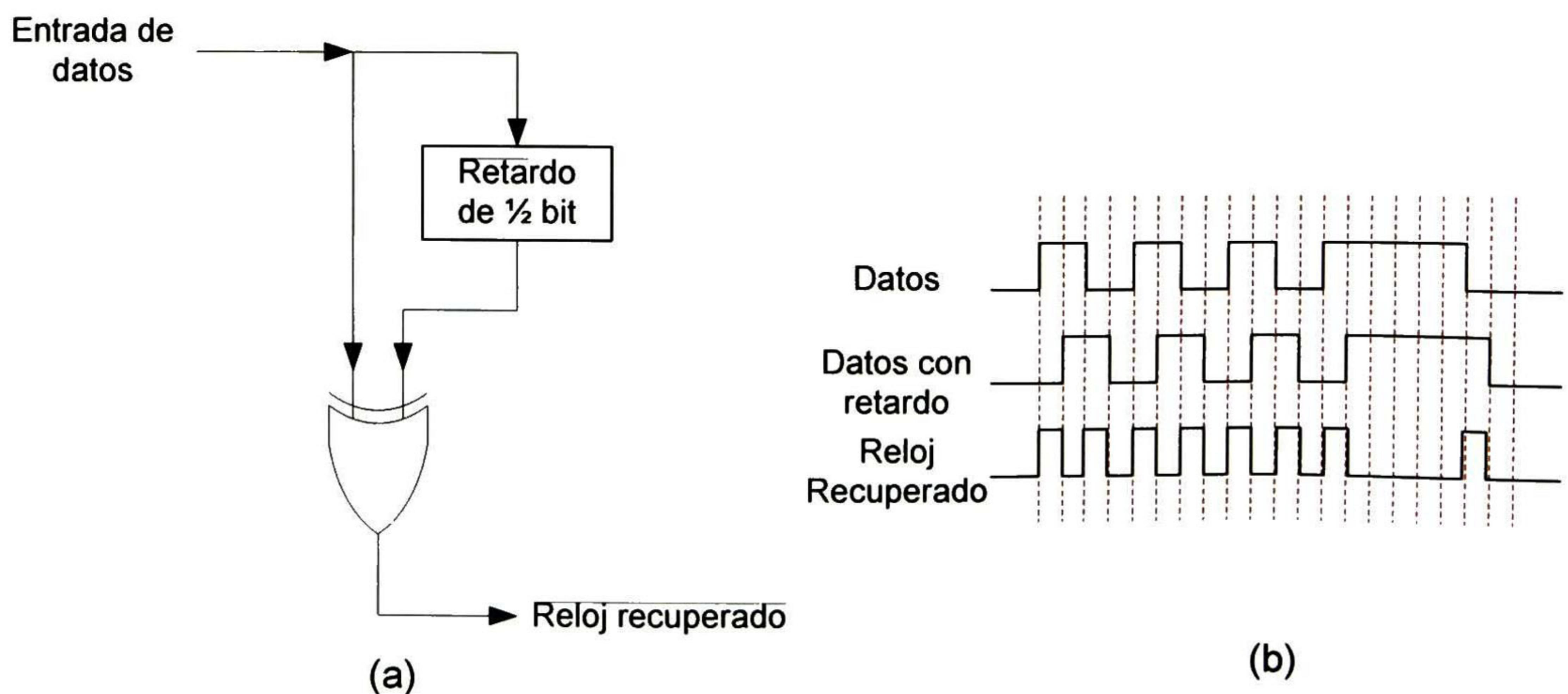
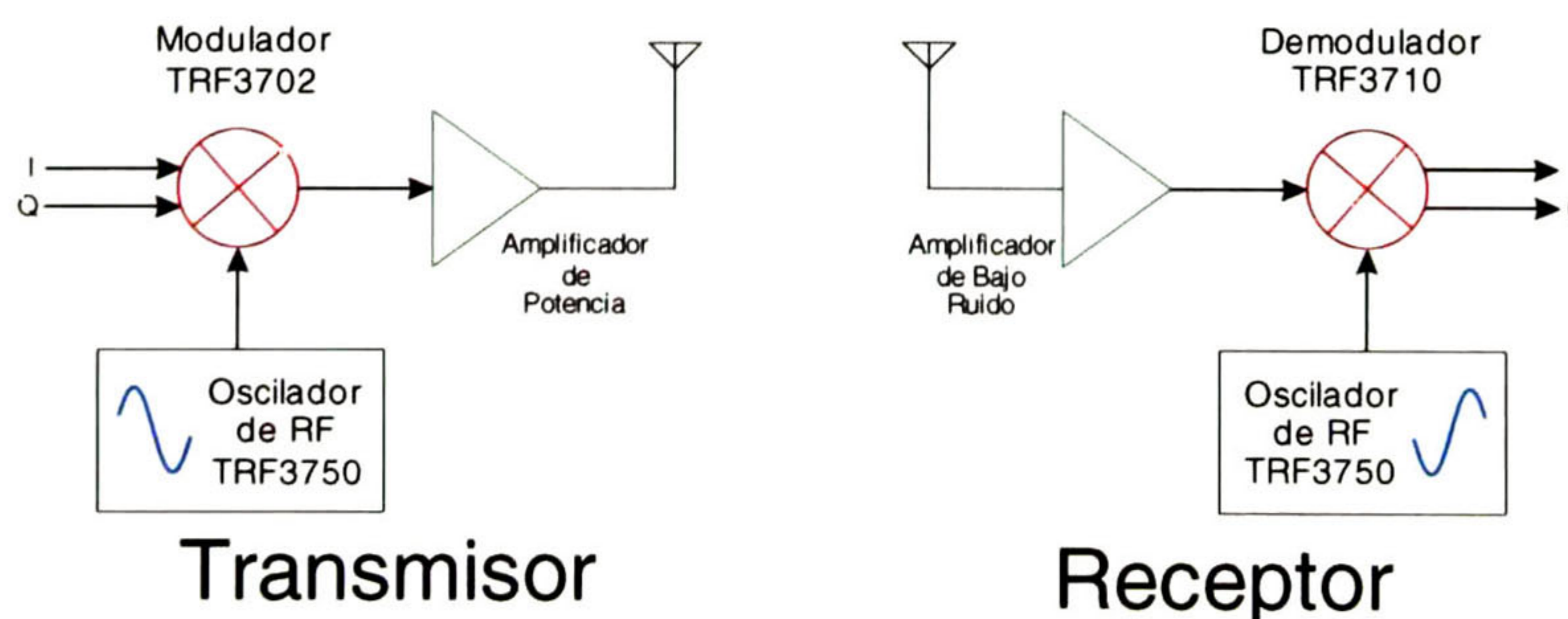


Fig. 3.14 (a) Circuito básico recuperador de reloj; (b) Diagrama de sincronización.

# Capítulo 4

## Arquitectura del Sistema de Comunicaciones

**E**n el capítulo anterior se repasaron las diferentes técnicas de modulación digital a nivel de bloques abstractos. El siguiente paso es sintetizarlos a una arquitectura física que soporte diferentes modulaciones. Para esta tarea apoyamos en la familia de circuitos integrados *TRF37xx* de Texas Instruments, la cual está dedicada al diseño del *front-end* analógico (ver figura 4.1) [4].



**Fig. 4.1** Arquitectura propuesta del front-end analógico.

Se describen los circuitos básicos que dan forma a cada bloque, realizando un estudio de las especificaciones y características que el fabricante de los dispositivos otorga y poder así realizar una integración de un sistema de comunicaciones a nivel esquemático, con todos los componentes necesarios para que el sistema sea funcional.

#### 4.1 Oscilador Local.

Es el sistema encargado de generar una señal sinusoidal pura a partir de una corriente directa; en el transmisor se emplea esta señal para generar la portadora, y en el receptor se emplea para suprimirla. Por lo que se requiere que sea estable en amplitud y fase [7].

El sistema fundamental para crear un oscilador es el circuito *tanque* o red LC el cual se puede ver en la figura 4.2. Cuando un pulso se aplica al circuito, éste generará una onda sinusoidal de frecuencia igual a la frecuencia de resonancia del circuito LC, calculada por la ecuación 4.1, con el inconveniente de que se atenuará debido a la disipación de potencia en la inductancia. Pero si ésta es amplificada por un dispositivo activo, como es un transistor, y este amplificador toma parte de la señal de su salida fuera de fase 180°, y la utiliza para retroalimentarse, se estará generando una oscilación constante, como lo muestra la figura 4.3.

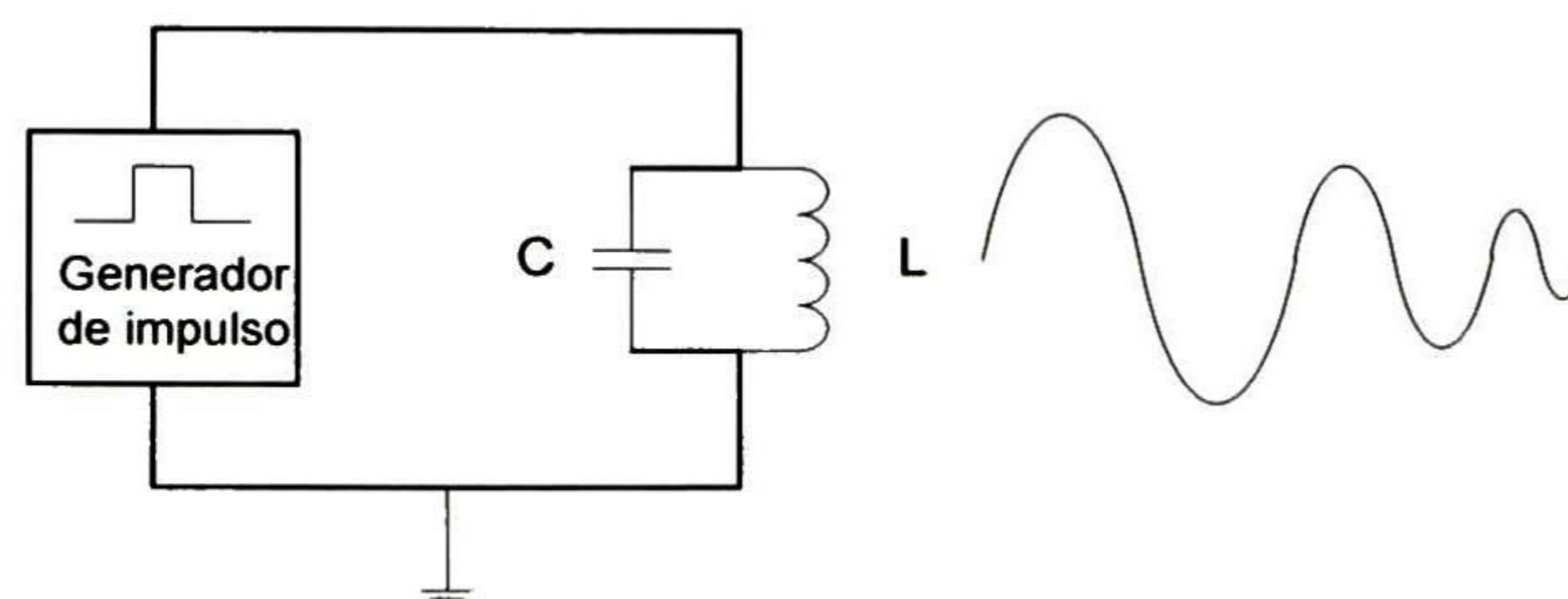
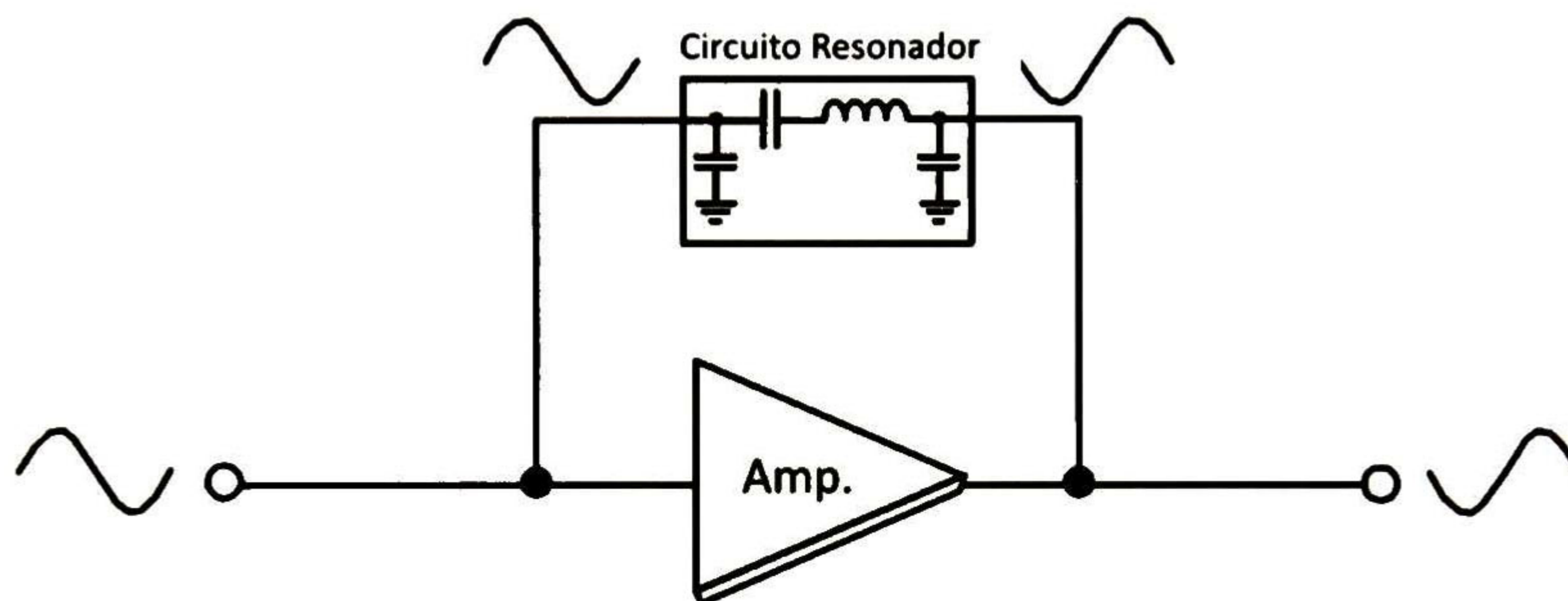


Fig. 4.2 Circuito tanque básico.

$$f_r = \frac{1}{2\pi\sqrt{LC}} \quad (4.1)$$

A partir de las diferentes posiciones en las que se puede colocar el circuito tanque y la forma de la retroalimentación que posea el amplificador, se generan los diferentes osciladores activos como son oscilador Hartley, Colpitts y Clapp.



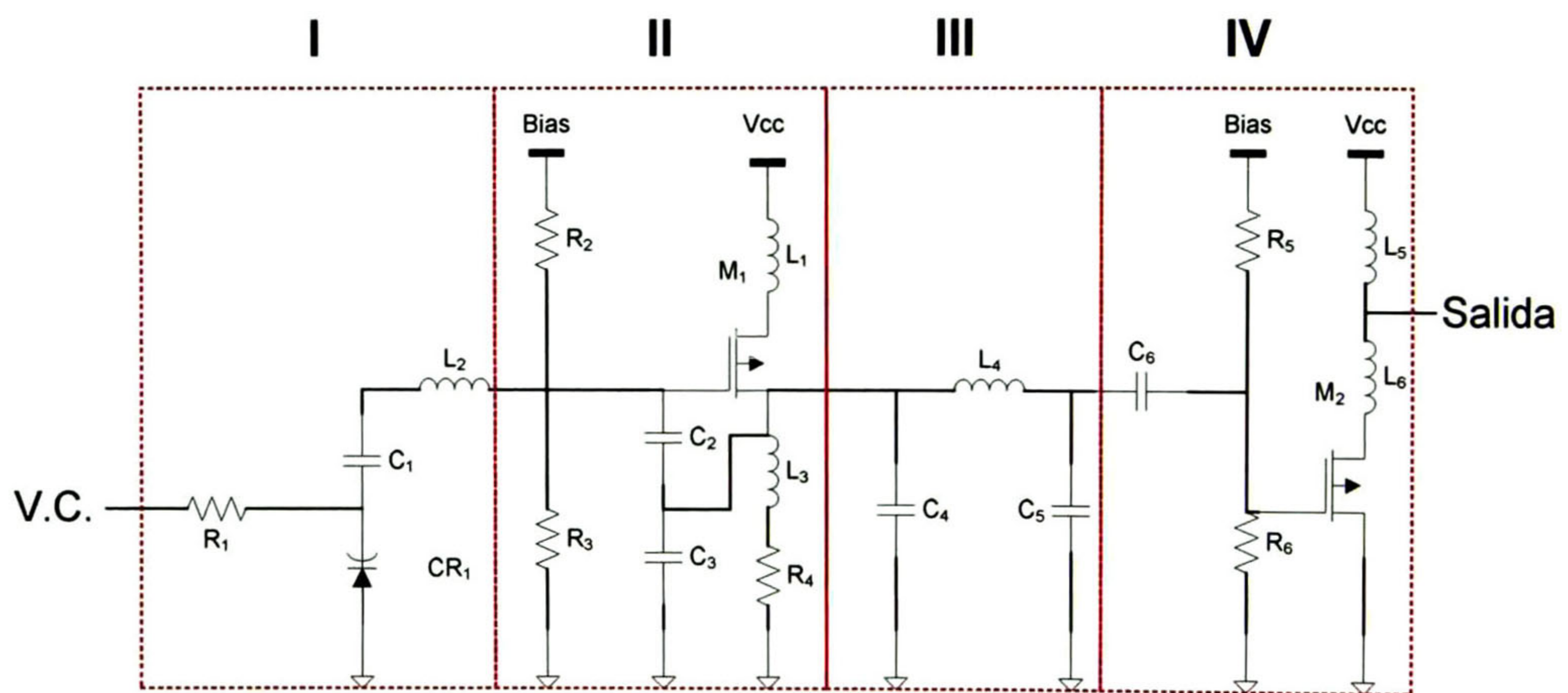
**Fig. 4.3** Etapa de retroalimentación de un oscilador activo.

Estos osciladores al igual que los pasivos, como los que están basados en cristal de cuarzo, se diseñan para una frecuencia fija, pero en aplicaciones de telecomunicaciones en donde se requiere hacer cambios de frecuencia constante o realizar ajustes en la portadora para evitar de sincronía, se emplea el oscilador controlados por voltaje (VCO).

#### 4.1.1 Oscilador controlado por voltaje (VCO).

El VCO es en realidad un oscilador activo con una variación en la parte del circuito tanque, el cual permite controlar la frecuencia de salida a partir de un nivel de voltaje de corriente directa. Un ejemplo de esto, se puede apreciar en la figura 4.4, donde se

muestra un VCO con la configuración Clapp [5]; permitiéndonos visualizar las cuatro partes que lo componen. La sección I del circuito corresponde a la primera parte del circuito tanque  $C_1$ ,  $R_1$ ,  $L_2$  y  $CR_1$ , en donde  $CR_1$  es un diodo varactor y es el corazón del sistema, ya que al variar el voltaje de control (V.C.) se modifica el valor de su capacitancia y así la frecuencia de resonancia. En la sección II, se tiene la segunda parte del circuito tanque que corresponde  $C_2$  y  $C_3$ , además de la parte activa del VCO correspondiente a  $M_1$ .



**Fig. 4.4** Circuito básico de un VCO configuración clapp.

La sección III, es sólo una red de acoplamiento de impedancias, para proporcionar una máxima transferencia de potencia a la sección IV que es un buffer, el cual tiene la responsabilidad de dar una amplitud constante a la señal de salida generada, dentro de todo el rango de frecuencias en las que el oscilador opera.

#### 4.1.2 Lazo de amarre de fase (PLL).

Para tener un control estable sobre la síntesis de frecuencia que es generada por el VCO, es necesario visualizarlo como parte de un sistema mayor, el cual se presenta en la



figura 4.5. En donde el papel que juega el circuito de *lazo de amarre de fase* o PLL es presentado.

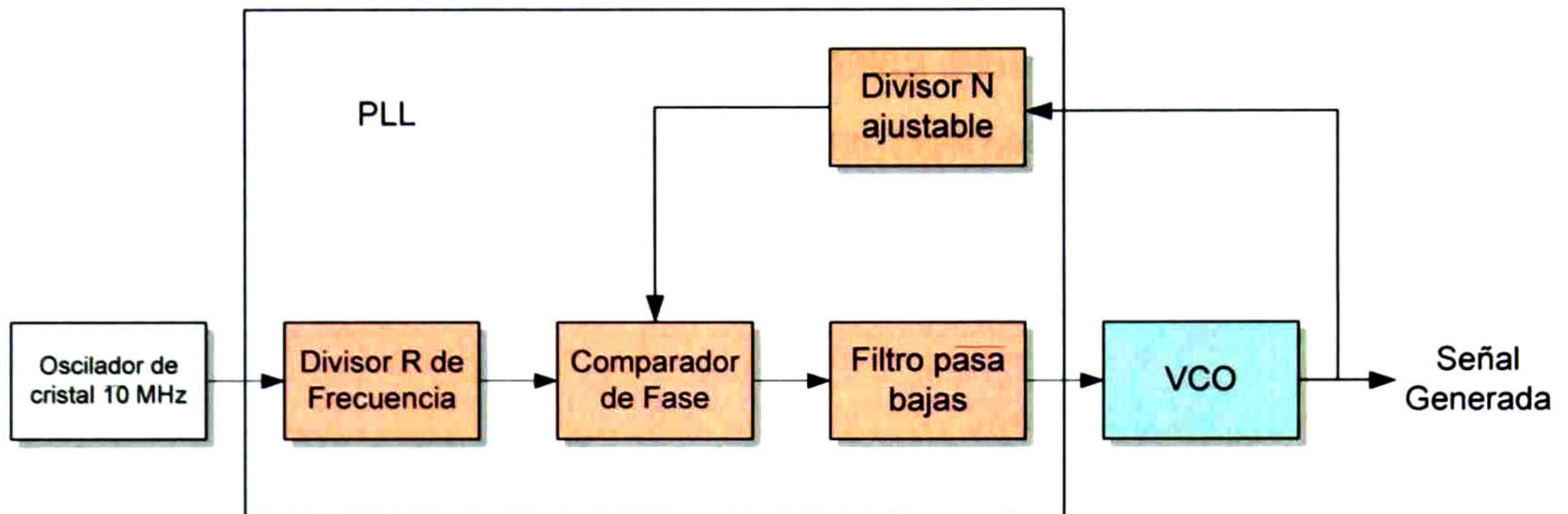


Fig. 4.5 Diagrama a bloques de un sintetizador de frecuencia.

El oscilador de cristal de baja frecuencia, alimenta de una señal estable al divisor R, la señal que sale del divisor R debe de ser de la misma frecuencia que la señal que sale del divisor N, ambas señales son inyectadas al comparador de fase. A la par de esto, el divisor N recibe la señal de entrada de la salida del VCO. La salida del comparador es una señal de corriente directa el cual es conocido como voltaje de error, este voltaje es filtrado para eliminar cualquier perturbación en AC a la entrada del VCO empleado un filtro pasa bajas, el cual también tiene la función de dar estabilidad al sistema y tener un ajuste preciso de la frecuencia sintetizada. De esta manera el VCO genera una frecuencia controlable y estable dependiendo del oscilador de referencia.

El PLL que se describió anteriormente es de tipo *integer-N*, debido a que la frecuencia de salida siempre es un múltiplo exacto de la frecuencia del oscilador de referencia, en otras palabras, el PLL multiplica la frecuencia de referencia por el valor que se le asigna dentro de un divisor de frecuencia programable y, como consecuencia, genera una frecuencia estable por medio del VCO.

#### 4.1.2.1 Selección de componentes en el oscilador.

Conociendo la estructura que se tiene en un sintetizador de frecuencia así como su funcionamiento teórico, y teniendo en cuenta que el *TRF3750*<sup>7</sup> es el circuito integrado que se tiene como corazón del oscilador local, el cual es un *integer-N PLL* que garantiza su operación hasta los 2.4 GHz, se procede al diseño a nivel esquemático con este componente basándonos en los requerimientos del fabricante, así como en el diagrama de la figura 4.4.

Dentro de las recomendaciones del fabricante, sugiere para el oscilador de referencia el empleo de un oscilador de cristal controlado por temperatura (TCXO), los cuales brindan mayor estabilidad al someterse a cambios de temperatura, debido a un termistor que genera un voltaje de corrección en un diodo varactor que sirve para evitar la desviación del oscilador; en comparación con los osciladores comunes de cristal que tienen una desviación de aproximadamente  $\pm 25$  pulsos por millón en un rango de temperaturas de 25°C a 70°C, los TCXO tan sólo suelen poseer una desviación de  $\pm 1$  pulso por millón en el mismo rango de temperaturas. Debido a esto se escogió el *FOX924B-10*<sup>8</sup> como el oscilador de referencia.

Otro elemento a seleccionar para el sistema es el VCO, el cual es necesario que cumpla con las características de rango de frecuencia de operación, voltaje de alimentación e impedancia de salida igual a 50  $\Omega$ . El *CVCO55BE 1690-2062*<sup>9</sup> es el VCO que se incorporó al diseño por cumplir con esos requisitos con una frecuencia de operación de 1690 MHz a 2062 MHz.

---

<sup>7</sup> En el apéndice A.1, se anexa la hoja de datos original de Texas Instruments.

<sup>8</sup> En el apéndice A.2, se anexa la hoja de datos original de Fox Electronics.

<sup>9</sup> En el apéndice A.3, se anexa la hoja de datos original de Crystek Corporation.

### 4.1.3 Filtro de lazo.

Al revisar la hoja de datos del PLL, salta a la vista la necesidad de implementar la sección correspondiente al filtro pasa bajas, conocido en la literatura como filtro de lazo. En diseño del filtro de lazo se debe de seguir varios lineamientos, como sugerir el empleo de capacitores de película delgada y no de cerámica debido a la naturaleza piezoeléctrica de estos, los cuales pueden generar ruido e inestabilizar el control de VCO, además de emplear una topología ya establecida como se muestra en la figura 4.6.

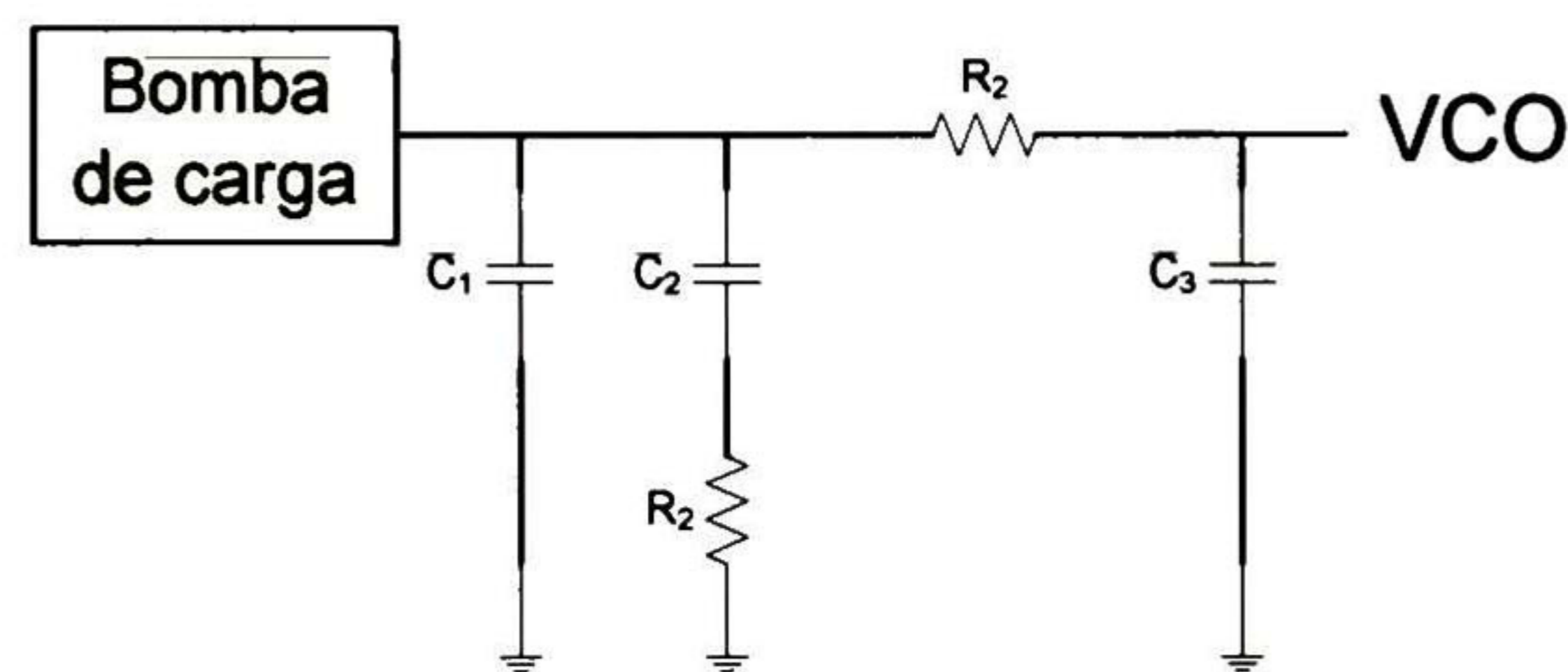


Fig. 4.6 Topología del filtro de lazo o pasa bajas de tercer orden.

La señal que sale del comparador de fase, cruza por una bomba de carga el cual permite elevar el voltaje al nivel que el VCO lo requiere, además de suministrar la corriente necesaria, evitando el uso de amplificadores operaciones que pueden ser vulnerables al ruido, de este modo sólo se requiere diseñar un filtro de lazo, por lo que se debe de tener en cuenta los siguientes factores: el orden del filtro, margen de fase, el ancho de banda del lazo.

A continuación se presenta una técnica empleada para el diseño del filtro de lazo para PLL con bomba de carga [2], esta técnica propone un conjunto de ecuaciones simples que permiten determinar los valores de los componentes pasivos de la topología de la figura 4.6, a partir de los datos técnicos de PLL. En donde se tienen que calcular tres constantes de tiempo  $T_1$ ,  $T_2$  y  $T_3$ , a partir de las ecuaciones 4.2 a 4.4.

$$T_1 = \frac{\left(\frac{1}{\cos(\varphi)}\right) - \tan(\varphi)}{\omega_c \left(\frac{T_3/T_1}{100} + 1\right)} \quad (4.2)$$

$$T_3 = \left(\frac{T_3/T_1}{100}\right) T_1 \quad (4.3)$$

$$T_2 = \frac{1}{\omega_c^2 \cdot (T_1 + T_3)} \quad (4.4)$$

donde  $\omega_c$  corresponde a la frecuencia angular del ancho de banda del lazo, este ancho de banda debe de ser lo más angosto posible para así disminuir el ruido; normalmente este valor oscila entre 1 y 20 kHz; los fabricantes recomiendan emplear 2kHz.

Otra constante en las ecuaciones es  $T_3/T_1$ , la cual corresponde a la relación de los polos del filtro declarada como un porcentaje, el valor ideal que puede tomar es 100%, pero en la práctica y para consideraciones de diseño normalmente se escoge 45 a 60%.

El margen de fase ( $\varphi$ ) relaciona la estabilidad de un sistema, este parámetro es típicamente seleccionado entre 40 y 55 grados; las simulaciones muestran que una margen de fase alrededor de 48° proporciona una respuesta optima del sistema, por lo que para diseños con errores mínimos se recomienda usar 50° a fin de redondear el valor de margen de fase.

Con las constantes de tiempo ya obtenidas, se procede ahora a determinar los valores del filtro de lazo ( $C_1$ ,  $C_2$ ,  $C_3$ ,  $R_2$  y  $R_3$ ) empleando las siguientes ecuaciones [6]:

$$N = \frac{f_{out}}{f_N} \quad (4.5)$$

$$C_1 = \frac{T_1}{T_2} \cdot \frac{K\varphi \cdot K_{VCO}}{\omega_c^2 \cdot N} \cdot \left[ \frac{1 + \omega_c^2 \cdot T_2^2}{(1 + \omega_c^2 \cdot T_1^2)(1 + \omega_c^2 \cdot T_3^2)} \right]^{1/2} \quad (4.6)$$

$$C_2 = C_1 \left( \frac{T_2}{T_1} - 1 \right) \quad (4.7)$$

$$C_3 = \frac{C_1}{10} \quad (4.8)$$

$$R_2 = \frac{T_2}{C_2} \quad (4.9)$$

$$R_3 = \frac{T_3}{C_3} \quad (4.10)$$

donde K corresponde a la ganancia de la bomba de carga del PLL el cual está medido en mA/2π; K<sub>VCO</sub> es la sensibilidad del VCO cuyas unidades se dan en MHz/V; por último f<sub>out</sub> es la frecuencia de salida del VCO y f<sub>n</sub> corresponde a la frecuencia de salida del divisor N del PLL.

En la tabla I se muestran los valores obtenidos de los componentes pasivos para nuestro diseño. Estos valores son los más próximos a los comerciales.

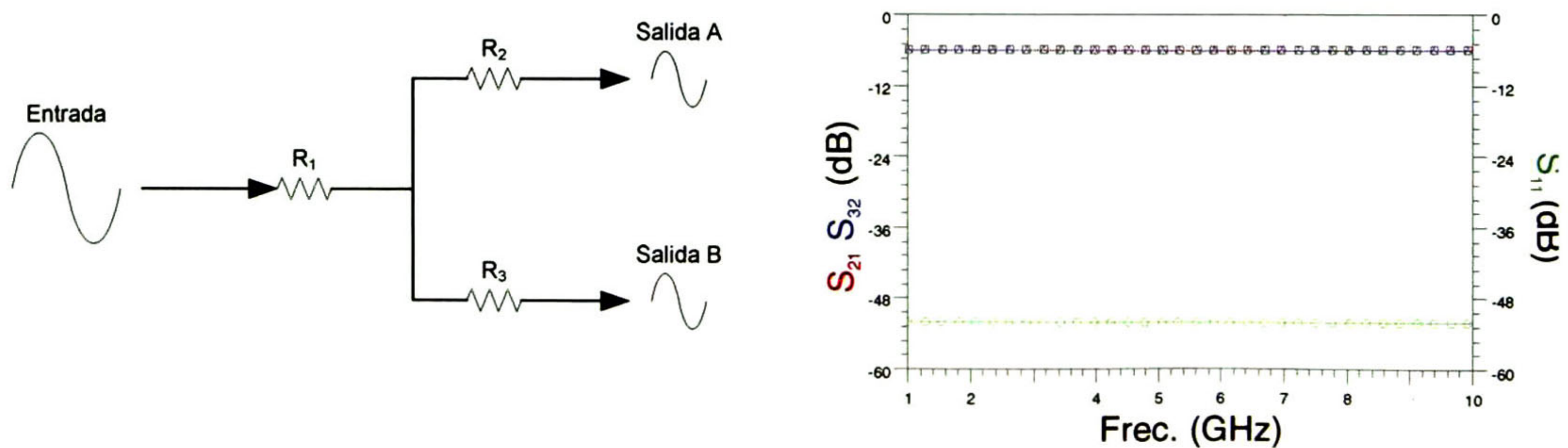
**Tabla I** Valores del filtro de lazo para el oscilador local.

Componente	Valor
C <sub>1</sub>	1 nF
C <sub>2</sub>	10 nF
C <sub>3</sub>	82 pF
R <sub>2</sub>	3.9 kΩ
R <sub>3</sub>	20 kΩ

#### 4.1.4 Divisor de señal.

Otro de los circuitos que es necesario diseñar, corresponde a un divisor de señal que se localiza a la salida del VCO, el cual nos permita tener dos señales, una de retroalimentación al PLL y por otro lado sirva para suministrar de señal a los demás circuitos; sobre todo que no genere un desfaseamiento con respecto a la entrada. Para lograr esto, existe un circuito resistivo sencillo que además permite tener un acoplamiento a la impedancia del sistema además de tener pérdidas por inserción y asilamiento entre los puertos alrededor de 6 y 7 dB respectivamente, en un rango amplio de frecuencias. En la figura 4.7 se muestra la topología empleada y su respuesta en frecuencia. El valor de las resistencias es calculada con la ecuación 4.11.

$$R_x = \frac{Z_0}{3} \quad (4.11)$$



**Fig. 4.7** Divisor Resistivo: (a) esquemático; (b) respuesta a la frecuencia.

En nuestro sistema, la impedancia normalizada es de  $50 \Omega$ , los valores resistivos de nuestro sistema es de  $16.66 \Omega$ ; y para casos prácticos se emplean resistencias de  $16.5 \Omega$ .

#### 4.1.5 Implementación completa del oscilador local.

Ahora que ya se tienen entendidas cada una de las partes del sistema que conforman al oscilador local, se realiza el diagrama esquemático en donde se conjunta todas las partes que lo componen. Este diagrama electrónico se presenta en la figura 4.8. En el cual se pueden hacer las siguientes aclaraciones:

El pin 1 del TRF3750, corresponde a una resistencia externa, la cual tiene la función de regular la corriente de la bomba de carga, si colocamos una resistencia de 4.7 k $\Omega$  obtendremos el máximo valor de corriente en la bomba de carga que es aproximadamente 5 mA.

El pin 5 corresponde a la entrada complementaria del VCO, debido a que no la usamos, le colocamos un capacitor a tierra con un valor de 100 pF; la programación de este circuito es empleando el protocolo SPI por medio de los pines 11, 12 y 13 los cuales corresponden a *clock*, *data* y *load enable* respectivamente, mientras que la función del pin 10 es la de habilitar el circuito cuando se coloca a VCC.

Por último, en el pin 14 se coloca un diodo led el cual nos indicará cuando la el PLL esté amarrando a la frecuencia que se le programó.

En la fuente de alimentación aparecen los capacitores de carga, que por lo general son del orden de los 10  $\mu$ F. Dichos capacitores son para suministrar corriente constante al dispositivo a pesar de las variaciones de voltaje.

Por otro lado, se emplean capacitores de desacoplo en la parte de RF los cuales se localizan cercanos a los pines de los circuitos integrados con valores de 100 pF, evitando que se mezcle una señal de corriente directa con la señal de RF

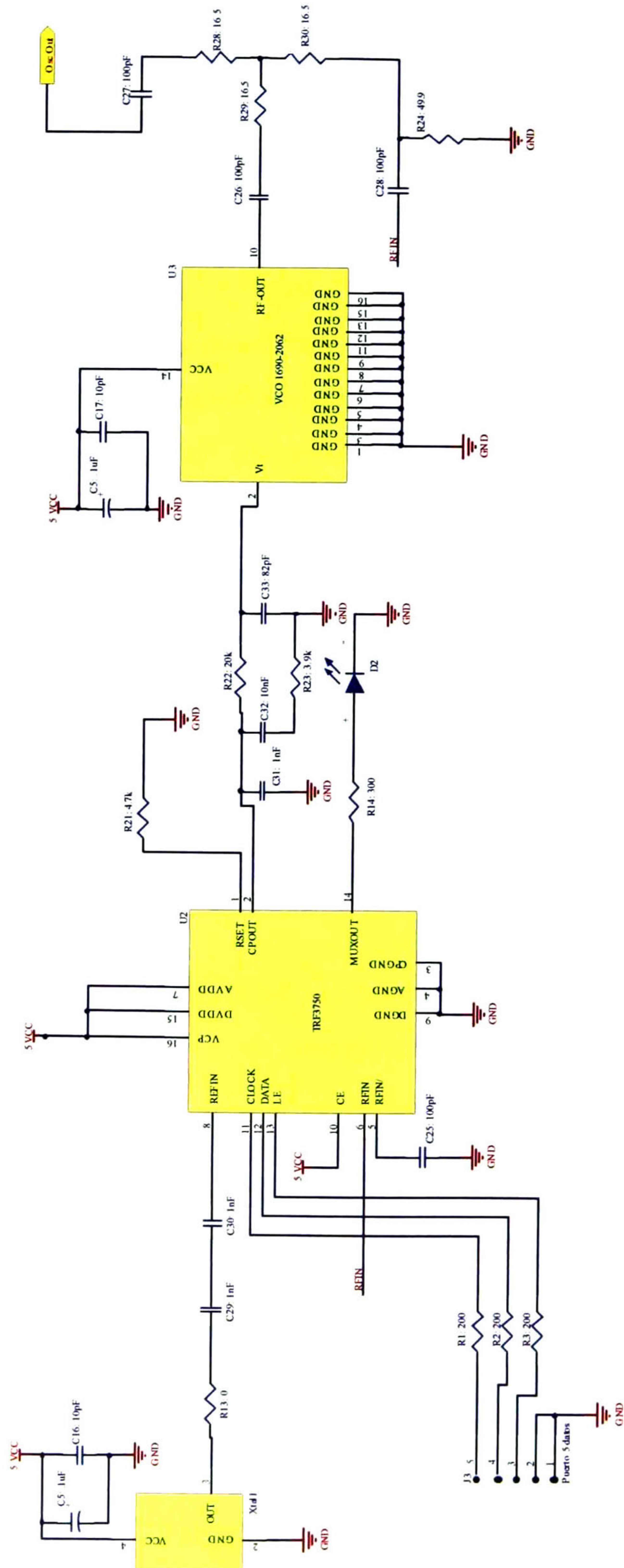


Fig. 4.8 Diagrama esquemático del oscilador local.



## 4.2 Multiplicador de frecuencias.

Actualmente la modulación y demodulación por cuadratura (I/Q) son las técnicas más populares para la transmisión de datos digitales empleando señales análogas; y los bloques básicos que permiten aplicar estas técnicas, descritos en el capítulo anterior, ya que se encuentran encapsulados en un circuito integrado comercial.

Uno de estos bloques que merece nuestra atención es el multiplicador de frecuencias, ya que en tanto para la transmisión como la recepción es empleado. Además de marcar los límites que nuestra transmisión como es el rango dinámico en frecuencia de la portadora y potencia; por otro lado también nos restringe en las señales de banda base tanto en frecuencia como en amplitud. El circuito multiplicador más empleado es la *Celda de Gilbert*. En la figura 4.9, se muestra este circuito empleando mosfets [5].

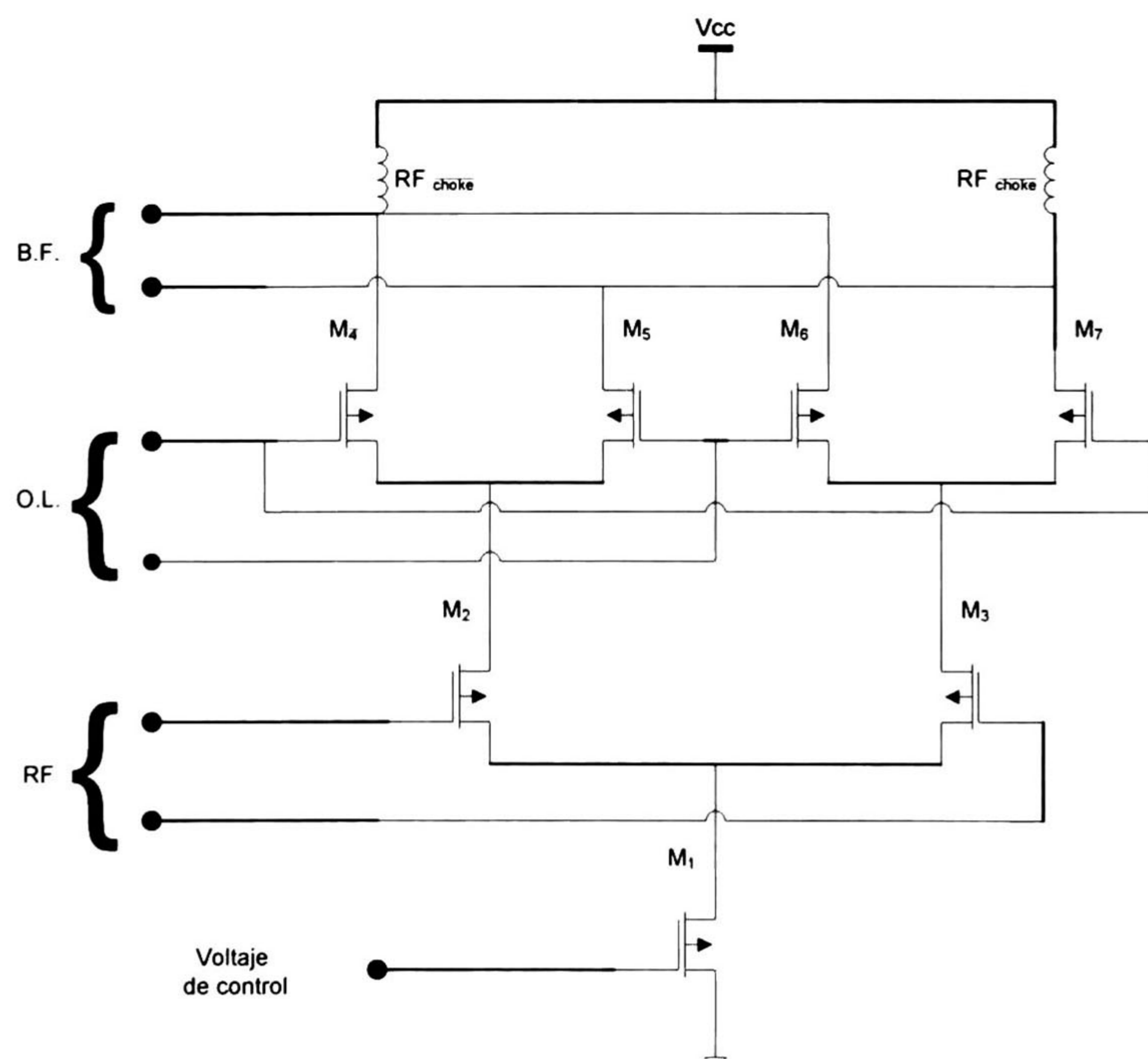


Fig. 4.9 Celda de Gilbert.

Los elementos básicos de esta celda son dos pares diferenciales en la parte superior conformado por  $M_4$ ,  $M_5$ ,  $M_6$  y  $M_7$ , por donde fluye la señal de baja frecuencia a través del drenador; al mismo tiempo en la compuerta de los transistores entra la señal que proviene del oscilador local. Por otro lado, en la parte media, un par diferencial formado por  $M_2$  y  $M_3$  circula la señal de RF. Y la función de  $M_1$  es de generar una fuente de corriente que se regula por un voltaje en su compuerta.

Todas las señales que entran y salen de esta celda están en pares diferenciales, con el propósito de eliminar las no linealidades que pudieran entrar al circuito cancelándolas entre sí, además de tener la capacidad de rechazar las componentes en modo común.

Los parámetros que hay que tener en cuenta al seleccionar un CI que posea una celda de Gilbert son tanto la figura de ruido y la ganancia de conversión. El primero nos indica cuanto ruido térmico genera el circuito dependiendo de la señal de entrada, mientras que el otro parámetro nos indica como varía la potencia de una señal a la salida del mezclador con respecto a la entrada debido al efecto de traslación de frecuencias que ésta sufre.

### *4.3 Modulador.*

Como hemos revisado, la parte de transmisión se enfoca en multiplicar o mezclar dos señales, una proviene del oscilador local la cual es la portadora mientras que la otra es la información digital envuelta en una señal analógica. En nuestro caso, el corazón de nuestro transmisor es el *TRF3702*<sup>10</sup>, el cual es un modulador en cuadratura el cual opera en un rango de 1.5 a 2.5 GHz de muy bajo ruido, y es capaz de convertir entradas

---

<sup>10</sup> En el apéndice A.4, se anexa la hoja de datos original de Texas Instruments.

complejas de banda base directamente en RF. Además, elimina la necesidad de emplear balun externo para la señal del oscilador local, debido a que internamente realiza la conversión de una señal de modo común a par diferencial. En la figura 4.10, se muestra el bloque interno que posee el TRF3210.

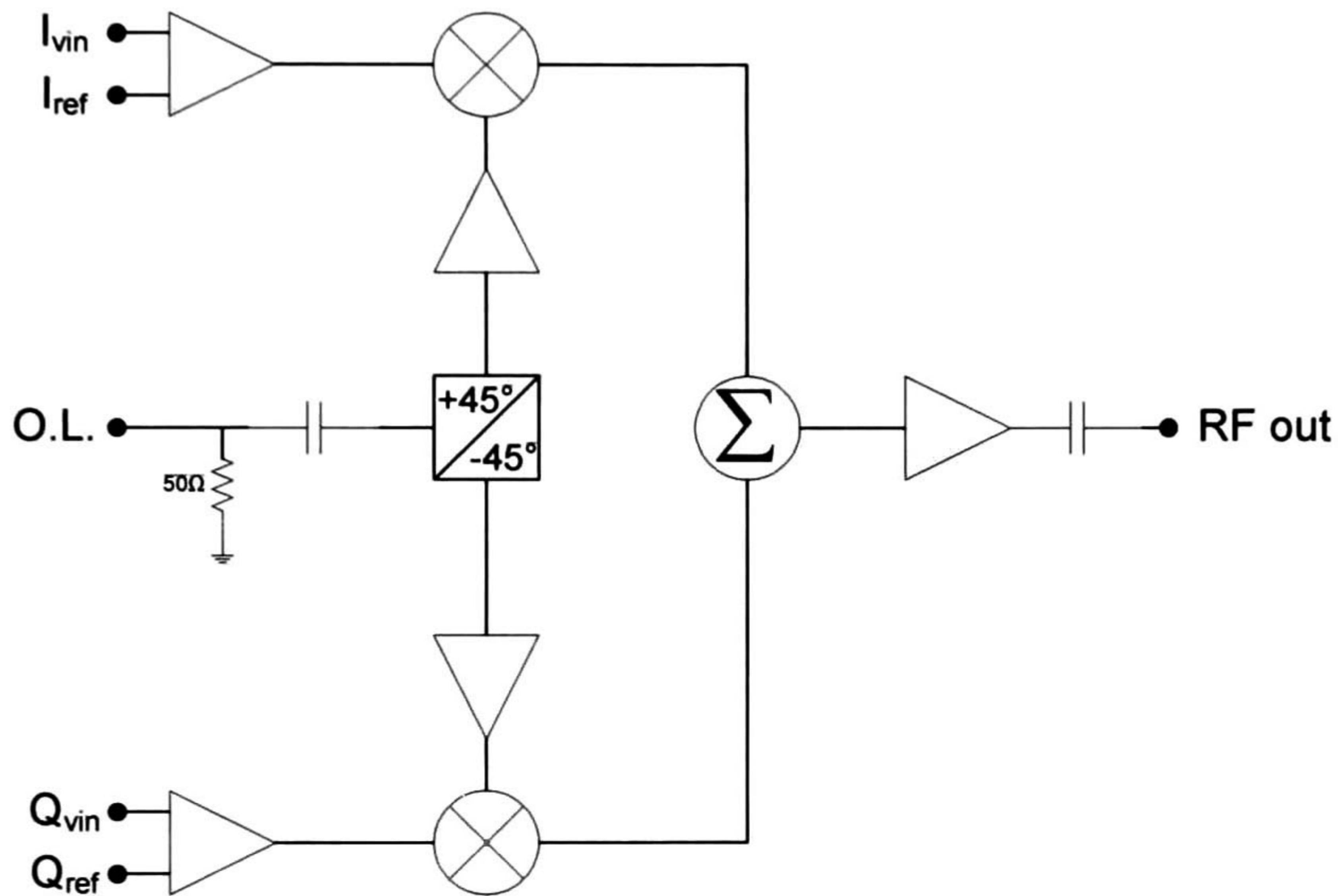


Fig. 4.10 Diagrama interno del TRF3702.

De la figura anterior podemos observar dos características importantes (que se tienen que tomar en cuenta para diseñar el transmisor). La primera es relacionada a las señales de fase y cuadratura (I/Q) que admite el circuito; éstas pueden ser en modo común o diferencial, por lo que es necesario emplear un circuito de acondicionamiento de señal. La segunda característica está relacionada con un acoplamiento de impedancias tanto a la entrada del oscilador local como a la salida del RF.

### 4.3.1 Acoplamiento de Impedancias.

Uno de los principales objetivos que se buscan al realizar un diseño en circuitos de RF y microondas, es conseguir la máxima transferencia de potencia cuando existe la necesidad de transferir una señal entre dos equipos, o un equipo y una carga, con el propósito de pasar información entre ellos. Una de las técnicas empleadas es el acoplamiento de impedancias.

Acoplar impedancias significa lograr que la impedancia de salida de la fuente y la impedancia de entrada a la carga sean "iguales"; esto se logra a través de una red de acoplamiento, la cual provoca que la carga "vea" una impedancia hacia la fuente como el complejo conjugado de ella misma. Estas redes de acoplamiento pueden ser diseñadas empleando elementos concentrados, como inductores y capacitores. El acoplamiento también previene de daños en el equipo ya que disminuye asimismo las reflexiones. Cuando dichas reflexiones son grandes éstas regresan a la fuente causando daños [8].

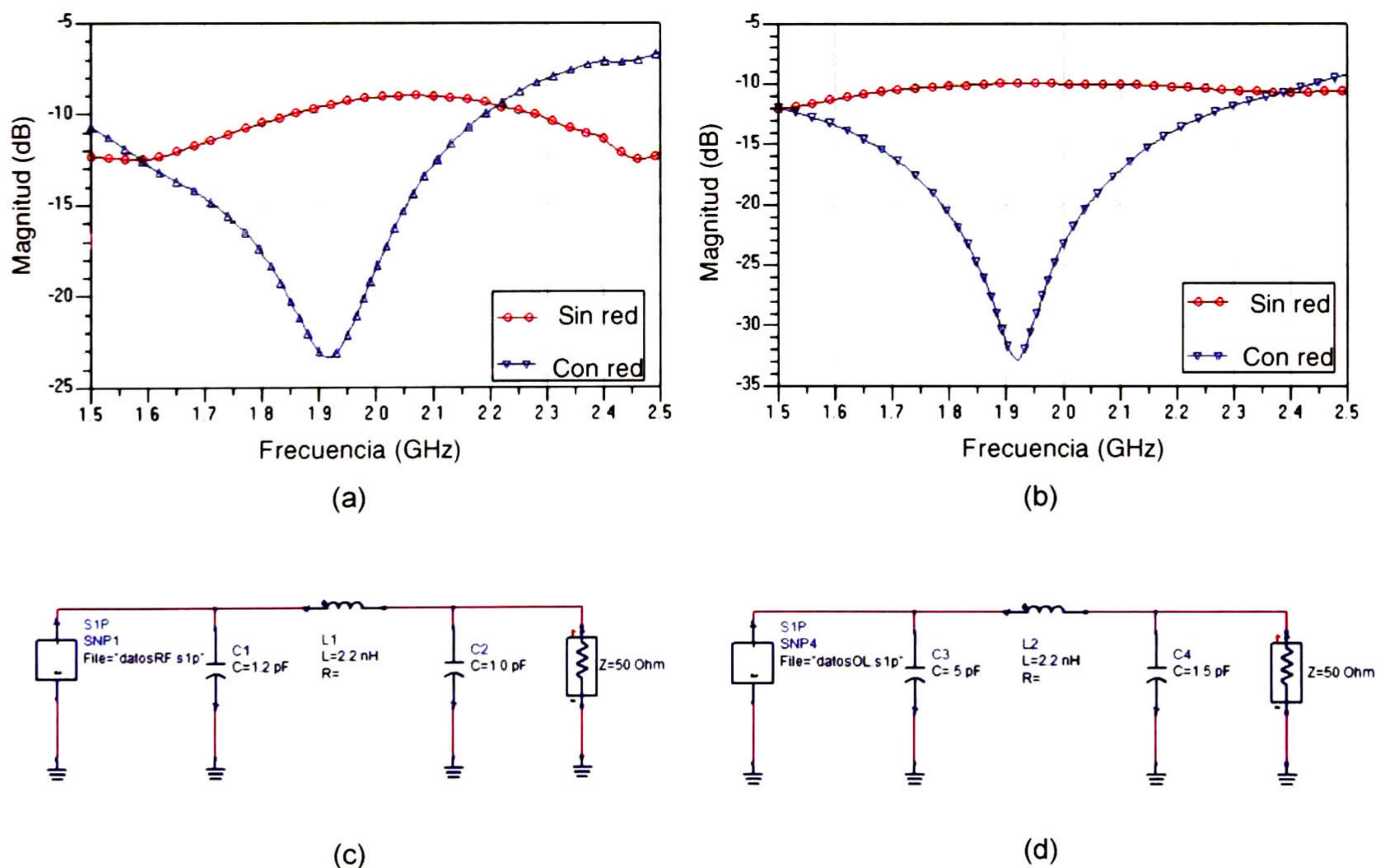
En nuestro caso el fabricante entrega una tabla con los valores de impedancia que presenta el circuito a diferentes frecuencias para la entrada del oscilador local y la salida de RF (Ver Tabla II).

**Tabla II** Impedancias del circuito TRF3702.

Frecuencia (MHz)	Impedancia O.L.	Impedancia RF
1500	$31.7 - j8.8$	$31 - j4.7$
1600	$29.3 - j6.2$	$30.9 - j0.3$
1700	$27.3 - j3.1$	$29.3 + j3.1$
1800	$26.5 - j0.17$	$27.9 + j7.2$
1900	$26.1 + j2.7$	$27.6 + j13$
2000	$26.5 + j5.4$	$29.4 + j19.8$
2100	$27 + j7.6$	$34.6 + j27.2$
2200	$28 + j9.5$	$44.2 + j33$
2300	$29 + j10.6$	$60 + j33.6$
2400	$29.5 + j11$	$78 + j21$
2500	$29.8 + j12.2$	$82 - j5.8$

Utilizando ADS se determinaron los valores óptimos y comerciales que pueden ser empleados en el diseño de la red LC capaz de dar un acoplamiento en la banda de frecuencias de interés (1700 a 2000 MHz). Se ingresan los valores de la tabla II en ADS y se grafican los parámetros de  $S_{11}$ , y a partir de una topología ideal LC se localizan los valores óptimos que debe de tomar los componentes para que las reflexiones sean lo menor posible en la banda de frecuencias de interés.

En la figura 4.11, observamos las graficas (a) y (b) las cuales presentan el comportamiento de las pérdidas por regreso tanto para la entrada del oscilador local como la salida de RF con la red de acoplamiento y sin ella mostrándonos un cambio significativo. Los circuitos (c) y (d) se muestra la topología y los valores de los componentes que se emplearon para realizar las redes.



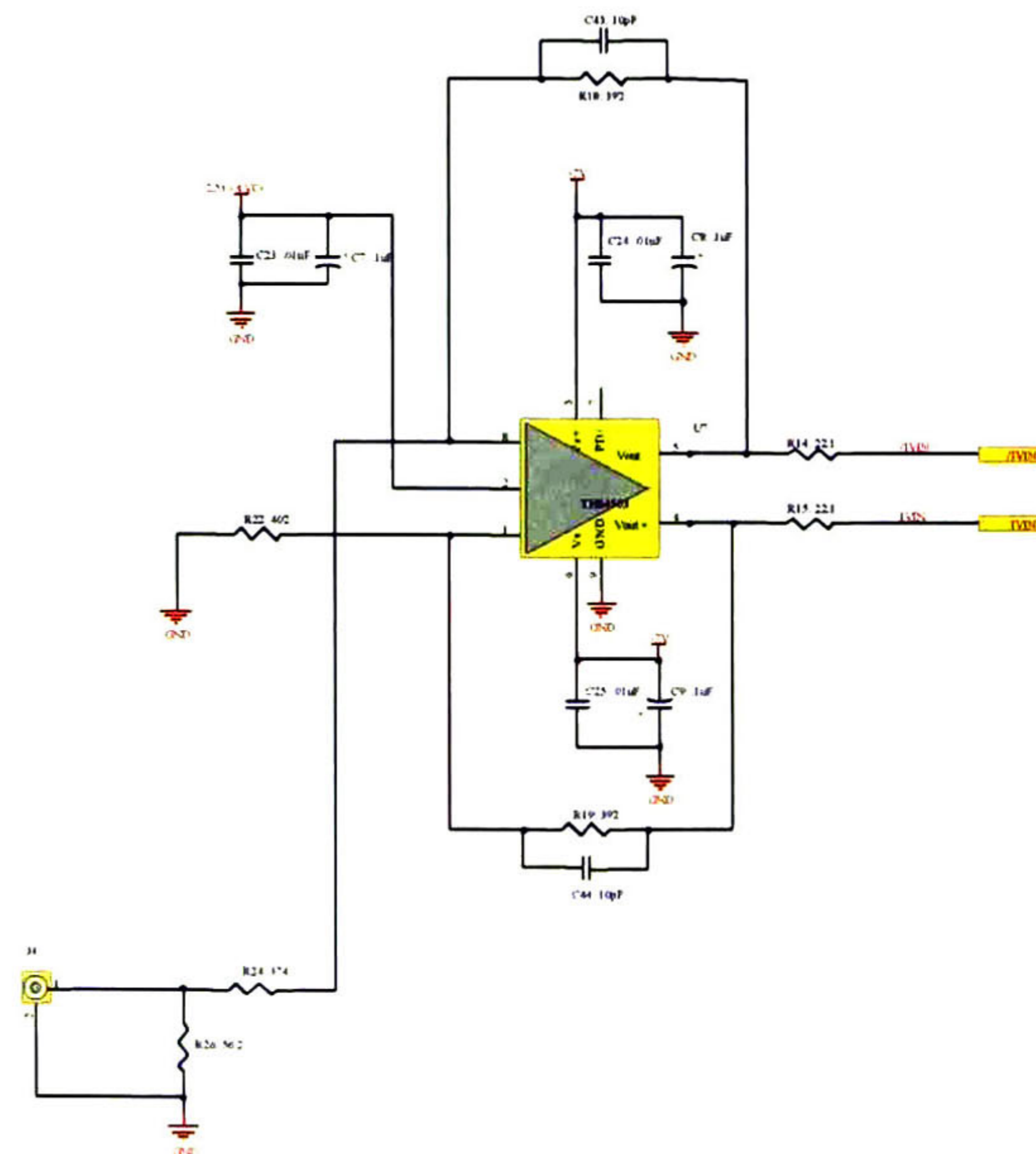
**Fig. 4.11** Perdidas por reflexión con y sin red de acoplamiento: (a) salida de RF; (b) entrada del O.L.

Valores óptimos de las redes de acoplamiento: (c) salida de RF; (d) entrada del O.L.

### 4.3.2 Acondicionamiento de señales.

El TRF3702 tiene la capacidad de manejar las señales de entrada de banda base (I/Q). Pueden ser de manera complementaria o simple agregando también un control del offset en DC para compensar el nivel de la señal; la configuración óptima depende de las necesidades finales de la aplicación. En nuestro sistema se proveen al modulador de señales simples (I/Q), para lo cual el fabricante recomienda en estos casos emplear un amplificador operacional con salidas diferenciales, el cual puede realizar el acondicionamiento de la señal de entrada al modulador de manera eficaz, siguiendo estas recomendaciones, se seleccionó al *THS4503*<sup>11</sup> como un amplificador operacional de alta velocidad, el que cumple con las características necesarias.

En la figura 4.12, se muestra el diagrama esquemático del amplificador con la configuración empleada para acondicionar la señal al modulador. Los valores que toman lo diferentes componentes están dados por las especificaciones del amplificador operacional.



**Fig. 4.12** Amplificador con salida diferencial.

<sup>11</sup> En el apéndice A.5, se anexa la hoja de datos original de Texas Instruments.

### 4.3.3 Implementación completa del modulador.

Una vez diseñadas las partes que son importantes en el modulador, se procede a la integración de éste como lo muestra la figura 4.13. En donde se observan las redes de acoplamiento diseñadas previamente en la entrada del oscilador local y en la salida de RF, la cual va hacia el preamplificador *ADL5323*<sup>12</sup>,

El *ADL5323* es un preamplificador de GaAs que posee un acoplamiento de 50  $\Omega$  en la entrada y salida; lo que facilita su conexión a la antena de salida o a un amplificador de potencia, sólo es necesario agregar un capacitor de acoplamiento de 100 pF.

Por otra parte, también se agregó un voltaje de ajuste el cual es regulado por Pot2 y Pot3; este voltaje de ajuste va a las entradas del modulador *TRF3702* y sirven para ajustar el nivel de offset DC en las señales de entrada que provienen de los amplificadores que acondicionan la señal de banda base, este voltaje puede ser ajustado de 2 a 4 volts.

Los jumpers W5 a W12 desconectan las señales que provienen de los amplificadores operacionales con el fin de realizar pruebas directamente sobre el modulador, además permiten realizar ajustes de un voltaje de offset de DC por medio con los Pot2 y Pot3 a un nivel de DC deseado.

## 4.4 Demodulador.

La función principal del demodulador, por medio de una multiplicación de frecuencias, es eliminar la señal de alta frecuencia de la portadora y tener acceso sólo a la señal de baja frecuencia en la cual está codificada la información digital. Para este caso se emplea el *TRF3710*<sup>13</sup>, el cual tiene una capacidad de operar en el rango de 1.7 a 2 GHz con

---

<sup>12</sup> En el apéndice A.6, se anexa la hoja de datos original de Analog Devices.

<sup>13</sup> En el apéndice A.7, se anexa la hoja de datos original de Texas Instruments.

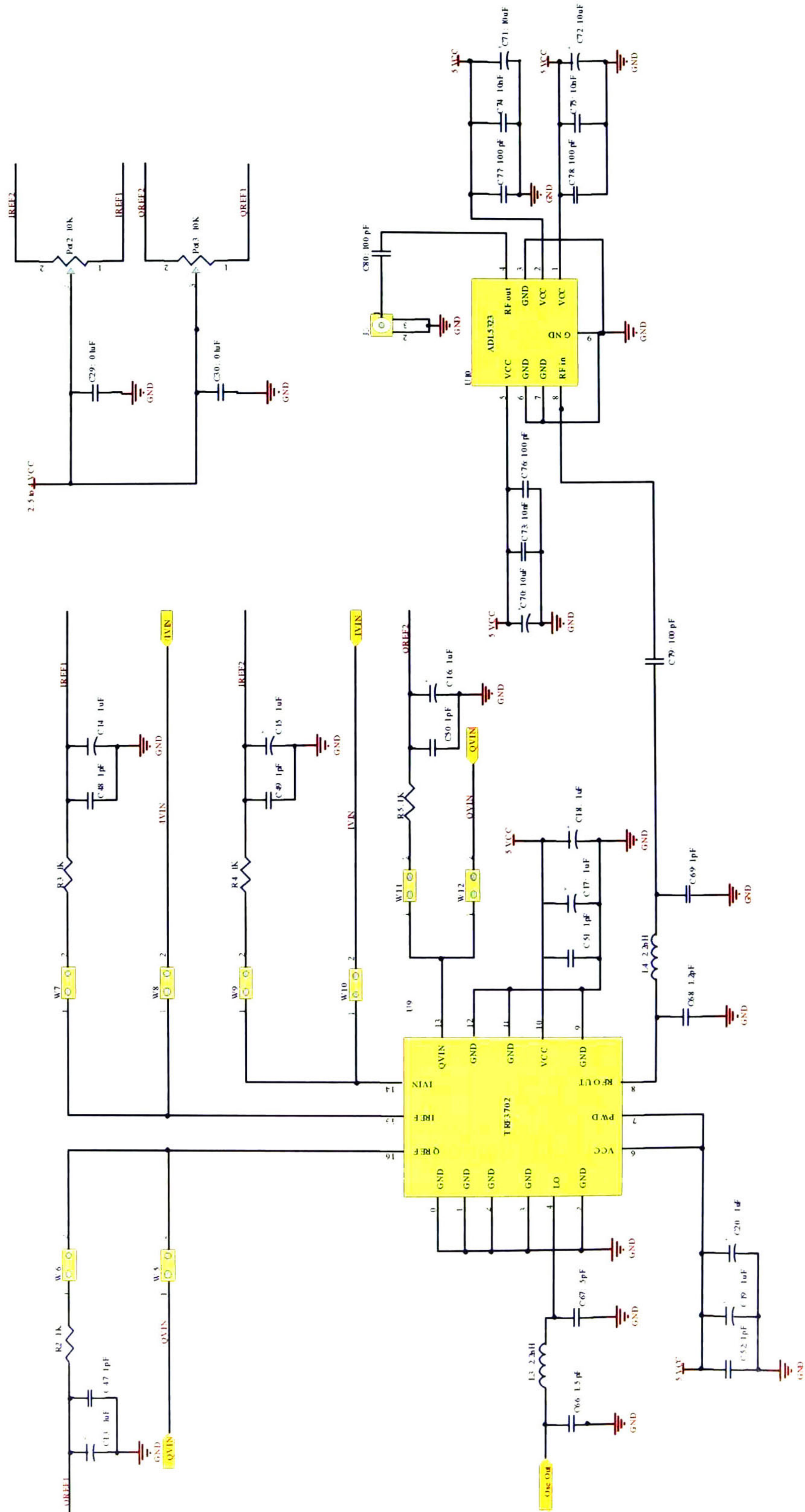


Fig. 4.13 Diagrama esquemático del modulador con el preamplificador.



gran linealidad, además de poseer un par de amplificadores programables y dos filtros pasa bajas para señal en banda base. En la figura 4.14, se muestra el diagrama a bloques de los componentes que integran al demodulador.

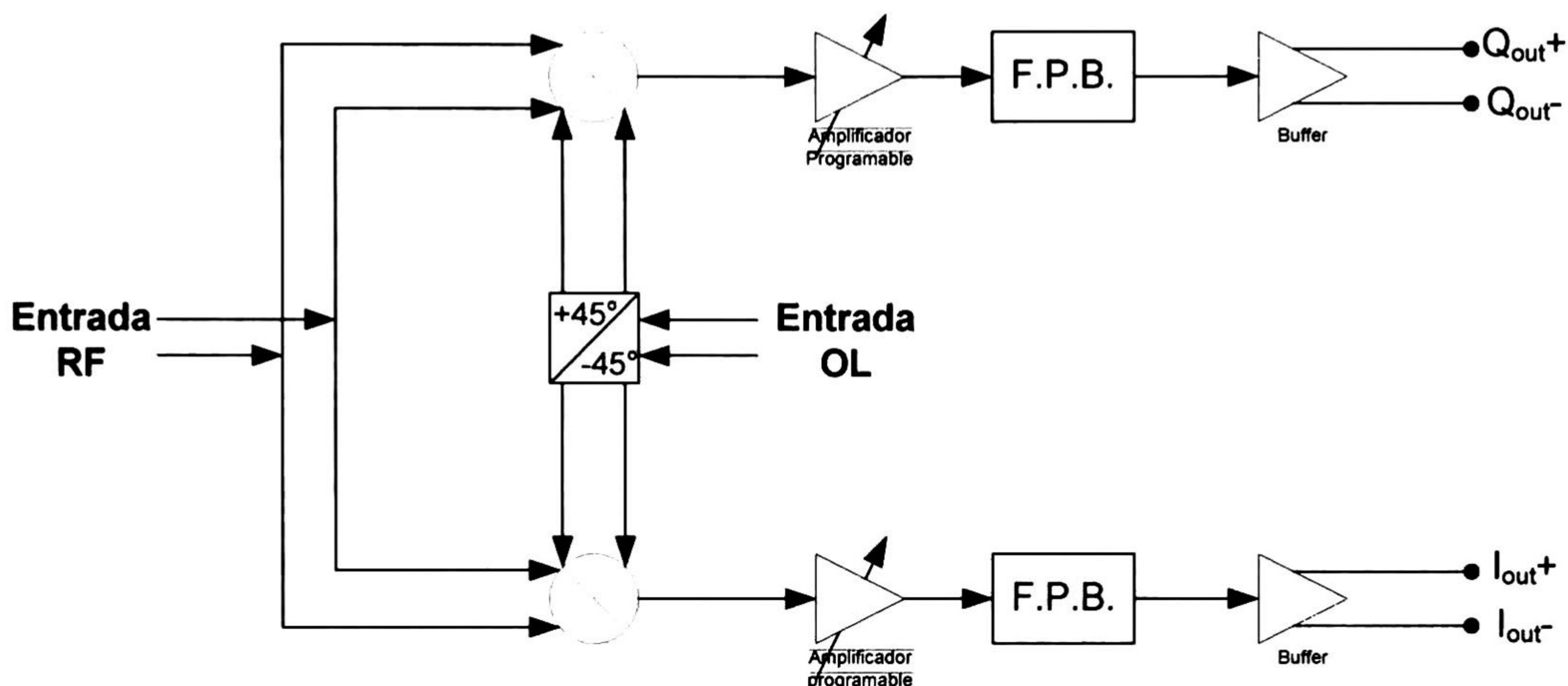


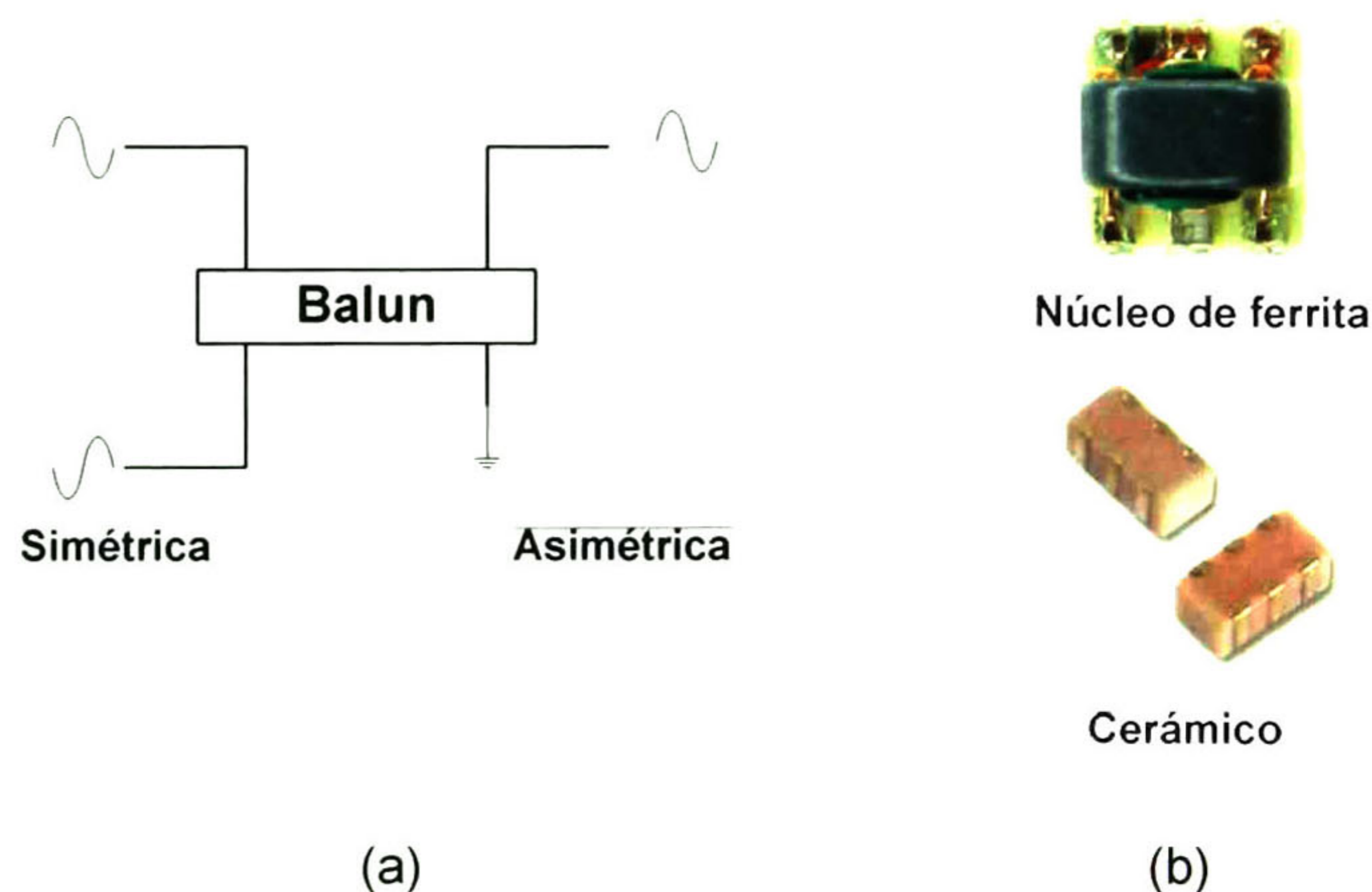
Fig. 4.14 Diagrama Interno TRF3710.

Al estudiar la hoja de datos que nos proporciona el fabricante, observamos que debido a que tanto las entradas como las salidas están en par diferencial y nosotros sólo poseemos señales en que provienen de una terminal sencilla, por lo que es necesario agregar un balun; otro elemento que también es vital añadir al sistema es un amplificador de bajo ruido (LNA), el cual acondicione la débil señal de RF captada por la antena, añadiéndole potencia con muy poco ruido y distorsión.

#### 4.4.1 Balun de RF.

El balun es un elemento electrónico cuya función principal es de transformar las líneas de transmisión de simétricas a asimétricas y viceversa, además de adaptar impedancias, por lo cual lo hace reversible, tal como lo muestra la figura 4.15a. Por lo general los balun se construyen con diferentes materiales como si fueran transformadores

con núcleo de ferrita y también están los de un encapsulado cerámico, ambos se muestran en la figura 4.15b.



**Fig. 4.15** (a) Función del balun; (b) Tipos de balun.

En las recomendaciones que se hacen para el TRF3710, es necesario emplear un balun cerámico en la parte de entrada de la señal portadora como la del oscilador local, ya que estos presentan mayor inmunidad al ruido externo. Al seleccionar el balun se debe de seleccionar cuidando que las pérdidas por inserción sean menores a 1dB en el rango de frecuencias que operara el sistema, por ello se seleccionó el *LDB211G8005C-001*<sup>14</sup> del fabricante Murata el cual presenta pérdidas por inserción de 0.8 dB como máximo además de mantener el acoplamiento de impedancias a 50  $\Omega$ .

La señal de salida del demodulador en banda base, es entregada de manera simétrica por lo que es necesario emplear un balun que nos permita usar la señal de manera asimétrica y así facilitar la operación de las señales (I/Q) a las siguientes etapas. Además el fabricante del demodulador recomienda emplear balun con núcleo de ferrita,

<sup>14</sup> En el apéndice A.8, se anexa la hoja de datos original de Murata Corp.

ya que estos presentan bajas pérdidas por inserción a frecuencias que no superen los 300 MHz. Dentro de los proveedores que manejan este tipo de componentes, se encuentra la empresa *mini-circuits* ofreciendo el *TCM9-1*<sup>15</sup>, el cual es un balun que opera en el rango de 5 a 100 MHz con una atenuación máxima de 1 dB haciéndolo deseable para nuestra aplicación.

#### 4.4.2 Amplificador de Bajo Ruido (LNA).

En los sistemas de comunicación inalámbricos, el amplificador de bajo ruido (LNA) es el primer bloque de un receptor y uno de los más importantes debido a que la sensibilidad del receptor está determinada principalmente por la figura de ruido del amplificador y su ganancia, además de jugar un rol importante en la parte de la linealidad que presenta el sistema a la entrada, ya que su función principal es aumentar la potencia de la señal que ha sido captada por la antena añadiendo el mínimo ruido posible, con esto se busca reducir ruido de entrada en las siguientes etapas y aumentando así la fidelidad de la señal [5].

La figura de mérito de este tipo de amplificador es el factor de ruido, el cual permite cuantificar la degradación que sufre una señal al atravesar un sistema a raíz de que éste adiciona ruido a la señal. Percibiendo a partir de otro punto de vista, sabemos que todas las señales poseen una relación señal/ruido (SNR), que indica cuanta potencia de ruido está presente en ellas mismas, así de esta manera podemos definir el factor de ruido (F) de un sistema de la siguiente manera.

$$F = \frac{SNR_i}{SNR_o} \quad (4.12)$$

---

<sup>15</sup> En el apéndice A.9, se anexa la hoja de datos original de Mini-circuits.

En donde  $SNR_i$  es la relación señal a ruido de la señal de entrada y  $SNR_o$  es la relación señal a ruido de la señal de salida, mientras que la figura de ruido (NF) se define a partir de la ecuación 4.12.

$$NF = 10 \log(F) \quad (4.13)$$

La figura de ruido en dB, es el valor típico que el fabricante entrega en las hojas de datos de los LNAs. Al diseñar un sistema receptor, se busca que el valor de NF sea el más pequeño posible con una ganancia razonable, ya que no es posible tener ambos de manera ideal debido que al buscar una mayor ganancia el NF tiende a ser alto y viceversa.

Por lo que es recomendable tener en mente la formula de Friis, ecuación 4.14, que nos indica que el factor de ruido general del receptor está dominado por la figura de ruido del LNA y no por la figura de ruido de las siguientes etapas. Por lo tanto, se debe de buscar siempre que el LNA sea de un NF bajo y la ganancia puede ser compensada en las siguientes etapas.

$$NF_{receptor} = NF_{LNA} + \frac{NF_{resto} - 1}{G_{LNA}} \quad (4.14)$$

En nuestro diseño, se seleccionó el amplificador de bajo ruido *HMC375LP3*<sup>16</sup> de la empresa Hittite, el cual ofrece un NF de 0.9 dB, una ganancia de 17 dB, además con la ventaja de poseer un acoplamiento interno de 50  $\Omega$ .

---

<sup>16</sup> En el apéndice A.10, se anexa la hoja de datos original de Hittite Microwave Corp.

#### ***4.4.3 Implementación completa del demodulador.***

Una vez que se tienen contemplados, tanto al balun y el LNA, que se requieren para cubrir las necesidades de diseño en la etapa del demodulador, se procede a la integración de este. En el diagrama de la figura 4.16, se presenta el circuito receptor que se diseñó. En donde B1 y B2 son los balun cerámicos que trabajan en la parte de alta frecuencia, mientras que T1 y T2 son los balun con núcleo de ferrita que operaran en las señales de banda base.

El SW1 es un interruptor tipo DIP triple cuya función es ajustar de manera manual la ganancia externa del amplificador programable que el TRF3710 posee, por medio de los pines 39 al 41. Al colocar todos los pines en un estado lógico "0" la ganancia será de 0 dB, por otro lado, al colocar todos los pines en un estado lógico "1" la ganancia corresponde 7 dB, siendo ésta la máxima.

Por medio del conector J4, se realiza la programación del TRF3710, por donde se selecciona la frecuencia de corte del filtro pasa bajas y otros parámetros propios del CI para una correcta operación. La función de TP2 a TP5, es verificar en funcionamiento del TRF3710, en la etapa previa al filtro pasa bajas y de esta manera cerciorarnos de que el filtro está operando correctamente.

El uso de los inductores L2 y L3, en la parte de la polarización del LNA, es una medida de protección que se recomienda en este tipo de circuitos, evitadó que se fugue por la línea de polarización señales de RF y así provocar daños en los demás componentes.

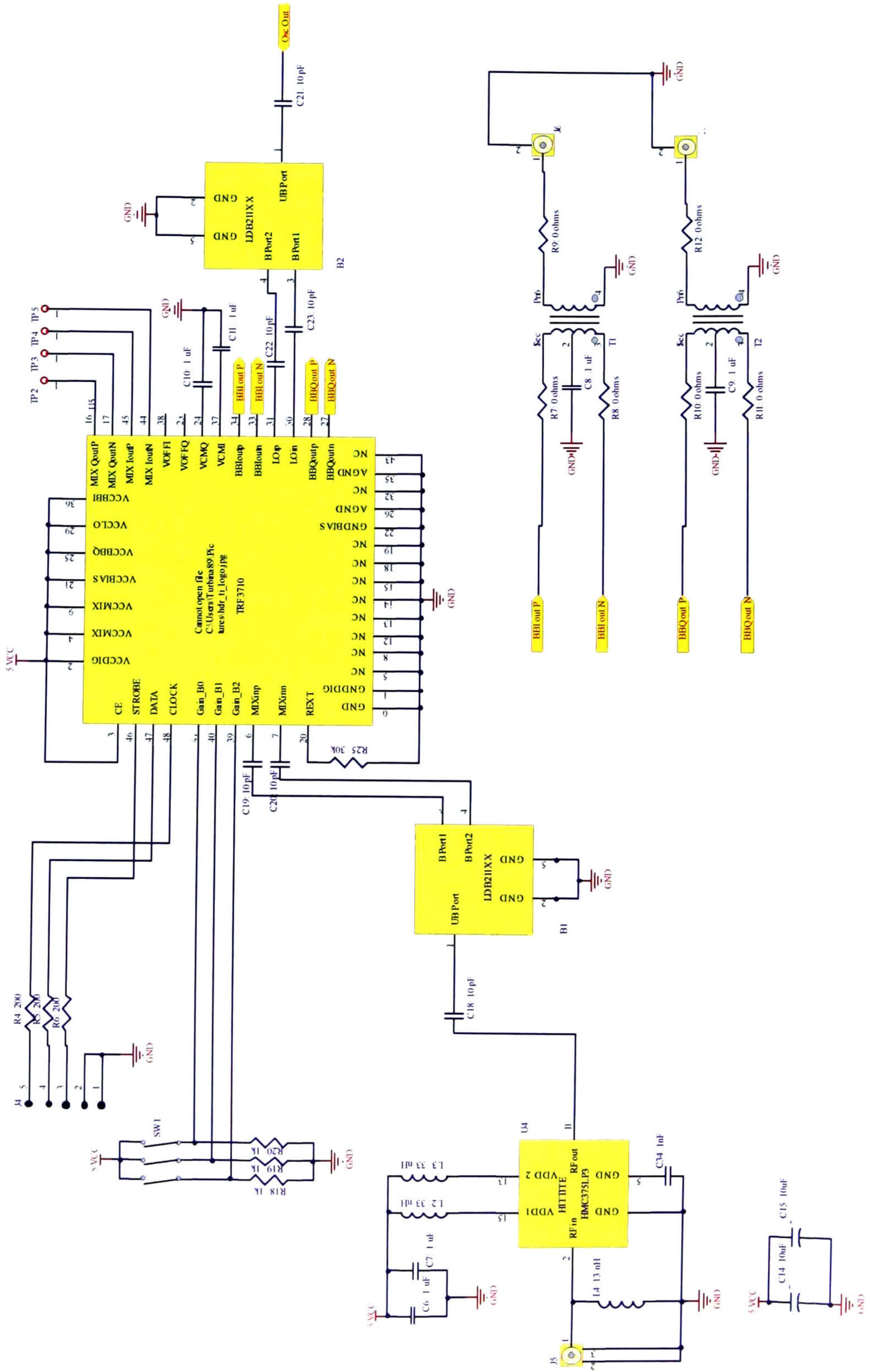


Fig. 4.16 Diagrama esquemático del demodulador.

## 4.5 Fuente de Alimentación.

La fuente de alimentación es la encargada de proporcionar un voltaje constante y la suficiente corriente para operar todos los circuitos que operan dentro del sistema. Lo que involucra la conversión de la energía de CA a una CC, así como la regulación de voltaje y protección a sobrecargas.

Como diseñador, se tiene una completa libertad al momento de decidir el tipo de fuente de alimentación que implementará, en este caso se recurrió a implementar una fuente de alimentación de dos etapas, como lo ilustra la figura 4.17.

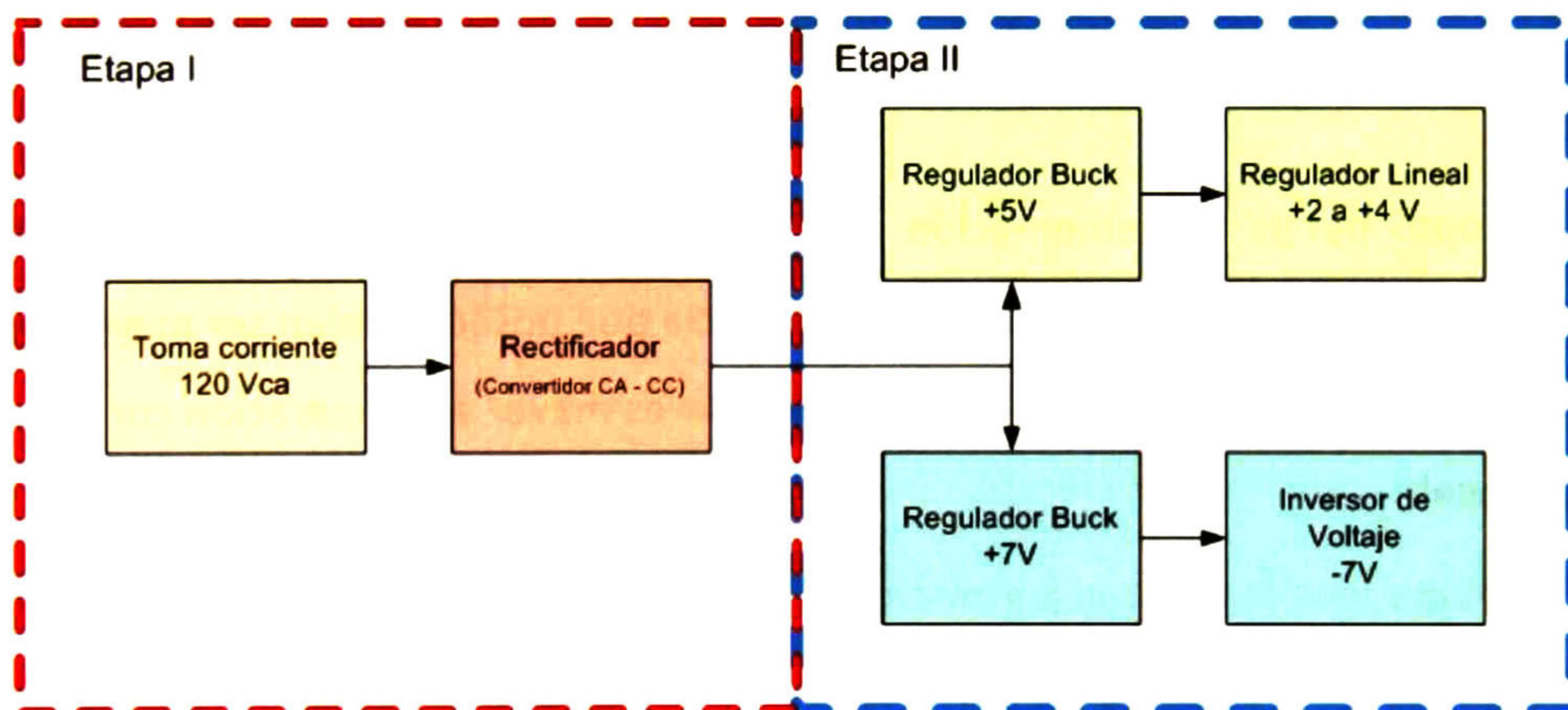


Fig. 4.17 Distribución de la fuente de alimentación.

En la primera de ellas se encarga de una rectificación directa de la línea de alimentación de 120 Vca a un voltaje de 12 Vcc, esta etapa se optó por una solución comercial, por lo cual es externa al diseño del sistema.

La segunda etapa de la fuente de alimentación es conocida como convertidor CC – CC, en esta parte se modifica el voltaje de 12 Vcc entregado por la primera etapa cambiándolo a diferentes niveles de voltajes, empleando para ello circuitos reguladores lineales y conmutados según sean los requerimientos de los dispositivos que conforman el sistema de comunicaciones. En nuestro caso es necesario contar con diferentes niveles de voltajes constantes y uno variable.

- +5V para alimentar los CI del oscilador local, el modulador, el demodulador, amplificador de potencia y el LNA.
- $\pm 7V$ , un voltaje diferencial para alimentar a los amplificadores operacionales THS4503 en la parte de acondicionamiento de señal en el transmisor.
- +2V a +4V, este voltaje se tiene que ser ajustado en este rango, para realizar un offset en CC en la parte del acondicionamiento de la señal.

Se optó por la implementación de una fuente conmutada tipo “*buck*” sobre las fuentes lineales esencialmente porque la eficiencia que poseen suelen ser mayor del 90%, también la potencia máxima que pueden soportar es mayor a comparación con las de una fuente lineal.

Actualmente ya se encuentran encapsulados en un mismo CI la mayor parte de los componentes que conforman una fuente conmutada, lo cual facilita el diseño y ahorra costos. A continuación se describirá la metodología de diseño de las partes que forma a la fuente de alimentación, empleado para ello componentes discretos de la compañía National Semiconductor, como son los LM2676.<sup>17</sup>

---

<sup>17</sup> En el apéndice A.11, se anexa la hoja de datos original de National Semiconductor.



#### 4.5.1 Diseño de la fuente conmutada buck para 5 y 7 volts.

Lo primordial es definir las condiciones de operación de la fuente de alimentación para ello es necesario conocer el voltaje de salida, el máximo voltaje de entrada en CC así como la máxima corriente que requiere la carga y con estos valores se procede al diseño.

Para el primer caso donde se requiere una fuente fija de 5 volts se hace uso del circuito LM2676SD-5.0, ya que posee la capacidad de mantener fija la salida a 5 volts con un voltaje de entrada que no supere los 40 volts; la topología que se muestra en la figura 4.18 es la sugerida por el fabricante, además él propone un método para determinar los valores de los componentes externos basándose en el valor máximo de corriente en la carga.

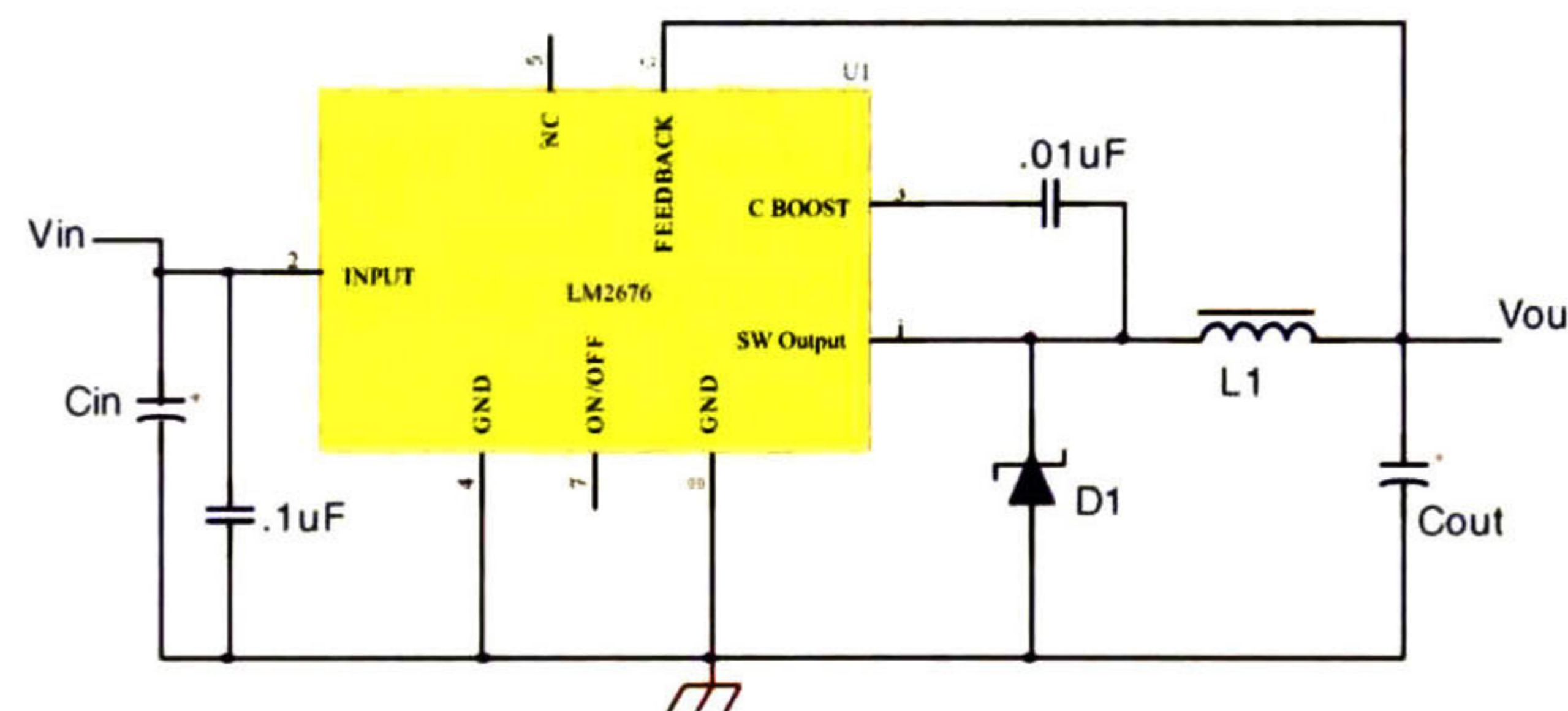


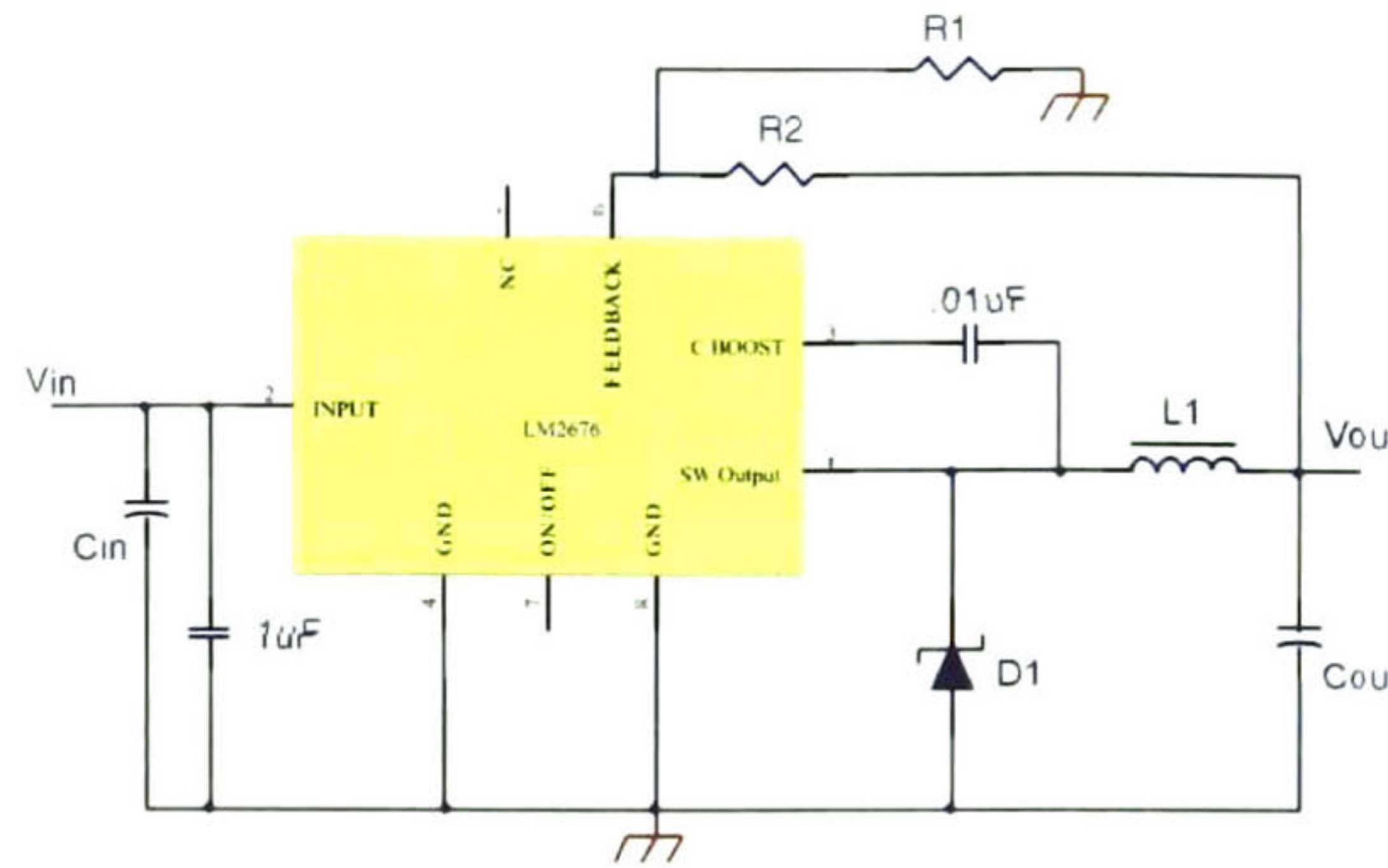
Fig. 4.18 Topología para LM2676-5.0.

En nuestro caso, con el valor de corriente máxima a la carga la cual equivale a 800 mA, y un voltaje máximo a la entrada de 24 volts, la hoja de datos nos sugiere los siguientes valores para los componentes externos. Ver tabla III.

Tabla III Valor de los componentes del regulador a 5volts.

Componente	Valor
$C_{in}$	4.7 uF
$C_{out}$	22 uF
$L_1$	68 uH
$D_1$	40v - 2Amp

Para el caso de un regulador 7 volts, se recurre ahora al circuito LM2676 – ADJ, el cual es capaz de mantener un voltaje fijo en un rango seleccionable de 1.2 hasta 37 volts, la configuración necesaria se muestra en la figura 4.19.



**Fig. 4.19** Topología para LM2676-ADJ.

Para ajustar el voltaje de salida a 7 volts, es necesario determinar el valor de los resistores R1 y R2, los cuales están relacionados en la ecuación 4.15.

$$V_{out} = V_{FB} \left( 1 + \frac{R_2}{R_1} \right) \quad (4.15)$$

En donde  $V_{FB}$  es el voltaje de retroalimentación con un valor aproximado de 1.21 volts. Despejando a R2, obtenemos la siguiente expresión.

$$R_2 = R_1 \left( \frac{V_{out}}{V_{FB}} - 1 \right) \quad (4.16)$$

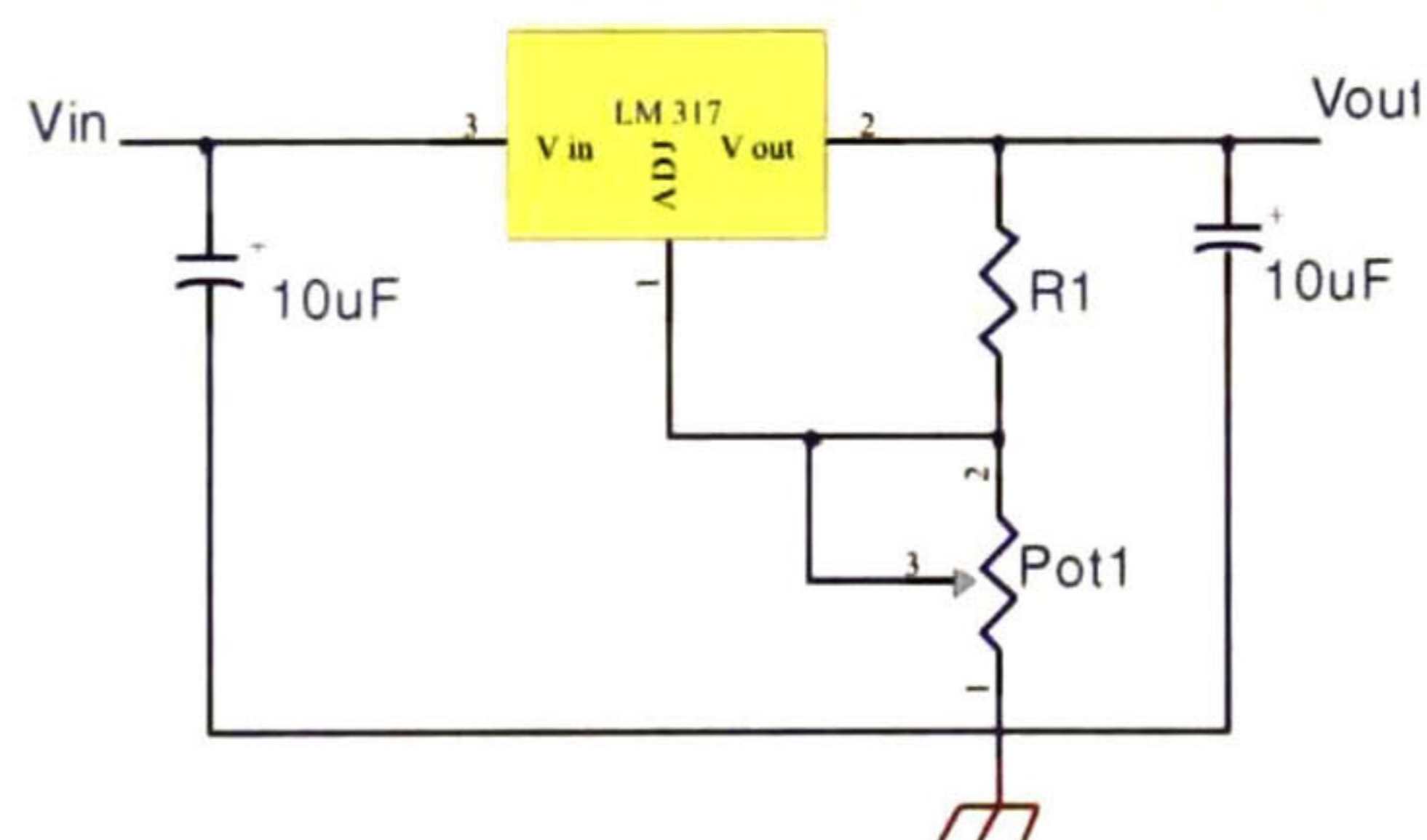
Asignándole un valor de 10 kΩ a R1, obtenemos que el valor de R2 es de 4.78 kΩ y el valor cercano comercial es de 4.5 kΩ, ahora la manera de determinar los valores de los componentes Cin, Cout, D1 y L1 es recurrir a la hoja de datos y con el valor máximo de voltaje de entrada y corriente a la carga. Los valores que se recomiendan, se enlistan en la tabla IV.

**Tabla IV** Valor de los componentes del regulador a 7volts.

Componente	Valor
$C_{in}$	1 $\mu$ F
$C_{out}$	10 $\mu$ F
$L_1$	470 $\mu$ H
$D_1$	40v - .5Amp

#### 4.5.2 Diseño de la fuente lineal 2 a 4 volts.

Para la etapa del acondicionamiento de señal, es necesario agregar un voltaje en modo común  $V_{COM}$  en el transmisor, éste voltaje se debe de ajustar en un rango de 2 a 4 volts, aumentando así el nivel de offset de la señal de entrada en banda base. Para esto, recurrimos a tomar el voltaje de 5 volts de la fuente conmutada y lo regulamos con un circuito lineal como es el LM317<sup>18</sup>, la topología de este circuito es simple tal como se muestra en la figura 4.20.



**Fig. 4.20** Topología para LM317.

El valor del voltaje de salida está dado por la ecuación 4.17, ahora bien, en este caso podemos determinar el valor del voltaje de salida si cambiamos a  $R_2$  por un potenciómetro y así poder determinar su rango dinámico de operación, en la grafica de la figura 4.21, se observa el valor que puede tomar el voltaje de salida con el valor de 1  $k\Omega$  en  $R_1$  y el Pot 1 con un valor máximo de 5  $k\Omega$ .

<sup>18</sup> En el apéndice A.12, se anexa la hoja de datos original de National Semiconductor.

$$V_{out} = 1.25 \left( 1 + \frac{R_2}{R_1} \right) \quad (4.17)$$

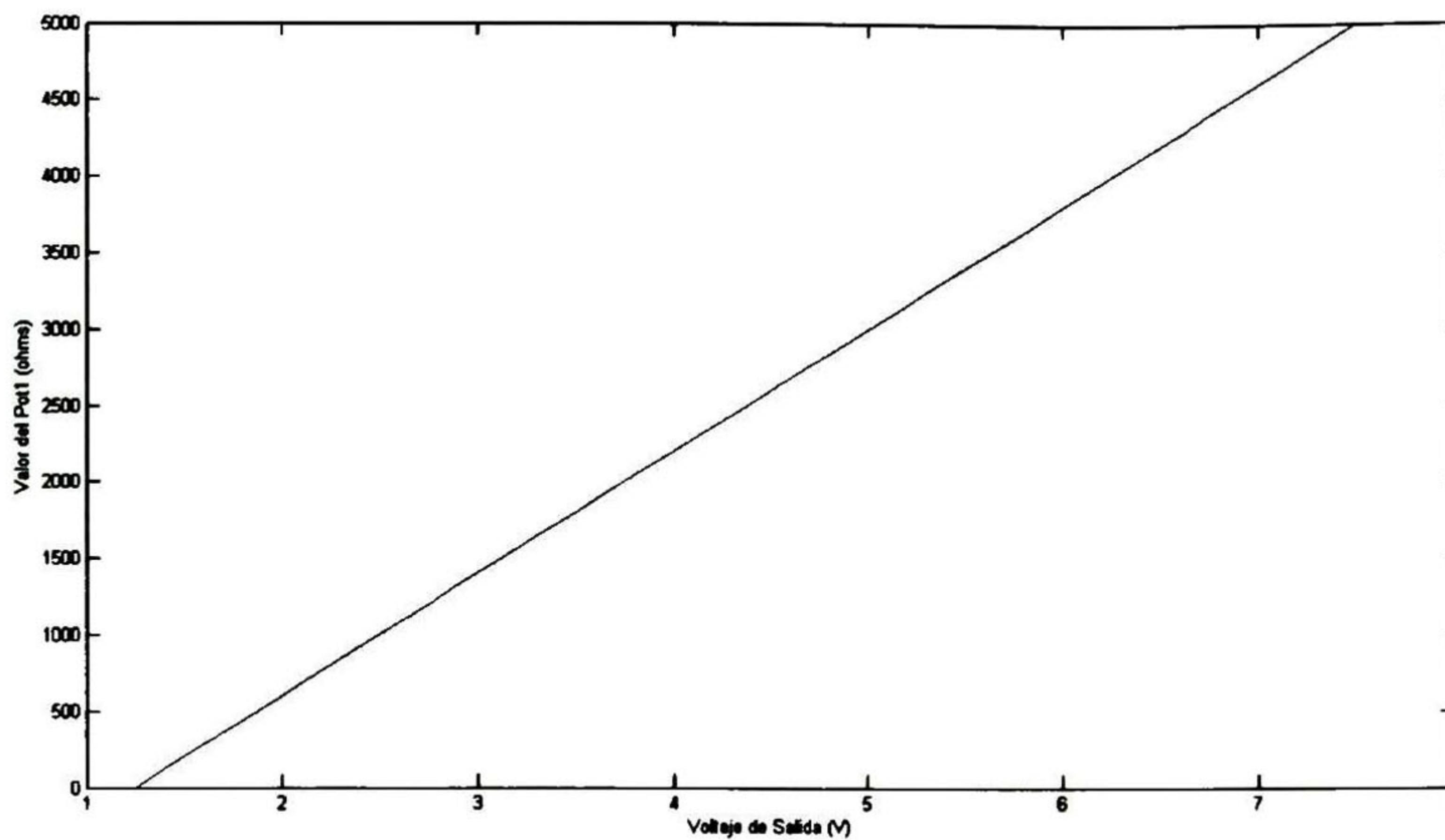


Fig. 4.21 Rango dinámico del regulador LM317.

#### 4.5.3 Diseño del inversor de voltaje, -7 volts

Para la alimentar a los amplificadores operacionales, es necesario contar con una fuente de alimentación dual, una forma para obtener un voltaje negativo (-V) a partir de una fuente positiva (+V) es con capacitores conmutados [9].

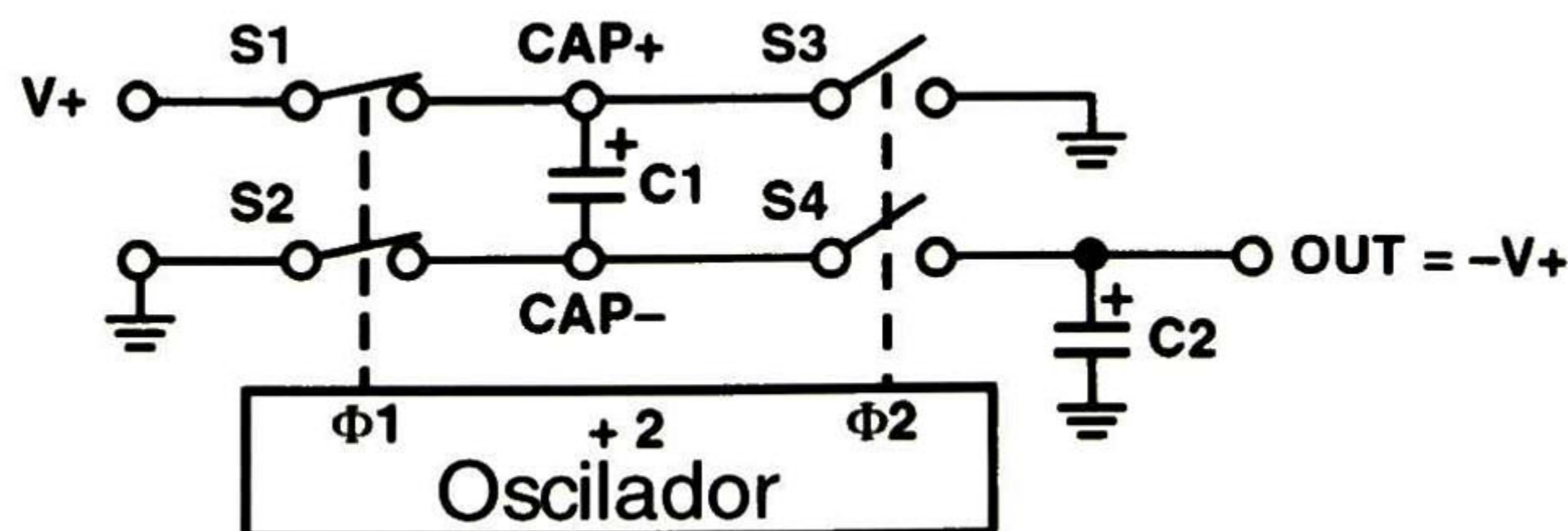
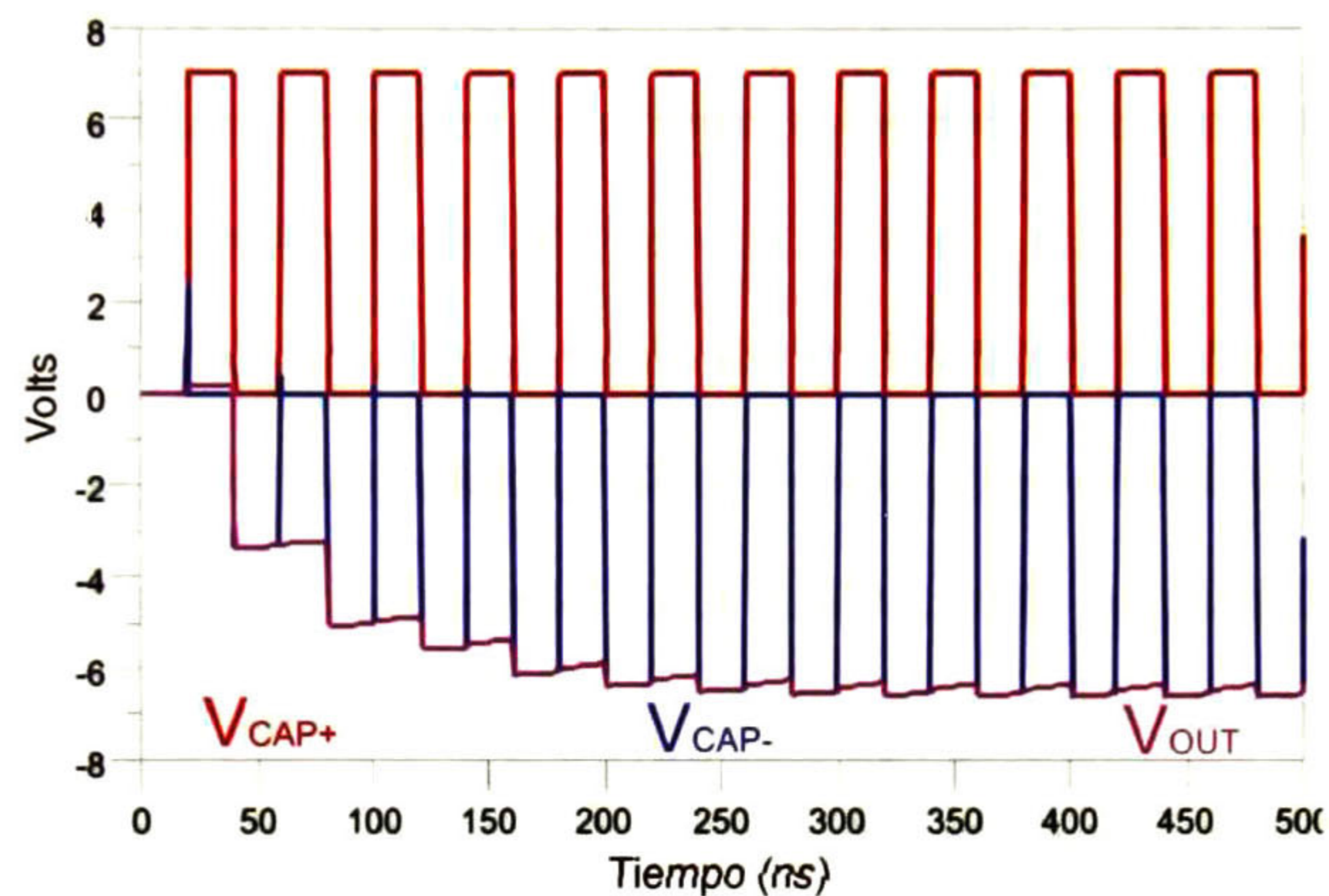


Fig. 4.22 Inversor de voltaje con capacitores conmutados.

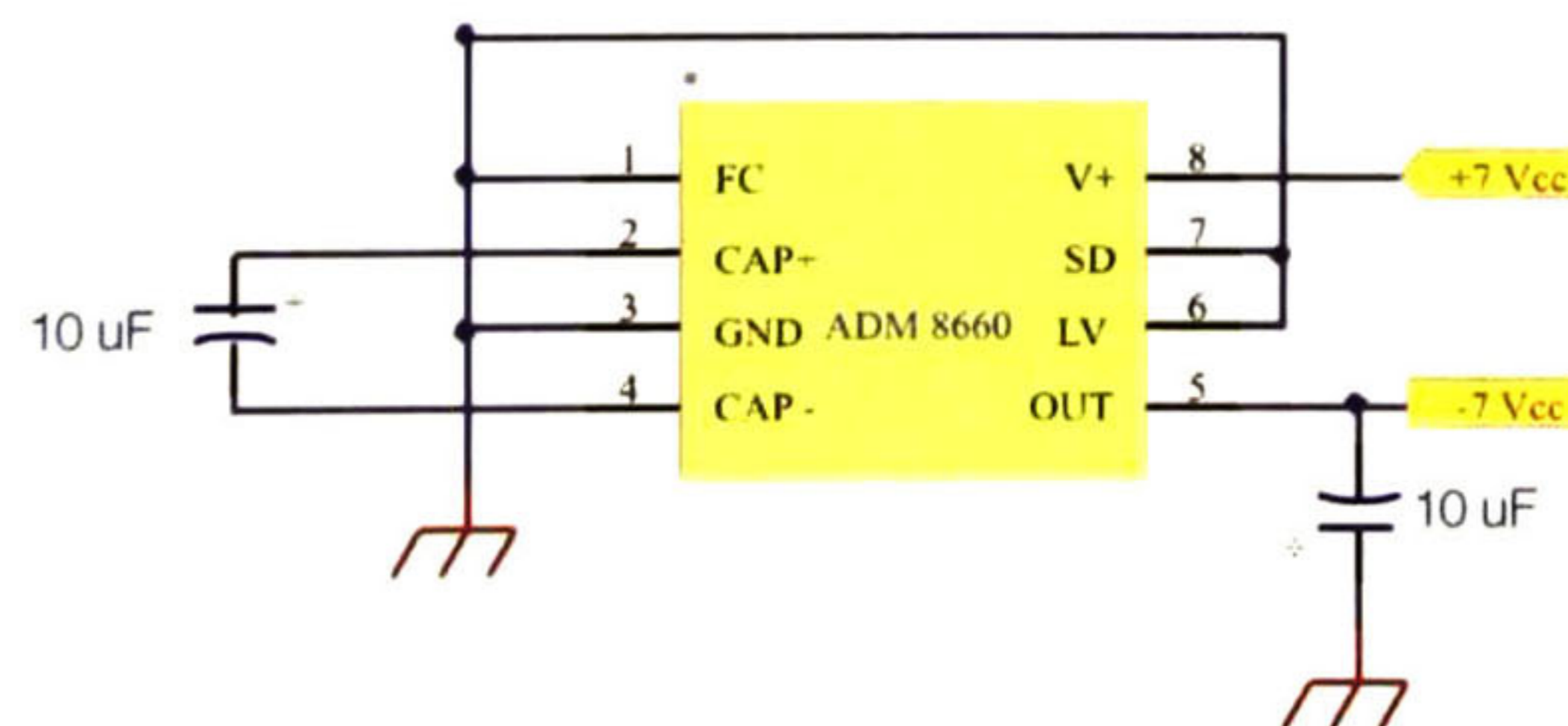
El principio básico de la conversión de voltaje se ilustra con base a la figura 4.22, en donde un oscilador genera dos señales en contrafase  $\Phi 1$  y  $\Phi 2$  las cuales controlan a los interruptores S1, S2, S3 y S4. Durante  $\Phi 1$ , los interruptores S1 y S2 están cerrados con lo

cual hace que se cargue el capacitor C1 hasta alcanzar el valor del voltaje  $V_+$ . Ahora bien, durante  $\tau_2$ , S1 y S2 están abiertos mientras que S3 y S4 están cerrados. La terminal positiva del capacitor C1 se coloca a tierra mediante el interruptor S3 mientras que la terminal negativa es el voltaje  $V_{OUT}$  a través de S4. El resultado del circuito es una inversión de voltaje en  $V_{OUT}$  con respecto a tierra. La carga de C1 es transferida C2 durante  $\tau_2$  y el capacitor C2 mantiene este voltaje durante  $\tau_1$ . Como se ilustra en la figura 4.23



**Fig. 4.23** Simulación del inversor con capacitores conmutados.

El circuito integrado ADM8660 de Analog Devices<sup>19</sup> es un convertidor de voltaje con capacitores conmutados CMOS, el cual posee internamente el oscilador de 120 kHz alcanzado así una eficiencia de transferencia de carga del 90%. En la figura 4.24 se muestra la topología que se empleó para la conexión del circuito inversor.



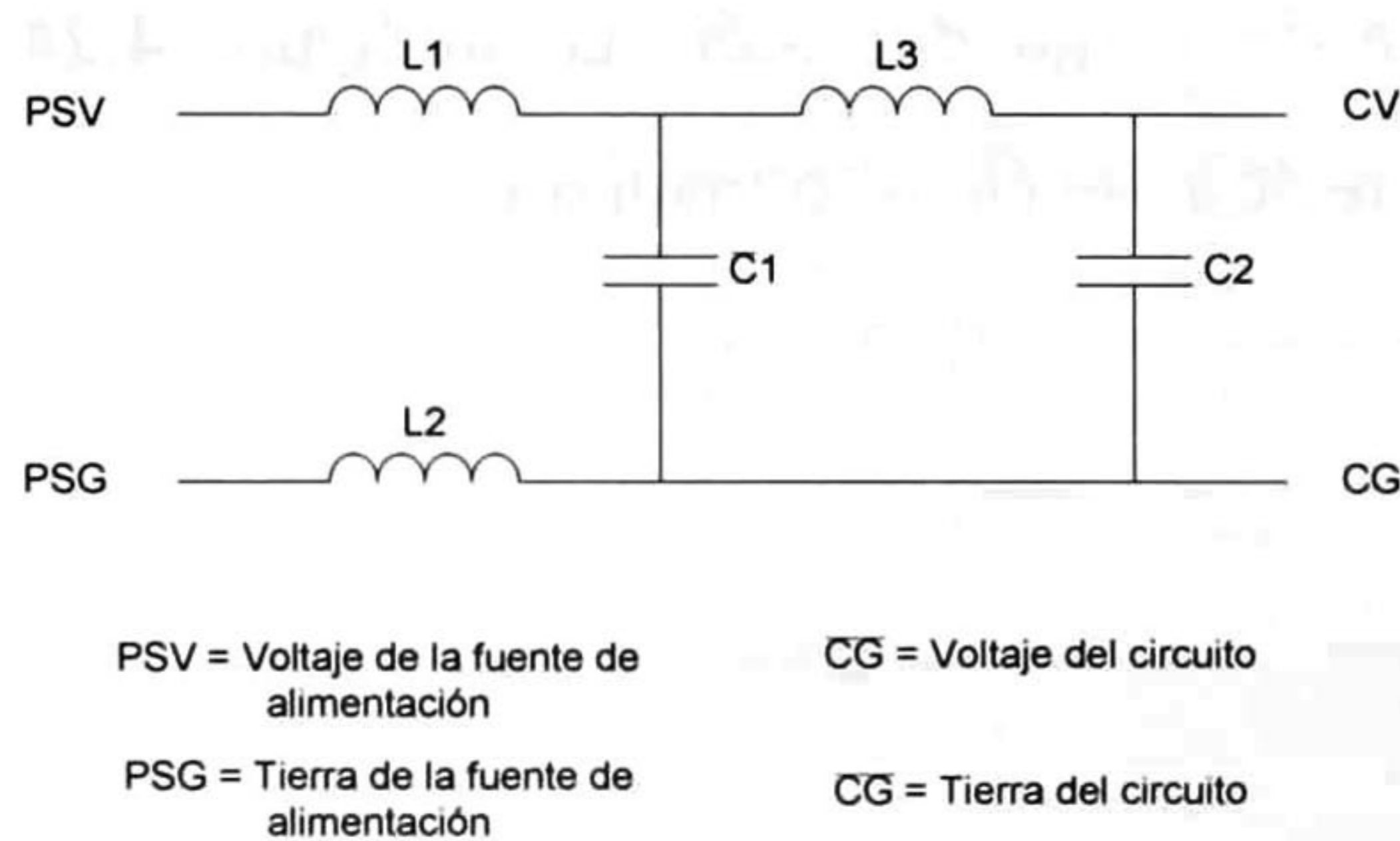
**Fig. 4.24** Topología para ADM8660.

<sup>19</sup> En el apéndice A.13, se anexa la hoja de datos original de Analog Devices.

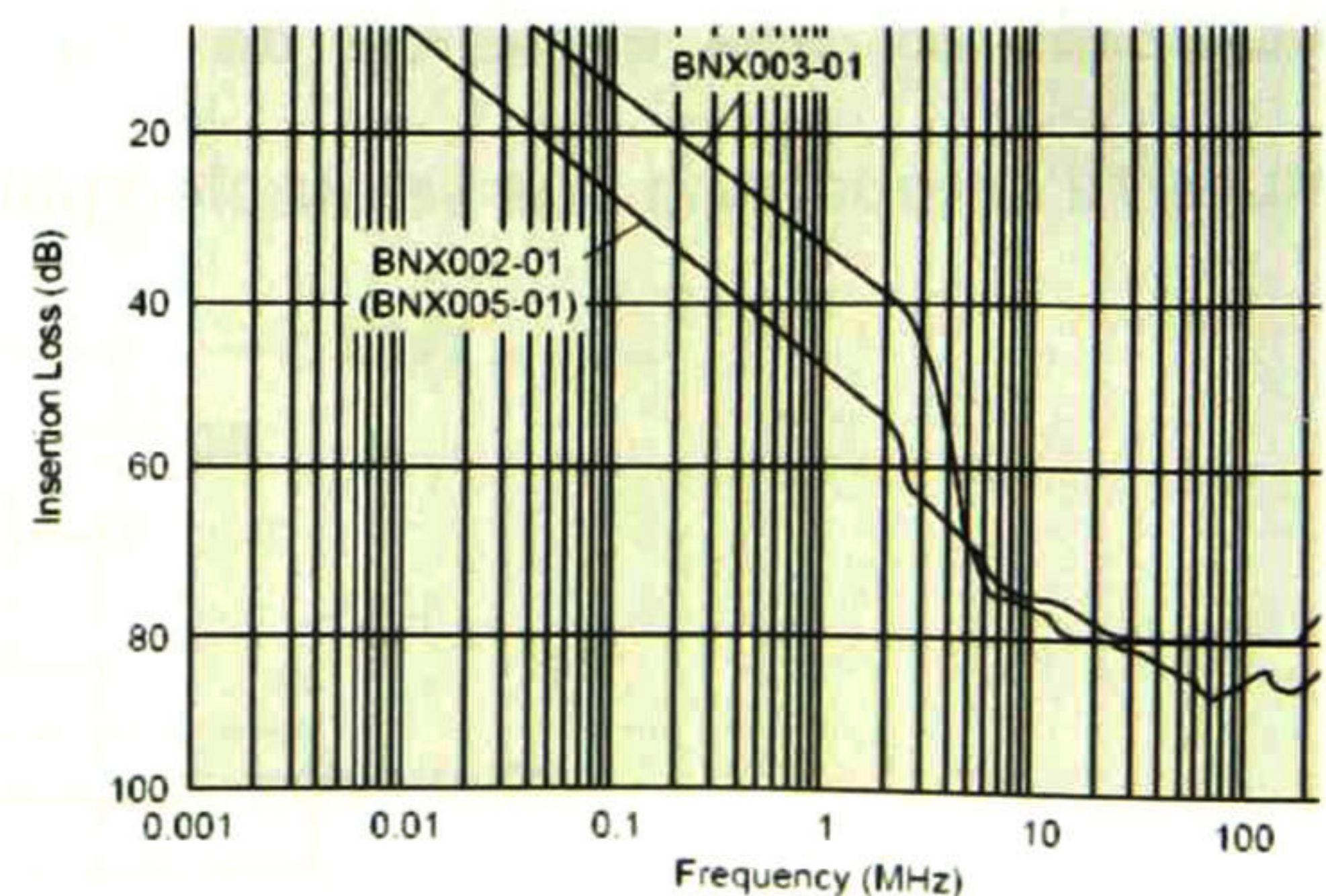
#### 4.5.4 Filtro supresor de ruido EMI.

Es conocido que las fuentes de alimentación conmutadas, generan una gran cantidad de ruido eléctrico, el cual es producido por la conmutación del elemento activo en la fuente de poder. Este ruido producido en forma de energía electromagnética se puede propagar en el medio ambiente de dos maneras, a través de corrientes de ruido de alta frecuencia que atraviesan las líneas de interconexiones y la otra manera es en forma de radiación dentro de la atmosfera que rodea la fuente [10].

Es cierto que es muy difícil eliminar por completo los efectos de la interferencia electromagnética (EMI), pero si es posible atenuarla hasta llegar a niveles seguros donde se puede garantizar un funcionamiento fiable de un sistema. Una de las técnicas para reducir el ruido EMI es emplear dispositivos capaces de filtrar las altas frecuencias que se puedan adherir a la corriente continua, uno de estos elementos es el BNX002-01<sup>20</sup>, el cual es un filtro supresor de ruido para fuentes de alimentación. En la figura 4.25, se muestra su circuito equivalente, además una grafica con las características de sus pérdidas por inserción (S21).



(a)



(b)

Fig. 4.25 (a) Circuito equivalente BNX002-01; (b) Perdidas por inserción.

<sup>20</sup> En el apéndice A.14, se anexa la hoja de datos original de Murata Corp.

#### ***4.5.5 Implementación completa de la fuente de alimentación.***

Vistos los circuitos que conforman la fuente de alimentación dentro de este sistema, se realiza la unión de los circuitos tal como se describe en la Etapa II de la figura 4.17, siendo este el caso para el modulador ya que la fuente que necesita el receptor es sólo de 5 volts, la cual es la misma que se describió en la sección 4.5.1.

Ahora bien, en la figura 4.26, se muestra la fuente de alimentación que se integró en el modulador. La entrada J1 corresponde al conector tipo Jack de 2.5, por el cual se alimenta al sistema con una fuente regulada de 12 volts, entregando los diferentes niveles de voltaje. Los *jumper* W1 a W4 tienen la función de interrumpir o aislar la fuente de alimentación propia del sistema y poder emplear al conector J2 como puerto de entrada para inyectar los niveles de voltaje necesarios de manera independiente, con el fin de realizar pruebas en secciones específicas del sistema o simplemente verificar el funcionamiento de la fuente de alimentación por separado.

GND\_1 corresponde a la tierra dentro de la fuente de alimentación, mientras que GND es la tierra del circuito, esto dividido por los filtros EMI F1 a F4, en la salida de estos filtros EMI se recomienda colocar capacitores electrolíticos y de tantalio para que mantengan el nivel de carga necesaria para el arranque del sistema y filtrar a cualquier señal o rizo de baja frecuencia no deseados en una señal de CC.

Las funciones que presentan las ferritas FB1 a FB5, son las de suprimir cualquier señal de alta frecuencia que proceda del sistema y que pudiera dañar la fuente de alimentación, así como la de limitar la corriente a 500 mA quemándose cuando el sistema presente una sobre carga o un cortocircuito.

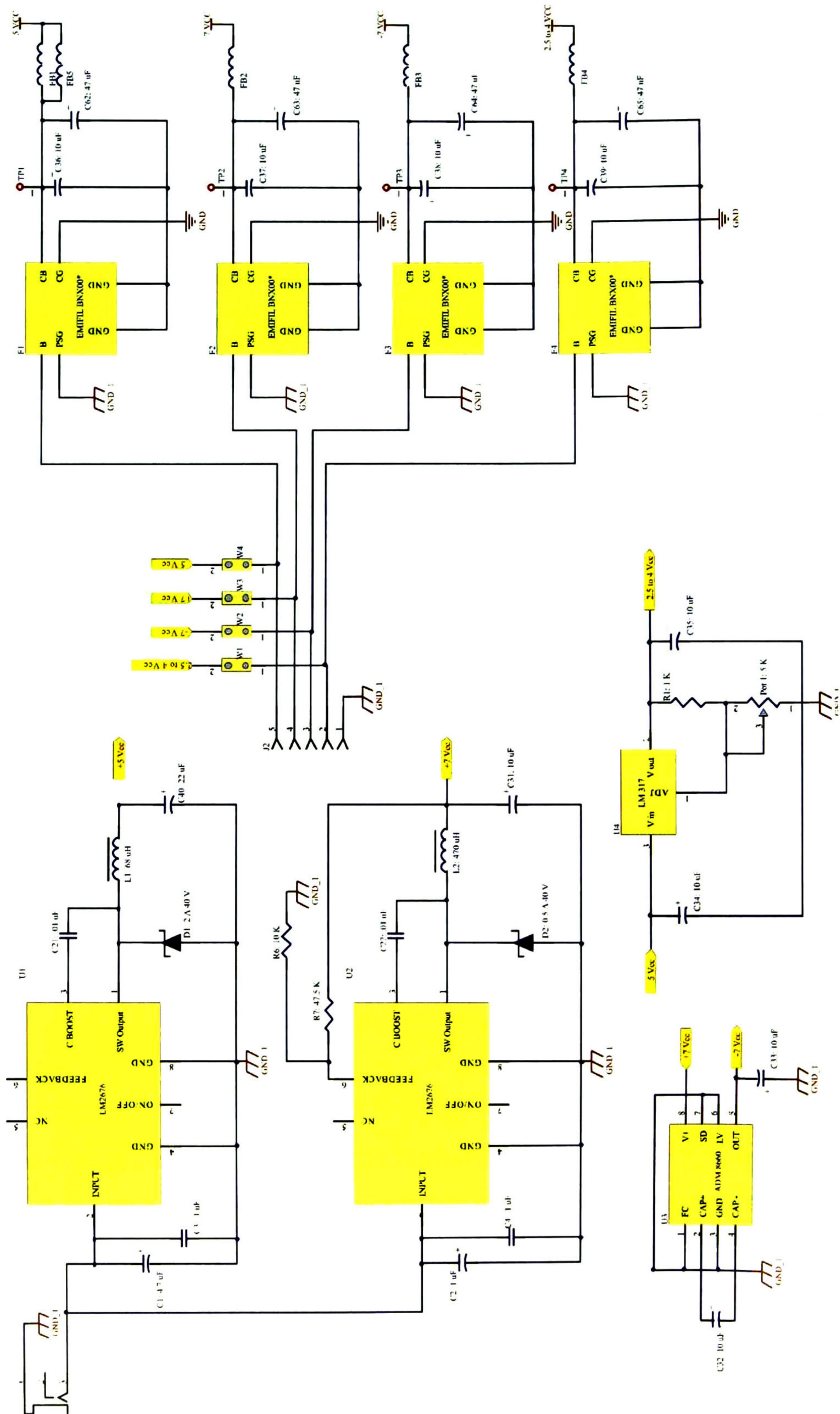


Fig. 4.26 Diagrama esquemático de la fuente de alimentación.



# Capítulo 5

## Teoría, Diseño y Layout de las Placas de Circuito Impreso.

**E**l diseño de las placas de circuito impreso (PCB) exige más de las capacidades del ingeniero, ya que la tendencia es reducir el tamaño de los sistemas, poder manejar una gran densidad de componentes tanto digitales como analógicos y que opere a altas frecuencias. Para obtener un sistema que trabaje en armonía consigo mismo y con el entorno que lo rodea, es necesario estudiar los fenómenos electromagnéticos que pueden afectar su funcionalidad y conocer cuáles son las técnicas dentro del diseño que puedan ayudar a reducir la influencia de dichos fenómenos.

En este capítulo, se describen algunas reglas de diseño importantes previas a la integración del sistema; se muestra el resultado de simulaciones electromagnéticas realizadas durante el proceso del *layout*, con la intención de determinar las secciones

críticas dentro del PCB, especialmente en el área de RF; además se describen cada parte que conforma al sistema desde un punto de vista de layout; por último se muestra las tarjetas con los componentes ensamblados.

## *5.1 Fundamentos generales.*

Existen una gran cantidad de conceptos relacionados con el diseño físico de un PCB, que se pueden agrupar en dos partes. La primera parte va relacionada con los fenómenos electromagnéticos que se generan en el sistema electrónico, los cuales producen efectos secundarios que pueden ser deseados o no [11]. La segunda hace referencia a los términos relacionados con el proceso del diseño a nivel layout del circuito empleando herramientas de diseño asistido por computadora (CAD) así como los términos que se manejan en la industria de la manufactura de PCBs [12].

### *5.1.1 Definiciones en el área EMC.*

*Compatibilidad electromagnética (EMC):* Es la capacidad de los sistemas, equipos y dispositivos eléctricos o electrónicos de operar de forma satisfactoria en su entorno electromagnético sin provocar perturbaciones electromagnéticas sobre cualquier otro equipo en ese entorno.

*Interferencia electromagnética (EMI):* Se define como las perturbaciones que ocurren en cualquier sistema, equipo o dispositivo eléctrico o electrónico causado por una fuente externa al mismo. Estas perturbaciones pueden interrumpir, degradar o limitar el rendimiento del sistema. La EMI también es llamada interferencia en radio frecuencia (RFI).

**Ruido eléctrico:** Es una de las maneras en que se pueden manifestar las perturbaciones o interferencias electromagnéticas. Se denomina ruido eléctrico a todas las señales eléctricas no deseadas que están de cierta forma unidas a una señal principal que es útil, de manera que altera su amplitud, frecuencia o fase.

**Descarga Electrostática (ESD):** Es un fenómeno en el cual se hace circular una corriente eléctrica repentina y momentánea entre dos cuerpos de diferente potencial electrostático por proximidad o contacto directo. Los niveles de voltaje que se producen son altos de manera que pueden dañar al equipo.

**Perturbaciones en la red de alimentación:** Actualmente son más los equipos eléctricos y electrónicos que son conectados al mismo tiempo en una red corriente eléctrica para su operación; esto genera problemas en la línea de CA como son transitorios eléctricos prolongados o con oscilaciones, variaciones de voltaje, armónicos de alta frecuencia en la red de CA.

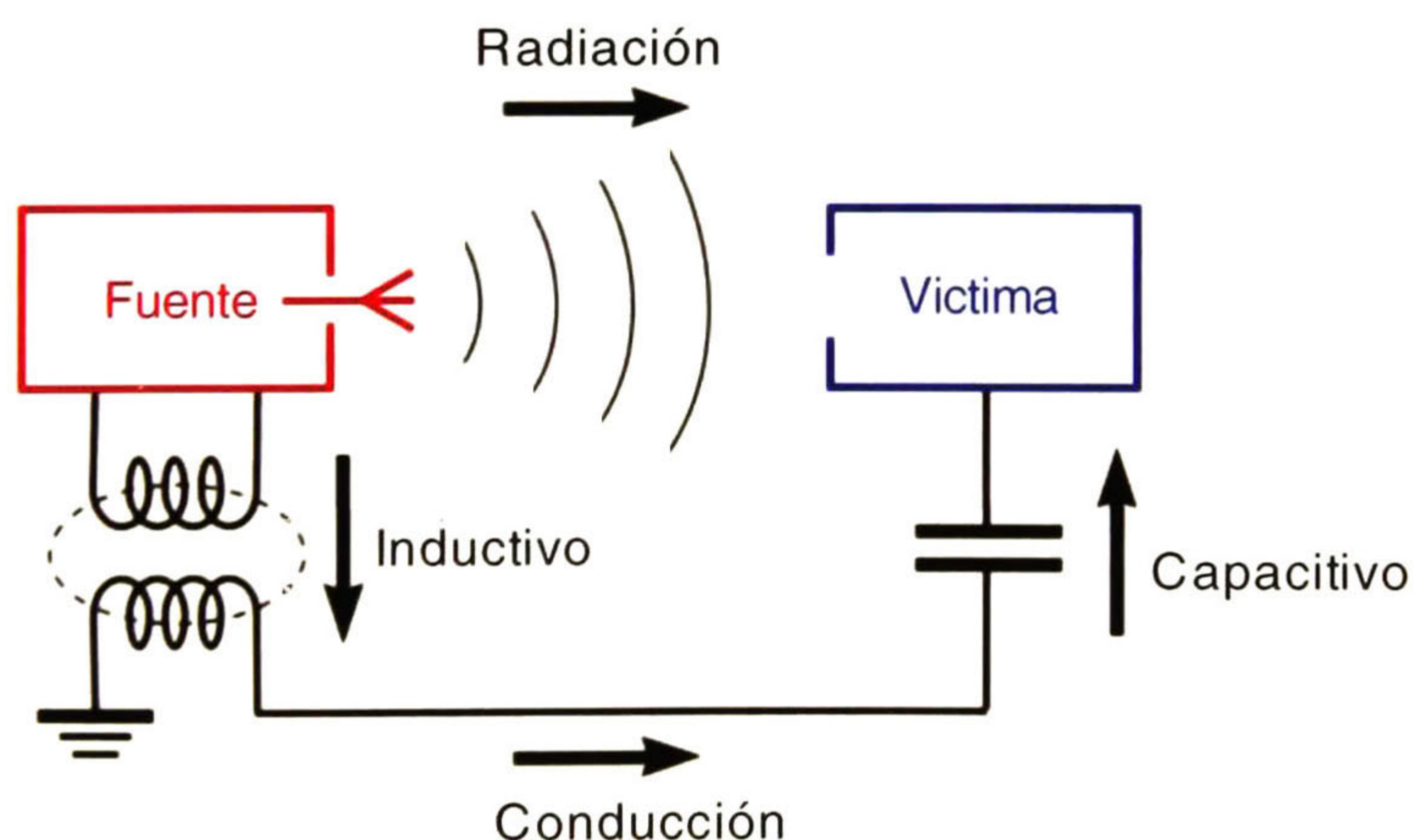


Fig. 5.1 Modos de acoplamiento del EMI.

Cuando se realiza un análisis electromagnético se estudian los modos o mecanismos por los cuales se realiza el acoplamiento de la EMI; en la figura 5.1 se pueden observar un modelo el cual permita entender mejor este acoplamiento.

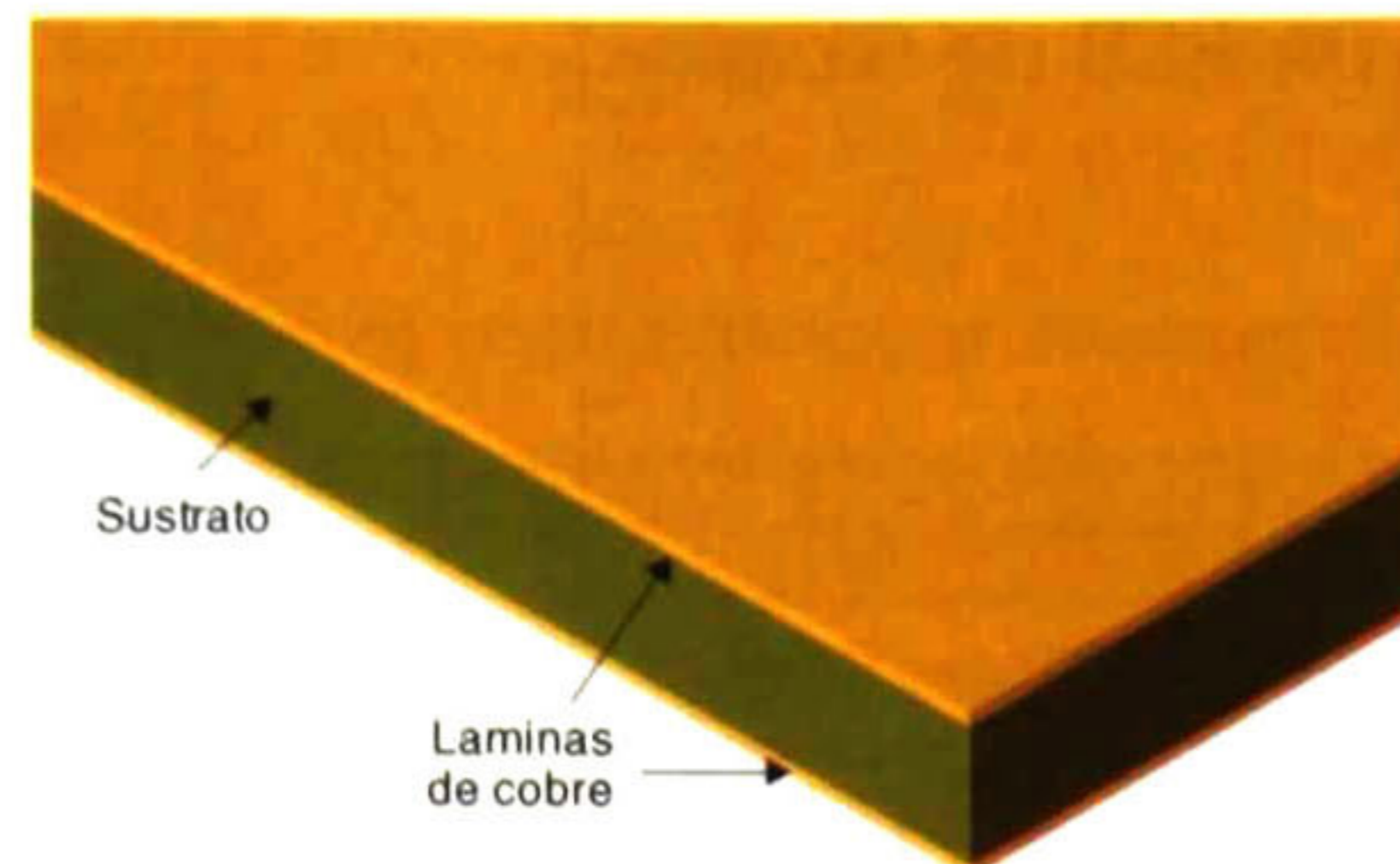
El primer camino es por radiación directa de la fuente al receptor o víctima; el segundo sucede por conducción, el cual ocurre cuando se tiene en común ya sea cables de señal o control en común o la misma red de alimentación. El tercer camino es el inductivo y el cuarto es capacitivo, estos dos últimos modos van relacionados y ocurren cuando la fuente como la víctima están separados a una distancia corta. Estrictamente, el acoplamiento inductivo se presenta cuando existe una inducción magnética en ambos sistemas, y cuando se tiene una inducción eléctrica se refiere a un acoplamiento capacitivo.

También es necesario cambiar el nivel en el que se puede observar los problemas de EMC. En la figura 5.1 se muestran a nivel sistemas o equipos independientes, pero al observarlos a nivel PCB tenemos en una misma placa los mismos fenómenos, ya que se tienen distintos circuitos operando con diferentes tipos de señales y frecuencias compartiendo la fuente de alimentación y muchas veces el mismo plano de referencia además de tener distancias más cortas, por lo que es necesario realizar un análisis electromagnético a nivel PCB, siendo necesario conocer como está estructurado un PCB así como los términos que se emplean en la industria manufacturera.

### *5.1.2 Definiciones a nivel diseño PCB.*

*Placa de circuito impreso (PCB).* Es el medio para sostener mecánicamente y conectar eléctricamente los componentes electrónicos de un circuito, a través de rutas o pistas de material conductor que son grabados en hojas de cobre laminadas en un

sustrato no conductor. En la figura 5.2 se muestra la vista lateral de una placa de circuito impreso de dos caras.



**Fig. 5.2** PCB de doble cara virgen.

Generalmente se suele clasificar y medir las placas de circuito impreso por sus características físicas que son:

- ✓ *Grosor del cobre:* Es medido en onzas de cobre por pie cuadrado ( $\text{oz}/\text{ft}^2$ ) pero por conveniencia sólo se describe por onzas. Una onza de cobre equivale a  $35 \mu\text{m}$ .
- ✓ *Grosor del sustrato:* Este valor por lo general está dado en milésimas de pulgada. El valor estándar es de 60 mil el cual equivale a 1.524 mm.

Pero también las características intrínsecas del sustrato son importantes, las cuales hacen único y diferente a cada material dieléctrico:

- ✓ *Permitividad relativa ( $\epsilon_r$ ):* es la relación entre la permitividad del material con respecto a la del espacio libre.
- ✓ *Tangente de pérdidas ( $\tan \delta$ ):* Es una magnitud adimensional que refleja las pérdidas de energía electromagnética en un dieléctrico<sup>35</sup>

---

<sup>35</sup> En el apéndice B, se enlista los valores de  $\epsilon_r$  y  $\tan \delta$  de los materiales empleados en el diseño de PCB's

Estos PCB pueden ser de varias capas dependiendo de la complejidad del circuito. Los PCB's de varias capas se construyen uniendo dos placas normales de PCB por medio de un material adhesivo con las mismas propiedades del sustrato llamado pre-impregnado (*prepreg*), la adhesión se realiza por medio de una presa con calor. En la figura 5.3 se ilustra el corte transversal de un PCB de 6 capas.

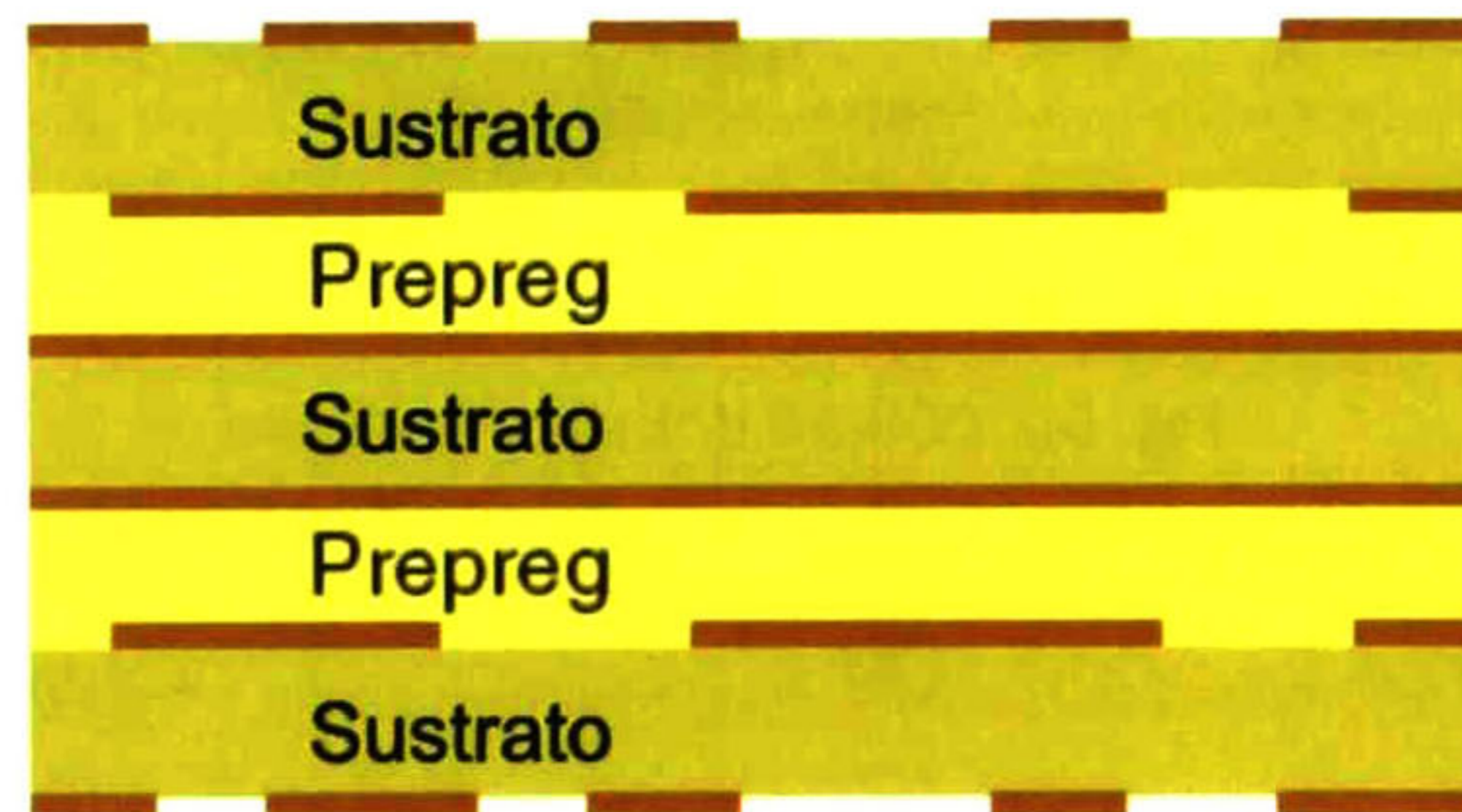


Fig. 5.3 PCB de 6 capas.

Existen diferentes técnicas que permiten realizar el grabado de las pistas en el cobre del PCB. El método que se ha empleado en este trabajo es el desbastado mecánico (*mechanical milling*), el cual se realiza por medio de una fresadora o torno de control numérico (CNC), ver figura 5.4, para lo cual es necesario generar archivos que contengan la información numérica de los cortes y trazos sobre el cobre, siendo necesario emplear un CAD especializado.



Fig. 5.4 Fresadora CNC para fabricar PCB.

Éste mismo CAD, además de ayudar en el diseño de los trazos, genera los archivos *gerber*, los cuales son los estándares empleados en la industria manufacturera de PCB, conteniendo información del desbastado y perforación. En la tabla V, se enlistan las extensiones de los archivos gerber con el formato RS-274X.

**Tabla V** Descripción de los archivos gerber.

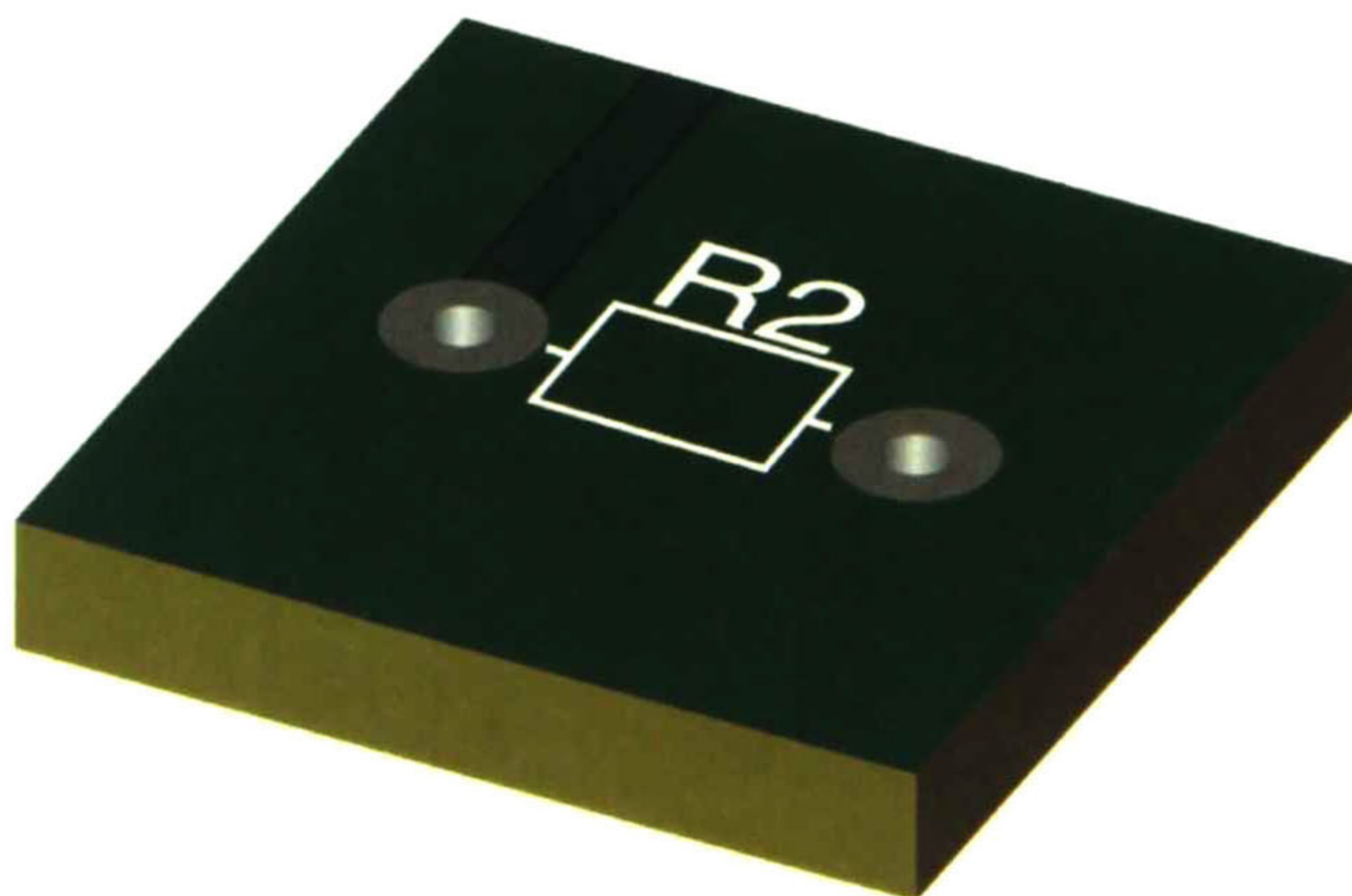
Extensión	Contenido
.GBL	Gerber Capa Inferior
.GTL	Gerber Capa Superior
.GBS	Gerber Soldermask Inferior
.GTS	Gerber Soldermask Superior
.GBO	Gerber Overlay Inferior
.GTO	Gerber Overlay Superior
.GBP	Gerber Pasta Inferior
.GLP	Gerber Pasta Superior
.GM1	Gerber Líneas mecánicas 1
.GM2	Gerber Líneas mecánicas 2
.DRR	Archivos de perforación

- GBL y GTL se refieren a los trazos en cobre que deben de quedar en la placa.
- GBS y GTS representan la ubicación de una mascarilla sobre el cobre después de que éste haya desbastado, con el propósito de proteger corrosión al cobre y evitar la diseminación de la soldadura en toda la tarjeta.
- GBO y GTO son las extensiones del *overlay* conocido también como *silkscreen*, son las leyendas o dibujos en tinta que se colocan sobre la *soldermask*, usualmente sirven para identificar cada componente en el PCB.
- GBP y GTP indican la posición de los pines de los componentes con dos propósitos. El primero es dejar libre esa área en el PCB de soldemask y así darle un acabado que permita adhesión de la soldadura o pasta para soldar con métodos conocidos

como nivelación de soldadura por aire caliente (HASL), Inmersión de plata u oro y las terminales que hacen contacto con algún conector mecánico se les hace un acabado tipo *gold finger*. El segundo propósito es generar un estencil o bastidor de lámina de acero inoxidable que permita la colocación de la soldadura en pasta en cada pin, esto siempre y cuando el montaje de los componentes es a nivel industrial empleado maquinas de selección y colocación automático de componentes.

- GM1, GM2,... GM16 son los archivos de líneas mecánicas tienen la finalidad de indicar los bordes de la tarjeta para su corte, así como los cortes internos. De este modo se le entrega información sobre algún acabado especial o limitaciones que el fabricante requiera.
- DRR da la información sobre las perforaciones para las vías entre las capas, él cual indica la posición y tamaño de cada agujero

En la figura 5.5 se pone como ejemplo la sección de un PCB con una capa de soldermask en color verde, además un silkscreen o leyendas en color blanco, por último se puede apreciar una terminación en los pines de la resistencia con una terminación HASL.



**Fig. 5.5** Sección de un PCB terminado.



## 5.2 Estándares en el diseño de PCB.

En la industria electrónica al igual que en muchas otras, es regida por estándares o normas que permiten regular los procesos de diseño y fabricación. En el caso particular del diseño de PCBs es necesario conocer los tamaños y formas en la que los componentes tienen colocados sus pines o pads y así generar “*footprint*” o huellas en el PCB de tal manera que después del proceso de fabricación, los componentes puedan ser ensamblados sin problemas en sus lugares correspondientes.

La IPC es una organización internacional de los fabricantes de circuitos impresos y manufactureros del ramo electrónico, encargada de generar los estándares de la industria en el ramo. De las normas importantes están las que rigen la generación de los footprint de los componentes y el proceso de ensamblado a nivel industrial.

La IPC da herramientas que permiten al diseñador generar librerías que contienen la información sobre una huella para cada tipo de encapsulado, una de ellas es el LP CALCULATOR (ver figura 5.6), el cual es un programa de distribución gratuita que contiene una extensa biblioteca de los diferentes encapsulados de circuitos integrados así como de elementos pasivos de tecnología de montaje superficial (SMT) y de *pin through hole* (PTH).

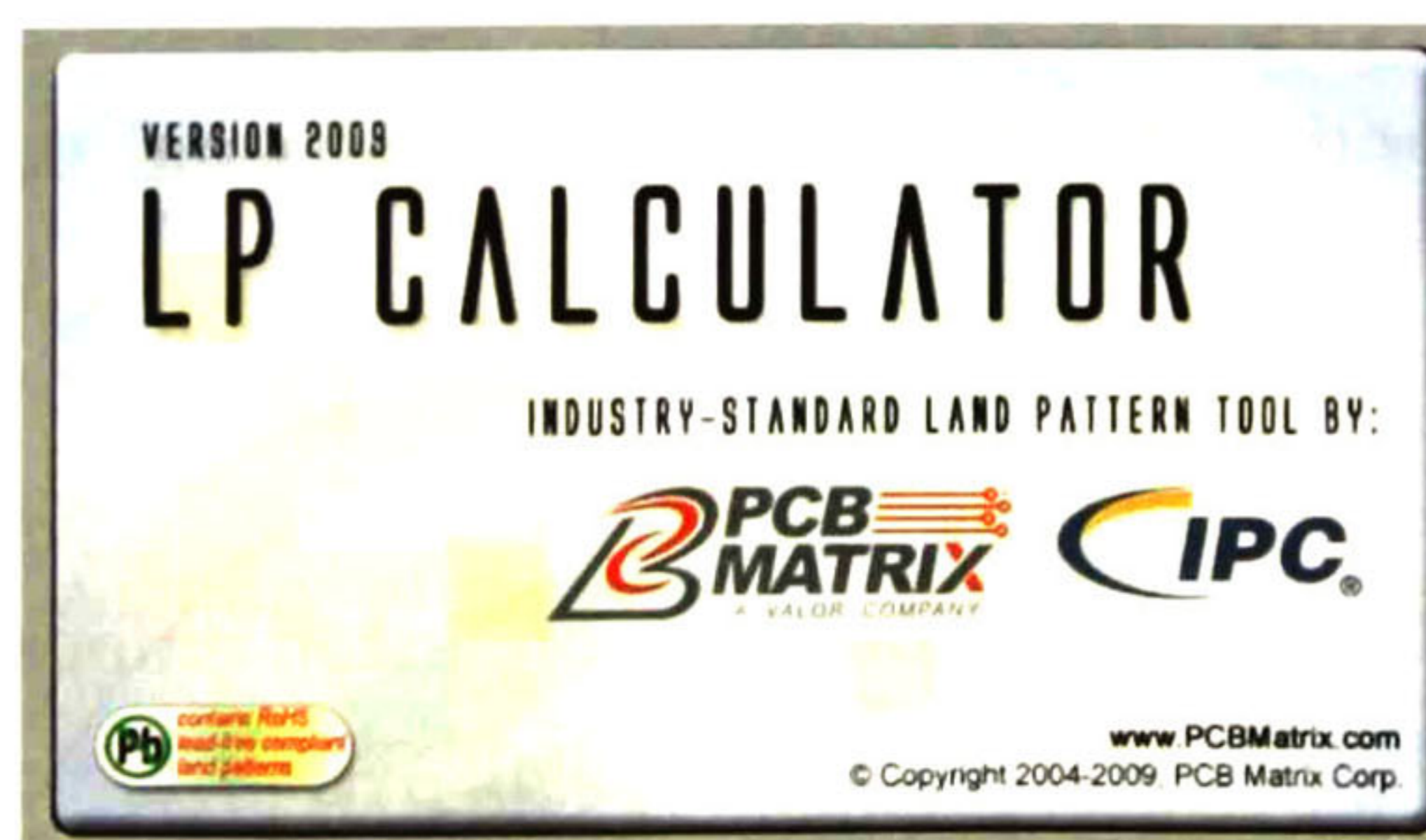


Fig. 5.6 Pantalla de inicio de IPC LP CALCULATOR.

### *5.3 Reglas de diseño para sistemas de señal mezclada.*

Como se ha planteado desde un principio, el sistema a integrar es uno de señal mixta, el cual involucra que en la misma tarjeta existan circuitos que operan con señales digitales y analógicas de baja y alta frecuencia. Y una de las maneras de lograr esto es guiarse por reglas que se han formulado a base de la experiencia de ingenieros en el área de diseño y también por estudio de los fenómenos electromagnéticos, cuyo propósito es evitar problemas relacionados con el suministro de energía a los circuitos, retrasos en la señal, EMI, etc.

Estas reglas se pueden dividir en tres clases, la primera enfocada a la ubicación de los componentes dentro del PCB; la segunda se orienta a la forma, tamaño y ubicación de las pistas y planos de cobre; la última clase va enfocada a técnicas y elementos que se añaden al diseño para que éste cumpla con requerimientos para evitar fallos relacionados con la distribución de la energía en la tarjeta y las conexiones entre los circuitos.

#### *5.3.1 Ubicación y orientación de componentes.*

El ensamblado de un PCB, consiste en agregar los componentes y conectores; para que esta tarea sea eficiente independientemente del método que se emplee para soldar (horno de reflujo, ola de soldadura o manual), es necesario que exista espacios y ubicaciones específicas donde colocar los componentes.

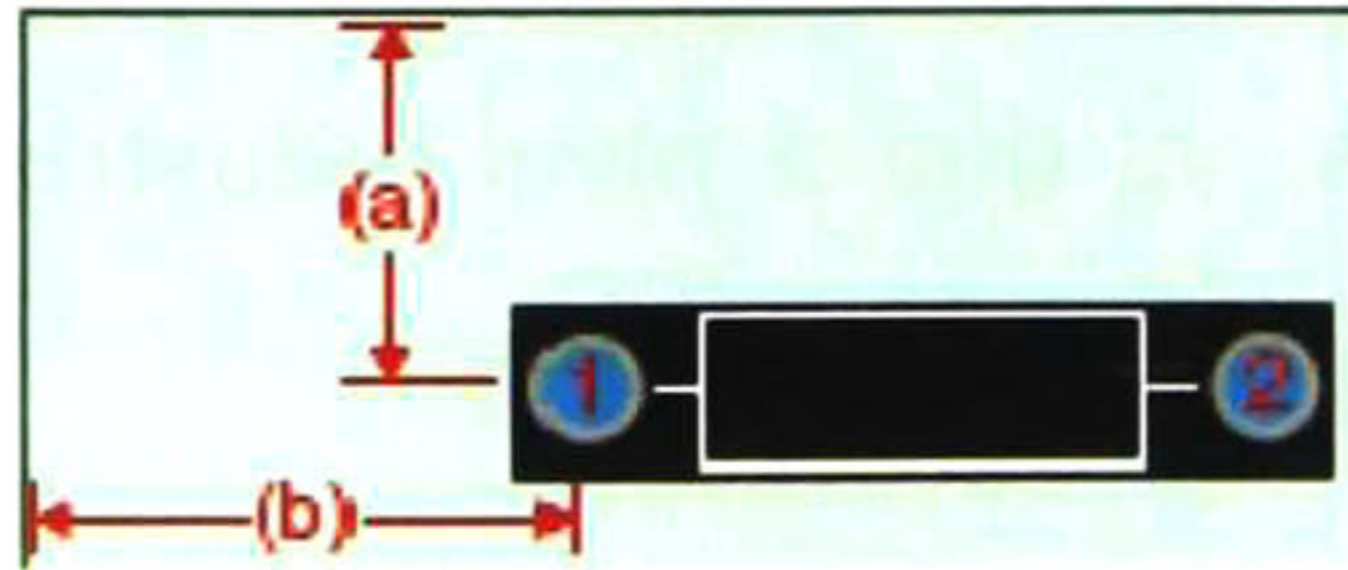
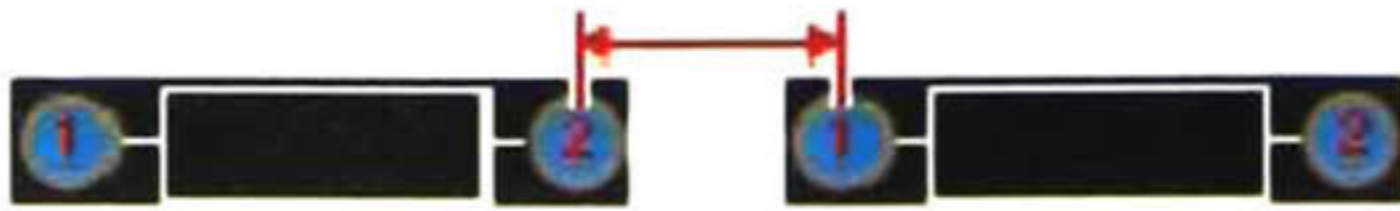
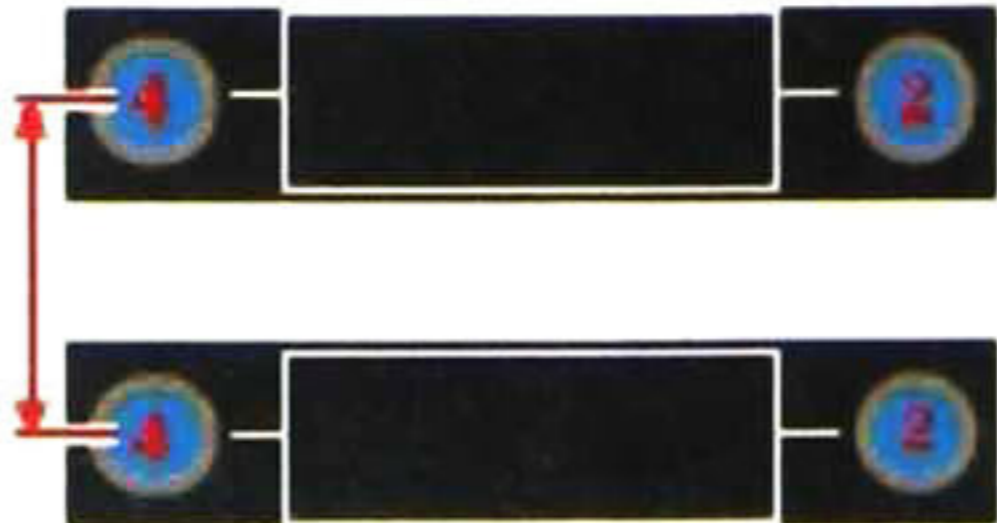
Las directrices que se enlistan a continuación, están enfocadas principalmente a los componentes de montaje superficial y conectores de PTH [7]:

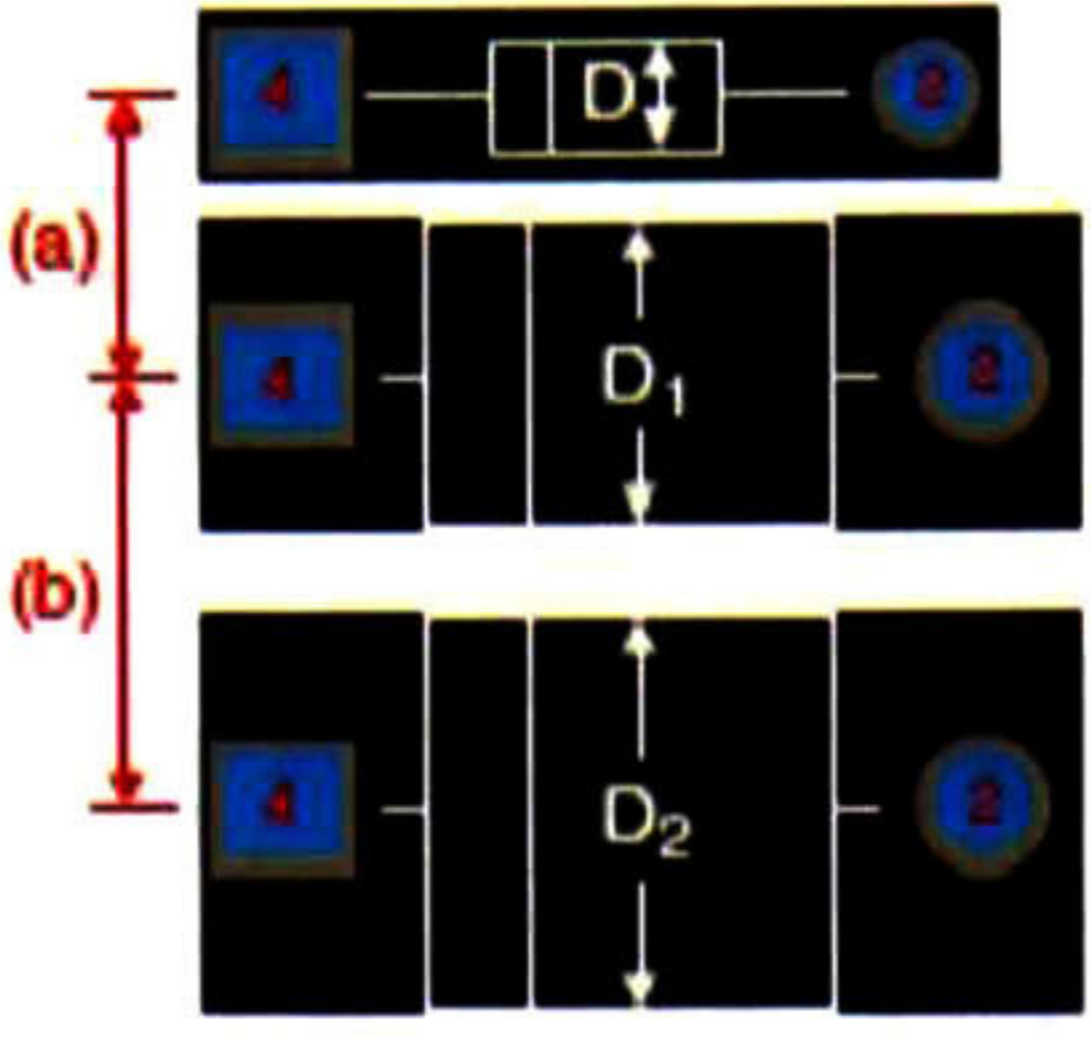
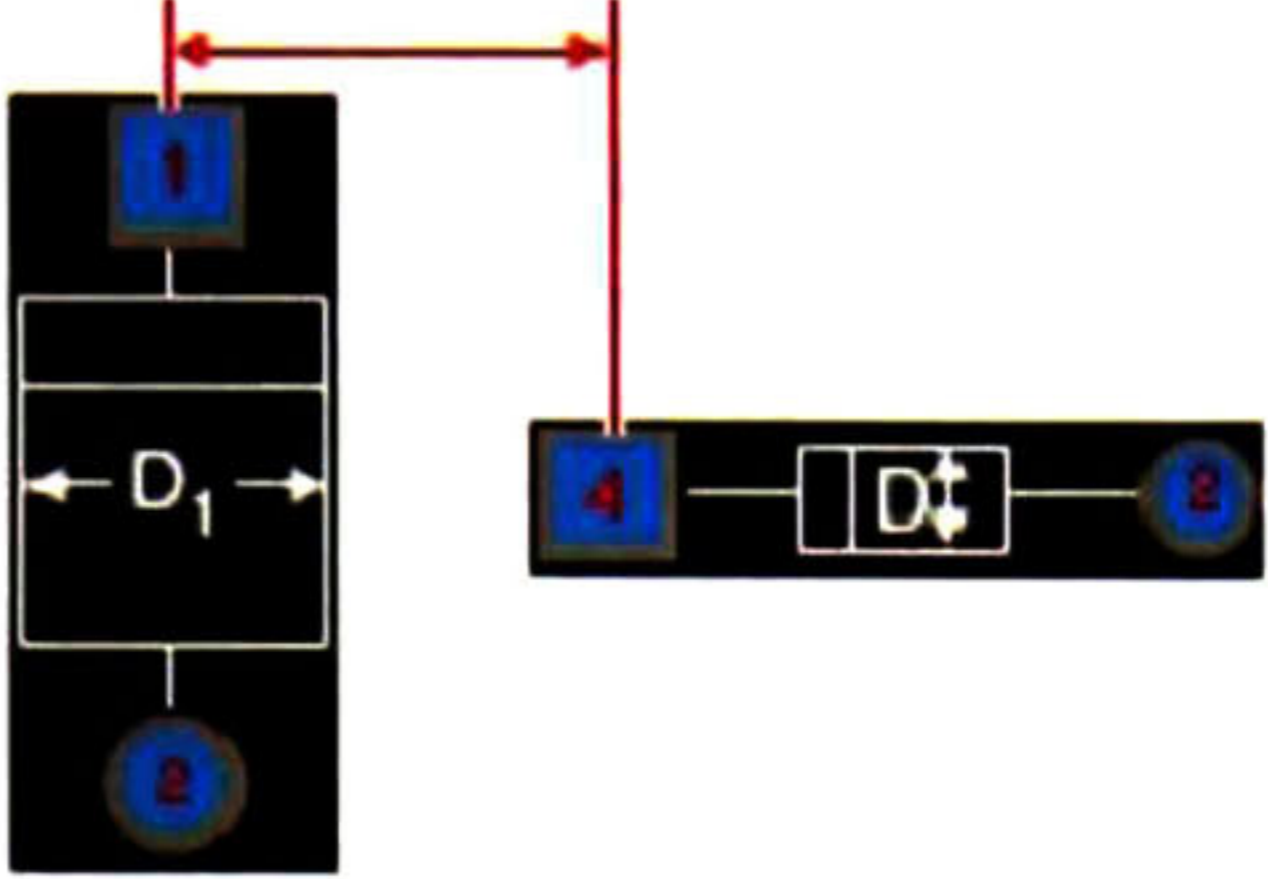
1. Los componentes deben de ser colocados de manera que sean ordenados y organizados con un espaciamiento uniforme además de estar alineados.
2. Procurar que los componentes estén orientados de tal manera que sus bordes sean paralelos a los bordes de la tabla, evitar manejar ángulos diferentes a 90°.
3. Cuando en las misma placa se manejan componentes SMT y PTH, se tiene que tomar en cuenta que el proceso de ensamblado será por fases, por lo que se recomienda tener los componentes PTH todos colocados en la cara superior del PCB, de esta manera se reducirá el costo de ensamblado de dichos componentes.
4. Cuando el proceso de soldado sea mediante ola, no se debe de colocar los conectores de plástico, bases de circuito integrado o capacitores de tantalio en la parte inferior del PCB, ya que debido al estrés térmico que sufren mediante este proceso pueden dañarse.
5. Si nuestro diseño lleva puntos de prueba (TP), es necesario que en el CAD trabajemos con un mallado de 2.54 mm (100 mil), el cual permita colocar los TP a esas distancias, ya que a nivel industrial las camas de prueba por lo general tiene esa distancia entre ellas.
6. Cuando se emplean elementos polarizados como son diodos o capacitores, se deben de orientarse constantemente a lo largo de la tarjeta, de esta manera se facilita la inspección y prueba.
7. Siempre y cuando el diseño lo permita, se debe procurar colocar los conectores en el lado más corto y cercano al borde de la tarjeta, lo que facilita su soldado.

8. Procurar dejar un espacio en los bordes de la tarjeta cuando esté colocando componentes, eso facilitará durante el proceso de ensamblado el manejo de la tarjeta y a su vez la su montaje dentro del chasis.
  
9. Los componentes con un volumen grande o con un peso mayor a los 5 gramos, deben de colocarse por la cara superior de la tarjeta, para evitar problemas mecánicos y de disipación térmica.

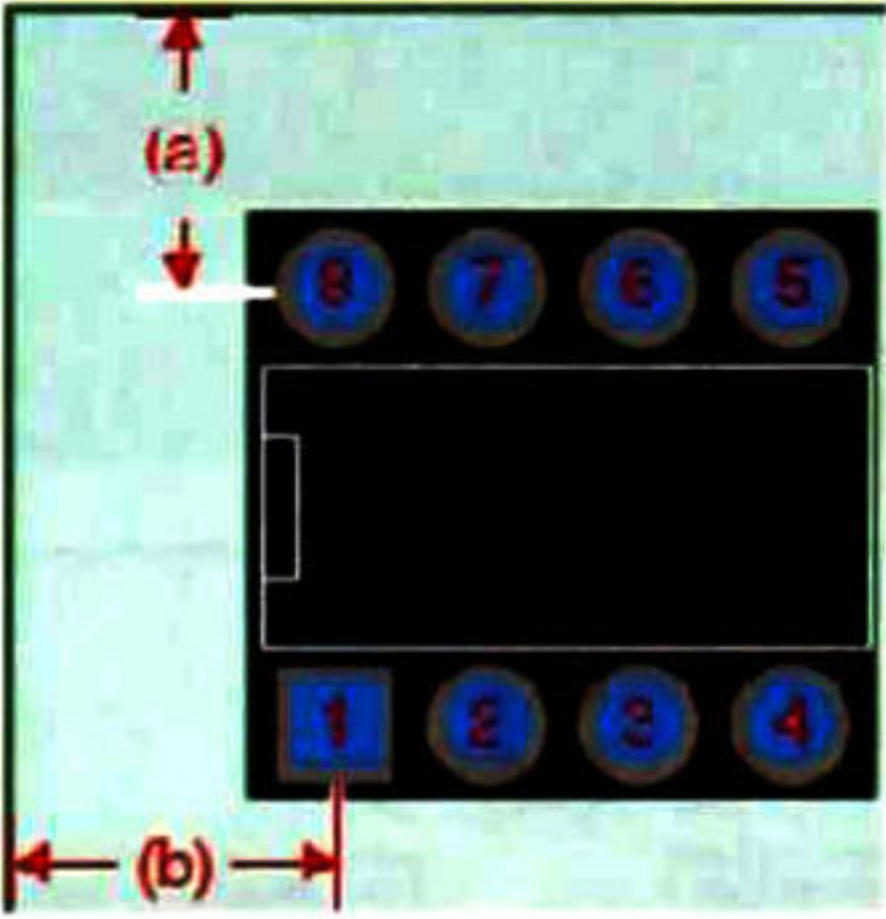
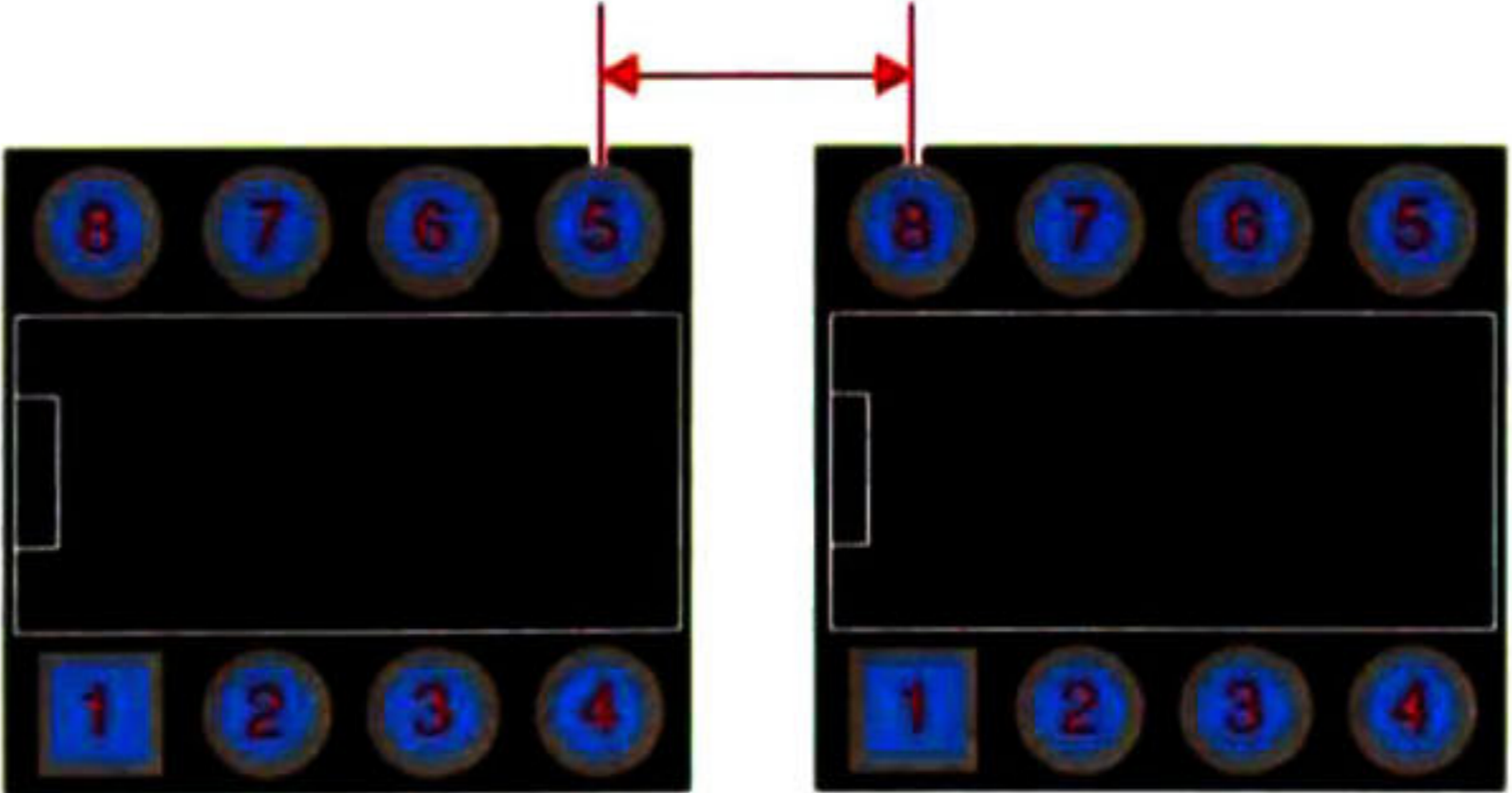
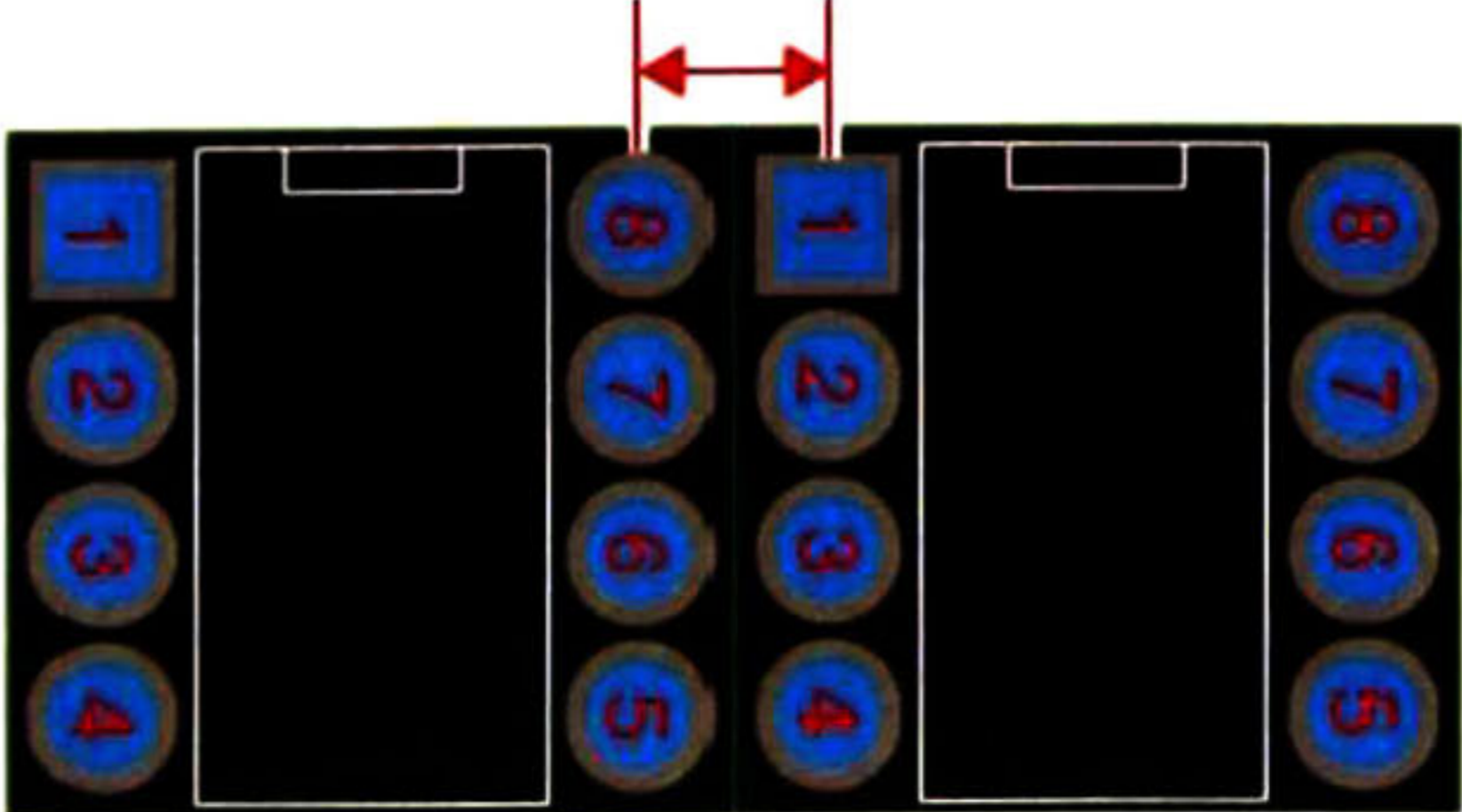
Estas nueve reglas son sólo algunas normas que se encuentran basadas dentro de las directrices que se publican y actualizan en el IPC, la mayoría de estas fueron tomadas de la norma IPC-2221A y la IPC-7351. En las tablas siguientes, se enlistan una serie de reglas que definen las distancias mínimas de separación que deben de tener los componentes pasivos y circuitos integrados al momento de ubicarlos dentro del PCB que se encuentran dentro de la norma IPC-2221A.

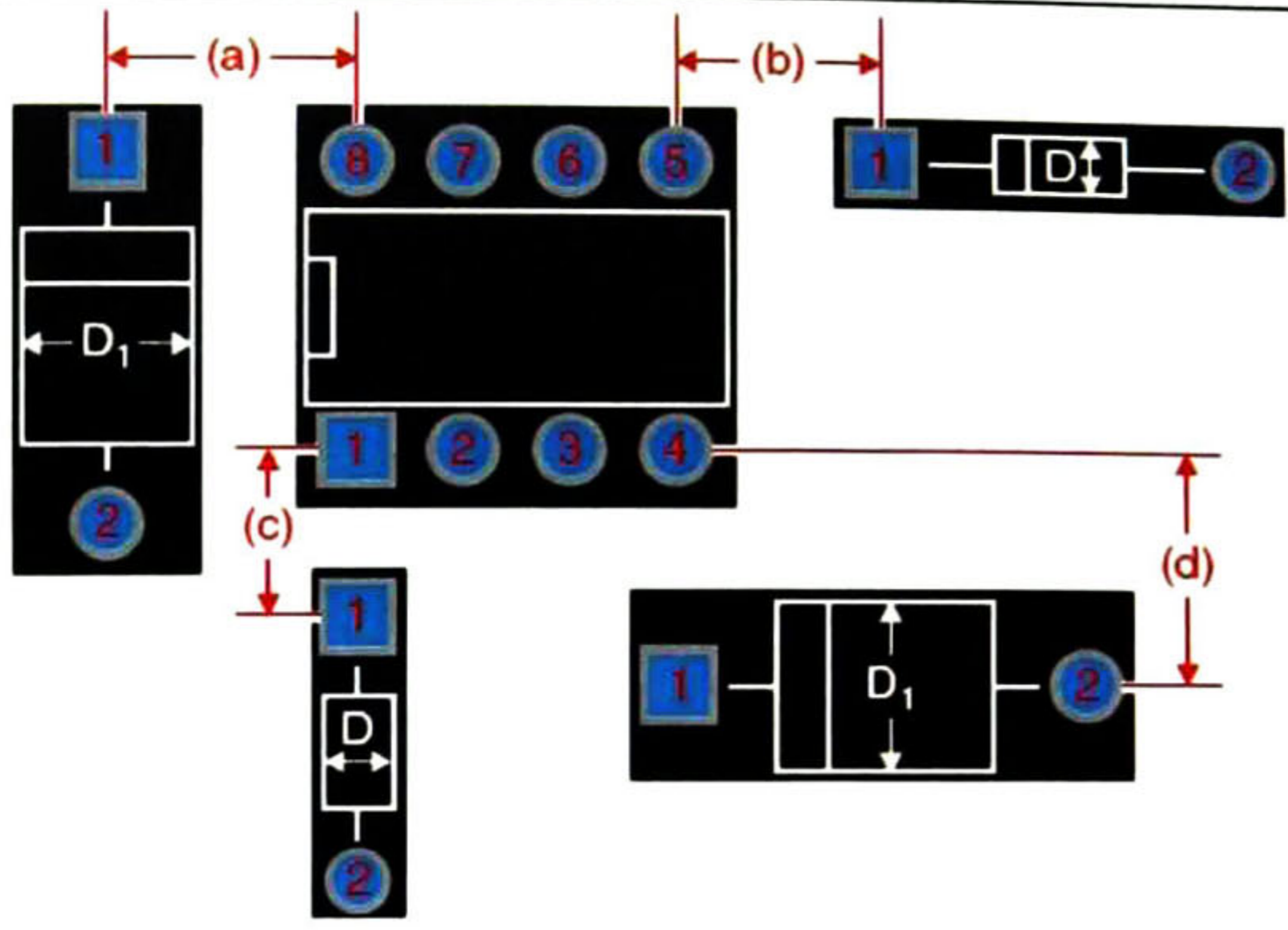
**Tabla VI** Espacios mínimos para colocar componentes pasivos PTH.

Parámetro	Figura	Dimensiones
Separación del borde del PCB y componentes.		a = 1.9mm b = 2.29mm
Separación de los componentes en serie.		2.54mm
Separación de los componentes en paralelo cuando son del mismo tamaño.		2.54mm

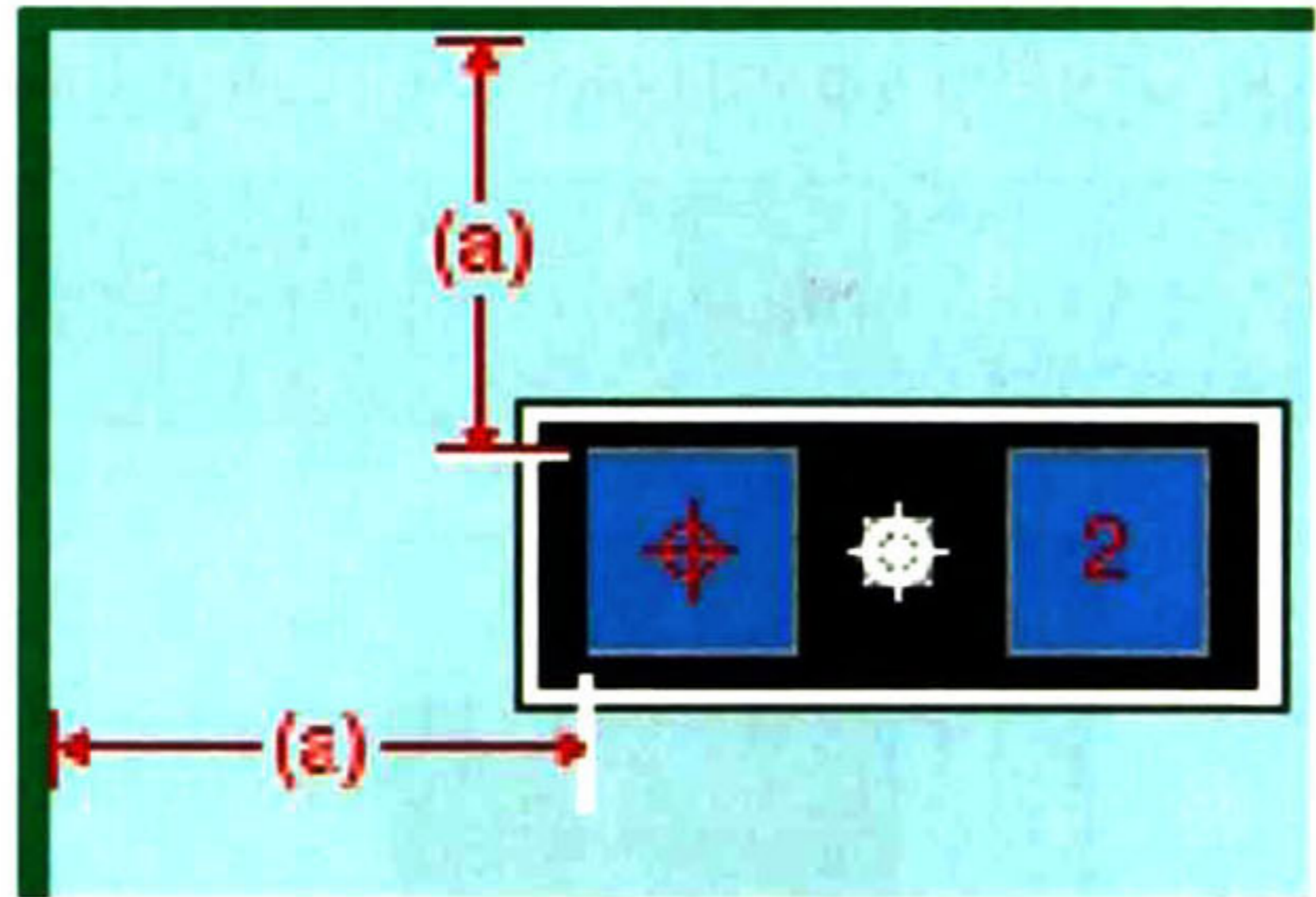
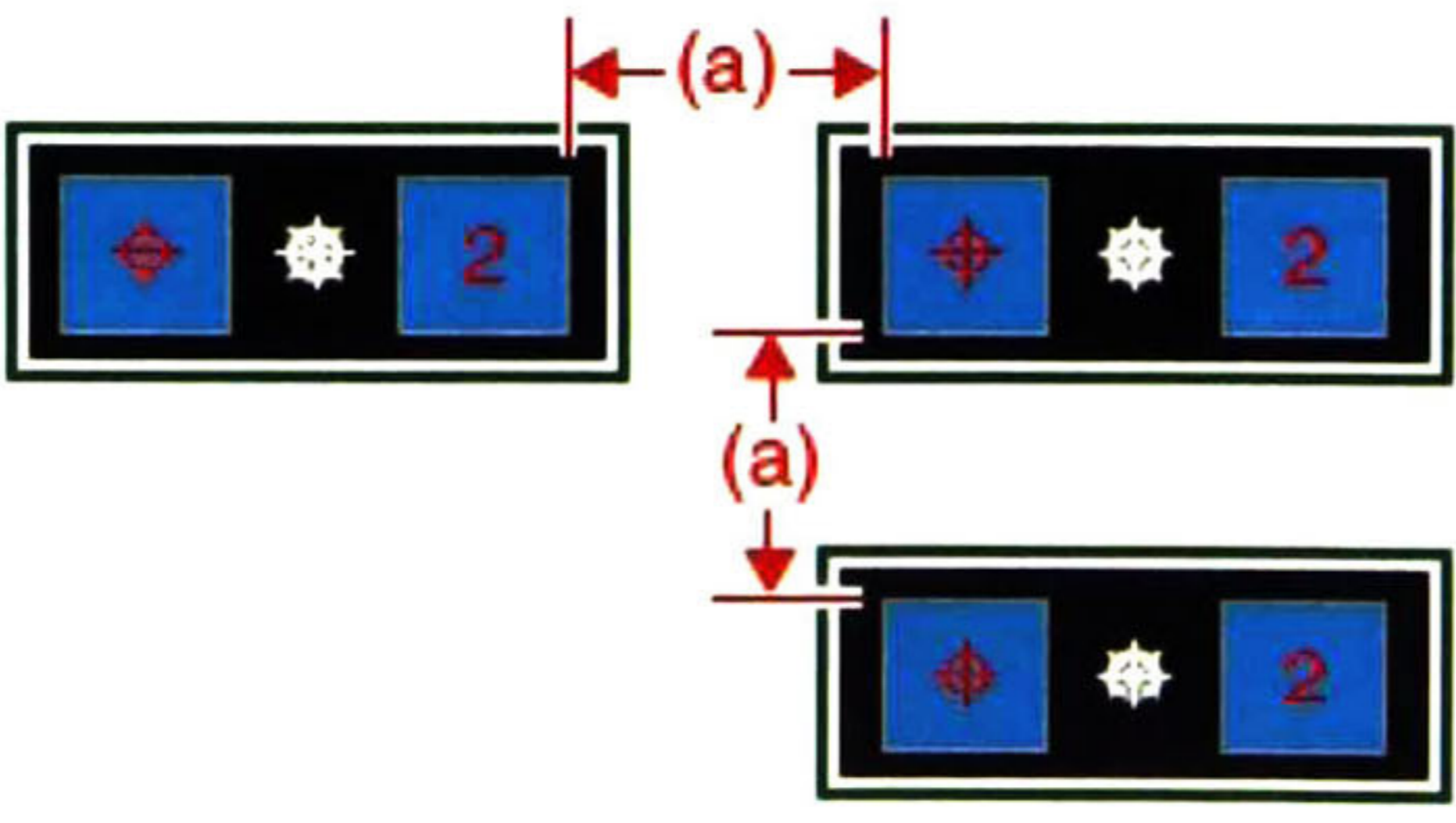
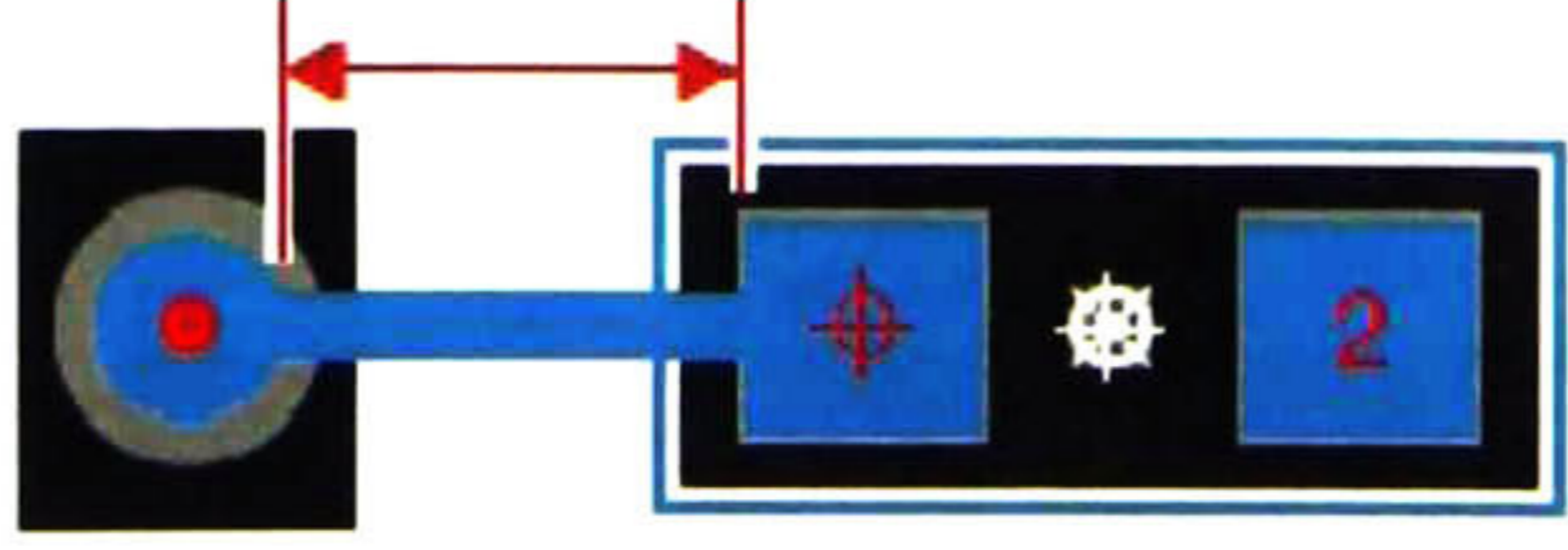
<p>Separación de los componentes en paralelo cuando son de diferente tamaño.</p>	 <p style="text-align: center;"><math>D_2 &gt; D_1 &gt; 2.54 \text{ mm}</math></p>	<p style="text-align: center;"><math>a = 1.78\text{mm} + \frac{1}{2} D_1</math></p> <p style="text-align: center;"><math>b = 0.25\text{mm} + \frac{1}{2} D_1 + \frac{1}{2} D_2</math></p>
<p>Separación entre dos componentes en diferente ángulo y tamaño.</p>		<p style="text-align: center;"><math>2.41\text{mm} + \frac{1}{2} D_1</math></p>

**Tabla VII** Espacios mínimos para colocar circuitos integrados PTH.

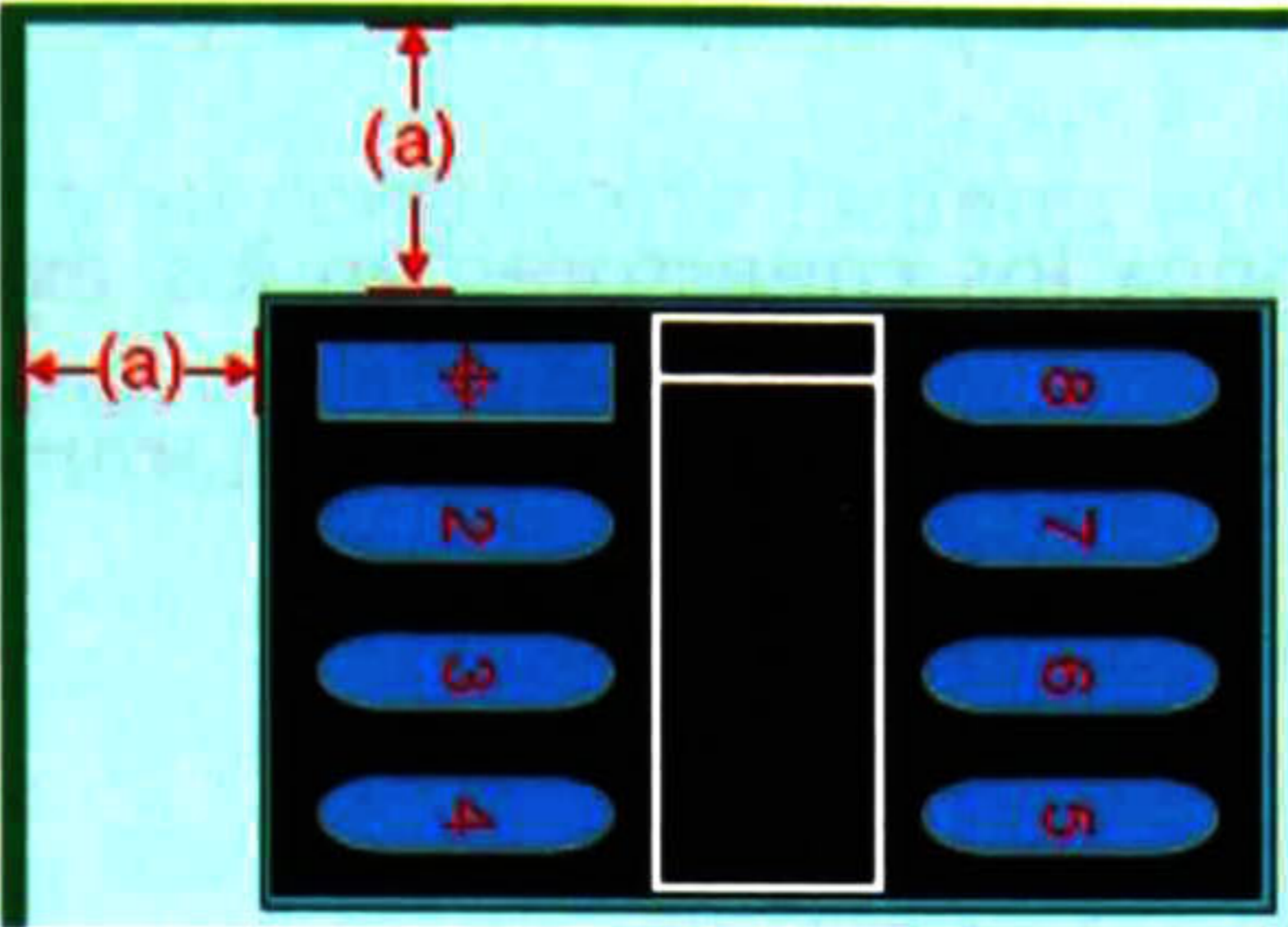
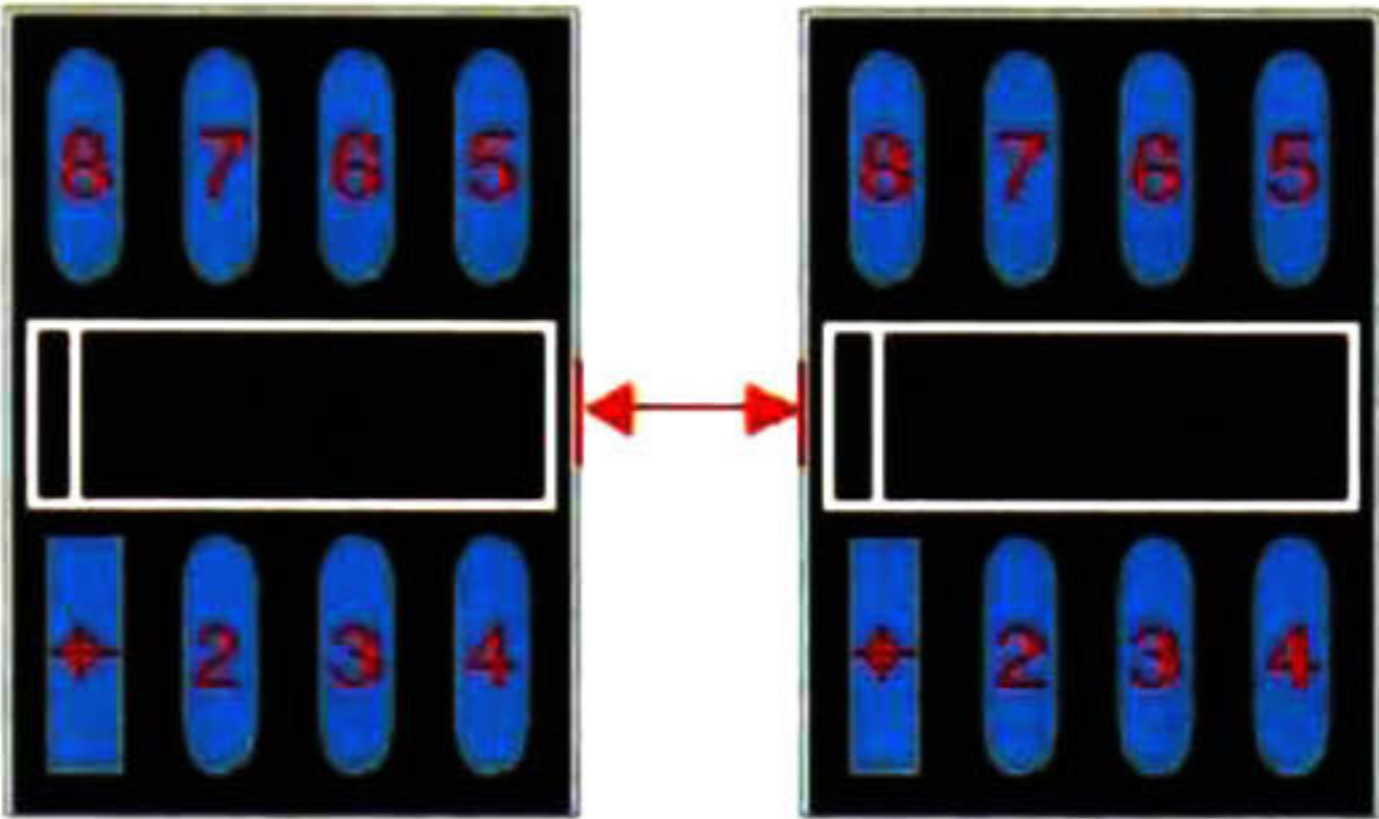
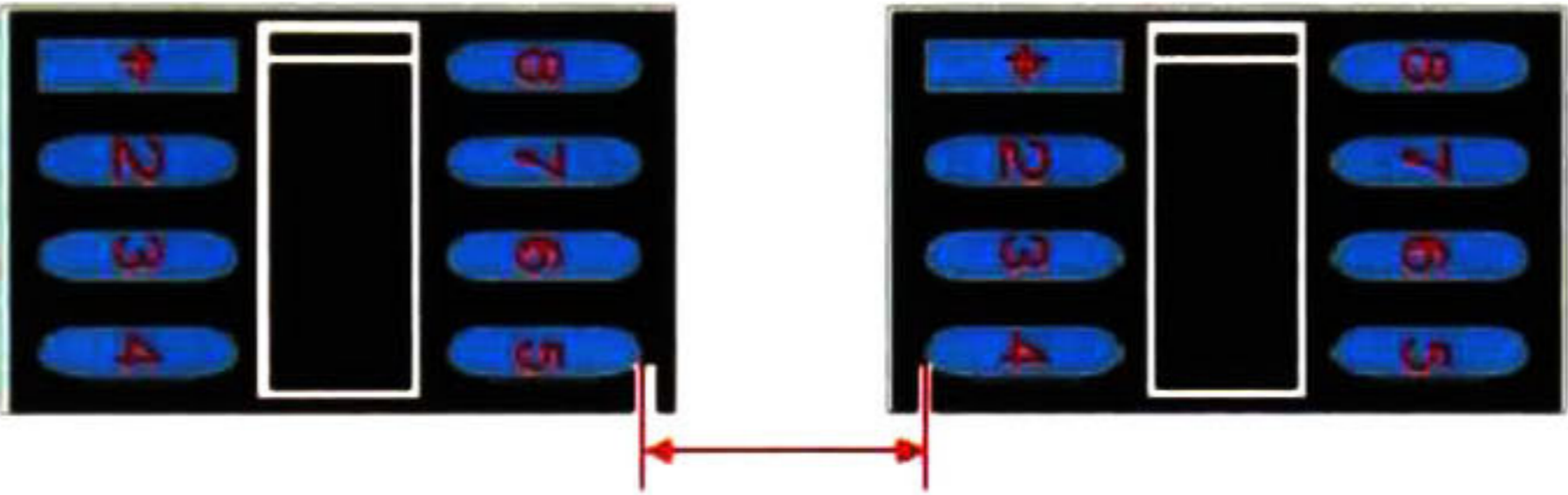
Parámetro	Figura	Dimensiones
<p>Separación del borde del PCB y el circuito integrado.</p>		<p style="text-align: center;"><math>a = 2.54\text{mm}</math></p> <p style="text-align: center;"><math>b = 1.91\text{mm}</math></p>
<p>Separación de circuitos integrados en serie.</p>		<p style="text-align: center;"><math>5.08\text{mm}</math></p>
<p>Separación de circuitos integrados en paralelo.</p>		<p style="text-align: center;"><math>2.54\text{mm}</math></p>

<p>Separación de un circuito integrado y varios elementos de PTH</p>	 <p style="text-align: center;"><math>D \leq 2.54\text{mm}; D_1 &gt; 2.54\text{mm}</math></p>	<p> <math>a = 2.91\text{mm} + \frac{1}{2} D_1</math>  <math>b = 5.08\text{mm}</math>  <math>c = 2.54\text{mm}</math>  <math>d = 1.02 + \frac{1}{2} D_1</math> </p>
--	---	--

**Tabla VIII** Espacios mínimos para colocar componentes SMT.

Parámetro	Figura	Dimensiones
<p>Separación del borde del PCB y el componente.</p>		<p>1.5mm</p>
<p>Separación de los componentes en serie y paralelo.</p>		<p>Si el tamaño del footprint es 0603 o mayor  <math>a = 0.5\text{mm}</math>  Si es menor  <math>a = 0.5\text{mm}</math></p>
<p>Separación entre los pad y las vías.</p>		<p>0.5mm</p>

**Tabla IX** Espacios mínimos para colocar circuitos integrados SMT.

Parámetro	Figura	Dimensiones
Separación del borde del PCB y el componente.		1.5mm
Separación de los circuitos integrados en serie.		0.5mm
Separación de los circuitos integrados en paralelo.		0.5mm

Muchas de las directrices que vienen marcadas en las tablas VI a la IX, están ya estipuladas dentro de los CAD que se emplee. Pero también existen otras recomendaciones relacionadas con la ubicación de los componentes con la finalidad de ayudar a evitar problemas de funcionalidad y no con los procesos de manufactura. A continuación se enlistan varias sugerencias.

- ✓ Siempre se tiene que tomar en cuenta el diseño mecánico en la selección y ubicación de los componentes, aunque para el diseñador es importante la funcionalidad eléctrica es necesario saber los límites de volumen y peso en la tarjeta así como la densidad de componentes para la disipación de calor.

- ✓ Por funcionalidad, es necesario que todas las partes que conforman una sección específica dentro del PCB, permanezcan lo más cercas posible, eso evitará realizar trazos largos y la inspección será más rápida.
- ✓ Procurar dejar todos los conectores en los extremos de la tarjeta, lo más alejado de los circuitos, con esto evitaremos tender cables sobre la circuitería.
- ✓ Una buena práctica antes de realizar la ubicación de los componentes, es jerarquizar los circuitos a partir de la velocidad de operación, ya que son los más susceptibles a ruido e irlos separando dependiendo de su jerarquía.

En la figura 5.7, se muestra el caso para un sistema de procesamiento de señales, y en la parte más baja están ubicados lo conectores los cuales están en las orillas de la tarjeta, por lo que en la parte más alejada o en el centro de la placa se localiza el microprocesador.



Fig. 5.7 Jerarquía de sistemas dentro de un PCB.



### 5.3.2 Planos de tierra.

Existe un punto intermedio en el diseño de PCB que puede considerarse como reglas de ubicación de componentes y la forma en la que se realiza el ruteo de pistas, pero enfocadas a la alimentación y su contraparte la tierra así como el uso de capacitores de *bypass* y de desacoplo a lo largo de la tarjeta.

Es muy común que a nivel académico e industrial, los esquemáticos se ilustren mostrando un símbolo de tierra ( $\equiv$ ), para ilustrar el punto de referencia o de cierre del circuito, como se muestra en la figura 5.8. Cuando trabajamos con corriente continua también es asociado este símbolo como el polo negativo (-) de la fuente de alimentación. Todo esto nos da la impresión de que la tierra está presente en todo el circuito y que no importa su posición siempre tendrá la misma función haciendo el circuito equipotencial [13].

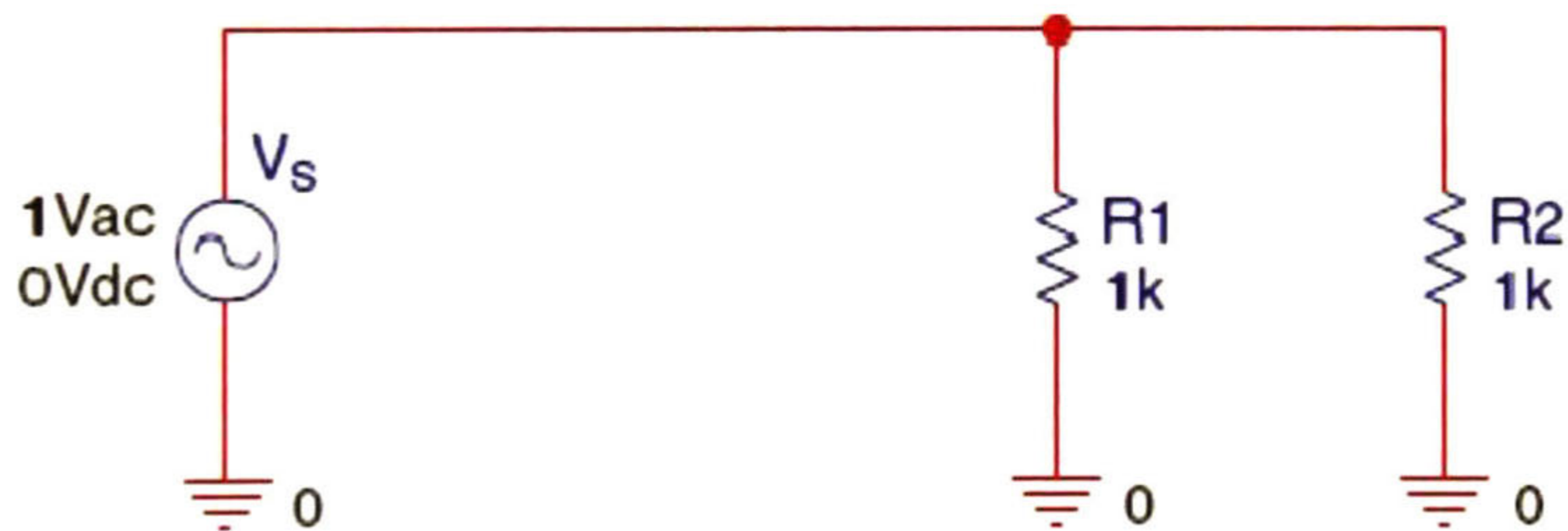
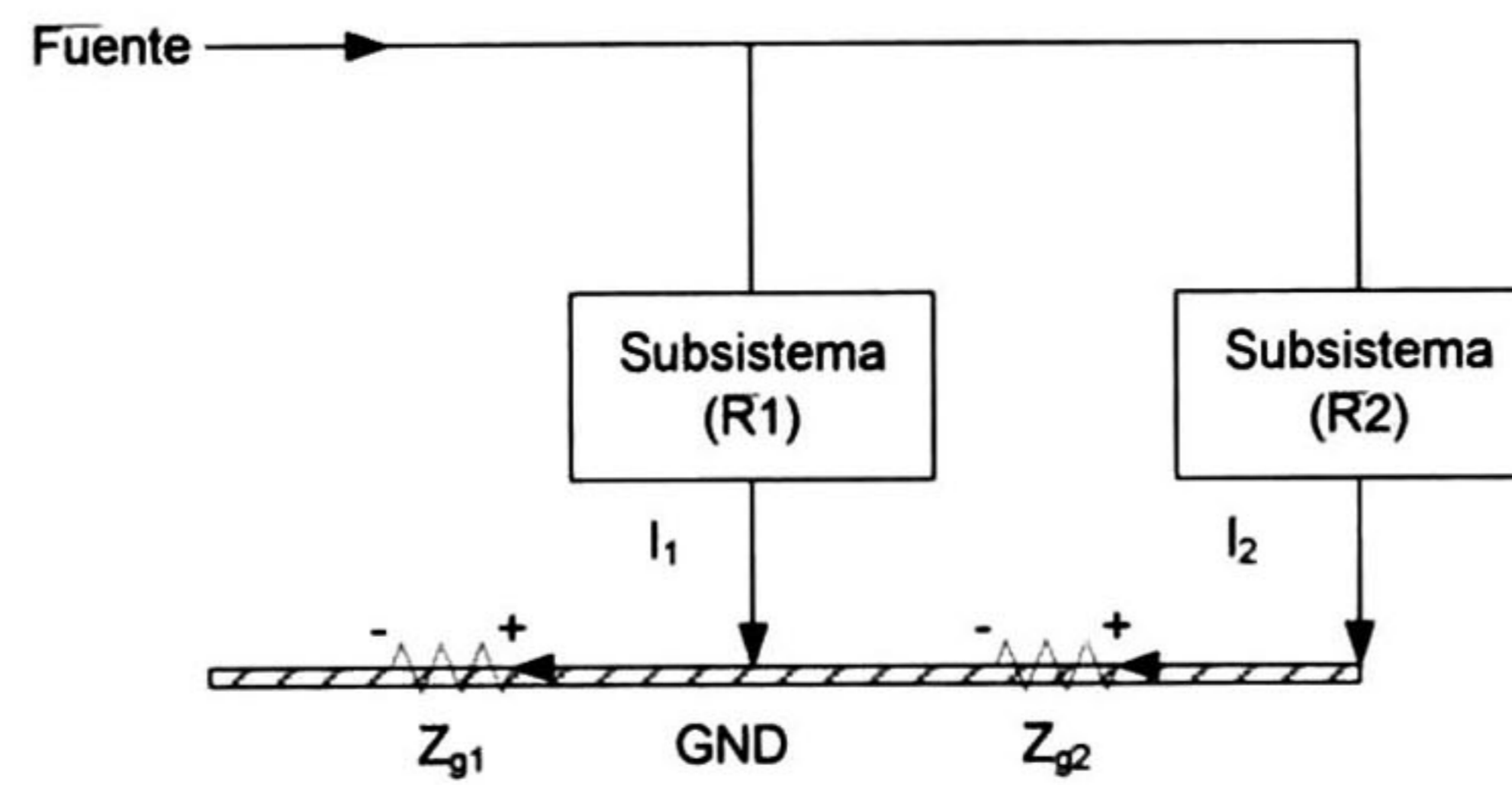


Fig. 5.8 Descripción de tierra en un esquemático.

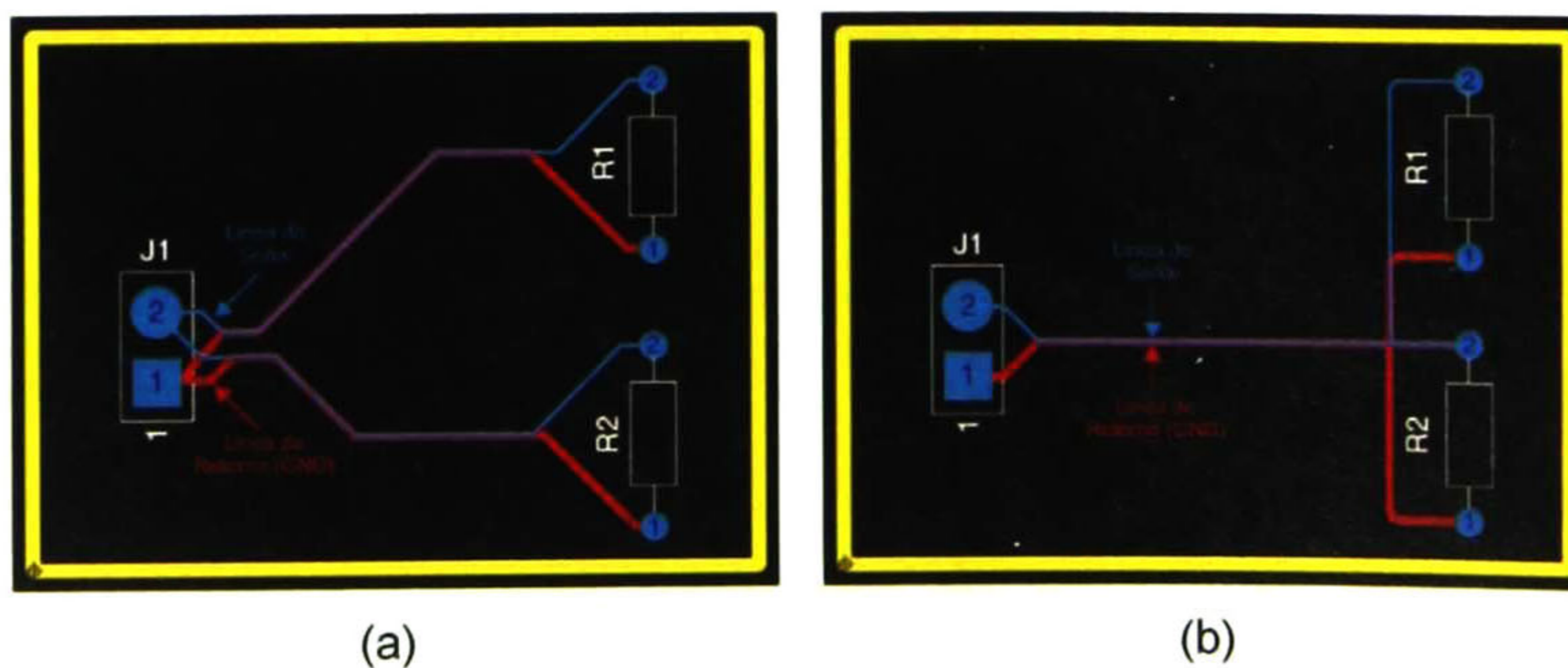
Pero cuando traducimos los esquemáticos a un circuito en PCB tenemos que ver a la tierra o el plano de referencia o el negativo del circuito con una impedancia cero, es un elemento que se tiene que manejar con cuidado. Ya que dentro de sus muchas aplicaciones están las de ayudar a desviar ESD para que no dañe los circuitos, también es empleado como el medio para disipar calor de los componentes y blindaje contra EMI.

Lo primero es saber que la tierra al igual que cualquier otro trazo en el PCB es un conductor, el cual posee una cantidad de impedancia, lo que provoca caídas de tensión a través de él cuando circulan las corrientes de retorno del circuito. Además debemos tener en cuenta que al trabajar con frecuencias altas se presentan fenómenos parásitos de cualquier conductor haciendo que se comporte con una impedancia inductiva.



**Fig. 5.9** Corrientes de retorno.

En la figura 5.9, se puede ver como existen las caídas de tensión a lo largo del plano de tierra debido a la impedancia que se genera través de tierra. Cada camino que la corriente toma desde la fuente hasta tierra es llamado lazo de retorno. Dependiendo de cómo estén conectados los componentes en el PCB, el lazo de retorno puede estar en serie o paralelo como se ve en la figura 5.10.



**Fig. 5.10** (a) Conexión en paralelo. (b) Conexión en serie o común.

El tamaño y forma de estos lazos juegan un papel importante, debido a que si poseen una longitud grande se incrementará las emisiones radiadas por las corrientes que fluyen a través del lazo, por esta razón se deben de minimizar los lazos de retorno con el fin de tener una menor radiación además de reducir los efectos inductivos que se generan en el conductor.

Una de las técnicas que se emplean para reducir estos efectos es emplear planos de tierra a lo largo del PCB, de esta manera se reduce de manera muy sustancial la impedancia característica del plano [12]. Por consecuencia también se reducen las caídas de voltaje a lo largo de la tarjeta ya que se incrementa la capacitancia entre el plano de tierra y la polarización, reduciendo los efectos de voltajes inducidos. En la figura 5.11, se ilustran en los dos primeros bloques como se encuentra el tamaño de los lazos de retorno cuando la conexión se realiza en paralelo; pero si la forma de polarizarlo es empleando planos a lo largo de PCB como el último bloque donde el área del lazo es más pequeña.

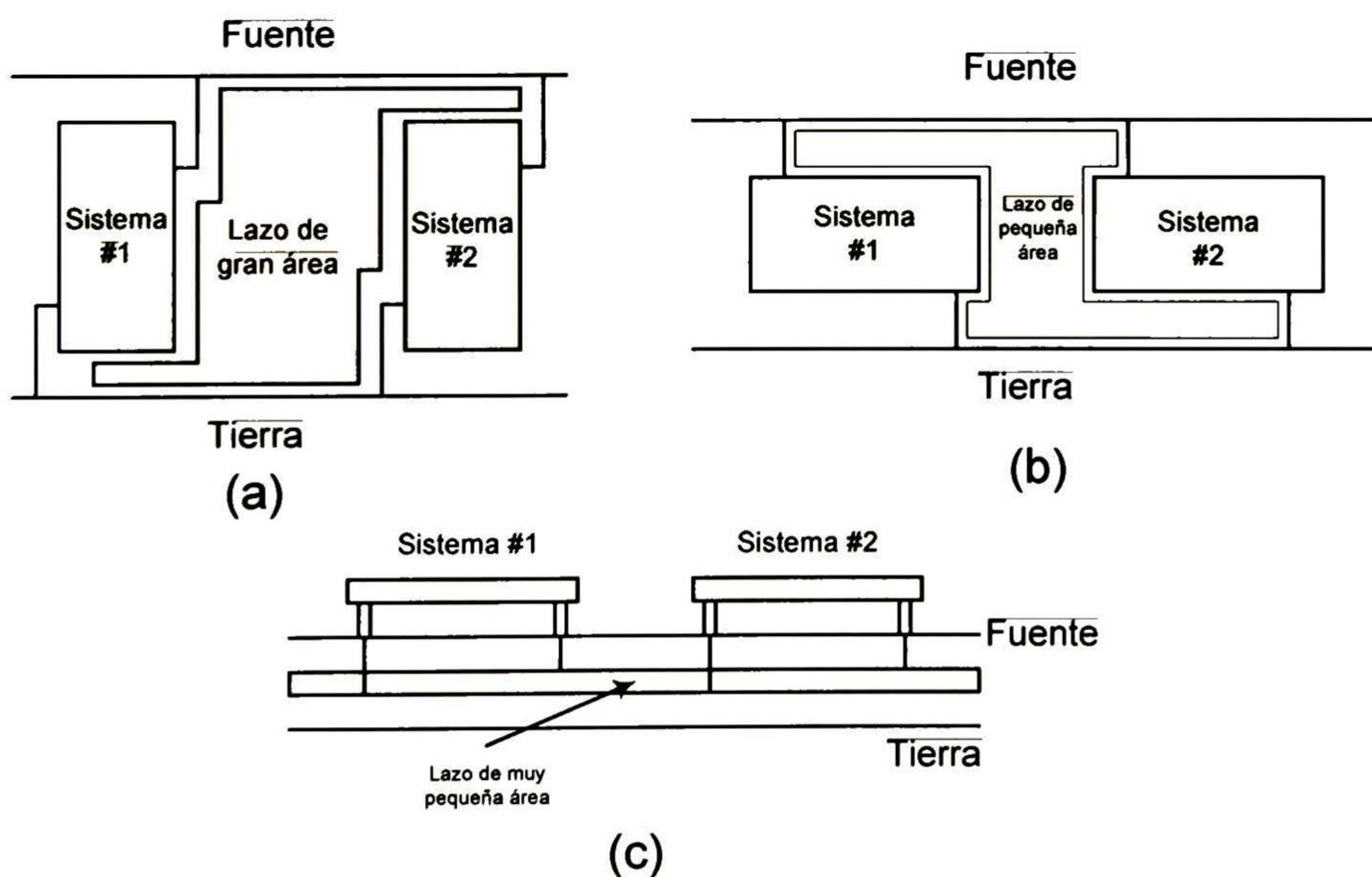
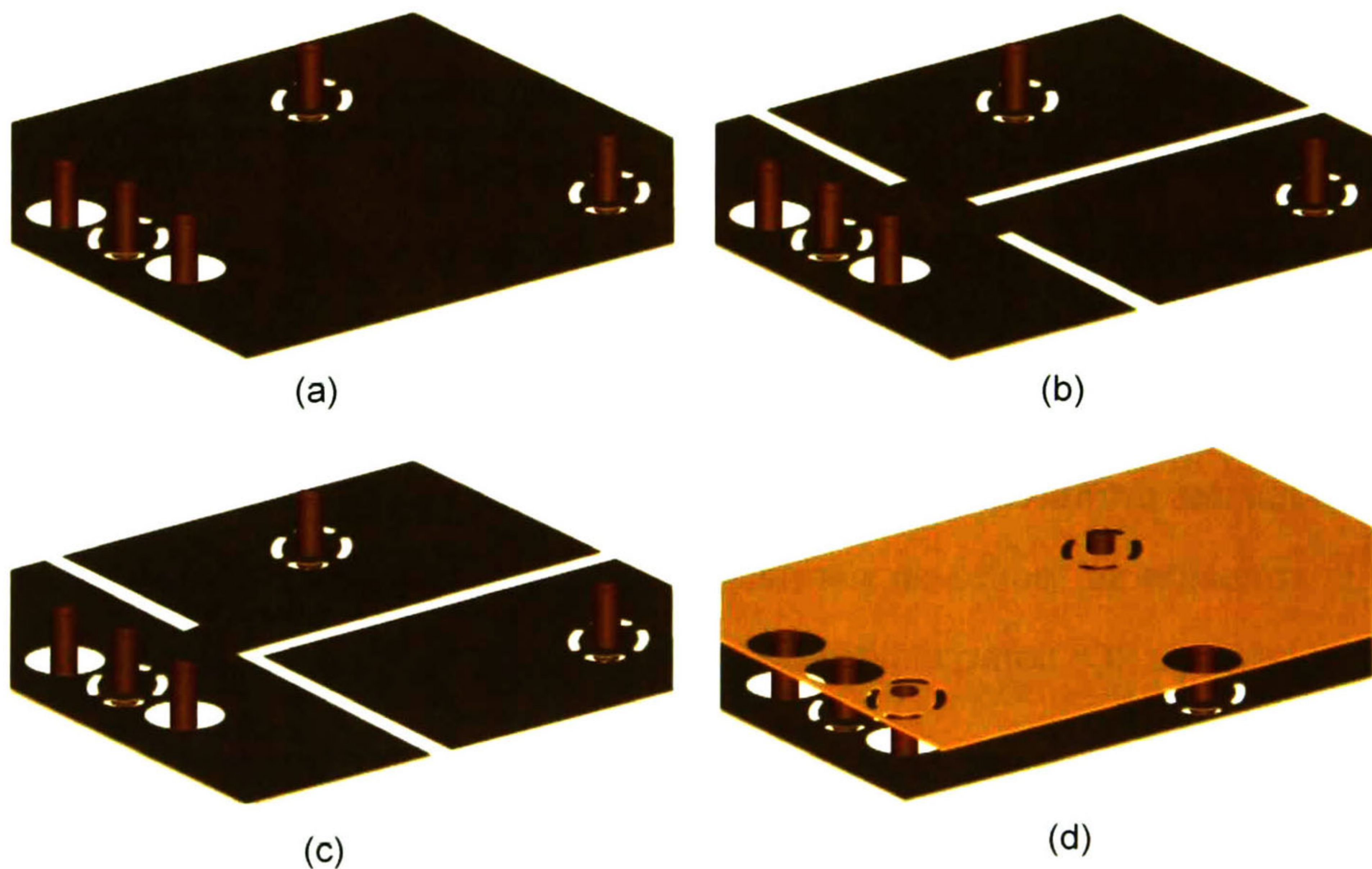


Fig. 5.11 Diferentes tipos de lazo: (a) Lazo largo, (b) Lazo pequeño, (c) Lazo muy pequeño.

Como se ve en la figura 5.11 (c), el trabajar con un plano de tierra y otro de alimentación, ayuda a reducir el tamaño del lazo. Ahora bien, existen muchas variables que determinan la forma y el tamaño del plano de tierra, esto obedeciendo al tipo de señales que se retornan por él.

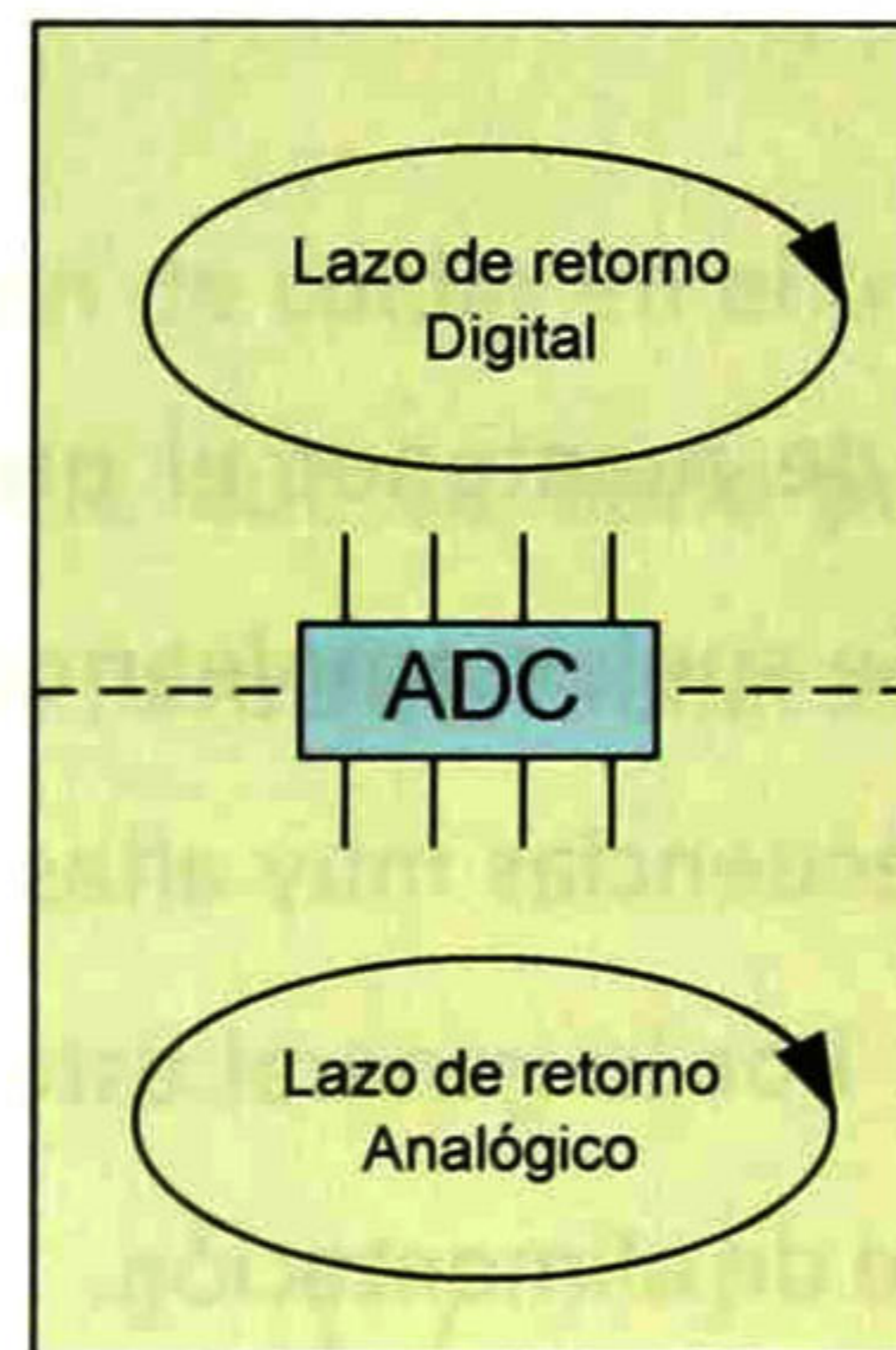


**Fig. 5.12** Planos de retorno: (a) continuo en una capa del PCB; (b) separado en una capa del PCB; (c) asilado en una capa de PCB; (d) en diferentes capas del PCB.

En la figura 5.12, se muestran cuatro tipos diferentes de planos de tierra, estos según las necesidades del diseño. El primero es el más común en aplicaciones en donde solo existe una única señal de retorno a tierra, ya sea analógica o digital. Después surgen las variaciones o deformaciones en el plano. En el caso de (b) y (c) se sugiere una separación física del plano de tierra para diferentes propósitos, es decir, si en el plano viajan tanto señales analógicas y digitales, lo que se realiza es una separación o islas de tierra las cuales correspondan a cada circuitería, esto se recomienda cuando se tiene un conocimiento total del tipo de señales que están en el PCB. Por último el caso (d) es

cuando se trabaja con un PCB de varias capas, en el cual se necesitan diferentes planos de tierra a lo largo de la circuitería.

Pero existe el caso en el que un mismo circuito trabaja con ambas señales como es el caso de los ADC/DAC y también circuitos de procesamiento analógico, en donde se trabaja con una señal analógica pero su control se realiza de manera digital, por mencionar un ejemplo. Aquí en estos casos se sugiere una separación de la tierra de manera virtual, es decir se emplea un mismo plano de tierra pero un área se dedica a la parte analógica y otra a la digital. Cabe mencionar que para este caso el plano de tierra se extiende en las capas tanto superior como inferior del PCB con una guarda la cual permita el fabricante [14]. Ver figura 5.13.



**Fig. 5.13** Planos de retorno virtual en un sistema de señal mezclada.

La unión de estos diferentes planos se realiza por medio de vías o tornillos que los interconecte, tomando en cuenta que la separación entre ellos no debe de superar una distancia de  $\lambda/20$  con respecto a la frecuencia mayor dentro del sistema ya sea analógica o digital. De preferencia es necesario que este tipo de interconexiones se empleen para unir también el PCB al chasis del sistema y de esta manera también se consigue una protección contra ESD.

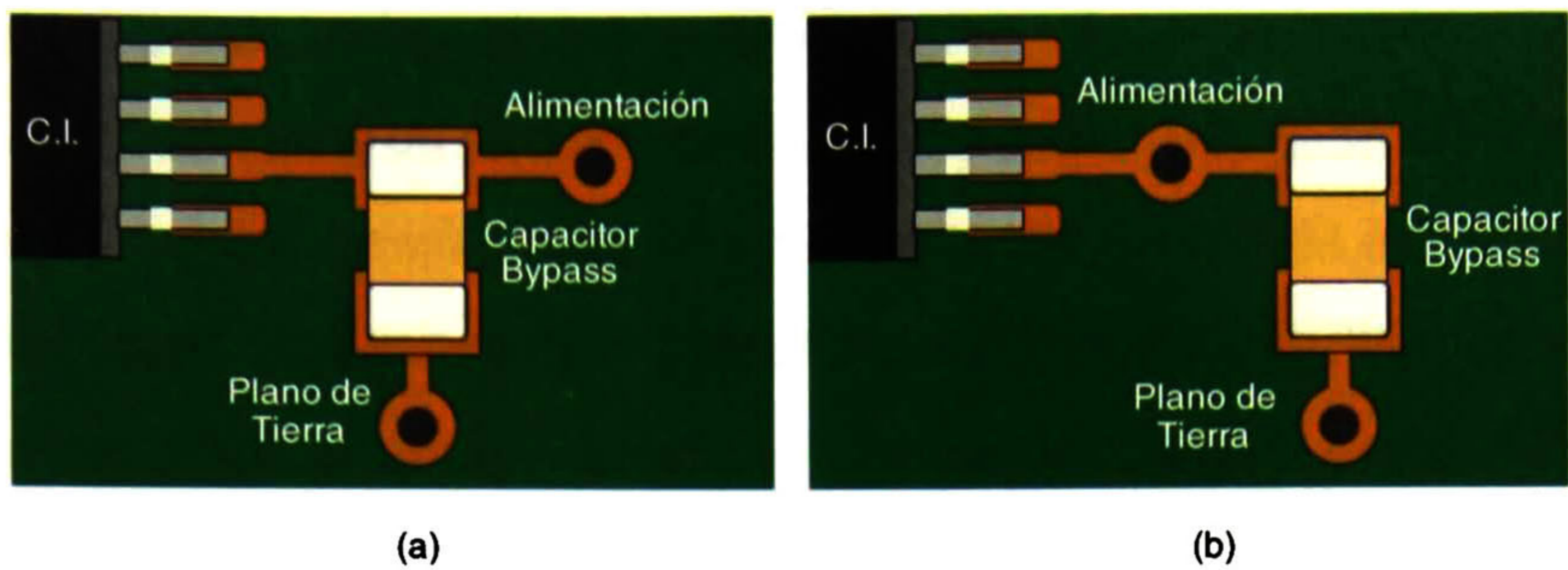
### *5.3.3 Distribución de la red de alimentación y capacitores.*

Algo que va muy de la mano con la colocación del plano de tierra es también la distribución de las líneas de alimentación dentro del mismo sistema, en este caso también se realiza de dos maneras. La primera consiste en un plano único el cual se puede segmentar en diferentes partes, con el fin de tener varios valores de polarización pero con el requerimiento de tener una capa exclusiva para ello, en caso contrario, se recurre a realizar trazos de líneas sobre las capas disponibles.

Cuando nos enfocamos al uso de trazos largos para las líneas de alimentación, debemos de tener en cuenta el uso de capacitores de carga con el propósito de mantener el nivel de carga a lo largo de las pistas. Otra finalidad de usar capacitores de carga es reducir las transiciones que se generan al momento de encender el sistema o cuando éste realiza conmutaciones [12].

Todo esto con el propósito de mantener el nivel de carga para evitar caídas de voltaje en diversas áreas del PCB. Se suelen emplear condensadores de tantalio para esta aplicación debido a que ofrecen frecuencias muy altas de autoresonancia y el valor típico oscila entre los 10  $\mu\text{F}$  y los 100  $\mu\text{F}$ . Por lo general este tipo de capacitores son colocados en la parte más cercana de la fuente de alimentación.

También se emplean otro tipo de capacitores a lo largo de la redes de alimentación, los cuales actúan como un corto al ruido de alta frecuencia. Estos capacitores son conocidos como bypass y su valor oscila entre los 10 pF y 1 nF. Existe una regla la cual indica cómo se tiene que colocar dichos capacitores antes de llegar al circuito integrado dependiendo si es digital o analógico, esto es sin importar si el potencial llega de un plano de alimentación o de una pista desde la fuente, como se ilustra en la figura 5.14.



**Fig. 5.14** Ubicación del capacitor bypass: (a) circuito analógico; (b) circuito digital.

#### 5.3.4 Formas de los trazos de pistas.

La parte más importante en el diseño de PCB, es en el ruteo o trazo de las pistas de cobre sobre la placa de circuito impreso para interconectar los diferentes componentes dentro del circuito.

Una de las cosas que se deben de cuidar en el trazo de las líneas de alimentación es su ancho ( $w$ ), ya que es la variable que se tiene para poder controlar la cantidad de corriente que es capaz de manejar. Para determinar el valor mínimo del ancho de la pista se emplea la ecuación 5.1.

$$w = \left( \frac{1}{1.4 \cdot h} \right) \cdot \left( \frac{\Psi}{k \cdot \Delta T^{0.421}} \right)^{1.379} \quad (5.1)$$

En donde  $h$  corresponde al grosor del cobre en  $\text{oz}/\text{ft}^2$ ,  $\Psi$  es la corriente total en amperes,  $\Delta T$  es la máxima elevación de temperatura permitida en grados centígrados, por lo general es una regla de seguridad que en FR4 se usa un  $\Delta T = 20^\circ\text{C}$ .  $k$  es una constante cuyo valor en trazos externos es 0.048 y en caso de que el trazo se realice internamente su valor es de 0.024. Por último, el valor de  $w$  está dado en milésimas de pulgada.

Actualmente existe el software con la capacidad de realizar esta tarea, pero debido a que la mayoría de los algoritmos que emplean este tipo de programas consiste sólo en buscar la ruta más corta para conectar los dos puntos diferentes de un circuito, y para lograrlo, suele recurrir al empleo de vías cuando las distancias y los pines se vuelven más inaccesibles.

Por lo que es recomendado por muchos diseñadores evitar el uso de las herramientas de trazado automático que poseen los programas de diseño. Esto implica realizar la mayoría de los trazos manualmente. Para facilitar este trabajo se recomienda agrupar y jerarquizar las señales.

Dentro de las reglas que se tienen para realizar los trazos, existe la llamada 3-W, la cual tiene el propósito de minimizar los efectos de acoplamiento electromagnético entre pistas, es decir el *crosstalk*. Esta regla establece que la distancia entre cada pista debe de ser al menos tres veces el ancho de una sola pista medido desde el centro de cada pista. Con esta regla se procura bajar un 70% al menos la interferencia entre pistas ocasionada por el campo magnético que es inducido. El uso de esta regla, es prioritario en el caso de señales periódicas de alta velocidad y señales con un gran contenido armónico.

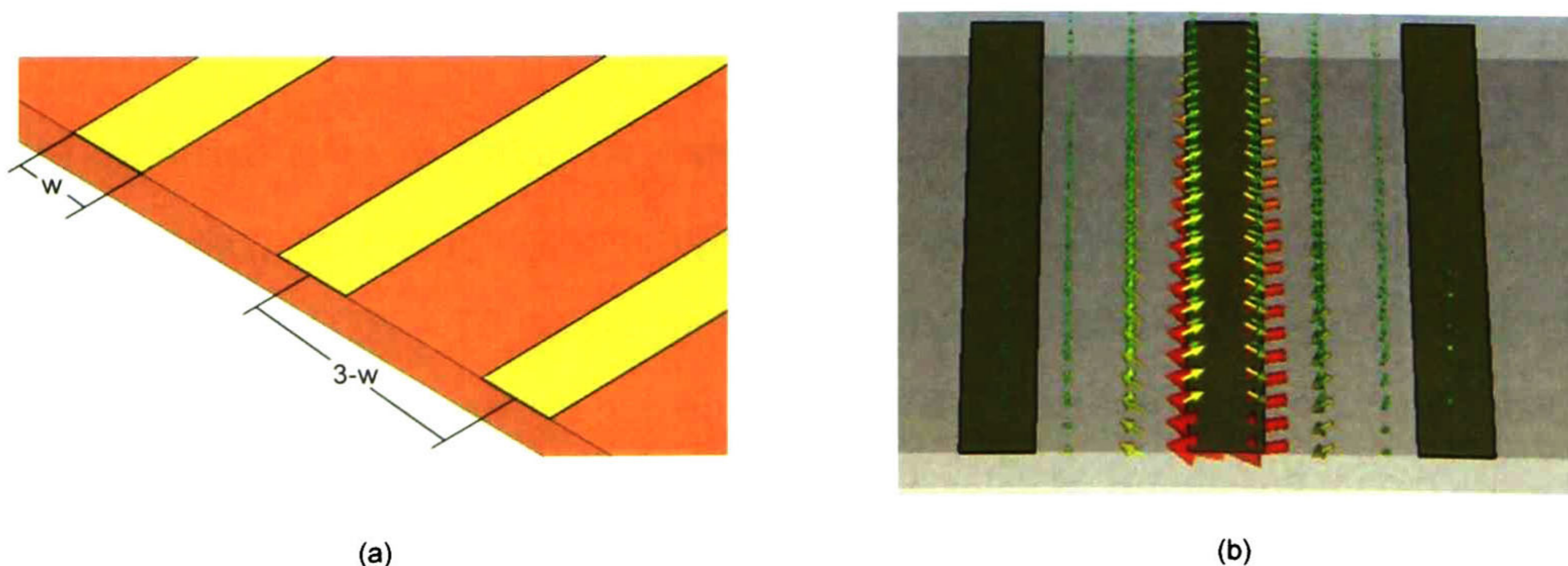


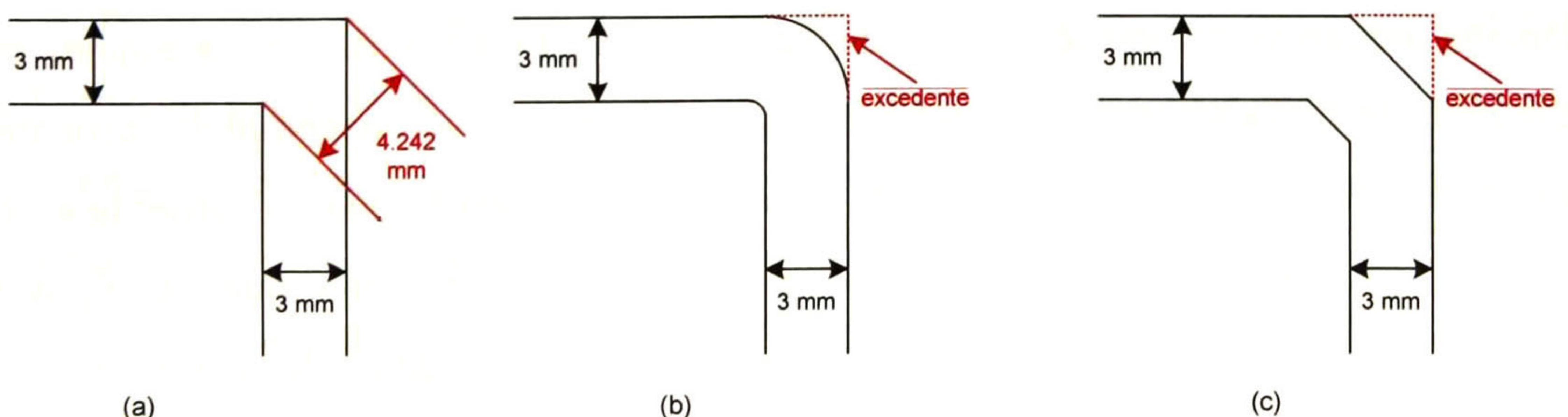
Fig. 5.15 Regla 3-W: (a) Medidas y distancias de las pistas; (b) simulación electromagnética.



En la figura 5.15, se muestra un ejemplo de la regla 3-W, en la figura (a) se ilustra la medida tomada de una pista  $w$  y la distancia apropiada que se debe de tener entre las pistas de tres veces el ancho; en la parte (b) se realiza una simulación electromagnética en donde la pista central es excitada por una señal de reloj con una frecuencia de 800 MHz y se ilustra la magnitud del campo magnético alrededor de esta pista y como llega a afectar a las pistas adyacentes.

Cuando se está realizando el ruteo de las pistas, es importante también limitar la forma que toman ya que una de las recomendaciones es evitar el uso de ángulos rectos al momento de realizar los trazos. Esto genera una serie de problemas, el primero es que el área de cobre se incrementa en la esquina, además el ancho es 1.414 mayor que la pista creando cambios en la impedancia de la misma.

En la figura 5.16, podemos observar diferentes tipos de esquinas que se pueden hacer al momento de estar trazando las pistas, en la figura (a) se muestra una terminación con un ángulo recto, el cual mencionamos que no es recomendable para señales de alta velocidad; (b) muestra una esquina curvadas o redondeadas las cuales mantienen el ancho de la pista y la figura (c) es caso de emplear ángulos oblicuos, el cual es el más recomendado.



**Fig. 5.16** Diferentes tipos de esquinado de pistas: (a) ángulo recto; (b) curvado; (c) ángulo oblicuo

Por otro lado, cuando una señal de alta velocidad atraviesa por estas esquinas, debido al cambio de impedancias y a la terminación de la pista, actúa como una antena haciendo radiar energía electromagnética ocasionando problemas de EMI y pérdidas de la señal.

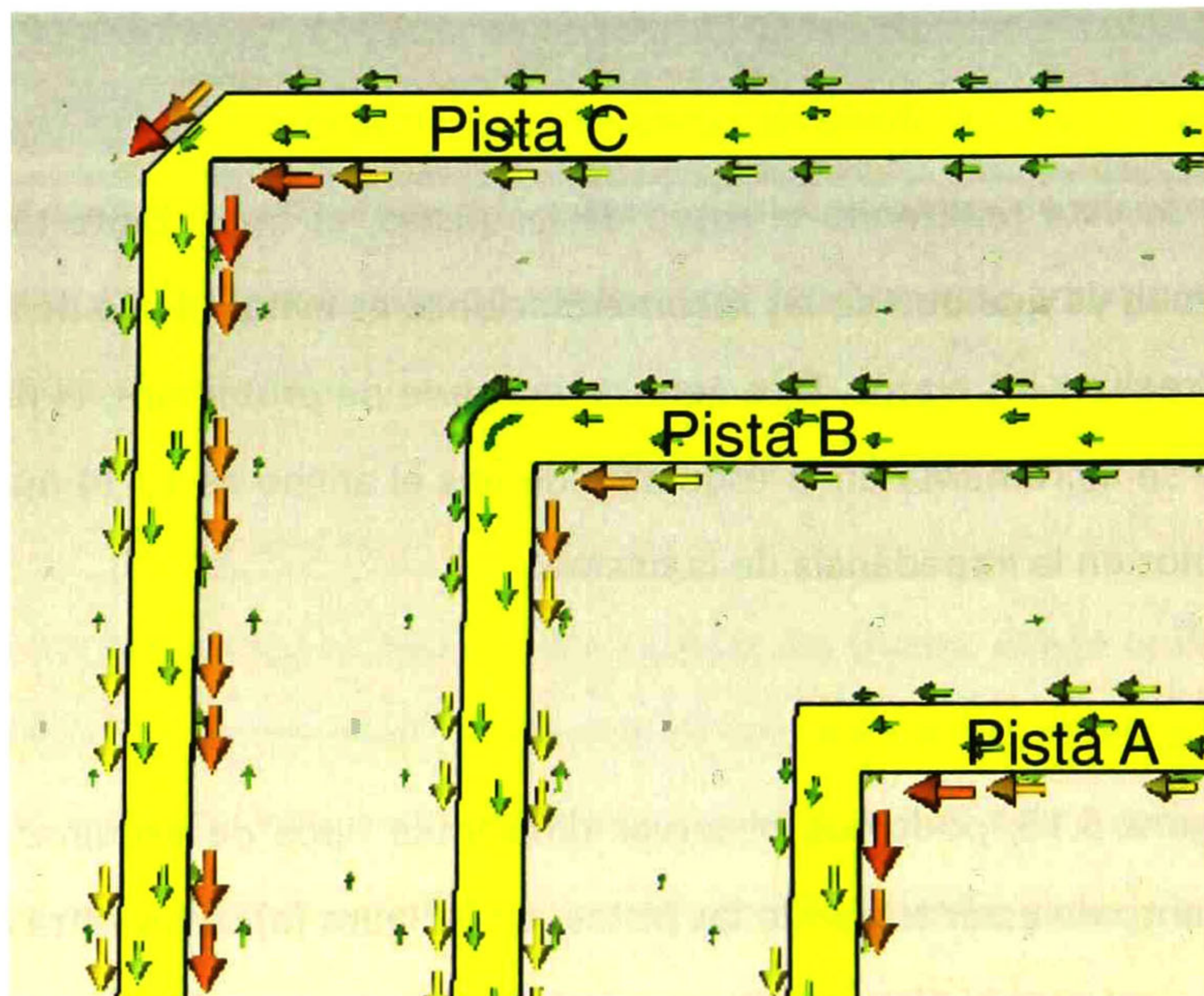
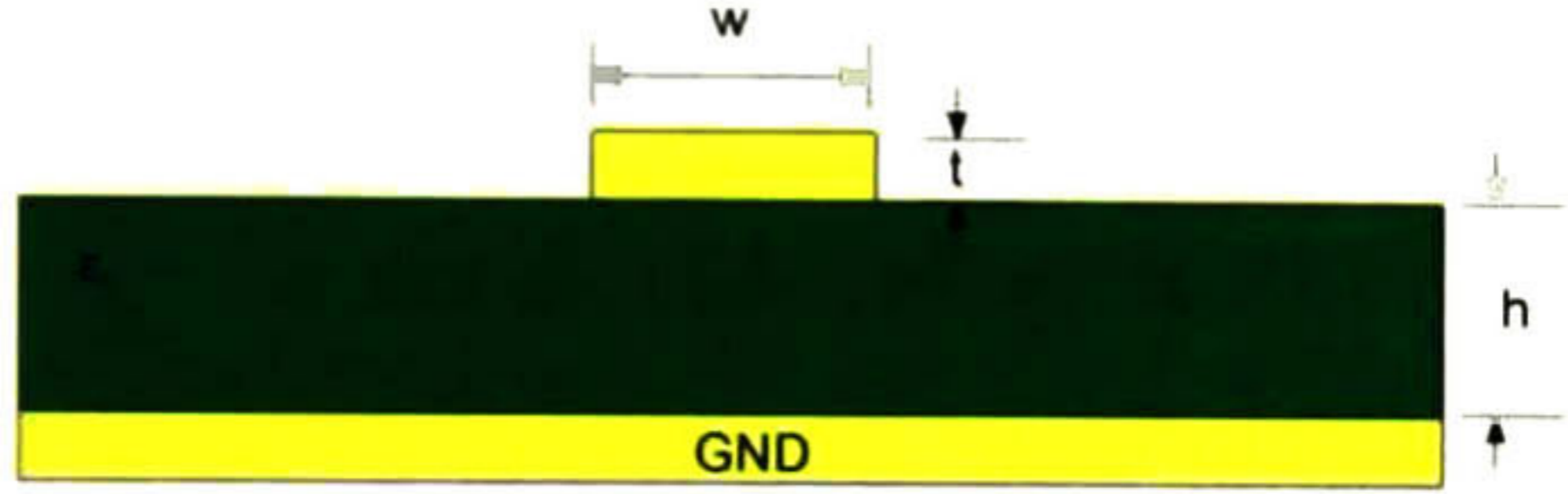
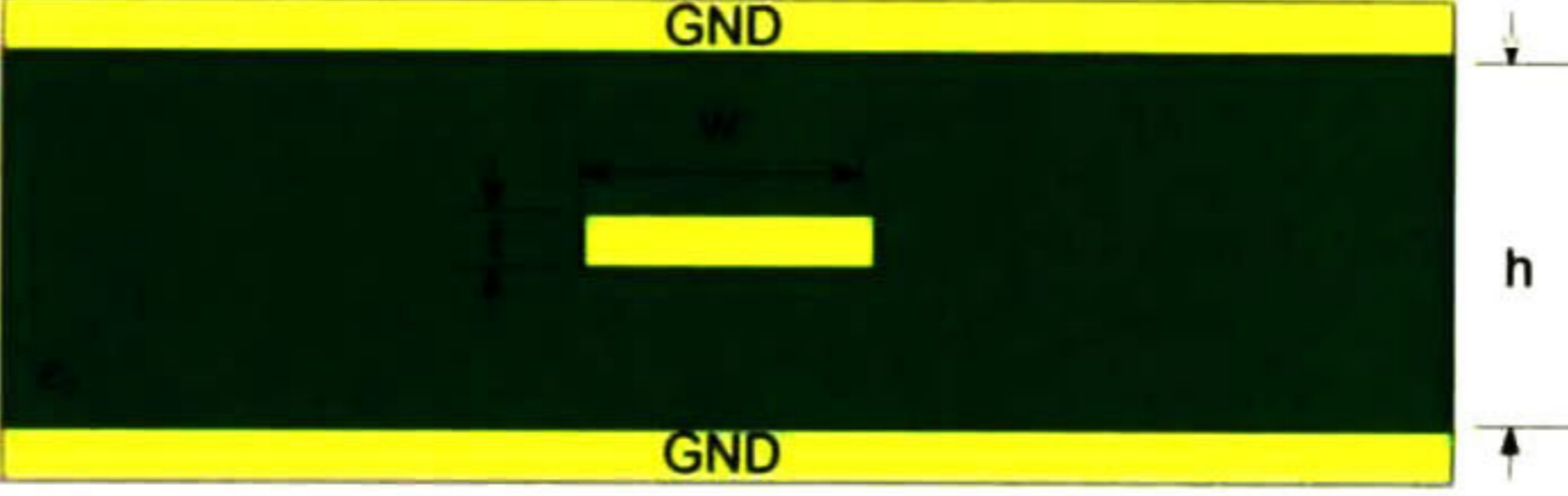
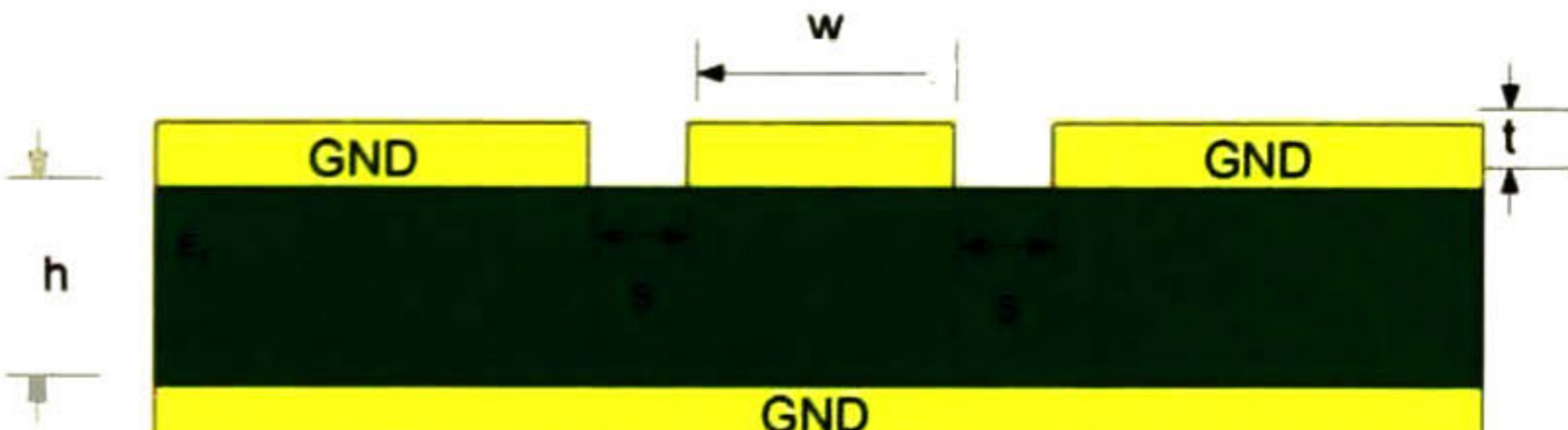


Fig. 5.17 Distribución de la corriente en las esquinas de una pista.

Para validar esto, se realizó una simulación de los tres tipos de esquinas y de esta manera visualizar la distribución de la corriente a lo largo de las pistas, esto se muestra en la figura 5.17, la cual las flechas son la dirección de la corriente superficial y el color y tamaño indican la distribución y magnitud de tal corriente. En el caso de la esquina en ángulo recto (Pista A), se ve que en la parte interna posee mayor magnitud de corriente; en el caso de la esquina curvada (Pista B) posee mayor distribución de corriente en la esquina en comparación con una de ángulo recto; por otro lado, la esquina que posee ángulos oblicuos (Pista C) tiene una distribución pareja en ambos lados de la esquina.

Cuando en una pista de cobre se le aplica una señal de alta frecuencia, ésta es tratada como una línea de transmisión facilitando su análisis. Dependiendo de su topología, es decir su ubicación dentro de las capas que conforman al circuito impreso, se puede calcular su impedancia característica. En la tabla X se enlistan las topologías que son las más comunes, así como la fórmula que determina su impedancia.

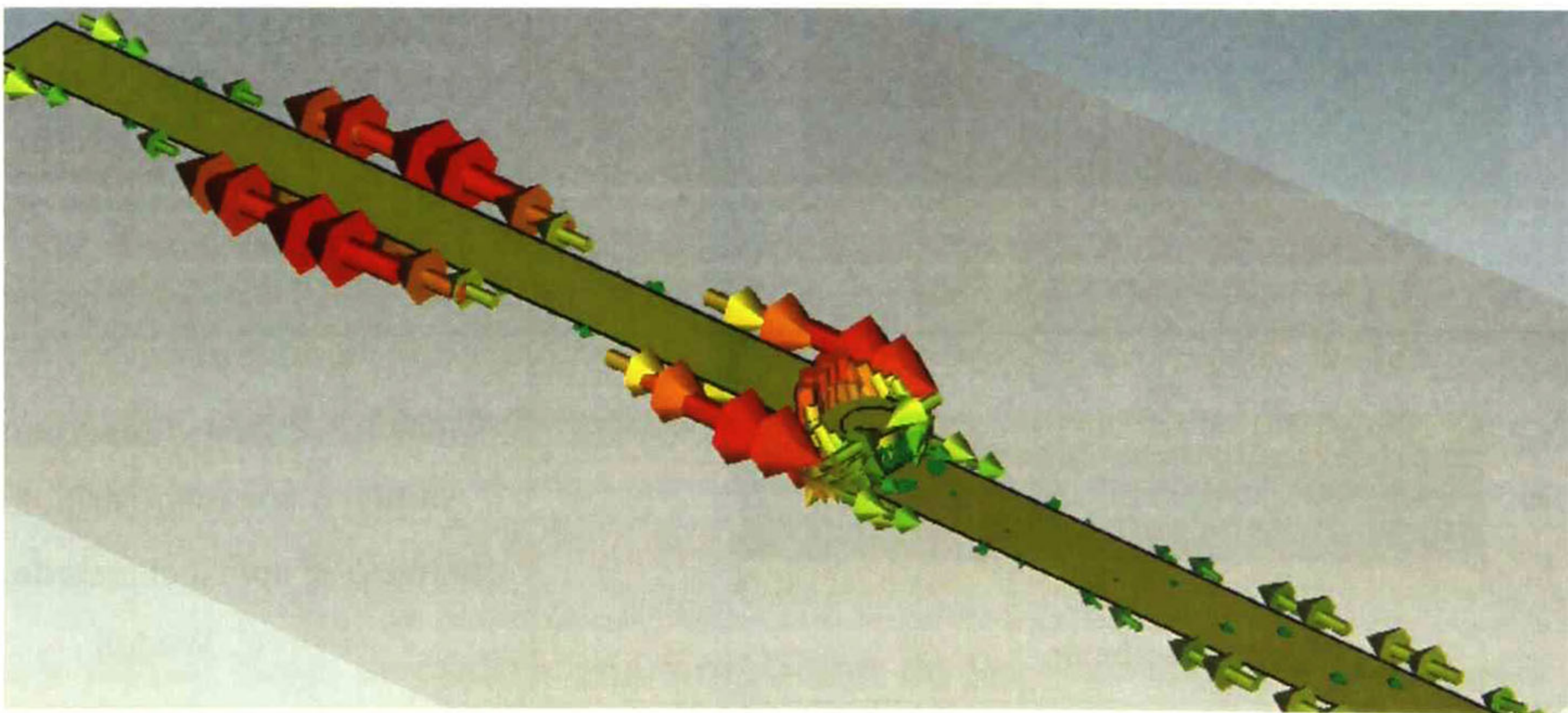
**Tabla X** Líneas de transmisión en PCB.

Figura	Ecuación impedancia.
 <p style="text-align: center;">Microstrip</p>	$Z_0 = \frac{377}{\left(\frac{w}{h} + 1\right) \sqrt{\epsilon_r + \sqrt{\epsilon_r}}}$
 <p style="text-align: center;">Stripline</p>	$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left( \frac{1.9h}{0.8w + t} \right)$
 <p style="text-align: center;">Coplanar</p>	<p>Cuando <math>s \geq h</math> su comportamiento es similar a una microstrip. En caso contrario se aplica el método de Brian C. Wadell</p>

De la tabla anterior  $w$ ,  $h$  y  $t$  deben de estar en las mismas unidades. Con esta información se puede despejar el valor que debe de tener de ancho la línea de cobre para que posea la impedancia que estamos interesados. De esta manera se puede realizar un acoplamiento entre elementos o sencillamente prolongar cierta longitud un conector con una impedancia controlada.

### 5.3.5 Vías y Pads.

Cuando nos encontramos trabajando con líneas de transmisión sobre PCB, existen ciertos lineamientos que se deben cuidar. Uno de estos aspectos, es el evitar hacer discontinuidades en la línea, lo que significa cambiar de una capa superior a una inferior. En caso necesario de requerir pasar la línea por una vía se debe de tomar en cuenta el diseño de la vía para que mantenga la impedancia característica de la línea y evitar rebotes de señal debido a la diferencia de impedancias. Por lo que se sugiere calcular las dimensiones de la vía como si se tratara de una línea coaxial. Pero esto no reduce las pérdidas que se tienen por la transición; sólo ayuda a que las pérdidas por retorno sean menores. En la figura 5.18, se muestra una simulación en la cual se observan cómo se reduce la intensidad de la señal que circula sobre la pista debido a la vía.



**Fig. 5.18** Distribución de la corriente a través de una vía.

Otra de las características que debe de considerar cuando se estén realizando la ubicación de los componentes, es la forma de los pad y las vías, se debe de tener cuidado de no generar *thermal pad* cuando se coloca un componente sobre la línea de transmisión, como la muestra la figura 5.19 (a), por otro lado, también cuando se colocan componentes a tierra empleando vías se debe de evitar el uso de termal vías como lo

muestra la figura (b), todo esto es debido a que se cambia la impedancia de la pista debido a estas irregularidades sobre el cobre [7].

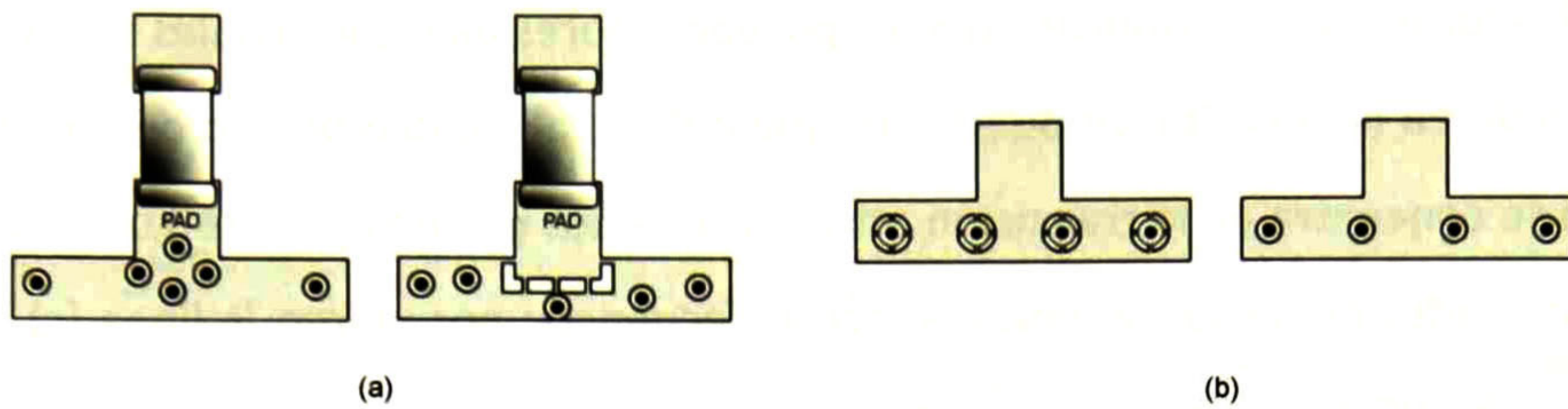


Fig. 5.19 Thermal: (a) Pads; (b) Vias.

### 5.3.6 Interconexión con CI.

Otro aspecto importante que se tiene que vigilar al momento de trabajar con una línea de microcinta, es cuidar la forma en la que se reduce el tamaño cuando se realiza una conexión a un componente que posea pines mucho menores que la línea de impedancia controlada. Para ello se puede recurrir a dos técnicas, en las cuales tienen el propósito de evitar que las pérdidas por retorno sean mayores, una de ellas es emplear *taper* cuando el cambio de tamaños es muy pequeño y las longitudes son mayores a  $\lambda/4$  y el otro es con transiciones abruptas de tamaño cuando la longitud eléctrica es menor al  $\lambda/4$ .

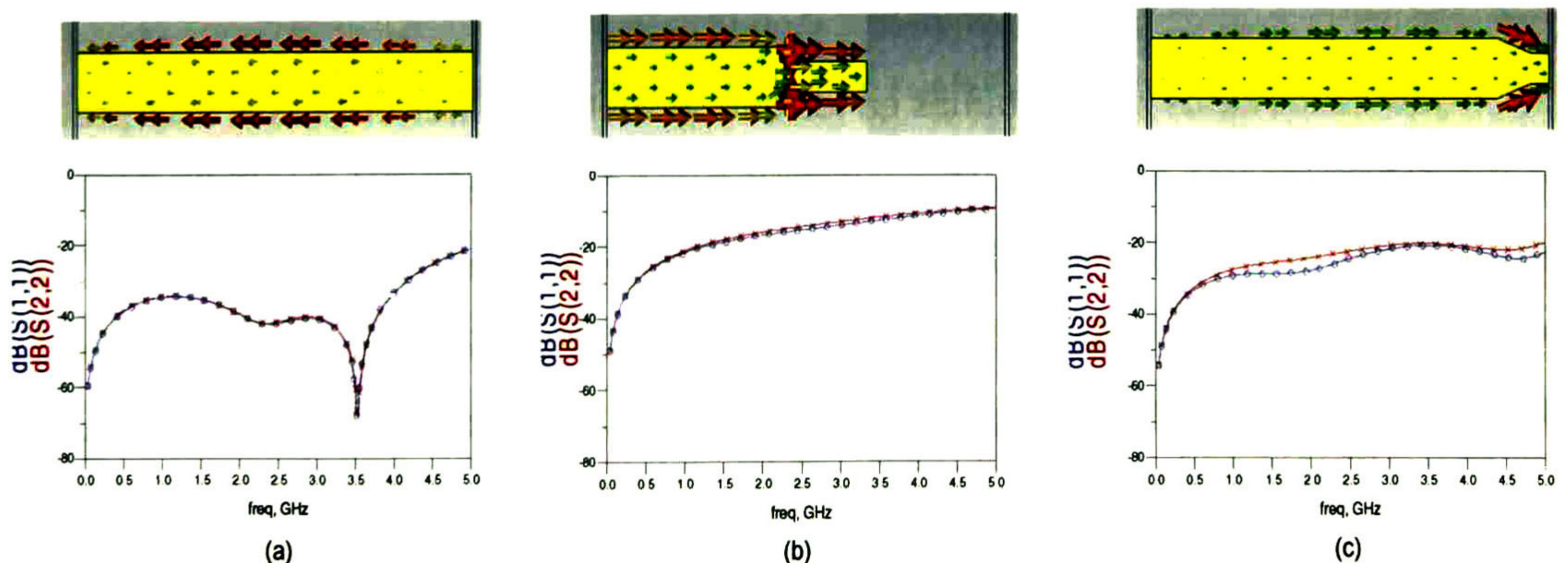


Fig. 5.20 Distribución de la corriente y pérdidas por reflexión en (a) microstrip; (b) transición abrupta; (c) taper.

En la figura 5.20, se hace una comparación de la distribución de la corriente y sus pérdidas por reflexión entre una microcinta, transición abrupta y un taper. La línea (a) posee una longitud eléctrica de  $180^\circ$  con una impedancia de  $50 \Omega$  y como lo muestra su grafica el valor de los parámetros  $S_{11}$  y  $S_{22}$  poseen valores bajos, los cuales son aceptables; por otro lado en la línea (b), se puede ver que debido al cambio brusco de impedancia, la corriente se concentra en la transición mientras que sus pérdidas por reflexión comienzan a elevarse conforme se va incrementando la frecuencia; por último la línea (c) tiene una concentración de la corriente en la transición gradual mientras que sus pérdidas por reflexión muestran una tendencia lineal, lo cual lo hace que sea más apto para trabajar en frecuencias altas. En este tema no existe mucha información, y los diferentes diseñadores recomiendan emplear los taper sólo en sistemas en donde se maneje señales con una potencia mayor a un watt, y el uso de las transiciones abruptas es empleado en sistemas que operan con potencias bajas.

### 5.3.7 Interconexión con componentes de SMT

Otro punto a cuidar en el trazo de las líneas de microcinta es el que va relacionado con la colocación de componentes pasivos sobre ella. Existen recomendaciones que ayudan a evitar dejar espacios entre componentes y la forma de su pad y colocación de vías [7].

Uno de los casos más comunes en los que se suele cometer errores al interpretar el esquemático es el ejemplo de la figura 5.21 (a), en donde se muestra una red típica de alimentación para un amplificador, el cual debe de tener una impedancia de  $50 \Omega$  y por esa misma línea se alimenta empleando una bobina de *choke* (RFC). Un error común es dejar un tramo de microcinta perpendicular con el ancho del pad del RFC, lo cual es incorrecto, ya que este tramo presentará efectos no deseados en la señal de RF actuando como un *stub* tal como se muestra en la figura (b), para evitar esto se recomienda que los

componentes que están conectados con la microcinta no se les generé un pad que sobresalga de la línea de transmisión, sino que estén sobre ella como lo muestra la figura (c).

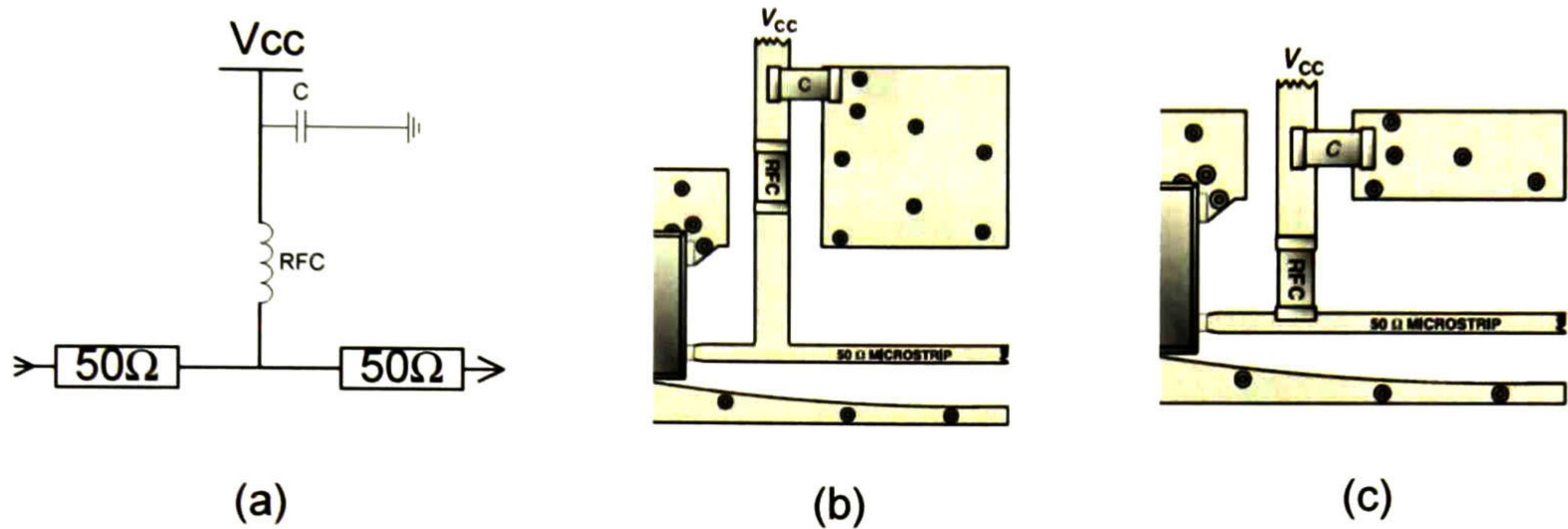


Fig. 5.21 Componentes sobre microstrip.

Otro error común ocurre cuando se realiza una síntesis de un circuito pasivo en un esquemático a PCB. Cuando se traduce a nivel físico dicho circuito, se dejan espacios de microcinta entre los componentes concentrados los cuales no han sido tomados en cuenta en el análisis previo del circuito. De esta manera se afecta la respuesta final del circuito.

En la figura 5.22 se ilustra la forma en la que suele ocurrir este error y la manera en la cual se debe de corregir. En el esquemático (a) tenemos una red de acoplamiento pasiva, y en la figura (b) se hace la síntesis tomando en cuenta que la distancia entre los componentes debe de ser lo mínimo posible. La figura (c) muestra el error que se suele cometer cuando se deja una distancia entre los componentes, la parte de microcinta que se deja entre un componente y la red, suele afectar el valor total de la misma debido a que aumenta el efecto inductivo de la misma red, y no estaría cumpliendo con las

especificaciones con las que fue diseñada, por lo tanto se recomienda que la distancia no supere  $\lambda/10$ .

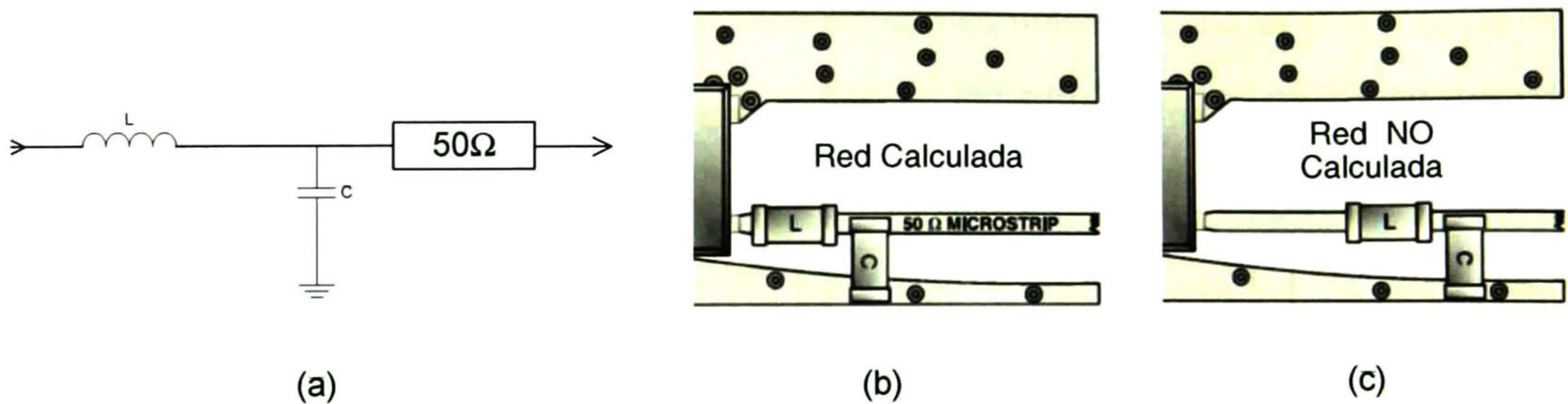


Fig. 5.22 Interpretación de una red.

#### 5.4 Sistema de comunicaciones integrado en PCB.

Muchas de estas reglas y recomendaciones de diseño, están hechas por personas que tienen años de experiencia y poseen un entendimiento de que no todas se aplican a todos los caso.

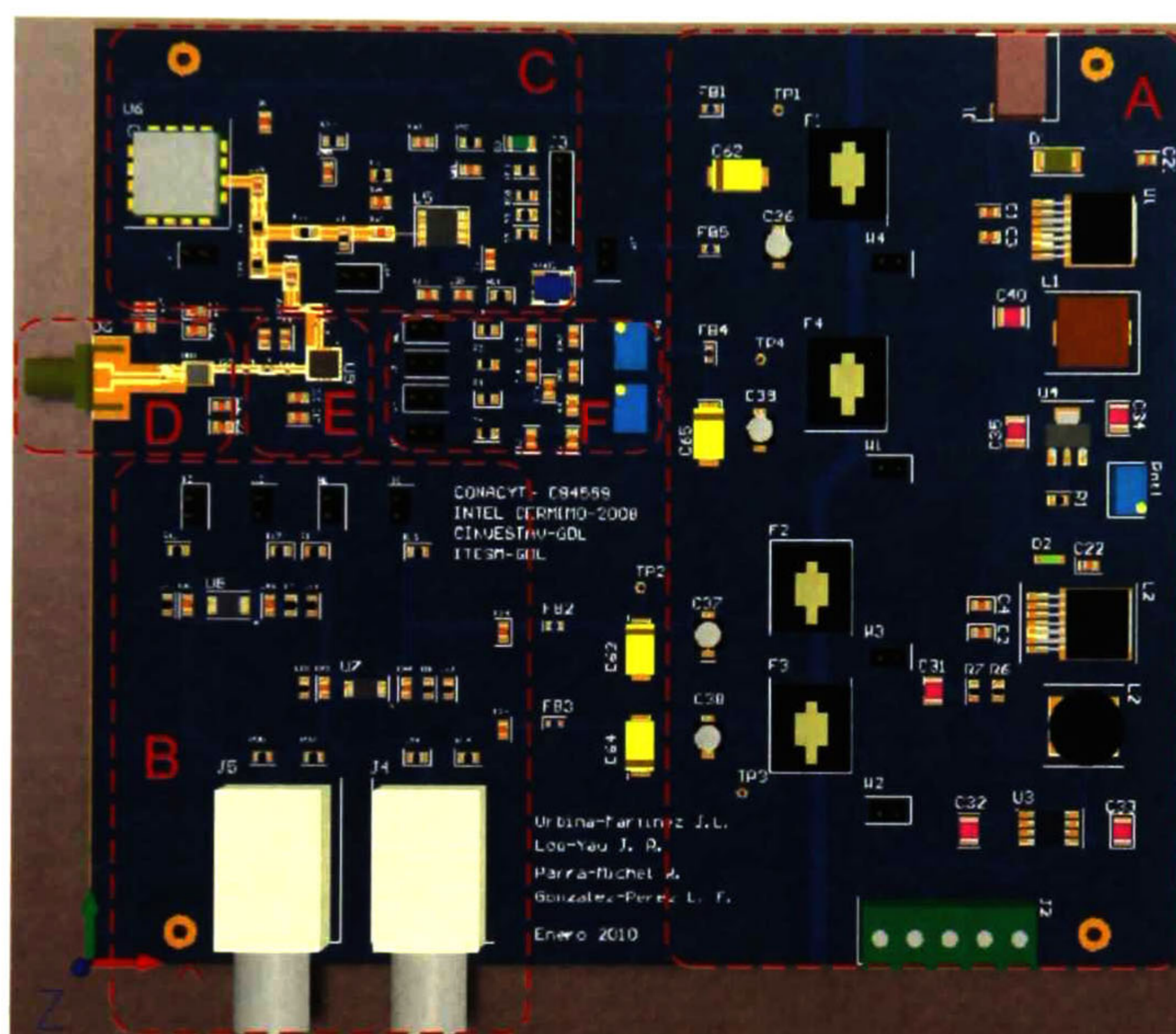
Se tiene que tomar en cuenta la forma de la tarjeta, costo y necesidades de ensamblado por lo que se deja claro las consecuencias que se tienen al momento de no cumplir con una regla de manera deliberada. De esta manera la estrategia del diseño de PCBs es el de minimizar o contrarrestar los efectos nocivos que se puedan presentar en la tarjeta.

A continuación se muestran los layout que se realizaron en las tarjetas de transmisor y receptor, los cuales fueron fabricados en FR-4, de dos caras, con un acabado HASL, soldermask y silkscreen.



### 5.4.1 Transmisor.

En la figura 5.23, se muestra la tarjeta completa del transmisor con 159.75 x 136.25 mm de dimensiones; en ella se pueden observar una vista tridimensional de los componentes ya montados, cabe destacar cada una de las secciones que la componen y como están distribuidas dentro del PCB, siguiendo las recomendaciones que previamente se expusieron.



**Fig. 5.23** Modelo completo del transmisor.

En la sección A, se encuentra localizada la fuente de alimentación, en donde se procuró colocar todos los componentes lo más cercano a la orilla de la tarjeta, además se realizó una separación de tierra entre la fuente y el sistema uniéndolos por medio de los filtros supresores de ruido EMI, aunado a esto los capacitores de tantalio y electrolíticos fueron colocados en la parte de la tierra del sistema y no dentro de la tierra de la fuente, como se ilustró con la pirámide la figura 5.7. Además la distribución de la tierra dentro del PCB se enfocó con el método de usar planos de retorno virtual explicado en la sección 5.3.2.

La sección B, corresponde a la parte de baja frecuencia o banda base, en ella se encuentran los amplificadores operacionales y los conectores tipo BNC. Por otro lado la sección C atañe al oscilador local, mientras que las secciones D y E son el amplificador de potencia y el modulador y por último la sección F es la encargada de variar el voltaje de offset para el sistema.

Una de las cosas que sobresalen del diseño, es dejar sin soldermask la línea de transmisión que sale desde el VCO hasta el conector SMA, esto con el fin de tener un comportamiento a una microcinta y no una *stripline*, debido a que se desconoce las propiedades físicas y eléctricas del aislante, como se revisó en la sección 5.3.4. En la figura 5.24, se puede ver un acercamiento de esta parte, en donde salta a la vista también las redes de acoplamiento y el tamaño de los componentes.

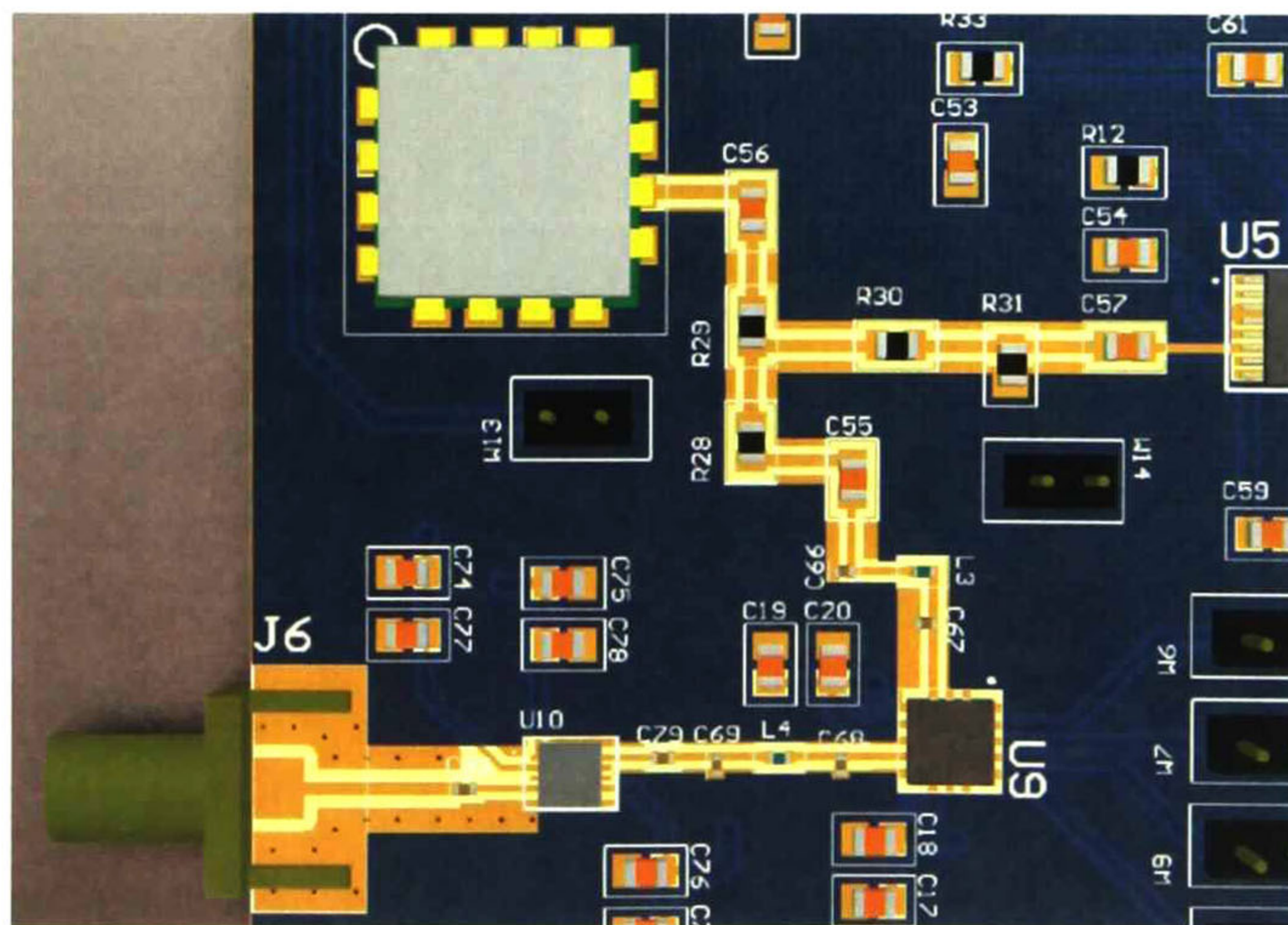
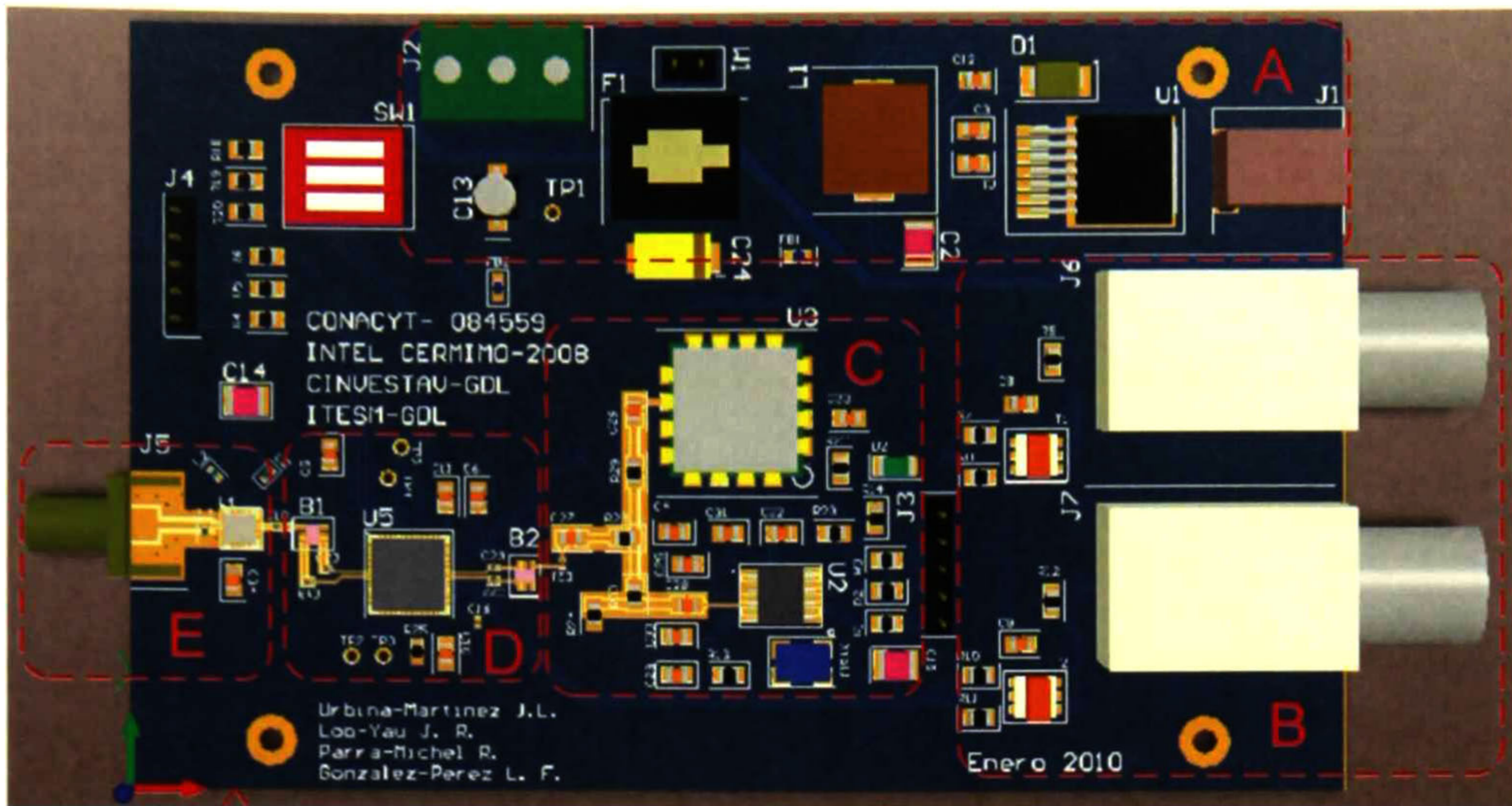


Fig. 5.24 Sección de RF en el Transmisor.

#### 5.4.2 Receptor.

La tarjeta de la figura 5.25, corresponde al receptor con las dimensiones de 115.875 x 73.025 mm. Al igual que el caso anterior, se enmarcan las secciones y la forma en la que están distribuidas en el PCB.



**Fig. 5.25** Modelo completo del Receptor.

La fuente de alimentación está enmarcada en la sección A, al igual que en el diseño anterior, esta se encuentra aislada del sistema estando unida por medio del filtro supresor de ruido EMI. La sección B corresponde a la salida de la señal de banda base, el cual está constituido básicamente por balun de baja frecuencia con el fin de acondicionar la señal demodulada para emplear los conectores BNC.

En el área de la sección C, se encuentra ubicado el oscilador local, seguido por el demodulador en la parte D. Por último se colocó el amplificador de bajo ruido en la sección E. En estas tres partes, debido a la distribución de pines del circuito demodulador, se optó por colocar en una sección media el oscilador local. La señal de baja frecuencia cruzará por el plano inferior del PCB rodeando al oscilador y de esta manera mantener las pistas de RF sobre el mismo plano evitando realizar cruces de pistas en ambos planos, previendo de esta manera problemas de interferencia.



# Capítulo 6

## Resultados Experimentales.

**D**entro del proceso de diseño, el cual incluye una investigación relacionada con el producto a desarrollar, elaboración de esquemáticos y layout de las placas de circuito impreso. También es necesario incluir una serie de pruebas que permiten validar la circuitería que se implementó revisando que funcione adecuadamente. Las pruebas se dividen en eléctricas y funcionales. Las pruebas eléctricas consisten en verificar posibles cortos y errores en el impreso; mientras que las pruebas funcionales, nos entregan información necesaria con respecto al funcionamiento para el cual fue diseñado el circuito.

En este capítulo, se resumirán las diferentes pruebas que se hicieron para poder garantizar un buen funcionamiento del sistema. Esto incluye un diseño previo de bases de

prueba (B.T.), las cuales nos permiten validar las secciones que componen al sistema. Además se desarrolló el programa que controla al sistema. Y por último se muestran las mediciones en campo que se realizaron de ambas tarjetas para tener una aproximación de los límites de operación.

## *6.1 Bases de prueba.*

Cuando se realiza un diseño basándonos en las hojas de datos de los fabricantes, tenemos que buscar un modo en el cual se puede comprobar las especificaciones que se citan en dichas hojas, con la finalidad de comprender en su totalidad la forma de operación antes de integrarlo por completo dentro de un sistema. Esto nos ayuda también a verificar el consumo de potencia y localizar los posibles puntos de prueba que nos ayuden a localizar fallas una vez ya integrado todo el sistema.

Se busca que estas bases de prueba, cumplan con los requerimientos mínimos, para no realizar un gasto en componentes, además de que sea completamente accesible a todas las partes que la componen, por lo que se sugiere trabajarlas a nivel prototipo, y sin agregar la soldermask, ya que debe permitir tener acceso a todas las pistas para poder tomar mediciones. A continuación se enlistan las B.P. que se fabricaron y las tarjetas de evaluación donadas por el proveedor, así como las mediciones que se tomaron.

### *6.1.1 Oscilador local.*

En el caso del oscilador local, se realizó B.P. empleando las recomendaciones que el fabricante proporciona en su hoja de datos; el diagrama esquemático que se empleó es muy similar al que se presentó en capítulos anteriores en la figura 4.8, sólo se realizaron

algunos cambios. La figura 6.1 es una fotografía que se tomó de la B.P. que se fabricó y ensambló.

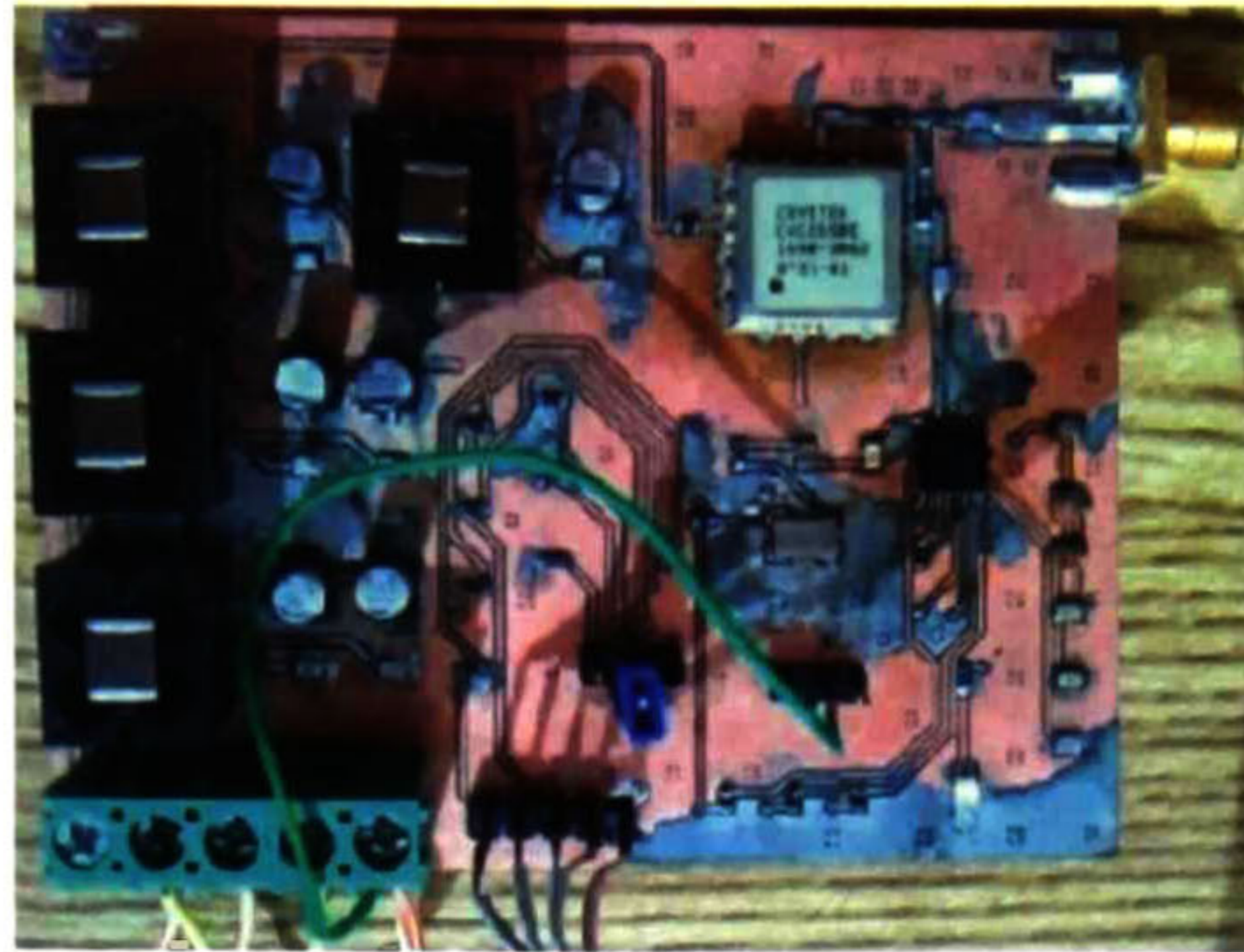


Fig. 6.1 T.F. Oscilador local.

Para poder realizar las pruebas a este módulo, es necesario elaborar un programa el cual permita modificar los registros internos del PLL para poder ajustarlo a la frecuencia deseada. El algoritmo de este programa está basado en la hoja de datos del TRF3750. Para nuestro caso, decidimos implementar el código en una PC empleando MATLAB como el compilador del código, esto nos da la flexibilidad para depurar el código, además es posible realizar una interfaz gráfica para su mejor control. En el apéndice C.1, se encuentra el código fuente que se empleó para el control del oscilador local; por otro lado en la figura 6.2 se muestra una captura de la ventana del programa elaborado.

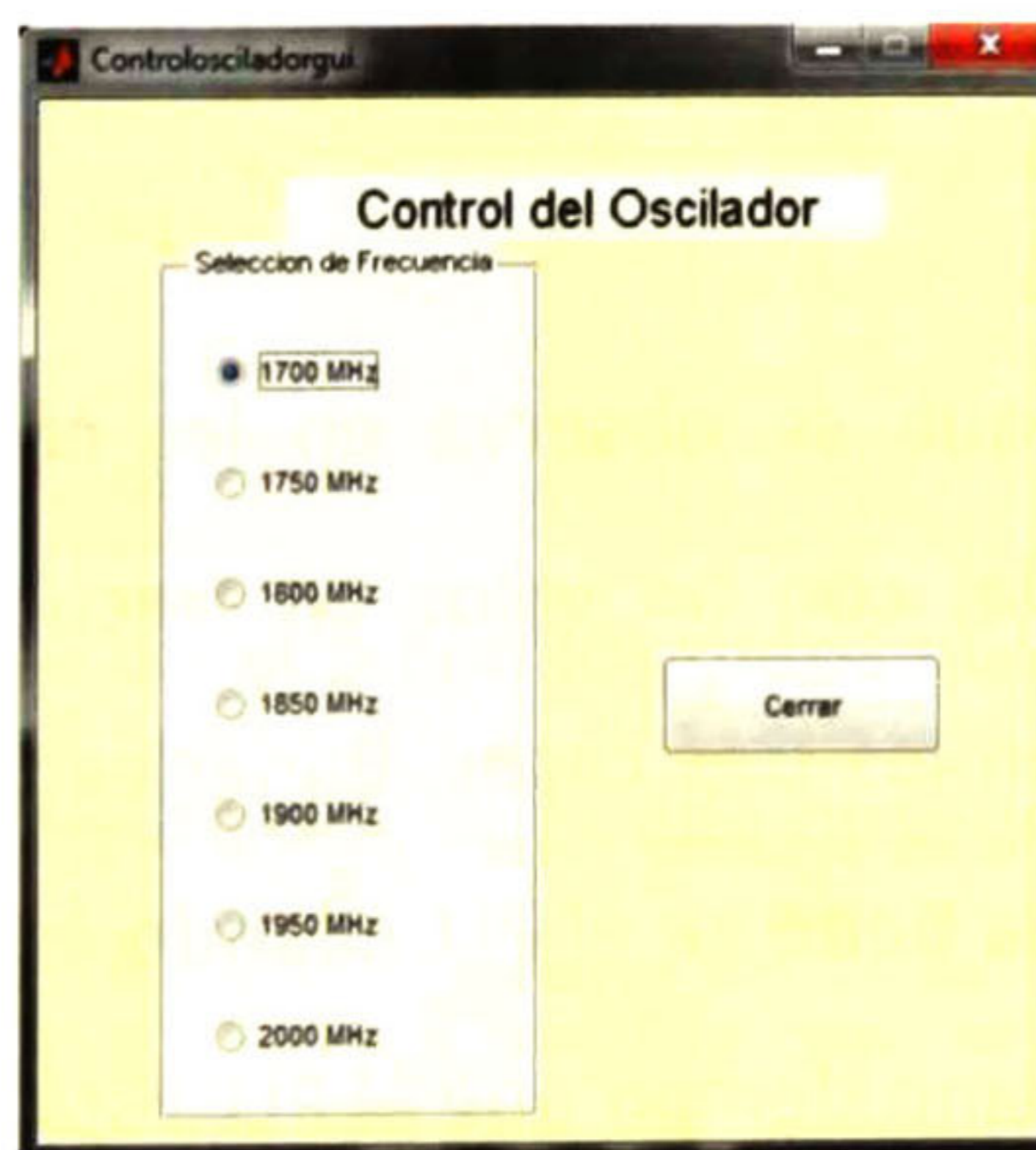


Fig. 6.2 Interfaz grafica de control del oscilador local.

En la figura 6.3 se ilustra el banco de mediciones que se montó para probar la B.P. del oscilador, las cuales se hicieron con un analizador de espectros (A.E.) KEITHLEY Modelo 2810 con un cable coaxial de  $50 \Omega$  y con pérdidas de 0.7 dB, una computadora (PC) y una fuente de alimentación (F.A.).

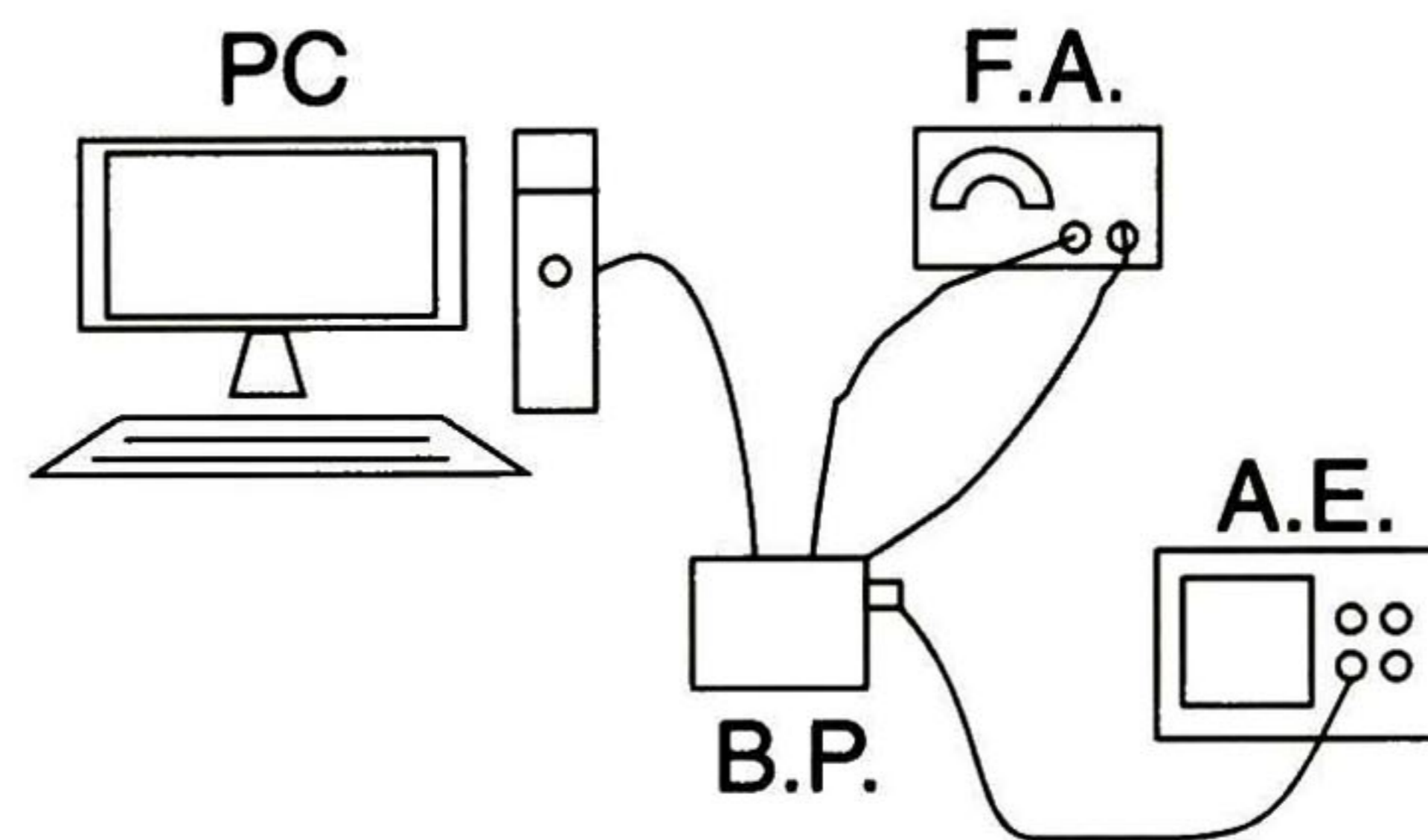


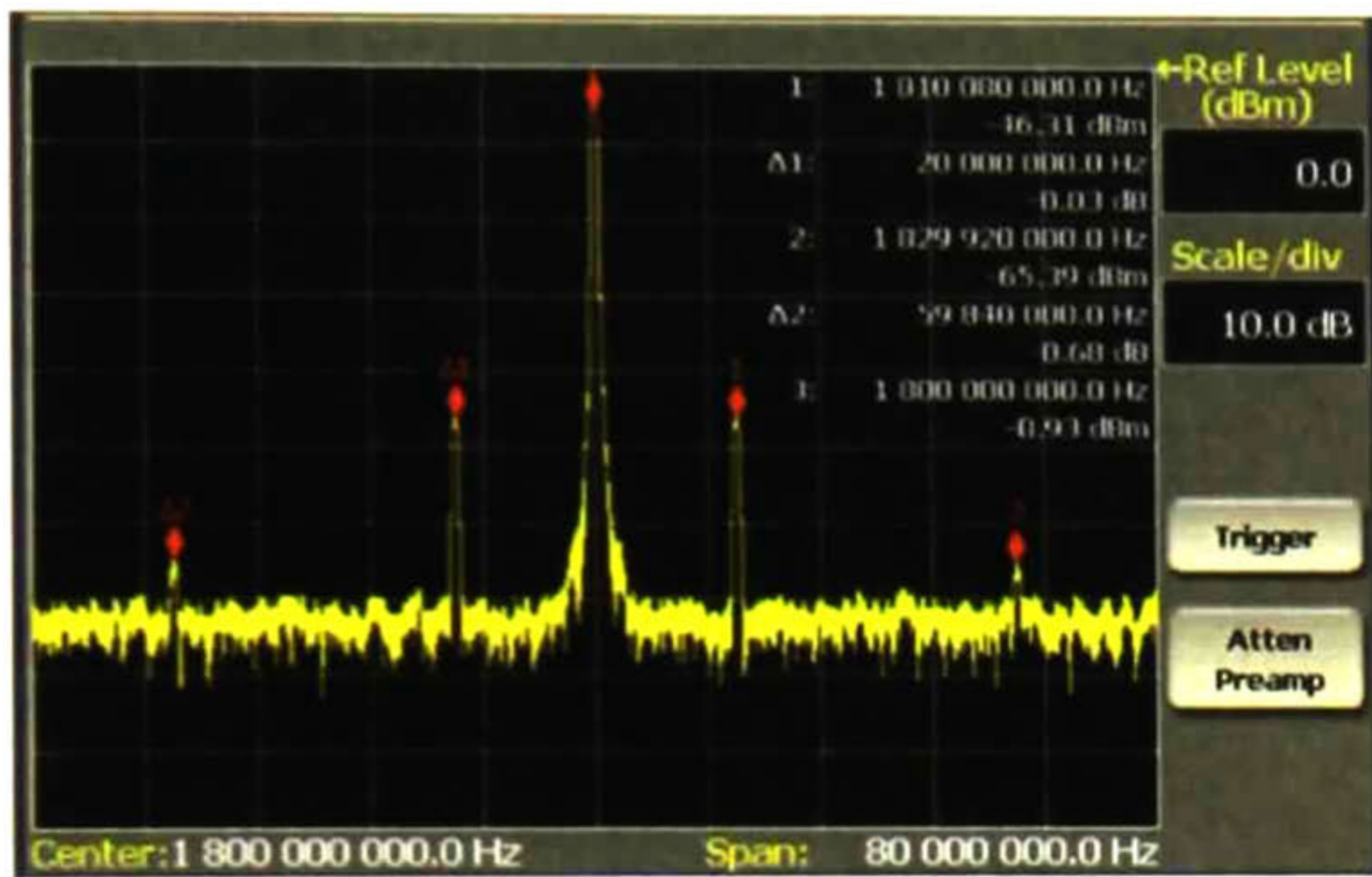
Fig. 6.3 Banco de pruebas para el T.F. del Oscilador.

Se realizaron tres mediciones a 1.8, 1.9 y 2 GHz. Como se puede observar en las capturas (a) y (b) de la figura 6.4, el PLL tuvo un buen amarre en la frecuencia de 1.8 y 1.9 GHz como lo indica el marcador 3 de cada figura, teniendo una potencia de aproximadamente -0.23 dBm y -0.77 dBm respectivamente; por otro lado, en el caso de 2 GHz de la figura (c), comenzó tener una atenuación importante cercas de -6 dBm a la salida y con un corrimiento de frecuencia de 160 kHz, lo que nos ayuda a determinar en qué rango de frecuencia es apropiado operar el oscilador.

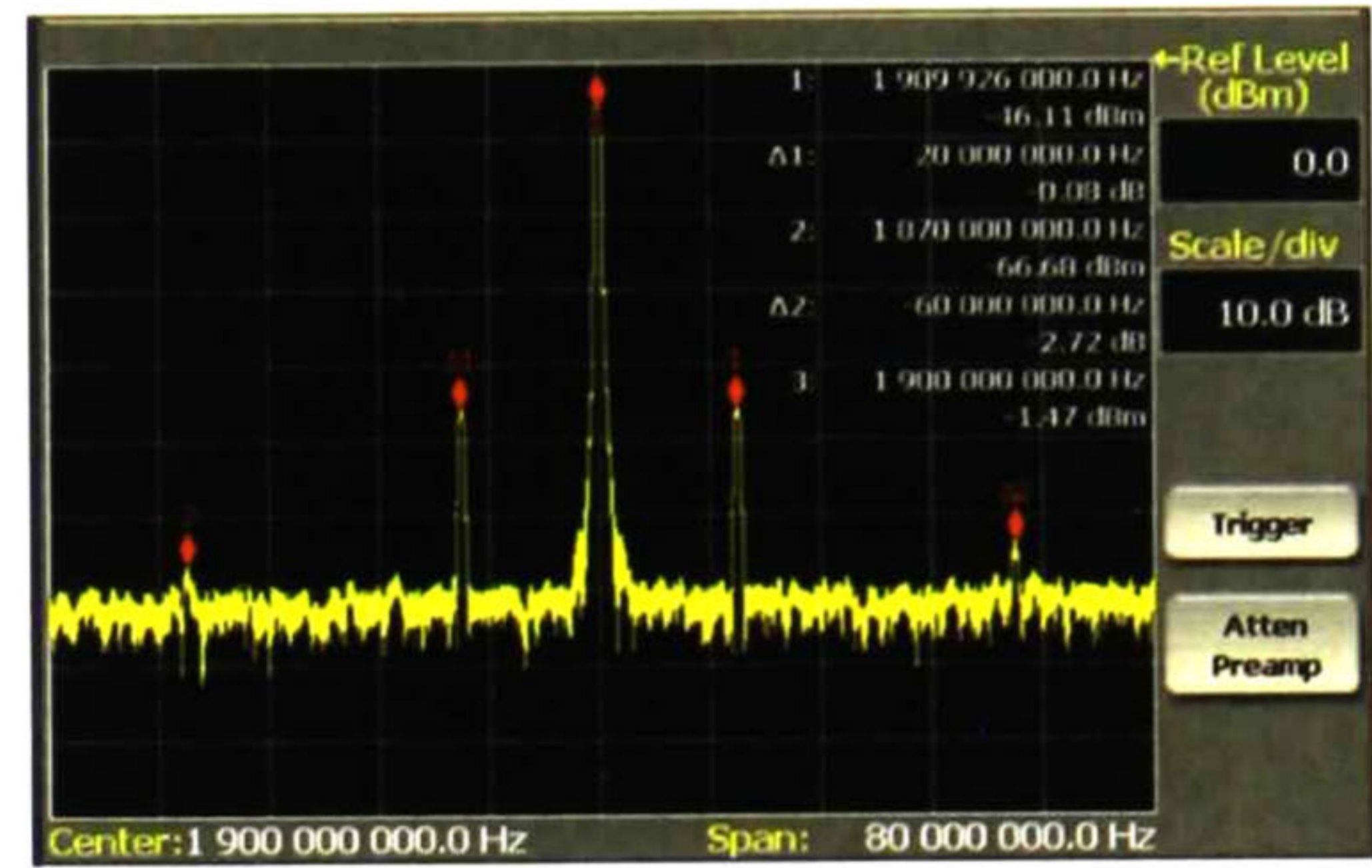
Otro punto interesante que se observa en las capturas de la figura 6.4, es la existencia de una señal espuria, con un valor en frecuencia de 10 MHz, la cual está señalizada con el marcador 1 en los tres casos. Banerjee [6] menciona que esta señal es producto de un problema que se tiene en el PLL cuando éste realiza una comparación con la señal de salida del VCO, al mismo tiempo que el PLL está llevando un registro de la señal de referencia de 10 MHz, provocando internamente un crosstalk y el voltaje de control de



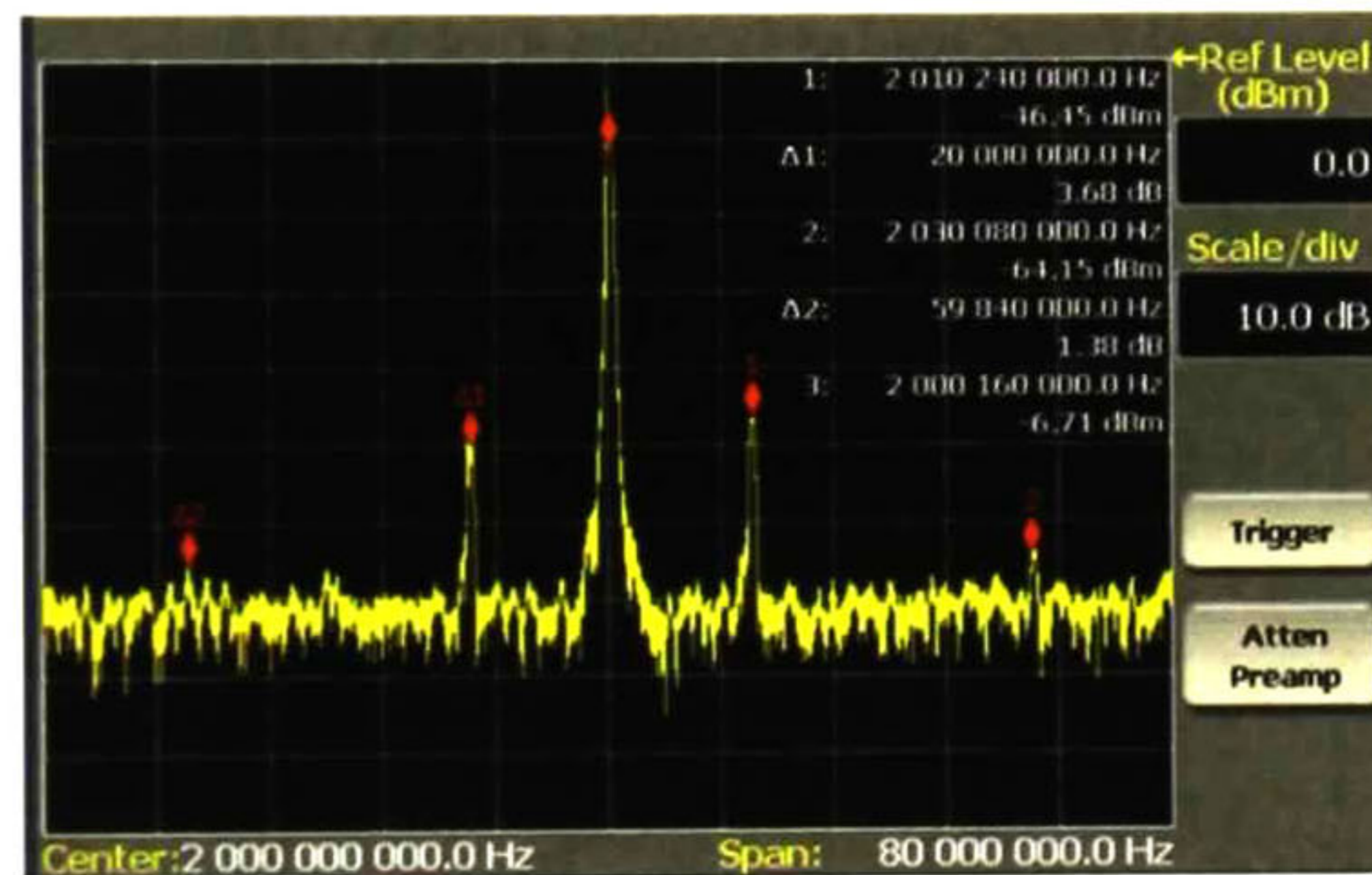
PLL suele llevar este ruido al VCO, lo cual provoca la aparición de la espuria en la salida del mismo oscilador. Existen varias maneras de reducir estas señales, una de ellas es crear un desacoplamiento entre las fuentes del PLL y el VCO, además de realizar un blindaje en la sección del VCO y procurar separar las pistas de RF de la señal del reloj de 10 MHz.



(a)



(b)

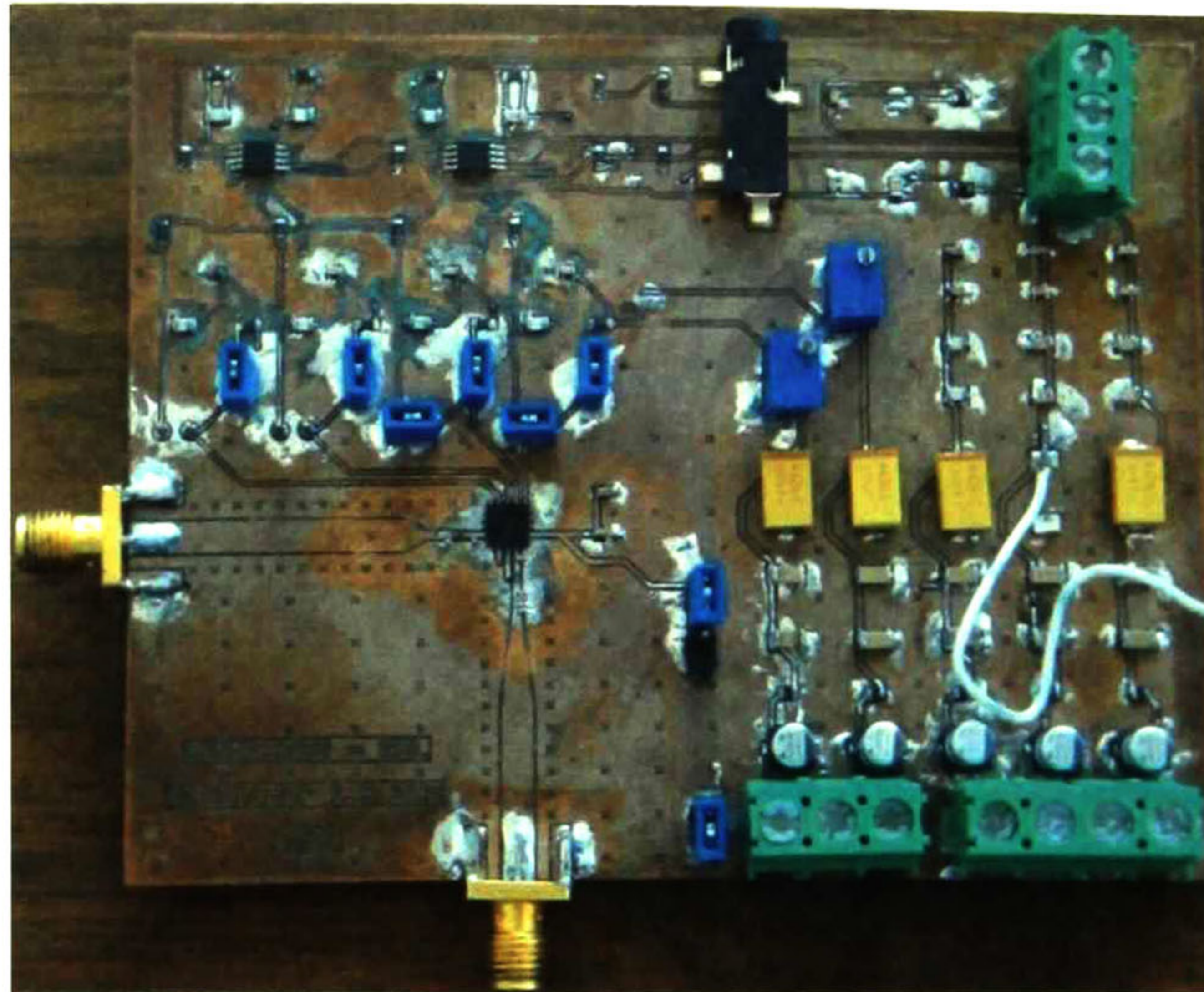


(c)

Fig. 6.4 Capturas de pantalla del oscilador local (a) 1.8GHz; (b) 1.9 GHz y (c) 2 GHz.

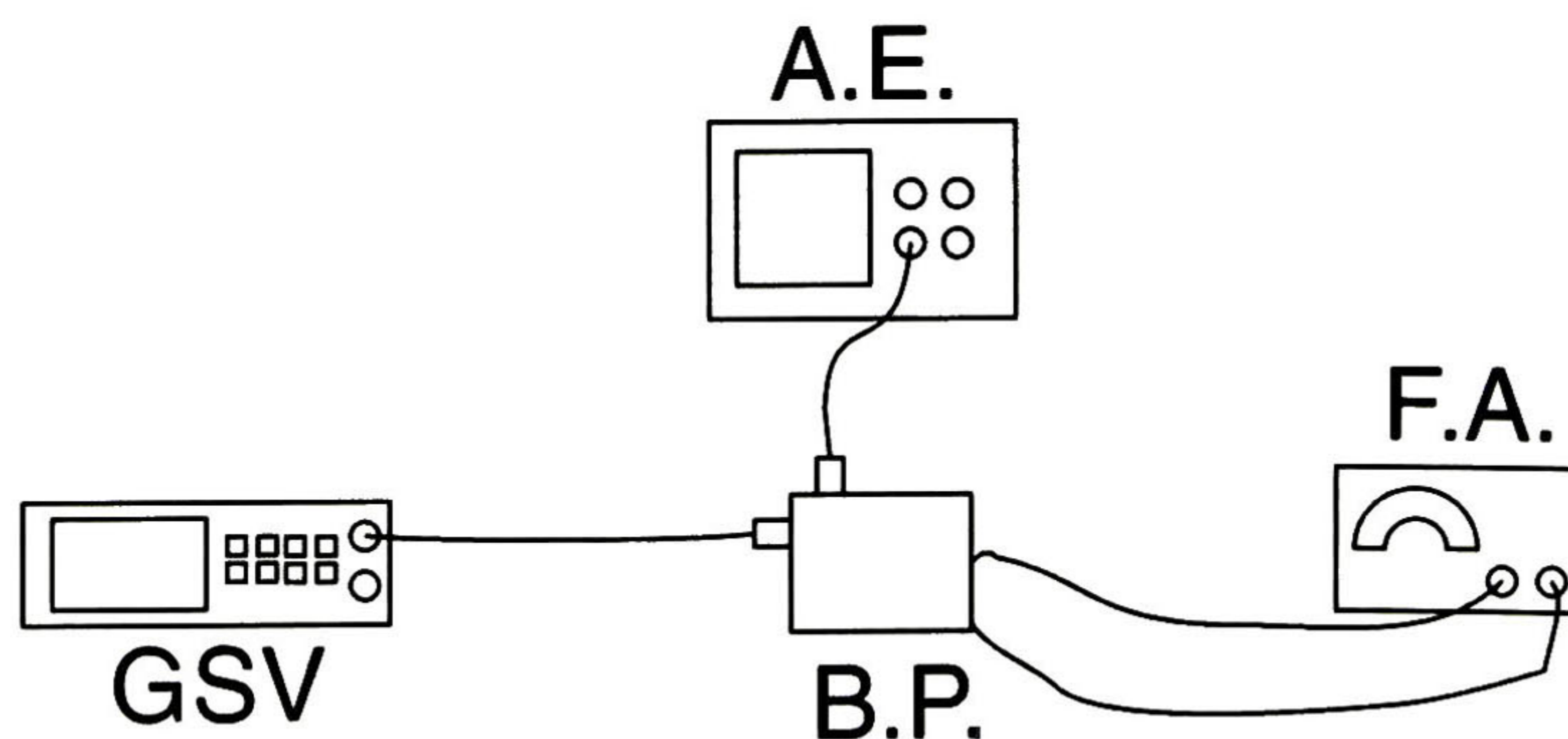
### 6.1.2 Modulador.

La B.P. del modulador está basado con los datos que el fabricante provee en la hoja de datos. En la fotografía de la figura 6.5, se puede observar la B.P. que se construyó para el modulador.



**Fig. 6.5** T.F. Modulador.

En el diseño de esta tarjeta, se empleó un conector tipo jack de 3.5 mm con tres terminales como entrada de la señal IQ, otras características es separar todos los voltajes e inyectarlos de forma externa, de esta manera se determina el consumo de potencia. Además se realizaron de manera experimental cambios en las pistas de RF. Para estas pruebas se empleó el mismo analizador de espectros que en la prueba anterior, además de un generador de señales vectorial (GSV) Agilent N5182A el cual nos permite generar señales con modulaciones digitales. El banco de mediciones se ilustra en la figura 6.6.



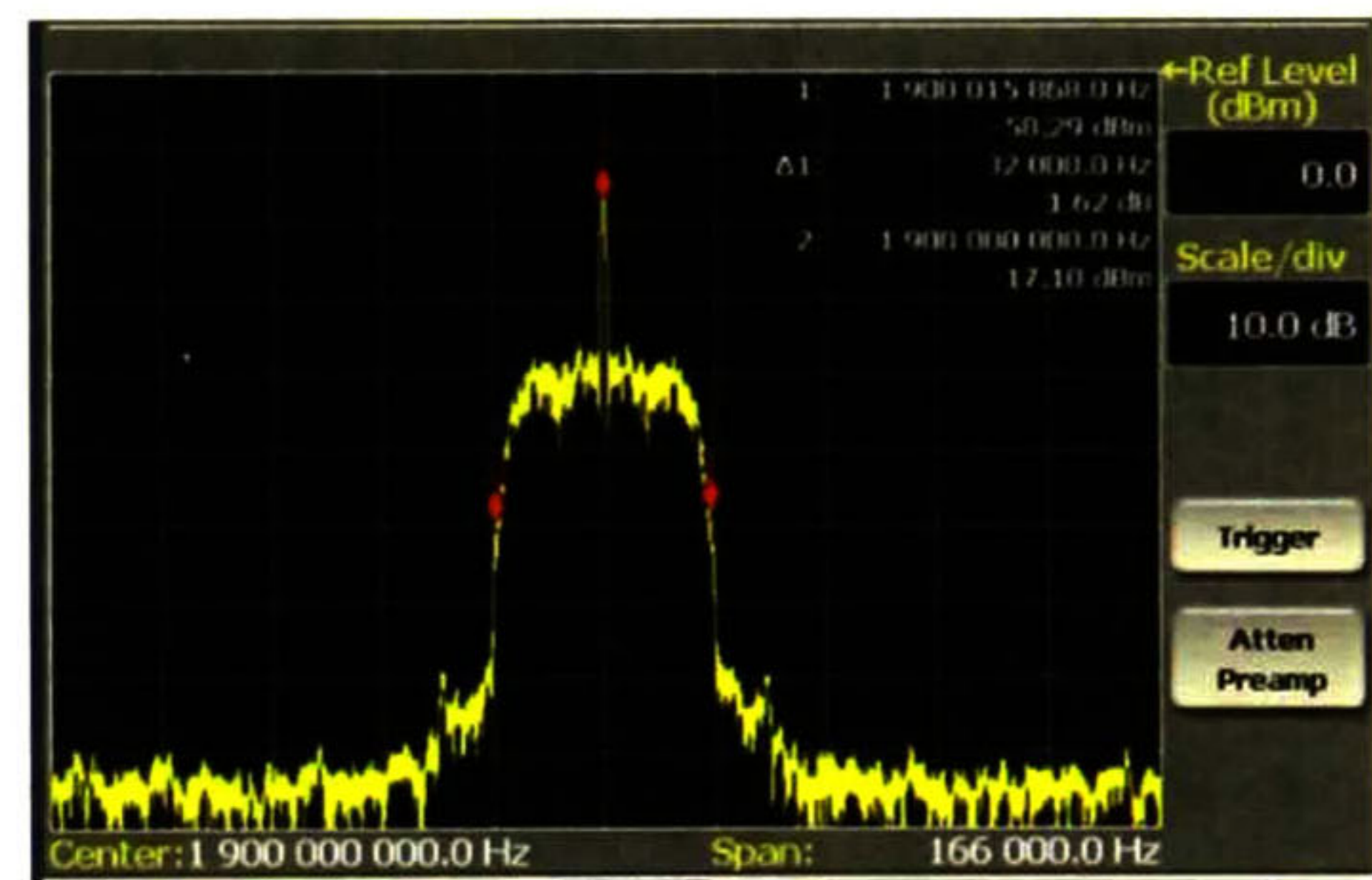
**Fig. 6.6** Banco de pruebas para el T.F. del Modulador.

La prueba funcional que se le realizó al modulador consistió en aplicar una señal modulada en banda base con el protocolo WCDMA con una modulación 16-QAM, lo que se midió fue la respuesta al sistema con el analizador de espectros en diferentes frecuencias de portadora. En la figura 6.7, se muestran las capturas de pantalla de la señal de salida del modulador operando a distintas frecuencias.

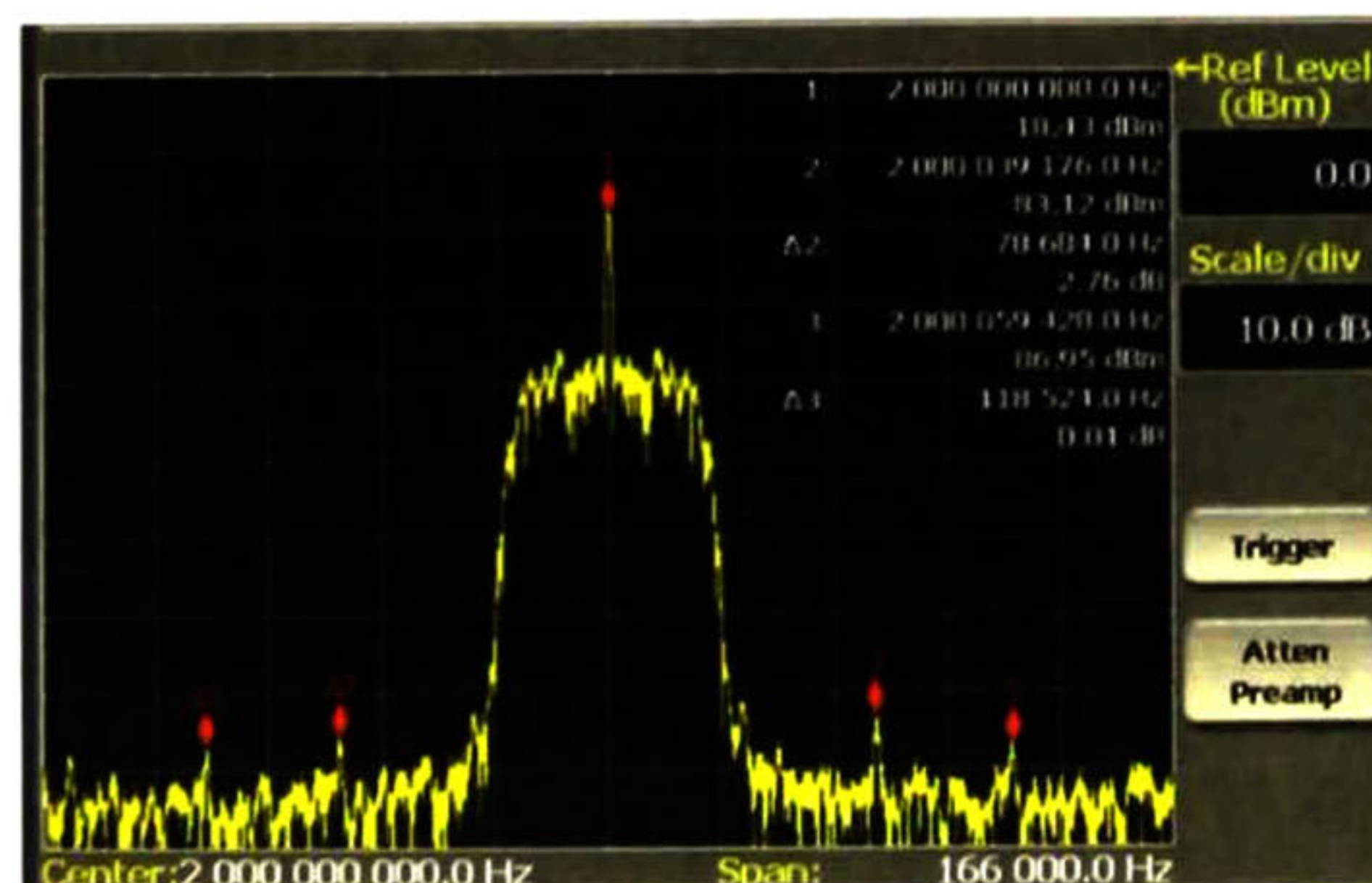
De los tres casos que se muestran en la figura anterior, sobresale que la señal del oscilador o portadora posee una amplitud mayor que la señal moduladora, por lo que se puede ver como un pico, esto es provocado por los niveles de voltaje de offset de la señal de banda base. Basado en la información anterior se decidió colocar un control para ajustar la cantidad de voltaje de offset y poder homogenizar la señal modulada al par de la señal portadora. El control de ajuste de voltaje de offset consistió en dos potenciómetros Pot2 y Pot3 como los muestra el esquemático de la figura 4.13.



(a)



(b)



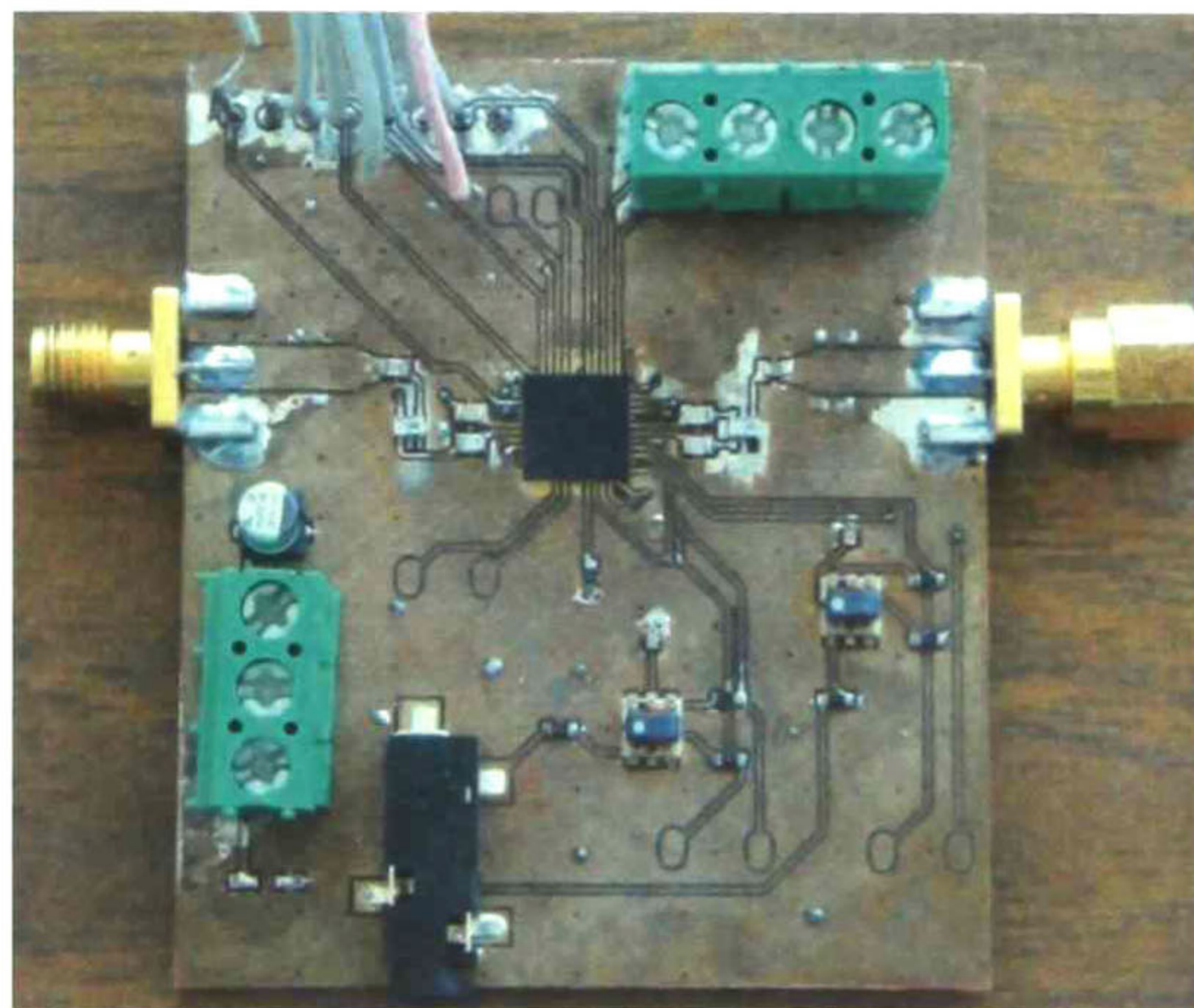
(c)

Fig. 6.7 Capturas de pantalla del modulador (a) 1.8GHz; (b) 1.9 GHz y (c) 2 GHz.

### 6.1.3 Demodulador.

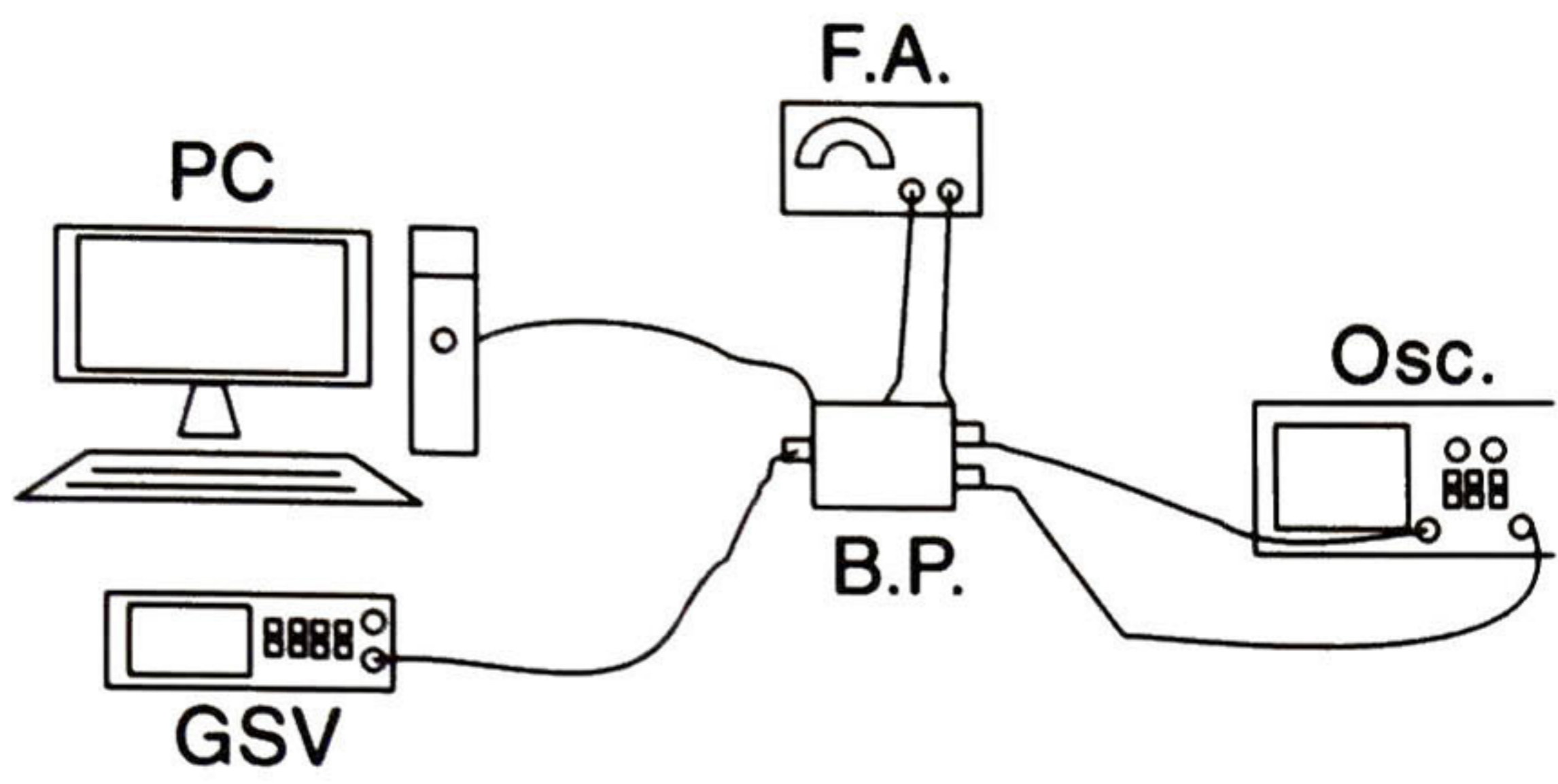
La B.P. del demodulador (figura 6.8) fue diseñado de acuerdo a lo que establece el fabricante en su hoja de datos, ahí se hacen una amplia recomendación para usar los balun de la marca Murata.

También la misma hoja de datos proporciona el algoritmo para diseñar un programa el cual permita configurar las características del TRF3710 tales como la ganancia a la salida, la frecuencia de corte del filtro pasa bajas, el código de este programa se encuentra en el apéndice C.2.

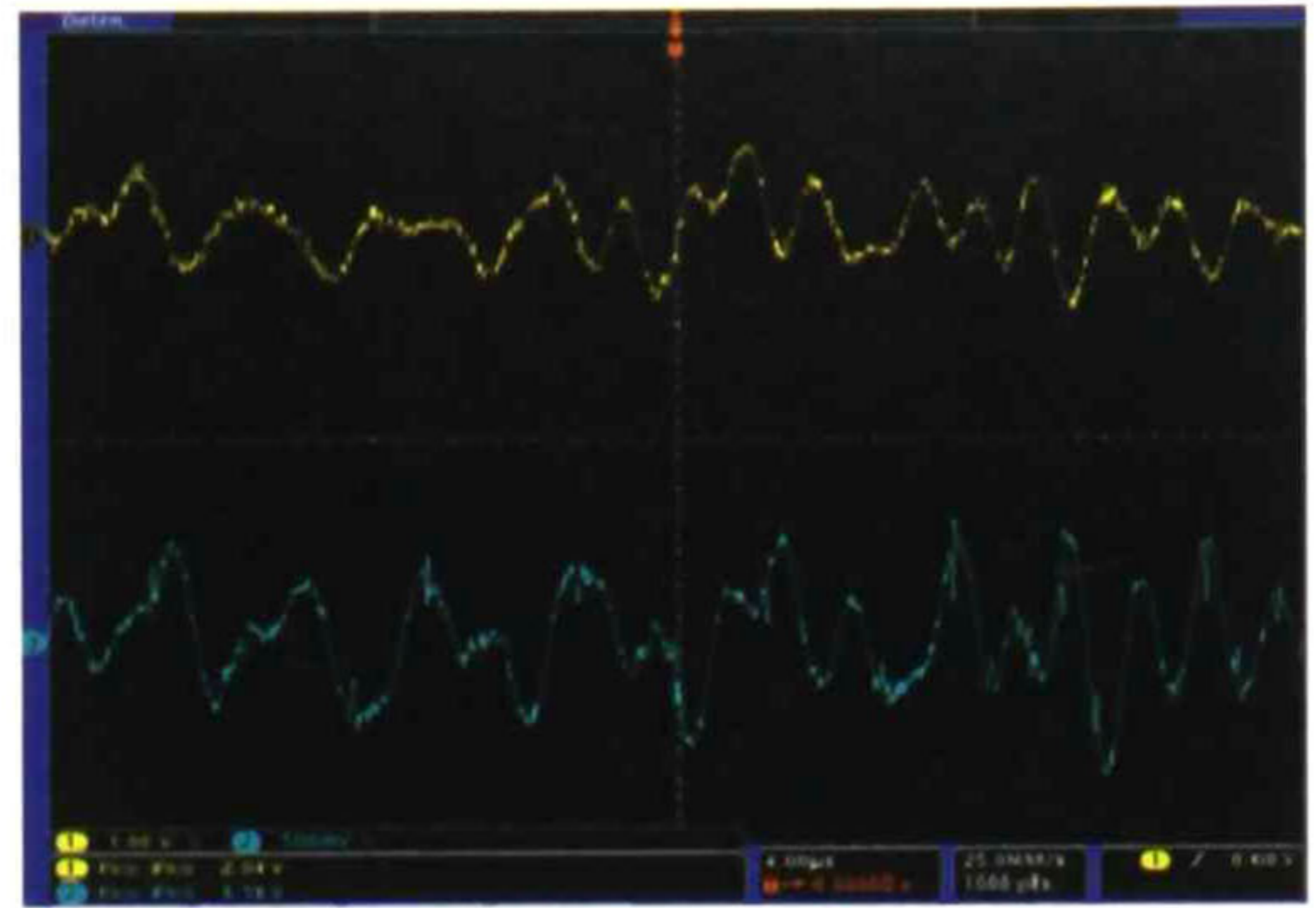


**Fig. 6.8** T.F. Demodulador.

La prueba funcional que se aplicó a este B.P. consistió en generar una señal modulada en WCDMA a 1.9 GHz e inyectarla a la tarjeta y por medio de un osciloscopio Tektronix DPO 1404 1GHz procurar visualizar la señal en banda base de los canales IQ. En la figura 6.9a se muestra el banco de mediciones, y en la figura 6.9b se encuentra la captura de pantalla del osciloscopio mostrando la señal demodulada en IQ.



(a)

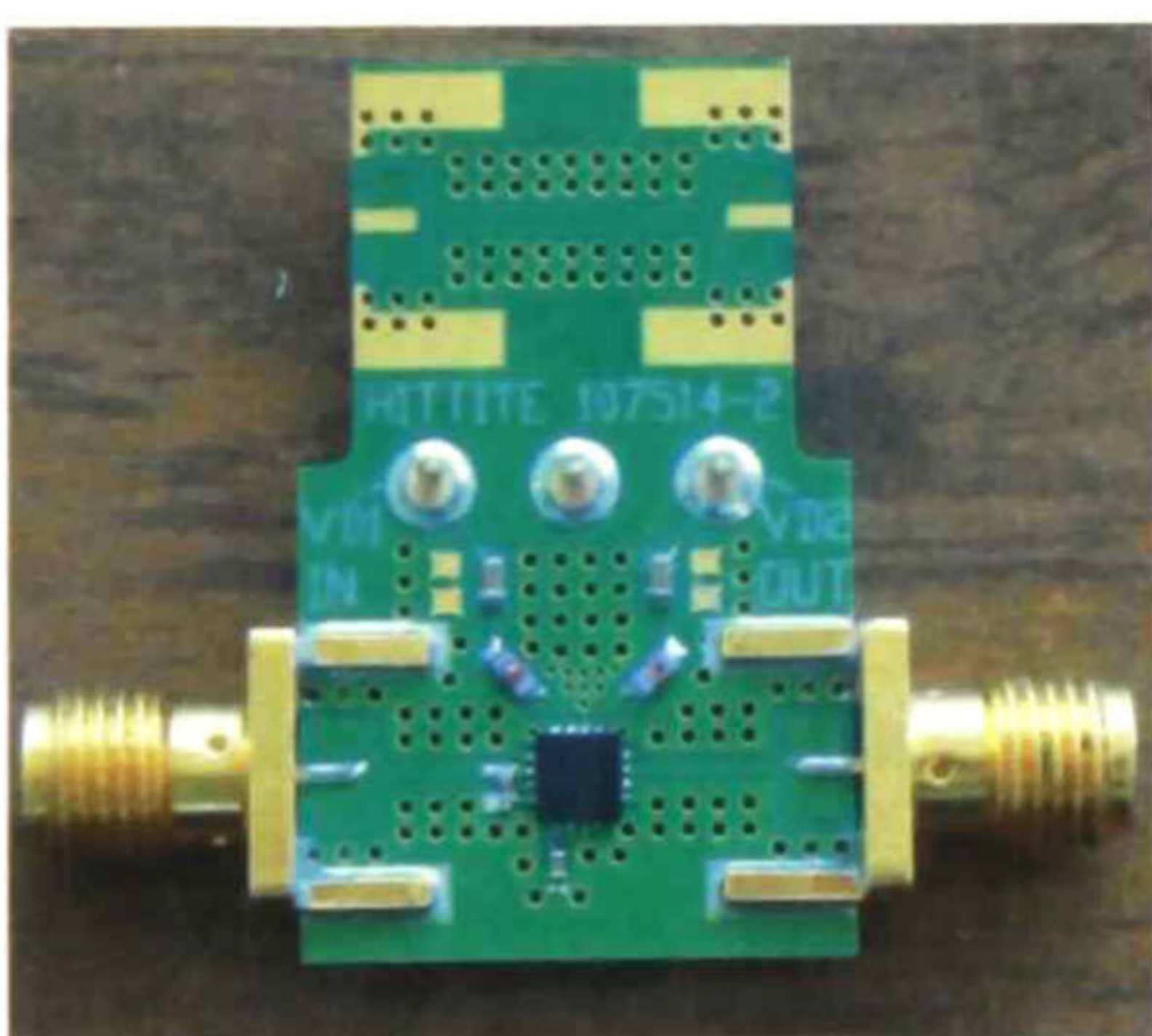


(b)

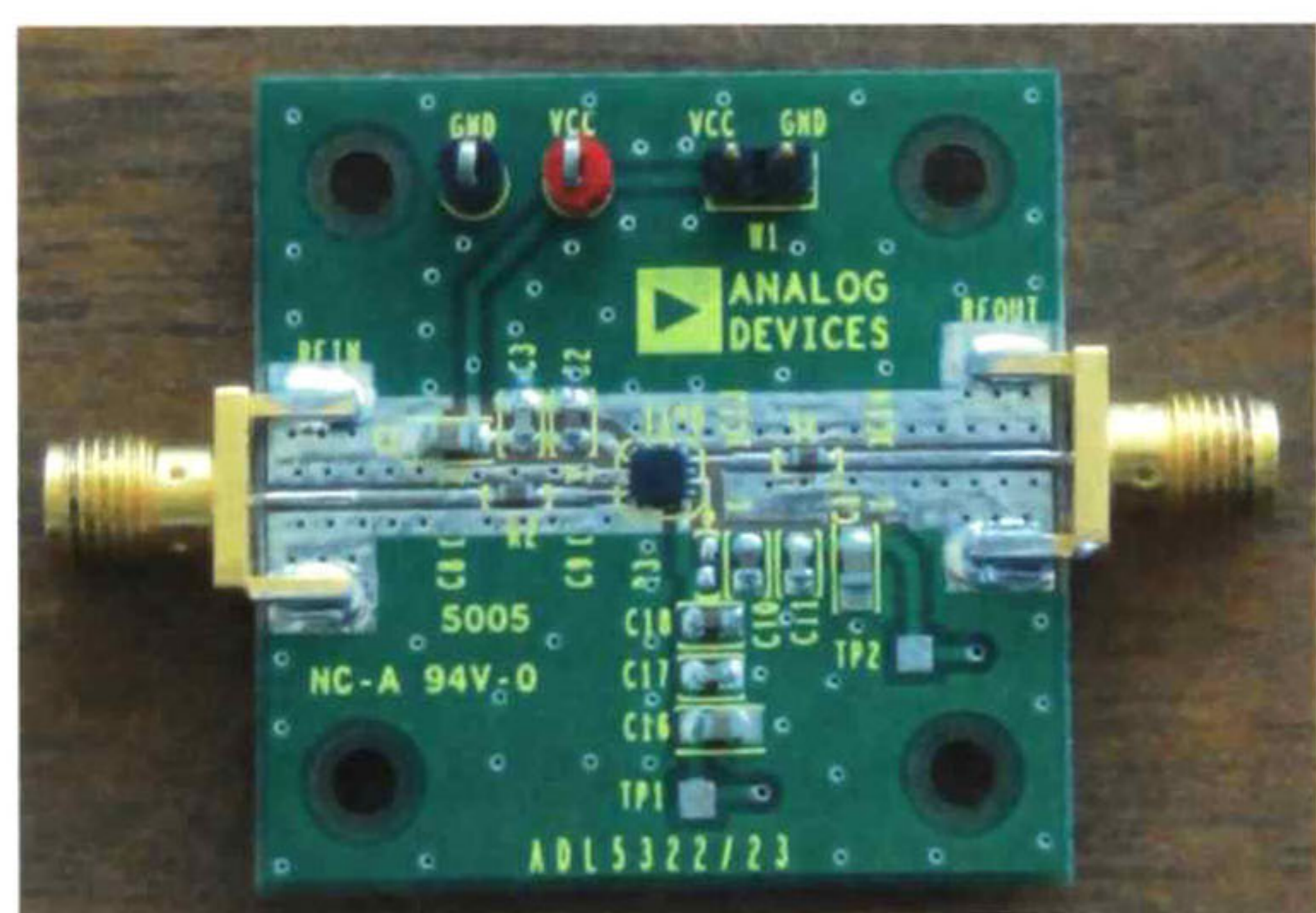
Fig. 6.9 (a) Banco de pruebas; (b) Captura de pantalla del osciloscopio.

#### 6.1.4 Amplificadores: LNA y PA.

De las características que se busca analizar en los amplificadores, son la ganancia, el punto de compresión a 1dB, y el IP3. Para el caso de los amplificadores, los fabricantes Hittite y Analog Device nos facilitaron la tarjeta de evaluación para sus dispositivos (ver figura 6.10).



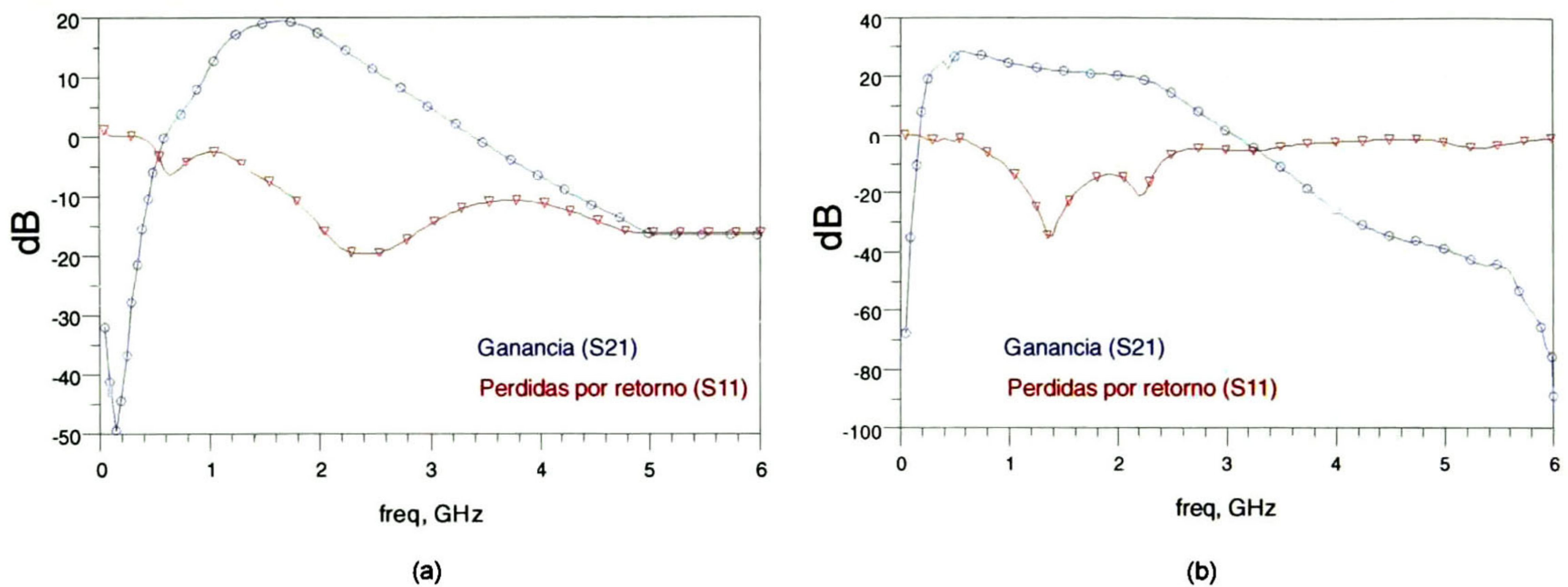
(a)



(b)

Fig. 6.10 T.F. de los amplificadores: (a) LNA; (b) amplificador de potencia.

A las B.P. de los amplificadores se les tomó mediciones de parámetros S, con el fin de corroborar la información del fabricante con respecto a la ganancia y el punto de compresión. En la grafica 6.11 que se muestran a continuación, se indican la ganancia y las perdidas por retorno, los cuales se midieron con el VNA Anritsu 37347D.

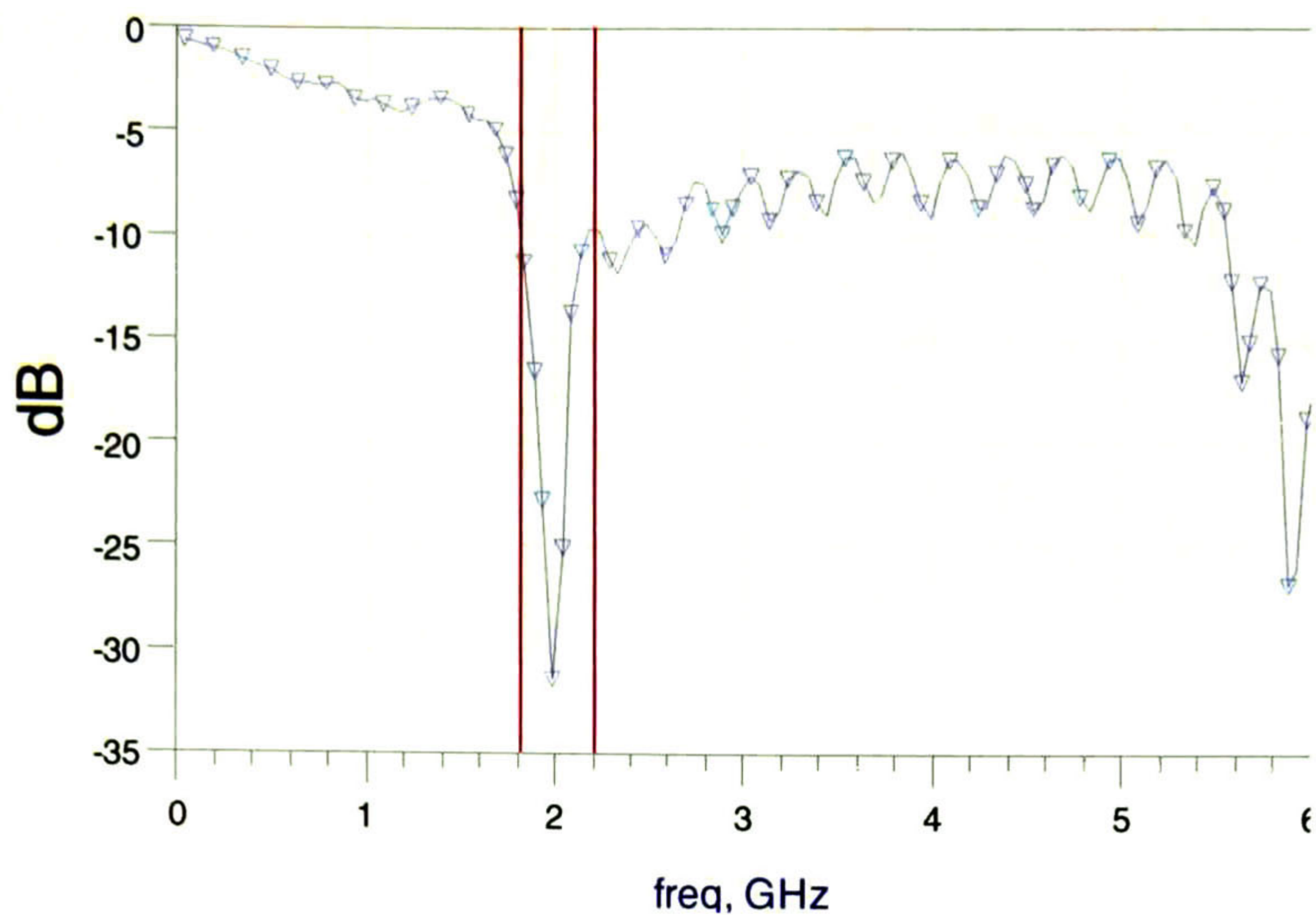


**Fig. 6.11** Parámetros S medidos de: (a) LNA; (b) amplificador de potencia.

### 6.1.5 Antena.

La antena es otro componente que se tiene que medir, ya que el fabricante sólo especifica la frecuencia central de operación. Sin embargo, es necesario conocer el margen dentro del cual podemos trabajar con la antena.

Para ello se realiza la medición empleado el *VNA Anritsu 37347D* con la calibración en un sólo puerto, para obtener las pérdidas por retorno, tal como se muestran en la grafica de la figura 6.12. En donde podemos ver que tenemos un rango de operación con un buen acoplamiento desde 1.8 hasta 2.2 GHz.



**Fig. 6.12** Perdidas por retorno de la antena.

## 6.2 Mediciones en campo.

Con el fin de verificar el sistema de transmisión y recepción, se realizaron pruebas fuera del laboratorio. La prueba se realizó colocando el receptor dentro de la plaza del CINVESTAV, mientras que el transmisor se colocó a una distancia de 150 metros de línea de vista en campo abierto. Esto se puede observar en las fotografías de la figura 6.13.

La prueba consistió en transmitir un tono desde 42 kHz hasta 900 kHz, con una señal portadora de 1.8 GHz con una potencia de salida del transmisor de 9 dBm. En el lado del receptor empleó un analizador de espectros de baja frecuencia marca Agilent 89410A, se verificó la señal demodulada en baja frecuencia. Además otro punto de interés fue buscar el nivel de sensibilidad del sistema receptor, para de esta manera poder determinar el nivel de potencia de entrada mínima al cual es capaz de operar.



(a)



(b)

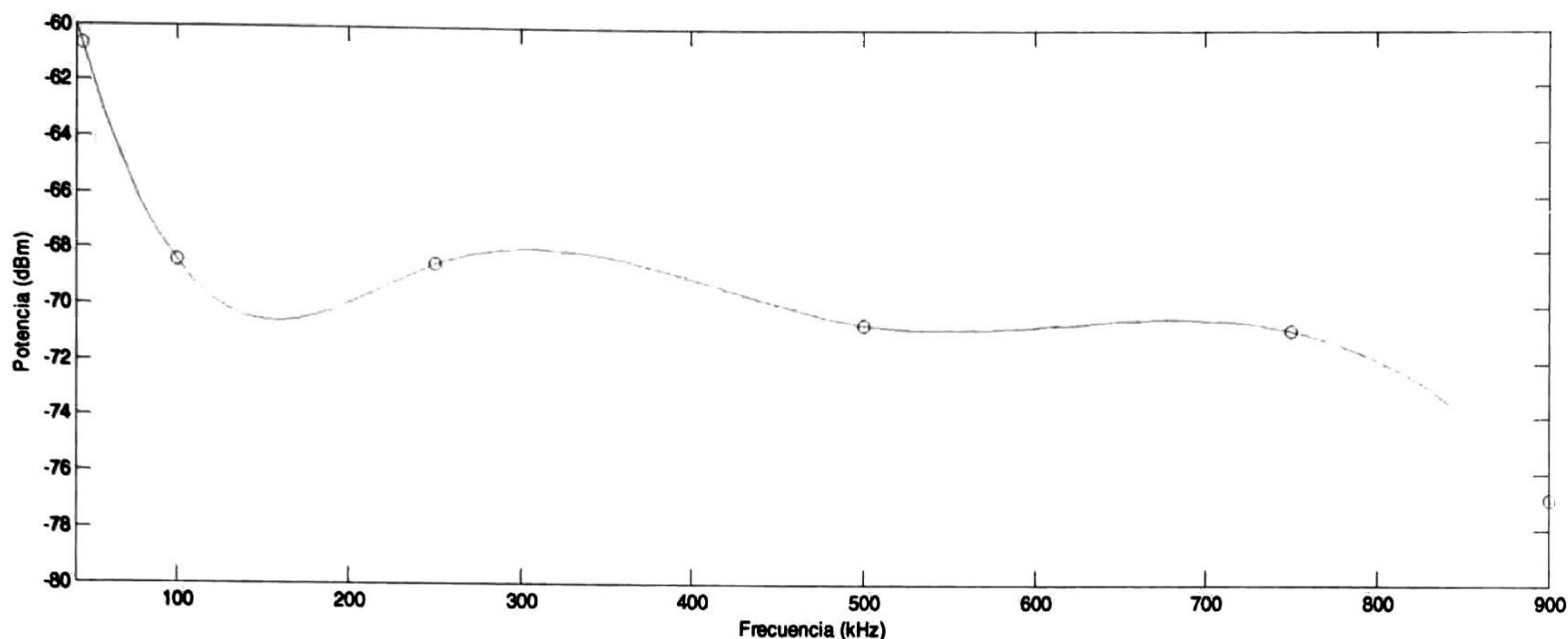
**Fig. 6.13** Banco de pruebas para las mediciones en campo: (a) receptor; (b) transmisor.

En la grafica de la figura 6.14, se muestra los valores de potencia medidos en el receptor de la señal demodulada. En esta gráfica se puede visualizar que en el rango de 100 a 250 kHz existe una atenuación de la señal, esto es relacionado a la proximidad del laboratorio de potencia en el cual se estaban realizando pruebas con un equipo que opera alrededor de los 180 kHz.

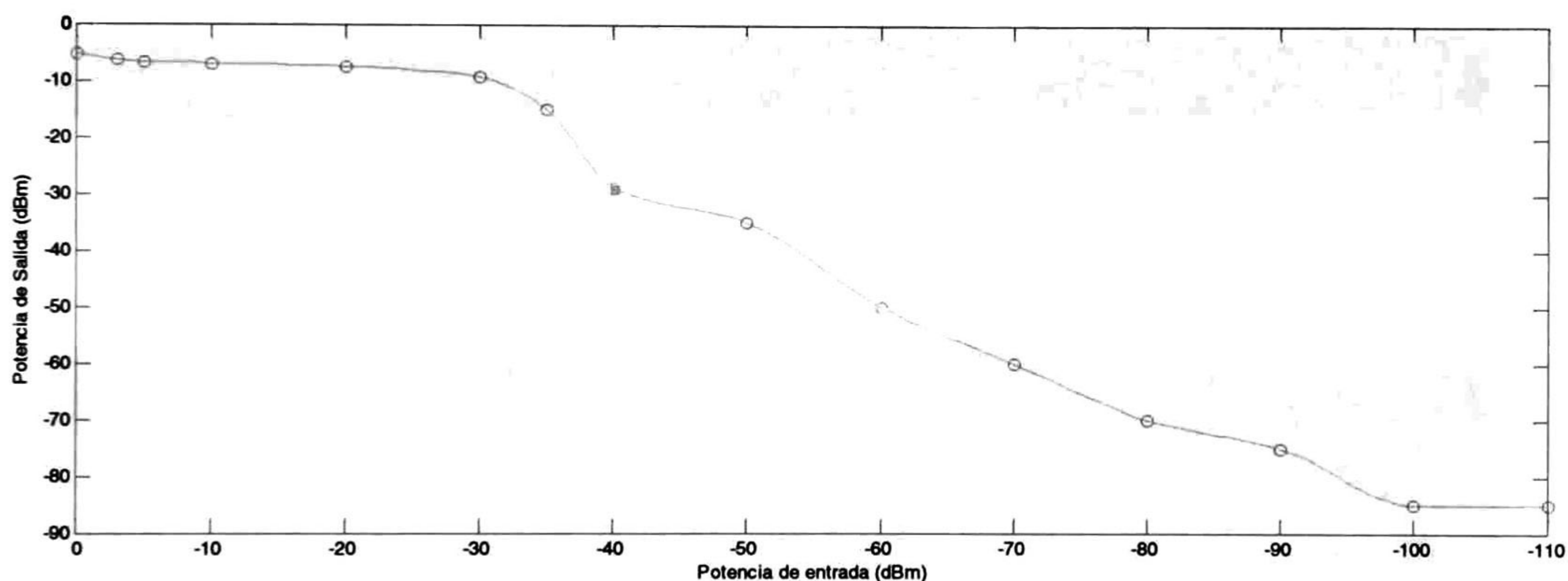
Tenemos que recordar que la sensibilidad es la capacidad del receptor inalámbrico de recuperar y demodular señales con una potencia muy baja. La sensibilidad es medida en dBm o  $\mu\text{V}$ , y nos indica el nivel de potencia requerido en la entrada del sistema, para que éste genere a la salida una señal con un SNR específico o un BER muy bajo, el cual permita operar a las etapas subsecuentes sin causar errores.

La prueba de sensibilidad se realizó utilizando el generador de señales vectoriales agilent N5182A, el cual se ajustó a una frecuencia de 200 kHz con una portadora de 1.8 GHz. Mientras tanto, a la salida del receptor se coloca el analizador de espectros Agilent 89410A y se mide la potencia de la señal demodulada nuevamente. Los resultados de esta medición se graficaron todos los puntos medidos, esto se muestran en la figura 6.15.





**Fig. 6.14** Potencia recibida en mediciones de campo.



**Fig. 6.15** Medición de la respuesta del sistema receptor.

Cabe señalar que el Analizador de espectros Agilent 89410A, tiene un nivel de ruido de piso de aproximadamente -85 dBm. En base a las limitaciones del equipo y de resultados de la grafica 6.15 se puede observar que el sistema es capaz de funcionar aunque débilmente a niveles de entrada mayores de los -90 dBm.

En las figuras 6.16 y 6.17, se muestran las tarjetas finales ensambladas del transmisor y receptor, respectivamente.

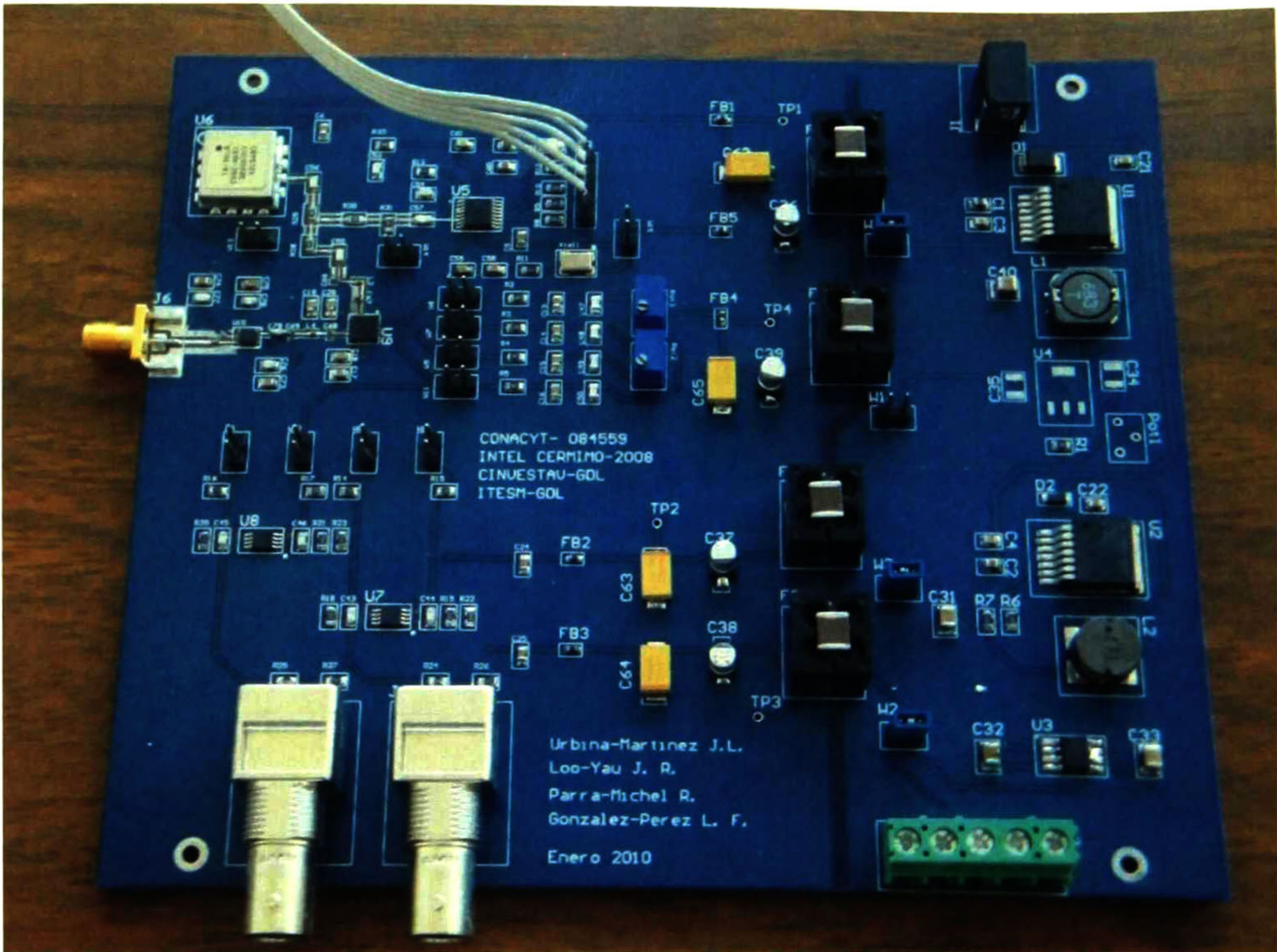


Fig. 6.16 Tarjeta del transmisor.

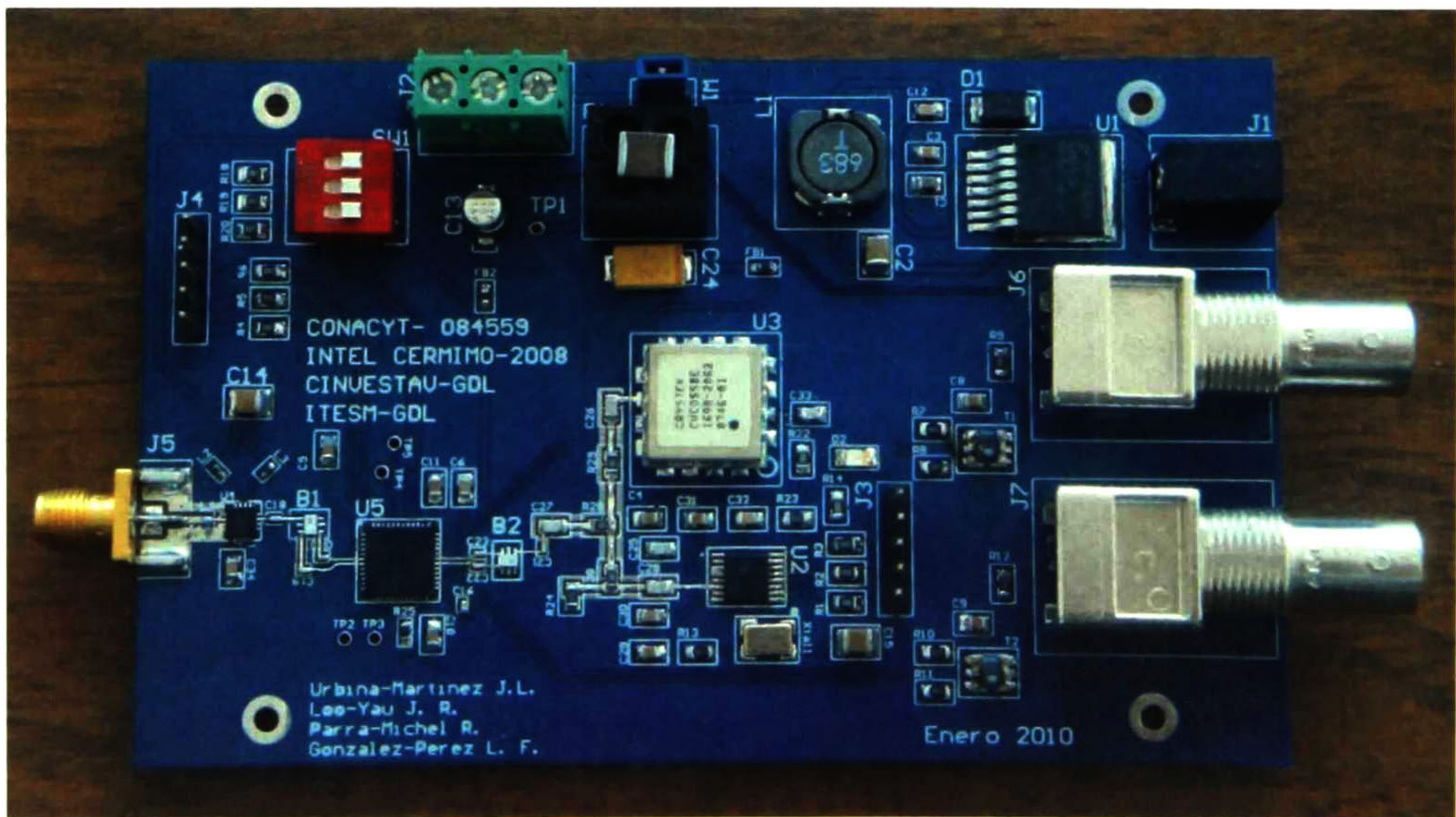


Fig. 6.17 Tarjeta del receptor.

# Capítulo 7

## Conclusiones Y Trabajo Futuro.

**E**n este capítulo se resumen primero los comentarios y conclusiones que se plantean a partir de los resultados obtenidos y posteriormente se presenta una sección de recomendaciones para trabajo futuro que sirva como guía cuando se retome este proyecto para mejorarlo.

### *7.1 Conclusiones.*

Es importante mencionar que durante el desarrollo de este proyecto de tesis surgieron varias particularidades, las cuales tomaron tiempo para resolverlas y así concretar el diseño del sistema de comunicaciones. En la siguiente lista se describen a

manera de resumen las conclusiones a las que se llegó tras resolver los contratiempos surgidos durante la elaboración de esta tesis.

- El emplear un CAD de diseño de PCBs con licencia estudiantil, trajo como consecuencia la necesidad de estudiar a manera profunda como se diseñan las librerías tanto de los circuitos integrados como de conectores y elementos pasivos, debido a que el proceso de ensamble depende de gran manera de estas librerías.
- Al momento de realizar el diseño a nivel esquemático, se tuvo que resolver la manera de integrar una fuente de alimentación dual, dado que el sistema no cuenta con un transformador con devanado central. La solución viable y económica que se encontró a este problema fue emplear capacitores conmutados.
- El fabricar bases de prueba a nivel prototipo en una tarjeta piloto con el diseño final, permite comprobar las especificaciones marcadas de los dispositivos activos y también cómo interactúan los diversos componentes de diferentes proveedores. Se recomienda realizar al menos dos bases de prueba a nivel prototipo antes de invertir en el diseño final del PCB.
- Existe una gran variedad de simuladores electromagnéticos los cuales utilizan diferentes técnicas de solución de las ecuaciones que emplean, lo que resulta en diferentes tiempos de solución y restricciones en las capacidades de simulación. En este proyecto se trabajó con tres simuladores que emplean técnicas de solución diferentes (método de momentos, diferencias finitas y técnica de integración finita). De los resultados se puede concluir que entre ellos existe convergencia en los cálculos de parámetros S, pero no en el caso

de la magnitud de los campos electromagnéticos, por lo que se sugiere tomar estos últimos solo para ilustrar los efectos que se generan.

- Además de la parte técnica que comprende la investigación, desarrollo e integración del sistema de comunicaciones, es ineludible aprender a elaborar papelería administrativa y de control como es el caso de requisiciones, pedimentos de importación, trámites aduanales, listas de materiales para control del inventario, etc. Estas actividades representan una carga de trabajo importante que consume tiempo, pero es necesaria y generalmente no se prevé.

## *7.2 Trabajo Futuro.*

Existen siempre cosas en las cuales hay que mejorar, y en este trabajo de tesis no es la excepción. A continuación se enlistan una serie de sugerencias que se deben de tomar en cuenta para realizar una segunda versión de este sistema de comunicaciones.

- Emplear un microcontrolador, como sistema mínimo, el cual permita realizar la programación del oscilador en ambas tarjetas y el control en la recepción.
- Estudiar la posibilidad de operar el sistema de comunicaciones con una frecuencia intermedia, examinando sus pros y contras.
- Realizar un estudio electromagnético que involucre completamente al PCB, además de diseñar una metodología capaz de probar el sistema contra descargas eléctricas (ESD).

- Reducir el tamaño de la tarjeta de transmisión, eliminando muchos de los jumpers que se dejaron para prueba, y reducir el espacio entre los componentes en el área de la fuente de alimentación.
- En ambas tarjetas, agregar un sistema de conversión análoga-digital y digital-análoga, permitiendo esto ingresar los datos de las señales I/Q de manera digital, lo que implica realizar un acondicionamiento de señal.
- Diseñar una base o una caja de manera adecuada para proteger el sistema.

# Referencias

- [1] WHITE, Joseph F.; “High Frequency Techniques”, John Wiley & Sons, 2004.
- [2] SALDIVAR-MORALES, Juan Alberto; “Dos Filosofías Distintas de la Técnica de Calibración LRL Multilíneas para Corregir los Errores Sistemáticos de un Analizador de Redes Vectorial”, Tesis de Maestría 2005, INAOE, Pag. 17 – 21.
- [3] WAYNE, Tomasi; “Sistemas de Comunicaciones Electrónicas”, Prentice Hall, 2003.
- [4] BOWICK, Chris; “RF Circuit Design”, 2° Edition, Newnes, 2005.
- [5] LI, Richard Chi-Hsi; “RF Circuits Design”, John Wiley & Sons, 2009.
- [6] BANERJEE, Dean; “PLL: Performance, Simulations and Designs”, 4° Edition, National Semiconductors Press, 2006.
- [7] SAYRE, Cotter W.; “Complete Wireless Design” 2° Edition, McGraw Hill, 2008.
- [8] POZAR, David M.; “Microwave Engineering” 3° Edition, John Wiley & Sons, 2004.

- [9] Razavi, B.; "Principles of Data Conversion in Systems Design", Wiley-IEEE Press, 1994.
- [10] OTT, Henry W.; "Electromagnetic Compatibility Engineering", Wiley- IEEE Press, 2009.
- [11] CLAYTON, Paul R.; "Introduction to Electromagnetic Compatibility", 2° Edition, John Wiley & Sons, 2006.
- [12] MITZNER, Kraig; "Complete PCB Design Using OrCad Capture and PCB Editor", Newnes, 2009.
- [13] HOLZMAN, Eric; "Essentials of RF and Microwave Grounding", Artech House, 2006.
- [14] MONTROSE, Mark I.; "EMC and the Printed Circuit Board", 2° Edition, Wiley-IEEE Press, 1999.



# Apéndices

<b>Apéndice</b>	<b>Descripción</b>
A.1	Portada hoja de datos TRF3750
A.2	Portada hoja de datos FOX924B-10
A.3	Portada hoja de datos CVCO55BE-1690-2062
A.4	Portada hoja de datos TRF3702
A.5	Portada hoja de datos THS4503
A.6	Portada hoja de datos ADL5323
A.7	Portada hoja de datos TRF3710
A.8	Portada hoja de datos LDB211G8005-001
A.9	Portada hoja de datos TCM9-1
A.10	Portada hoja de datos HMC375LP3
A.11	Portada hoja de datos LM2676
A.12	Portada hoja de datos LM317
A.13	Portada hoja de datos ADM8660
A.14	Portada hoja de datos BNX002-01
B	Lista de materiales
C.1	Código para el control del oscilador local
C.2	Código para el control del receptor
D	Contenido del CD
E	Tabla de acrónimos

*Hoja intencionalmente en blanco.*



## HIGH-PERFORMANCE INTEGER-N PLL FREQUENCY SYNTHESIZER

### FEATURES

- **Single Device Covers Frequencies Up to 2.4 GHz**
- **Dual Supply Range: 3 V – 3.6 V and 4.5 V – 5.5 V**
- **Separate Charge Pump Supply ( $V_{CP}$ ) Up to 8 V**
- **Simple 3-Wire Serial Interface Allows for Fully Programmable:**
  - A, B, and R Counters
  - Dual Modulus Prescaler [8/9, 16/17, 32/33, and 64/65]
  - Charge Pump Current
- **Lock Detect Output (Digital and Analog)**
- **Versatile Hardware and Software Power Down**
- **Packaged in a 16-Pin TSSOP Thin Quad FlatPack and a 20-Pin 4 x 4 mm QFN Package**

### APPLICATIONS

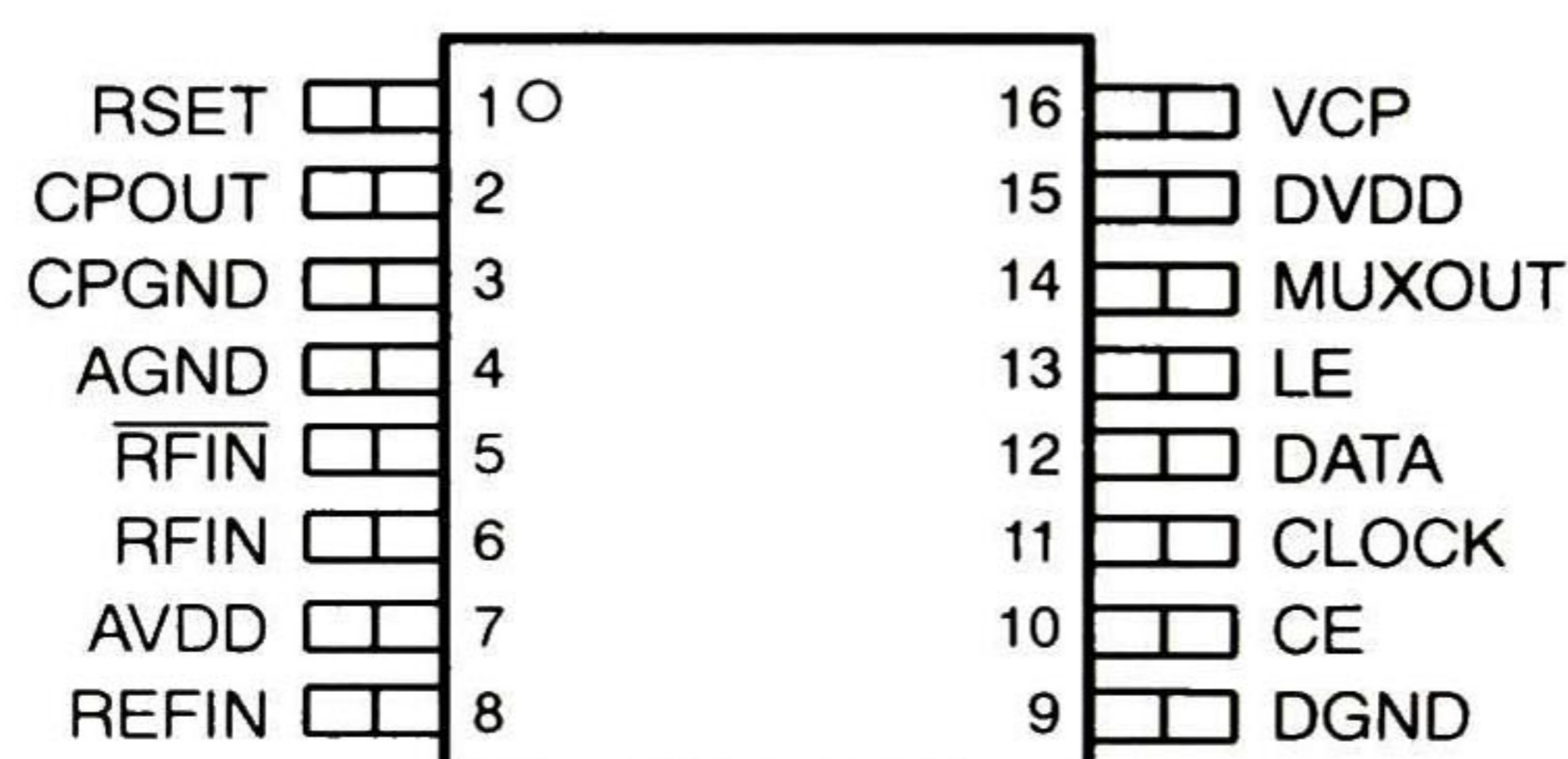
- **Wireless Infrastructure**
  - GSM, IS136, EDGE/UWC-136
  - IS95, UMTS, CDMA2000
- **Portable Wireless Communications**
- **Wireless LAN**
- **Wireless Transceivers**
- **Communication Test Equipment**

### DESCRIPTION

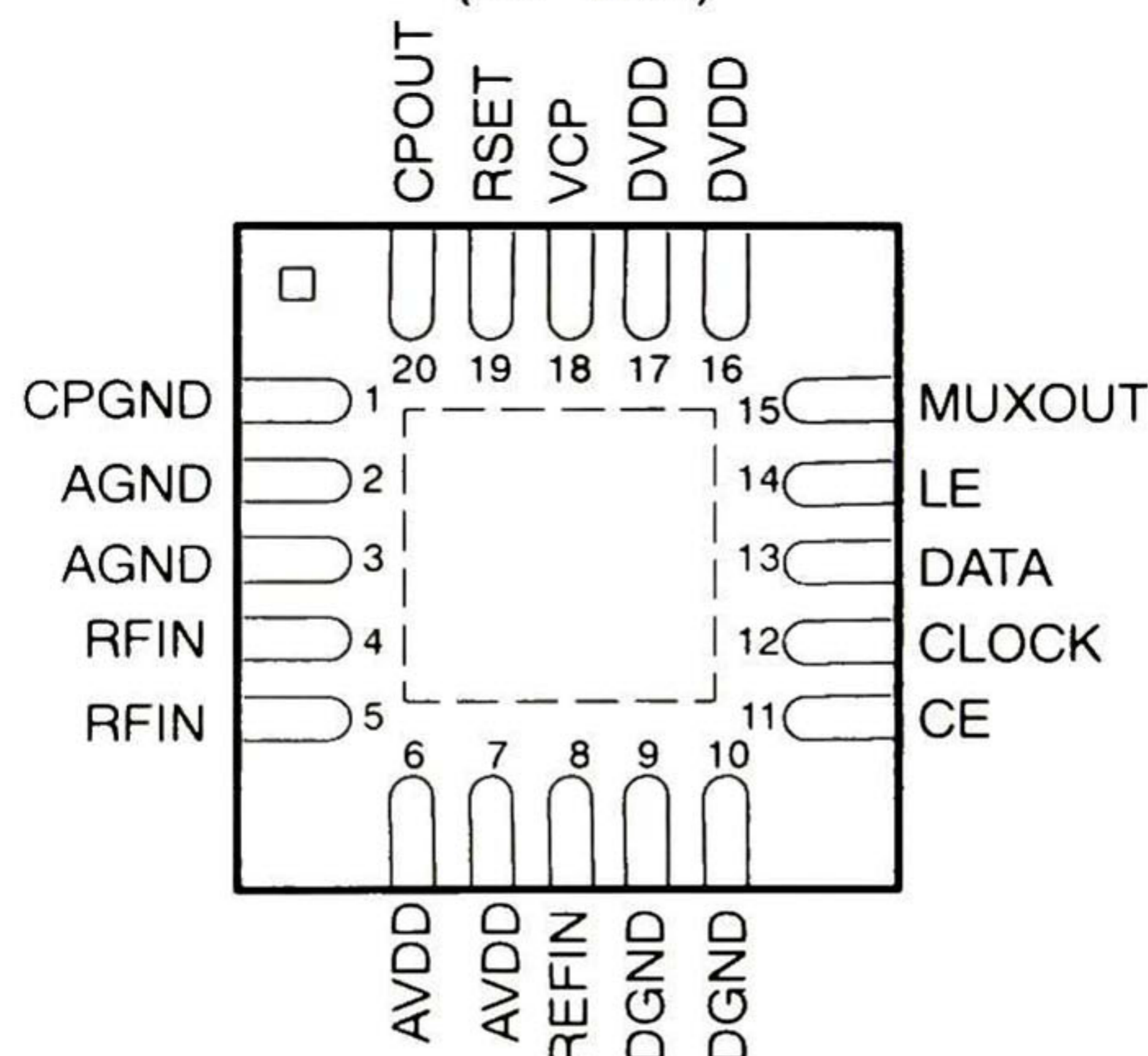
The TRF3750 frequency synthesizer is ideal for designing the local oscillator portion of wireless transceivers by providing complete programmability and ultra-low phase noise. The device features a user-selectable dual-modulus prescaler, a 14-bit reference (R) divider, a 6-bit A,

and a 13-bit B counter. The R divider allows the user to select the frequency of choice for the phase-frequency detector (PFD) circuit, and with the use of the counters implement an N divider of value  $N = A + P \times B$ . With an extended charge-pump supply ( $V_{CP}$ ) of up to 8 V, a wide variety of external VCOs can be used to complete the phase-locked loop. Ultra-low phase noise and reference spur performance make the TRF3750 ideal for generating the local oscillator in the most demanding wireless applications.

**PW PACKAGE  
(TOP VIEW)**



**RGP PACKAGE  
(TOP VIEW)**



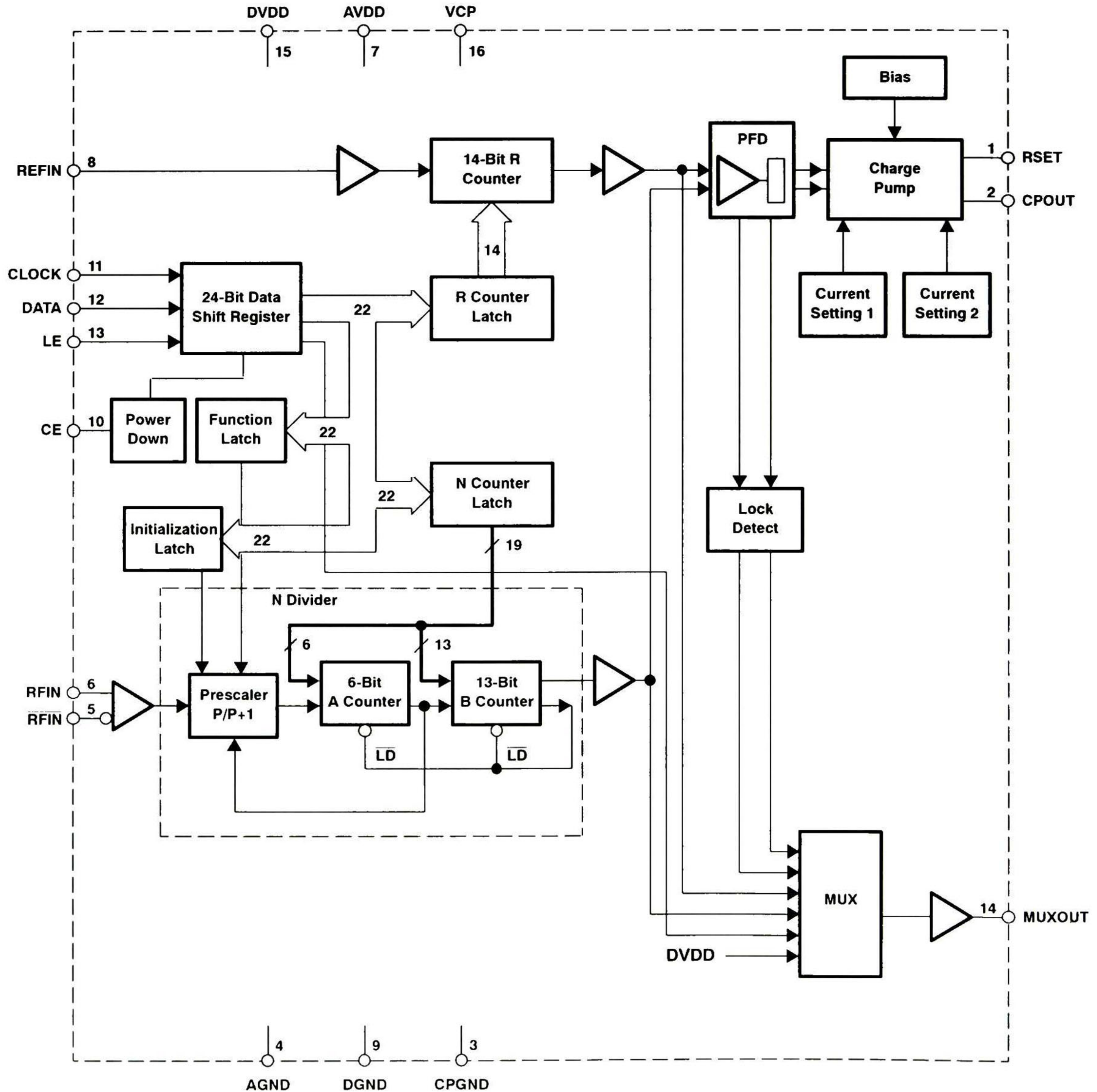
Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

SLWS146B – MARCH 2004 – REVISED AUGUST 2007

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

**FUNCTIONAL BLOCK DIAGRAM FOR TSSOP PACKAGE**



# 3.3V Ultra Miniature SMD HCMOS TCXO/VCTCXO



Model: FOX924 SERIES

RoHS Compliant / Pb Free

Rev. 5/8/2007

Page 1 of 2

[http://www.foxonline.com/need\\_a\\_sample.htm](http://www.foxonline.com/need_a_sample.htm)



## FEATURES

- 3.3V Operation
- 1.5mm Height Max
- HCMOS Output
- Low Cost
- Tape and Reel (2,000 pcs. STD)

## OPTIONS

- Voltage Control (FOX924E)

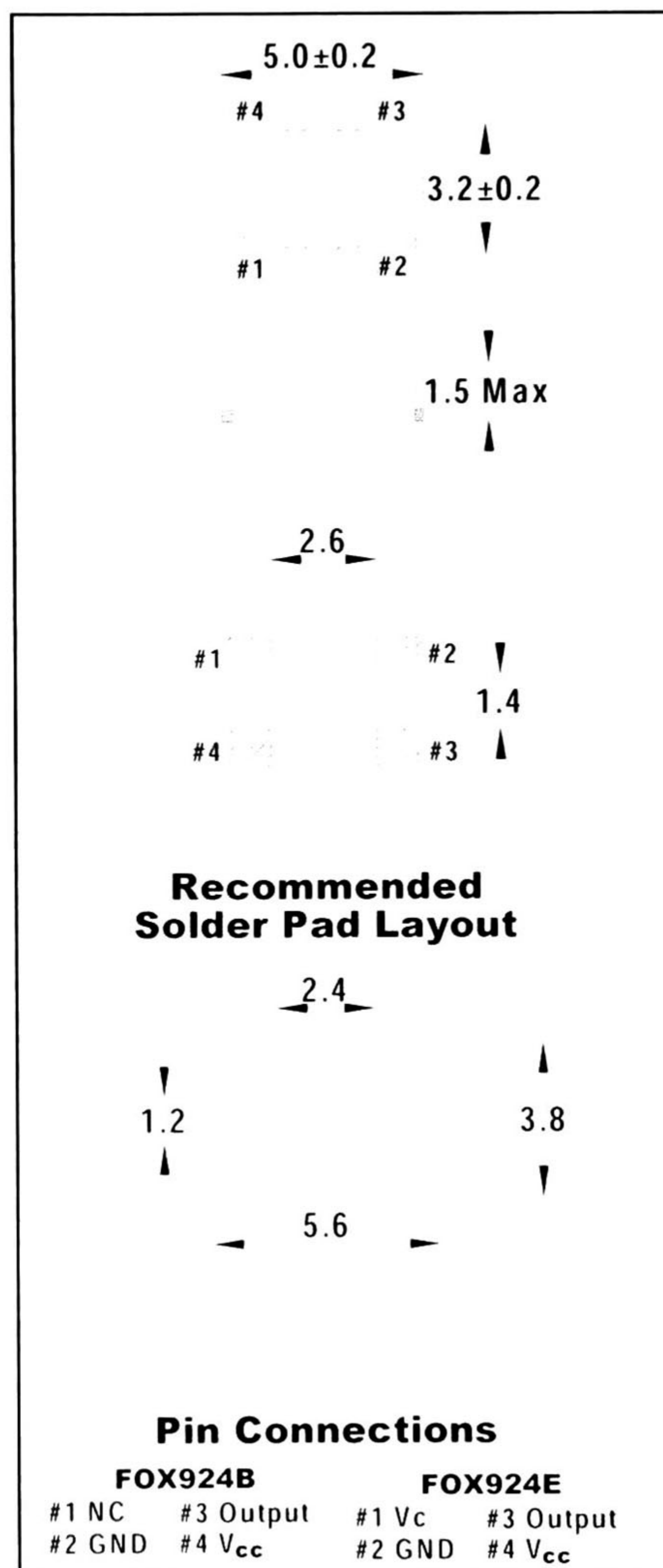
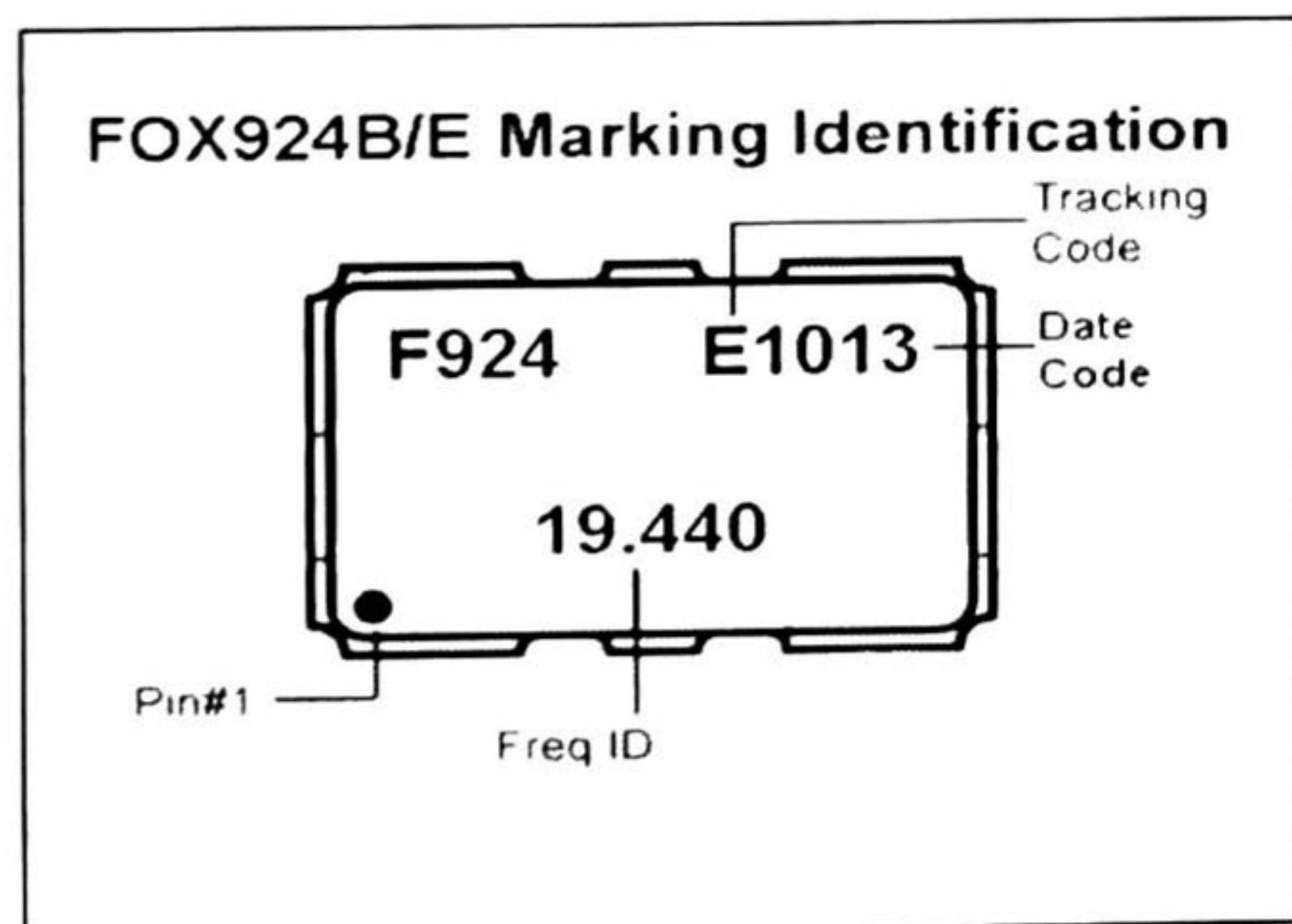
## • PART NUMBER SELECTION [Learn More](#) - Internet Required

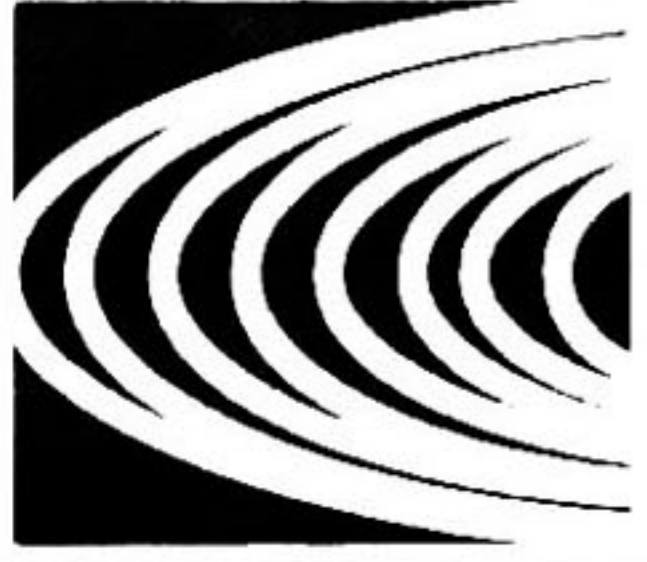
Part Number	Model Number	Frequency Stability	Operating Temperature(°C)	Frequency Range (MHz)
718-Frequency-xxxxx	FOX924B	See table	-30 ~ +85	10.000~30.000
719-Frequency-xxxxx	FOX924E	See table	-30 ~ +85	10.000~30.000

## • ELECTRICAL CHARACTERISTICS

PARAMETERS	MAX (unless otherwise noted)
Frequency Range (Fo)	10.000 ~ 30.000 MHz
Temperature Range	
Operating (TOPR)	-30°C ~ +85°C
Storage (TSTG)	-40°C ~ +85°C
Supply Voltage (VDD)	3.3V ± 5%
Input Current (IDD)	6.0mA
Initial Frequency Tolerance @ 25°C (after 2 reflows)	±1.5PPM
Frequency Stability	
Over Temperature Range	±2.5PPM
Over Supply Voltage Change (3.3V ± 5%)	±0.3PPM
Output Voltage (HCMOS) (VOL)	0.5V
(VOH)	80% VDD Min
Output Load	15pF
Aging per year	±1.0PPM
Startup Time (Ts)	5mS Max
Pullability (Vc = 1.65 ± 1.5V)	±5.0 ~ ±15.0 PPM

All specifications subject to change without notice





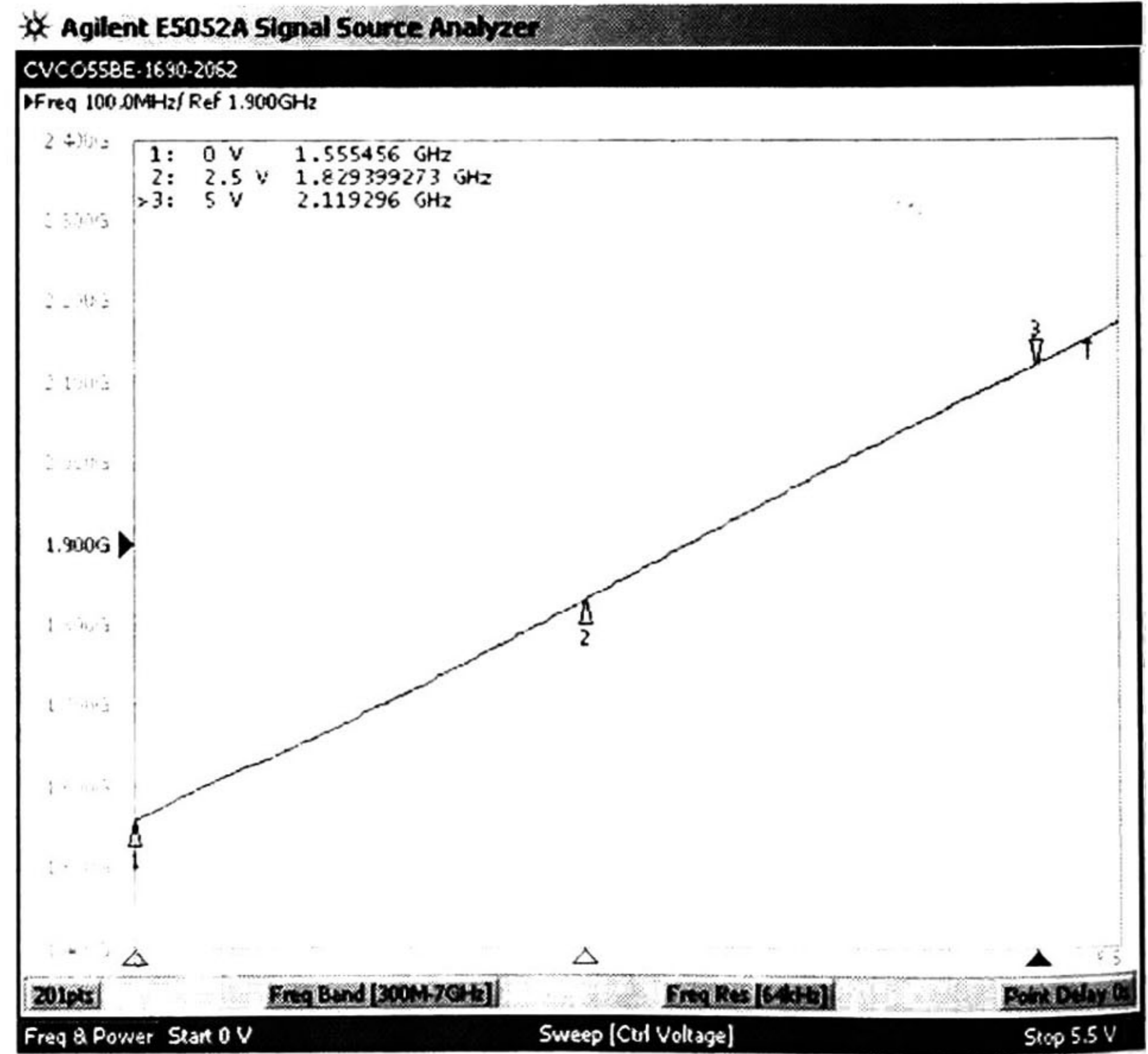
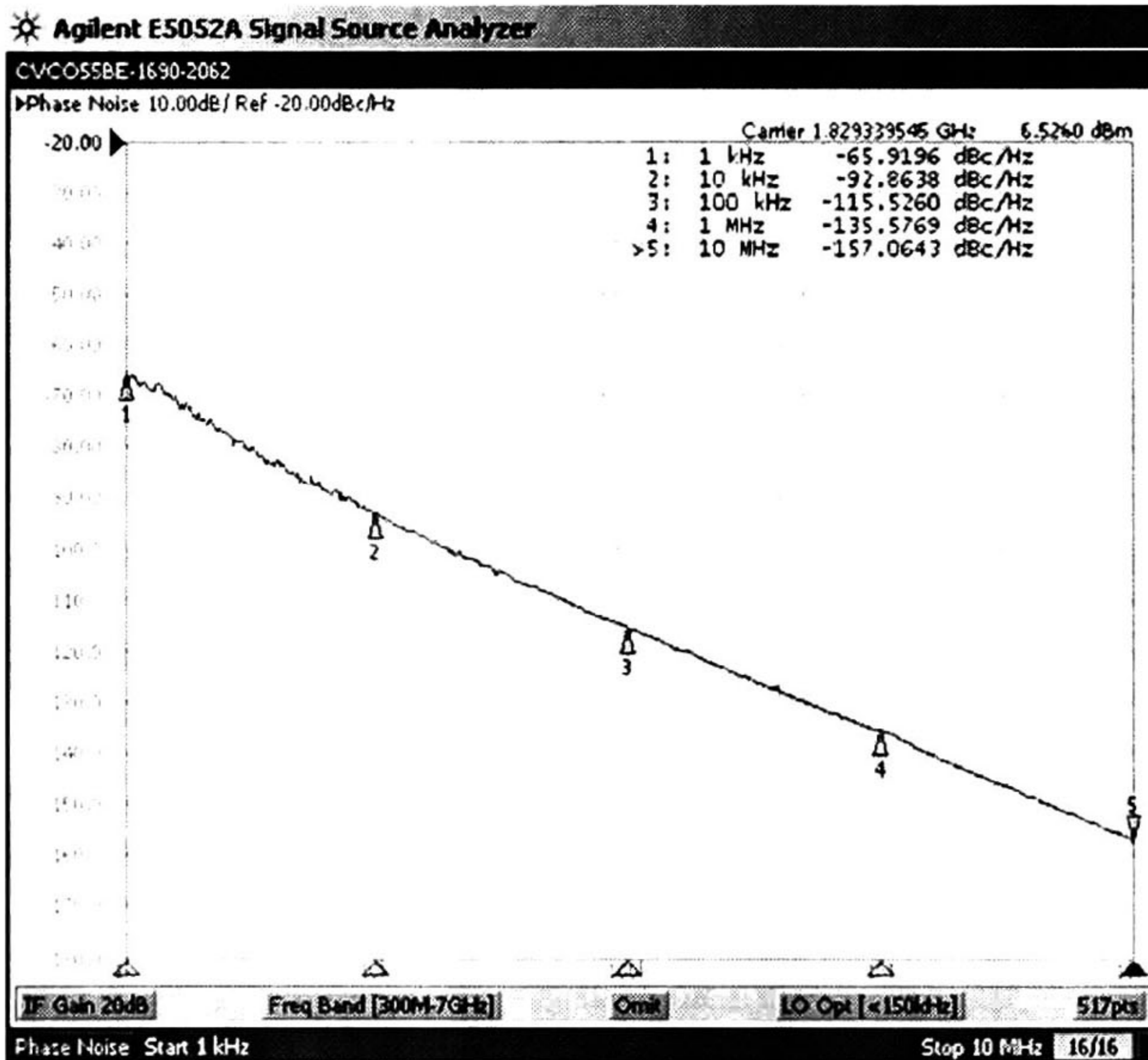
Voltage Controlled Oscillator-VCO  
CVCO55BE-1690-2062



PERFORMANCE SPECIFICATION	MIN	TYP	MAX	UNITS
Lower Frequency:			1690	MHz
Upper Frequency:	2060			MHz
Tuning Voltage:	0		5.0	VDC
Supply Voltage:	4.75	5.0	5.25	VDC
Output Power:	+3.0	+5.0	+7.0	dBm
Supply Current:			20	mA
Harmonic Suppression (2 <sup>nd</sup> Harmonic):		-22	-13	dBc
Pushing:		6.0	10.0	MHz/V
Pulling, all Phases:		8.0	13.0	MHz pk-pk
Tuning Sensitivity:		145		MHz/V
Phase Noise @ 10kHz offset:		-96	-90	dBc/Hz
Phase Noise @ 100kHz offset:		-120	-114	dBc/Hz
Load Impedance:		50		$\Omega$
Input Capacitance:			15	pF
Operating Temperature Range:	-40		+85	$^{\circ}\text{C}$
Storage Temperature Range:	-45		+90	$^{\circ}\text{C}$

Phase Noise (1 Hz BW, Typical)

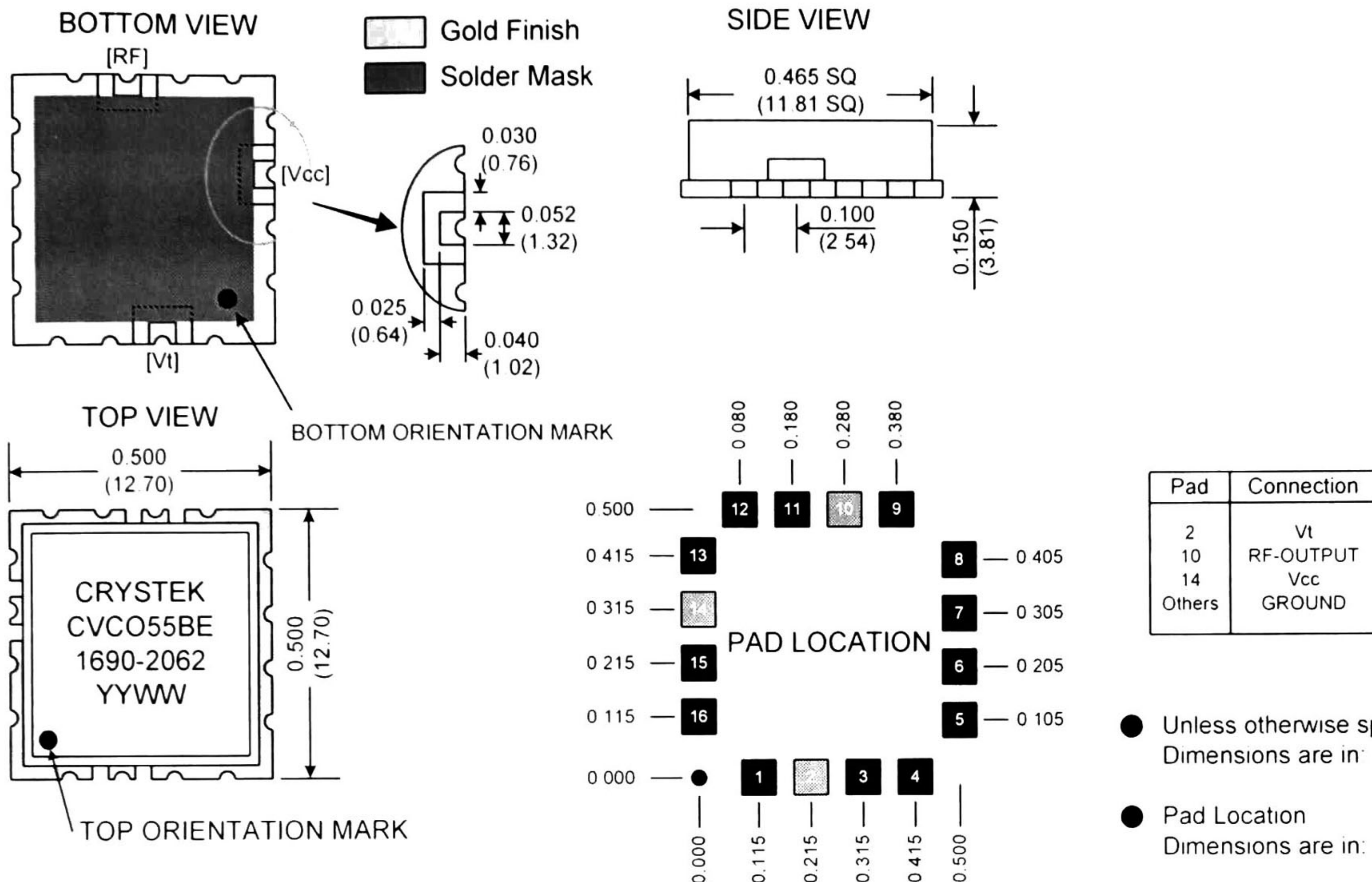
Tuning Curve (Typical)



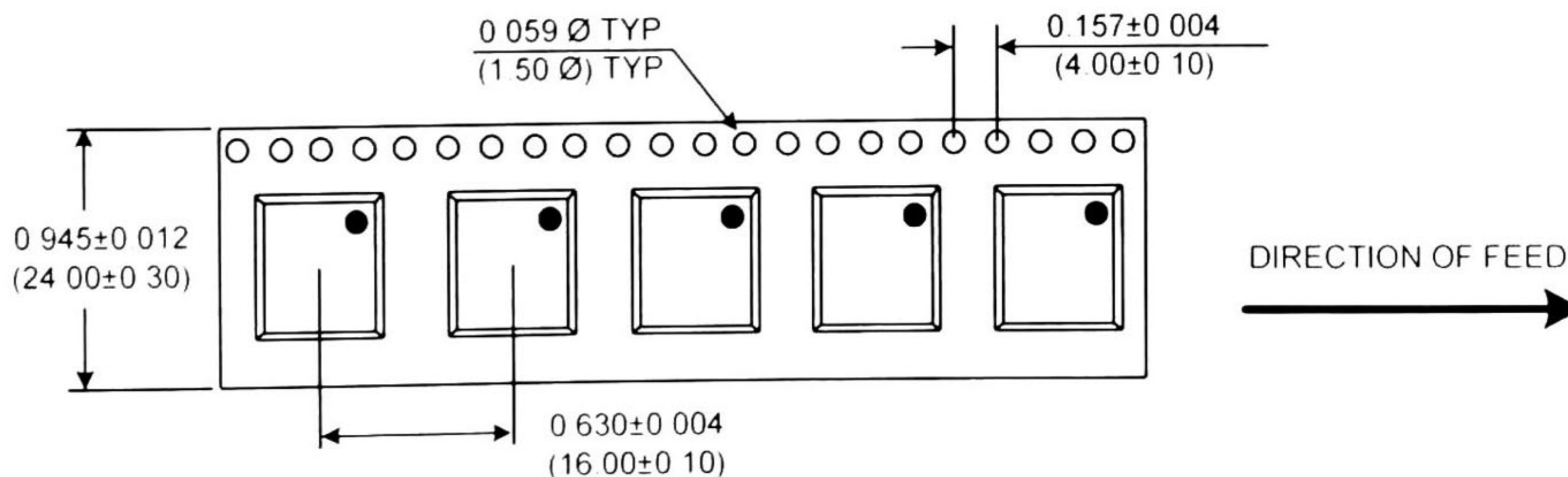


# Voltage Controlled Oscillator-VCO

## CVCO55BE-1690-2062



### TAPE AND REEL



Drawing not to scale

**Product Control:**

Crystek Part Number	CVCO55BE-1690-2062	Release Date	04-March-08
Revision Level	D	Responsible	C Vales

Specification is subject to change without notice

## 1.5-GHz to 2.5-GHz QUADRATURE MODULATOR

### FEATURES

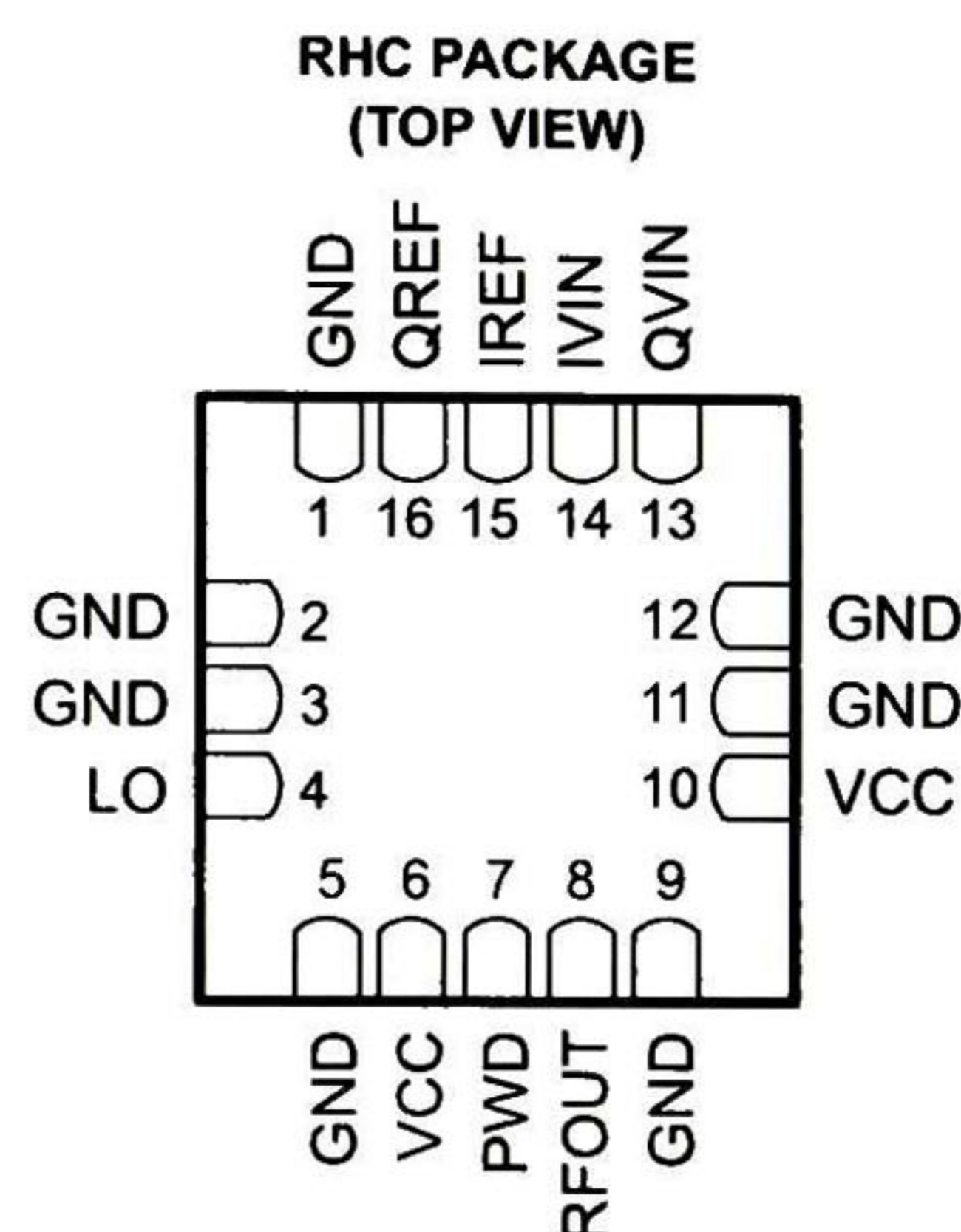
- 71-dBc Single-Carrier WCDMA ACPR at –14-dBm Channel Power
- P1dB of 7 dBm
- Typical Unadjusted Carrier Suppression 35 dBc at 2 GHz
- Typical Unadjusted Sideband Suppression 35 dBc at 2 GHz
- Very Low Noise Floor
- Differential or Single-Ended I, Q Inputs
- Convenient Single-Ended LO Input
- Silicon Germanium Technology

### APPLICATIONS

- Cellular Base Transceiver Station Transmit Channel
- IF Sampling Applications
- TDMA: GSM, IS-136, EDGE/UWC-136
- CDMA: IS-95, UMTS, CDMA2000
- Wireless Local Loop
- Wireless LAN IEEE 802.11
- LMDS, MMDS
- Wideband Transceivers

### DESCRIPTION

The TRF3702 is an ultralow-noise direct quadrature modulator that is capable of converting complex input signals from baseband or IF directly up to RF. An internal analog combiner sums the real and imaginary components of the RF outputs. This combined output can feed the RF preamp at frequencies of up to 2.5 GHz. The modulator is implemented as a double-balanced mixer. An internal local oscillator (LO) phase splitter accommodates a single-ended LO input, eliminating the need for a costly external balun.



P0003-01





This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

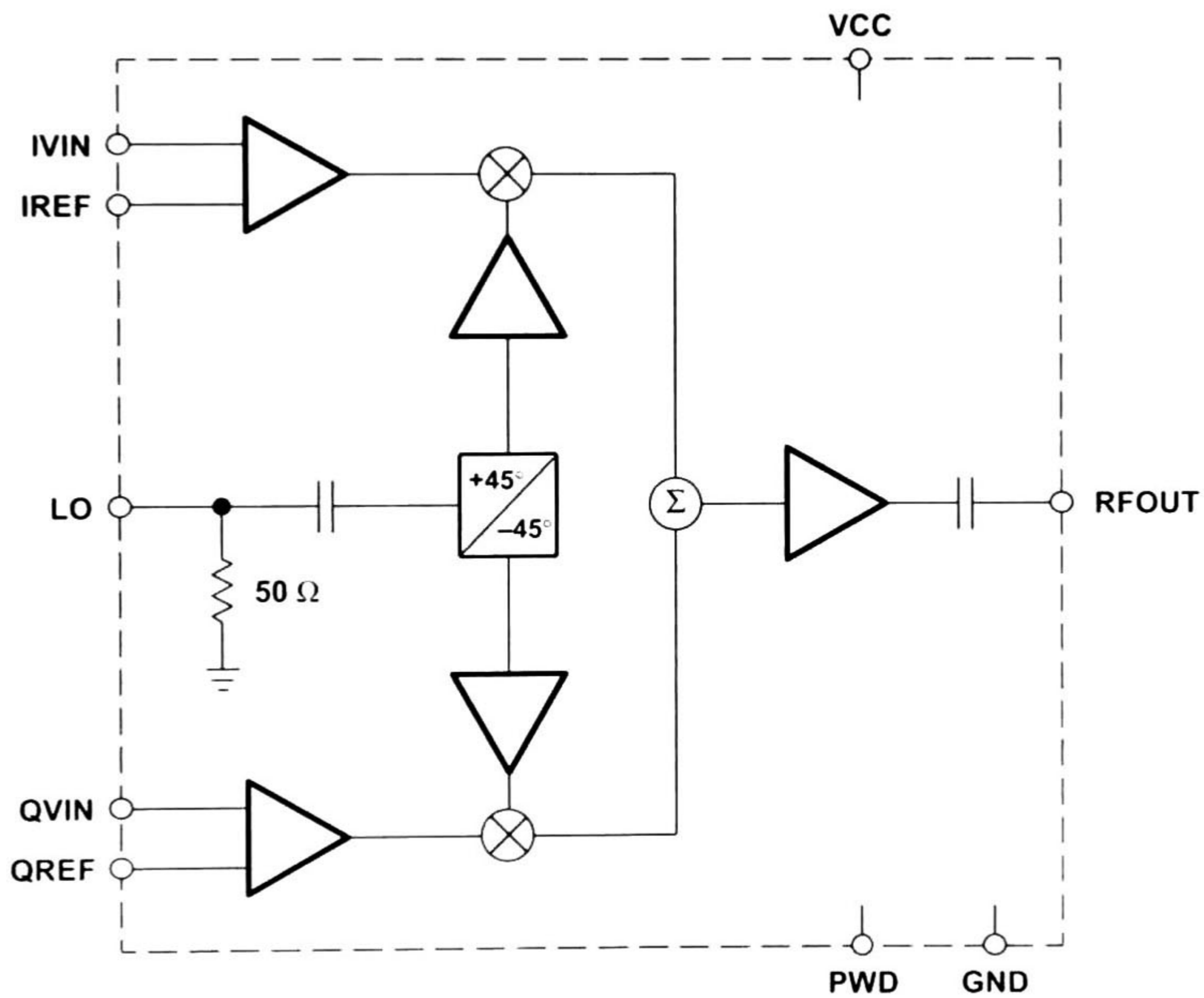
ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications

**AVAILABLE OPTIONS**

$T_A$	4-mm × 4-mm 16-Pin RHC (QFN) Package <sup>(1)</sup>
-40°C to 85°C	TRF3702IRHC
	TRF3702IRHCR (Tape and reel)

(1) For the most current package and ordering information, see the Package Option Addendum at the end of this document, or see the TI website at [www.ti.com](http://www.ti.com).

**FUNCTIONAL BLOCK DIAGRAM**



B0002-01

## WIDEBAND, LOW-DISTORTION FULLY DIFFERENTIAL AMPLIFIERS

### FEATURES

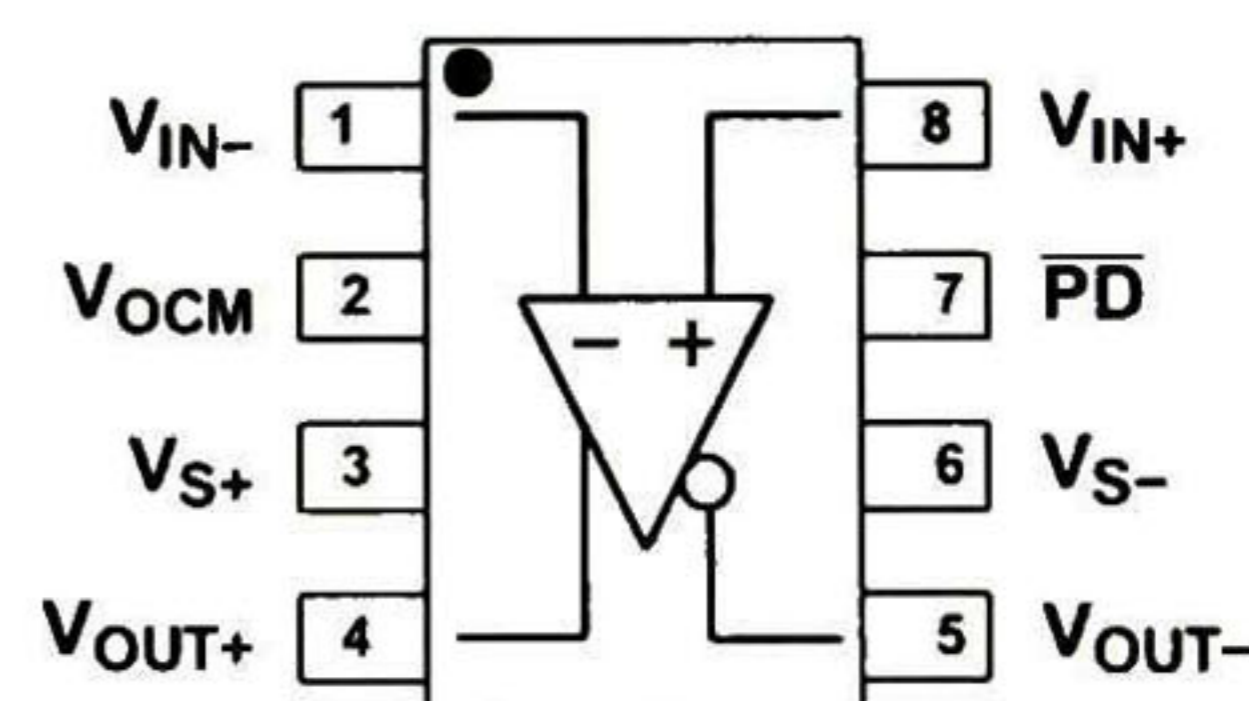
- Fully Differential Architecture
- Bandwidth: 370 MHz
- Slew Rate: 2800 V/ $\mu$ s
- IMD<sub>3</sub>: -95 dBc at 30 MHz
- OIP<sub>3</sub>: 51 dBm at 30 MHz
- Output Common-Mode Control
- Wide Power Supply Voltage Range: 5 V,  $\pm$ 5 V, 12 V, 15 V
- Centered Input Common-Mode Range
- Power-Down Capability (THS4502)
- Evaluation Module Available

### DESCRIPTION

The THS4502 and THS4503 are high-performance fully differential amplifiers from Texas Instruments. The THS4502, featuring power-down capability, and the THS4503, without power-down capability, set new performance standards for fully differential amplifiers with unsurpassed linearity, supporting 14-bit operation through 40 MHz. Package options include the 8-pin SOIC and the 8-pin MSOP with PowerPAD™ for a smaller footprint, enhanced ac performance, and improved thermal dissipation capability.

### APPLICATIONS

- High Linearity Analog-to-Digital Converter Preamplifier
- Wireless Communication Receiver Chains
- Single-Ended to Differential Conversion
- Differential Line Driver
- Active Filtering of Differential Signals

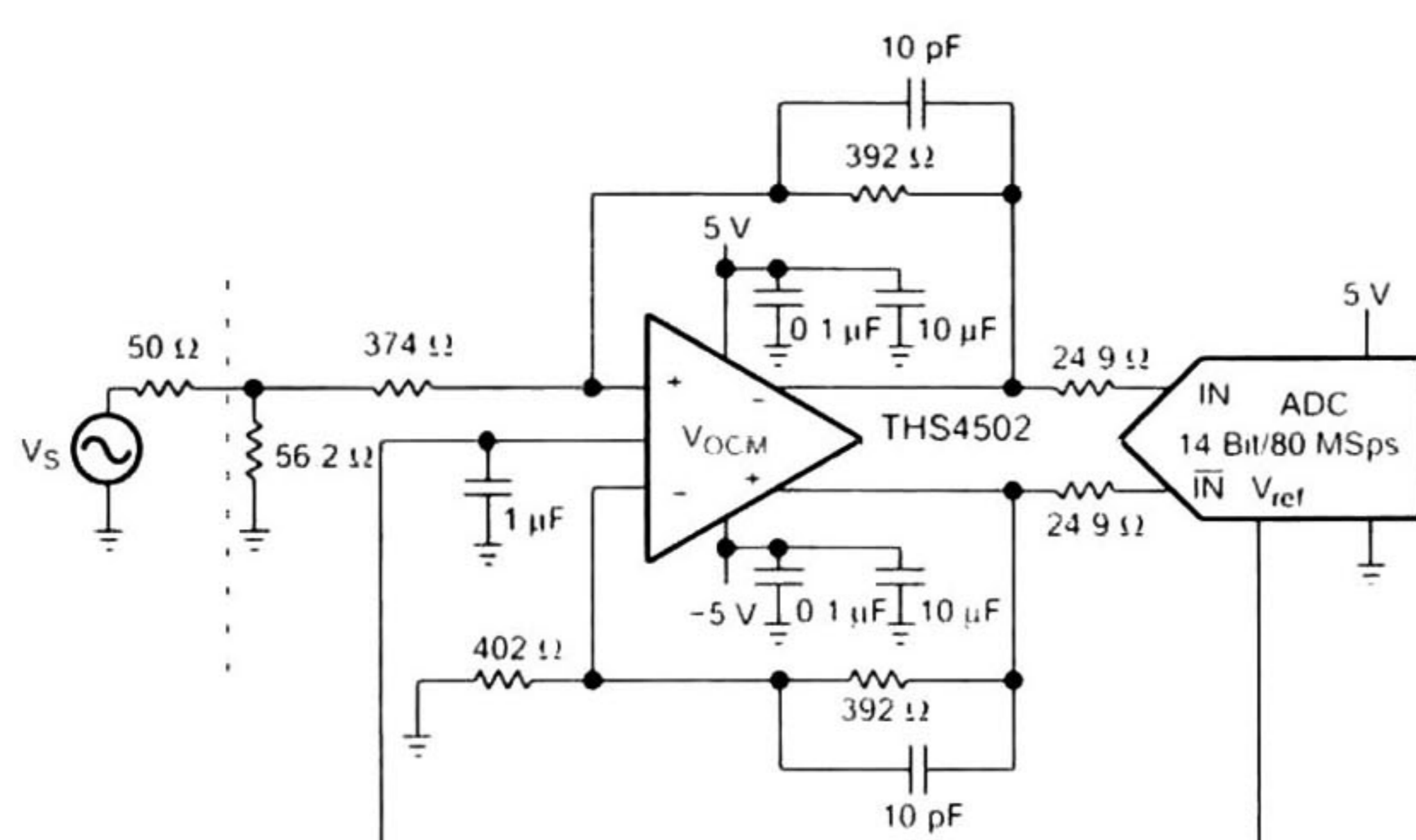


### RELATED DEVICES

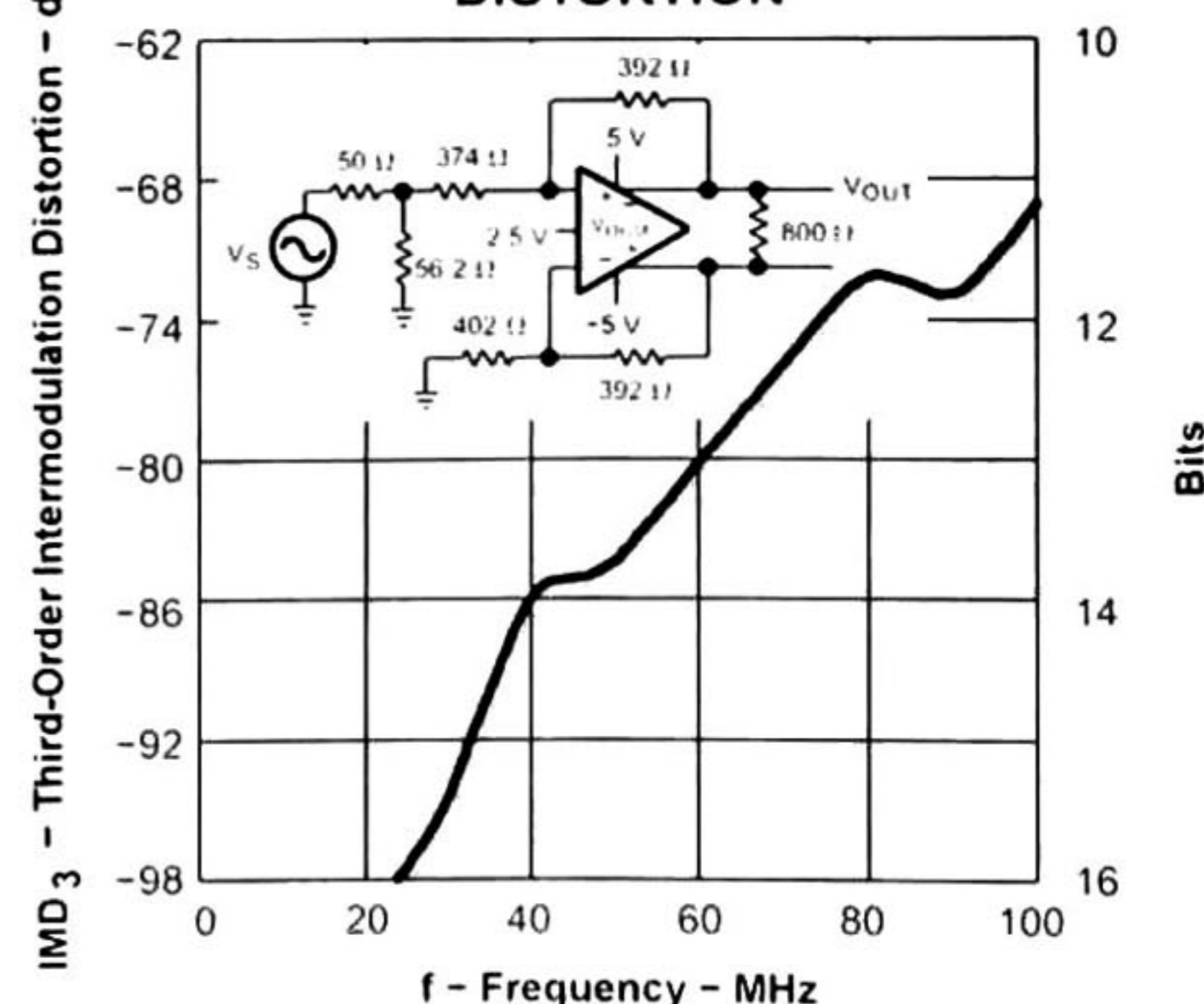
DEVICE(1)	DESCRIPTION
THS4500/1	370 MHz, 2800 V/ $\mu$ s, $V_{ICR}$ Includes $V_{S-}$
THS4502/3	370 MHz, 2800 V/ $\mu$ s, Centered $V_{ICR}$
THS4120/1	3.3 V, 100 MHz, 43 V/ $\mu$ s, 3.7 nV/ $\sqrt$ Hz
THS4130/1	$\pm$ 15 V, 150 MHz, 51 V/ $\mu$ s, 1.3 nV/ $\sqrt$ Hz
THS4140/1	$\pm$ 15 V, 160 MHz, 450 V/ $\mu$ s, 6.5 nV/ $\sqrt$ Hz
THS4150/1	$\pm$ 15 V, 150 MHz, 650 V/ $\mu$ s, 7.6 nV/ $\sqrt$ Hz

(1) Even numbered devices feature power-down capability

APPLICATION CIRCUIT DIAGRAM



THIRD-ORDER INTERMODULATION DISTORTION



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PowerPAD is a trademark of Texas Instruments.

**THS4502**  
**THS4503**

SLOS352D - APRIL 2002 - REVISED JANUARY 2004

**ABSOLUTE MAXIMUM RATINGS**

over operating free-air temperature range unless otherwise noted<sup>(1)</sup>

		UNIT
Supply voltage, $V_S$		16.5 V
Input voltage, $V_I$		$\pm V_S$
Output current, $I_O$ <sup>(2)</sup>		150 mA
Differential input voltage, $V_{ID}$		4 V
Continuous power dissipation		See Dissipation Rating Table
Maximum junction temperature, $T_J$ <sup>(3)</sup>		150°C
Maximum junction temperature, continuous operation, long term reliability $T_J$ <sup>(4)</sup>		125°C
Operating free-air temperature range, $T_A$	C suffix	0°C to 70°C
	I suffix	-40°C to 85°C
Storage temperature range, $T_{stg}$		-65°C to 150°C
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds		300°C
ESD ratings:	HBM	4000 V
	CDM	1000 V
	MM	100 V

- (1) Stresses above these ratings may cause permanent damage. Exposure to absolute maximum conditions for extended periods may degrade device reliability. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those specified is not implied.
- (2) The THS450x may incorporate a PowerPAD on the underside of the chip. This acts as a heatsink and must be connected to a thermally dissipative plane for proper power dissipation. Failure to do so may result in exceeding the maximum junction temperature which could permanently damage the device. See TI technical brief SLMA002 for more information about utilizing the PowerPAD thermally enhanced package.
- (3) The absolute maximum temperature under any condition is limited by the constraints of the silicon process.
- (4) The maximum junction temperature for continuous operation is limited by package constraints. Operation above this temperature may result in reduced reliability and/or lifetime of the device



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

**PACKAGE DISSIPATION RATINGS**

PACKAGE	$\theta_{JC}$ (°C/W)	$\theta_{JA}$ <sup>(1)</sup> (°C/W)	POWER RATING <sup>(2)</sup>	
			$T_A \leq 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$
D (8 pin)	38.3	97.5	1.02 W	410 mW
DGN (8 pin)	4.7	58.4	1.71 W	685 mW
DGK (8 pin)	54.2	260	385 mW	154 mW

- (1) This data was taken using the JEDEC standard High-K test PCB.
- (2) Power rating is determined with a junction temperature of 125°C. This is the point where distortion starts to substantially increase. Thermal management of the final PCB should strive to keep the junction temperature at or below 125°C for best performance and long term reliability.

**RECOMMENDED OPERATING CONDITIONS**

		MIN	NOM	MAX	UNIT
Supply voltage	Dual supply		$\pm 5$	$\pm 7.5$	V
	Single supply	4.5	5	15	
Operating free-air temperature, $T_A$	C suffix	0		70	°C
	I suffix	-40		85	

**PACKAGE/ORDERING INFORMATION**

TEMPERATURE	ORDERABLE PACKAGE AND NUMBER				
	PLASTIC SMALL OUTLINE (D)	PLASTIC MSOP <sup>(1)</sup> PowerPAD		PLASTIC MSOP <sup>(1)</sup>	
		(DGN)	SYMBOL	(DGK)	SYMBOL
0°C to 70°C	THS4502CD	THS4502CDGN	BCG	THS4502CDGK	ATX
	THS4503CD	THS4503CDGN	BCK	THS4503CDGK	ATY
-40°C to 85°C	THS4502ID	THS4502IDGN	BCI	THS4502IDGK	ASX
	THS4503ID	THS4503IDGN	BCL	THS4503IDGK	ASY

(1) All packages are available taped and reeled. The R suffix standard quantity is 2500. The T suffix standard quantity is 250 (e.g., THS4502DT).



# 1700 MHz to 2400 MHz GaAs Matched RF PA Predriver

## ADL5323

### FEATURES

- Internally matched to 50 Ω input and output
- Internally biased
- Operating frequency: 1700 MHz to 2400 MHz
- Gain: 20 dB
- OIP3: 43 dBm
- P1 dB: 28 dBm
- Noise figure: 5 dB
- 3 mm × 3 mm LFCSP
- Power supply: 5 V

### APPLICATIONS

CDMA2000, WCDMA, and GSM base station transceivers and high power amplifiers

### GENERAL DESCRIPTION

The ADL5323 is a high linearity GaAs driver amplifier that is internally matched to 50 Ω for operation in the 1700 MHz to 2400 MHz frequency range. The amplifier, which has a gain of 20 dB, has been specially designed for use in the output stage of a cellular base station radio or as an input preamplifier in a multicarrier base station power amplifier. Matching and biasing are all on-chip. The ADL5323 is available in a Pb-free, 3 mm × 3 mm, 8-lead LFCSP with an operating temperature of -40°C to +85°C.

### FUNCTIONAL BLOCK DIAGRAM

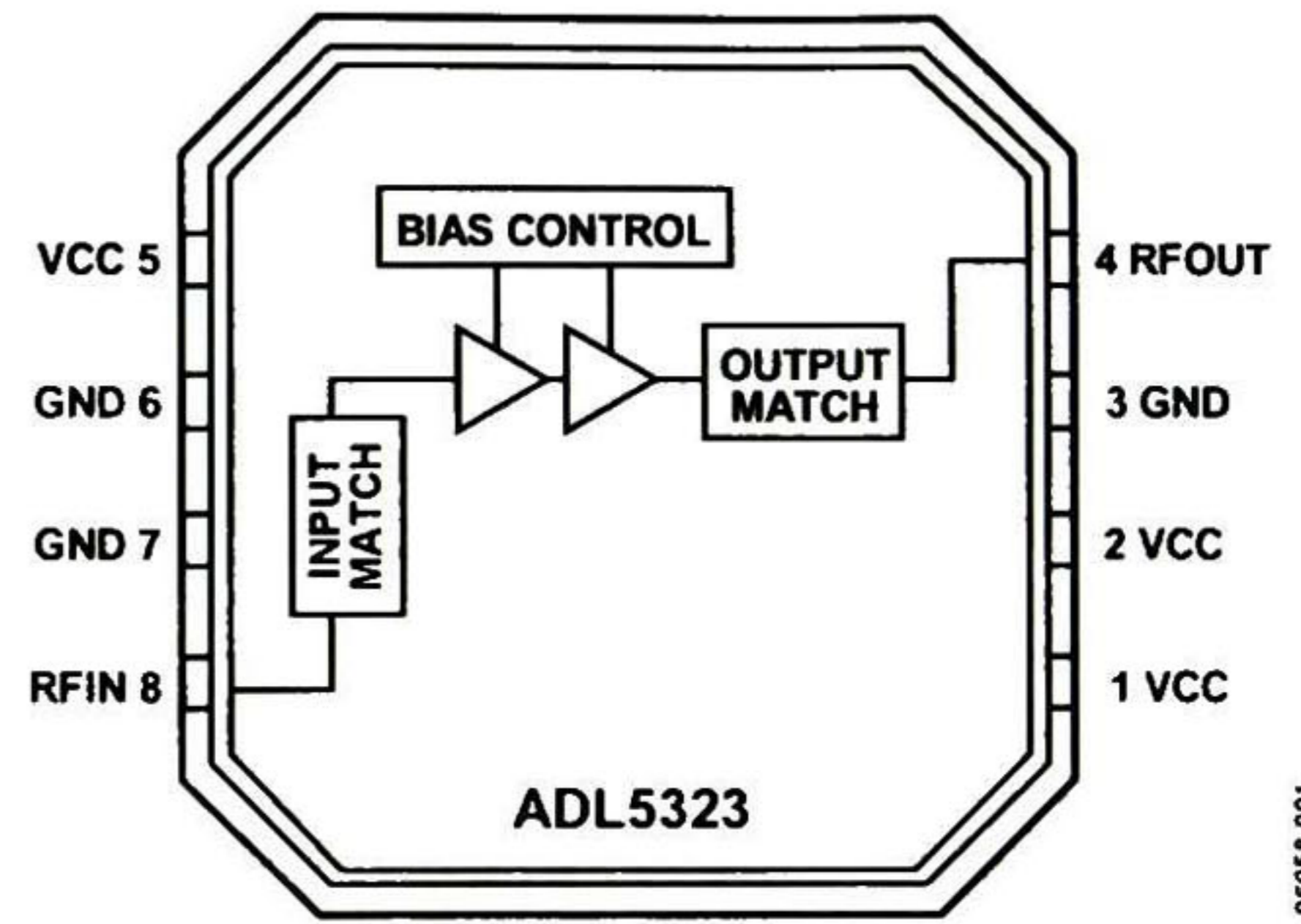


Figure 1.

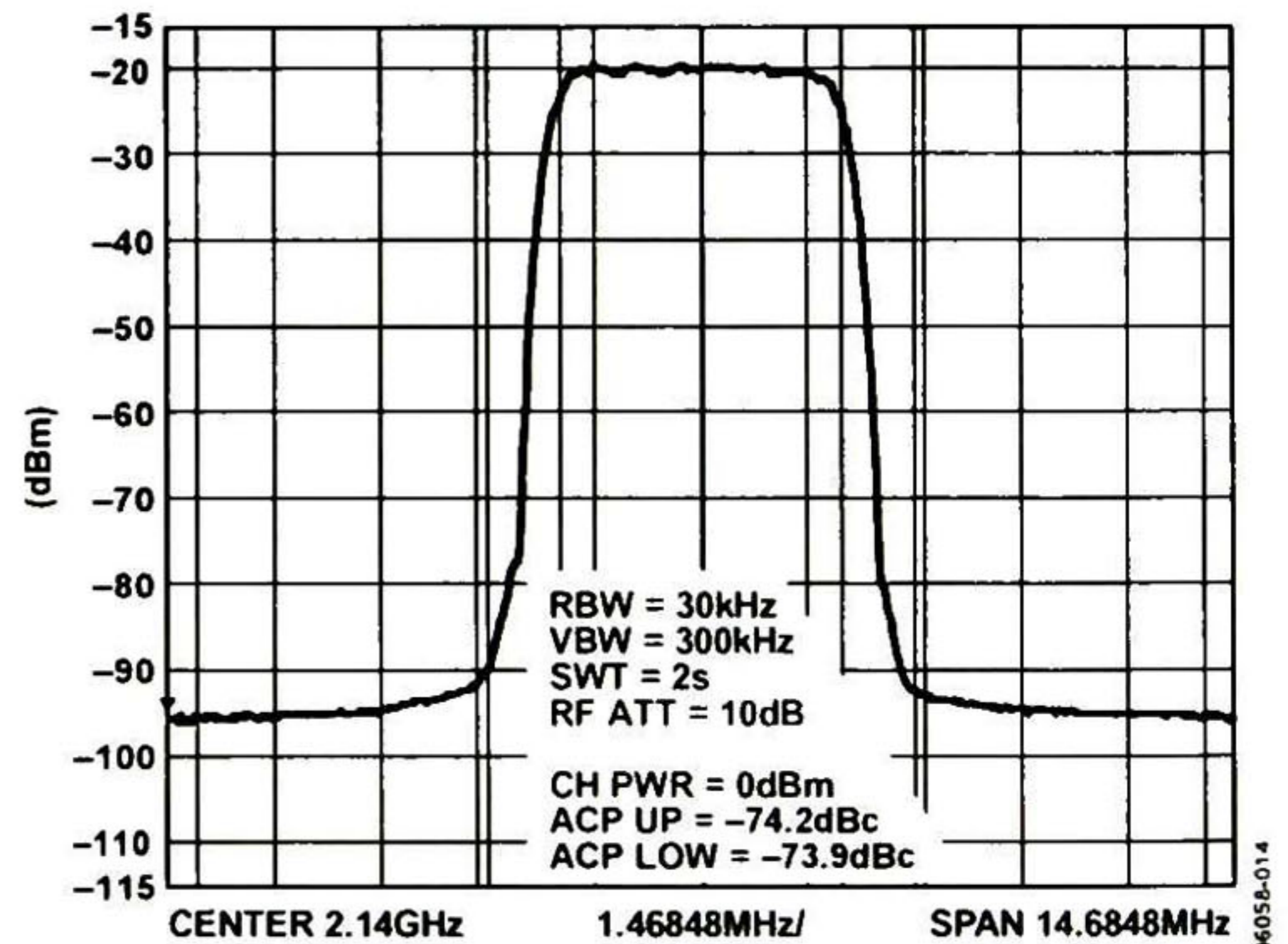


Figure 2. Single-Carrier WCDMA Spectral Plot @ 2140 MHz  
(No Noise Floor Correction, Test Model 1-64)

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 www.analog.com  
Fax: 781.461.3113 ©2006 Analog Devices, Inc. All rights reserved.

# ADL5323

## TABLE OF CONTENTS

Features .....	1	Pin Configuration and Function Descriptions.....	5
Applications.....	1	Typical Performance Characteristics .....	6
Functional Block Diagram .....	1	Basic Connections .....	8
General Description .....	1	WCDMA Driving Application .....	8
Revision History .....	2	Evaluation Board .....	9
Specifications.....	3	Outline Dimensions .....	10
Absolute Maximum Ratings.....	4	Ordering Guide .....	10
ESD Caution.....	4		

## REVISION HISTORY

7/06—Revision 0: Initial Version

## IQ DEMODULATOR

### FEATURES

- Frequency Range: 1.7 GHz to 2 GHz
- Integrated Baseband Programmable-Gain Amplifier
- On-Chip Programmable Baseband Filter
- High Cascaded IP3: 21 dBm at 1.9 GHz
- High IP2: 60 dBm at 1.9 GHz
- Hardware and Software Power Down
- 3-Wire Serial Programmable Interface
- Single Supply: 4.5-V to 5.5-V Operation

### APPLICATIONS

- Wireless Infrastructure:
  - WCDMA
  - CDMA
- Wireless Local Loop
- High-Linearity Direct Downconversion Receiver

### DESCRIPTION

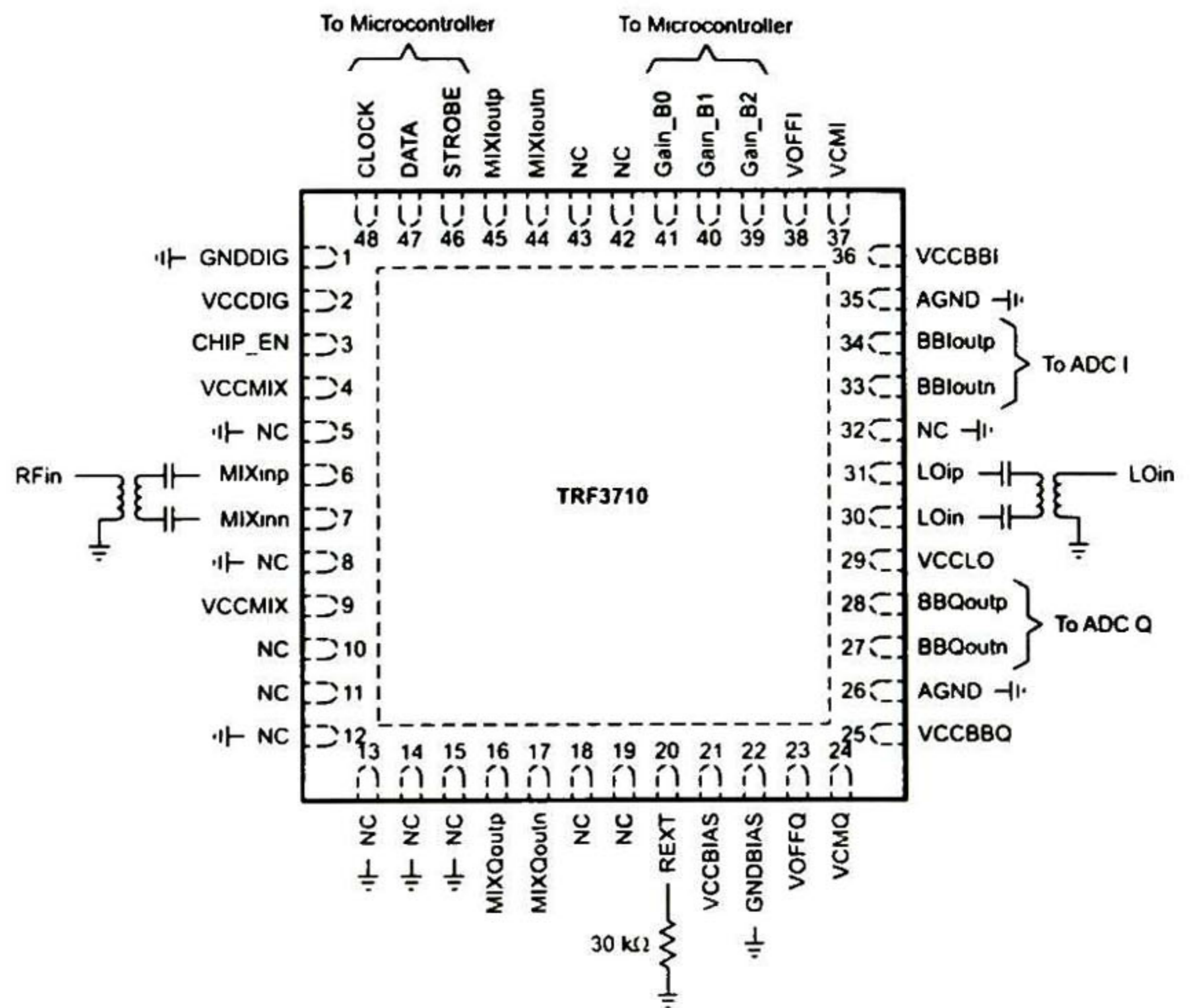
The TRF3710 is a highly linear and integrated direct-conversion quadrature demodulator optimized for third-generation (3G) wireless infrastructure. The TRF3710 integrates balanced I and Q mixers, LO buffers, and phase splitters to convert an RF signal directly to I and Q baseband. The on-chip programmable-gain amplifiers allow adjustment of the output signal level without the need for external variable-gain (attenuator) devices. The TRF3710 integrates programmable baseband low-pass filters that attenuate nearby interference, eliminating the need for an external baseband filter.


Housed in a 7-mm × 7-mm QFN package, the TRF3710 provides the smallest and most integrated receiver solution available for high-performance equipment.

#### AVAILABLE DEVICE OPTIONS<sup>(1)</sup>

PRODUCT	PACKAGE LEAD	PACKAGE DESIGNATOR	SPECIFIED TEMPERATURE RANGE	PACKAGE MARKINGS	ORDERING NUMBER	TRANSPORT MEDIA, QUANTITY
TRF3710	QFN-48	RGZ	–40°C to 85°C	TRF3710	TRF3710IRGZR	Tape and reel, 2500
					TRF3710IRGZT	Tape and reel, 500

(1) For the most current package and ordering information, see the Package Option Addendum at the end of this document, or see the TI Web site at [www.ti.com](http://www.ti.com)

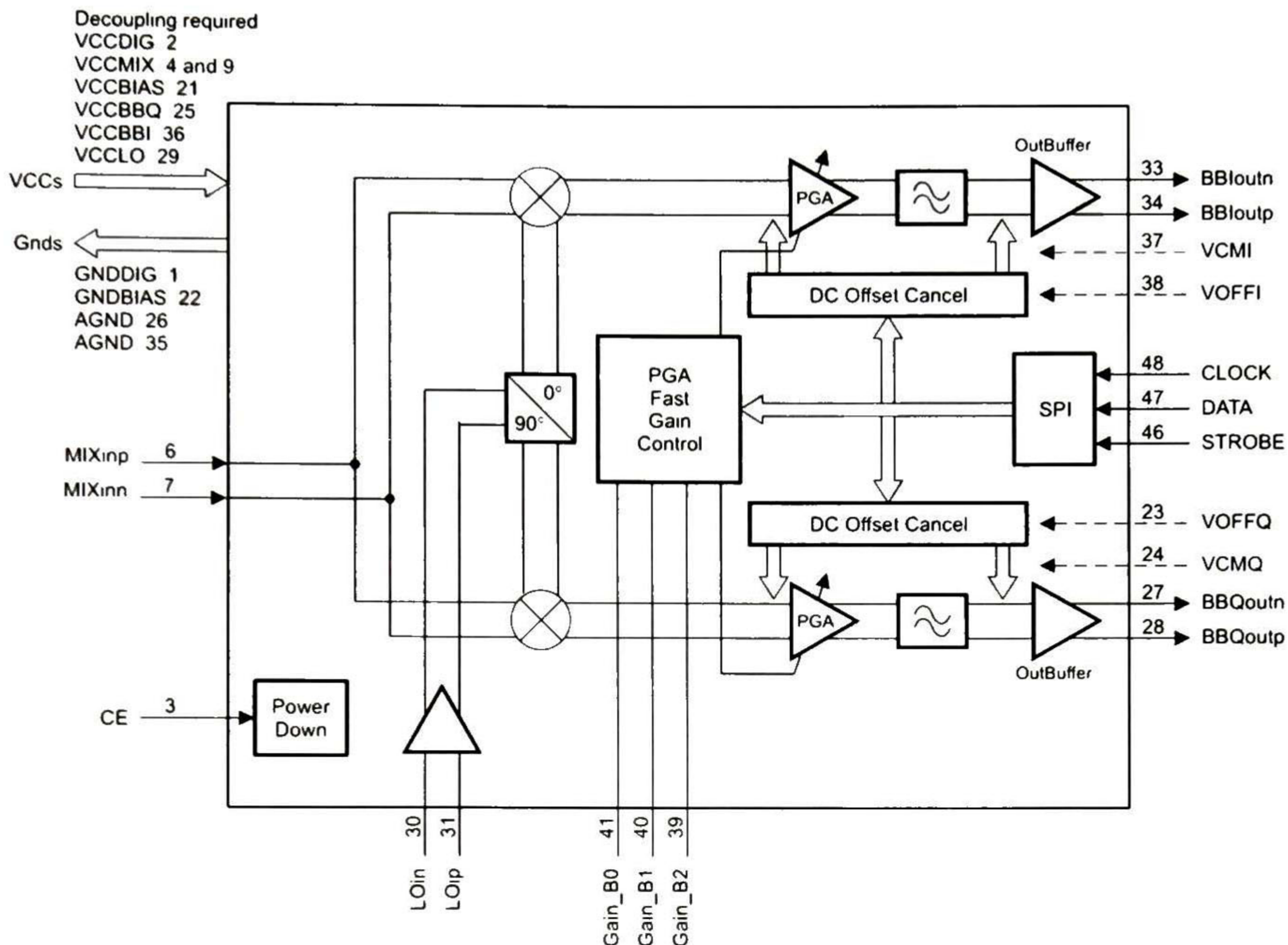


 Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

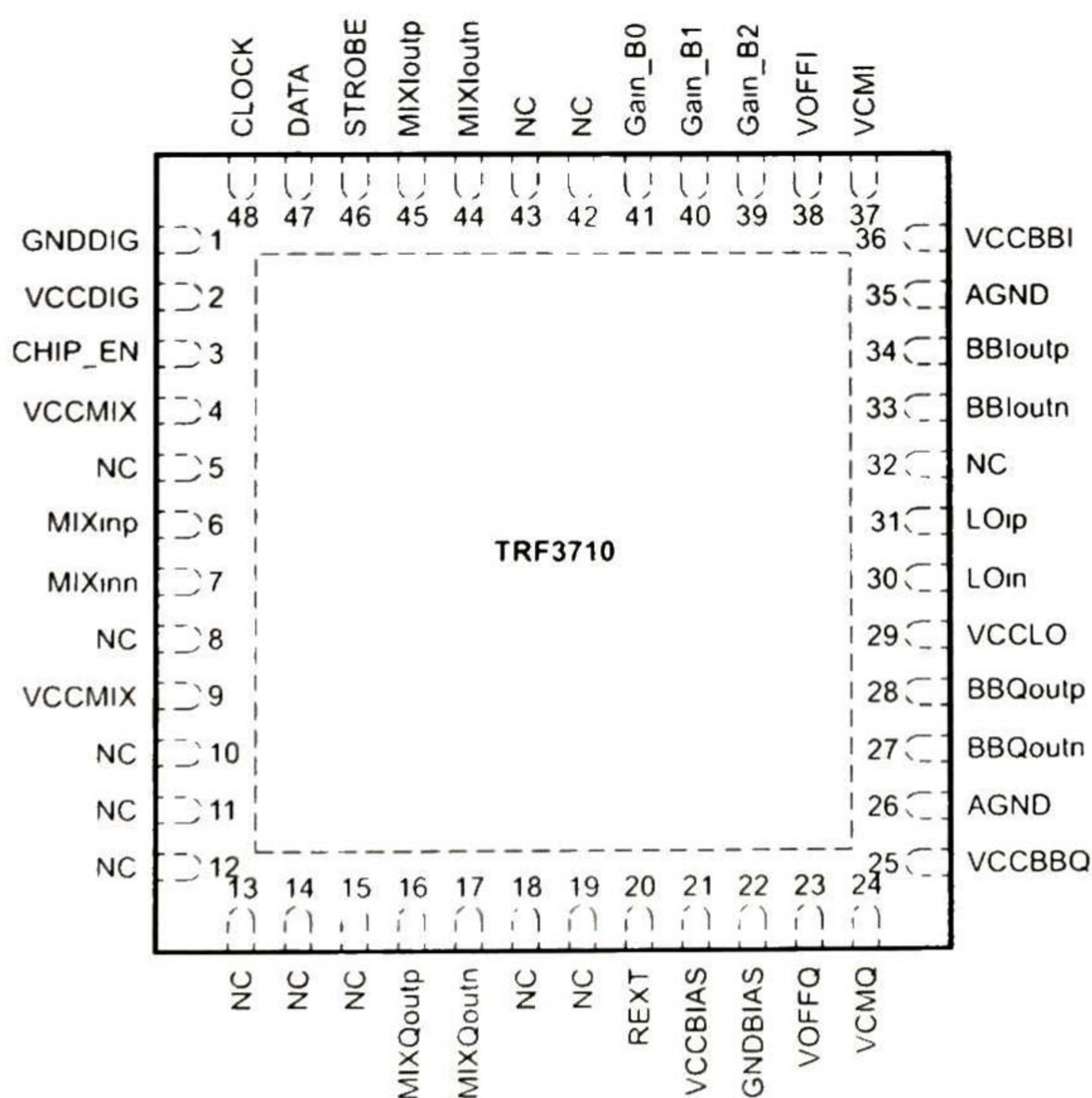
All trademarks are the property of their respective owners

These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

**FUNCTIONAL BLOCK DIAGRAM**



**RGZ Package  
(Top View)**

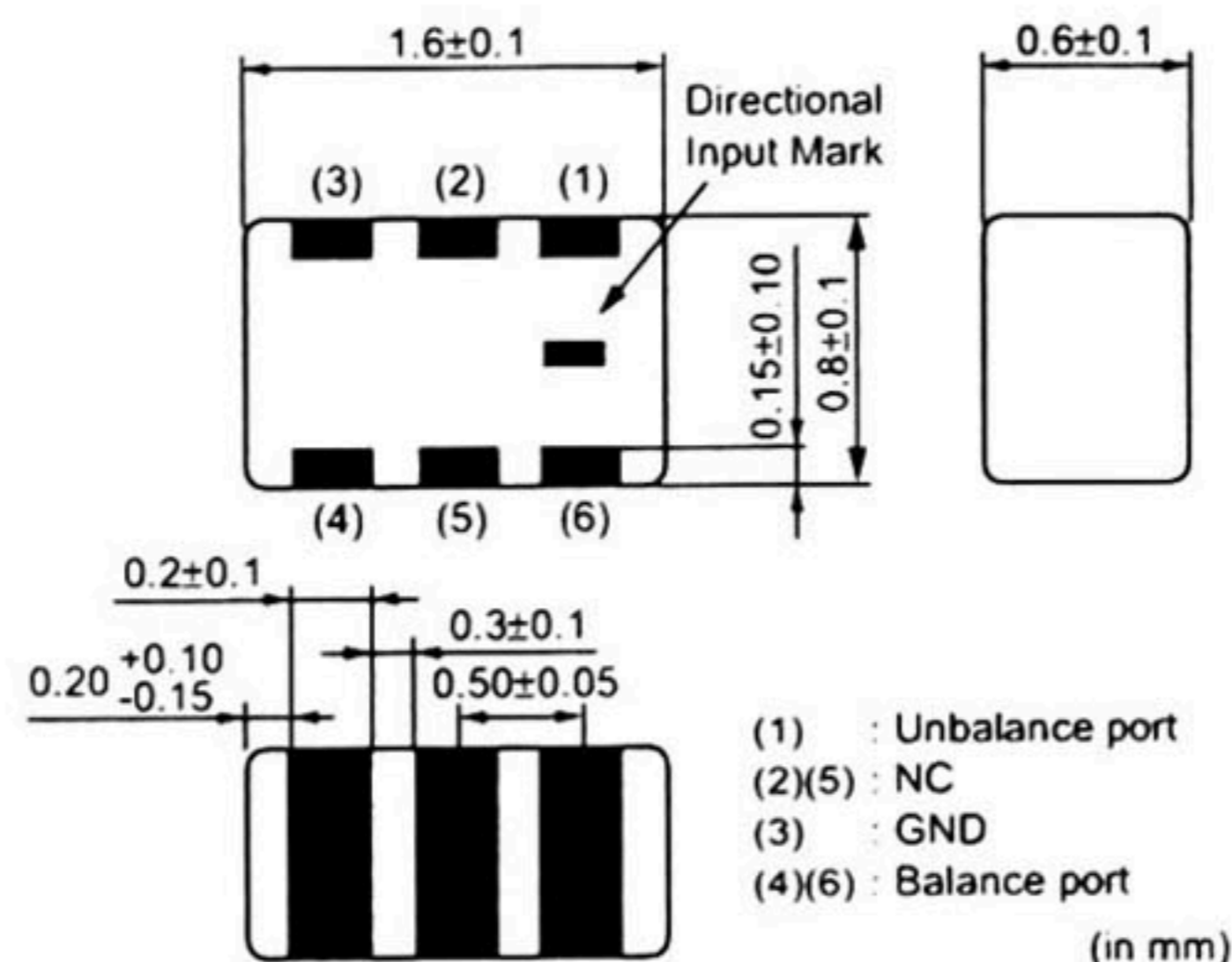


# Chip Multilayer Hybrid Baluns

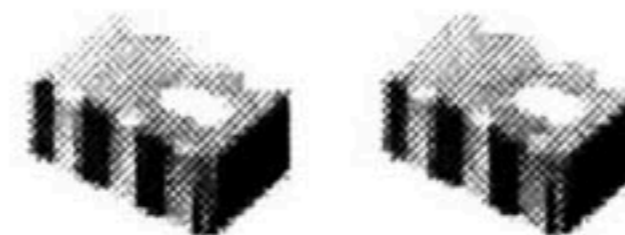
## Chip Multilayer Hybrid Baluns



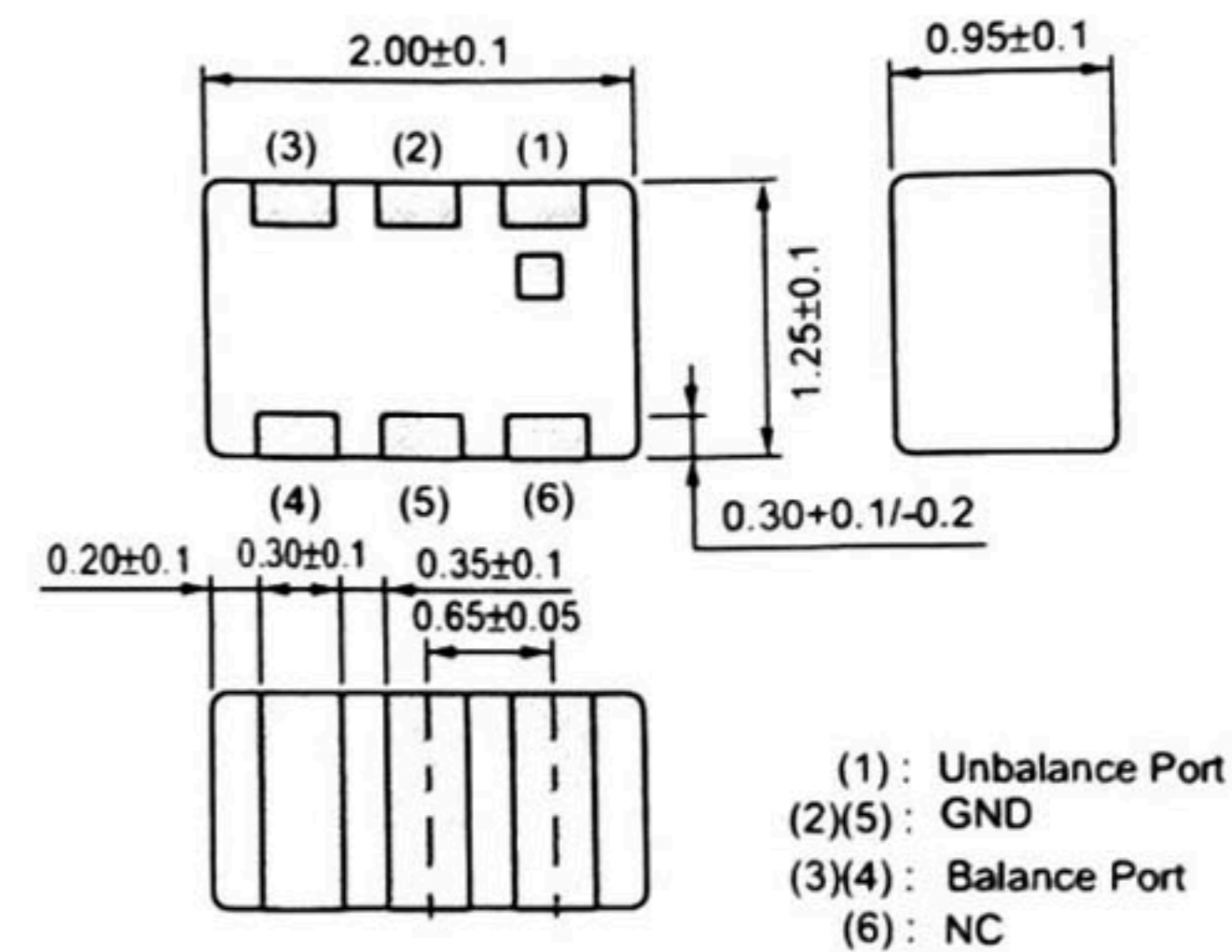
LDB18 Series



\*Terminal of "NC" should be fixed to the no connected pattern.  
All the technical data and Information contained herein are subject to change without prior notice.



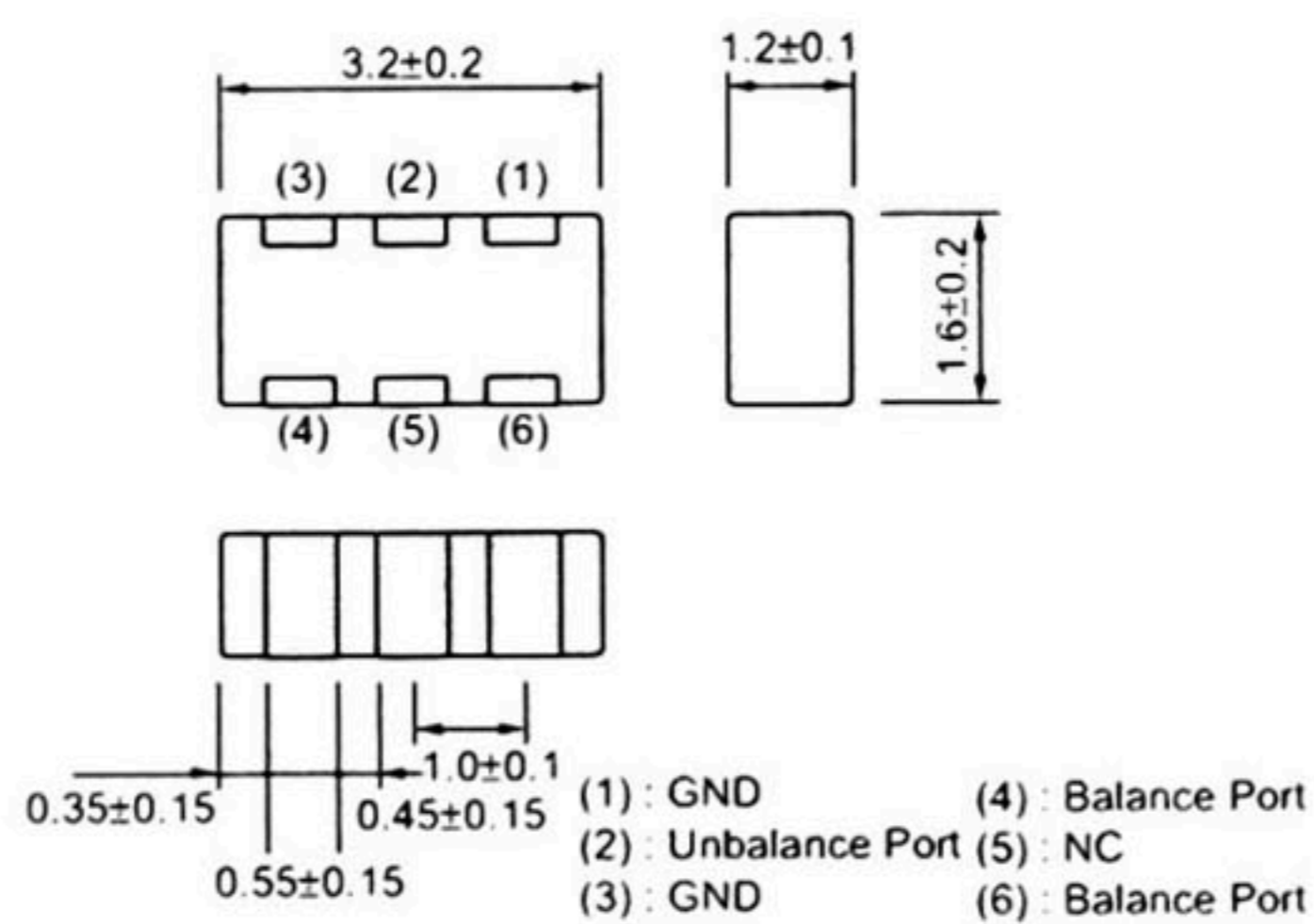
LDB21 Series



\* Terminal of "NC" should be connected to the floating land.  
\* All the technical data and information contained herein are subject to change without prior notice.



LDB31 Series



\* Terminal of "NC" should be connected to the floating land.

Part Number	Frequency Range (MHz)	Insertion Loss I) (dB)	Insertion Loss II) (dB)	Unbalance Impedance (ohm)	Balance Impedance (Differential) (ohm)
LDB181G8405C-110	1842.5 ±37.5MHz	1.2 max. (at 25°C)	1.3 max. (-40~+85°C)	50 (Nominal)	50 (Nominal)
LDB181G8420C-110	1842.5 ±37.5MHz	1.3 max. (at 25°C)	1.4 max. (-40~+85°C)	50 (Nominal)	200 (Nominal)
LDB181G8820C-110	1880.0 ±30.0MHz	1.3 max. (at 25°C)	1.4 max. (-40~+85°C)	50 (Nominal)	200 (Nominal)
LDB181G9505C-110	1955.0 ±35.0MHz	1.2 max. (at 25°C)	1.3 max. (-40~+85°C)	50 (Nominal)	50 (Nominal)
LDB181G9510C-110	1955.0 ±35.0MHz	1.2 max. (at 25°C)	1.3 max. (-40~+85°C)	50 (Nominal)	100 (Nominal)
LDB182G4505C-110	2450.0 ±50.0MHz	1.0 max. (at 25°C)	1.1 max. (-40~+85°C)	50 (Nominal)	50 (Nominal)
LDB182G4510C-110	2450.0 ±50.0MHz	1.0 max. (at 25°C)	1.1 max. (-40~+85°C)	50 (Nominal)	100 (Nominal)
LDB182G4520C-110	2450.0 ±50.0MHz	1.3 max. (at 25°C)	1.4 max. (-40~+85°C)	50 (Nominal)	200 (Nominal)
LDB183G7010C-110	3700.0 ±300.0MHz	1.4 max. (at 25°C)	1.5 max. (-40~+85°C)	50 (Nominal)	100 (Nominal)
LDB184G5010C-110	4500.0 ±300.0MHz	1.1 max. (at 25°C)	1.2 max. (-40~+85°C)	50 (Nominal)	100 (Nominal)
LDB211G6005C-001	1600 ±100MHz	0.8 max. (at 25°C)	0.9 max. (-25~+85°C)	50 (Nominal)	50 (Nominal)
LDB211G6010C-001	1600 ±100MHz	0.9 max. (at 25°C)	1.0 max. (-25~+85°C)	50 (Nominal)	100 (Nominal)
LDB211G6020C-001	1600 ±100MHz	0.8 max. (at 25°C)	0.9 max. (-25~+85°C)	50 (Nominal)	200 (Nominal)
LDB211G8005C-001	1800 ±100MHz	0.8 max. (at 25°C)	0.9 max. (-25~+85°C)	50 (Nominal)	50 (Nominal)
LDB211G8010C-001	1800 ±100MHz	0.8 max. (at 25°C)	0.9 max. (-25~+85°C)	50 (Nominal)	100 (Nominal)
LDB211G8020C-001	1800 ±100MHz	0.8 max. (at 25°C)	0.9 max. (-25~+85°C)	50 (Nominal)	200 (Nominal)
LDB211G9005C-001	1900 ±100MHz	0.8 max. (at 25°C)	0.9 max. (-25~+85°C)	50 (Nominal)	50 (Nominal)
LDB211G9010C-001	1900 ±100MHz	0.8 max. (at 25°C)	0.9 max. (-25~+85°C)	50 (Nominal)	100 (Nominal)
LDB211G9020C-001	1900 ±100MHz	0.8 max. (at 25°C)	0.9 max. (-25~+85°C)	50 (Nominal)	200 (Nominal)
LDB212G4005C-001	2400 ±100MHz	0.8 max. (at 25°C)	0.9 max. (-25~+85°C)	50 (Nominal)	50 (Nominal)
LDB212G4010C-001	2400 ±100MHz	0.9 max. (at 25°C)	1.0 max. (-25~+85°C)	50 (Nominal)	100 (Nominal)
LDB212G4020C-001	2400 ±100MHz	1.0 max. (at 25°C)	1.1 max. (-25~+85°C)	50 (Nominal)	200 (Nominal)
LDB21836M20C-001	836.5 ±12.5MHz	1.0 max. (at 25°C)	1.1 max. (-25~+85°C)	50 (Nominal)	200 (Nominal)
LDB21881M05C-001	881.5 ±12.5MHz	1.4 max. (at 25°C)	1.5 max. (-25~+85°C)	50 (Nominal)	50 (Nominal)
LDB21881M20C-001	881.5 ±12.5MHz	1.4 max. (at 25°C)	1.5 max. (-25~+85°C)	50 (Nominal)	200 (Nominal)
LDB21897M05C-001	897.5 ±17.5MHz	1.4 max. (at 25°C)	1.5 max. (-25~+85°C)	50 (Nominal)	50 (Nominal)
LDB21906M05C-001	906.0 ±19.0MHz	1.4 max. (at 25°C)	1.5 max. (-25~+85°C)	50 (Nominal)	50 (Nominal)

Continued on the following page

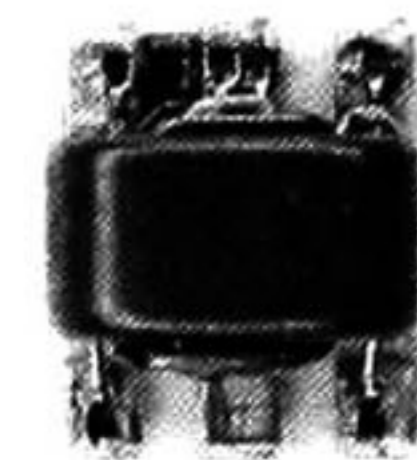
! Note : This catalog has only typical specifications because there is no space for detailed specifications. Therefore, please approve our product specifications or transact the approval sheet for product specifications before ordering. Especially, please read rating and ! CAUTION (for storage, operating, rating, soldering, mounting and handling) in them to prevent smoking and/or burning, etc.  
\* You are able to read a detailed specifications in the website (<http://search.murata.co.jp/>) before to require our product specifications or to transact the approval sheet for product specifications.



# Surface Mount RF Transformer

50Ω 2 to 280 MHz

## TCM9-1+ TCM9-1



CASE STYLE DB714  
PRICE \$1.19 ea QTY (100)

+ RoHS compliant in accordance  
with EU Directive (2002/95/EC)

The +Suffix identifies RoHS Compliance. See our web site  
for RoHS Compliance methodologies and qualifications.

### Maximum Ratings

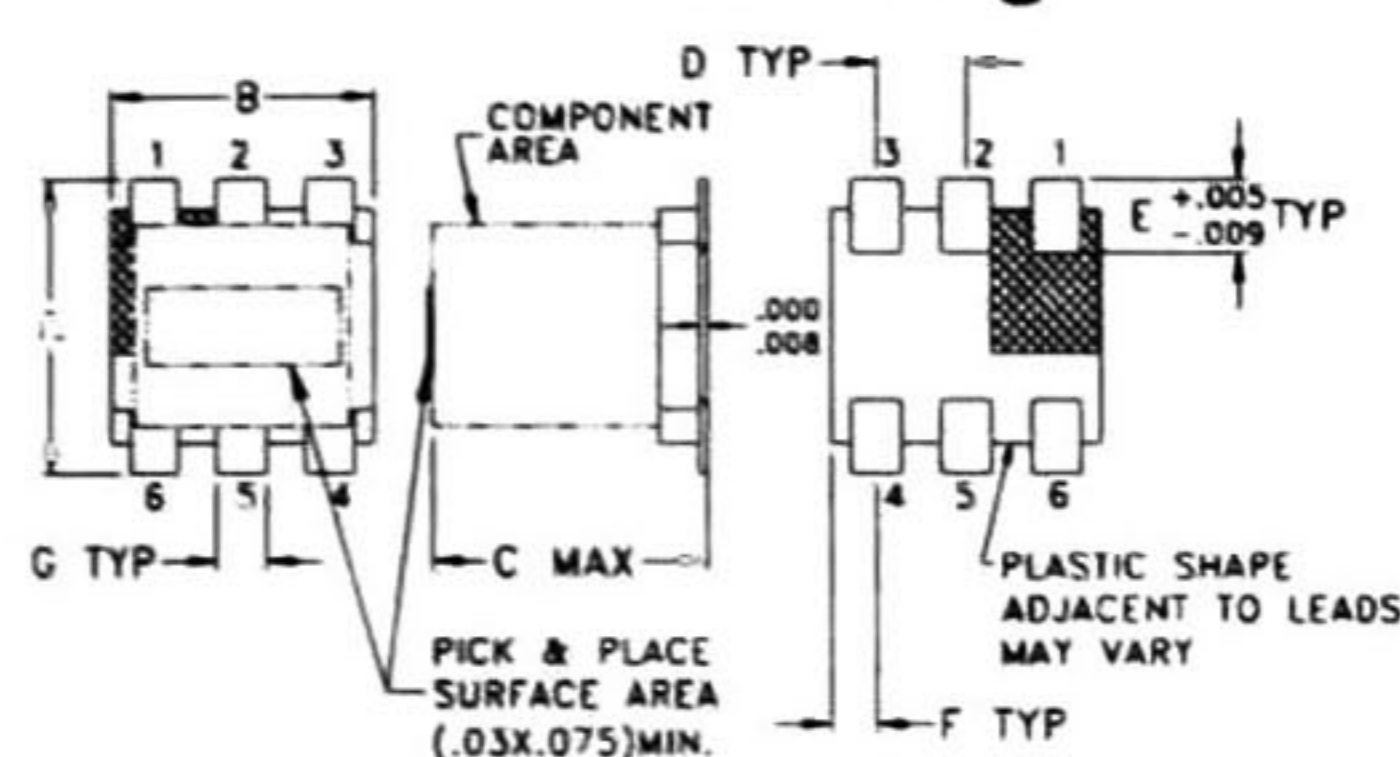
Operating Temperature	-20°C to 85°C
Storage Temperature	-55°C to 100°C
RF Power	0.25W
DC Current	30mA

Permanent damage may occur if any of these limits are exceeded

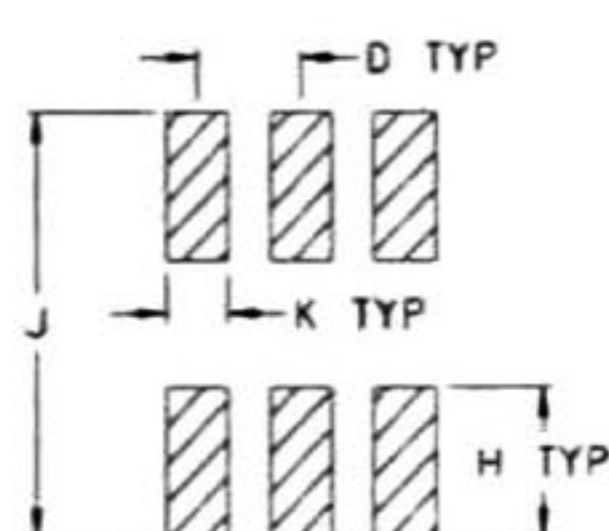
### Pin Connections

PRIMARY DOT	6
PRIMARY	4
SECONDARY DOT	1
SECONDARY	3
SECONDARY CT	2
NOT USED	5

### Outline Drawing



### PCB Land Pattern



Suggested Layout.  
Tolerance to be within ±.002

### Outline Dimensions (inch)

A	B	C	D	E	F
.160	.150	.160	.050	.040	.025
4.06	3.81	4.06	1.27	1.02	0.64
G	H	J	K		wt
.028	.065	.190	.030		grams
0.71	1.65	4.83	0.76		0.15

### Features

- excellent amplitude unbalance, 0.15 dB typ. and phase unbalance, 1 deg typ. in 1 dB bandwidth
- plastic base with solder plated leads
- aqueous washable

### Applications

- impedance matching
- balanced to unbalanced transformation

### Transformer Electrical Specifications

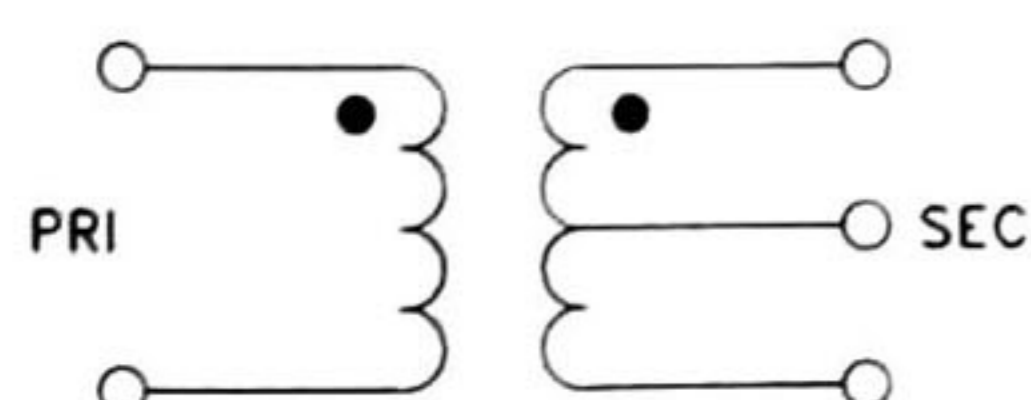
Ω RATIO (Secondary/Primary)	FREQUENCY (MHz)	INSERTION LOSS*		
		3 dB MHz	2 dB MHz	1 dB MHz
9	2-280	2-280	3-150	5-100

\* Insertion Loss is referenced to mid-band loss, 0.9 dB typ.

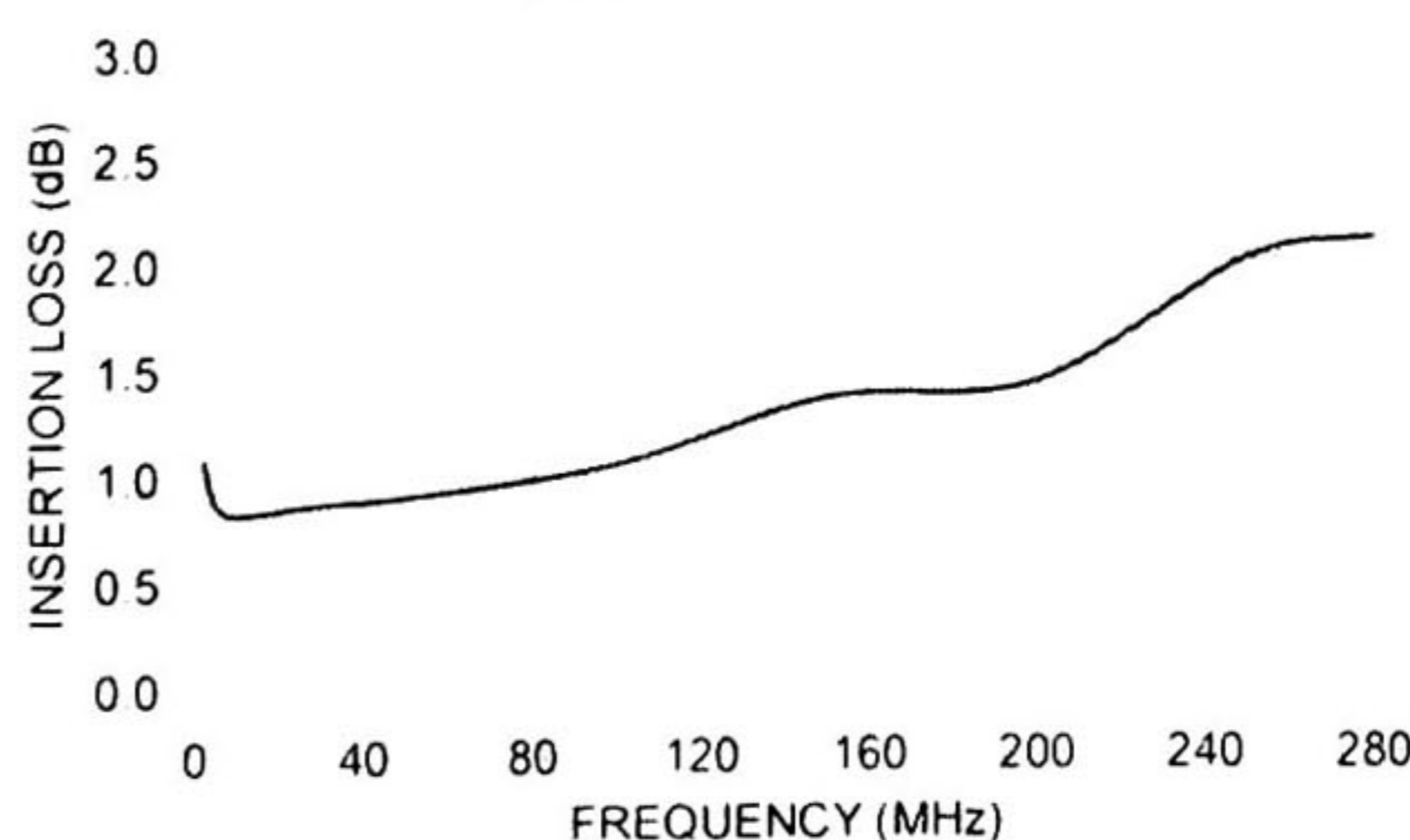
### Typical Performance Data

FREQUENCY (MHz)	INSERTION LOSS (dB)	INPUT R. LOSS (dB)
2	1.09	13.99
5	0.87	15.12
10	0.82	15.35
30	0.87	15.03
50	0.90	14.41
100	1.05	12.56
150	1.36	10.70
200	1.43	9.02
250	2.01	7.65
280	2.11	6.95

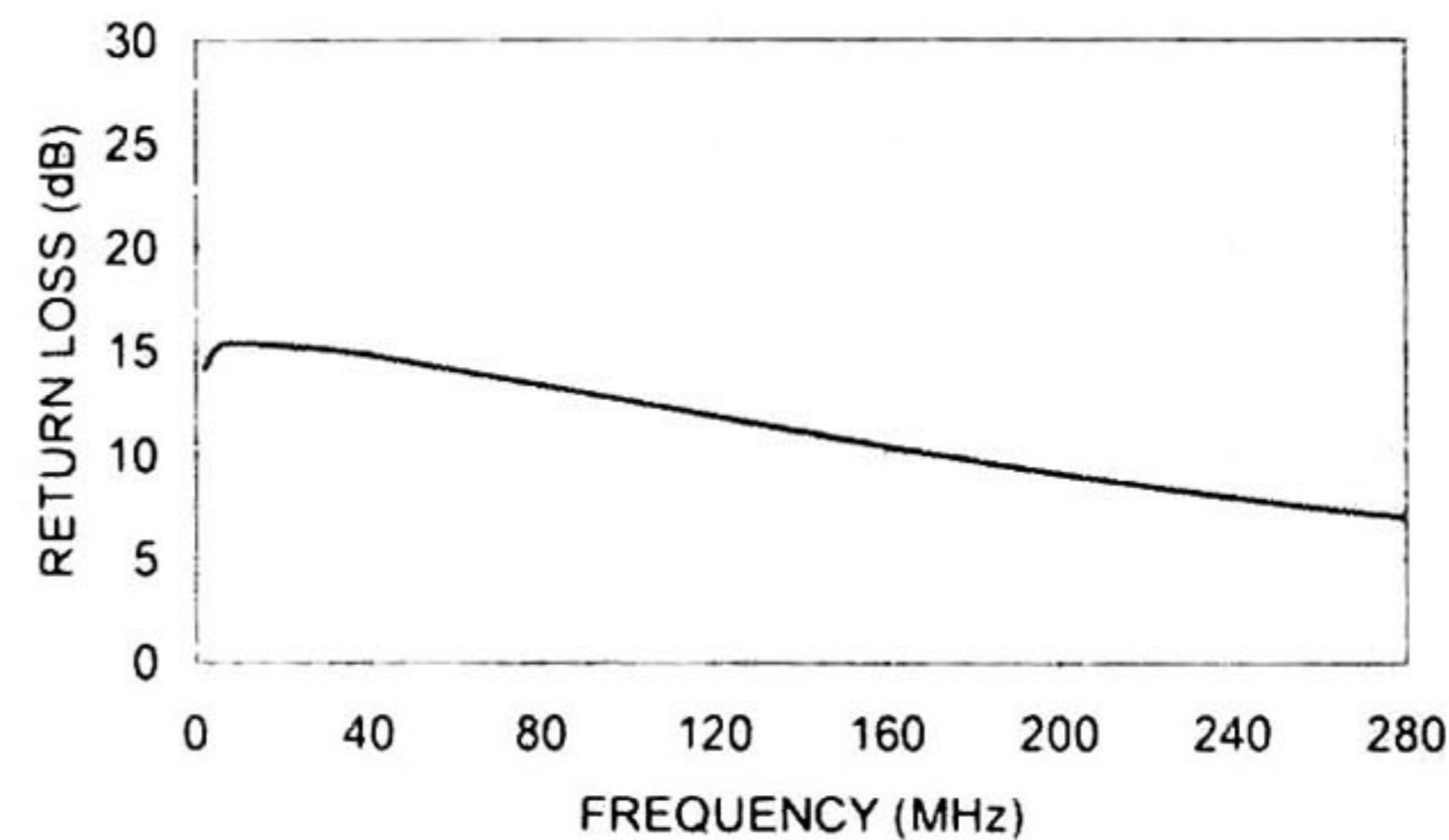
### Config. A



TCM9-1  
INSERTION LOSS



TCM9-1  
INPUT RETURN LOSS



**Mini-Circuits**  
ISO 9001 ISO 14001 AS 9100 CERTIFIED

P.O. Box 350166, Brooklyn, New York 11235-0003 (718) 934-4500 Fax (718) 332-4661 The Design Engineers Search Engine Provides ACTUAL Data Instantly at [minicircuits.com](http://minicircuits.com)

For detailed performance specs  
& shopping online see web site

Notes: 1. Performance and quality attributes and conditions not expressly stated in this specification sheet are intended to be excluded and do not form a part of this specification sheet. 2. Electrical specifications and performance data contained herein are based on Mini-Circuits' applicable established test performance criteria and measurement instructions. 3. The parts covered by this specification sheet are subject to Mini-Circuits standard limited warranty and terms and conditions (collectively "Standard Terms"). Purchasers of this part are entitled to the rights and benefits contained therein. For a full statement of the Standard Terms and the exclusive rights and remedies thereunder, please visit Mini-Circuits' website at [www.minicircuits.com](http://www.minicircuits.com) MCLStore-terms.jsp

REV. C  
M114760  
TCM9-1  
ED-8236/1  
IG/TD/CP  
080219



v01.0604

# HMC375LP3

## GaAs PHEMT MMIC LOW NOISE AMPLIFIER, 1.7 - 2.2 GHz

### Typical Applications

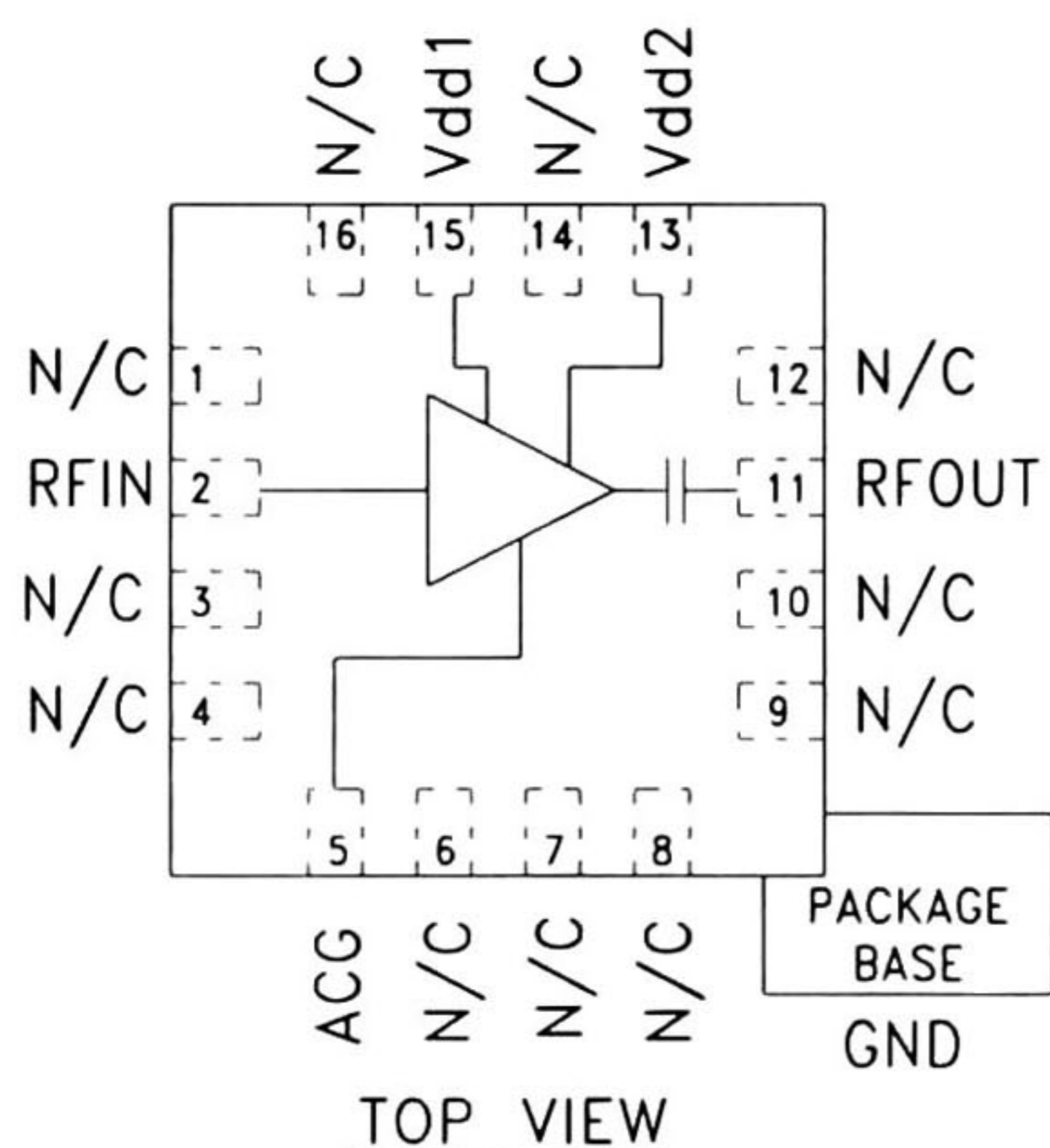
The HMC375LP3 is ideal for basestation receivers:

- GSM, GPRS & EDGE
- CDMA & W-CDMA
- DECT

### Features

- Noise Figure: 0.9 dB
- +34 dBm Output IP3
- Gain: 17 dB
- Very Stable Gain vs. Supply & Temperature
- Single Supply: +5.0 V @ 136 mA
- 50 Ohm Matched Output

### Functional Diagram



### General Description

The HMC375LP3 high dynamic range GaAs PHEMT MMIC Low Noise Amplifier is ideal for GSM & CDMA cellular basestation front-end receivers operating between 1.7 and 2.2 GHz. This LNA has been optimized to provide 0.9 dB noise figure, 17 dB gain and +33 dBm output IP3 from a single supply of +5.0V @ 136mA. Input and output return losses are 14 dB typical with the LNA requiring minimal external components to optimize the RF input match, RF ground and DC bias. The HMC375LP3 shares the same package with the HMC356LP3 and HMC372LP3 high IP3 LNAs. A low cost, leadless 3x3 mm (LP3) SMT QFN package houses the low noise amplifier.

### Electrical Specifications, $T_A = +25^\circ C$ , $V_s = +5V$

Parameter	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Units
Frequency Range	1.8 - 1.9			1.9 - 2.0			2.0 - 2.1			2.1 - 2.2			GHz
Gain	16.5	18.5		15.5	17.5		15	17		13	15		dB
Gain Variation Over Temperature		0.014	0.021		0.014	0.021		0.014	0.021		0.014	0.021	dB/°C
Noise Figure		1.0	1.35		0.95	1.2		0.9	1.2		0.9	1.3	dB
Input Return Loss		12			13			14			15		dB
Output Return Loss		13			16			11			8		dB
Reverse Isolation		35			34			34			34		dB
Output Power for 1dB Compression (P1dB)	16	18.5		16	18.5		15	18		14.5	17.5		dBm
Saturated Output Power (Psat)		19.5			19.5			19.5			19.5		dBm
Output Third Order Intercept (IP3) (-20 dBm Input Power per tone, 1 MHz tone spacing)		34			33.5			33			32.5		dBm
Supply Current (Idd)		136			136			136			136		mA

For price, delivery, and to place orders, please contact Hittite Microwave Corporation:  
 12 Elizabeth Drive, Chelmsford, MA 01824 Phone: 978-250-3343 Fax: 978-250-3373  
 Order Online at [www.hittite.com](http://www.hittite.com)

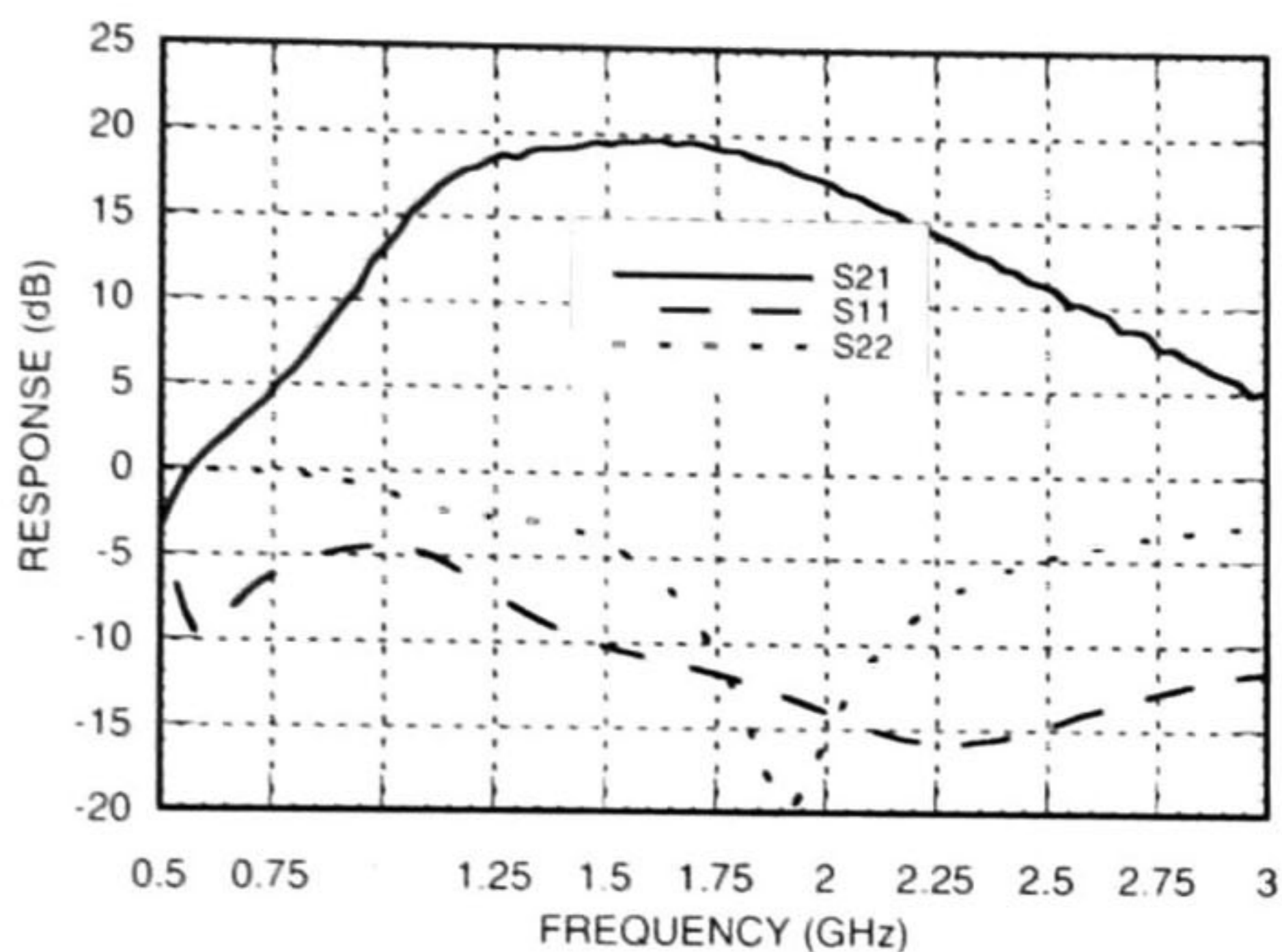


v01.0604

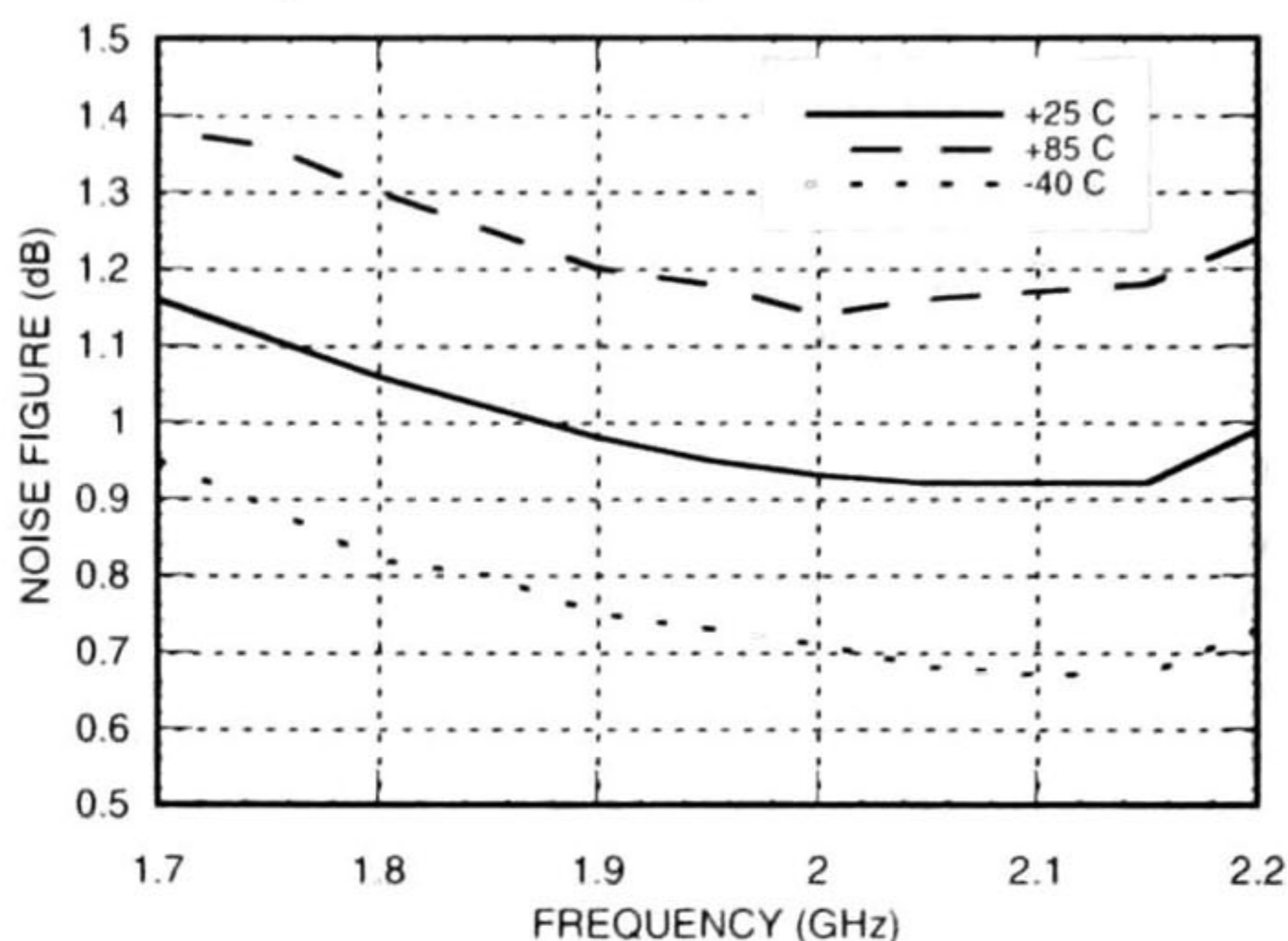
# HMC375LP3

## GaAs PHEMT MMIC LOW NOISE AMPLIFIER, 1.7 - 2.2 GHz

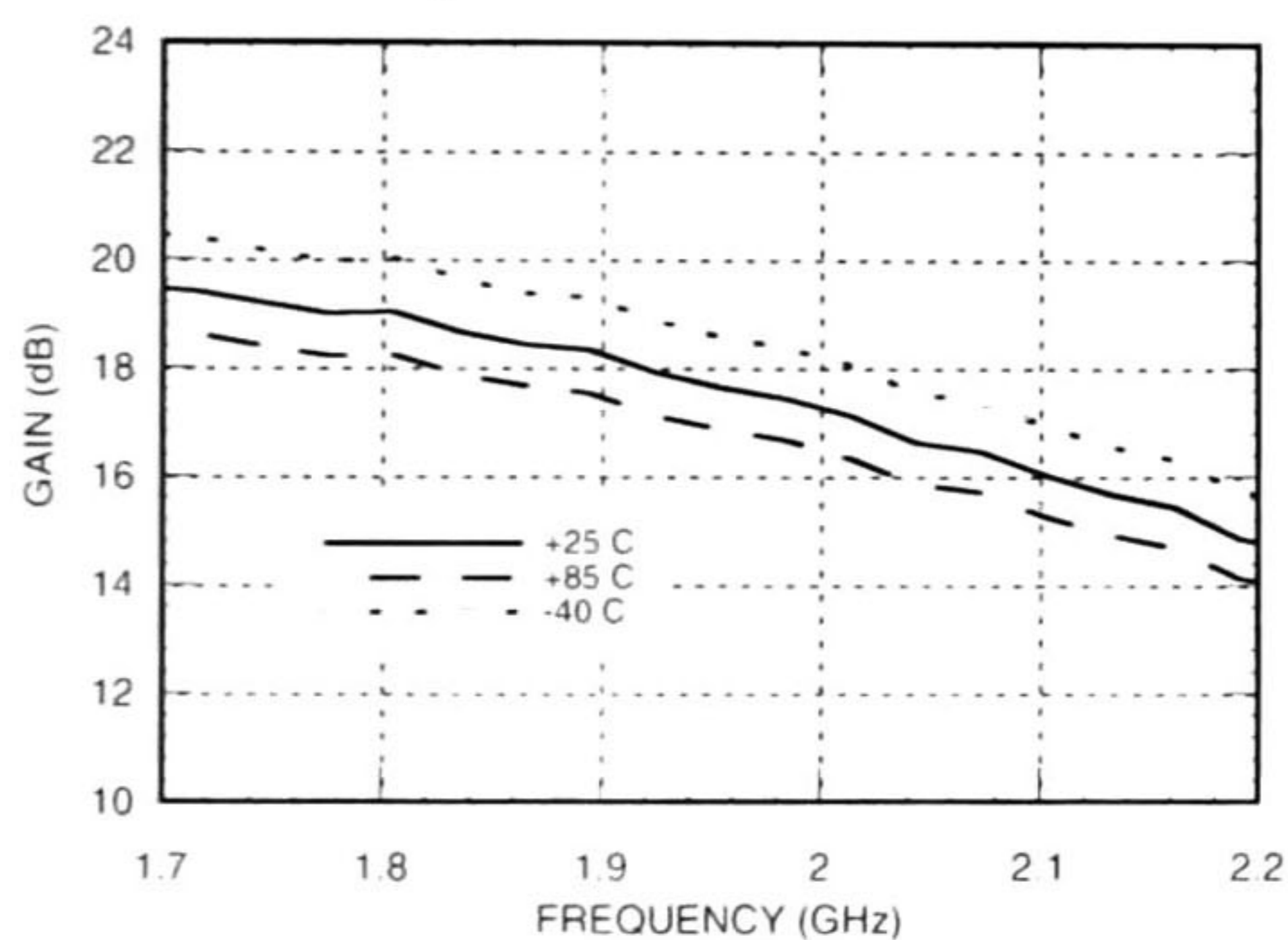
**Broadband Gain & Return Loss**



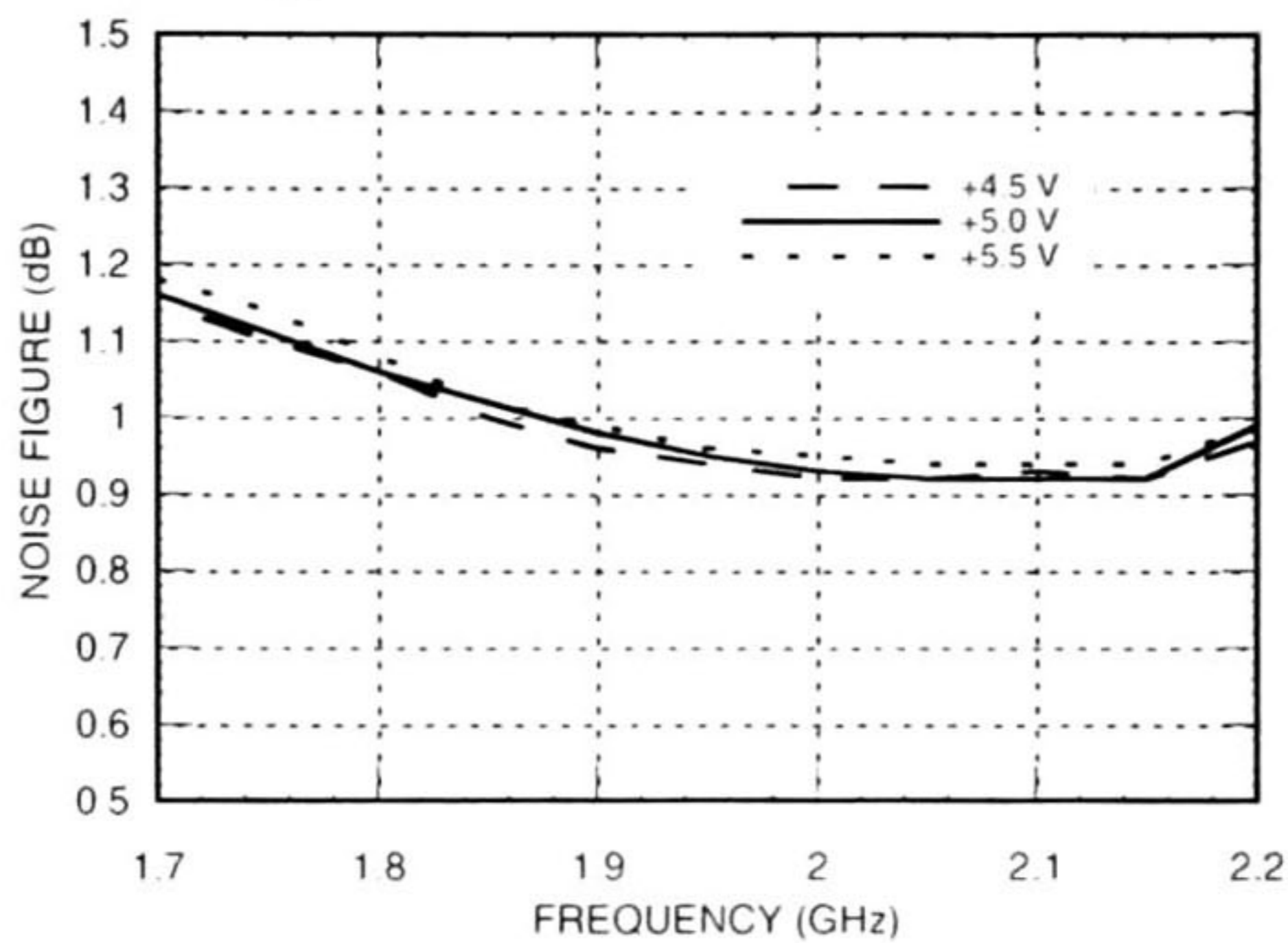
**Noise Figure vs. Temperature**



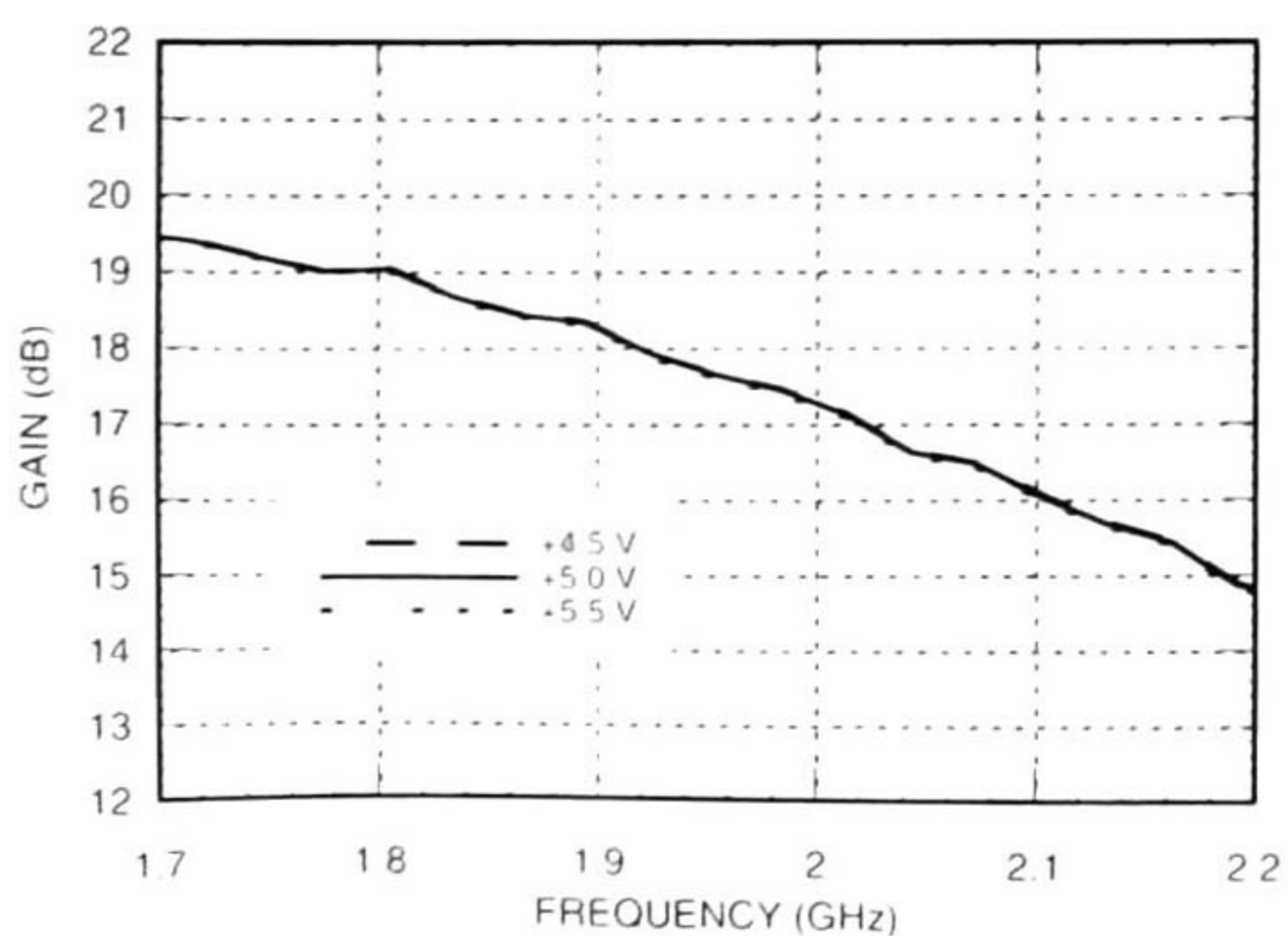
**Gain vs. Temperature**



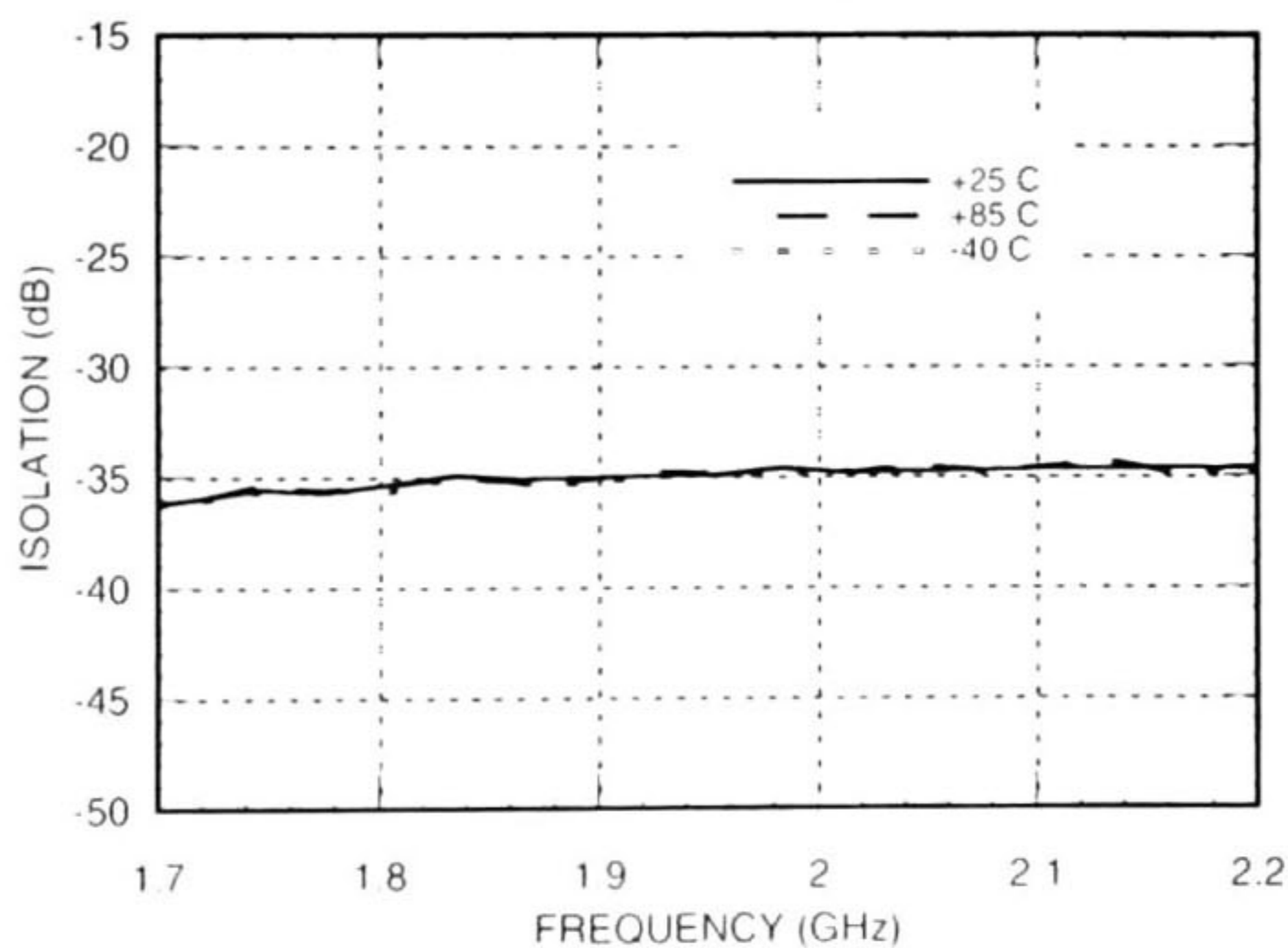
**Noise Figure vs. Vdd**



**Gain vs. Vdd**



**Reverse Isolation vs. Temperature**



For price, delivery, and to place orders, please contact Hittite Microwave Corporation:  
 12 Elizabeth Drive, Chelmsford, MA 01824 Phone: 978-250-3343 Fax: 978-250-3373  
 Order Online at [www.hittite.com](http://www.hittite.com)



February 29, 2008

## LM2676 SIMPLE SWITCHER® High Efficiency 3A Step-Down Voltage Regulator

### General Description

The LM2676 series of regulators are monolithic integrated circuits which provide all of the active functions for a step-down (buck) switching regulator capable of driving up to 3A loads with excellent line and load regulation characteristics. High efficiency (>90%) is obtained through the use of a low ON-resistance DMOS power switch. The series consists of fixed output voltages of 3.3V, 5V and 12V and an adjustable output version.

The SIMPLE SWITCHER concept provides for a complete design using a minimum number of external components. A high fixed frequency oscillator (260KHz) allows the use of physically smaller sized components. A family of standard inductors for use with the LM2676 are available from several manufacturers to greatly simplify the design process.

The LM2676 series also has built in thermal shutdown, current limiting and an ON/OFF control input that can power down the regulator to a low 50µA quiescent current standby condition. The output voltage is guaranteed to a ±2% tolerance. The clock frequency is controlled to within a ±11% tolerance.

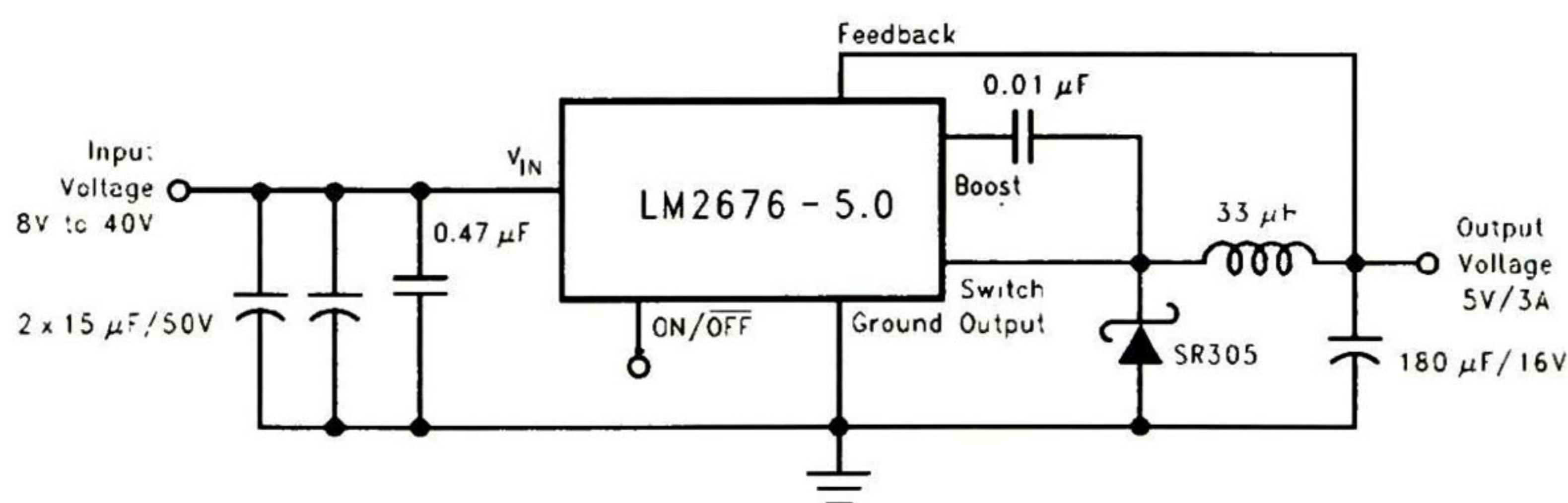
### Features

- Efficiency up to 94%
- Simple and easy to design with (using off-the-shelf external components)
- 150 mΩ DMOS output switch
- 3.3V, 5V and 12V fixed output and adjustable (1.2V to 37V ) versions
- 50µA standby current when switched OFF
- ±2% maximum output tolerance over full line and load conditions
- Wide input voltage range: 8V to 40V
- 260 KHz fixed frequency internal oscillator
- -40 to +125°C operating junction temperature range

### Applications

- Simple to design, high efficiency (>90%) step-down switching regulators
- Efficient system pre-regulator for linear voltage regulators
- Battery chargers

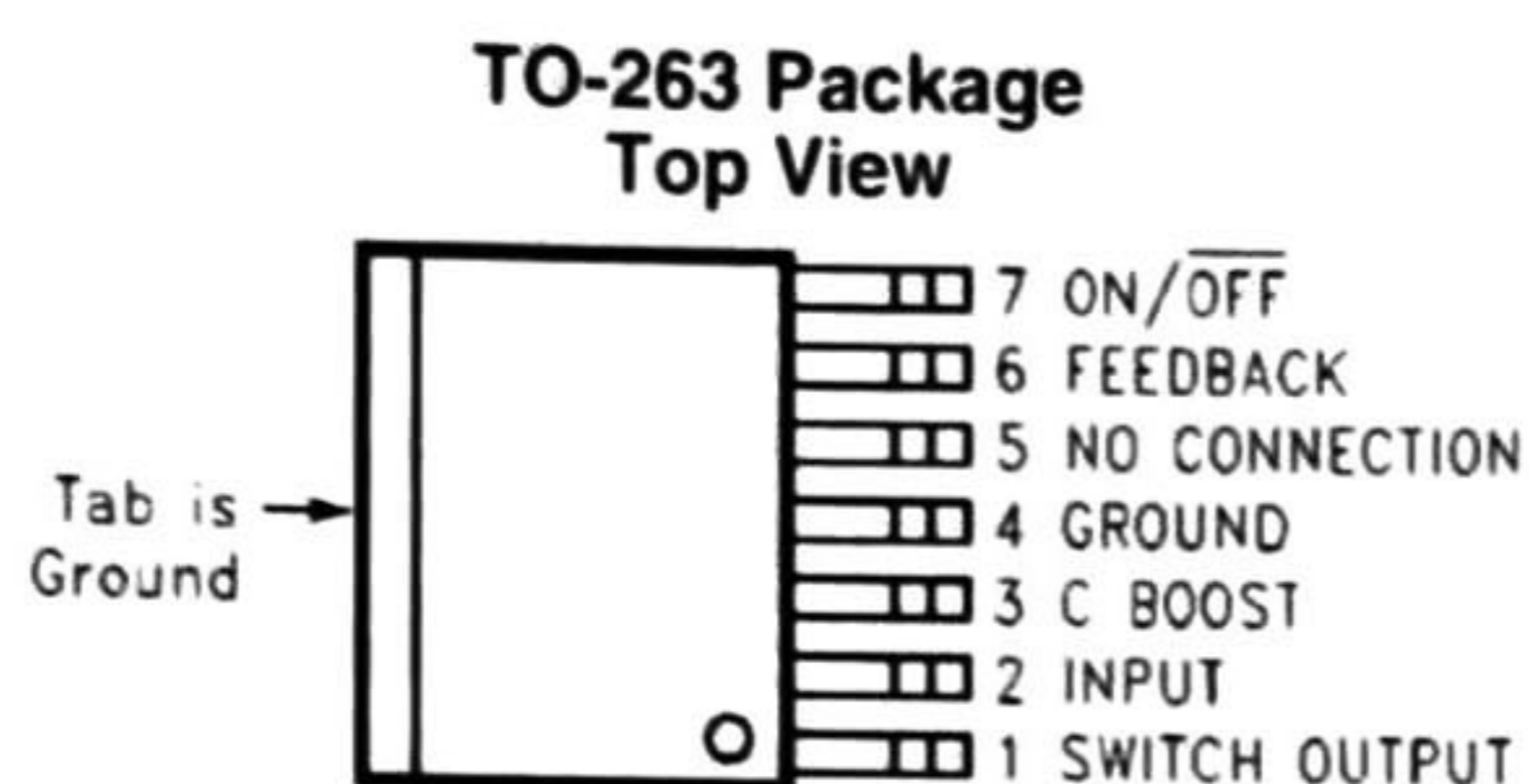
### Typical Application



10091403

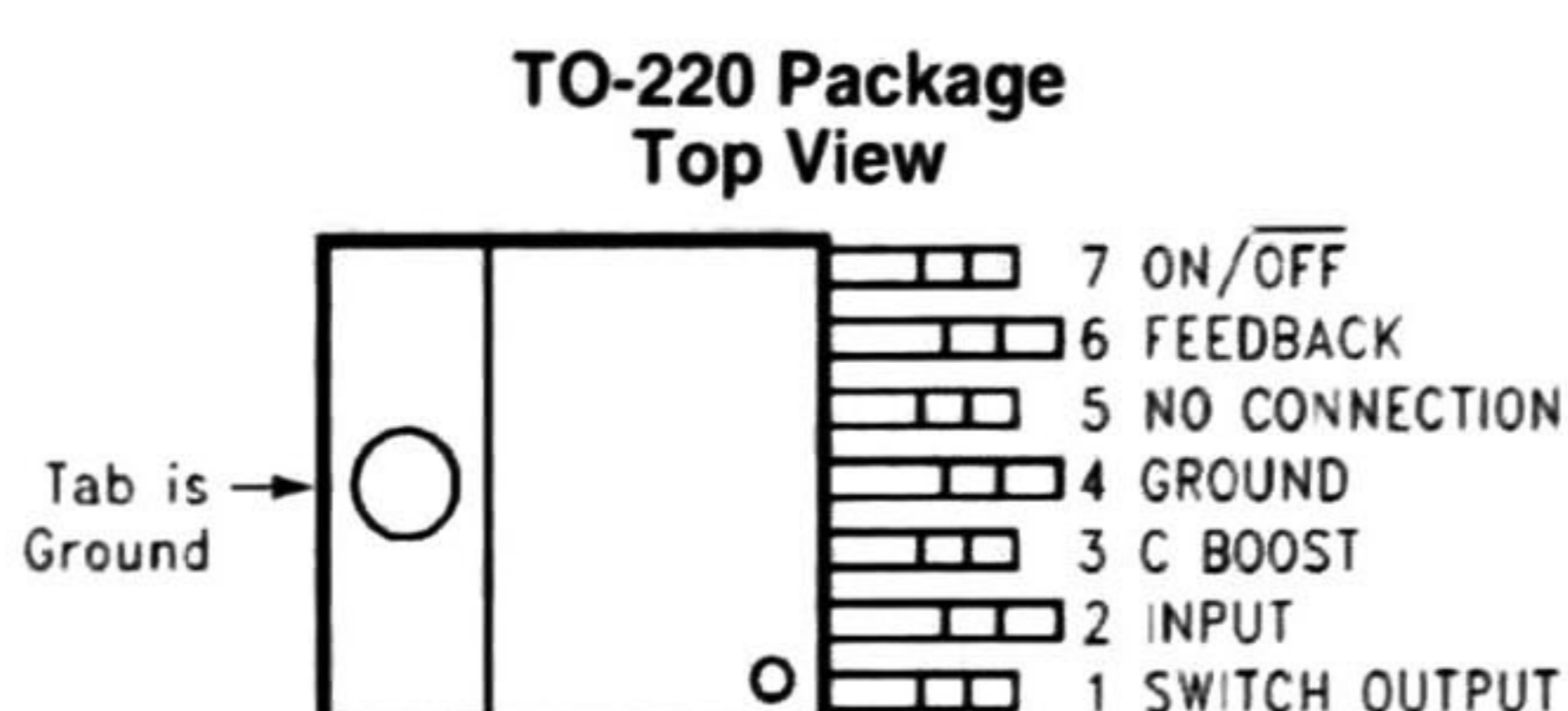
SIMPLE SWITCHER® is a registered trademark of National Semiconductor Corporation

# Connection Diagrams and Ordering Information



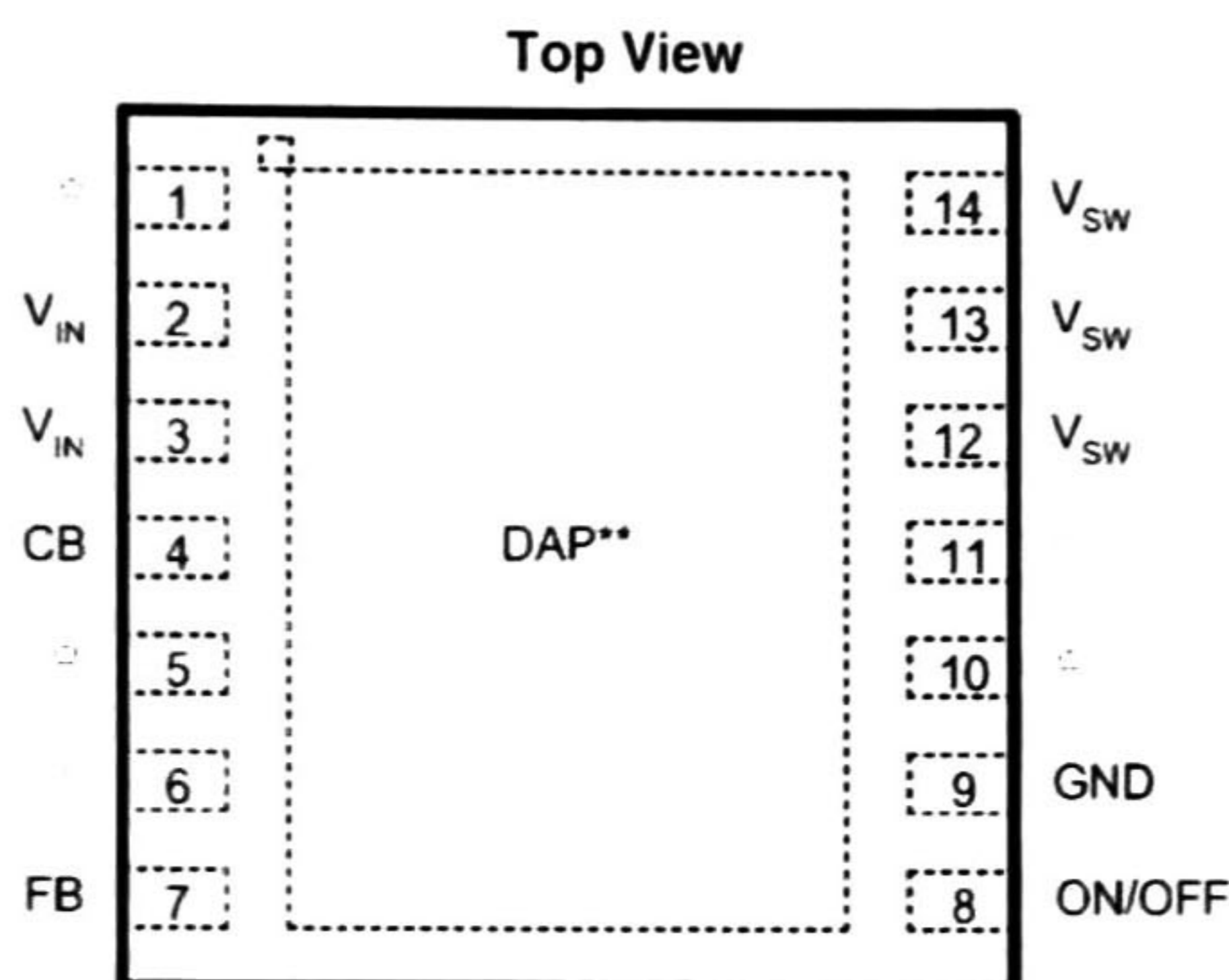
**Order Number**  
 LM2676S-3.3, LM2676S-5.0,  
 LM2676S-12 or LM2676S-ADJ  
 See NSC Package Number TS7B

10091401



**Order Number**  
 LM2676T-3.3, LM2676T-5.0,  
 LM2676T-12 or LM2676T-ADJ  
 See NSC Package Number TA07B

10091402



\*No Connections

\*\* Connect to Pin 9 on PCB

**LLP-14**  
 See NS package Number SRC14A

10091441

## Ordering Information for LLP Package

Output Voltage	Order Information	Package Marking	Supplied As
12	LM2676SD-12	S0003LB	250 Units on Tape and Reel
12	LM2676SDX-12	S0003LB	2500 Units on Tape and Reel
3.3	LM2676SD-3.3	S0003NB	250 Units on Tape and Reel
3.3	LM2676SDX-3.3	S0003NB	2500 Units on Tape and Reel
5.0	LM2676SD-5.0	S0003PB	250 Units on Tape and Reel
5.0	LM2676SDX-5.0	S0003PB	2500 Units on Tape and Reel
ADJ	LM2676SD-ADJ	S0003RB	250 Units on Tape and Reel
ADJ	LM2676SDX-ADJ	S0003RB	2500 Units on Tape and Reel



# LM117/LM317A/LM317

March 1, 2010

## 3-Terminal Adjustable Regulator

### General Description

The LM117 series of adjustable 3-terminal positive voltage regulators is capable of supplying in excess of 1.5A over a 1.2V to 37V output range. They are exceptionally easy to use and require only two external resistors to set the output voltage. Further, both line and load regulation are better than standard fixed regulators. Also, the LM117 is packaged in standard transistor packages which are easily mounted and handled.

In addition to higher performance than fixed regulators, the LM117 series offers full overload protection available only in IC's. Included on the chip are current limit, thermal overload protection and safe area protection. All overload protection circuitry remains fully functional even if the adjustment terminal is disconnected.

Normally, no capacitors are needed unless the device is situated more than 6 inches from the input filter capacitors in which case an input bypass is needed. An optional output capacitor can be added to improve transient response. The adjustment terminal can be bypassed to achieve very high ripple rejection ratios which are difficult to achieve with standard 3-terminal regulators.

Besides replacing fixed regulators, the LM117 is useful in a wide variety of other applications. Since the regulator is "floating" and sees only the input-to-output differential voltage, supplies of several hundred volts can be regulated as long as

the maximum input to output differential is not exceeded, i.e., avoid short-circuiting the output.

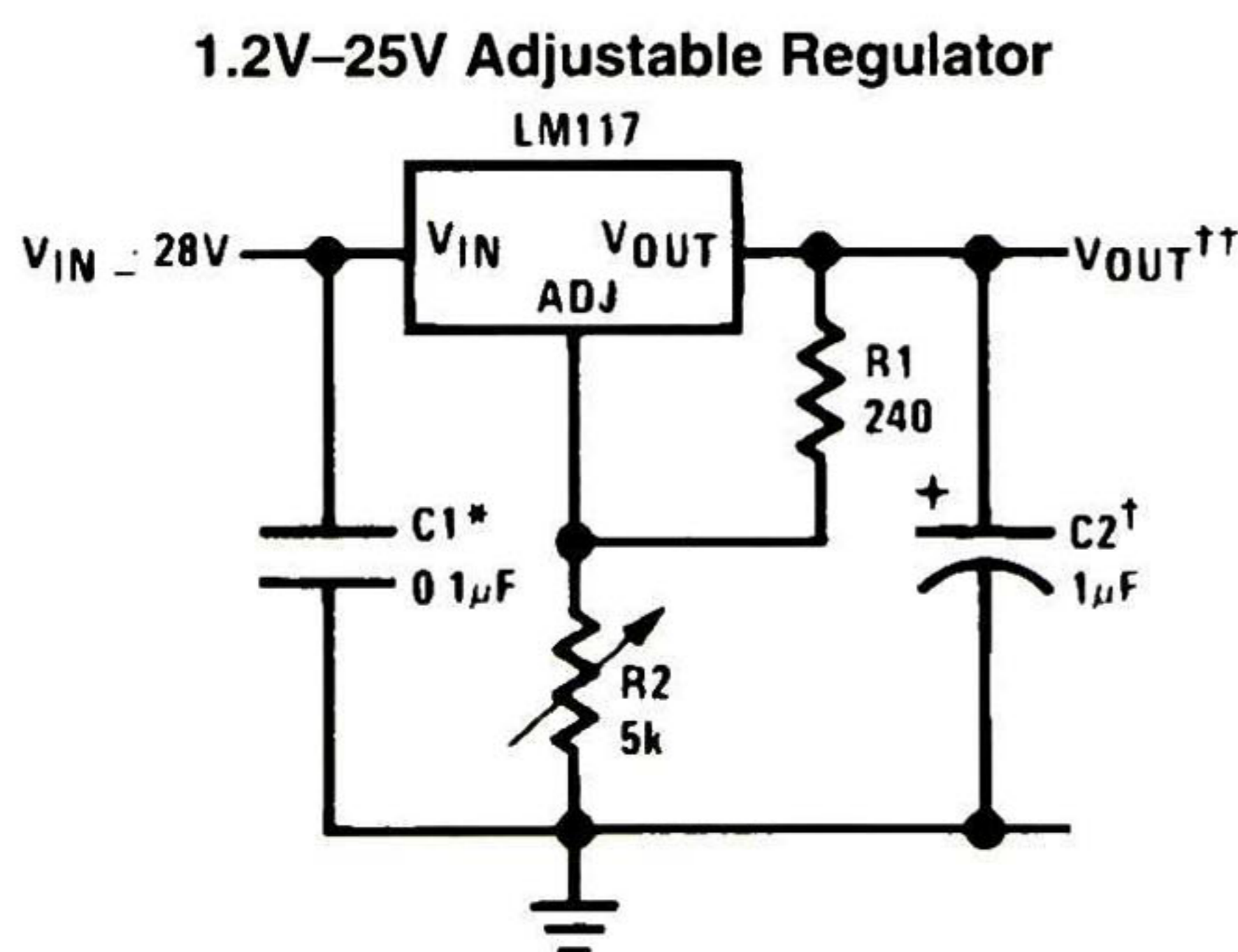
Also, it makes an especially simple adjustable switching regulator, a programmable output regulator, or by connecting a fixed resistor between the adjustment pin and output, the LM117 can be used as a precision current regulator. Supplies with electronic shutdown can be achieved by clamping the adjustment terminal to ground which programs the output to 1.2V where most loads draw little current.

For applications requiring greater output current, see LM150 series (3A) and LM138 series (5A) data sheets. For the negative complement, see LM137 series data sheet.

### Features

- Guaranteed 1% output voltage tolerance (LM317A)
- Guaranteed max. 0.01%/V line regulation (LM317A)
- Guaranteed max. 0.3% load regulation (LM117)
- Guaranteed 1.5A output current
- Adjustable output down to 1.2V
- Current limit constant with temperature
- P+ Product Enhancement tested
- 80 dB ripple rejection
- Output is short-circuit protected

### Typical Applications



906301

Full output current not available at high input-output voltages

\*Needed if device is more than 6 inches from filter capacitors.

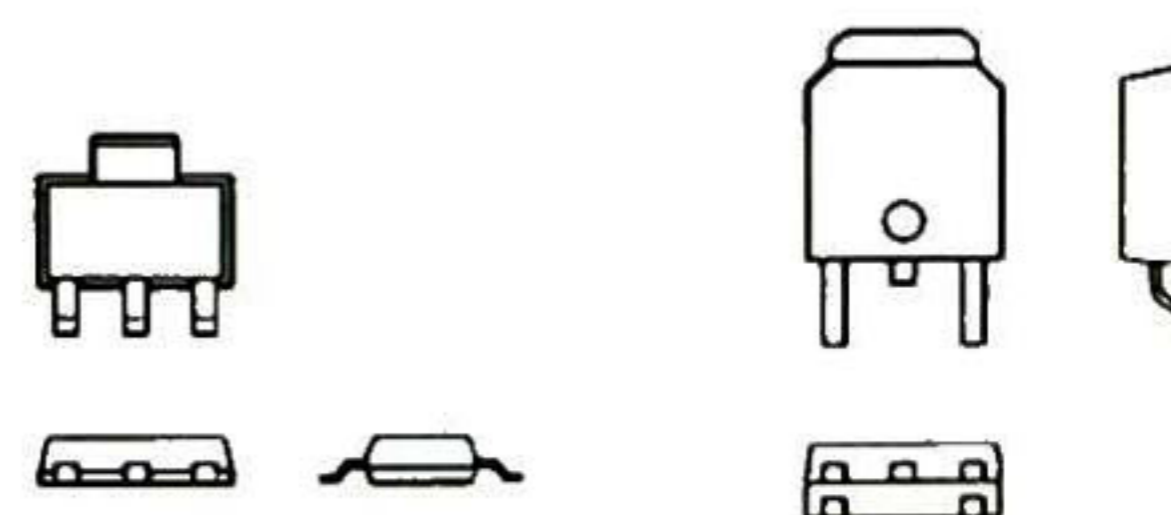
†Optional—improves transient response. Output capacitors in the range of 1µF to 1000µF of aluminum or tantalum electrolytic are commonly used to provide improved output impedance and rejection of transients.

$$V_{OUT} = 1.25V \left( 1 + \frac{R_2}{R_1} \right) + I_{ADJ}(R_2)$$

### LM117/LM317A/LM317 Package Options

Part Number	Suffix	Package	Output Current
LM117, LM317	K	TO-3	1.5A
LM317A, LM317	T	TO-220	1.5A
LM317	S	TO-263	1.5A
LM317A, LM317	EMP	SOT-223	1.0A
LM117, LM317A, LM317	H	TO-39	0.5A
LM117	E	LCC	0.5A
LM317A, LM317	MDT	TO-252	0.5A

### SOT-223 vs. TO-252 (D-Pak) Packages



SOT-223

TO-252

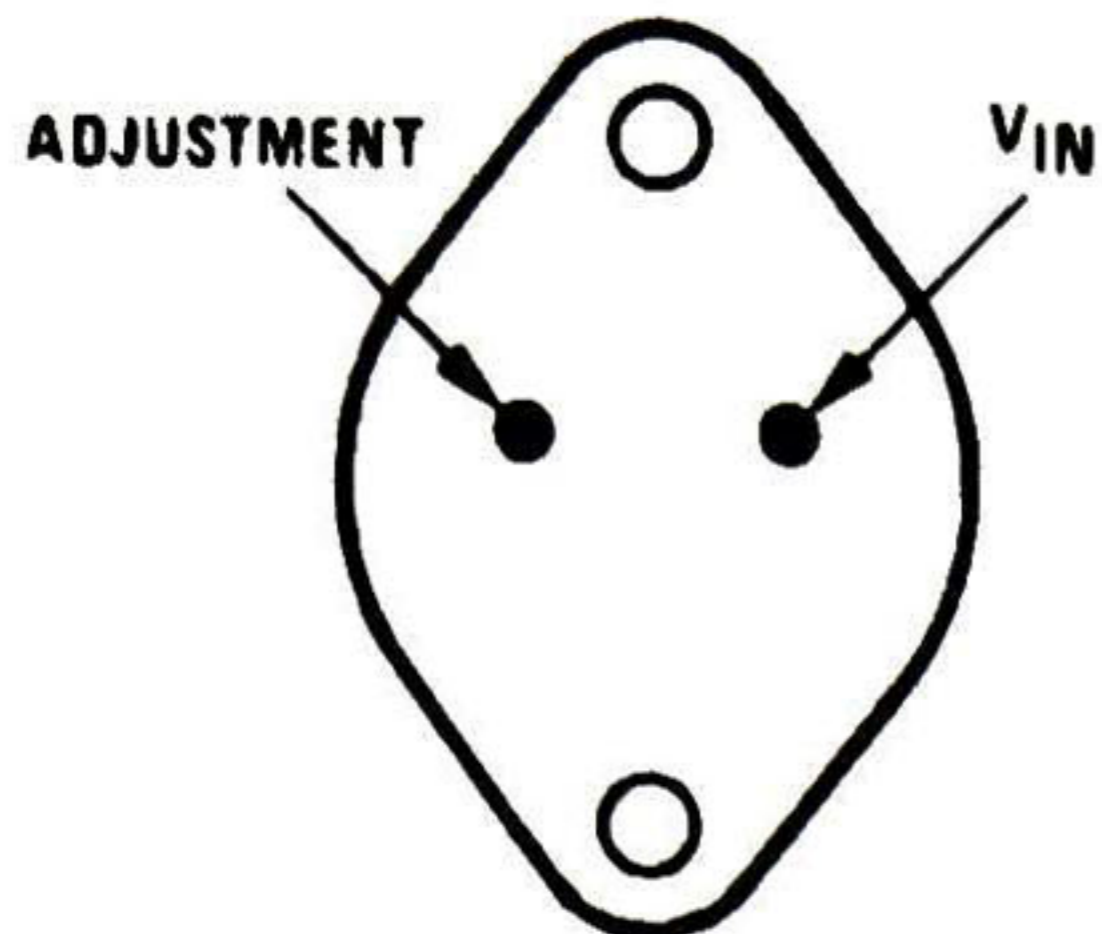
906354

Scale 1:1

LM117/LM317A/LM317 3-Terminal Adjustable Regulator

# Connection Diagrams

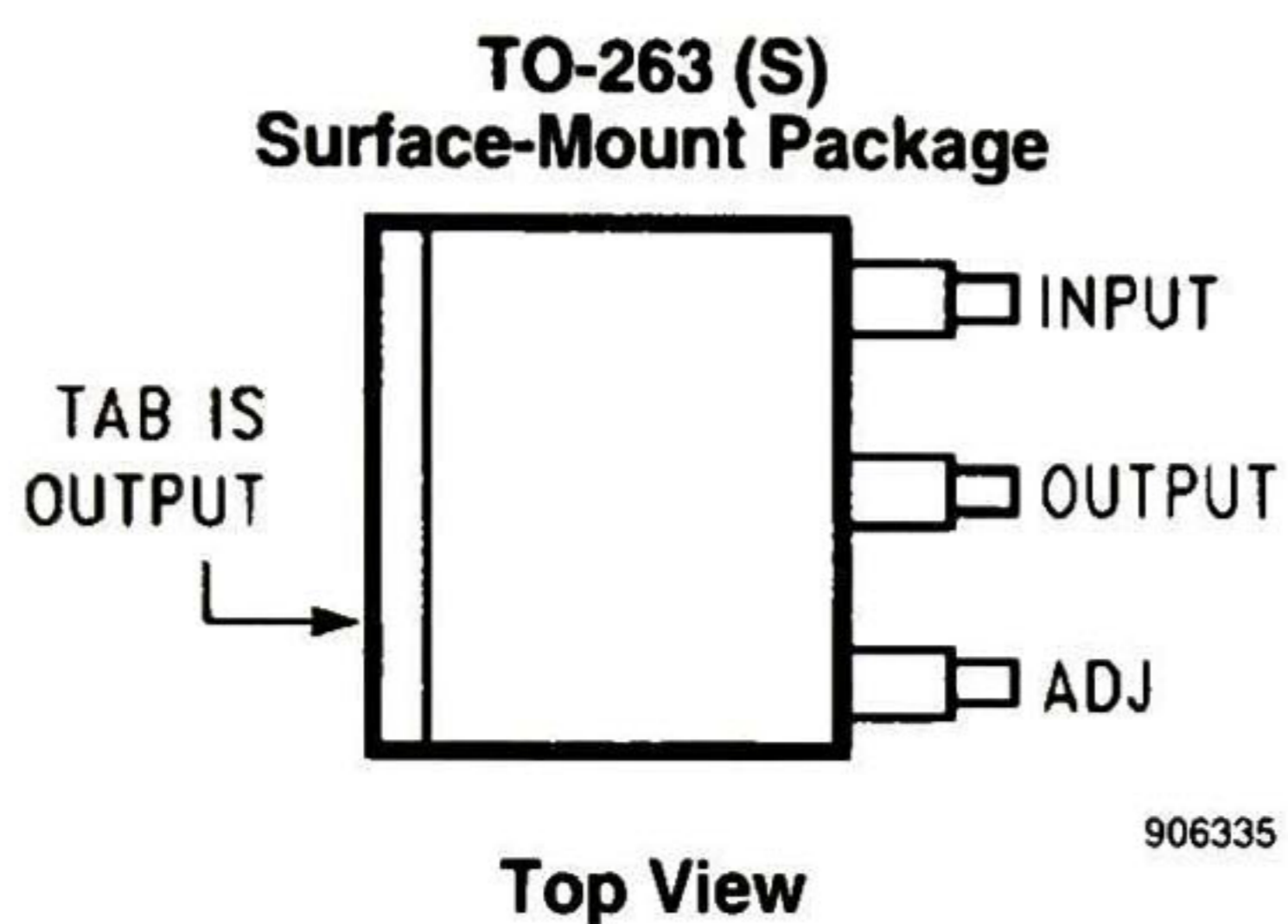
**TO-3 (K)  
Metal Can Package**



CASE IS OUTPUT

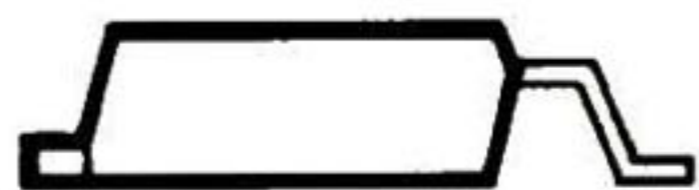
906330

**Bottom View  
Steel Package  
NS Package Number K02A or K02C**



906335

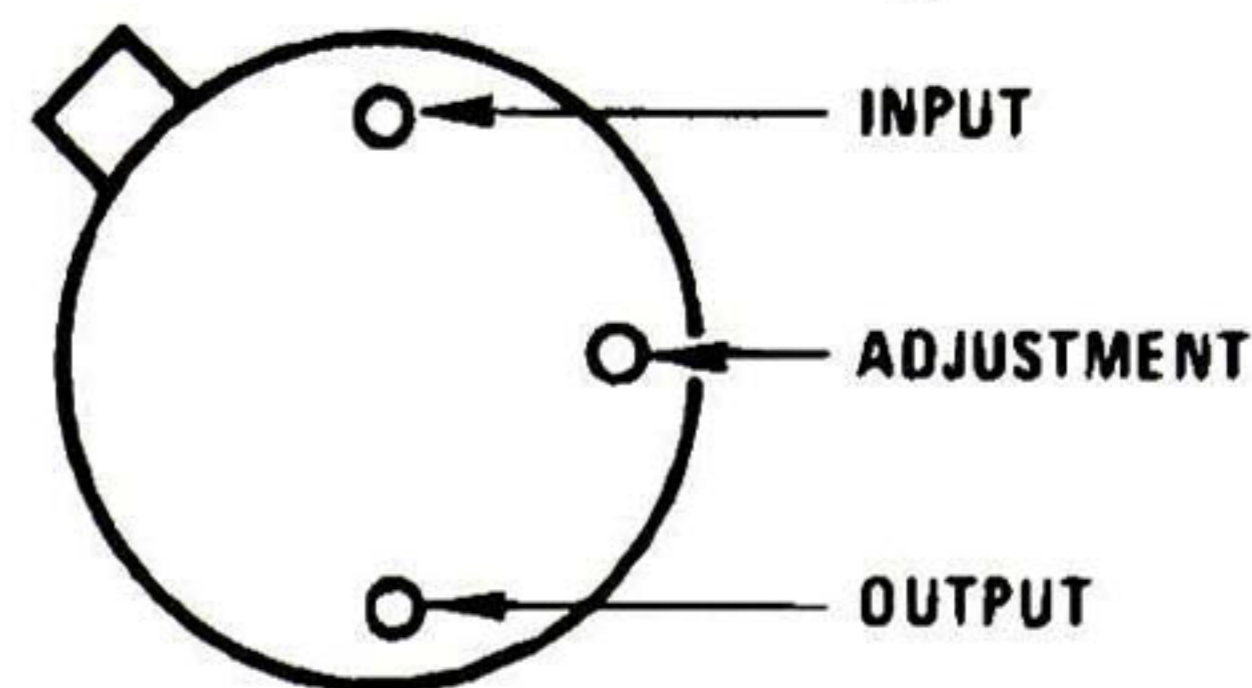
**TO-263 (S)  
Surface-Mount Package**



906336

**Side View  
NS Package Number TS3B**

**TO-39 (H)  
Metal Can Package**

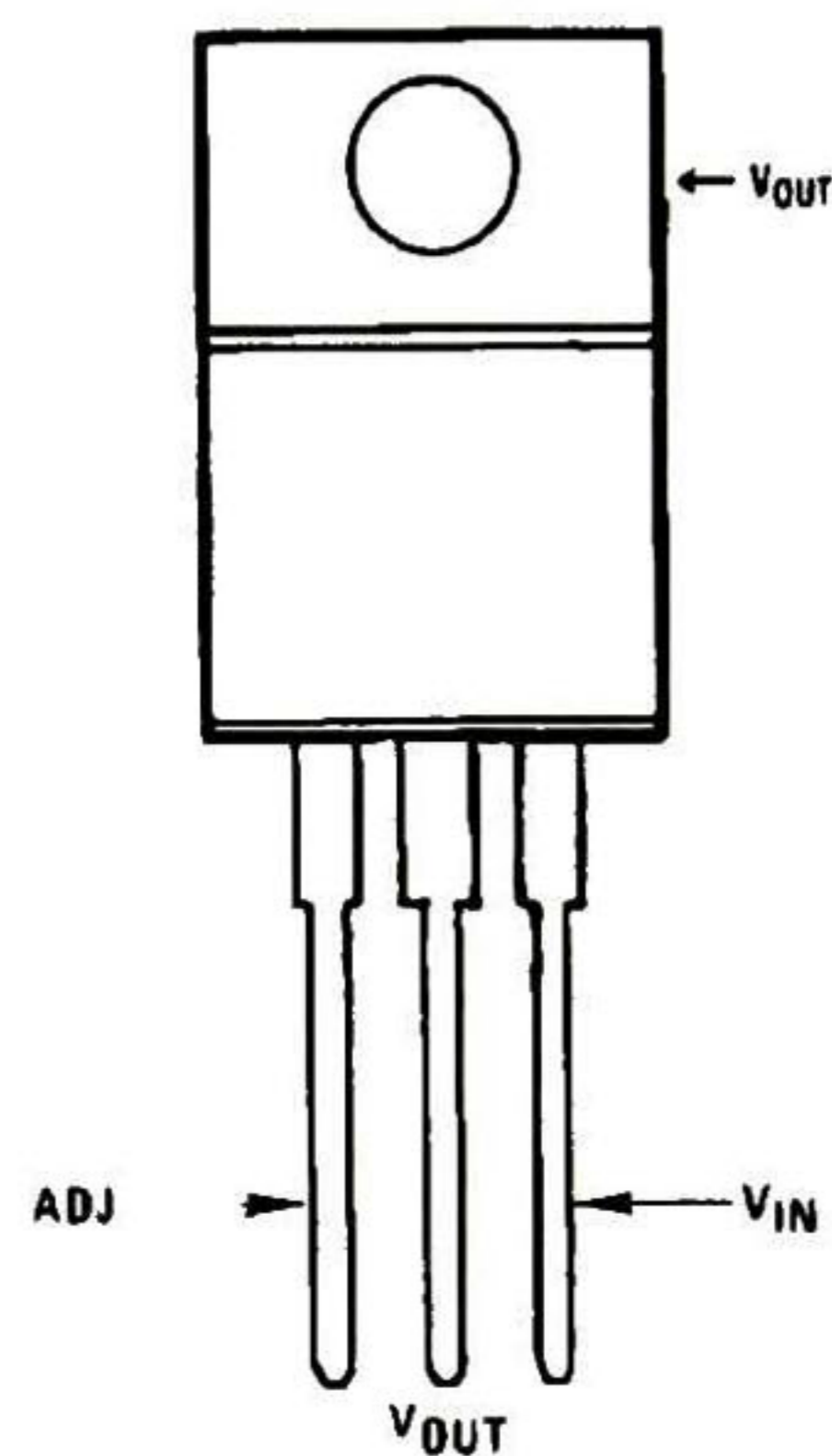


CASE IS OUTPUT

906331

**Bottom View  
NS Package Number H03A**

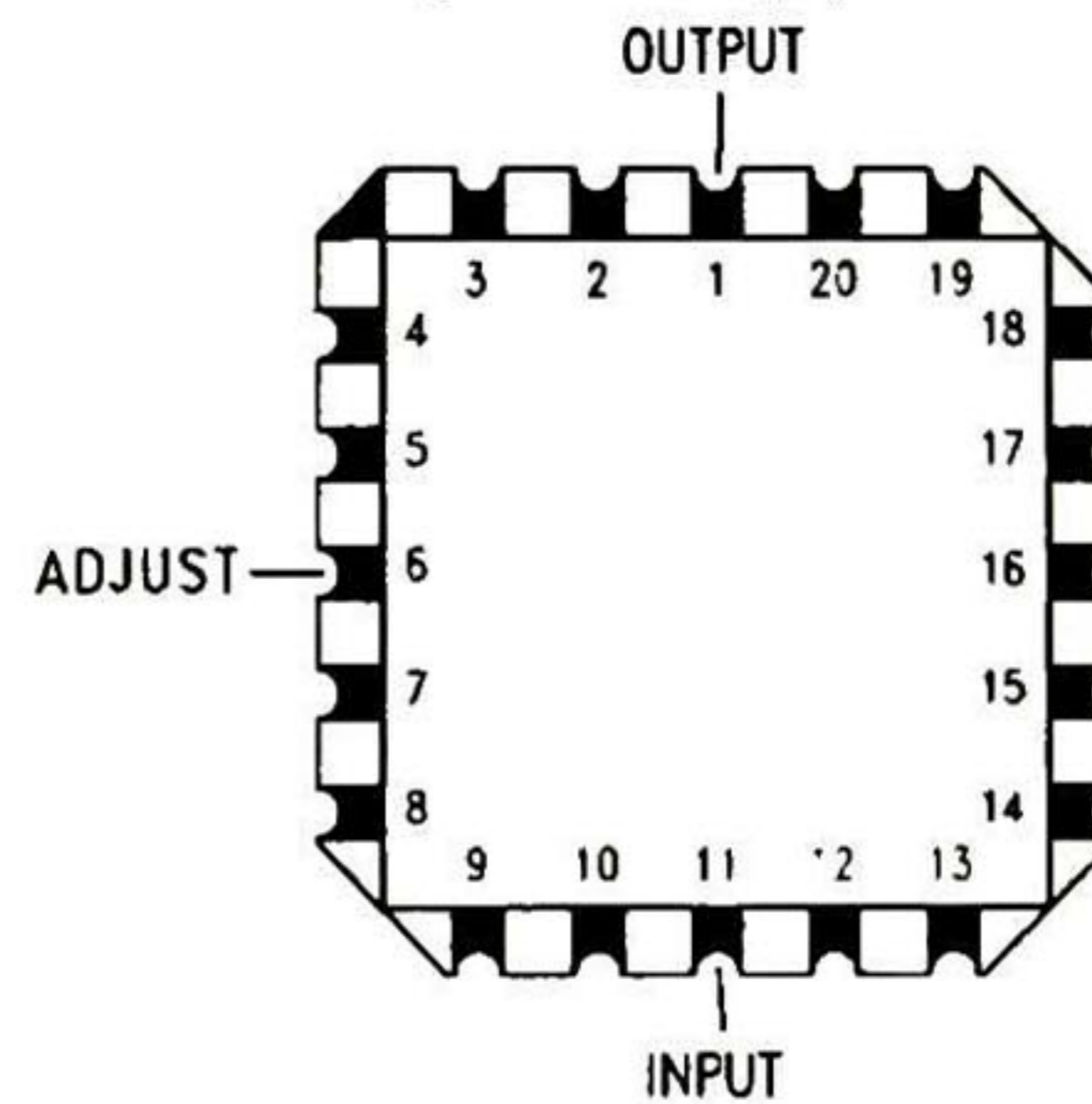
**TO-220 (T)  
Plastic Package**



906332

**Front View  
NS Package Number T03B**

**Ceramic Leadless  
Chip Carrier (E)**



906334

**Top View  
NS Package Number E20A**



# CMOS Switched-Capacitor Voltage Converters

## ADM660/ADM8660

### FEATURES

**ADM660: Inverts or Doubles Input Supply Voltage**  
**ADM8660: Inverts Input Supply Voltage**  
**100 mA Output Current**  
**Shutdown Function (ADM8660)**  
**2.2  $\mu\text{F}$  or 10  $\mu\text{F}$  Capacitors**  
**0.3 V Drop at 30 mA Load**  
**+1.5 V to +7 V Supply**  
**Low Power CMOS: 600  $\mu\text{A}$  Quiescent Current**  
**Selectable Charge Pump Frequency (25 kHz/120 kHz)**  
**Pin Compatible Upgrade for MAX660, MAX665, ICL7660**  
**Available in 16-Lead TSSOP Package**

### APPLICATIONS

**Handheld Instruments**  
**Portable Computers**  
**Remote Data Acquisition**  
**Op Amp Power Supplies**

### GENERAL DESCRIPTION

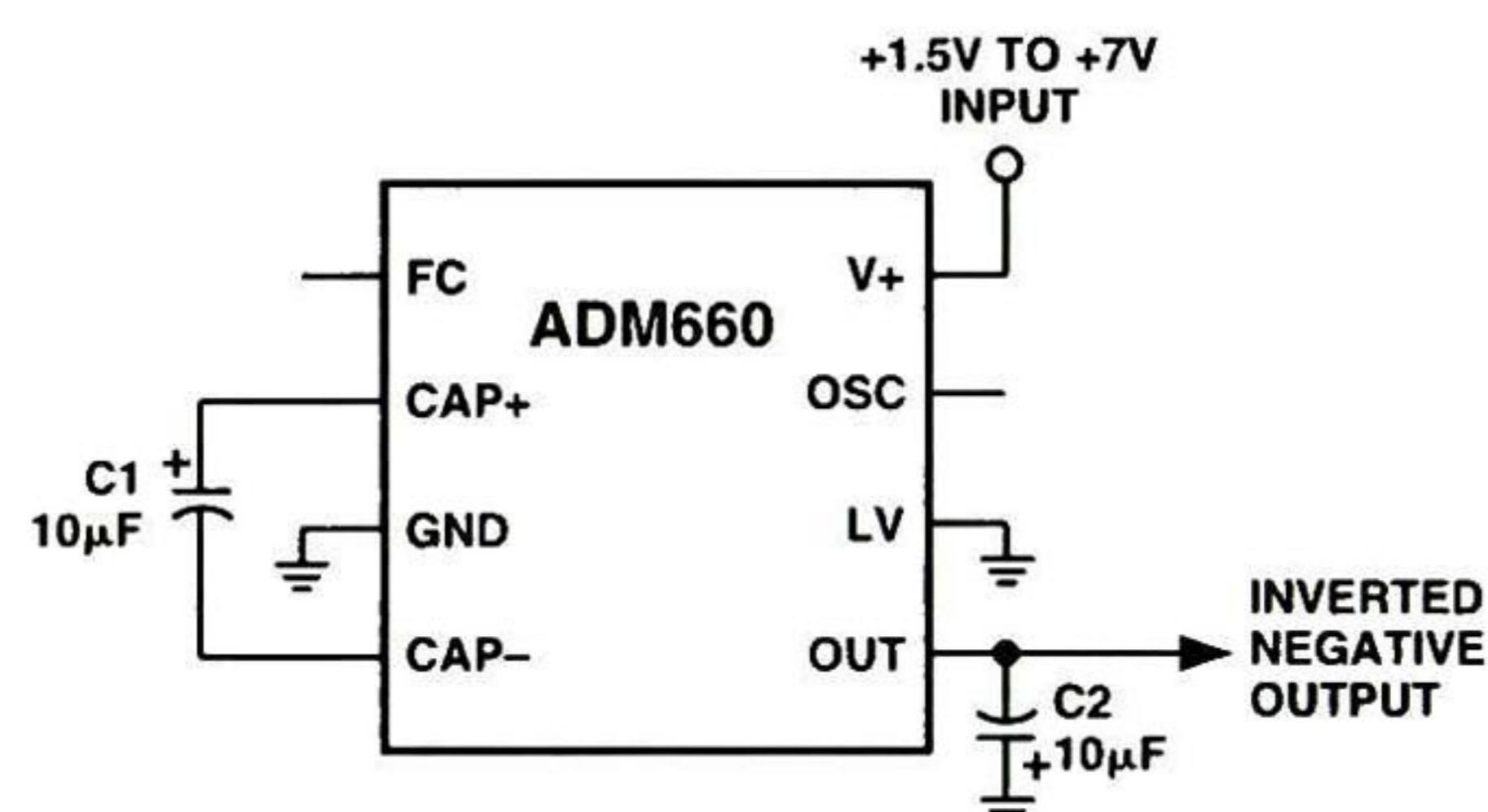
The ADM660/ADM8660 is a charge-pump voltage converter that can be used to either invert the input supply voltage giving  $V_{\text{OUT}} = -V_{\text{IN}}$  or double it (ADM660 only) giving  $V_{\text{OUT}} = 2 \times V_{\text{IN}}$ .

Input voltages ranging from +1.5 V to +7 V can be inverted into a negative -1.5 V to -7 V output supply. This inverting scheme is ideal for generating a negative rail in single power supply systems. Only two small external capacitors are needed for the charge pump. Output currents up to 50 mA with greater than 90% efficiency are achievable, while 100 mA achieves greater than 80% efficiency.

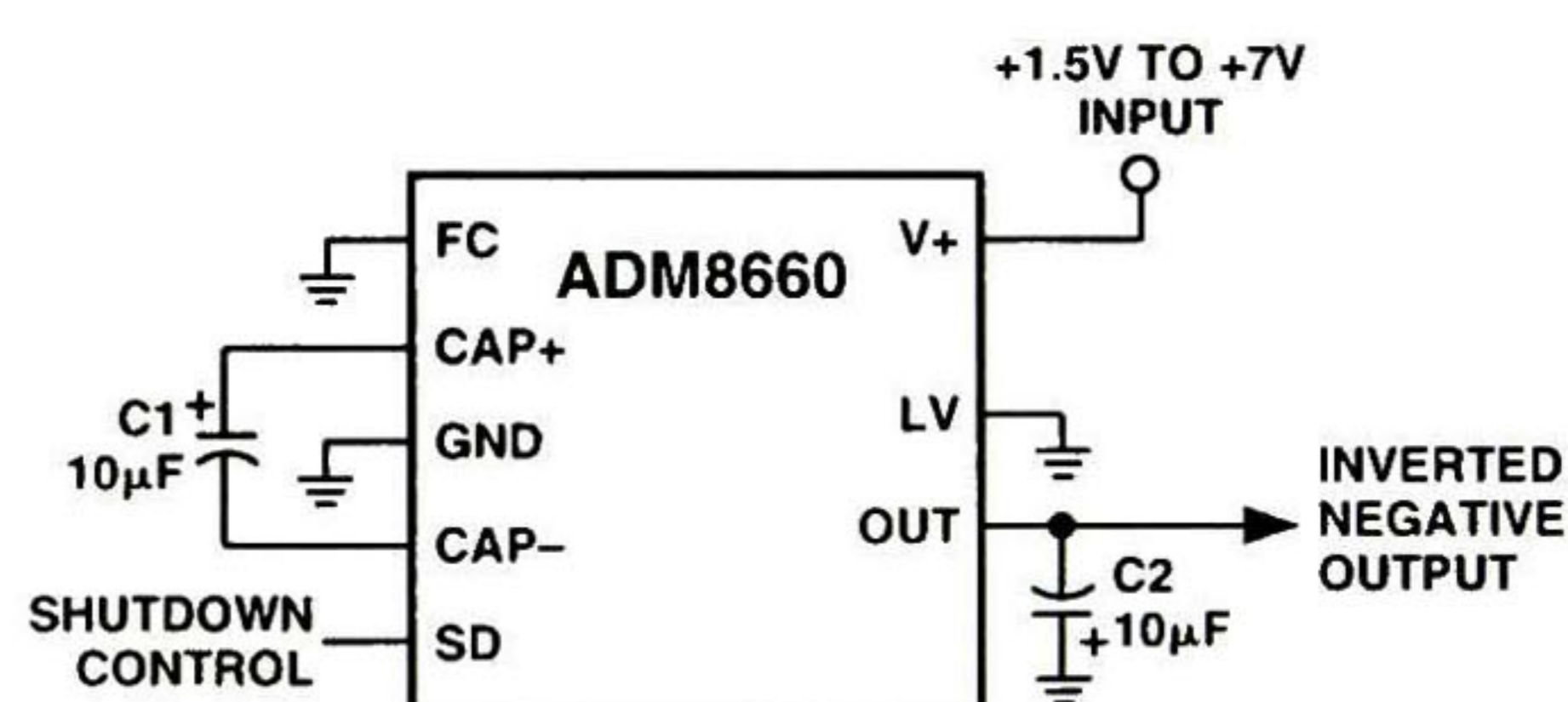
A Frequency Control (FC) input pin is used to select either 25 kHz or 120 kHz charge-pump operation. This is used to optimize capacitor size and quiescent current. With 25 kHz selected, a 10  $\mu\text{F}$  external capacitor is suitable, while with 120 kHz the capacitor may be reduced to 2.2  $\mu\text{F}$ . The oscillator frequency on the ADM660 can also be controlled with an external capacitor connected to the OSC input or by driving this input with an external clock. In applications where a higher supply voltage is desired it is possible to use the ADM660 to double the input voltage. With input voltages from 2.5 V to 7 V, output voltages from 5 V to 14 V are achievable with up to 100 mA output current.

The ADM8660 features a low power shutdown (SD) pin instead of the external oscillator (OSC) pin. This can be used to disable the device and reduce the quiescent current to 300 nA.

### TYPICAL CIRCUIT CONFIGURATIONS



Voltage Inverter Configuration (ADM660)



Voltage Inverter Configuration with Shutdown (ADM8660)

The ADM660 is a pin compatible upgrade for the MAX660, MAX665, ICL7660, and LTC1046.

The ADM660/ADM8660 is available in 8-lead DIP and narrow-body SOIC. The ADM660 is also available in a 16-lead TSSOP package.

### ADM660/ADM8660 Options

Option	ADM660	ADM8660
Inverting Mode	Y	Y
Doubling Mode	Y	N
External Oscillator	Y	N
Shutdown	N	Y
Package Options		
R-8	Y	Y
N-8	Y	Y
RU-16	Y	N

REV. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective companies.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
 Tel: 781/329-4700 [www.analog.com](http://www.analog.com)  
 Fax: 781/326-8703 © 2002 Analog Devices, Inc. All rights reserved.



# ADM660/ADM8660—SPECIFICATIONS (V<sub>+</sub> = +5 V, C1, C2 = 10 $\mu$ F, \* T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Input Voltage, V <sub>+</sub>	3.5		7.0	V	R <sub>L</sub> = 1 k $\Omega$ Inverting Mode, LV = Open
	1.5		7.0	V	Inverting Mode, LV = GND
	2.5		7.0	V	Doubling Mode, LV = OUT
Supply Current		0.6	1	mA	No Load FC = Open (ADM660), GND (ADM8660)
		2.5	4.5	mA	FC = V <sub>+</sub> , LV = Open
Output Current	100			mA	
Output Resistance (ADM660)		9	15	$\Omega$	I <sub>L</sub> = 100 mA
Output Resistance (ADM8660)		9	15	$\Omega$	I <sub>L</sub> = 100 mA, T <sub>A</sub> = 25°C
Output Resistance (ADM8660)			16.5	$\Omega$	I <sub>L</sub> = 100 mA, T <sub>A</sub> = -40°C to +85°C
Charge-Pump Frequency		25		kHz	FC = Open (ADM660), GND (ADM8660)
		120		kHz	FC = V <sub>+</sub>
OSC Input Current		$\pm 5$		$\mu$ A	FC = Open (ADM660), GND (ADM8660)
		$\pm 25$		$\mu$ A	FC = V <sub>+</sub>
Power Efficiency (FC = Open) (ADM660)	90	94		%	R <sub>L</sub> = 1 k $\Omega$ Connected from V <sub>+</sub> to OUT
Power Efficiency (FC = Open) (ADM8660)	90	94		%	R <sub>L</sub> = 1 k $\Omega$ Connected from V <sub>+</sub> to OUT, T <sub>A</sub> = +25°C
Power Efficiency (FC = Open) (ADM8660)	88.5			%	R <sub>L</sub> = 1 k $\Omega$ Connected from V <sub>+</sub> to OUT, T <sub>A</sub> = -40°C to +85°C
Power Efficiency (FC = Open) (ADM660)	90	93		%	R <sub>L</sub> = 500 $\Omega$ Connected from OUT to GND
Power Efficiency (FC = Open) (ADM8660)	90	93		%	R <sub>L</sub> = 500 $\Omega$ Connected from OUT to GND, T <sub>A</sub> = +25°C
Power Efficiency (FC = Open) (ADM8660)	88.5			%	R <sub>L</sub> = 500 $\Omega$ Connected from OUT to GND, T <sub>A</sub> = -40°C to +85°C
Power Efficiency (FC = Open)		81.5		%	I <sub>L</sub> = 100 mA to GND
Voltage Conversion Efficiency	99	99.96		%	No Load
Shutdown Supply Current, I <sub>SHDN</sub>		0.3	5	$\mu$ A	ADM8660, SHDN = V <sub>+</sub>
Shutdown Input Voltage, V <sub>SHDN</sub>	2.4			V	SHDN High = Disabled
			0.8	V	SHDN Low = Enabled
Shutdown Exit Time		500		$\mu$ s	I <sub>L</sub> = 100 mA

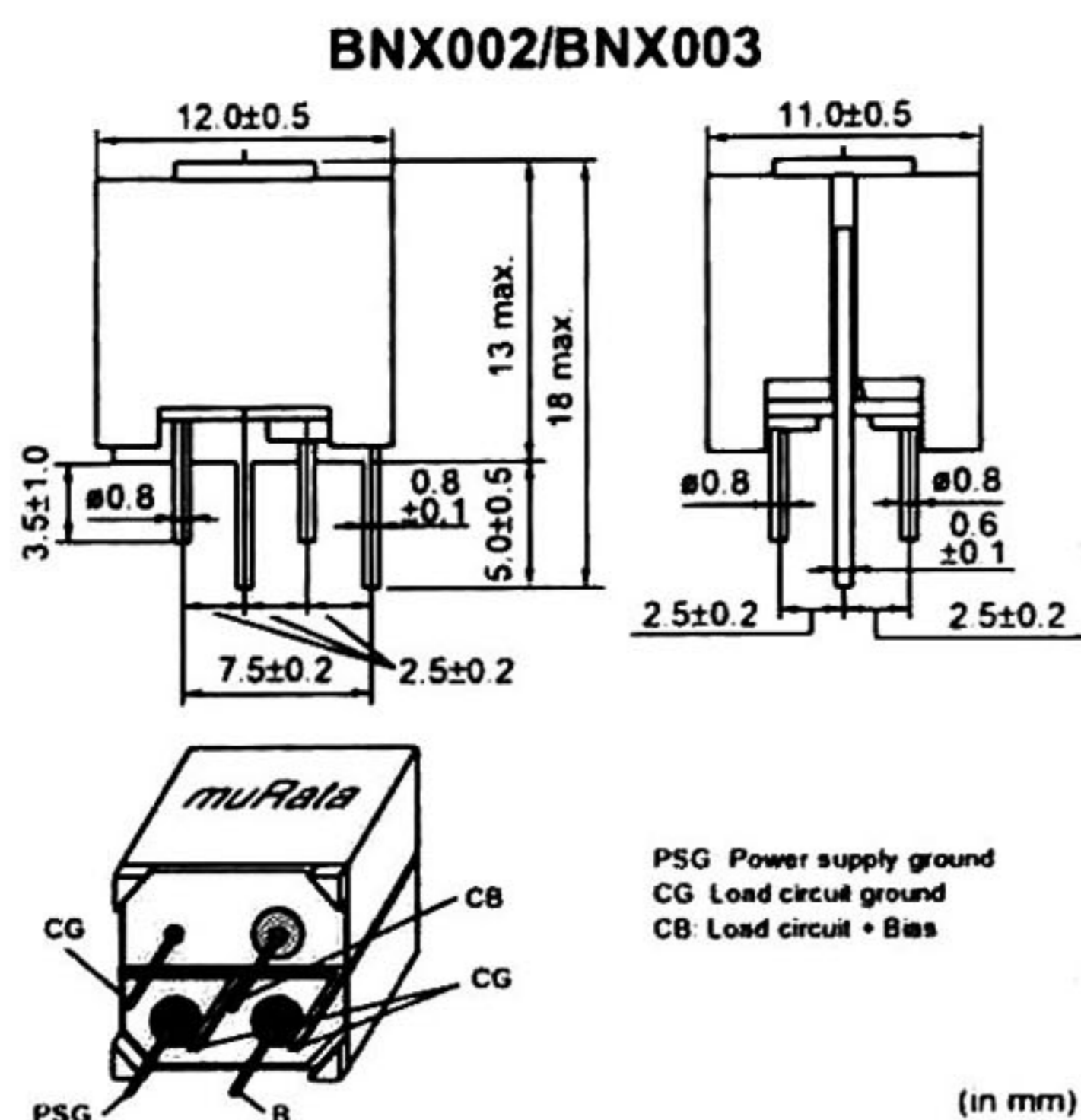
\*C1 and C2 are low ESR (<0.2  $\Omega$ ) electrolytic capacitors.  
High ESR degrade performance.

Specifications subject to change without notice.

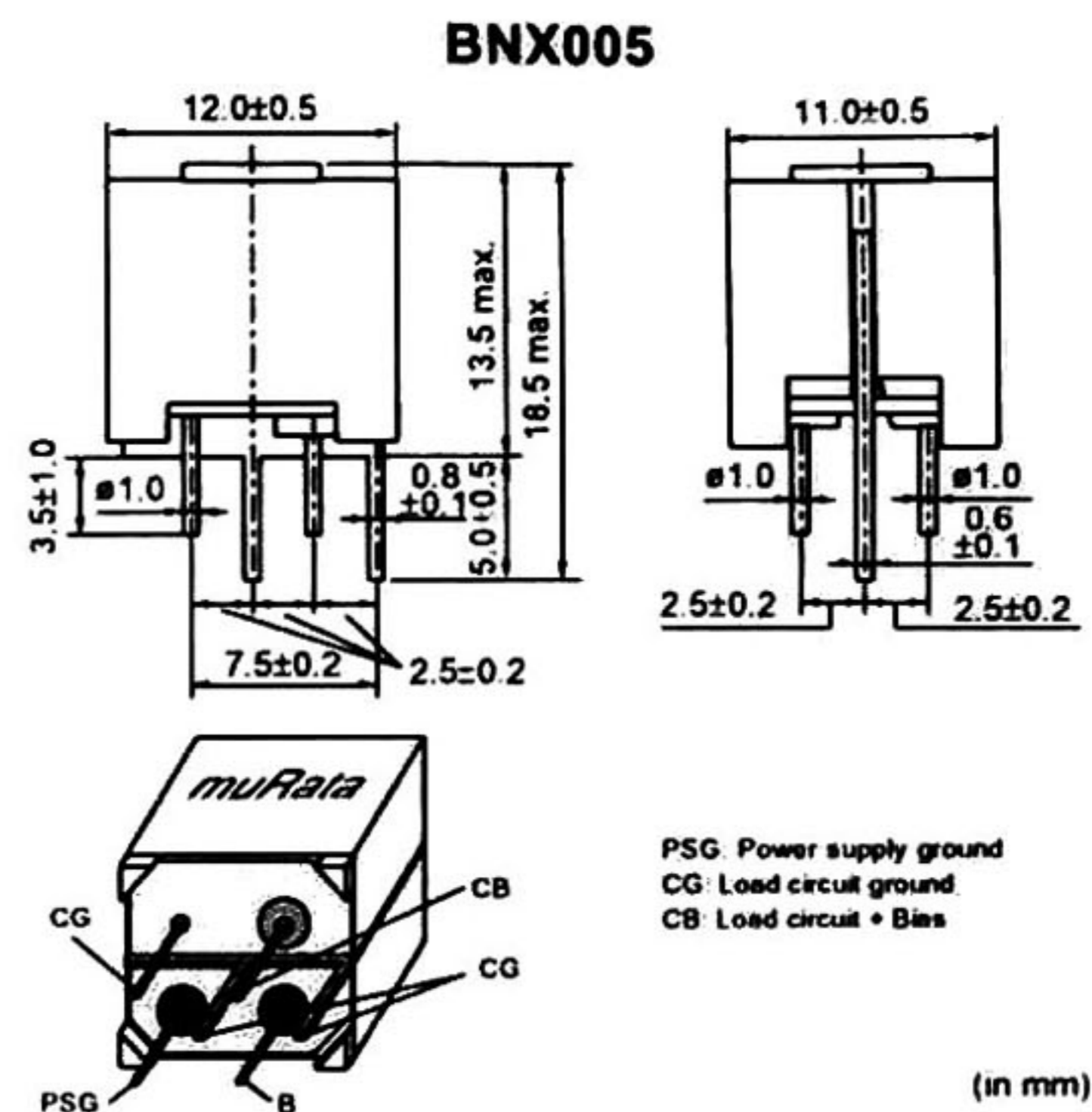
# Block Type EMIFIL® LC Combined Type

## BNX00\* Series

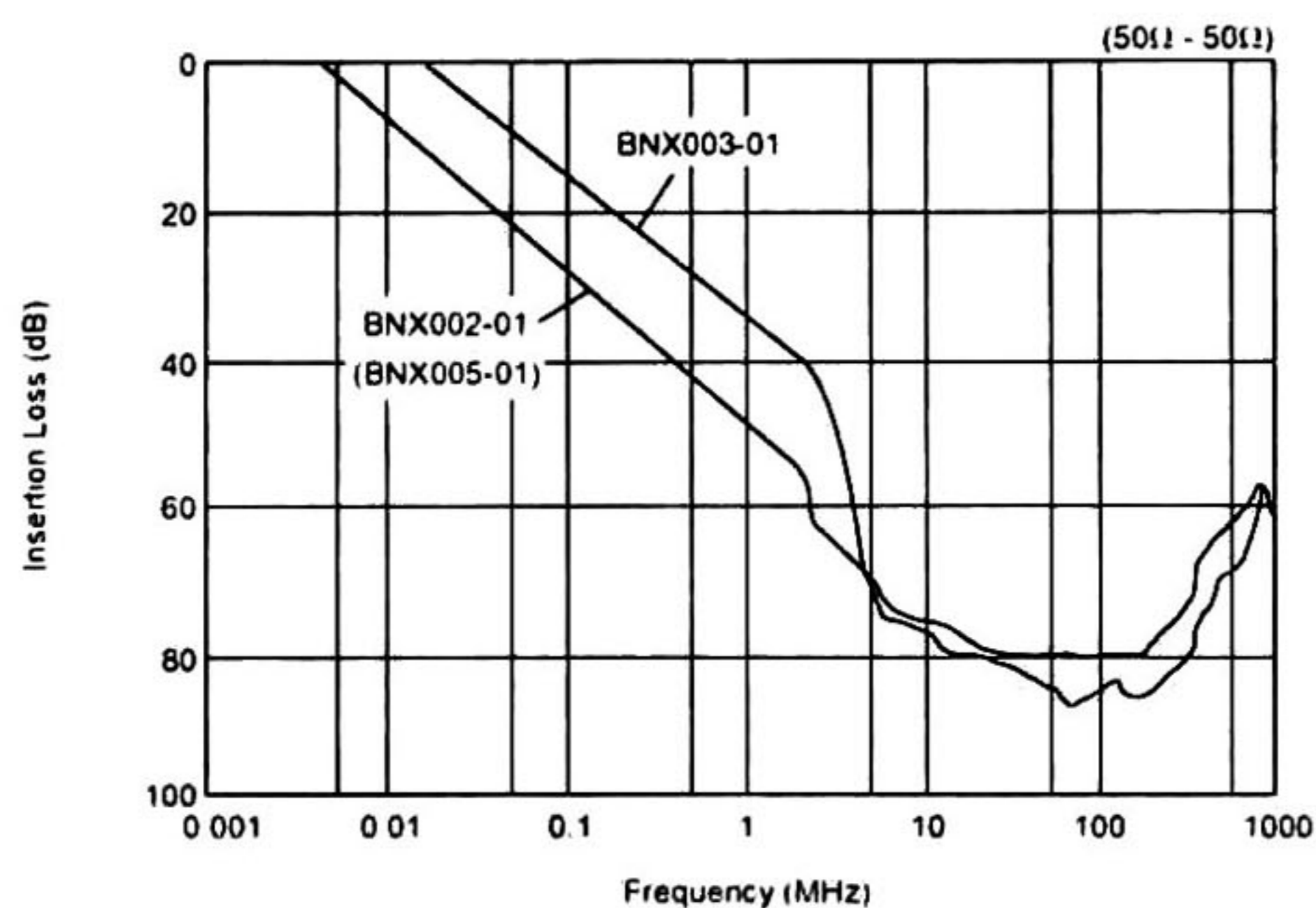
### ■ Dimensions



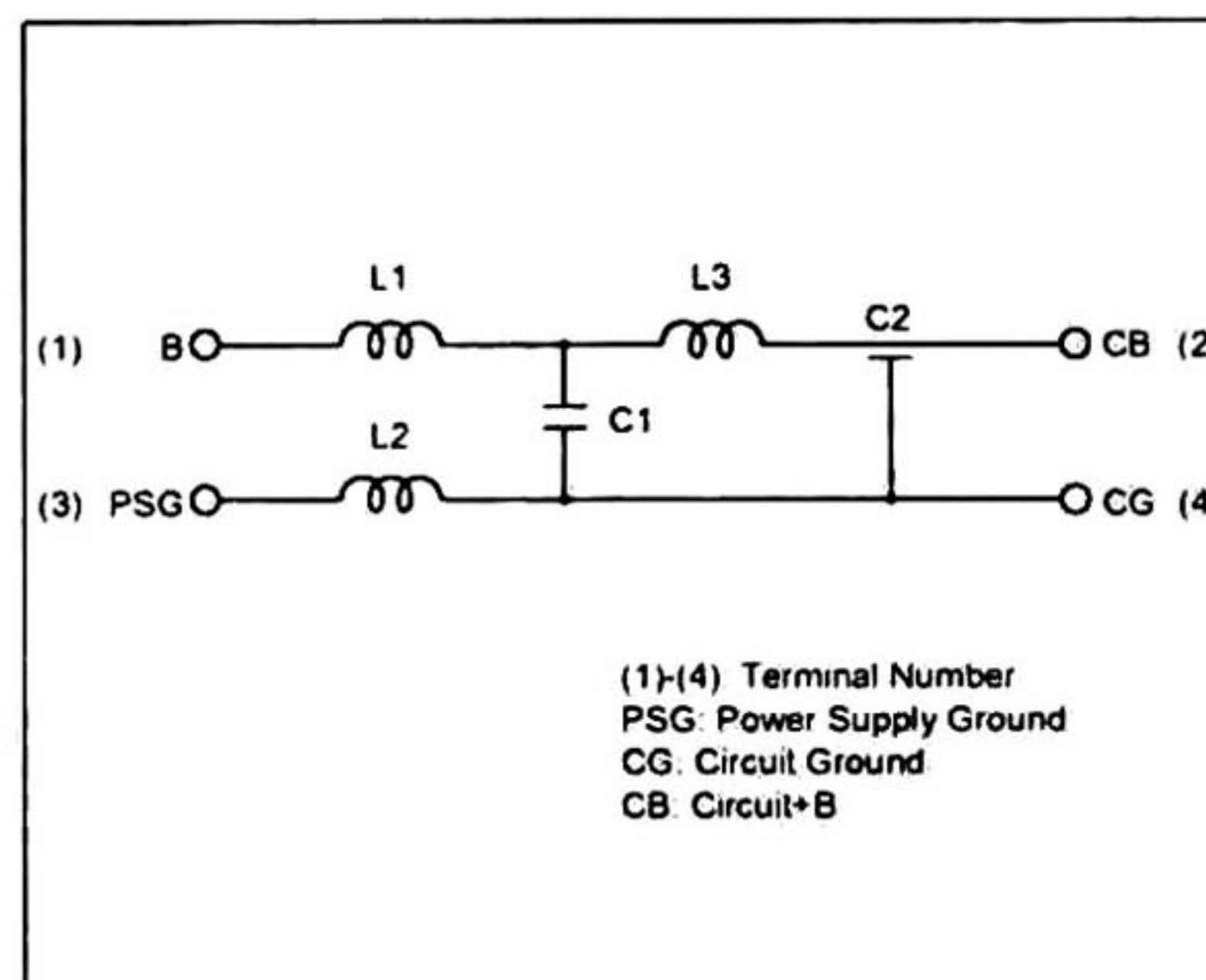
### ■ Dimensions



### ■ Insertion Loss Characteristics



### ■ Equivalent Circuit



### ■ Packaging

Code	Packaging	Minimum Quantity
-	Box	100

### ■ Rated Value

Part Number	Rated Voltage	Withstand Voltage	Rated Current	Insulation Resistance(min.)	Insertion Loss
BNX002-01	50Vdc	125Vdc	10A	100M ohm	1MHz to 1GHz: 40dB min. (20 to 25 degrees C line impedance=50 ohm)
BNX003-01	150Vdc	375Vdc	10A	100M ohm	5MHz to 1GHz: 40dB min. (20 to 25 degrees C line impedance=50 ohm)
BNX005-01	50Vdc	125Vdc	15A	100M ohm	1MHz to 1GHz: 40dB min. (20 to 25 degrees C line impedance=50 ohm)

Operating Temperature Range: -30 °C to 85 °C

Continued on the following page.

● This data sheet is applied for Block Type EMIFIL® used for General Electronics equipment for your design.

### ⚠ Note:

- This datasheet is downloaded from the website of Murata Manufacturing co., Ltd. Therefore, it's specifications are subject to change or our products in it may be discontinued without advance notice. Please check with our sales representatives or product engineers before ordering.
- This datasheet has only typical specifications because there is no space for detailed specifications. Therefore, please approve our product specifications or transact the approval sheet for product specifications before ordering.

# Lista de materiales.

A continuación se enlistan una serie de materiales comunes en la fabricación de PCB, junto con sus valores típicos de permitividad eléctrica y tangente de pérdidas.

Material	Permitividad eléctrica ( $\epsilon_r$ )	Tangente de pérdidas ( $\tan \delta$ )
Aire	1.0006	0
Alúmina	9.4	0.0004
Aluminio	1	0
Arlon AD 250	2.5	0.003
Arlon AD 300	3	0.003
Arlon Cu 250GX	2.5	0.0022
Baquelita	4.8	0.002
FR4	4.4	0.02
GIL GML1000	3.12	0.005
Krempel Akaflex KCL	3.4	0.0018
Nelco N4000-13	3.5	0.012
Rogers RO3003	3	0.0013
Rogers RO4350	3.66	0.004
Rogers RT/Duroid 5880	2.2	0.0009
Rogers Ultralam 2000	2.5	0.0019
Taconic RF-30	3	0.0014
Taconic RF-60	6.15	0.0028

Fuente: Ansoft HFSS v12.1

# Código para el control del oscilador local.

---

El código que se transcribe aquí es el usado para ajustar la frecuencia a 1.8GHz.

```
function y = f1800()
%%se Inicializa el puerto a 1.8ghz
dio = digitalio('parallel','LPT1');
addline(dio, 0:2,'out');
t=.1;
% Se sacan los valores del osc.
%% El R counter Lacth
% DB23
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB22
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB21
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB20
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB19
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB18
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB17
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB16
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB15
putvalue(dio,[0 0 0]);
pause(t)
```

```
putvalue(dio,[1 0 0]);
pause(t)
% DB14
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB13
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB12
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB11
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB10
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB9
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB8
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB7
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB6
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB5
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB4
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
```

```

% DB3
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB2
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB1
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB0
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
%Ultimo Dato
putvalue(dio,[0 0 1]);
pause(t)
putvalue(dio,[0 0 0]);

%% El N counter Lacth
% DB23
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB22
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB21
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB20
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB19
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
    DB18
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
    DB17

```

```
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB16
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB15
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB14
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB13
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB12
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB11
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB10
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB9
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB8
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB7
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB6
putvalue(dio,[0 1 0]);
pause(t)
```

```
putvalue(dio,[1 1 0]);
pause(t)
% DB5
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB4
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB3
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB2
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB1
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB0
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
%Ultimo Dato
putvalue(dio,[0 1 1]);
pause(t)
putvalue(dio,[0 1 0]);

%% El Function counter Lacth
% DB23
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB22
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB21
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB20
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
```



```
pause(t)
% DB19
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB18
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB17
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB16
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB15
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB14
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB13
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
    DB12
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB11
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB10
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB9
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB8
```

```
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB7
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB6
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB5
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB4
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB3
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB2
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB1
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB0
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
*Ultimo Dato
putvalue(dio,[0 0 1]);
pause(t)
putvalue(dio,[0 0 0]);
```

## Código para el control del receptor.

---

El siguiente código, se empleó para ajustar los parámetros de inicio del receptor, con la máxima ganancia de salida en la señal de banda base.

```
%%Actualizar registro 0 y 1 del TRF3710
dio = digitalio('parallel - 'LPT1');
addline(dio, 0:2, 'out');
t=.1;
```

```
%% The Register 0: Device Setup
```

```
% DB0
putvalue(dio, [0 0 0]);
pause(t)
putvalue(dio, [1 0 0]);
pause(t)
% DB1
putvalue(dio, [0 0 0]);
pause(t)
putvalue(dio, [1 0 0]);
pause(t)
% DB2
putvalue(dio, [0 0 0]);
pause(t)
putvalue(dio, [1 0 0]);
pause(t)
% DB3
putvalue(dio, [0 0 0]);
pause(t)
putvalue(dio, [1 0 0]);
pause(t)
% DB4
putvalue(dio, [0 0 0]);
pause(t)
putvalue(dio, [1 0 0]);
pause(t)
% DB5
putvalue(dio, [0 0 0]);
pause(t)
putvalue(dio, [1 0 0]);
pause(t)
% DB6
putvalue(dio, [0 0 0]);
pause(t)
putvalue(dio, [1 0 0]);
pause(t)
% DB7
putvalue(dio, [0 0 0]);
pause(t)
putvalue(dio, [1 0 0]);
pause(t)
% DB8
putvalue(dio, [0 1 0]);
pause(t)
```

```
putvalue(dio,[1 1 0]);
pause(t)
% DB9
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB10
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB11
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB12
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB13
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB14
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB15
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB16
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB17
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB18
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB19
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
```

```
% DB20
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB21
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB22
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB23
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB24
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB25
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB26
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB27
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB28
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB29
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB30
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB31
putvalue(dio,[0 0 0]);
```

```
pause(t)
putvalue(dio,[1 0 0]);
pause(t)

%Ultimo Dato
putvalue(dio,[0 0 1]);
pause(t)
putvalue(dio,[0 0 0]);

%% The Register 1: Device Setup
% DB0
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB1
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB2
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB3
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB4
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB5
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB6
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB7
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB8
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
    DB9
putvalue(dio,[0 0 0]);
```

```
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB10
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB11
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB12
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB13
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB14
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB15
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB16
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB17
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB18
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB19
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB20
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
```

```
pause(t)
% DB21
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB22
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB23
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB24
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB25
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB26
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB27
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB28
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
% DB29
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB30
putvalue(dio,[0 1 0]);
pause(t)
putvalue(dio,[1 1 0]);
pause(t)
% DB31
putvalue(dio,[0 0 0]);
pause(t)
putvalue(dio,[1 0 0]);
pause(t)
```

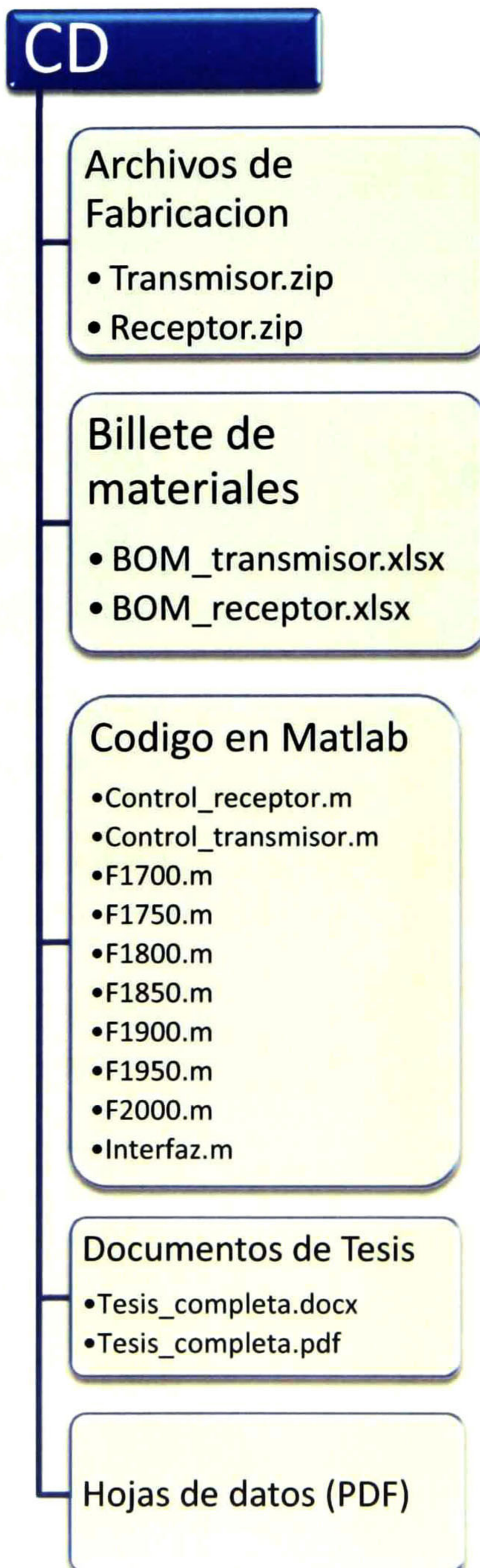


```
%Ultimo Dato  
putvalue(dio,[0 0 1]);  
pause(t)  
putvalue(dio,[0 0 0]);
```

# Contenido del CD

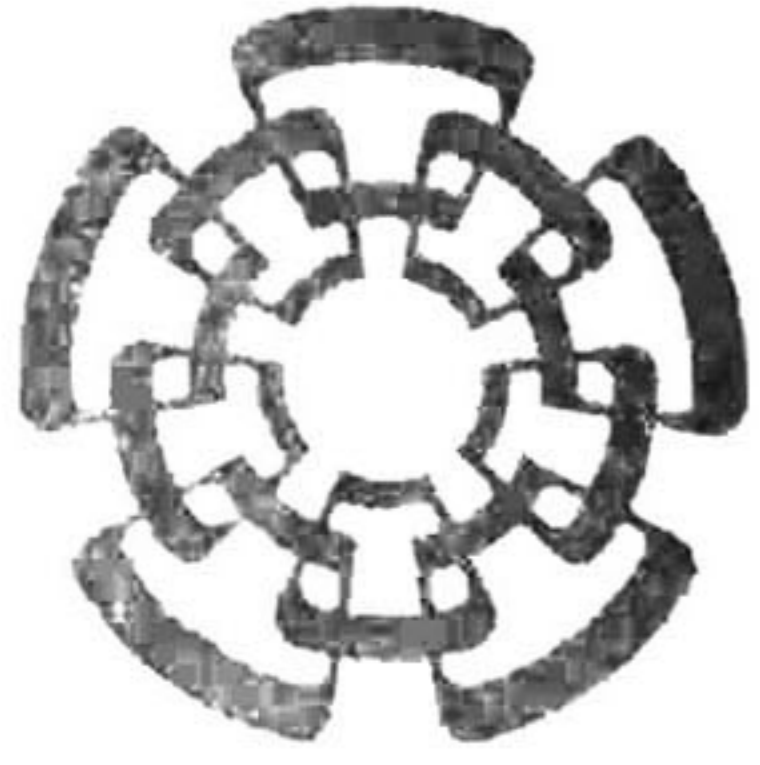
---

A continuación se enlistan el contenido del CD.



# Tabla de Acrónimos

Acrónimo	Descripción
A.E.	Analizador de espectros.
B.P.	Base de prueba.
CAD	Diseño asistido por computadora.
CNC	Control numérico por computadora.
$C_p$	Capacitancia parasita.
dB	Decibelio.
dBm	Decibelio referenciado a 1 miliwatt de potencia.
DUT	Dispositivo bajo prueba.
EMC	Compatibilidad electromagnética.
EMI	Interferencia electromagnética.
ESD	Descarga electrostática.
FA	Fuente de alimentación.
F.Q.	Factor de calidad.
FSK	Modulación por desplazamiento de frecuencia.
GHz	Gigahercio.
$G_p$	Conductancia parasita.
GSV	Generador de señales vectoriales.
KHz	Kilohercio.
LNA	Amplificador de bajo ruido.
$L_p$	Inductancia parasita.
MHz	Megahercio.
PA	Amplificador de potencia.
PCB	Placa de circuito impreso.
PLL	Lazo de seguimiento de fase.
PSK	Modulación por desplazamiento de fase.
PTH	Pin a través de un hoyo.
QAM	Modulación de amplitud en cuadratura.
RF	Radiofrecuencia.
$R_p$	Resistencia parasita.
SMT	Tecnología de montaje superficial.
Tan $\delta$	Tangente de pérdidas.
TP	Punto de prueba.
VCO	Oscilador controlado por voltaje.
VSWR	Razón de voltaje de onda estacionaria.
$\Gamma$	Coefficiente de reflexión.
$\epsilon_r$	Permitividad relativa.
$\theta$	Fase.
$\lambda$	Longitud de onda.
$\omega$	Frecuencia angular.



**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N.  
UNIDAD GUADALAJARA**

"2010, Año de la Patria, Bicentenario del Inicio de la Independencia  
y Centenario del Inicio de la Revolución"

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

Integración de un Sistema de Comunicación Inalámbrica en la Banda  
L para Aplicaciones de Comunicaciones Digitales

del (la) C.

Jorge Luis URBINA MARTINEZ

el día 14 de Septiembre de 2010.

Dr. Pablo Moreno Villalobos  
Investigador CINESTAV 3C  
CINESTAV Unidad Guadalajara

Dr. Federico Sandoval Ibarra  
Investigador CINESTAV 3B  
CINESTAV Unidad Guadalajara

Dr. Ramón Parra Michel  
Investigador CINESTAV 2C  
CINESTAV Unidad Guadalajara

Dr. José Raúl Loo Yau  
Investigador CINESTAV 2B  
CINESTAV Unidad Guadalajara



CINVESTAV - IPN  
Biblioteca Central



SSIT0009785