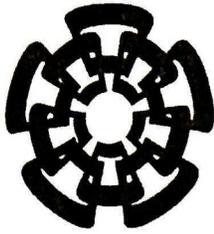


CT-734-SS1
Don. 2013

xx(209428.1)



Centro de Investigación y de Estudios Avanzados
del Instituto Politécnico Nacional
Unidad Guadalajara

DISEÑO DE UN MODULADOR SIGMA-DELTA HIBRIDO EN CONFIGURACION CASCADA CON MÚLTIPLES FRECUENCIAS DE MUESTREO PARA APLICACIONES 4G

Tesis que presenta:

Luis Ilich Vladimir Guerrero Linares

para obtener el grado de:

Doctor en Ciencias

en la especialidad de:

Ingeniería Eléctrica

Directores de Tesis

Dr. Federico Sandoval Ibarra
Dr. José Manuel De la Rosa Utrera

CINVESTAV del IPN Unidad Guadalajara, Guadalajara, Jalisco, Noviembre de 2012.

CINVESTAV
IPN
ADQUISICION
LIBROS

CLASIF.. CT 00638
ADQUIS.. CT-734-SS1
FECHA: 16-07-2013
PROCED.. Doni-2013

10-209081-2001

DISEÑO DE UN MODULADOR SIGMA-DELTA HIBRIDO EN CONFIGURACION CASCADA CON MÚLTIPLES FRECUENCIAS DE MUESTREO PARA APLICACIONES 4G

**Tesis de Doctorado en Ciencias
Ingeniería Eléctrica**

Por:

Luis Ilich Vladimir Guerrero Linares
Ingeniero en Comunicaciones y Electrónica
Universidad de Guadalajara 2008-2011

Becario de CONACYT, expediente no. 42090

Directores de Tesis
Dr. Federico Sandoval Ibarra
Dr. José Manuel De la Rosa Utrera

CINVESTAV del IPN Unidad Guadalajara, Noviembre de 2012.

Resumen

En este trabajo se presenta el diseño de un modulador $\Sigma\Delta$ híbrido con múltiples tasas de muestreo para aplicaciones de comunicaciones móviles de 4G. La implementación híbrida del modulador combina los beneficios de las dos técnicas de tiempo discreto y la de tiempo continuo donde la característica más notable de cada una de ellas es la linealidad y la velocidad de muestreo, respectivamente.

Las diferentes velocidades de muestreo, de cada una de las etapas, demanda el uso del procesamiento con múltiples tasas de muestreo a fin de obtener la señal resultante.

Durante el proceso de diseño, se sigue como estrategia conseguir una mínima excursión de voltaje en los nodos del sistema para conseguir dos beneficios: bajo consumo de potencia y reducidos requerimientos de linealidad en sus bloques constitutivos.

Además se presenta la construcción de un modulador $\Sigma\Delta$ de tiempo discreto de segundo orden usando un cuantizador multibit para aplicaciones biomédicas. Este modulador se implementa con circuitos de capacitores conmutados que en los últimos años ha demostrado ser una de las técnicas más robustas frente a los circuitos de corriente conmutada. La fabricación de circuito se realiza en tecnología CMOS/5V 0.5 μm .

Por último, se diseña un filtro digital de 3 orden IIR para el filtrado de modulador $\Sigma\Delta$ de tiempo discreto donde la fabricación también se realiza con tecnología CMOS/5V 0.5 μm .

Abstract

In this work, a multirate second order $\Sigma\Delta$ modulator design for 4G mobile communications applications is presented. The hybrid implementation combines the discrete-time and continuous-time benefits. The main advantage of discrete-time and continuous-time is the linearity and high sampling rate, respectively. Multirate processing is required by the different sampling frequencies in order to generate the output signal.

The design is based on an output swing reduction in all system nodes. This reduction implies low power consumption and minimal linearity requirements in the buildings blocks.

Also, a second order discrete-time $\Sigma\Delta$ modulator design for biomedical applications is presented, where a multibit quantizer is used. The discrete-time implementation for this design is the switched-capacitor circuits due to switched-capacitor present a reduced non-idealities impact compared with switched current circuits. The processes used for the fabrication is the CMOS/5V 0.5 μm

In addition, a 3rd order IIR digital filter is designed. The digital filter is used for discriminate high frequencies produced by the $\Sigma\Delta$ modulator oversampling frequencies. Again, the processes used for the fabrication is the CMOS/5V 0.5 μm . However, at redaction time of this document, the measuring results has can no been done.

Agradecimientos

Agradezco a todas las personas que me apoyaron para la realización de mi trabajo doctoral especialmente a mis asesores el Dr. Federico Sandoval Ibarra y al Dr. José Manuel de la Rosa por compartir conmigo sus conocimientos y experiencia.

A CONACYT y CETI por el apoyo económico brindado durante los 4 años sin el cuál no hubiese podido dedicarme a mis estudios de tiempo completo.

También agradezco al CNM-IMSE de Sevilla España por haberme permitido realizar mi estancia doctoral donde pude complementar mi formación.

CONTENIDO

Capítulo 1. Introducción	1
1.1. Antecedentes	1
1.1.1. Evolución hacia los sistemas 4G	2
1.1.2. Retos de los sistemas 4G.....	3
1.1.3. Receptores inalámbricos para sistemas 4G.....	4
1.1.4. Convertidores A/D $\Sigma\Delta$	5
1.1.5. Moduladores $\Sigma\Delta$: Estado del arte	8
1.2. Objetivos de esta investigación.....	11
1.3. Propuesta: Modulador híbrido $\Sigma\Delta$ con múltiple tasa de muestreo	11
1.4. Metodología.....	12
1.5. Organización del documento	13
1.6. Conclusiones.....	14
Capítulo 2. Fundamentos de ADCs $\Sigma\Delta$	15
2.1. Introducción	15
2.2. El ADC $\Sigma\Delta$	15
2.2.1. Convertidor $\Sigma\Delta$	16
2.2.2. Sobremuestreo	16
2.2.3. Conformado del ruido	19
2.2.4. Grados de libertad	21
2.2.5. Métricas de Desempeño.....	23
2.3. Conclusión.....	24
Capítulo 3. Diseño del modulador TD/TC de 2º orden	25
3.1. Introducción	25
3.2. Modulador TD de 2º orden	26
3.3. Selección de los coeficientes de diseño	27
3.4. Resultados de Simulación	30
3.5. Modulador de TC segundo orden.....	31
3.6. Corrección del exceso de retraso de lazo.....	34
3.7. Selección de los coeficientes de diseño.....	39
3.8. Resultados de Simulación.....	43
3.9. Conclusiones	43
Capítulo 4. Diseño del modulador híbrido con mono tasa de muestreo	47
4.1. Introducción	47
4.2. Modulador híbrido.....	47
4.2.1. Lógica Digital de Cancelación.....	49
4.3. Resultados de Simulación	49
4.4. Conclusiones	50
Capítulo 5. Diseño del modulador híbrido con múltiple tasa de muestreo	53
5.1. Introducción	53
5.2. Submuestreo	53

5.3. Sobremuestreo.....	57
5.4. Arquitectura del modulador híbrido con múltiple tasa de muestreo	58
5.5. Proceso de submuestreo-sobremuestreo	60
5.6. Resultados de simulación.....	65
5.7. Conclusiones	66
Capítulo 6. Modelado de las no idealidades del modulador híbrido.....	69
6.1. Introducción.....	69
6.2. Errores de los circuitos del TDESAM	70
6.2.1. Implementación del modulador de TD	70
6.2.2. <i>Jitter</i> del reloj.....	76
6.2.3. Ruido térmico y del amplificador operacional	77
6.2.4. No idealidades del amplificador operacional	81
6.3. Errores de los circuitos del TCΣAM.....	90
6.3.1. Implementación del modulador de TC.....	91
6.3.2. Ganancia finita.....	98
6.3.3. Ruido térmico y <i>flicker</i>	99
6.3.4. Distorsión.....	102
6.3.5. Excursión de salida finita.....	104
6.3.6. Distorsión debido a la ganancia y resistencia no lineales.....	104
6.3.7. <i>Jitter</i> del reloj.....	106
6.4. Conclusiones	109
Capítulo 7. Caso de estudio: Diseño y construcción de modulador TD de 2º orden en CMOS/5-V de 0.5- μm	111
7.1. Introducción	111
7.2. Flujo de diseño.....	112
7.3. Requerimientos.....	113
7.4. Implementación de la arquitectura	114
7.4.1. Alto nivel.....	122
7.4.2. Nivel medio.....	124
7.4.3. Bajo nivel.....	140
7.5. Medición y caracterización.....	143
7.6. Conclusiones	155
Capítulo 8. Conclusiones	157
8.1. Conclusiones del trabajo presentado.....	157
8.2. Direcciones para el trabajo futuro	158
APÉNDICE A. Estado del Arte.....	170
APÉNDICE B. Publicaciones.....	172
APÉNDICE C. Análisis del modulador de TC.....	173

GLOSARIO

A	Amplitud de la seña de entrada
A/D	Analógico a digital
ADC	Convertidor de señal analógica a digital
ADCEA	Convertidor $\Sigma\Delta$ de señal analógica a digital
BW	Ancho de banda
CDMA	Acceso múltiple por división de código
DAC	Convertidor de señal digital a analógica
DCL	Lógica digital de cancelación
DEM	Elemento dinámico de ajuste
DR	Rango dinámico
DSP	Procesador digital de señales
FAA	Filtro antialias
FE	Euler adelantada
F_N	Frecuencia de Nyquist
F_s	Frecuencia de muestreo
GBW	Producto ganancia ancho de banda
GSM	Sistema global para las comunicaciones
$H_{\Sigma\Delta M}$	Modulador $\Sigma\Delta$ híbrido
IBN	Ruido de cuantización dentro de la banda de interés
IC	Circuito integrado
LF	Filtro de lazo
NRZ	Sin regreso a cero
NTF	Función de transferencia del ruido

OSR	Relación de sobremuestreo
OSW	Excursión de salida
PDF	Función de densidad de probabilidad
Pi	Potencia de la señal de entrada
PSD	Densidad espectral de potencia
SC	Capacitores conmutados
SFDR	Relación de la señal libre de espurias
SNDR	Relación señal-a-ruido-más-distorsión
SNR	Relación señal a Ruido
SR	<i>Slew-rate</i>
STF	Función de transferencia de la señal
TCΣΔM	Modulador ΣΔ de tiempo continuo
TDΣΔM	Modulador ΣΔ de tiempo discreto
TC	Tiempo continuo
TD	Tiempo discreto
T _s	Periodo de muestreo
USTF	Función de transferencia unitaria de la señal
Δ	Paso entre niveles de cuantización
ΣΔM	Modulador ΣΔ

Intencionalmente en Blanco

Capítulo 1. Introducción

La creciente demanda de los usuarios para disfrutar de mayor cantidad de servicios en sus dispositivos de comunicación con menor costo, menor tamaño y menor consumo de potencia conducen al desarrollo de productos que satisfagan esas necesidades.

En este capítulo se exponen los retos asociados a las comunicaciones inalámbricas de la denominada cuarta generación, y al mismo tiempo se centra la atención en una de las piezas claves: los convertidores de señales analógicas a señales digitales (ADC). Se enuncian las ventajas que ofrecen los llamados moduladores sigma-delta híbridos ($\Sigma\Delta M$) para satisfacer los requerimientos de los ADCs orientados a esta nueva generación de comunicaciones inalámbricas. Finalmente, se presenta el objetivo y la organización de este trabajo orientados al diseño de un $\Sigma\Delta M$.

1.1. Antecedentes

DESDE la aparición del hombre la comunicación entre los seres humanos ha permitido la organización y el trabajo para un bien común. Hoy día el hombre, ser social por naturaleza, necesita comunicarse para obtener resultados satisfactorios tanto a nivel personal como profesional. Históricamente, los ingenieros en el área de las comunicaciones han trabajado arduamente para facilitar la comunicación y acortar la distancia entre los interlocutores. Una de las pautas más importantes fue realizada por G. Bell en 1876 con la invención del teléfono. Este desarrollo permitió por primera vez establecer una comunicación remota. Otra muestra de desarrollo fue la realizada por G. Marconi en 1896 con la invención de un medio masivo de comunicación: la radio. Desde entonces las comunicaciones han experimentado un desarrollo que hoy día llega a las llamadas comunicaciones inalámbricas y que satisfacen, en alto porcentaje, las necesidades del hombre. En la actualidad el desarrollo logrado

permite acceder a una gran variedad de servicios de comunicación y facilita la actividad del hombre tanto en lo laboral como en lo familiar. Sin embargo, si bien los sistemas de comunicación portátiles son muestra del desarrollo tecnológico y de los servicios que se ofrecen a los usuarios, también es verdad que esos desarrollos son insuficientes cuando los mismos usuarios demandan la integración de más servicios en un mismo dispositivo de comunicación personal. Esa demanda que suele enfrentarse con innovación, está acotada por las limitaciones de la propia tecnología.

1.1.1. Evolución hacia los sistemas 4G

El desarrollo de los sistemas electrónicos de comunicación masiva comenzó en la década de los ochentas, desarrollo que pudiera denominarse de primera generación (1G), donde los dispositivos móviles de comunicación procesaban las señales de forma analógica. Posteriormente los sistemas de comunicación inalámbrica, incluyendo procesamiento digital (o de segunda generación, 2G), como protocolos GSM y CDMA, aparecieron como alternativa en los noventas. Estos sistemas, que ofrecían un servicio de acuerdo a un estándar internacional, fueron diseñados para transmisión de voz y transferencia de datos con baja tasa de bits. La demanda natural de los usuarios condujo el desarrollo hacia los sistemas 3G, los que se caracterizan por proveer servicios con mayores tasas de transferencia de datos y mayores anchos de banda. La Fig. 1-1 muestra el desarrollo que ha experimentado la tecnología a la par de los más importantes estándares de comunicación [Gian07].

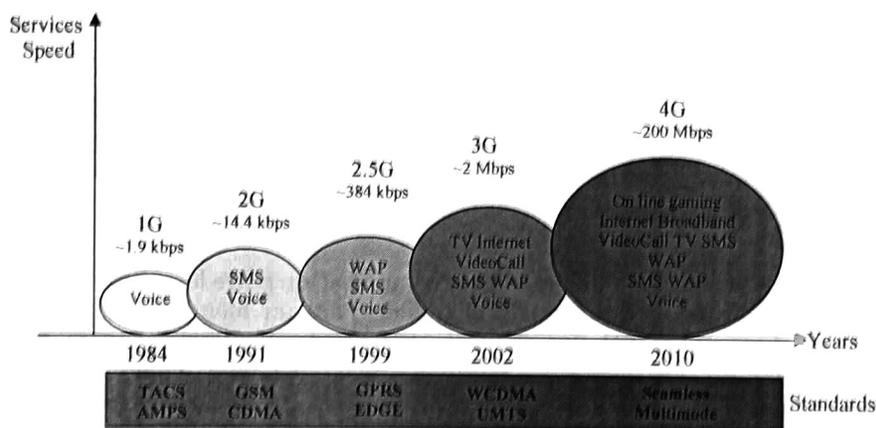


Fig. 1-1. Evolución de las aplicaciones y los estándares inalámbricos.

En la práctica, la demanda de un mayor ancho de banda y las mejoras logradas por la industria de los semiconductores, son los detonadores de un desarrollo que proveen esos servicios que demandan los consumidores, y que dan lugar a los sistemas emergentes de cuarta generación (4G).

Los sistemas 4G deben proveer de forma completa comunicación móvil basada en paquetes IP. Esta tecnología podrá ser usada en modems inalámbricos, *laptops*, *smartphones*, entre otros dispositivos móviles. Los servicios ofrecidos por estos sistemas incluyen acceso de Internet de banda ancha, telefonía IP, juegos en línea, así como alta calidad multimedia.

En el 2008, la Unión Internacional de Telecomunicaciones (ITU) estableció los requerimientos de los sistemas 4G, de los cuales los más destacados son:

- Conectividad de amplio ancho de banda y de múltiple banda. Esto significa que se requieren varias velocidades de transferencia, las cuales dependen de si el receptor inalámbrico se encuentra sin movimiento (modo estacionario) o en movimiento (modo dinámico). En modo estacionario, las velocidades son mayores a 1 Gbps, y en modo dinámico se requieren velocidades mayores a 100 Mbps. Para ambos modos, los anchos de banda requeridos se encuentran dentro de 5 MHz a 40 MHz.
- Alta conectividad. Las redes 4G están basadas en redes que permiten acceder a un servicio determinado en todo momento, en cualquier lugar y con cualquier dispositivo (redes heterogéneas). Ello implica desarrollar una arquitectura escalable y con capacidad para cubrir grandes áreas geográficas y adaptabilidad a varios ambientes electromagnéticos.
- Alta calidad multimedia. Las videoconferencias, por ejemplo, son una parte esencial en los receptores móviles. Los requerimientos clave son una alta autonomía y una alta calidad de video.
- Personalización de servicios. El futuro de los sistemas de comunicación estarán provistos de programabilidad para diseñar las características de comunicación de cada usuario.
- Alto ancho de banda. Los sistemas de 4G podrán contar con un ancho de banda de 5 a 20 MHz.

No solamente los servicios y la funcionalidad de estos sistemas de comunicación influyen en la decisión de compra del consumidor, también lo es el tamaño, el peso, y la carga útil de la batería. Por lo tanto, la clave de los dispositivos de comunicación 4G residirá en la cantidad de características soportadas con un mínimo consumo de potencia y bajo costo, así como también en la capacidad de los proveedores de servicio para diseñar servicios personalizados a sus usuarios.

1.1.2. Retos de los sistemas 4G

Los requerimientos para la comunicación inalámbrica imponen especificaciones a todo receptor móvil. Mientras que la transmisión digital de voz requiere alta movilidad con baja transferencia de datos, una video-llamada necesita dispositivos compatibles con altas transferencias de datos (hasta 100 Mbps). En contraste, las señales para monitorear, por ejemplo, el ritmo cardíaco en un paciente, demandan

tasas de muestreo tan bajas como 100 kbps, baja movilidad, alto ancho de banda, y bajo consumo de potencia.

La creciente demanda de las comunicaciones previas a 4G han dado pie a los principales retos de los sistemas de comunicación inalámbrica 4G (ver Fig. 1-2), como son su amplia gama de requisitos en cuanto a velocidad de transmisión, ancho de banda y movilidad se refiere, siempre con un mínimo consumo de potencia.

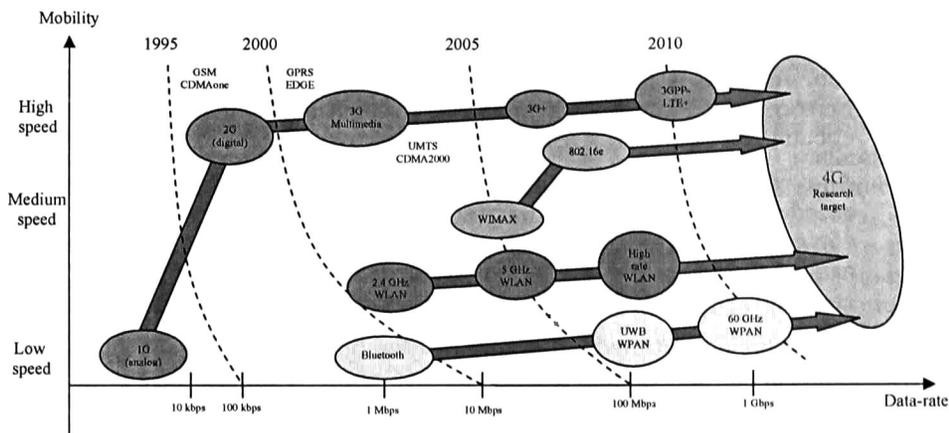


Fig. 1-2. Variedad de estándares inalámbricos como función de la movilidad y la tasa de transmisión de datos.

El desarrollo de las redes móviles para el *roaming* global y compatibilidad con múltiples estándares demanda un receptor robusto. Es decir, el desarrollo tiende a integrar más radios en un mismo receptor, lo que conlleva un desarrollo que opere bajo diferentes modulaciones, frecuencias portadoras y anchos de banda. Adicionalmente, el consumo de potencia es crítico para estos dispositivos; la necesidad de un alto desempeño siempre está en contraste con la carga útil de la batería. Por otro lado, el número de componentes en un receptor no debe impactar ni en el tamaño ni en el costo del producto final. En este contexto, la posibilidad de reducir el número de componentes en un receptor móvil, gracias a la integración de diferentes radios en un circuito integrado, es una opción que permite reducir costo mientras se mantiene la garantía de un óptimo consumo de potencia y desempeño.

1.1.3. Receptores inalámbricos para sistemas 4G

En una red que permita la reconfiguración y adaptabilidad (red heterogénea) no solamente la conexión es importante ya que los usuarios desean disfrutar múltiples servicios [Vando9]. Para usar tal variedad de servicios los receptores multimodales son esenciales así como su capacidad para adaptarse a diferentes redes inalámbricas reconfigurándose de manera autónoma. Esta característica permitirá

eliminar la necesidad de usar múltiples receptores y/o componentes de hardware. En otras palabras, la posibilidad de usar la integración de circuitos en silicio permite reducir significativamente el área de integración y desarrollar plataformas flexibles más robustas. Adicionalmente, el costo del producto puede ser reducido debido a la reutilización del *hardware*. Al contar con receptores multimodales se obtienen los siguientes beneficios:

- Reducción del número de componentes y costo de ensamble.
- Optimización del factor de forma: varios servicios son incluidos dentro de un receptor pequeño y más ligero.
- Reducción del tiempo de mercadotecnia: mediante el rediseño es posible incluir nuevos estándares de comunicación.

Para satisfacer los requerimientos que demandan hoy día los sistemas 4G e impulsado por la continua reducción de las dimensiones de circuitos integrados, se prefiere procesar las señales en el dominio digital, y reducir al mínimo los componentes de procesamiento analógico. El procesamiento digital no solo es simple, robusto, flexible y programable, sino que permite reducir los niveles de alimentación, lo que conlleva a reducir el consumo de potencia, y aun así conseguir velocidades de procesamiento aptas para aplicaciones 4G. Sin embargo, los requerimientos que se imponen a los circuitos que forman la interfase Analógica/Digital (A/D), constituyen un *cuello-de-botella* ya que la conversión del dominio analógico al dominio digital demanda alta velocidad y alta resolución, lo cual es difícil de obtener con la reducción en los voltajes de alimentación; resolver este problema es un reto para el diseñador porque su objetivo es realizar un diseño analógico con un rango dinámico aceptable.

Por lo anterior, en los sistemas 4G, un bloque fundamental para el procesamiento de las señales es el ADC, donde una opción favorable es aquella que realiza una modulación $\Sigma\Delta$. Un ADC basado en la modulación $\Sigma\Delta$ (ADC $\Sigma\Delta$), a diferencia de un ADC convencional, presenta baja sensibilidad a las imperfecciones de los circuitos, lo que evita incluir circuitos de corrección. El corazón del ADC $\Sigma\Delta$, es el modulador $\Sigma\Delta$ ($\Sigma\Delta M$), y es quien muestra baja sensibilidad a las no idealidades de la mayoría de los bloques que lo forman.

1.1.4. Convertidores A/D $\Sigma\Delta$

A pesar de que estos convertidores son adecuados para los sistemas de comunicación, es necesario proponer nuevas arquitecturas que permitan procesar señales analógicas con mayores anchos de banda, sin que se vea afectada la resolución, y permitir además el procesamiento demandante de los sistemas 4G. También es necesario que el ADC posea reconfigurabilidad para lograr la adaptación con otros estándares en los requerimientos del ancho de banda son menores.

Hasta hace unos años los ADC $\Sigma\Delta$ se han implementado para operar en tiempo discreto, con arquitecturas reconfigurables que permiten variar la frecuencia de

muestreo y desactivar etapas para reducir el consumo de potencia. Sin embargo, la creciente demanda de la tasa de conversión de las señales con grandes anchos de banda conduce al desarrollo de nuevas arquitecturas. La necesidad por desarrollar dichas arquitecturas es debida a las limitaciones del tiempo de establecimiento que se observan en implementaciones típicas de tiempo discreto; por lo tanto, en la práctica existe una restricción en la tasa de sobremuestreo y en el ancho de banda de la señal.

A mediados de los años 90s, el desarrollo de ADCΣΔ en tiempo continuo comenzó a ser popular. En estos moduladores el filtro de lazo es construido con circuitos de tiempo continuo, lo que permite que su implementación alcance muestreos del orden de GHz. Las desventajas de estos moduladores, por otro lado, son su alta sensibilidad a las no idealidades de los circuitos (como el *jitter* del reloj) y los requerimientos elevados de linealidad de los elementos que forman el filtro de lazo.

En el 2002 aparece una nueva propuesta de conversión que son los ADCΣΔ híbridos, con lo que se permite combinar las ventajas de la implementación de tiempo discreto y de tiempo continuo. Al combinar en una arquitectura ambas implementaciones se aprovechan las ventajas individuales de cada una. Un ADCΣΔ híbrido puede contar con un filtro antialias en su terminal de entrada y es posible reducir el consumo de potencia. Además, con el uso de un procesamiento de múltiples tasas de muestreo es posible alcanzar las velocidades de muestreo del orden de varios GHz con un mínimo consumo de potencia. Al mismo tiempo, con un ADCΣΔ en configuración cascada es posible desactivar cada una de esas etapas y adaptarlas a diferentes estándares de menor resolución pero con bajo consumo de potencia. Todas estas razones hacen que un ADCΣΔ híbrido sea la opción adecuada para los sistemas 4G.

En general, el eje central de este convertidor es un modulador ΣΔ y por ello los requerimientos de un ADCΣΔ recaen sobre el modulador, y son los siguientes:

Alta frecuencia de muestreo para producir una alta razón de sobremuestreo y con ello obtener un amplio ancho de banda para los estándares que demanden más esta característica.

Alta resolución para satisfacer las aplicaciones actuales y las del futuro cercano.

- Incluir reconfigurabilidad y lograr su adaptación a los diferentes estándares que requieran menores anchos de banda y mayores resoluciones con consumo de potencia mínimos.
- Prolongar la operación en los sistemas inalámbricos operados por baterías.

Es la implementación de ΣΔM quien determina la naturaleza discreta, continua o híbrida de un ADCΣΔ. Por lo tanto, las del los ΣΔM también están divididos en tres categorías: TD, TC e híbridos (TD/TC). Los tres tienen propiedades propias pero una elección fundamental determina el camino de diseño del modulador (z , s o una combinación) así como su implementación (capacitores conmutados o integradores de tiempo continuo). Los moduladores TD y TC son comparados brevemente en

[Cher99] y [Ortm05]. Las principales ventajas de los híbridos son expuestas en [Kulco8], [Kwano8].

Tabla 1-1. Principales características de los moduladores TDEAM.

Ventajas	Desventajas
<ul style="list-style-type: none"> • Requerimientos bajos de linealidad. • Reducida sensibilidad al <i>jitter</i> del reloj. • Proceso de integración independiente de la ganancia de los amplificadores. <p>Menor impacto a las no idealidades de la temporización (retraso del lazo de retroalimentación).</p>	<ul style="list-style-type: none"> • Baja frecuencia de operación impuesta por la conmutación • Requiere un filtro antialias a la entrada (mayor consumo de potencia) • Mayor impacto en los errores de muestreo • Se muestrea el ruido en el capacitor de entrada • Amplio acoplamiento del ruido digital • Requiere un preciso circuito de muestreo y retención

Tabla 1-2. Principales características de los TCEAM.

Ventajas	Desventajas
<ul style="list-style-type: none"> • Alta frecuencia de operación • Filtro antialias implícito a la entrada (Menor consumo de potencia) • Menor impacto en los errores de muestreo • No se muestrea el ruido en el capacitor de entrada • Reducido acoplamiento del ruido digital <p>No requiere un preciso circuito de muestreo y retención</p>	<ul style="list-style-type: none"> • Requerimientos altos de linealidad • Gran sensibilidad al <i>jitter</i> de los relojes <p>Proceso de integración dependiente de la ganancia de los amplificadores</p> <p>Mayor impacto a las no idealidades de la temporización (retraso del lazo de retroalimentación)</p>

Las principales ventajas y desventajas de los moduladores TD (TDEAM) se muestran en la Tabla 1-1, donde una de las más importantes ventajas son los bajos requerimientos de linealidad, lo que facilita su implementación, y una de la más importante desventaja es su baja frecuencia de operación – desde unos cuantos kHz hasta varios MHz [Kulco8]- lo que genera un pobre desempeño. Además, un modulador de esta naturaleza tiene un consumo de potencia superior porque requiere un filtro antialias [Ortm05].

Las principales ventajas y desventajas de los $\Sigma\Delta$ M de tiempo continuo (TCEAM) se muestran en la Tabla 1-2, donde una de las más importantes ventajas es su alta frecuencia de operación -hasta el rango de GHz con bajo consumo de potencia

[Vandog] - produciendo un elevado desempeño. Sin embargo una de sus mayores desventajas son sus altos requerimientos de linealidad [Silvo1].

1.1.5. Moduladores $\Sigma\Delta$: Estado del arte

Del estado del arte, que se muestra en el Apéndice A, se aprecian las tendencias de los $\Sigma\Delta$ M (ver Tabla A-1) las cuales se muestran resumidas de las Fig. 1-3 a Fig. 1-6. De las Fig. 1-3 y Fig. 1-4 se puede ver la resolución (DR) contra la frecuencia de muestreo (F_s) tanto para implementaciones de tiempo discreto (TD) como de tiempo continuo (TC). Obsérvese que las implementaciones de TD presentan altas resoluciones pero a costa de trabajar con frecuencias de muestreo reducidas. En cambio los de TC producen menores resoluciones pero con frecuencias de muestreo superiores.

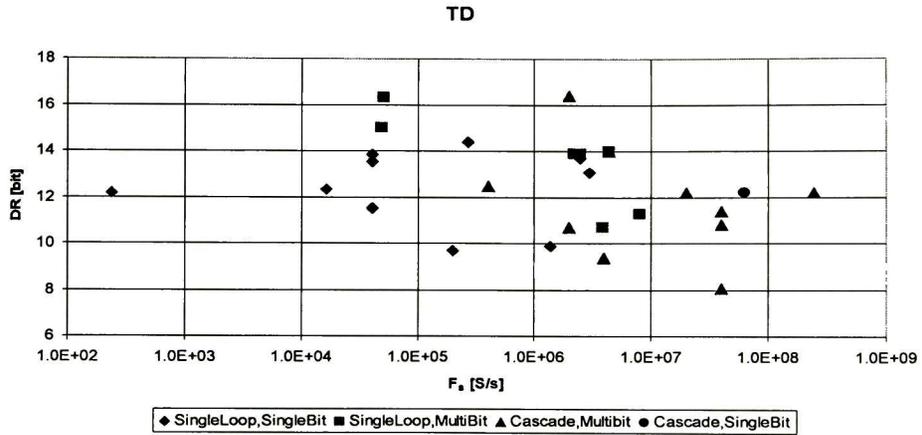


Fig. 1-3. Rango dinámico contra la frecuencia de muestreo de los $\Sigma\Delta$ M de TD.

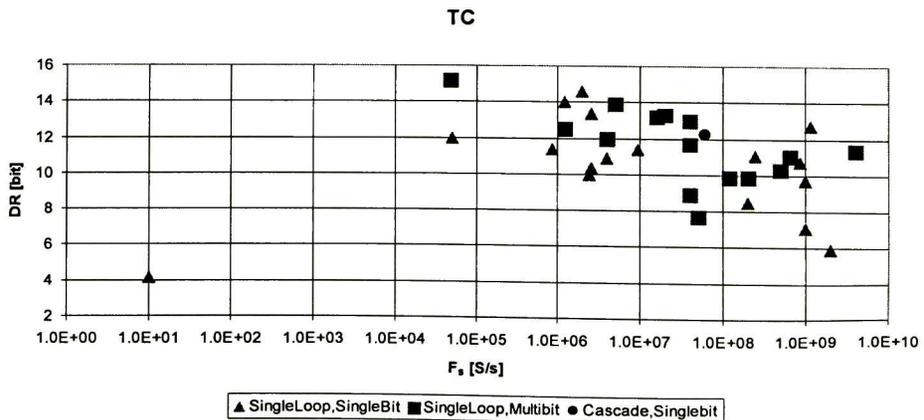


Fig. 1-4. Rango dinámico contra la frecuencia de muestreo de los $\Sigma\Delta$ M de TC.

De este análisis resulta evidente que al combinar ambas implementaciones se permite alcanzar frecuencias de operación altas sin afectar la resolución. Las implementaciones híbridas reportadas, sin embargo, se limitan a frecuencias de operación bajas (ver Fig. 1-7) porque aunque el $\Sigma\Delta$ de TC puede operar con velocidades mayores, se han reportado moduladores cuyo límite de velocidad es impuesto por el desempeño del $\Sigma\Delta$ de TD. Por otro lado, el consumo de estos diseños híbridos son bajos dada la baja velocidad de operación como se ilustra en la Fig. 1-8.

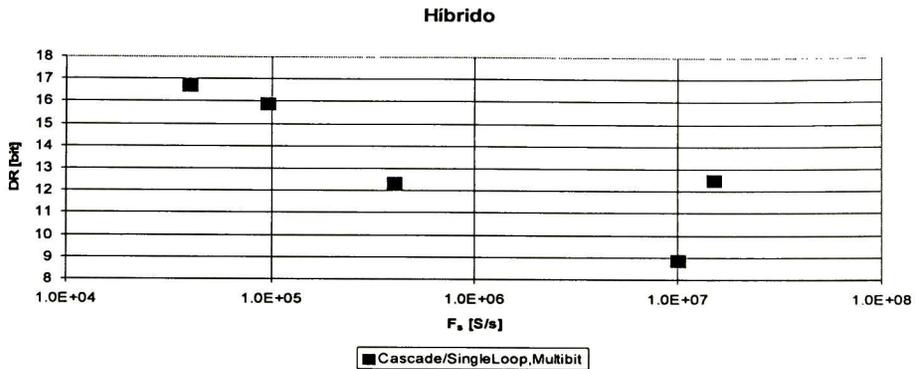


Fig. 1-7. Rango dinámico contra la frecuencia de muestreo de los $\Sigma\Delta$ M híbridos.

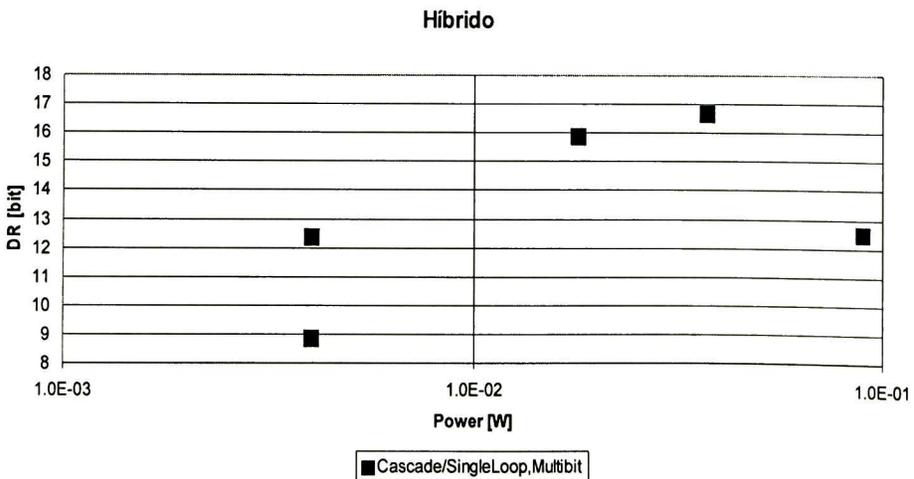


Fig. 1-8. Rango dinámico contra el consumo de potencia de los $\Sigma\Delta$ M híbridos.

Puede concluirse que los moduladores híbridos son la nueva tendencia para los sistemas de comunicación 4G por su eficiencia en consumo de potencia, alta resolución y su extenso rango de frecuencias de operación.

Pero además, al tratarse de una alternativa de diseño en desarrollo, es posible realizar contribuciones al estado del arte como los procesamientos con múltiples

tasas de muestreo, con lo cual se aprovechan las capacidades de ambas implementaciones.

1.2. Objetivos de esta investigación

Para enfrentar las demandas de los sistemas 4G el objetivo general del este trabajo doctoral está enfocado al diseño de un $\Sigma\Delta$ híbrido comportamental de alto nivel para satisfacer los requerimientos de las aplicaciones 4G.

En el diseño de alto nivel se contemplan dos principales cuestiones, una es la exploración del espacio de estados para encontrar la mejor arquitectura capaz de satisfacer completamente los requerimientos de la aplicación. La segunda cuestión es la determinación de los requerimientos de cada uno de los componentes del modulador.

Adicionalmente y como caso de estudio se incluye el diseño de un modulador $\Sigma\Delta$ de segundo orden de tiempo discreto con un cuantizador de 5 niveles de cuantización con tecnología CMOS 0.5 $\mu\text{m}/5$ V para validar la segunda etapa del modulador híbrido diseñado previamente, así como también, se fabrica un filtro digital IIR de tercer orden para completar el procesamiento digital del modulador diseñado.

Los requerimientos para el modulador son: bajo consumo de potencia, reconfigurabilidad (varias frecuencias de muestreo, varias resoluciones y varios anchos de banda) orientados a los estándares de comunicación mostrados en la Tabla 1-3 para satisfacer los siguientes puntos:

- Frecuencias de muestreo de 320 MHz con una resolución de al menos 12/14 bits con anchos de banda de 1.92 MHz/200 kHz para aplicaciones UMTS/GSM y con reducido consumo de potencia.

Frecuencias de muestreo de 320 MHz para anchos de banda de 10 MHz con resoluciones de al menos 10 bits y bajo consumo de potencia para aplicaciones WLAN.

Por otro lado, al emplear el procesamiento de señales con múltiples tasas de muestreo, se pretende alcanzar altos anchos de banda con una resolución de hasta 10 bits para las aplicaciones futuras de 4G [ITU08]:

- Frecuencias de muestreo de hasta 0.96 GHz para anchos de banda de 20 MHz con resoluciones de al menos 10 bits y bajo consumo de potencia.

1.3. Propuesta: Modulador híbrido $\Sigma\Delta$ con múltiple tasa de muestreo

Para alcanzar los objetivos de este trabajo se propone un H $\Sigma\Delta$ el cual se basa en una arquitectura cascada (o MASH) como se muestra en la Fig. 1-9, donde cada modulador es de 2° orden para producir un modulador de 4° orden.

Cada modulador cuenta con un cuantizador de múltiples bits, sin embargo, dada la naturaleza de la cascada, el error de cuantización a la salida es el error de

cuantización de la última etapa, por lo que el cuantizador de esta etapa deberá ser el de mayor resolución. Con la múltiple tasa de muestreo, por otro lado, es posible extender el rango de operación de la frecuencia; el TCΣΔM operará con una frecuencia de muestreo máxima de $F_{s1} \leq 960$ MHz, y el de tiempo discreto con una frecuencia de muestreo máxima de $F_{s2} \leq 320$ MHz.

Finalmente, los ΣΔM cascada presentan mejor desempeño que los ΣΔM de lazo simple debido a su estabilidad. Conforme el orden del filtro aumenta, también lo es el riesgo de que ocurra la inestabilidad. Los ΣΔM cascada, por un lado, permiten aumentar el orden total del filtro sin el riesgo de la inestabilidad, y ello permite incrementar el orden del ΣΔMs. Sin embargo, esta propuesta de diseño requiere una unidad Lógica Digital de Cancelación (DCL) para adecuar las diferentes salidas. La salida de modulador en cascada consta de la señal y del ruido, donde éste es el debido al conformado de la última etapa [Fog101].

Otra ventaja de la propuesta de diseño es que permite la reconfigurabilidad al permitir desactivar alguna de las etapas mediante una señal (PD) para aplicaciones menos demandantes (en cuanto a resolución y ancho de banda se refiere) y lograr con ello un menor consumo de potencia.

1.4. Metodología

Para alcanzar las metas se procederá según el siguiente flujo de diseño. Mediante herramientas de diseño de alto nivel se definirá la arquitectura y se asegurará que sean satisfechos los requerimientos y los consumos de potencia usando para ello un análisis paramétrico.

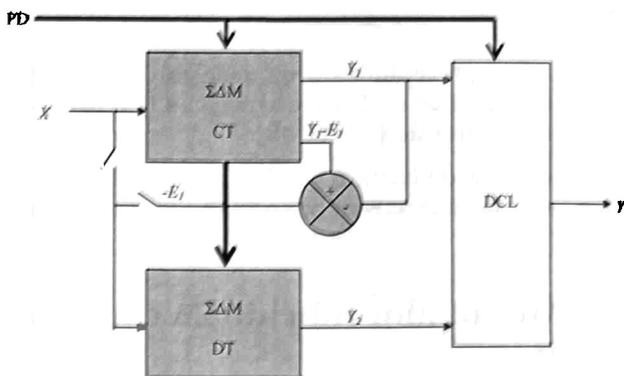


Fig. 1-9. Diagrama a bloques propuesta para el modulador ΣΔ híbrido.

Tabla 1-3. Especificaciones de los estándares de comunicación.

Especificación	GSM	UMTS	WLAN
BW IQ	200 kHz (*)	1.92 MHz	10 MHz
SNDR mínimo	14 bit = 86 dB	12 bit = 74 dB	9 bit = 56 dB

SNDR diseño a nivel sistema	15 bit = 92 dB	13 bit = 80 dB	11 bit = 68 dB
SNDR estado del arte	14 bit = 86 dB	12.5 bit = 77 dB	10.5 bit = 65 dB
Consumo de potencia	mínimo	mínimo	mínimo

(*) Para GSM, un ancho de banda bajo de LF es seleccionado para tratar con el ruido flicker.

La esencia detrás de la reducción del consumo de potencia, reside en minimizar las oscilaciones de tensión en los nodos de interconexión entre los amplificadores/integradores. Además de reducir el consumo de potencia, la reducción de las oscilaciones relajarán los requerimientos de linealidad de los amplificadores/integradores.

Con el uso de herramientas de alto nivel, que incluyan los efectos de las no idealidades de los componentes, se verificarán los resultados del modulador y se tomarán acciones de corrección a alto nivel, con lo cual se establecerán los requerimientos de los componentes a nivel transistor para construir el modulador.

Para el caso de estudio se emplea la herramienta de diseño eléctrico SPICE para realizar el modelado del modulador mediante macromodelado. Se incluirán los efectos de las no idealidades y se realizará, si es necesario, las correcciones adecuadas para lograr el desempeño deseado. Posteriormente se diseñarán los componentes del modulador, a nivel transistor, en tecnología CMOS 0.5 μm /5 V. Finalizada la simulación a nivel transistor se procederá con el diseño a nivel *layout*.

Las herramientas de alto nivel para el diseño es MATLAB/SIMULINK, versión 2007. La construcción de esquemáticos y la simulación a nivel transistor requiere de S-Schematic/T-Spice, versión 13, y del kit de diseño CMOS 0.5 μm . Para el diseño a nivel *Layout* se usará L-Edit.

1.5. Organización del documento

En el capítulo 2 se presentan los fundamentos de los ADC $\Sigma\Delta$ así como de los moduladores $\Sigma\Delta$. Se presentan los principios de operación así como de las métricas de desempeño. El capítulo 3 muestra el diseño de los moduladores de segundo orden que componen al modulador híbrido, tanto del *back-end* como del *front-end*. El modulador del *front-end* es el modulador de tiempo continuo el cual es diseñado a partir del modulador de tiempo discreto es decir, del modulador de *back-end*. Los coeficientes de ambos moduladores son elegidos para cumplir con uno de los objetivos el cual es la reducción del consumo de potencia. El capítulo 4 centra la atención sobre el diseño del modulador híbrido con una única frecuencia de muestreo. Es presentada el diseño de la lógica de cancelación necesaria para obtener el resultado equivalente de un modulador de 4^{to} orden. En el capítulo 5 se presenta el diseño del modulador híbrido con múltiples tasas de muestreo. Los principios de este procesamiento son también expuestos en este capítulo a fin de determinar la lógica de cancelación y obtener el resultado correspondiente a un modulador de 4^{to} orden. El capítulo 6 muestra los circuitos del modulador híbrido

así como de las no idealidades que acompañan a los mismos y de esta forma incluir en el modelado tales no idealidades. Gracias a la incorporación de las no idealidades en el modelado del modulador es posible conocer el impacto de la degradación del desempeño del modulador. El capítulo 7 muestra un caso de estudio del modulador de tiempo discreto del modulador híbrido en tecnología CMOS de $0.5 \mu\text{m}/5\text{V}$. Cada una de las etapas del modulador son abordados en este capítulo así como del proceso de diseño. Las conclusiones de este trabajo y las direcciones del trabajo futuro son expuestas en el capítulo 8.

1.6. Conclusiones

En este capítulo se presentaron los retos de las comunicaciones móviles y portables así como la tendencia hacia una nueva generación de comunicaciones, la cuarta generación. Se destaca la necesidad de contar con mayores y mejores servicios que las generaciones anteriores. Entre los requerimientos de los sistemas 4G dados por la ITU-R se destacan la alta transferencia de datos (mayores a 100 Mbps y hasta 1 Gbps) con amplios anchos de banda que van desde 5 MHz hasta los 40 MHz. Estos requerimientos influyen a todo el sistema de comunicación, tales como los proveedores de servicio así como los fabricantes de los receptores. En los receptores de comunicación una pieza clave para satisfacer los requerimientos de los sistemas de 4G es el ADC, sin embargo no cualquier tipo de ADC puede satisfacer las demandas de los usuarios, ya que además los usuarios desean que sea de bajo costo, dimensiones pequeñas y que aumente la carga útil de la batería. Es por ello que el ADC, de los llamados $\Sigma\Delta$, forman una alternativa viable para los receptores de comunicación al mismo tiempo que permiten la reconfiguración para ofrecer a los usuarios la posibilidad de adaptarse a varios estándares de comunicación, y gozar de múltiples servicios como Internet de alta velocidad, video-llamadas, juegos en línea, mensajes multimedia, transferencia de archivos, entre otras. El núcleo de los ADC $\Sigma\Delta$ es el modulador sigma delta, por lo tanto, los requerimientos del ADC recaen sobre el modulador. A través del estado del arte se aprecian las tendencias de los moduladores $\Sigma\Delta$ con lo cual se conduce a proponer una arquitectura innovadora, la arquitectura de tipo híbrida, con lo que se cuentan con los beneficios de los dos tipos de procesamiento, el de tiempo discreto y el de tiempo continuo. Una de las principales ventajas de esta propuesta es la posibilidad de aumentar la frecuencia de muestreo y atenuar en un 50% los efectos no ideales. Finalmente se exponen las metas de este trabajo, las cuales consisten en formar un modulador híbrido reconfigurable para los estándares UMTS, GSM y WLAN así como también como una aplicación de alto desempeño para las futuras aplicaciones de 4G y que se encuentran ya contempladas dentro del IMT-Advanced emitido por ITU-R.

Capítulo 2. Fundamentos de ADCs $\Sigma\Delta$

En este capítulo se describen los principios de operación y las métricas de desempeño de un ADC $\Sigma\Delta$. Se hace énfasis en este esquema de modulación por ser el núcleo de un ADC $\Sigma\Delta$, y por lo mismo se enuncian los componentes de estos moduladores así como su impacto en el desempeño del ADC.

2.1. Introducción

LA DIGITALIZACION es un fundamento de la banda base analógica, y por ende lo es del ADC $\Sigma\Delta$. Este convertidor ofrece adecuado balance entre precisión, velocidad y consumo de potencia. Estas propiedades permiten satisfacer los requerimientos de los sistemas inalámbricos actuales, los que incluyen el continuo incremento en la velocidad del procesamiento digital con alta tasa de datos. Otros requerimientos, como mayor ancho de banda, aumento del rango dinámico, y eficiencia en el consumo de potencia son satisfechos por los ADC $\Sigma\Delta$ gracias a los continuos avances de la tecnología CMOS. Esta característica pudiera explicar la tendencia reportada en la literatura y que refiere que el ADC $\Sigma\Delta$ está ganando popularidad. Del punto de vista del procesamiento de señales, puede decirse que un ADC $\Sigma\Delta$ intercambia requerimientos analógicos por complejidad digital, y considerando que las tecnologías de fabricación son mayoritariamente digitales ello explica por qué el procesamiento se realiza en este dominio.

2.2. El ADC $\Sigma\Delta$

Del punto de vista de un sistema un ADC $\Sigma\Delta$ es un conjunto de bloques que ejecutan dos funciones. La primera es convertir una señal analógica a una representación digital en instantes definidos de tiempo. La segunda está asociada a las

propiedades de filtrado, lo que contribuye en la selección del canal (*front-end*) del receptor. Al combinar estas dos funciones, que son realizadas simultáneamente, permite que los ADC $\Sigma\Delta$ optimicen el consumo de potencia

2.2.1. Convertidor $\Sigma\Delta$

Un ADC $\Sigma\Delta$ consta de un ADC de baja resolución (puede ser un convertidor de un simple bit) operando a alta velocidad (mucho mayor que la frecuencia de Nyquist) y colocado en un lazo de retroalimentación. La configuración de la retroalimentación es elegida de tal manera que el ruido de cuantización, producido por la baja resolución del ADC, sea conformado y removido fuera de la banda de interés. Los resultados de esta configuración producen una alta resolución, es decir, una alta relación señal-a-ruido (SNR) para la señal dentro de un ancho de banda finito. La definición anterior es fácilmente explicada usando la ilustración de una arquitectura básica del $\Sigma\Delta$ M (ver Fig. 2-1). La arquitectura consta de un filtro de lazo $H(F)$, un cuantizador de resolución (B bits) baja y de un DAC de retroalimentación de igual resolución que el cuantizador. Linealizando el cuantizador, es posible modelarlo como un bloque de ganancia k_g y un término adicional que represente una fuente de ruido blanco, $e(n)$ como se ve en la Fig. 2-1b) La alta resolución obtenida de esta representación está basada tanto en la aplicación del sobremuestreo como con el conformado del ruido.

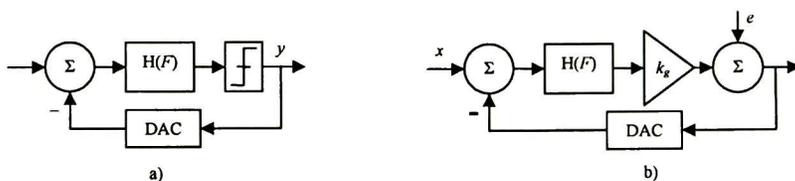


Fig. 2-1. a) Arquitectura general de un modulador $\Sigma\Delta$, b) linealización del cuantizador.

Cuando el filtro de lazo es un integrador, la operación puede ser presentada como sigue. La diferencia entre la entrada y la señal de retroalimentación es integrada. Esta diferencia ($=\Delta$) es sumada con el valor integrado ($=\Sigma$) del ciclo previo. Este valor es cuantizado y enviado por el lazo de retroalimentación para realizar otra comparación. De este proceso se espera que la señal retroalimentada *siga* a la señal de entrada de manera que la diferencia sea mínima. Al igual que cualquier otro sistema retroalimentado, si los requerimientos de los bloques constitutivos son relajados, hará que este tipo de convertidor sea más robusto que los ADC tipo Nyquist, los cuales son muy sensibles a las no idealidades del circuito y al *mismatch* de las variaciones del proceso.

2.2.2. Sobremuestreo

Para entender el beneficio del sobremuestreo, el desempeño en términos de la SNR es comparada con un ADC convencional de Nyquist.

2.2.2.1. Dcsempño de un ADC de tipo Nyquist

En estos convertidores, se muestrea la señal a una frecuencia F_s , y el ancho de banda (BW) de la señal es limitada al 50% de la frecuencia de muestreo. En caso de que la condición sea violada, el fenómeno de *alias* ocurre para las componentes de mayor frecuencia y caen dentro de la banda de interés, lo que produce una distorsión en la señal. Para evitarlo, típicamente un filtro *antialias* es colocado antes del muestreador; de esta forma las señales fuera de la banda son *removidas*. Entonces, el muestreador toma las muestras de la señal de entrada en T_s intervalos discretos de tiempo. Luego, esta información es cuantizada y convertida a una señal digital. Este proceso de cuantización, por otro lado, induce un error debido a la discretización de un rango de amplitud continuo. Este error, llamado ruido de cuantización, depende del número de niveles del cuantizador. El tamaño de paso Δ entre dos niveles es definido como

$$\Delta = \frac{x_{max} - x_{min}}{2^B - 1} = \frac{X_{FS}}{2^B - 1} \quad (2.1)$$

siendo X_{FS} la máxima excursión del cuantizador y B el número de bits. La relación entre la entrada y salida del cuantizador, para una muestra en el tiempo n , puede ser definida como sigue

$$y(n) = k_g x(n) + e(n) \quad (2.2)$$

donde $e(n)$ está limitado en el rango de $-\Delta/2$ a $\Delta/2$. Debido a que existen diferencia entre los diferentes rangos de amplitud para la señal de entrada y salida se ha introducido el factor k_g .

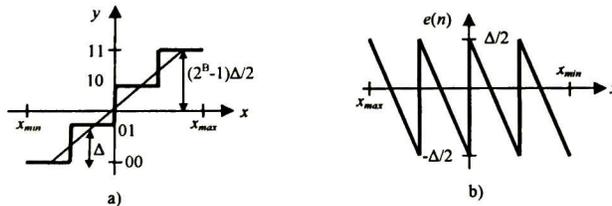


Fig. 2-2. Proceso de cuantización. a) Función de transferencia, b) error de cuantización.

El proceso de cuantización es mostrado en la Fig. 2-2. El error de cuantización $e(n)$ está determinado por la señal de entrada. Sin embargo, si no existe correlación entre las muestras subsiguientes, ni entre el error de diferentes muestras [Norw96], este error puede ser considerado como una señal aleatoria con una densidad uniforme de probabilidad en el intervalo $[-\Delta/2, \Delta/2]$ y puede asumirse como ruido blanco (ver Fig. 2-3).

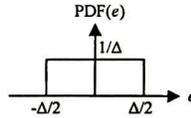


Fig. 2-3. Función uniforme del ruido de cuantización.

El desempeño de un ADC tipo Nyquist se estima al calcular la potencia total del ruido de cuantización, N_Q :

$$N_Q = e_q^2 = \int_{-\infty}^{\infty} e^2 \text{PDF}(e) de = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (2.3)$$

Dado que con la operación de muestreo la potencia total del ruido está distribuido uniformemente en la banda de la señal $[-F_s/2, F_s/2]$, su valor es igual a la potencia del ruido de cuantización dentro de la banda.

La potencia de la señal sinusoidal (S) con una amplitud máxima $X_{FS}/2$ y frecuencia $F_o = 1/T_o$ es definida como

$$S = \frac{1}{T_o} \int_0^{T_o} \frac{X_{FS}^2}{4} \sin^2(2\pi F_o t) dt = \frac{X_{FS}^2}{8} = \frac{(\Delta 2^B)^2}{8} \quad (2.4)$$

De (2.3) y (2.4), la SNR puede ser calculada y convertida a dB:

$$\text{SNR}_{\text{dB}} = 6.02B + 1.76 \quad (2.5)$$

2.2.2.2. Desempeño de un ADC con sobremuestreo

Esta característica es definida como el muestreo a una frecuencia mucho mayor que la frecuencia de Nyquist (F_N). La relación de sobremuestreo se define como

$$\text{OSR} = \frac{F_s}{F_N} = \frac{F_s}{2\text{BW}} \quad (2.6)$$

donde $\text{BW} = F_N/2$. Comparando este tipo de ADC con un ADC con tasa de Nyquist, los requerimientos del filtro antialias que resultan son más relajados, sin embargo debe contar con velocidades de muestreo más altas. Adicionalmente, un decimador es requerido en el dominio digital para obtener de nueva cuenta la tasa de Nyquist. El efecto del sobremuestreo en la densidad espectral de potencia (PSD) del ruido de cuantización se ilustra en la Fig. 2-4. Obsérvese que la potencia total del ruido de cuantización es la misma pero distribuida sobre una banda más amplia.

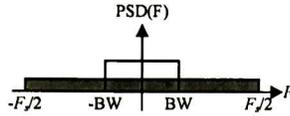


Fig. 2-4. El ruido de cuantización esparcido sobre una banda más grande para minimizar la parte dentro de la banda.

Por otro lado, la potencia del ruido de cuantización, dentro de la banda (IBN), es reducida por un factor igual a la relación de sobremuestreo:

$$IBN = \frac{\Delta^2}{12OSR} \quad (2.7)$$

o equivalentemente en dB:

$$SNR_{dB} = 6.02B + 1.76 + 10\log(OSR) \quad (2.8)$$

2.2.3. Conformado del ruido

La principal ventaja de los ADC $\Sigma\Delta$ es que permite obtener una mayor SNR, que en los ADC con sobremuestreo, porque atenúa el ruido de cuantización con un filtro (NTF) dentro de la banda de interés.

2.2.3.1. Concepto de STF y de NTF

Cuando un ADC de sobremuestreo es colocado al frente de un lazo de retroalimentación (ver Fig. 2-1) es posible conformar el ruido de cuantización de manera que en la porción de la banda, el ruido de cuantización se reduzca, mejorando con ello la SNR. Luego, remplazando el cuantizador por su modelo lineal, las funciones de transferencia del sistema descrito pueden ser obtenidas. En la práctica estas funciones son de interés porque dan cuenta del conformado del ruido, por ejemplo la función de transferencia del ruido (NTF) describe el efecto de esa no idealidad en toda la trayectoria de procesamiento, a saber, desde la entrada hasta la salida. Mientras que la función de transferencia de la señal es referida como la función de transferencia de la señal (STF). De esta forma, la respuesta del modulador contiene dos componentes, la debida a la señal de entrada y la que corresponde a la contribución del error de cuantización:

$$Y(F) = STF(F)X(F) + NTF(F)E(F) \quad (2.9)$$

Considerando el circuito mostrado en la Fig. 2-1 puede verificarse que las funciones descritas están dadas por

$$STF(F) = \frac{k_g H(F)}{1 + k_g H(F) H_{DAC}(F)} \quad (2.10)$$

$$\text{NTF}(F) = \frac{1}{1 + k_g H(F) H_{\text{DAC}}(F)} \quad (2.11)$$

Cuando la ganancia del lazo es alta (lo cual ocurre dentro de la banda de la señal) y asumiendo un DAC con respuesta ideal ($H_{\text{DAC}}=1$), esas funciones de transferencia se simplifican como

$$\text{STF}(F) = 1 \quad (2.12)$$

$$\text{NTF}(F) = \frac{1}{k_g H(F)} \ll 1 \quad (2.13)$$

Estos resultados significan que la señal es transmitida sin atenuación hasta la salida, y que el error de cuantización es minimizado porque es inversamente proporcional a $H(F)$. Estas características pueden obtenerse al escoger el filtro lo más simple posible, por ejemplo un integrador (ver Fig. 2-5).

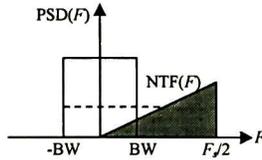


Fig. 2-5. Conformado del ruido.

Hasta ahora, las características de un ADC $\Sigma\Delta$ se toman del $\Sigma\Delta\text{M}$ por lo que los requerimientos del ADC serán trasladados al modulador de aquí en adelante.

2.2.3.2. Desempeño de un modulador $\Sigma\Delta$

En general, se asume que la NTF es un filtro pasa altas de orden L formado por una cadena ideal de integradores. Asumiendo por ahora integradores en tiempo discreto se tiene que

$$H(z) = \left(\frac{z^{-1}}{1 - z^{-1}} \right)^L \quad (2.14)$$

Luego, el ruido de cuantización dentro de la banda con un ADC de sobremuestreo, con un filtro de lazo de orden L , y con un cuantizador de B bits, está dado por

$$\text{INB} = \frac{\Delta^2}{12} \frac{\pi^{2L}}{2L+1} \left(\frac{1}{\text{OSR}} \right)^{2L+1} \quad (2.15)$$

Adicionalmente, la potencia de la señal, tomada a la salida del cuantizador, es calculada como

$$S = \frac{(2^B - 1)^2 \Delta^2}{2 \cdot 4} \quad (2.16)$$

Con estas aproximaciones es posible estimar el desempeño en términos de la SNR:

$$\text{SNR}_{\text{dB}} \approx 6.02B + 1.76 + 10 \log\left(\frac{2L+1}{\pi^{2L}}\right) + (2L+1)10 \log(\text{OSR}) \quad (2.17)$$

2.2.4. Grados de libertad

De (2.17) se puede concluir que el desempeño de un $\Sigma\Delta\text{M}$, ideal, es determinado por tres grados de libertad (o variables bajo el control del diseñador): razón de sobremuestreo, orden del filtro y el número de bits del cuantizador. La frecuencia de sobremuestreo, orden y tipo de filtro, así como el número de bits de cuantización son necesarios para definir -a nivel sistema- la arquitectura del $\Sigma\Delta\text{M}$. Sin embargo, cuando se considera el efecto de las no idealidades, varias restricciones limitan la elección del diseño, como en breve se discutirá.

2.2.4.1. Relación de Sobremuestreo

Incrementando la OSR por un factor de dos, aumenta la SNR a una razón $(2L+1)$ veces, o equivalentemente 3 dB. Sin embargo, como resultado de este incremento se requieren altas velocidades de muestreo, lo que implica no solo que los circuitos deben operar más rápidamente, sino que el ancho de banda de los integradores debe incrementarse y tanto el cuantizador como el DAC deben operar más rápido. En la práctica si bien es cierto que se puede ver el beneficio del escalamiento de la tecnología en la satisfacción de las características de operación mencionadas, también lo es que el consumo de potencia limita el máximo valor de la OSR. Adicionalmente, el modulador será más sensible al *jitter* del reloj debido a que presenta un periodo de tiempo más pequeño. Claramente se observa la existencia del compromiso entre el ruido de cuantización y las cuestiones de velocidad propias del sobremuestreo.

2.2.4.2. Orden del filtro de lazo

Un orden superior para el filtro trae consigo una mejor conformado del ruido porque el efecto del sobremuestreo será más pronunciado. Sin embargo, ordenes superiores provocan inestabilidad; problema típico en sistemas retroalimentados. Esto puede ser entendido si se observa que cada integrador produce un desfase de 90° . Asimismo, un conformado de ruido menos agresivo es obtenido si se introducen coeficientes del filtro ($a_i < 1$) antes de cada uno de los integradores e introduciendo, por ejemplo, rutas de retroalimentación desde la

salida del cuantizador hasta los nodos intermedios. Un ejemplo de un filtro de lazo de tercer orden es mostrado en la Fig. 2-6, cuyo filtro de lazo está dado por

$$H(z) = \prod_{i=1}^n \frac{a_i z^{-1}}{1 - z^{-1}} \quad (2.18)$$

Así, (2.17) puede ser simplificada para representar el desempeño de un modulador de orden L y que incluye los coeficientes del filtro para asegurar la estabilidad:

$$\text{SNR} = \text{SNR}_{\text{ideal}} k_g \prod_{i=1}^n a_i \quad (2.19)$$

Sin embargo, los compromisos continúan existiendo ya que un filtro de lazo de orden más alto implica un desempeño mayor; el modulador opera en las fronteras de la estabilidad conduciendo a un diseño menos robusto.

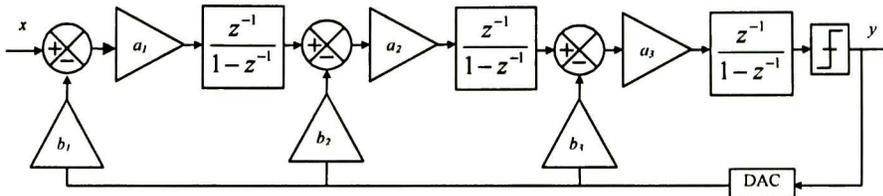


Fig. 2-6. Arquitectura generalizada de un modulador $\Sigma\Delta$ de 3er orden con coeficientes insertados antes de los integradores y con retroalimentación añadida para controlar la estabilidad.

2.2.4.3. Número de bits del cuantizador

Por cada bit extra la SNR se incrementa 6 dB. Sin embargo, la complejidad del diseño se presenta en el DAC. La retroalimentación deberá ser lineal sobre toda la resolución deseable para el modulador. Para una solución de un solo bit, por ejemplo, el DAC es inherentemente lineal pero los diseños de múltiples bits requieren una gran complejidad. Cualquier error introducido por el DAC es retroalimentado hacia la entrada y propagado hacia la salida como una componente de la señal, y asimismo no puede ser suprimida por la ganancia del lazo. Por lo tanto, el número de bits es típicamente limitado a 4 (ver Apéndice A). Aun así, las técnicas de linealización como el uso de elementos tales como el DEM son requeridos. El uso de estos elementos pueden ser problemáticos en el diseño de alta velocidad ya que introducen retrasos en el lazo e incrementan el consumo de potencia [Crom09], [Foglo1], [Geero0], [Bairo5].

2.2.4.4. Grados de libertad en el nivel de la arquitectura

Afortunadamente existen varios grados de libertad para determinar la arquitectura óptima del $\Sigma\Delta$. El filtro de lazo puede ser TD o TC. Puede ser elegida una

estructura de filtro simple o en cascada y la topología del filtro de lazo puede estar basada en ramas de retroalimentación y con ramas *feedforward*. Los compromisos típicos asociados a estas posibilidades son discutidos en un capítulo posterior.

2.2.5. Métricas de Desempeño

Una de ellas ya se ha expuesto, la SNR. Sin embargo, al existir diversas implementaciones, cada una con sus propias sensibilidades a las no idealidades, existen otras métricas que es de interés conocer.

- Relación señal-a-ruido-más-distorsión (SNDR). Es definido como la relación entre la potencia de la señal y la potencia del ruido más la distorsión, dentro de la banda. Para amplitudes pequeñas de la señal ($\approx \Delta/k_g$), la SNDR es normalmente igual al SNR en la medida que el ruido domina, mientras que para amplitudes grandes, la distorsión se vuelve importante y la SNDR tenderá un valor más bajo que el de la SNR. Su máximo valor, SNDR_p es considerado como el parámetro más importante para estimar el desempeño de los moduladores.
- Rango dinámico, (DR). Es definido como la relación entre la máxima potencia de la señal -que puede ser aplicada sin pérdida significativa- con la mínima potencia de una señal de entrada detectable.
- Rango dinámico libre de espurias (SFDR). Es la relación entre la potencia de la señal y la potencia de la componente espuria de mayor valor dentro de la banda de interés.
- Número efectivo de bits (ENOB). Corresponde al número equivalente de bits de un cuantizador ideal que presenta el mismo desempeño. Incluye todos los tipos de degradación del desempeño y es calculado como

$$\text{ENOB} = \frac{\text{SNDR}_p[\text{dB}] - 1.76}{6.02} \quad (2.20)$$

- Figura de Mérito (FOM). Se emplea típicamente para comparar para los $\Sigma\Delta\text{M}$ con otros moduladores. Es definida como la relación entre la potencia total (P_T) y la precisión de conversión multiplicada por la frecuencia de Nyquist:

$$\text{FOM} = \frac{P_T}{2\text{BW}2^{\text{ENOB}}} \quad (2.21)$$

- Nivel de sobrecarga (OL). Es la máxima amplitud aplicable donde la pérdida de desempeño en el SNDR es limitada, típicamente es permitida una caída de 6 dB; esta métrica es proporcional al voltaje de referencia (V_{REF}):

$$A_{IN,\text{max}} = \text{OL}V_{REF} \quad (2.22)$$

Cuando un $\Sigma\Delta\text{M}$ es evaluado, una gráfica como la mostrada en la Fig. 2-7 es indispensable porque muestra todas las métricas de desempeño.

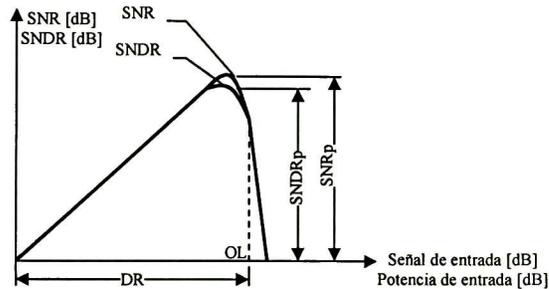


Fig. 2-7. Métricas de desempeño de un ADCΣΔ.

Para amplitudes pequeñas, la SNR y la SNDR incrementan proporcionalmente con la amplitud de la señal. Coinciden en la medida que el ruido domina para aquellos niveles de la señal. Para amplitudes cercanas al nivel de sobrecarga, el convertidor alcanza los límites de la operación estable y el desempeño comienza a decrecer rápidamente. Aun más, con amplitudes altas la distorsión domina y excederán al nivel de ruido total. La curva SNDR es menor que la curva SNR. La grafica claramente muestra la información necesaria para la evaluación correcta del desempeño.

2.3. Conclusión

En este capítulo, los principios de los ADCΣΔ han sido descritos en detalle, los cuales constan de dos características principales: sobremuestreo y conformado del ruido. Al combinar ambas características, la alta resolución puede ser obtenida aun si el cuantizador es de baja resolución. Se han mostrado modelos analíticos para ilustrar el efecto del conformado del ruido de cuantización en el desempeño del ADC. Se resalta la importancia de los grados de libertad existentes en el diseño de este circuito, lo que da la oportunidad de personalizar el diseño e incrementar la eficiencia y el desempeño.

Capítulo 3. Diseño del modulador TD/TC de 2º orden

Este capítulo centra la atención en el diseño de los sistemas que forman al HΣΔM: TΔΣΔM y TCΣΔM. Usando una topología típica para el TΔΣΔM se determinan los grados de libertad necesarios para caracterizar las métricas de desempeño a partir de los coeficientes de diseño. El criterio para seleccionar los coeficientes está asociado con el mayor valor de SNR y con la menor excursión de voltaje. Se muestran resultados de simulación así como el impacto del *mismatch* de los coeficientes en el desempeño de SNR y en la estabilidad de modulador. Asimismo se describe el procedimiento para obtener el TCΣΔM a partir del diseño en TD. Se muestra la técnica para obtener el TCΣΔM a partir del TΔΣΔM usando la transformación de la invarianza al impulso; se muestra la ventaja de incluir trayectorias *feedforward* para minimizar los requerimientos de los componentes. Finalmente, en la arquitectura del TCΣΔM se exploran los fundamentos del exceso de retraso del lazo como parte de las no idealidades de los moduladores de tiempo continuo así como su efecto en la estabilidad.

3.1. Introducción

EL MODULADOR de tiempo discreto consta de un modulador de lazo simple de 2º orden con 5 bits de cuantización, el que forma el *back-end* de la arquitectura cascada del HΣΔM. Una de las ventajas de los TΔΣΔM es que la sensibilidad a las no idealidades de sus componentes es menor que en la versión en TC [Silvo7], [Shim05], [Kwano8], [Morro5], [Nguy05], [Puttero7]. Además, al implementar el filtro de lazo con integradores *Foward Euler* (FE) se facilita su

implementación mediante SC. Por otro lado, el modulador TC forma el *front-end* del HΣΔM tipo cascada, y entre sus ventajas resalta que el número de niveles del cuantizador es más relajado; un cuantizador de 3 niveles es suficiente para alimentar la etapa TD. No obstante es importante recordar que este tipo de modulador es más sensible a las no idealidades (de sus componentes y del exceso de retraso del lazo), por lo que es necesario estrategias de diseño capaces de minimizar esos efectos e incrementar el desempeño del modulador.

3.2. Modulador TD de 2º orden

Considérese el ΣΔM mostrado en la Fig. 3-1a), donde a , b y c son coeficientes de diseño y k_q es la ganancia de un cuantizador de 3 niveles. Nótese que al usar únicamente integradores tipo FE se simplifica la implementación del modulador con técnicas de circuitos de capacitancias conmutadas (SC), y además se reduce la sensibilidad a las no idealidades del modulador [Morg10]. Luego, al linealizar el cuantizador con k_q (ver Fig. 3-1b) el modelo que describe al modulador es

$$Y(z) \Big|_{1+z^{-1}(bc-2)+z^2(ac-bc+1)} = acz^{-2}X(z) + (1-z^{-1})^2 E(z) \quad (3.1)$$

Este resultado permite ver que si se cumplen las condiciones (3.2) será posible obtener la función mostrada en (3.3).

$$bc - 2 = 0 \quad \text{y} \quad ac - bc + 1 = 0 \quad (3.2)$$

$$Y(z) = z^{-2} X(z) + (1 - z^{-1})^2 E(z) \quad (3.3)$$

La función deseada permite ver que $STF(z)=z^{-2}$ y $NTF(z)=(1-z^{-1})^2$, lo que corresponde al conformado del error del cuantizador de un modulador de 2º orden.

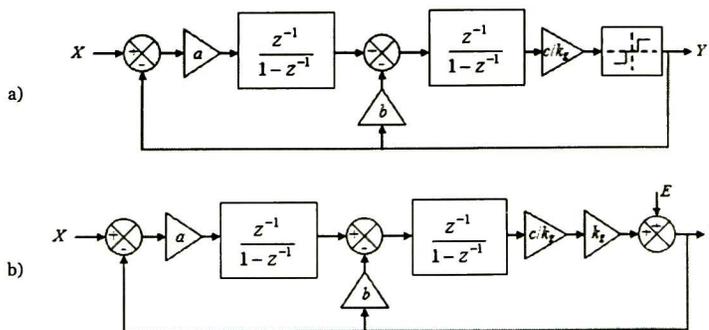


Fig. 3-1 Modulador propuesto de 2º orden con cuantizador de 3 niveles a); linealización del modulador b).

La potencia del ruido de cuantización –a la salida de tal modulador– para un ancho de banda BW , está dado por

$$N_Q \approx 2 \int_0^{BW} |NTF(F)| S_Q(F) dF = \frac{\Delta^2 \pi^4}{(12)(5)} \left(\frac{2BW}{F_s} \right)^5 \quad (3.4)$$

donde $S_Q(F)$ es la densidad espectral de potencia del ruido de cuantización dada por $F_s \Delta^2 / 12$ [Rosa11]. Este resultado es importante porque puede cuantificarse el valor de SNR:

$$SNR \approx \frac{A^2}{2} \frac{(12)(5)}{\Delta^2 \pi^4} \left(\frac{F_s}{2BW} \right)^5 = \frac{A^2}{2} \frac{(12)(5)}{\Delta^2 \pi^4} (OSR)^5 \quad (3.5)$$

Este resultado se muestra gráficamente en la Fig. 3-2a) para diferentes valores de la potencia de entrada ($P_i = A^2/2$), y para una frecuencia de muestreo de 320 MHz; el ancho de banda considerado fue 10 MHz y se asumió un cuantizador como el mostrado en la Fig. 3-2b), donde $V_{imax} = 0.8V$ y $V_{omax} = 1.2V$.

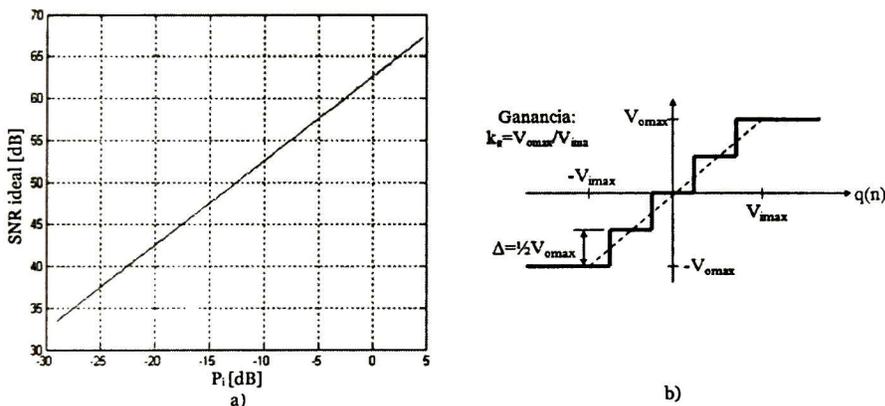


Fig. 3-2. Desempeño ideal del modulador TD (a); cuantizador de 5 niveles para el modulador de tiempo discreto (b).

En la práctica estimar el desempeño ideal es importante porque ayuda a evaluar los efectos de las no idealidades.

3.3. Selección de los coeficientes de diseño

Para determinar el valor de los coeficientes a , b y c se resuelve (3.2) para b y c en función de a :

$$b = 2a \quad \text{y} \quad c = \frac{1}{a} \quad (3.6)$$

De esta forma se decide contar con un solo grado de libertad. Luego, al realizar un barrido paramétrico –tanto de a como de P_i – se evalúa el impacto de a en el valor de SNR (ver Fig. 3-3a). Obsérvese que SNR es insensible al valor de a para cualquier valor de P_i , por lo tanto la elección del valor dependerá de otras métricas. La variación de b y c , en función de a , se muestra en la Fig. 3-4. Esta variación es importante porque la elección del valor de cada coeficiente está relacionada con el valor de las relaciones de capacitancias en una implementación SC, y no con el valor individual de capacitancia; se dice que la elección del valor –entre coeficientes– debe guardar mínima distancia. Se observa que una elección pequeña para a produce que la diferencia entre coeficientes incremente notablemente; en lo que sigue se limitará el valor de a al rango [0.1, 1]. Aun más, otro aspecto en la elección del valor de a se basa en procurar que las excursiones a la salida de los integradores sea lo más pequeño posible, ya que eso beneficia que los requerimientos en la implementación de los integradores SC sean menores, que el consumo de potencia tienda al mínimo, y que la distorsión armónica de los amplificadores disminuyan.

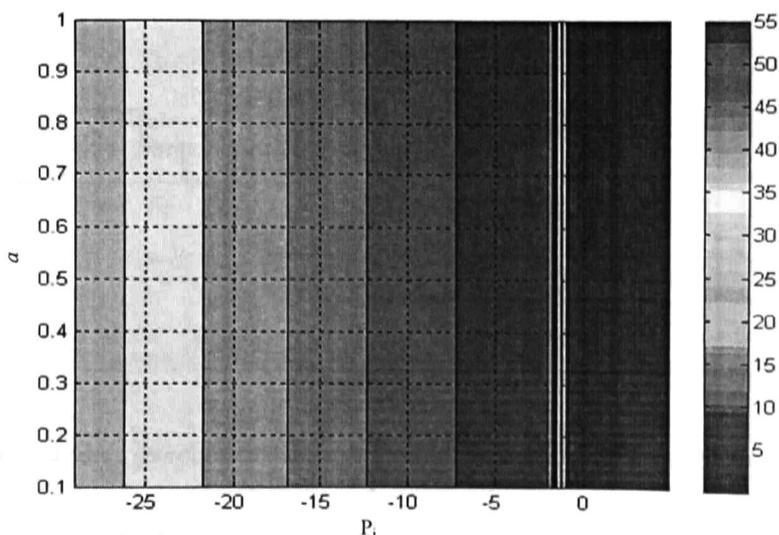


Fig. 3-3. SNR vs P_i para diferentes valores de a .

La Fig. 3-5 muestra las excursiones normalizadas, de los integradores 1 y 2, respecto a la amplitud de la señal de entrada. Por lo expuesto en las Fig. 3-2 y Fig. 3-3 es posible seleccionar $a=0.1$, $b=0.2$ y $c=10$ porque estos valores no solo conjugan buen desempeño en el modulador, sino que permiten obtener los siguientes valores: $OSW_{int1TD}/2A=0.270$ y $OSW_{int2TD}/2A=1.395$, con lo que se consigue reducir los requerimientos de las excursiones de los integradores. Lo anterior significa que la principal restricción en el valor de a es impuesta por OSW_{int2TD} y no por el cuantizador. Considerando una tecnología CMOS/1.2V, 90nm, y con los amplificadores/integradores configurados en modo diferencial, el

valor típico para OSW es 1.6 V lo que limita el valor de a hasta un máximo de 0.573 V ($P_i = -7.84$ dB), obteniendo con ello una SNR máxima de 54.58 dB.

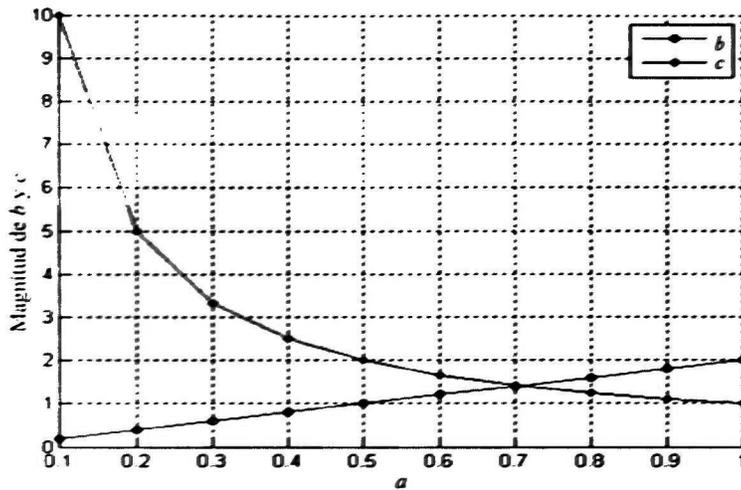


Fig. 3-4. Magnitud de los coeficientes b y c vs a .

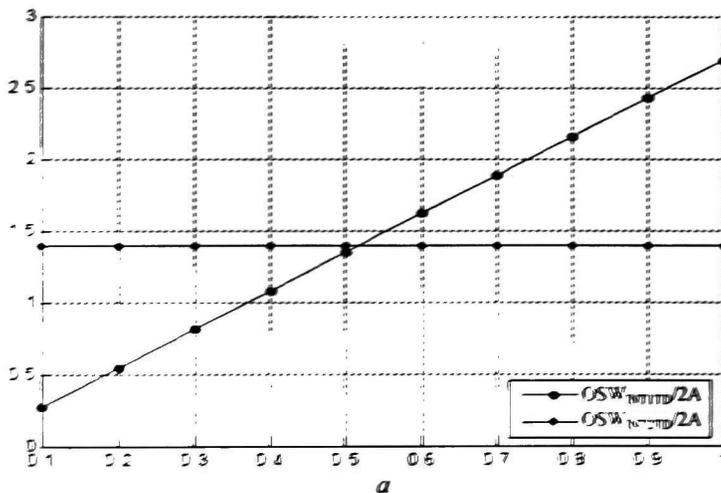


Fig. 3-5. Máxima excursión en los nodos de salida de cada integrador.

3.4. Resultados de Simulación

Tres resultados son obtenidos. En primer lugar, del espectro de salida, se concluye que es posible evaluar el conformado del ruido de cuantizador por medio del filtrado de 2º orden. Los otros resultados son la curva SNR contra la potencia de entrada, y el impacto de las variaciones de los coeficientes de diseño en la estabilidad y la degradación del sistema.

La Fig. 3-6 muestra el espectro de la salida del modulador cuando la entrada es una señal sinusoidal de amplitud 0.573 V con una frecuencia de 1 MHz. Resulta evidente cómo el ruido de cuantización está conformado a través del filtro de orden $L=2$ mientras que la señal procesada mantiene la amplitud de la señal de entrada.

La Fig. 3-7 muestra la relación de señal a ruido contra la potencia de entrada, cuando la frecuencia de entrada es de 1 MHz. Al incrementar la potencia de la señal de entrada se observa que el SNR aumenta linealmente hasta que la entrada produce una sobrecarga del cuantizador, momento en el cual la SNR comienza a reducirse dramáticamente.

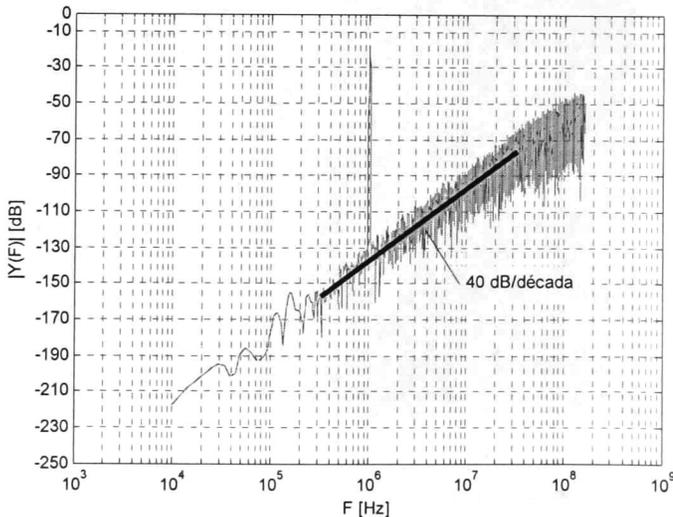


Fig. 3-6. Espectro de la señal de salida del modulador de segundo orden.

El estudio de la estabilidad del modulador, debido a las variaciones de los coeficientes del diseño, se realiza estudiando el lugar geométrico de las raíces del filtro de lazo (LF). Para ello se realiza un barrido del porcentaje de variación de los coeficientes a , b y c y también en la ganancia del cuantizador, ver Fig. 3-8, donde el símbolo X representan la posición de los polos de lazo cerrado y M es el factor de multiplicidad del polo. Es de notar que mientras la variación de la ganancia del lazo k satisfaga la desigualdad

$$0 < k < 0.34 \quad (3.7)$$

todos los polos de lazo se encontrarán dentro del círculo unitario y por ende, será estable aún si la ganancia del lazo presenta una variación máxima del 34%. Para evaluar el impacto de los principales errores del modulador se realiza un análisis Montecarlo de 1000 muestras, como el que se muestra en la Fig. 3-9, y en la que se considera una desviación estándar de 1% para todos los coeficientes (a , b y c).

La media del SNR y su desviación estándar es de 54.36 dB, y 0.15 dB, respectivamente. Considerando que la distribución de los datos se aproximan a la distribución de Gauss, entonces el 99% de los datos se encuentran dentro del rango de 53.91 dB a 54.81 dB.

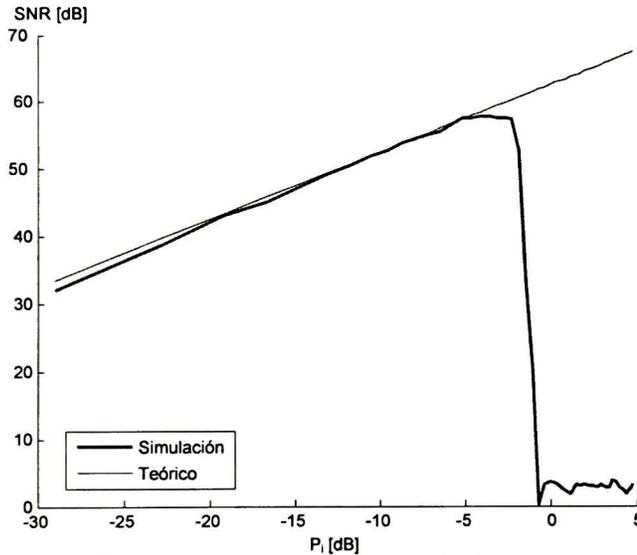


Fig. 3-7. Curva de las métricas de desempeño.

3.5. Modulador de TC segundo orden

Para diseñar el TCΣΔM se toma en consideración el TDEΣΔM previamente diseñado. La transformación de la invarianza al impulso [Ortm05] implica que

$$Z^{-1}\{H(z)\} = L^{-1}\{R_{DAC}(s)H(s)\}\Big|_{t=nT_s} \quad (3.8)$$

donde $H(s)$ y $H(z)$ son las funciones de lazo abierto de los moduladores de TC y de TD, respectivamente. La función de lazo abierto del ΣΔM se muestra en la Fig. 3-10.

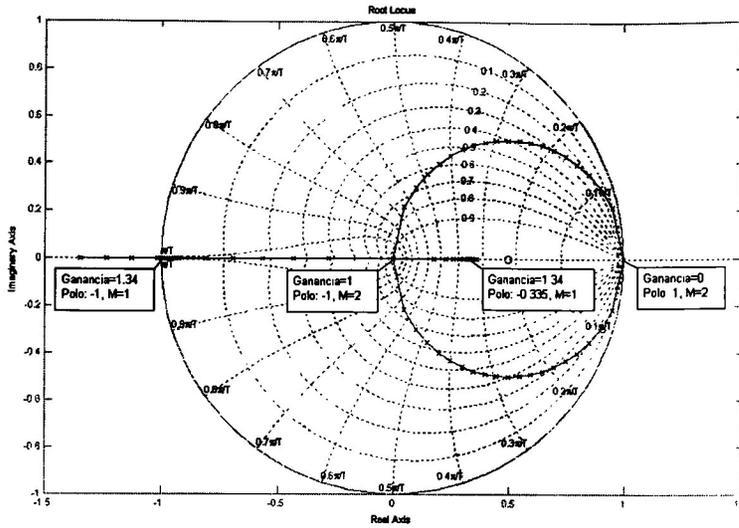


Fig. 3-8. Lugar geométrico de las raíces del modulador.

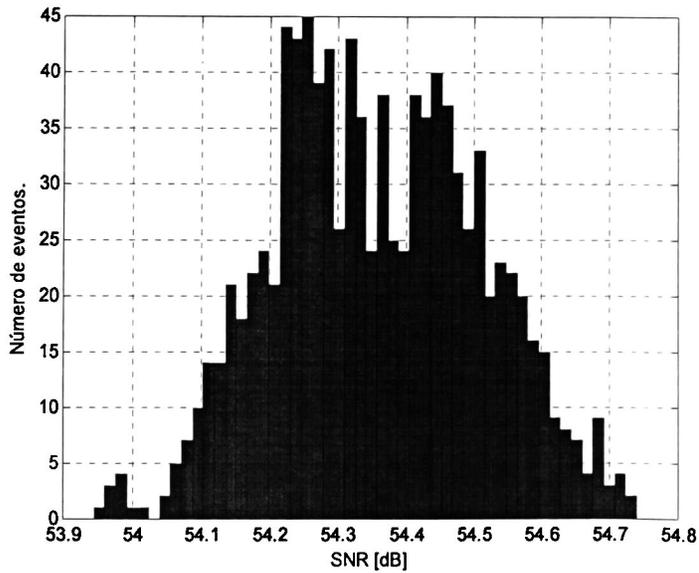


Fig. 3-9. Simulación Montecarlo.

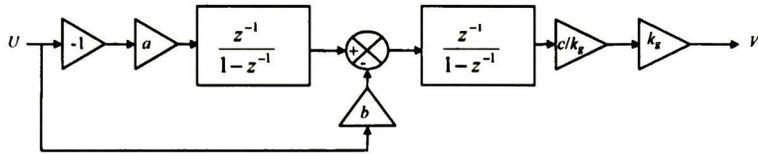


Fig. 3-10. Función de transferencia del filtro de lazo de tiempo discreto.

Considerando un DAC de no retorno a cero (NRZ), entonces $R_{DAC}(t)=u(t)-u(t-T_s)$, ver Fig. 3-11, se tiene que

$$R_{DAC}(s) = \frac{1 - e^{-sT_s}}{s} \quad (3.9)$$

Sustituyendo (3.8) en (3.9) se tiene que

$$Z^{-1}\{H(z)\} = L^{-1}\left\{\frac{1 - e^{-sT_s}}{s} H(s)\right\}_{t=nT_s} \quad (3.10)$$

La Tabla 3-1 muestra la función de transferencia de lazo abierto de TC obtenidas mediante la transformación de la invarianza al impulso.

Tabla 3-1. Equivalente de filtros de lazo para DAC de tipo NRZ.

Dominio Z	Equivalente en el dominio S
$\frac{z^{-1}}{1 - z^{-1}}$	$F_s \frac{1}{s}$
$\frac{z^{-2}}{(1 - z^{-1})^2}$	$F_s^2 \frac{1}{s^2} - \frac{1}{2} F_s \frac{1}{s}$

A partir de la función del lazo abierto del TDESΔM, es posible escribir a la función de transferencia de lazo abierto en TD como se muestra en (5.4).

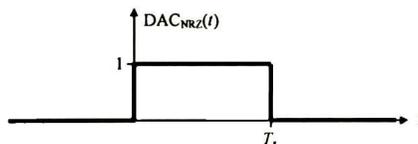


Fig. 3-11. Respuesta al impulso de un DAC tipo NRZ.

$$LF(z) = -\left(\frac{z^{-1}}{1-z^{-1}}\right)^2 - 2\frac{z^{-1}}{1-z^{-1}} = -\frac{2z^{-1} - z^{-2}}{(1-z^{-1})^2} \quad (3.11)$$

De este resultado y con ayuda de la Tabla 3-1 se tiene que la función de transferencia de lazo abierto en TC es

$$LF(s) = -F_s^2 \frac{1}{s^2} + \frac{1}{2} F_s \frac{1}{s} - 2F_s \frac{1}{s} = -F_s^2 \frac{1}{s^2} - \frac{3}{2} F_s \frac{1}{s} \quad (3.12)$$

Por lo tanto, la topología TCΣΔM se selecciona de manera que su LF(s) sea representada por (3.12) y además que su implementación sea sencilla.

Empleando un *feedforward*, es obvio observar que los requerimientos de la dinámica de los integradores son mucho más relajadas [Vand09] por lo que se opta incluir ramas *feedforward* en la topología TCΣΔM. De esta forma seleccionando una topología, como la mostrada en la Fig. 3-12, con k_g como la ganancia del cuantizador y con un LF(s) como el mostrado en la Fig. 3-13. A fin que el LF(s) sea consistente con (3.12) es necesario que se cumplan las siguientes relaciones

$$def = 1 \quad (3.13)$$

$$deg = \frac{3}{2} \quad (3.14)$$

Teóricamente, la SNR de tiempo discreto debe seguir la relación (3.6) únicamente cambiando las características del cuantizador mostrado en la Fig. 3-14, siendo $V_{imax} = 0.8$ y $V_{omax} = 1.2$.

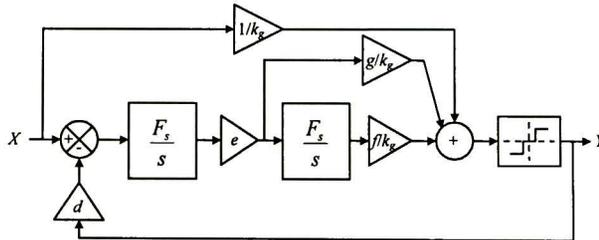


Fig. 3-12. Modulador ΣΔ de segundo orden propuesto incluyendo *feedforward*.

3.6. Corrección del exceso de retraso de lazo

Una de las no idealidades de los TCΣΔM es el exceso de retraso de lazo [Vand09], el cual ha sido supuesto como una constante de retraso $t_d = \tau_d T_s$ entre el pulso ideal y

real de la retroalimentación del DAC. Este retraso es debido a la respuesta finita de la salida del DAC con respecto a los flancos del reloj y sus entradas.

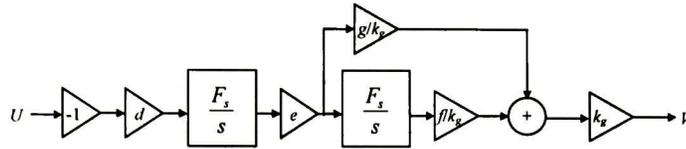


Fig. 3-13. Función de transferencia del filtro de lazo de tiempo continuo.

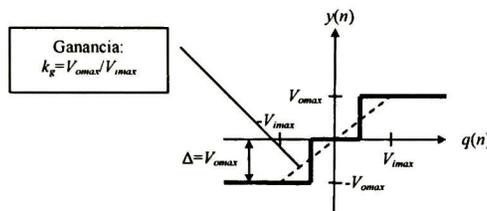


Fig. 3-14. Función de transferencia del cuantizador de 3 niveles

La Fig. 3-15 muestra el SNR ideal contra la potencia de entrada del modulador de tiempo continuo.

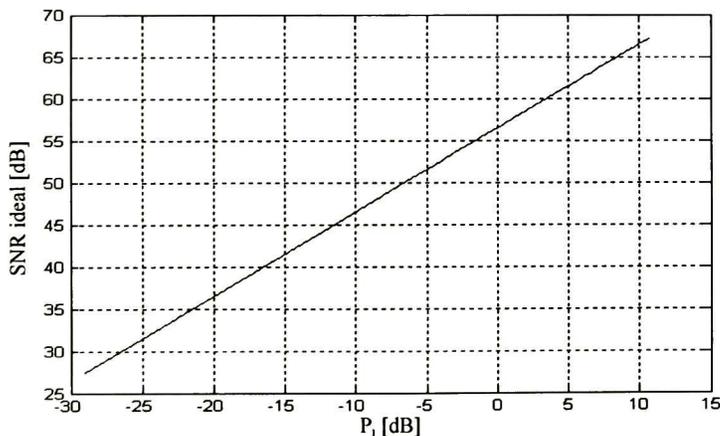


Fig. 3-15. Curva ideal de desempeño del modulador de tiempo continuo.

Los efectos de exceso de retraso de lazo para un DAC de NRZ es un desplazamiento de la respuesta al impulso, lo cual deriva en que una parte se presente en el siguiente instante de muestreo, ver Fig. 3-16(a). Sin embargo, la respuesta al impulso del DAC tiene un equivalente como el que se muestra en la Fig. 3-16 (b).

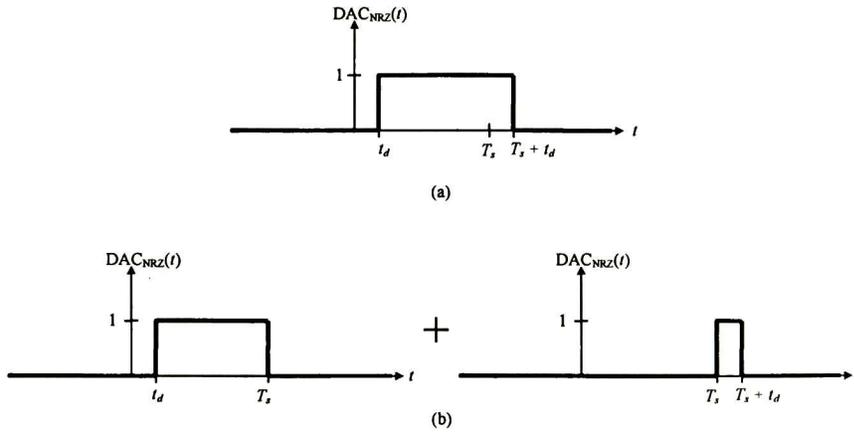


Fig. 3-16. Representación del exceso de retraso de lazo en la respuesta al impulso del DAC NRZ.

Este exceso de retraso puede minimizarse si el orden de la función de transferencia de lazo abierto incrementa su valor. La Tabla 3-2 muestra el equivalente de algunas funciones de transferencia empleando la transformada z modificada [Ogat95] con un exceso de retraso de lazo como el presentado en la Fig. 3-16. Obsérvese que el equivalente de la función de transferencia de lazo abierto, $LF_c(z)$, en TD con exceso de retraso de lazo es

$$\begin{aligned}
 LF_c(z) &= -\frac{[1 - \tau_d(2 - \tau_d)]z^{-1}}{2(1 - z^{-1})^2} - \frac{(1 - \tau_d^2)z^{-2}}{2(1 - z^{-1})^2} + \\
 &= -\frac{z^{-3}\left[\frac{1}{2}\tau_d^2 - \frac{3}{2}\tau_d\right] + z^{-2}\left[-\tau_d^2 + 4\tau_d - 1\right] + z^{-1}\left[\frac{1}{2}\tau_d^2 - \frac{5}{2}\tau_d + 2\right]}{(1 - z^{-1})^2} \quad (3.15)
 \end{aligned}$$

Es fácil verificar que si $\tau_d = 0$ entonces (3.15) se reduce a (3.11), además de (3.15) se observa la existencia del término z^{-3} lo cual indica el incremento del orden y con ello se compromete la estabilidad de $NTF(z)$.

Una manera de compensar el exceso de retraso de lazo propuesta en [Vand09] es retrasar intencionalmente a un valor controlable todo el lazo de retroalimentación, y aplicar una retroalimentación auxiliar después del último integrador, ver Fig. 3-17. El método anterior requiere determinar la función de transferencia equivalente en TD y subsecuentemente obtener los coeficientes para producir la

LF(z) deseada. La Fig. 3-18 muestra el LF_c(s) del modulador con la compensación del exceso de retraso de lazo incluida.

Tabla 3-2. Conversión de filtro de lazo.

Equivalente en el dominio S	Dominio Z
$F_s \frac{1}{s}$	$\frac{(1 - \tau_d)Z^{-1} + \tau_d Z^{-1}}{1 - Z^{-1}} + \frac{\tau_d Z^{-1}}{1 - Z^{-1}}$
$F_s^2 \frac{1}{s^2}$	$\frac{[1 - \tau_d(2 - \tau_d)]Z^{-1}}{2(1 - Z^{-1})^2} + \frac{(1 - \tau_d^2)Z^{-2}}{2(1 - Z^{-1})^2} + \frac{\tau_d(2 - \tau_d)Z^{-1}}{2(1 - Z^{-1})^2} Z^{-1} + \frac{\tau_d^2 Z^{-2}}{2(1 - Z^{-1})^2} Z^{-1}$

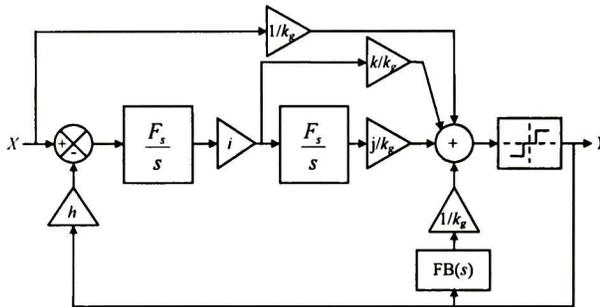


Fig. 3-17. Modulador $\Sigma\Delta$ de segundo orden propuesto incluyendo *feedforward* y compensación del exceso de retraso de lazo.

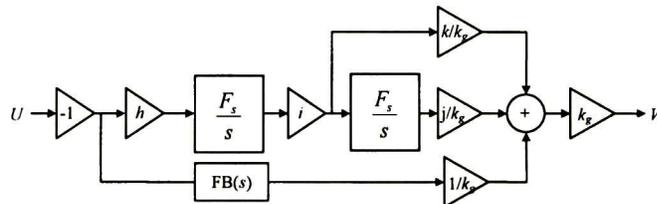


Fig. 3-18. Función de transferencia del filtro de lazo del modulador de tiempo continuo incluyendo la corrección del exceso de retraso de lazo.

Del diagrama a bloques mostrado en la Fig. 3-18 se tiene que LF_c(s) está dada por

$$LF_c(s) = -hij \frac{F_s^2}{s^2} - hik \frac{F_s}{s} + FB(s) \quad (3.16)$$

De la información incluida en la Tabla 3-2 se encuentra el equivalente de LF_c(s), donde FB(z) = -k_hz⁻¹, así se tiene que

$$LF_c(z) = \frac{z^{-3} \left[\tau_d \left(k - \frac{j}{2} \tau_d \right) - \frac{k_h}{hi} \right] + z^{-2} \left[-\frac{j}{2} + \tau_d (j \tau_d - j - 2k) + k + 2 \frac{k_h}{hi} \right] + z^{-1} \left[-\frac{j}{2} + \tau_d \left(j - \frac{j}{2} \tau_d + k \right) - k - \frac{k_h}{hi} \right]}{(1-z^{-1})^2} \quad (3.17)$$

Al igualar (3.20) y (3.11) se obtienen las siguientes relaciones:

$$hi \left[\tau_d \left(k - \frac{j}{2} \tau_d \right) - \frac{k_h}{hi} \right] = 0 \quad (3.18)$$

$$hi \left[-\frac{j}{2} + \tau_d (j \tau_d - j - 2k) + k + 2 \frac{k_h}{hi} \right] = 1 \quad (3.19)$$

$$hi \left[-\frac{j}{2} + \tau_d \left(j - \frac{j}{2} \tau_d + k \right) - k - \frac{k_h}{hi} \right] = -2 \quad (3.20)$$

Por lo que los coeficientes h , i , j y k se seleccionan de tal forma que satisfagan (3.18)-(3.20) para cualquier valor τ_d , sin embargo, dado que τ_d es un parámetro de retraso y de no fácil medición, se propone añadir intencionalmente un retraso de lazo bien definido. Entonces, los criterios para su definición son que este retardo de lazo sea menor que τ_d y que el retraso de lazo del modulador sea menor o igual a aquél. Para propósitos prácticos, se selecciona $\tau_d=1$, es decir, se debe añadir un retraso de retroalimentación de valor T_s , lo cual se consigue mediante un retraso a la salida de cuantizador. Luego, con $\tau_d=1$ los coeficientes del sistema deben satisfacer que

$$hij = 1 \quad (3.21)$$

$$hik = \frac{5}{2} \quad (3.22)$$

$$k_h = 2 \quad (3.23)$$

La Fig. 3-19 muestra el modulador de TC con la compensación de retraso de lazo, donde los D-Latch's permiten retrasar las señales tal como se ilustra en la Fig. 3-20.

Se observa que la señal $S(nT_s)$ se define como

$$S(nT_s) = V(nT_s) + U(nT_s) + \gamma(nT_s) + k_h Q[S(nT_s - T_s)] \quad (3.24)$$

Es decir

$$S(z) = V(z) + U(z) + \gamma(z) + k_h z^{-1} [S(z) + E(z)] \quad (3.25)$$

Al mismo tiempo, todo el lazo presenta un retraso de un periodo de muestreo, ya que

$$\beta(nT_s) = Q[S(nT_s - T_s)] \quad (3.26)$$

Por lo tanto, si el cuantizador tiene un retraso menor que T_s de igual forma la función de transferencia no cambiará y por ende seguirá siendo estable.

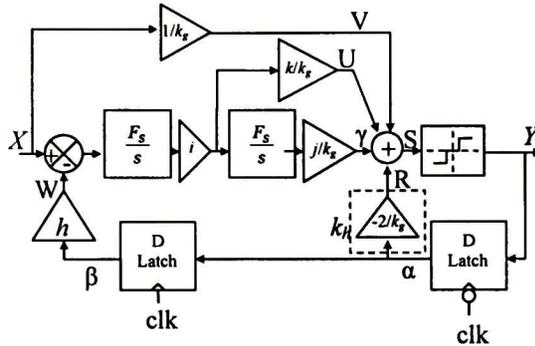


Fig. 3-19. Modulador $\Sigma\Delta$ de tiempo discreto propuesto.

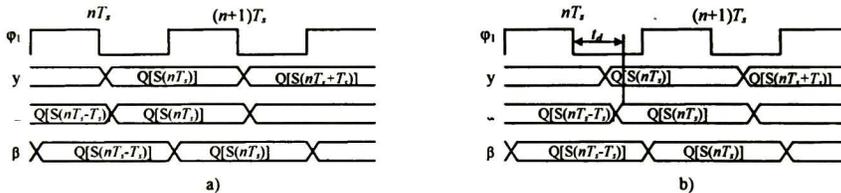


Fig. 3-20. Efecto de los D-Latch's en el retraso intencional para corrección del exceso de retraso de lazo.

Las principales ventaja de este esquema comparada con los diseños previos [Kulco8], [Kwano8], [Silvo1], [Morgio], [Songo8], [Magho9], [Vanvo8], [Tagho8] son la combinación de la función de transferencia unitaria (USTF) y del *feedforward* para reducir las excursiones de salida de los amplificadores.

3.7. Selección de los coeficientes de diseño

Para determinar los valores de los coeficientes h , i , j y k , se procede de forma similar que con el modulador de TD, es decir, se usan (3.21), (3.22) y (3.23) para j y k en función de h e i para obtener que

$$j = \frac{1}{hi} \quad (3.27)$$

$$k = \frac{5}{2} \frac{1}{hi} \quad (3.28)$$

De (3.27) y (3.28) se observa que el modulador tiene dos grados de libertad, que son h e i . Al realizar un barrido paramétrico de h , i , y P_i es posible observar el SNR, sin embargo los resultados muestran que el SNR solo tiene dependencia con el coeficiente h . La Fig. 3-21 muestra la gráfica del SNR contra el coeficiente h , y en función de la P_i .

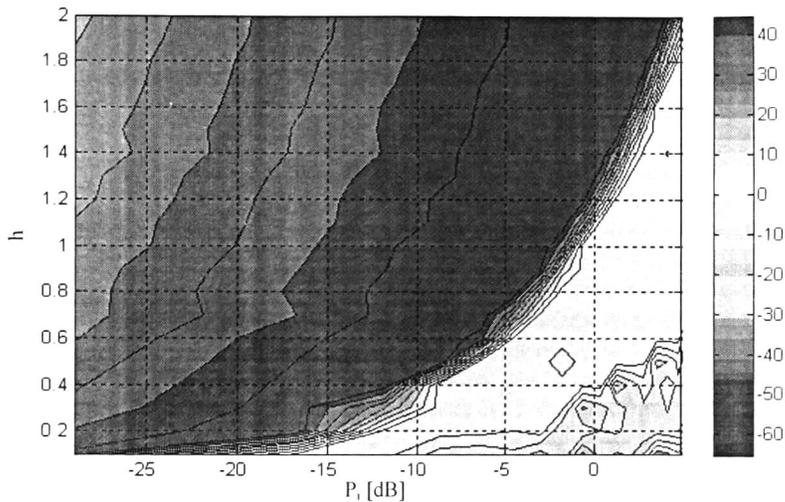


Fig. 3-21. SNR como función de la potencia de entrada contra el coeficiente h .

Se observa que con valores elevados de h se extiende el rango de entrada permitiendo, sin embargo para valores de h bajos la SNR alcanza su máximo valor para potencias de entrada bajas. Además del SNR otros aspectos deben tomarse en cuenta para la elección de los coeficientes, tal como la distancia entre coeficientes ya que para su implementación, mediante transconductores, los coeficientes son las transconductancias. En la Fig. 3-22 se muestran los valores de los coeficientes j en función de h para diferentes valores de i .

La Fig. 3-23 muestra los valores de los coeficientes k en función de h para diferentes valores de i . También para conocer la dependencia de h e i con las excursiones máximas de los nodos se examinan los valores máximos y mínimos a la salida de los integradores 1 y 2 así como de los nodos U, V y W, R y S. Al igual que el TDESΔM, un reducido valor en las excursiones de las salidas de los amplificadores beneficia al proceso de diseño porque el diseño de sus componentes (típicamente transconductores) se simplifica, y hay una reducción en el impacto de las no idealidades de los componentes en el SNDR y además ocurre un bajo consumo de potencia.

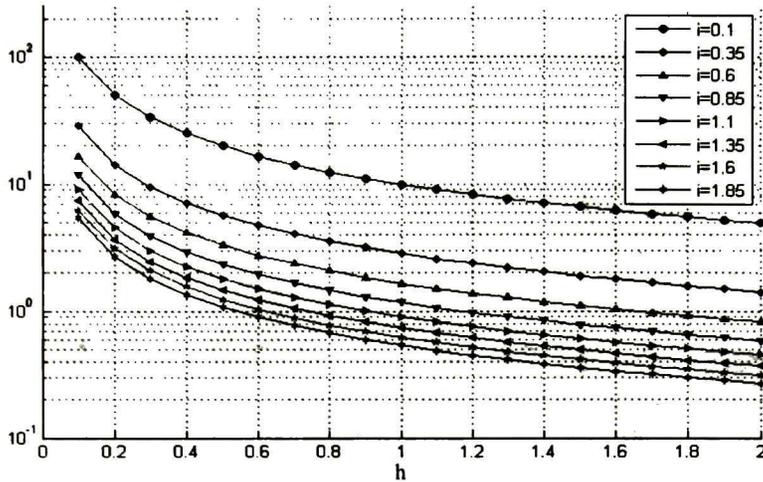


Fig. 3-22. Valor del coeficiente j en función del coeficiente h .

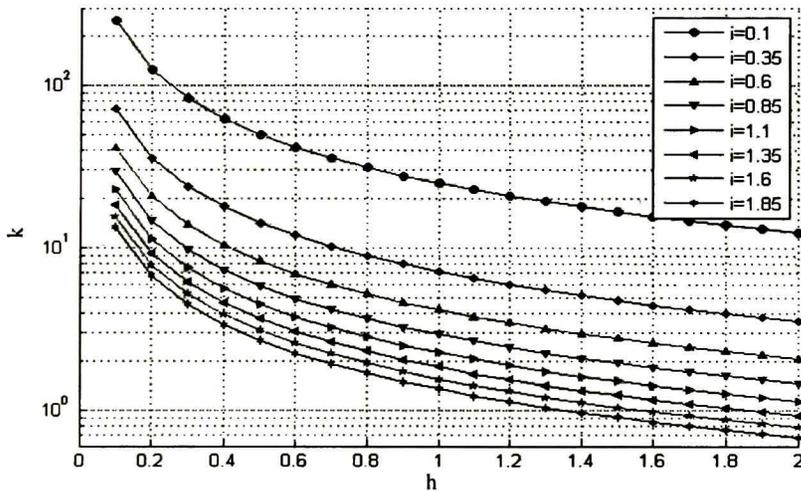


Fig. 3-23. Valor del coeficiente k en función del coeficiente h .

Al realizar los análisis paramétricos y explorar el comportamiento de los nodos, varias observaciones pueden hacerse. Únicamente los valores máximos y mínimos a la salida del integrador 1 dependen de los coeficientes h e i . En la Fig. 3-24 se muestran las excursiones de la salida del integrador 1 como función de h para diferentes valores de i . Por otro lado, se observa que las excursiones en los nodos V, W, R y a la salida del segundo integrador solo dependen del coeficiente h tal como se muestran en la Fig. 3-25. Finalmente, las excursiones en los nodos U y S presentan dependencia únicamente con h .

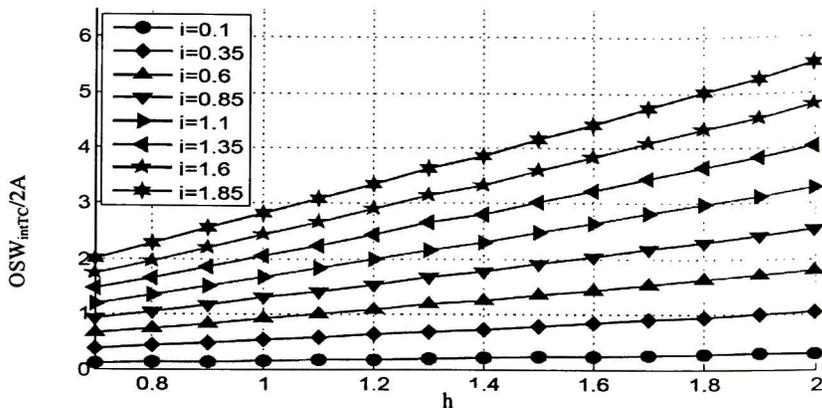


Fig. 3-24. Máximas excursiones para el nodo de salida del primer integrador.

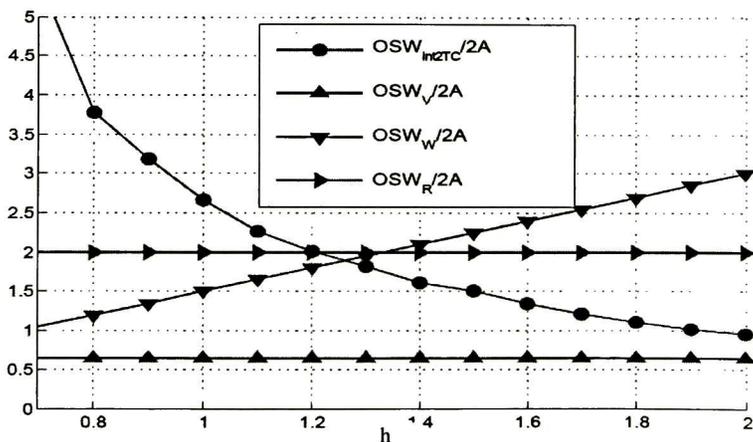


Fig. 3-25. Máximas excursiones para los nodos V, W, R y el nodo de salida del segundo integrador.

Cabe señalar que estas excursiones son también dependientes de la frecuencia de la señal de entrada. En la medida que la frecuencia de la señal aumenta, también las excursiones aumentan. Tomando el peor caso que se presenta cuando la frecuencia de la señal es igual al ancho de banda (10 MHz) el análisis puede ser realizado, ver Fig. 3-26.

Por lo expuesto en las Fig. 3-21-Fig. 3-26 se selecciona $h=0.9$, $i=1.35$, $j=0.82$ y $k=2.06$ ya que estos valores conjugan un óptimo desempeño en el modulador tanto para su desempeño como modulador como su implementación física mediante transconductores. Los resultados de simulación muestran que $OSW_{intTC}/2A=1.9$, $OSW_{int2TC}/2A=3.34$, $OSW_V/2A=3.21$, $OSW_V/2A=0.65$, $OSW_W/2A=1.35$, $OSW_R/2A=2$ y $OSW_S/2A=2.84$.

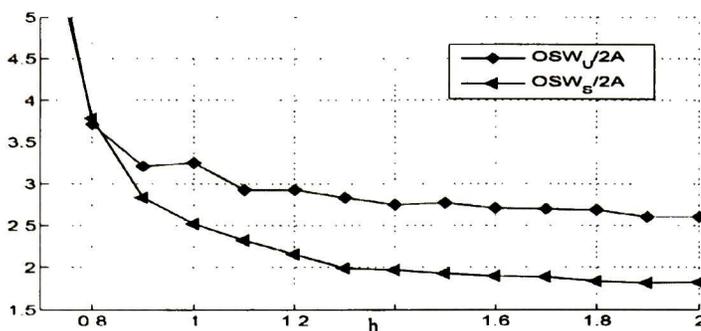


Fig. 3-26. Máximas excursiones para los nodos U y S.

Así, la principal restricción para A es impuesta por OSW_{int2TC} en lugar del cuantizador. Considerando –igual que en DT- un OSW máximo de 1.6V, el valor máximo permitido para A es 0.240 V ($P_i = -15.4$ dB). Esto produce un máximo SNR de 41.22 dB.

3.8. Resultados de Simulación

De la misma forma que en DT, el conformado del ruido de cuantización de este modulador (de 2º orden) se ilustra en el espectro de salida. La curva SNR contra la potencia de entrada permite evaluar el desempeño del modulador y finalmente para evaluar la degradación del SNR con las variaciones de los coeficientes, un análisis Montecarlo es necesario. La Fig. 3-27 muestra el espectro de la salida del modulador cuando la entrada es una señal sinusoidal de amplitud 0.240 V a una frecuencia de 1 MHz.

La Fig. 3-28 muestra la relación señal-a-ruido contra la potencia de entrada, cuando la entrada es una señal sinusoidal de frecuencia de 1 MHz. Para conocer el impacto de los principales errores del modulador se realiza un análisis Montecarlo de 1000 muestras. El resultado se muestra en la Fig. 3-29, donde se considera una desviación estándar de 1% para todos los coeficientes h, i, j y k .

La media del SNR y su desviación estándar es de 41.38 dB y 0.34 dB respectivamente, si es considerada como una distribución de Gauss entonces el 99% de las muestras se encuentran dentro del rango de 40.36 dB a 42.4dB.

3.9. Conclusiones

Mediante al análisis paramétrico pudo ser posible elegir los coeficientes de diseño de la arquitectura típica de segundo orden. Al mantenerse invariante al desempeño del modulador (DR) dos factores fueron considerados para la elección.

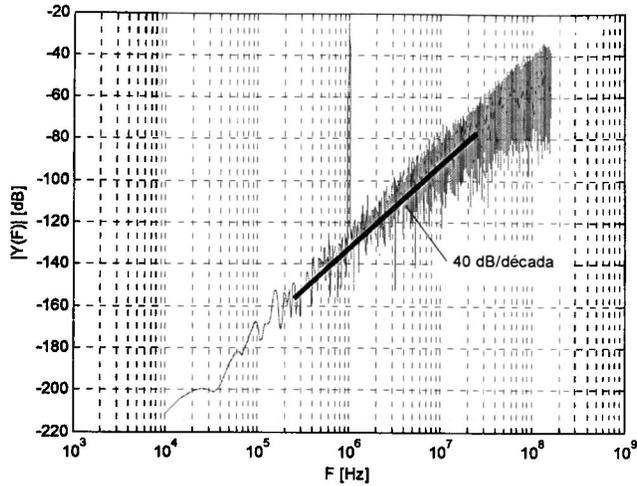


Fig. 3-27. Espectro de salida del modulador de tiempo continuo.

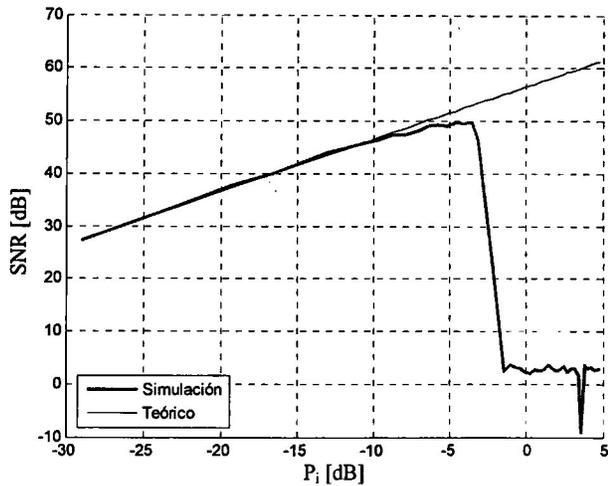


Fig. 3-28. Curvas de las métricas de desempeño del modulador de tiempo continuo.

El primero fue minimizar las excursiones de los nodos de interconexión lo cual se traduce como un ahorro de consumo de potencia. El segundo factor fue minimizar las diferencias entre los coeficientes y reducir el impacto del *mismatch* de los coeficientes de diseño. Los resultados de simulación validan el desempeño del modulador propuesto al mostrar el comportamiento en el dominio de la frecuencia como con las curvas de desempeño (SNR vs P_i). A fin de evaluar lo robusto del modulador son empleados dos criterios, el primero es concerniente a la estabilidad

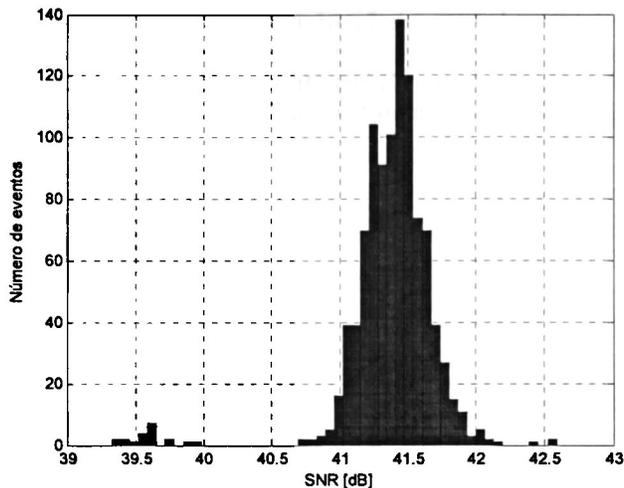


Fig. 3-29. Simulación Montecarlo.

del sistema y el segundo a las posibles variaciones de los coeficientes de diseño. La estabilidad del sistema se evalúa con la técnica del lugar geométrico de las raíces del filtro de lazo. De la anterior técnica se destaca que el sistema permanece estable aun si la ganancia del filtro de lazo incrementara hasta un 34% de su valor nominal. Las posibles variaciones de los coeficientes fue evaluada mediante un análisis Montecarlo de 1000 muestras, donde en cada muestra se varió aleatoriamente mediante una distribución de Gauss. Ante estas variaciones, los resultados mostraron que el 99% de las muestras presentan una variación en el rango dinámico de tan solo $\pm 0.83\%$.

Asimismo tomando como base al modulador de tiempo discreto, fue posible encontrar un filtro de lazo para el modulador de tiempo continuo mediante la técnica de transformación invariante al impulso. Sin embargo, los efectos no ideales hacen que se incorporen técnicas para reducir los requerimientos de sus componentes. Una de las técnicas consiste en agregar ramas de *feedforward* las cuales reducen significativamente las excursiones de salida de los integradores.

Para contrarrestar los efectos del exceso de retraso de lazo se añaden unidades retardadoras. Una vez concluida la propuesta de la arquitectura, los coeficientes de diseño son elegidos de forma similar que en el modulador de tiempo discreto. Usando un barrido parametrizado tres factores son considerados para la elección de los coeficientes de diseño. El primero de ellos y más fundamental, fue obtener el mejor desempeño (DR). El segundo fue minimizar las excursiones a la salida de cada integrador y cada ganancia. De esta forma minimizar el consumo de potencia. Y el tercero de ellos fue en reducir la distancia entre los coeficientes de diseño ya que de no hacerlo, dificultaría la implementación física. A fin de evaluar el desempeño del modulador, la propuesta es sometida a simulación, donde dos evaluaciones son expuestas, la primera de ellas es el espectro de la respuesta

observando su correspondencia con el conformado del ruido de cuantización. Y la otra mediante la curva del desempeño.

Por último, la robustez de este modulador se realiza únicamente con el análisis Montecarlo ya que el modulador de tiempo continuo tiene el mismo filtro de lazo y por ende es estable. Mediante el análisis Montecarlo se concluye que el modulador diseñado es robusto debido a que en el 99% de las muestras, su DR varía tan solo un $\pm 2.46\%$.

Capítulo 4. Diseño del modulador híbrido con mono tasa de muestreo

Se presenta el diseño del HΣΔM con mono tasa de muestreo. Combinando los dos moduladores en cascada se obtiene un modulador híbrido, con el cual se toma ventaja de las características de ambas implementaciones. Se muestra la arquitectura a nivel de sistema del HΣΔM así como de la implementación de la DCL. Los coeficientes de cada uno de sus componentes son tomados de los análisis previos. Por último, para evaluar el desempeño, se muestran resultados de simulación.

4.1. Introducción

LA CONFIGURACIÓN de este modulador está basado en una arquitectura cascada ya que de acuerdo con [Morgo9], una forma de incrementar el orden del modulador -sin incurrir en posibles inestabilidades- es la conexión en cascada de moduladores de forma que el modulador completo esté formado por varios moduladores, donde el primero de ellos sea el que reciba a la señal de entrada y el resto sean los encargados de modular el error de la primera etapa para conseguir un aumento del orden del modulador. Bajo este concepto, el riesgo de inestabilidades se reduce y el conformado del error de cuantización es el debido al error del último modulador. Esto se traduce en que un incremento únicamente en el número de niveles del cuantizador, del último modulador, repercute en un aumento de la SNR.

4.2. Modulador híbrido

La Fig. 4-1 muestra este modulador, donde el cuantizador de la etapa de tiempo continuo es como el mostrado en la Fig. 3-19, y el de tiempo discreto es como se

muestra en la Fig. 3-1. Como se puede apreciar, esta configuración es simplemente la conjunción de las configuraciones diseñadas previamente, con la única diferencia de la adición de dos componentes extras. El primero es el restador ponderado que es colocado a la entrada y la salida del cuantizador de *front-end*. El segundo es el DCL que se encarga de ajustar la salida como si de un modulador de simple lazo se tratara. En este diseño la frecuencia de muestreo para ambos moduladores es la misma.

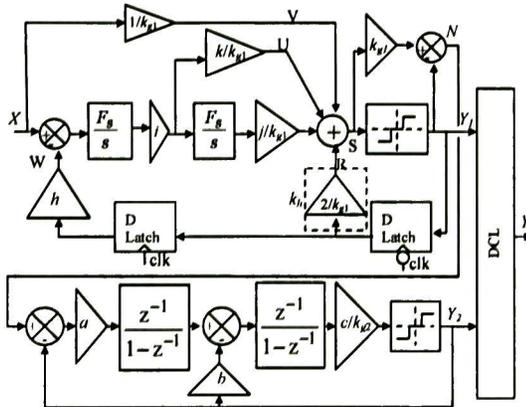


Fig. 4-1. Modulador híbrido propuesto para el procesamiento con una sola frecuencia de muestreo.

Nótese que la salida Y_1 obedece a la siguiente relación

$$Y_1(z) = z^{-2} X(z) + (1 - z^{-1})^2 E_1(z) \quad (4.1)$$

Mientras que la salida Y_2 está dada por

$$Y_2(z) = z^{-2} N(z) + (1 - z^{-1})^2 E_2(z) \quad (4.2)$$

Además

$$N(z) = \frac{Y_1 - E_1}{k_{q1}} k_{q1} - Y_1 = -E_1(z) \quad (4.3)$$

Sustituyendo (4.3) en (4.2) se obtiene una expresión para $Y_2(z)$:

$$Y_2(z) = -z^{-2} E_2 + (1 - z^{-1})^2 E_2(z) \quad (4.4)$$

Como es común en este tipo de moduladores, es necesario incorporar un DSP, y así generar la salida del modulador en cascada con el conformado del ruido de cuantización de 4º orden.

4.2.1. Lógica Digital de Cancelación

Para determinar la función de transferencia que se debe implementar en el DSP, se considera que la señal $Y_1(z)$ se introduce a $H_1(z)$, la salida $Y_2(z)$ a $H_2(z)$, y las salidas $H_1(z)$ y $H_2(z)$ se suman para producir $Y(z)$ tal como se muestra en la Fig. 4-2, donde la frecuencia de muestreo de DSP es la misma del modulador.

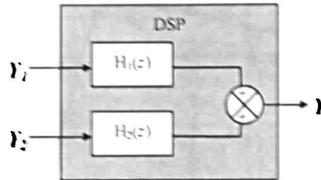


Fig. 4-2. Diagrama a bloques de la DCL.

Entonces, la salida $Y(z)$ equivale a

$$Y(z) = z^{-2}X(z)H_1(z) + (1-z^{-1})^2 E_1(z)H_1(z) - z^{-2}E_1(z)H_2(z) + (1-z^{-1})^2 E_2(z)H_2(z) \quad (4.5)$$

Haciendo que $H_1(z)=z^2$ y $H_2(z)=(1-z^{-1})^2$ se consigue eliminar el segundo y tercer término del lado derecho de (4.5), quedando como

$$Y(z) = z^{-1}X(z) + (1-z^{-1})^4 E_2(z) \quad (4.6)$$

4.3. Resultados de Simulación

La potencia del ruido de cuantización a la salida del modulador para un ancho de banda BW , está dado por

$$N_Q = 2 \int_0^{BW} NTF(F)^2 S_Q(F) dF = \frac{\Delta_2^2 \pi^8}{(12)(9)} \left(\frac{2BW}{F_s} \right)^9 \quad (4.7)$$

donde $S_Q(F)=\Delta_2^2/12F_s$ con Δ_2 el paso del cuantizador del modulador TD. De esta forma, la relación señal-a-ruido de cuantización queda dado por

$$SNR = \frac{A^2 (12)(9)}{2 \Delta_2^2 \pi^8} \left(\frac{F_s}{2BW} \right)^9 = \frac{A^2 (12)(9)}{2 \Delta_2^2 \pi^8} (OSR)^9 \quad (4.8)$$

La Fig. 4-3 muestra la SNR del modulador para $\Delta_2=0.6$ y con una frecuencia, para una entrada sinusoidal, de 1 MHz observándose claramente una mayor SNR aun

con un aumento del ancho de banda ya que se ha incrementado también el orden del modulador.

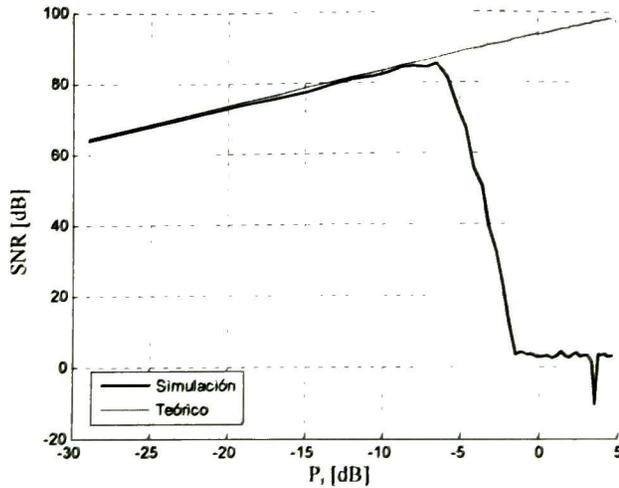


Fig. 4-3. Curvas de las métricas de desempeño del modulador híbrido.

La Fig. 4-4 muestra el espectro de la salida del modulador cuando la entrada es una señal sinusoidal de amplitud 0.225 V a una frecuencia de 1 MHz. Lo cual corresponde con un conformado del ruido de cuantización de cuarto orden. Los resultados de simulación muestran que $OSW_{int1TC}/2A=2.59$, $OSW_{int2TC}/2A=2.84$, $OSW_{int1TD}/2A=0.5$, $OSW_{int2TD}/2A=1.34$, $OSW_U/2A=3.55$, $OSW_V/2A=0.62$, $OSW_W/2A=1.59$, $OSW_R/2A=2.36$ y $OSW_S/2A=2.71$, donde OSW_U restringe al máximo valor de A de a cuerdo a $A \leq 0.225$ V. Para $A=0.225$ V ($P_i=-15.97$ dB) el máximo SNR es 76 dB.

Para conocer el impacto de los errores en el desempeño del modulador híbrido se realiza un análisis Montecarlo de 1000 muestras. El resultado se muestra en la Fig. 4-5, donde se considera una desviación estándar de 1% para todos los coeficientes a, b, c, h, i, j y k . La media del SNR y su desviación estándar es de 72.49 dB y 1.69 dB, respectivamente, es decir, si la distribución de datos se aproxima mediante una distribución de Gauss entonces el 99% de las muestras se encuentran en el rango de 67.42 dB a 77.56 dB.

4.4. Conclusiones

Al disponer de los dos moduladores previamente diseñados en los capítulos anteriores, fue posible sintetizar este nuevo modulador híbrido en una arquitectura de tipo cascada 2-2. Cuando el modulador de tiempo continuo es colocado en el

front-end, se cuenta con un filtro antialias lo cual contribuye en un ahorro de energía para conversión A/D. La lógica digital de cancelación es obtenida para obtener la salida correspondiente a un modulador de cuarto orden.

A fin de valuar el desempeño del modulador se procede de la misma forma que en los capítulos anteriores. A través del espectro de salida del modulador se valida el orden al presentar que la pendiente del conformado del ruido de cuantización es de 80 dB/década.

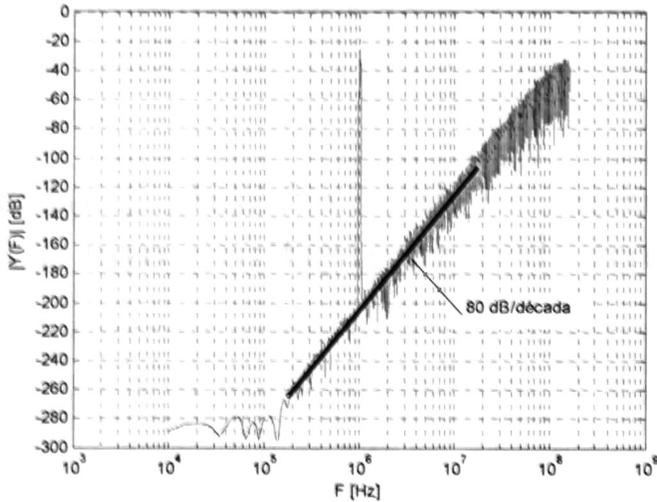


Fig. 4-4. Espectro de salida del modulador híbrido.

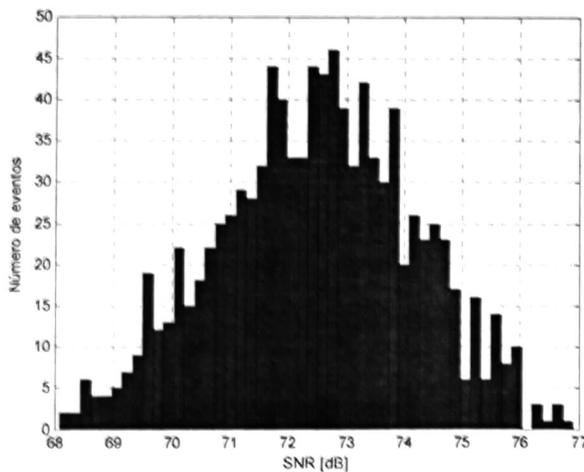


Fig. 4-5. Simulación Montecarlo.

El modulador cascada propuesto es estable al ser estables cada uno de los moduladores. Por último, el análisis Montecarlo revela que en el 99% de las muestras el DR se encuentra dentro del rango de de 67.42 dB a 77.56 por lo que el modulador es altamente robusto ante variaciones de 1% de los coeficientes de diseño.

Capítulo 5. Diseño del modulador híbrido con múltiple tasa de muestreo

El estudio de los HΣΔM con múltiples frecuencias de muestreo es el propósito de este capítulo. Se abordan los fundamentos del procesamiento con múltiple tasa de muestreo. A partir de las consideraciones de diseño del HΣΔM se procede a desarrollar una nueva arquitectura para el DCL basándose en los fundamentos del procesamiento de múltiple tasa de muestreo. Finalmente, son expuestos los resultados de simulación así como el impacto del *mismatch* de los coeficientes de diseño en el desempeño y contar con un modulador de altas prestaciones.

5.1. Introducción

EL MODULADOR híbrido en cascada con una sola frecuencia de muestreo destaca frente a otros moduladores porque combina las ventajas de los moduladores TC y TD. Sin embargo, la tecnología de hoy en día permite que los moduladores TC operen con una frecuencia de muestreo mayor que los de TD. Es por ello que es de interés estudiar y diseñar un modulador híbrido con múltiple tasa de muestreo y aprovechar en definitiva, todas las ventajas de ambos moduladores. A continuación se detallan los principios fundamentales del procesamiento con múltiple tasa de muestreo, a saber, submuestreo y sobremuestreo y de esta forma diseñar el modulador híbrido así como su DCL.

5.2. Submuestreo

Consiste en tomar solo algunas muestras de una señal en tiempo discreto. Por ejemplo, al considerar una señal discreta $x(n)$, la señal submuestreada resultante, $y(m)$ consiste de solo algunas muestras de $x(n)$ (ver Fig. 5-1).

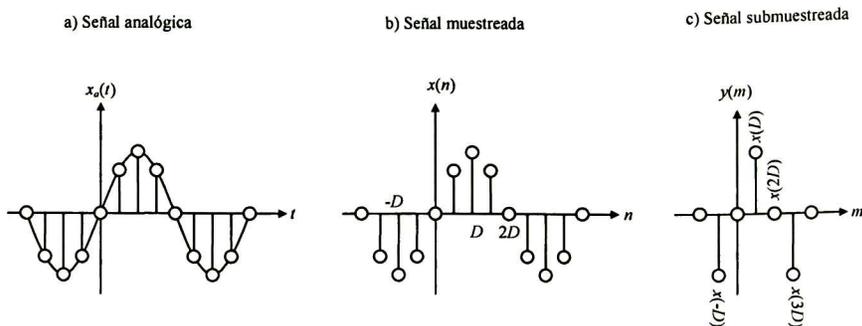


Fig. 5-1. Proceso de submuestreo.

donde $x(n)$ es la señal resultante al muestrear una señal analógica $x_a(t)$ con una frecuencia de muestreo de $F_{s1} \geq 2F_{max}$, siendo F_{max} la frecuencia máxima de $x_a(t)$. Si se toman únicamente muestras de $x(n)$ cada cierto entero positivo D , entonces se dice que la señal resultante es una versión submuestreada de $x(n)$ con submuestreo D . Esta señal, $y(m)$, se puede expresar como

$$y(m) = x(mD) \quad (5.1)$$

A fin de obtener la transformada z de $y(m)$ se sigue el siguiente procedimiento. Se considera a la señal periódica $p(n)$ con valores definidos como

$$p(n) = \begin{cases} 1, & n = 0, \pm D, \pm 2D, \dots \\ 0, & \text{resto} \end{cases} \quad (5.2)$$

Al multiplicar la señal $x(n)$ por $p(n)$ se obtiene una señal que conserva los valores de $x(n)$ para $n=0, \pm D, \pm 2D, \dots$, y para el resto de los valores de n la señal producida es de valor cero, ver Fig. 5-2. La señal submuestreada consiste en tomar las muestras del producto $x(n)p(n)$ únicamente en $0, \pm D, \pm 2D, \dots$, con lo cual $y(m)$ se puede escribir como

$$y(m) = x(mD)p(mD) \quad (5.3)$$

La ventaja de este resultado, respecto al mostrado en (5.1), reside en la multiplicación por una señal periódica. La función periódica $p(n)$, de periodo D , puede representarse como una serie de Fourier:

$$p(n) = \frac{1}{D} \sum_{k=0}^{D-1} e^{j2\pi \frac{1}{D} kn} \quad (5.4)$$

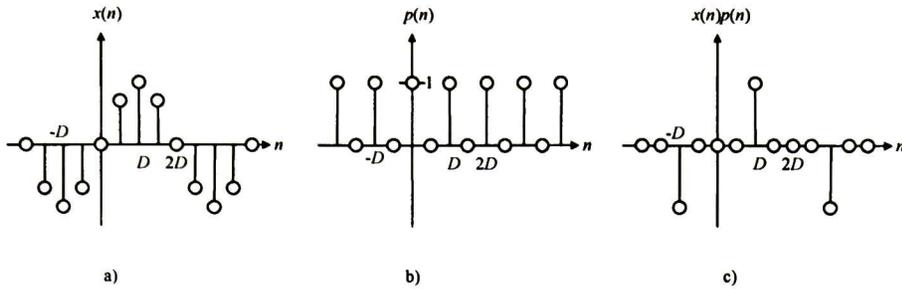


Fig. 5-2. Representación de una señal submuestreada.

Al sustituir (5.3) en (5.4) se tiene que

$$y(m) = x(mD) \frac{1}{D} \sum_{k=0}^{D-1} e^{j2\pi \frac{1}{D} kn} \quad (5.5)$$

Aplicando la transformada z a la señal $y(m)$ se encuentra que

$$\begin{aligned} Y(z) &= \sum_{m=-\infty}^{\infty} x(mD) \frac{1}{D} \sum_{k=0}^{D-1} e^{j2\pi km} z^{-m} = \frac{1}{D} \sum_{k=0}^{D-1} \sum_{m=-\infty}^{\infty} x(mD) (e^{-j2\pi k} z)^{-m} \\ &= \frac{1}{D} \sum_{k=0}^{D-1} X\left(e^{-j2\pi \frac{1}{D} k} z^{\frac{1}{D}}\right) \end{aligned} \quad (5.6)$$

Para conocer el espectro de la señal submuestreada se evalúa (5.6) en $z=e^{j2\pi f_2}$, y se tiene que

$$\begin{aligned} Y(f_2) &= Y(e^{j2\pi f_2}) = \frac{1}{D} \sum_{k=0}^{D-1} X\left(e^{-j2\pi \frac{1}{D} k} e^{j2\pi \frac{1}{D} f_2}\right) = \frac{1}{D} \sum_{k=0}^{D-1} X\left(e^{\frac{j2\pi(f_2-k)}{D}}\right) \\ &= \frac{1}{D} \sum_{k=0}^{D-1} X\left(\frac{f_2-k}{D}\right) \end{aligned} \quad (5.7)$$

donde $f_2 = Df_1 = DF/F_{s1}$. El procedimiento para obtener el espectro de la señal submuestreada se ilustra en la Fig. 5-3, donde se asume que $D=3$ y que el espectro de $x(n)$ se encuentra limitado dentro de la siguiente banda

$$-\frac{1}{2D} < f_1 < \frac{1}{2D} \quad (5.8)$$

Es importante hacer notar que si (5.8) no se satisface, entonces los espectros se traslapan y producen alias en la entrada, para ello, la frecuencia máxima de la señal de entrada deberá ser menor que la frecuencia de muestreo del modulador de tiempo discreto y con ello obtener de (5.7) la siguiente representación:

$$Y(f_2) = X\left(\frac{f_2}{D}\right) \quad (5.9)$$

O visto mediante la transformada z como

$$Y(z) = X\left(z^{\frac{1}{D}}\right) \quad (5.10)$$

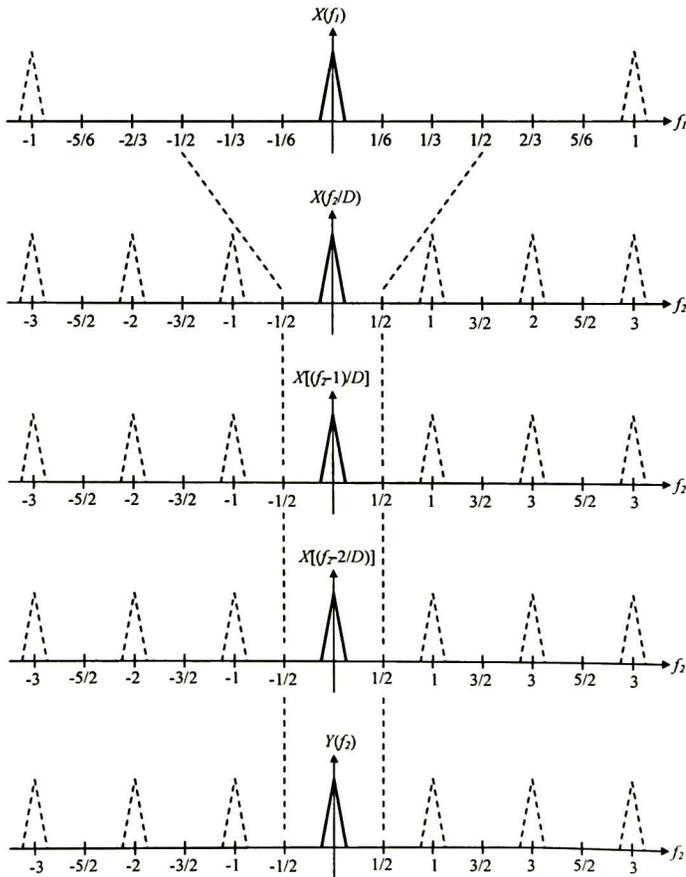


Fig. 5-3. Espectro de una señal submuestreada.

5.3. Sobremuestreo

Éste se puede llevar a cabo de varias formas. La empleada en este trabajo, dada su simplicidad y porque atenúa los armónicos resultantes del proceso de sobremuestreo, se presenta a continuación. Al considerar una señal $x(n)$, la señal $y(m)$ es la señal sobremuestreada de $x(n)$ siempre que se añadan $M-1$ muestras entre la muestra n y $n+1$ cuyo valor sea $x(n)$, siendo M un entero positivo, ver Fig. 5-4.

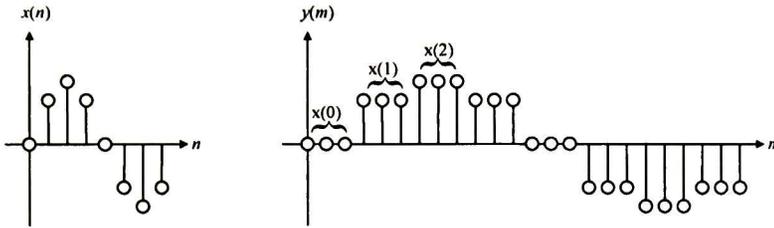


Fig. 5-4. Proceso de sobremuestreo.

La descripción matemática formal para $y(m)$ se puede escribir como

$$y(m) = \begin{cases} x\left(\frac{m}{M}\right), & m = \dots, 0, M, 2M, \dots \\ x\left(\frac{m-2}{M}\right), & m = \dots, 1, M+1, 2M+1, \dots \\ x\left(\frac{m-M+1}{M}\right), & m = \dots, M-1, 2M-1, 3M-1, \dots \end{cases} \quad (5.11)$$

La transformada z de $y(m)$ es

$$Y(z) = \sum_{m=-\infty}^{\infty} y(m)z^{-m} \quad (5.12)$$

Empleando (5.11) en (5.12) se tiene que

$$\begin{aligned}
Y(z) = & \\
& \sum_{m=\dots,0,M,2M,\dots} x\left(\frac{m}{M}\right)z^{-m} + \\
& \sum_{m=\dots,1,M+1,2M+1,\dots} x\left(\frac{m-1}{M}\right)z^{-m} + \dots + \\
& \sum_{m=\dots,M-1,2M-1,3M-1,\dots} x\left(\frac{m-M+1}{M}\right)z^{-m}
\end{aligned} \tag{5.13}$$

Realizando algunos cambios de variables en (5.13) se tiene que

$$\begin{aligned}
Y(z) = & \\
& \sum_{n=-\infty}^{\infty} x(n)z^{-Mn} + z^{-1} \sum_{n=-\infty}^{\infty} x(n)z^{-Mn} + \dots + z^{-M+1} \sum_{n=-\infty}^{\infty} x(n)z^{-Mn} \\
& = G(z)X(z^M)
\end{aligned} \tag{5.14}$$

donde $G(z)=1+z^{-1}+\dots+z^{-M+1}$ es un filtro pasa bajas con ganancia a bajas frecuencias de valor M , del cual se obtendrá un beneficio adicional al atenuar los armónicos que resultan al submuestrear y después sobremuestrear una señal.

El espectro de $y(m)$ se obtiene al evaluar $Y(z)$ en $z=e^{j\omega T}$:

$$Y(f_1) = G(f_1)X(Mf_1) \tag{5.15}$$

donde $f_1=f_2/M=F/(MF_{s2})$, siendo F la frecuencia máxima de la señal analógica. El procedimiento para obtener el espectro de la señal sobremuestreada se ilustra en la Fig. 5-5, donde se asume que $M=3$.

5.4. Arquitectura del modulador híbrido con múltiple tasa de muestreo

Llegado este punto es posible estructurar el modulador híbrido con múltiple tasa de muestreo. Tomando el modulador mostrado en la Fig. 4-1 como base, es posible generar la arquitectura con múltiple tasa de muestreo. La Fig. 5-6 muestra la arquitectura para este modulador.

Una diferencia esencial de este modulador híbrido frente al presentado en la Fig. 4-1 es el submuestreador que se coloca a la entrada del modulador de tiempo discreto para permitir que la etapa de tiempo continuo opere con una tasa de muestreo superior [García].

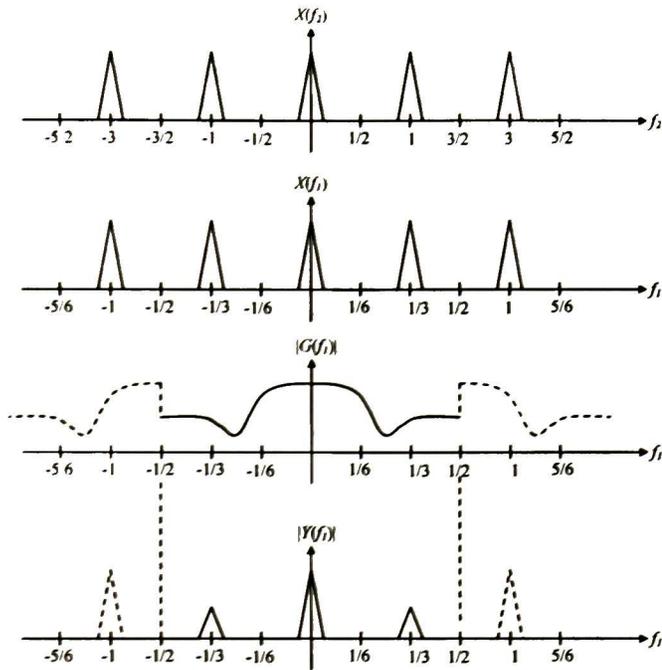


Fig. 5-5. Espectro de una señal sobremuestreada.

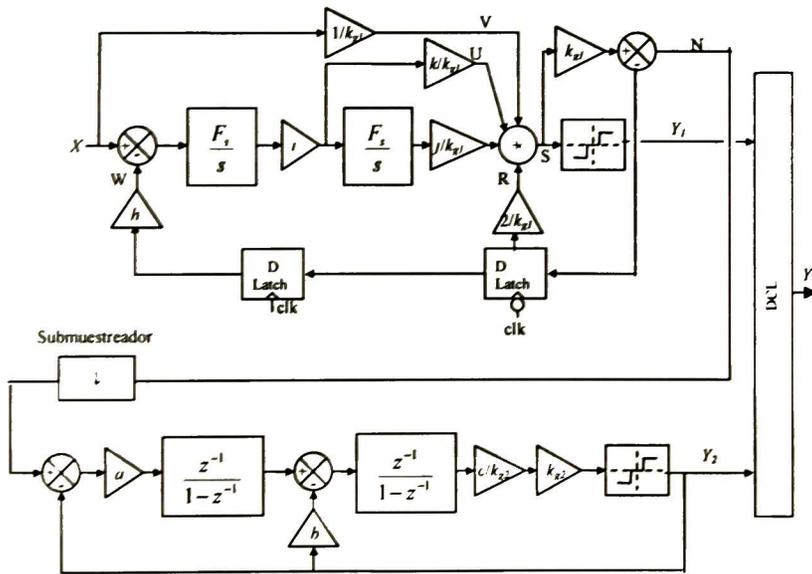


Fig. 5-6. Diagrama a bloques de la arquitectura del modulador híbrido con múltiples frecuencias de muestreo.

La señal de salida del modulador TC sigue siendo la relación presentada en (4.1), mas la salida del modulador TD es modificada al modificar la señal $N(z)$ por el submuestreo. Dado que $S(z)$ es el resultado del submuestreo de $N(z)$ y en base a (5.6), $S(z)$ se puede escribir como

$$S(z) = \frac{1}{D} \sum_{k=0}^{D-1} N \left(e^{-j2\pi \frac{1}{D} k} z^{\frac{1}{D}} \right) = -\frac{1}{D} \sum_{k=0}^{D-1} E_1 \left(e^{-j2\pi \frac{1}{D} k} z^{\frac{1}{D}} \right) \quad (5.16)$$

donde D es la tasa de submuestreo y $E_1(z)$ es la transformada z del error de cuantización del cuantizador TC. De esta forma, la salida del modulador de tiempo discreto se puede escribir como

$$Y_2(z) = -\frac{1}{D} z^{-2} \sum_{k=0}^{D-1} E_1 \left(e^{-j2\pi \frac{1}{D} k} z^{\frac{1}{D}} \right) + (1 - z^{-1})^2 E_2(z) \quad (5.17)$$

Resulta evidente que el submuestreo trae consigo una fuente de error debido al alias que se produce al submuestrear el ruido de cuantización del modulador TC. Sin embargo este error de alias puede ser eliminado digitalmente dentro del DSP tal como se presenta en [Garc10].

5.5. Proceso de submuestreo-sobremuestreo

El procesamiento que debe implementarse dentro del DSP para producir la salida de un modulador de 4° orden se ilustra en la Fig. 5-7 donde la razón de submuestreo y sobremuestreo es D y la frecuencia de $H(z)$, $H_2(z)$, $L_1(z)$ y $L_2(z)$ es igual a la frecuencia de muestreo del modulador TC.

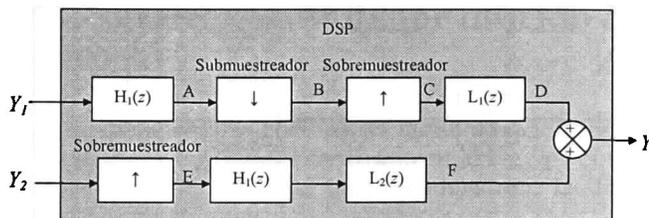


Fig. 5-7. Diagrama a bloques de DCL.

A continuación se detallan el proceso para definir cada uno de los bloques del procesamiento digital. Primero se encuentra que $A(z)$ está dada por

$$A(z) = Y_1(z)H_1(z) = z^{-2} X(z)H_1(z) + (1 - z^{-1})^2 E_1(z)H_1(z) \quad (5.18)$$

Al submuestrear la señal $A(z)$ se consigue la señal $B(z)$ cuya transformada z es

$$\begin{aligned}
B(z) &= \frac{1}{D} \sum_{k=0}^{D-1} A \left(e^{-j2\pi \frac{1}{D} k} z^{\frac{1}{D}} \right) = \\
\frac{1}{D} \sum_{k=0}^{D-1} H_1 \left(e^{-j2\pi \frac{1}{D} k} z^{\frac{1}{D}} \right) &\left\{ e^{j2\pi \frac{2}{D} k} z^{-\frac{2}{D}} X \left(e^{-j2\pi \frac{1}{D} k} z^{\frac{1}{D}} \right) + \left(1 - e^{j2\pi \frac{1}{D} k} z^{\frac{1}{D}} \right)^2 E_1 \left(e^{-j2\pi \frac{1}{D} k} z^{\frac{1}{D}} \right) \right\} \quad (5.19)
\end{aligned}$$

La señal $C(z)$ es la señal $A(z)$ sobremuestreada cuya transformada z es

$$\begin{aligned}
C(z) &= \sum_{p=0}^{D-1} z^{-p} B(z^D) = \frac{1}{D} \sum_{p=0}^{D-1} z^{-p} \\
\sum_{k=0}^{D-1} H_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) &\left\{ e^{j2\pi \frac{2}{D} k} z^{-2} X \left(e^{-j2\pi \frac{1}{D} k} z \right) + \left(1 - e^{j2\pi \frac{1}{D} k} z^{-1} \right)^2 E_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) \right\} \quad (5.20)
\end{aligned}$$

La transformada z de la señal $D(z)$ es

$$\begin{aligned}
D(z) &= C(z) L_1(z) = \\
\frac{1}{D} \sum_{p=0}^{D-1} z^{-p} L_1(z) \sum_{k=0}^{D-1} H_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) &\left\{ e^{j2\pi \frac{2}{D} k} z^{-2} X \left(e^{-j2\pi \frac{1}{D} k} z \right) + \left(1 - e^{j2\pi \frac{1}{D} k} z^{-1} \right)^2 E_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) \right\} \quad (5.21)
\end{aligned}$$

La señal $E(z)$ es el producto del sobremuestreo de la señal $Y_2(z)$, por lo que su transformada z se escribe como

$$\begin{aligned}
E(z) &= \sum_{p=0}^{D-1} z^{-p} Y_2(z^D) = \\
\sum_{p=0}^{D-1} z^{-p} \left\{ -\frac{1}{D} z^{-2D} \sum_{k=0}^{D-1} E_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) + (1 - z^{-D})^2 E_2(z^D) \right\} &\quad (5.22)
\end{aligned}$$

La transformada z de la señal $F(z)$ es

$$\begin{aligned}
F(z) &= E(z) H_2(z) L_2(z) \\
\sum_{p=0}^{D-1} z^{-p} H_2(z) L_2(z) \left\{ -\frac{1}{D} z^{-2D} \sum_{k=0}^{D-1} E_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) + (1 - z^{-D})^2 E_2(z^D) \right\} &\quad (5.23)
\end{aligned}$$

Finalmente se llega a obtener la relación para la salida del modulador híbrido con múltiple tasa de muestreo, la cual se escribe como

$$\begin{aligned}
Y(z) &= D(z) + F(z) = \\
&\left[\frac{1}{D} L_1(z) \sum_{k=0}^{D-1} e^{j2\pi \frac{z^2}{D} k} z^{-2} H_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) X \left(e^{-j2\pi \frac{1}{D} k} z \right) + \right. \\
&\frac{1}{D} L_1(z) \sum_{k=0}^{D-1} \left(1 - e^{j2\pi \frac{1}{D} k} z^{-1} \right)^2 H_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) E_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) \\
&\left. - \frac{1}{D} z^{-2D} H_2(z) L_2(z) \sum_{k=0}^{D-1} E_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) + H_2(z) L_2(z) (1 - z^{-D})^2 E_2(z^D) \right] \sum_{p=0}^{D-1} z^{-p}
\end{aligned} \tag{5.24}$$

Haciendo que

$$H(z) = H_1(z) = H_2(z) = \left[\sum_{l=0}^{D-1} z^{-l} \right]^2 \tag{5.25}$$

Entonces

$$H(z) (1 - z^{-1})^2 = \left[\sum_{l=0}^{D-1} z^{-l} (1 - z^{-1}) \right]^2 = [1 - z^{-D}]^2 \tag{5.26}$$

Al mismo tiempo

$$\begin{aligned}
&\left(1 - e^{j2\pi \frac{1}{D} k} z^{-1} \right)^2 H_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) = \\
&\left[(1 - z^{-1})^2 H_1(z) \right]_{z=e^{-j2\pi \frac{1}{D} k} z} = \left[1 - e^{j2\pi \frac{1}{D} k D} z^D \right]^2 = H(z) (1 - z^{-1})^2
\end{aligned} \tag{5.27}$$

Sustituyendo (5.27) en (5.24) se tiene que

$$\begin{aligned}
Y(z) &= D(z) + F(z) = \\
&\left[\frac{1}{D} L_1(z) \sum_{k=0}^{D-1} e^{j2\pi \frac{z^2}{D} k} z^{-2} H \left(e^{-j2\pi \frac{1}{D} k} z \right) X \left(e^{-j2\pi \frac{1}{D} k} z \right) + \right. \\
&\frac{1}{D} H(z) (1 - z^{-1})^2 L_1(z) \sum_{k=0}^{D-1} E_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) - \frac{1}{D} z^{-2D} H(z) L_2(z) \sum_{k=0}^{D-1} E_1 \left(e^{-j2\pi \frac{1}{D} k} z \right) \\
&\left. + H(z) L_2(z) (1 - z^{-D})^2 E_2(z^D) \right] \sum_{p=0}^{D-1} z^{-p}
\end{aligned} \tag{5.28}$$

Al hacer que $L_1(z) = z^{-2D}$ y $L_2(z) = (1 - z^{-1})^2$ se consigue anular entre sí el segundo y tercer término del lado derecho de (5.28) para volver a escribirla como

$$Y(z) = D(z) + F(z) = \left[\frac{1}{D} z^{-2D} z^{-2} \sum_{k=0}^{D-1} e^{j2\pi \frac{k}{D}} H\left(e^{-j2\pi \frac{k}{D}} z\right) X\left(e^{-j2\pi \frac{k}{D}} z\right) + (1-z^{-D})^4 E_2(z^D) \right] \sum_{p=0}^{D-1} z^{-p} \quad (5.29)$$

En el dominio de la frecuencia se encuentra que

$$|Y(f)| \approx \left| \frac{1}{D} \sum_{k=0}^{D-1} H\left(f - \frac{k}{D}\right) X\left(f - \frac{k}{D}\right) + 2^4 \sin^4(\pi f D) E_2(fD) \right| \sum_{p=0}^{D-1} e^{-j2\pi f p} \quad (5.30)$$

donde

$$\sum_{p=0}^{D-1} e^{-j2\pi f p} = \frac{1 - e^{-j2\pi f D}}{1 - e^{-j2\pi f}} = \left| \frac{e^{-j\pi f D} e^{j\pi f D} - e^{-j\pi f}}{e^{j\pi f} - e^{-j\pi f}} \right| = \left| \frac{\text{sen}(\pi f D)}{\text{sen}(\pi f)} \right| \quad (5.31)$$

La Fig. 5-8 muestra el comportamiento de (5.31) para varios valores de D , y como se puede apreciar se trata de un filtrado pasa bajas, por lo que (5.30) se puede aproximar como

$$Y(f) \approx \sum_{k=0}^{D-1} H\left(f - \frac{k}{D}\right) X\left(f - \frac{k}{D}\right) + 2^4 \text{sen}^4(\pi f D) \left| \frac{\text{sen}(\pi f D)}{\text{sen}(\pi f)} \right| E_2(fD) \quad (5.32)$$

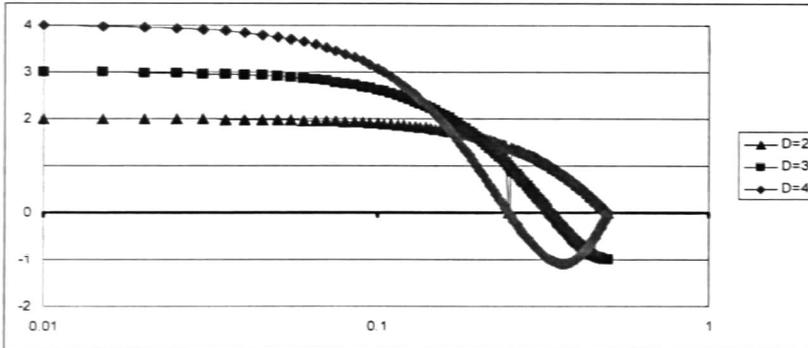


Fig. 5-8. Respuesta en el dominio de la frecuencias del filtrado $|\text{sen}(\pi f D)/\text{sen}(\pi f)|$ para diferentes valores de D .

Se observa que

$$\text{NTF}(f)^2 \approx 2^8 (\pi f D)^8 \quad (5.33)$$

Además la señal reconstruida del error del segundo cuantizador cuenta con una densidad espectral de potencia como la mostrada en la Fig. 5-9 (ver también la Fig. 5-5).

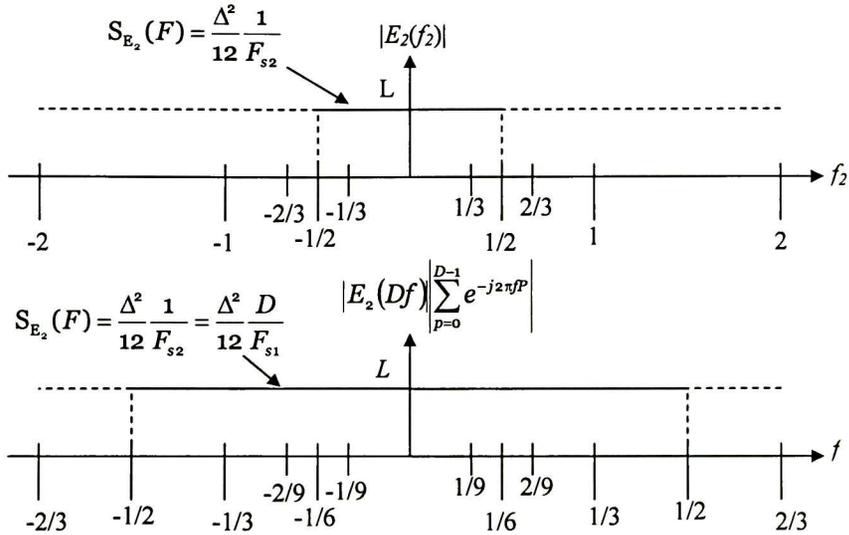


Fig. 5-9. Transformación de la densidad espectral de potencia del ruido.

Por lo que la potencia del ruido de cuantización se puede encontrar como

$$N_Q = 2 \int_0^{\text{BW}} \left[2^8 \pi^8 D^8 \left(\frac{1}{F_{s1}} \right)^8 F^8 \right] \left[\frac{\Delta^2 D}{12 F_{s1}} \right] dF = \frac{\pi^8 D^9 \Delta^2}{(12)(9)} \frac{1}{\text{OSR}^9} \quad (5-34)$$

Por otro lado, se considera que el espectro de $X(f)$ es como el presentado en la Fig. 5-10. La potencia de la señal de salida es

$$S_o = \frac{(AD^2)^2}{2} \quad (5-35)$$

Dado que $|H(f)|$ a bajas frecuencias es D^2 . Así se puede escribir a

$$\text{SNR} = \frac{A^2}{2} \frac{(12)(9)\text{OSR}^9}{\pi^8 D^5 \left(\frac{2A}{2^{B_2} - 1} \right)^2} = \frac{(12)(9)\text{OSR}^9 (2^{B_2} - 1)^2}{2^3 \pi^8 D^5} \quad (5-36)$$

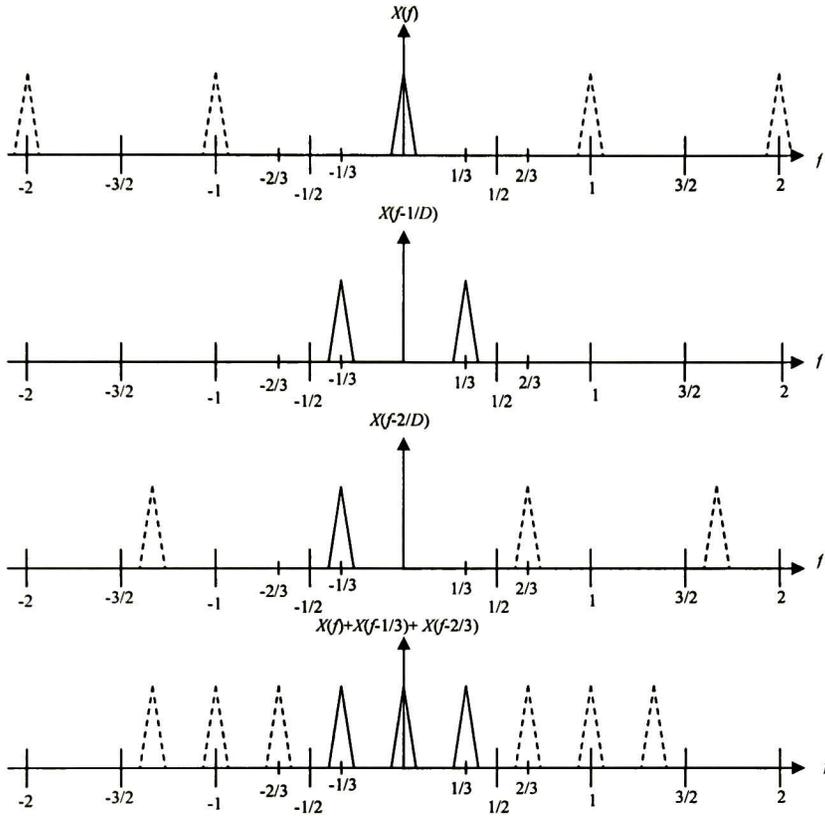


Fig. 5-10. Efecto de una señal submuestreada.

5.6. Resultados de simulación

La Fig. 5-11 muestra la SNR del modulador, cuando $\Delta_2=0.6$, la frecuencia de la entrada sinusoidal es de 1 MHz y $F_{s1}=3F_{s2}=960$ MHz. La Fig. 5-12 muestra el espectro de la salida del modulador cuando la entrada es una señal sinusoidal de amplitud de 0.246 V a una frecuencia de 1 MHz.

Los resultados de simulación muestran que $OSW_{int1TC}/2A=1.83$, $OSW_{int2TC}/2A=3.25$, $OSW_{int1TD}/2A=0.38$, $OSW_{int2TD}/2A=2.75$, $OSW_U/2A=2.5$, $OSW_V/2A=0.65$, $OSW_W/2A=1.35$, $OSW_R/2A=2$ y $OSW_S/2A=2.80$, donde OSW_{int2TC} restringe al máximo valor de A de acuerdo a $A \leq 0.246$ V. Para $A=0.246$ V ($P_i=-15.19$ dB) el máximo SNR es 96.67 dB. Para conocer el impacto de los principales errores en el desempeño del modulador híbrido se realiza un análisis Montecarlo de 1000 muestras que se muestra en la Fig. 5-13 en la que se considera una desviación estándar de 1% para todos los coeficientes a, b, c, h, i, j y k . La media del SNR y su desviación estándar es de 84.40 dB y 3.11 dB, considerando una

distribución de Gauss se puede asegurar que el 99% de las muestras se encuentran dentro del rango de 75.07 dB a 93.73 dB.

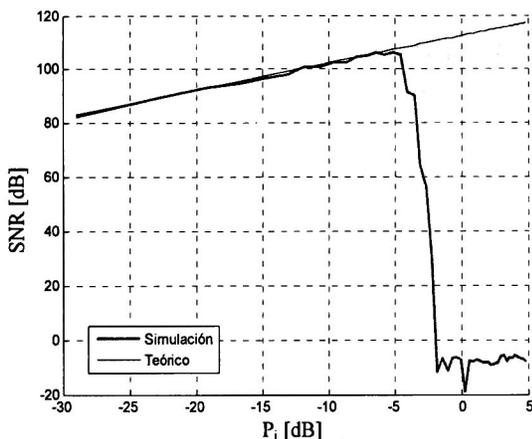


Fig. 5-11. Curvas de las métricas de desempeño del modulador híbrido.

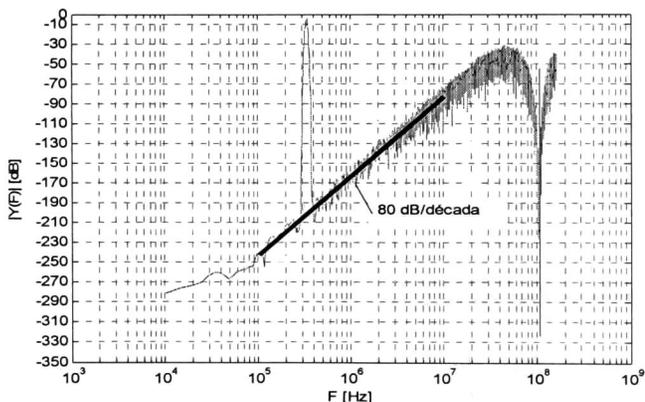


Fig. 5-12. Espectro de la señal de salida del modulador híbrido.

Los resultados de la simulación son comparados con otros moduladores del estado del arte Tabla 5-1. Una clara ventaja que ofrece es la alta frecuencia de muestreo sin desatender la resolución mínima de 12 bits.

5.7. Conclusiones

Gracias al procesamiento con varias tasas de muestreo cuyos principios fueron expuestos en este capítulo fue posible encontrar la lógica digital de cancelación

para suprimir el fenómeno de alias que ocurre al submuestrear una señal. De esta manera fue posible conseguir H Σ AM de altas prestaciones para explotar todas las ventajas de los procesamientos de TD y TC. Además que la desventaja añadida del TC Σ AM son reducidas ya que el 50% del procesamiento es realizado por este modulador y el resto del procesamiento por el T Σ AM.

Tabla 5-1. Comparación de los Σ AMH con tecnologías nanométricas.

Año	Autor	DR (bit)	F _s (S/s)	BW (Hz)	OSR	Arquitectura
2005	[Morro05]	16.7	40x10 ³	156	128	2nd-ord(4b) - DEM
2005	[Nguy05]	15.9	96x10 ³	375	128	4th-ord (4b) - DEM
2005	[Shim05]	12.37	400x10 ³	12.5x10 ³	16	3rd-ord
2005	[Shim05]	8.87	10x10 ⁶	625x10 ³	8	3rd-ord
2008	[Kulco8]	12.50	15x10 ⁶	469x10 ³	16	2-1 CT/SC Híbrido
2012	Este trabajo	13.8/12.9	320x10 ⁶ /960x10 ⁶	10x10 ⁶ / 20x10 ⁶	16/24	2-2 CT/DR Híbrido Monorate/Multirate

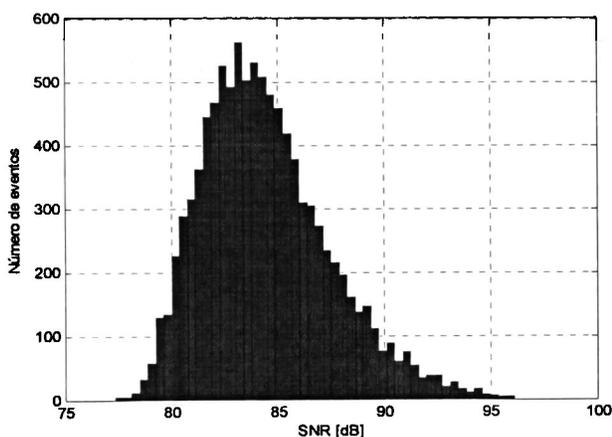


Fig. 5-13. Simulación Montecarlo.

Esta propuesta de modulador es una opción viable para los sistemas futuros de comunicación de cuarta generación dadas sus cualidades como es contar con un filtro antialias a la entrada, permitir altas frecuencias de muestreo (cercanas al 1 GHz), bajo consumo de potencia y reducido impacto a los efectos no ideales.

Por otro lado, la configuración de tipo cascada permite reconfigurar al modulador para satisfacer requisitos mínimos y prolongar significativamente la carga útil de la batería

Los resultados muestran cómo el ruido de cuantización es conformado con una pendiente de 80 dB/década lo cual corresponde a un modulador de 4 orden. Con la curva del desempeño se puede apreciar la similitud existente entre el comportamiento ideal de un modulador de 4 orden por lo que se valida su desempeño.

Al análisis Montecarlo revela la robustez del modulador ya que en el 99% de las muestras realizadas el DR se encuentra con una variación de ± 11.05 dB.

Intencionalmente en Blanco

Capítulo 6. Modelado de las no idealidades del modulador híbrido

En este capítulo se estudia las no idealidades que degradan el desempeño de los $\Sigma\Delta$. Se estudian los circuitos que componen al modulador híbrido así como sus no idealidades. A partir del estudio de las no idealidades de los circuitos son modeladas e incorporadas al diseño de alto nivel del modulador para validar el diseño presentado en los capítulos previos y establecer los requerimientos de los bloques constitutivos del modulador.

6.1. Introducción

Como es sabido por las numerosas publicaciones, los ADC $\Sigma\Delta$ presentan menor sensibilidad a las no idealidades de sus bloques constitutivos que otras técnicas de conversión [Nors97]. Sin embargo, en la medida que las aplicaciones incrementan sus demandas de ancho de banda y resolución, el impacto de las no idealidades de los bloques de los ADC $\Sigma\Delta$ degradan el desempeño del modulador e incluso pueden poner en riesgo su estabilidad. Razón por la cual, el estudio de las no idealidades es importante en el diseño de alto nivel ya que es posible incorporar al modelado el impacto de las no idealidades y asegurar que el diseño obtenido sigue satisfaciendo los requerimientos de la aplicación. Además, con la incorporación del modelado de las no idealidades es posible establecer las especificaciones de los circuitos constitutivos. Dado que el bloque más importante del ADC $\Sigma\Delta$ es el $\Sigma\Delta$, los estudios de las no idealidades se centran en el $\Sigma\Delta$.

La primera parte de este capítulo de exponen los circuitos que componen al TDC $\Sigma\Delta$ y al TC $\Sigma\Delta$ y de los errores que más impactan en el desempeño de los moduladores así como del modelado de los mencionados errores.

La segunda parte del capítulo muestra los resultados de simulación cuando se ha incorporado el modelado de los errores de los circuitos y de esta forma asegurar la robustez del modulador.

6.2. Errores de los circuitos del TDE $\Sigma\Delta$

La determinación de los errores que afectan el desempeño de los TDE $\Sigma\Delta$ requiere conocer la implementación de la arquitectura. Es con la implementación que se pueden conocer los circuitos que componen al modulador para explorar su funcionamiento y señalar las fuentes de error que degradan su desempeño. A continuación, se aborda la implementación del $\Sigma\Delta$.

6.2.1. Implementación del modulador de TD

Para el TDE Σ expuesto en el capítulo 3 (ver Fig. 6-1a)), en el diagrama se ha añadido una *Flip-Flop* tipo D para el caso en que el modulador sea operado con múltiples tasas de muestreo.

La implementación del modulador mediante SC es ilustrado en la Fig. 6-1b). Todos los coeficientes de diseño han sido incluidos dentro de los integradores así como también la obtención del error de la *front-end* es obtenida dentro del primer integrador.

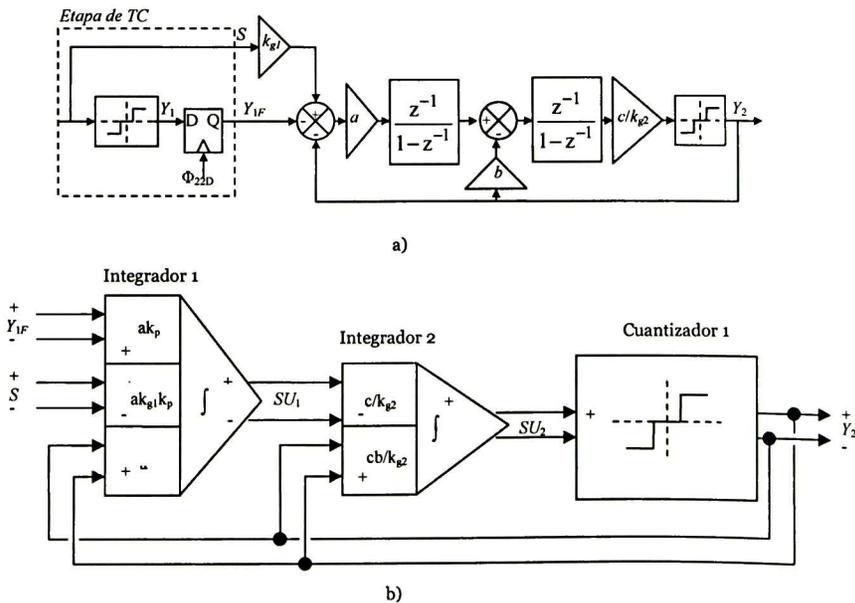


Fig. 6-1. a) Diagrama a bloques del TDE $\Sigma\Delta$. b) Implementación SC del TDE $\Sigma\Delta$.

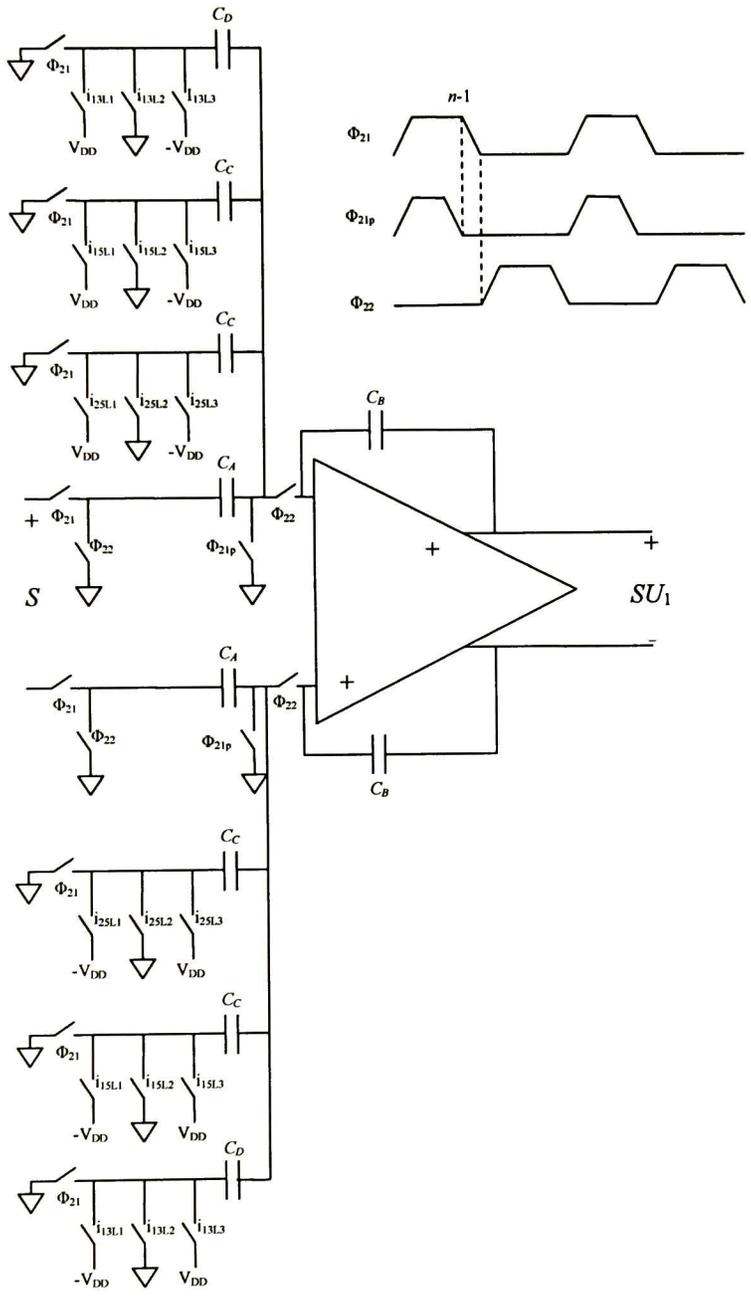


Fig. 6-2. Diagrama esquemático del primer integrador SC.

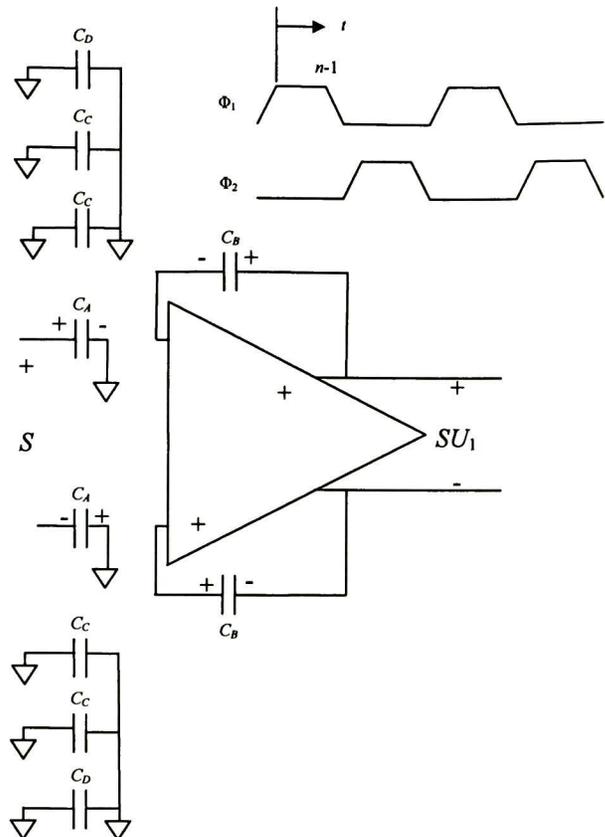


Fig. 6-3. Primer integrador SC durante la etapa de muestreo.

El primer SC integrador usado para esta aplicación se elige como el que se presenta en la Fig. 6-2 dado su reducida sensibilidad a efectos parásitos [Mart78] [Jaco78]. Φ_{21} y Φ_{22} son señales de reloj no traslapadas empleadas para el muestreo y la integración, respectivamente. Adicionalmente la señal Φ_{22p} es empleada para aliviar la no linealidad introducida por la inyección de carga [Raza01].

La señal cuantizada Y_1 de tres niveles (proveniente del *front-end*), es introducida a través de los interruptores i_{13L1} , i_{13L2} e i_{13L3} en el momento que Φ_{22} se encuentra en nivel alto. La señal de cuantizada de retroalimentación de cinco niveles Y_{2F} (proveniente del *back-end*) es introducida a través de los interruptores i_{15L1} , i_{15L2} , i_{15L3} , i_{25L1} , i_{25L2} e i_{25L3} y cuando Φ_{22} se encuentra en alto.

La etapa de integración ($\Phi_{22}=1$) se muestra en la Fig. 6-4, donde se han reemplazado los interruptores i_{15L1} - i_{15L3} y i_{25L1} - i_{25L3} por la señal Y_2 y las señales i_{13L1} - i_{13L3} son reemplazadas por Y_{1F} .

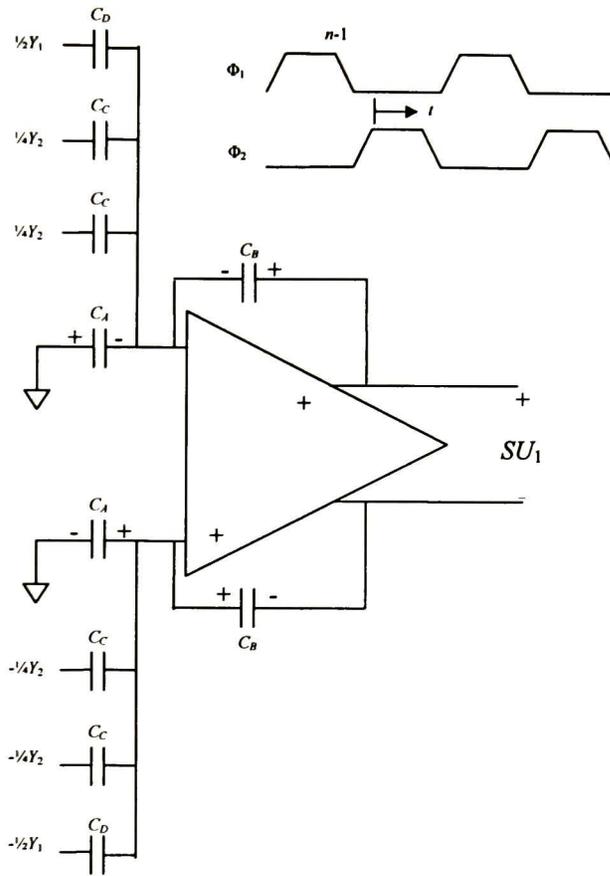


Fig. 6-4. Primer integrador SC durante la etapa de integración.

Partiendo del principio de conservación de la carga, es posible escribir la siguiente ecuación:

$$C_A \int_{\frac{1}{2}S(n-1)}^0 dV + C_C \int_0^{\frac{1}{4}Y_2(n-1+\frac{1}{2})} dV + C_C \int_0^{\frac{1}{4}Y_2(n-1+\frac{1}{2})} dV + C_D \int_0^{\frac{1}{2}Y_1(n-1+\frac{1}{2})} dV = C_B \int_{\frac{1}{2}SU_1(n-1)}^{\frac{1}{2}SU_1(n-1+\frac{1}{2})} dV \quad (6.1)$$

Evaluando y simplificando las integrales de (6.1) se tiene que

$$\begin{aligned} & C_A S(n-1) - C_C Y_2 \left(n-1 + \frac{1}{2} \right) - C_D Y_1 \left(n-1 + \frac{1}{2} \right) \\ & = C_B S U_1 \left(n-1 + \frac{1}{2} \right) - C_B S U_1 (n-1) \end{aligned} \quad (6.2)$$

Sin embargo, si las señales del cuantizador son generadas como se ilustra en la Fig. 6-5 entonces $y_1(n-1/2)=y_1(n-1)$ y $y_2(n-1/2)=y_2(n-1)$ por lo tanto (6.2) se puede volver a escribir como

$$\begin{aligned} & C_A S(n-1) - C_C Y_1(n-1) - C_D Y_2(n-1) \\ & = C_B S U_1(n) - C_B S U_1(n-1) \end{aligned} \quad (6.3)$$

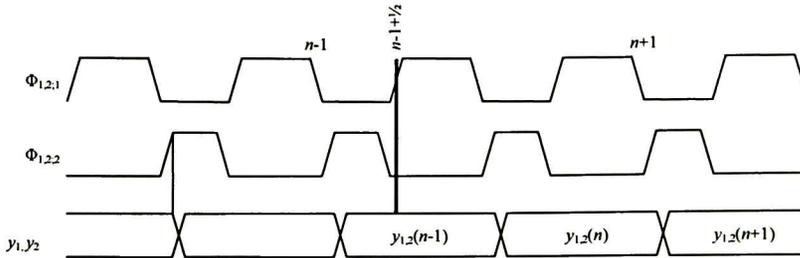


Fig. 6-5 Diagrama de tiempo para cuantizador.

Tomando la transformada z (6.3) y resolviendo para $S U_1(z)$ se puede escribir la respuesta del integrador:

$$S U_1(z) = \left[\frac{C_A}{C_B} S(z) - \frac{C_C}{C_B} Y_1(z) - \frac{C_D}{C_B} Y_2(z) \right] \left[\frac{z^{-1}}{1-z^{-1}} \right] \quad (6.4)$$

De forma análoga, la respuesta del segundo integrador, mostrado en la Fig. 6-6, es

$$S U_2(z) = \left[\frac{C_A}{C_B} S U_1(z) - \frac{C_C}{C_B} Y_2(z) \right] \left[\frac{z^{-1}}{1-z^{-1}} \right] \quad (6.5)$$

De (6.4) y de (6.5) se puede ver que además de desarrollar la integración FE se efectúa una suma aritmética ponderada de las señales de entrada.

El cuantizador de cinco niveles empleado para el *back-end* consta de cuatro comparadores. Cada comparador recibe como señales de entrada a la señal de entrada $S U_2$, la señal de reloj Φ_{22} y un par de señales de referencia, y produce las señales L_1-L_5 . En la Fig. 6-7a) se muestra la salida digital del cuantizador para una señal de entrada analógica. Las señales de referencia del cuantizador son generadas por resistores como los mostrados en la Fig. 6-7b).

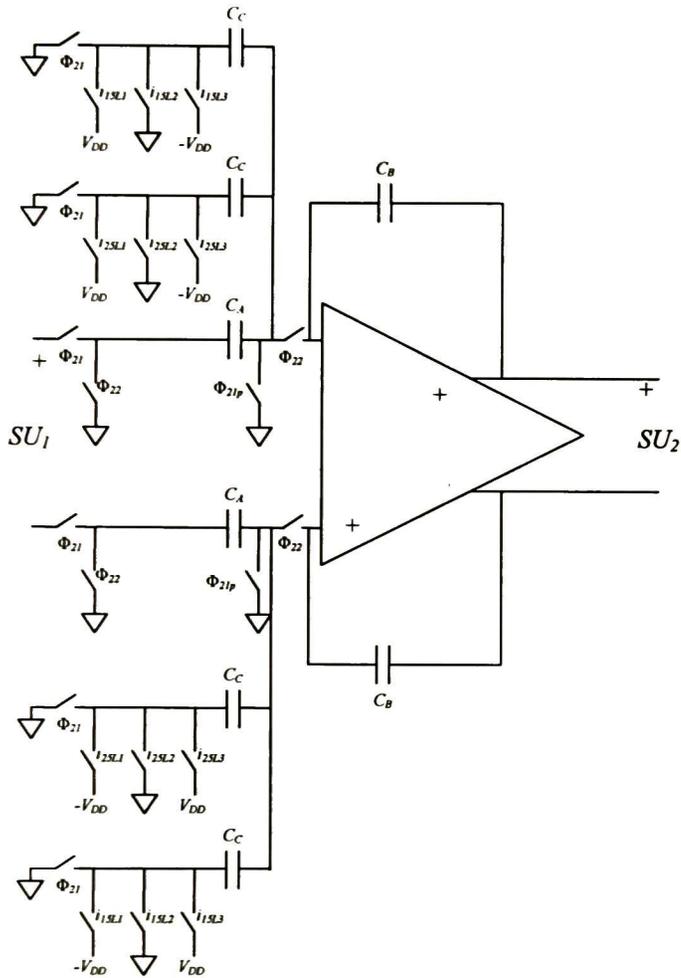


Fig. 6-6. Diagrama esquemático del primer integrador SC.

Como resulta evidente del procedimiento para encontrar la respuesta del integrador fue necesario asumir un comportamiento ideal de parte de los integradores y del cuantizador.

Sin embargo, al considerar el comportamiento real el desempeño del modulador difiere del desempeño ideal. Las siguientes secciones consideran los efectos nocivos para encontrar el desempeño del modulador de TD más cercano a la implementación física. Cada una de las no idealidades abordadas es incluida dentro del modelado de los integradores y del cuantizador

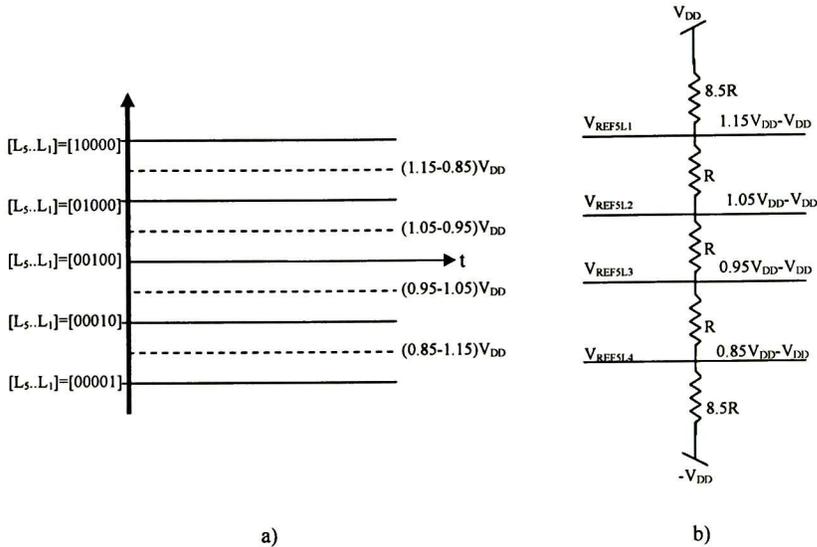


Fig. 6-7. a) Niveles de cuantificación, b) Arreglo resistivo para los niveles de cuantización.

6.2.2. Jitter del reloj.

La operación de un circuito SC depende de la carga transferida durante cada fase del reloj [Hai99]. Una vez que la señal analógica ha sido muestreada, el circuito SC es un sistema de datos muestreados donde las variaciones del periodo del reloj no tienen efecto directo en el desempeño del circuito. Por lo tanto, el efecto del *jitter* del reloj en un circuito SC es completamente descrito al calcular sus efectos en el muestreo de la señal de entrada. Esto también significa que el efecto del *jitter* en un $\Sigma\Delta M$ es independiente de la estructura o el orden del modulador [Malcoo3].

El *jitter* del reloj produce un muestreo no uniforme y que incrementa la potencia del error en la salida del cuantizador. La magnitud de este error es una función de dos cantidades, el *jitter* y la señal de entrada del modulador. El error e , introducido cuando la señal $x(t)$ es de tipo sinusoidal con amplitud A y frecuencia F_o , es muestreada en un instante de tiempo t con un error dado por δ se aprecia en la Fig. 6-8a), el cual está determinado por la siguiente expresión

$$\begin{aligned}
 x(t + \delta) - x(t) &= A \sin[2\pi F_o(t + \delta)] - A \sin(2\pi F_o t) \\
 &= A \sin(2\pi F_o t) \cos(2\pi F_o \delta) + A \cos(2\pi F_o t) \sin(2\pi F_o \delta) - A \sin(2\pi F_o t) \\
 &\approx 2\pi F_o A \delta \cos(2\pi F_o t) = \delta \frac{d}{dt} x(t)
 \end{aligned} \tag{6.6}$$

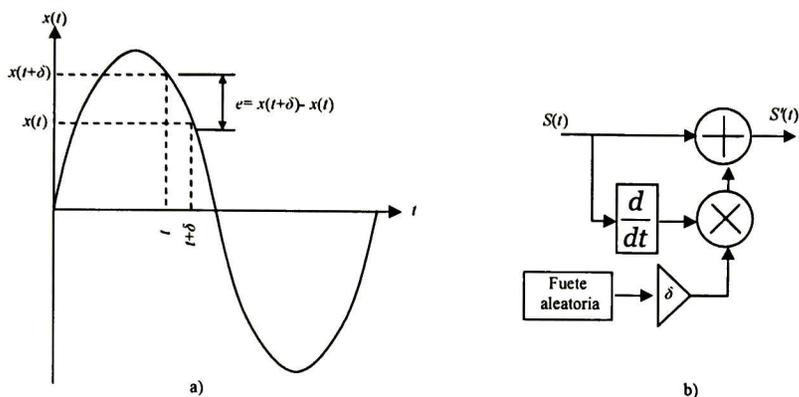


Fig. 6-8. Modelado del jitter.

Por lo expuesto en (6.6) es posible modelar el *jitter* del reloj mediante la adición de una señal aleatoria de media cero y desviación estándar unitaria. Esta señal aleatoria es multiplicada por el factor δ y por la derivada de la señal sinusoidal de entrada. La Fig. 6-8b) muestra el diagrama comportamental de la inclusión del debido al *jitter* del reloj, donde la distribución de la señal aleatoria (para este trabajo) se asume Gaussiana, sin embargo, es posible emplear otro tipo de distribución.

6.2.3. Ruido térmico y del amplificador operacional

La más grande fuente de ruido que afecta la operación de un $\Sigma\Delta\text{M}$ (implementado mediante SC) es el ruido térmico asociado a los interruptores y al ruido intrínseco del los amplificadores operacionales. El ruido térmico producido por los interruptores es atribuido a su comportamiento resistivo mientras que en el amplificador es principalmente atribuido al ruido térmico producido por los transistores.

6.2.3.1. Ruido térmico de los interruptores

El ruido térmico es causado por el movimiento aleatorio dentro de un conductor. Los efectos de dichos movimientos introducen una fluctuación de la medición del voltaje dentro del conductor aun si el promedio de la corriente circulante es igual a cero. La densidad espectral de potencia del ruido térmico se asume uniforme y está limitado únicamente por la constante de tiempo del integrador SC. El modelado de las fuentes de ruido térmico requiere del análisis de los integradores en la etapa de muestreo y de integración. Durante la etapa de muestreo los interruptores (que son encendidos) son modelados mediante resistores. Adicionalmente, una fuente de tensión es añadida en cada una de las entradas del integrador para modelar el ruido térmico. El voltaje de la fuente añadida es igual a $4k_BTR_{on}$ donde k_B es la

constante de Boltzman, T es la temperatura absoluta y R_{on} es la resistencia de encendido de los interruptores. Para el primer integrador el análisis de ruido durante la etapa de muestreo se ilustra en la Fig. 6-9.

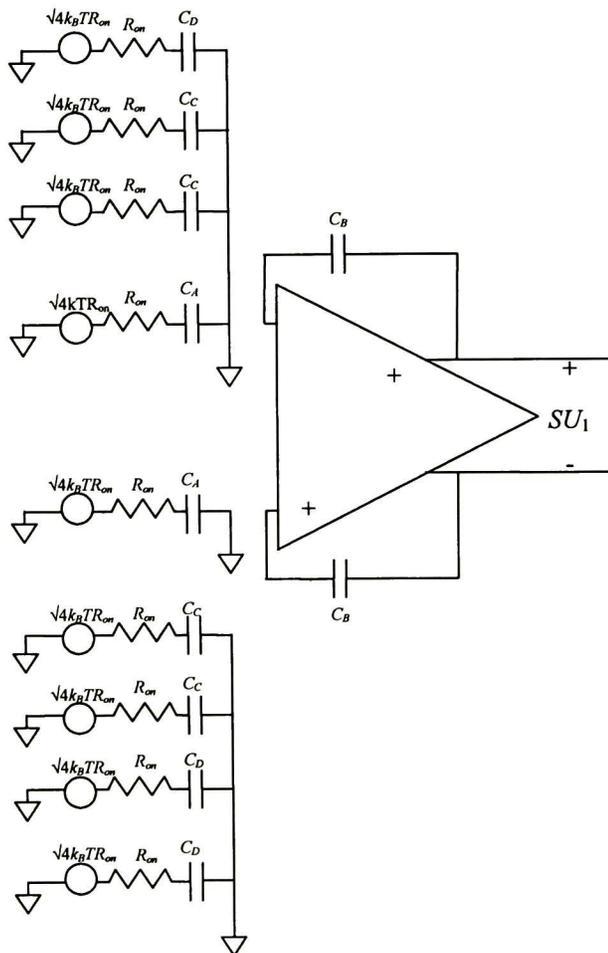


Fig. 6-9. Efecto del ruido térmico durante la etapa de muestreo.

La potencia total acumulada en cada uno de los capacitores durante el muestreo está dada por

$$e_{i,s}^2 = \int_0^{\infty} 4kTR_{on} \left| \frac{1}{2\pi R_{on} C_i Fj + 1} \right|^2 dF = \frac{kT}{C_i}, \quad \forall i = A, C, D \quad (6.7)$$

Por lo tanto, durante la etapa de muestreo, el ruido térmico se modela mediante la adición de una fuente de tensión aleatoria y por un factor de escala en cada una de las entradas; la fuente de tensión para la entrada es de tipo aleatoria con media nula y desviación estándar unitaria. El factor de escala es dependiente del número de capacitores de la rama de entrada.

Al igual que durante la etapa de muestreo, nuevamente los interruptores son reemplazados por un resistor equivalente y una fuente de tensión en la etapa de integración, ver Fig. 6-10.

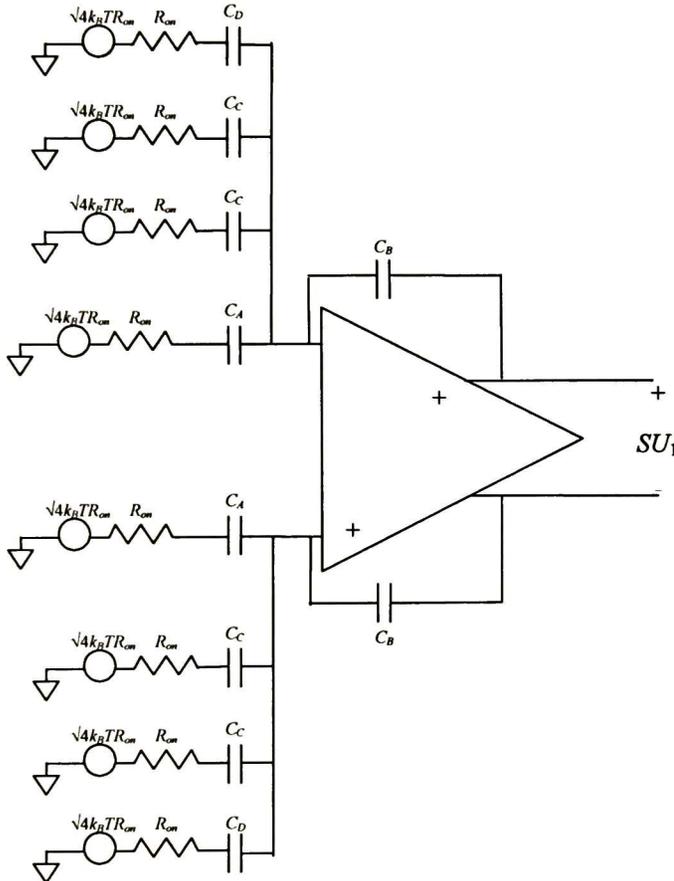


Fig. 6-10 Efecto del ruido térmico durante la etapa de integración.

Si se asume que la ganancia en DC del amplificador operacional es infinita, la potencia total acumulada en cada uno de los capacitores durante la integración está dada por

$$e_{i,I}^2 = \int_0^{\infty} 4kTR_{on} \left| \frac{1}{2\pi R_{eq} C_i Fj + 1} \right|^2 dF = \frac{kT}{C_i}, \quad \forall i = A, C, D \quad (6.8)$$

También en esta etapa, el ruido térmico se modela mediante la adición de una fuente de tensión aleatoria y un factor de escala en cada una de las entradas cuya media y desviación estándar es cero y uno respectivamente, mientras que el factor de escala es dependiente del número de capacitores de la señal de entrada.

La Fig. 6-11a) muestra los diagramas de bloques que se añaden en las entradas del primer integrador para modelar el ruido térmico.

Un análisis similar al anterior demuestra que el modelado del ruido térmico para el segundo integrador es como se muestra en la Fig. 6-11b).

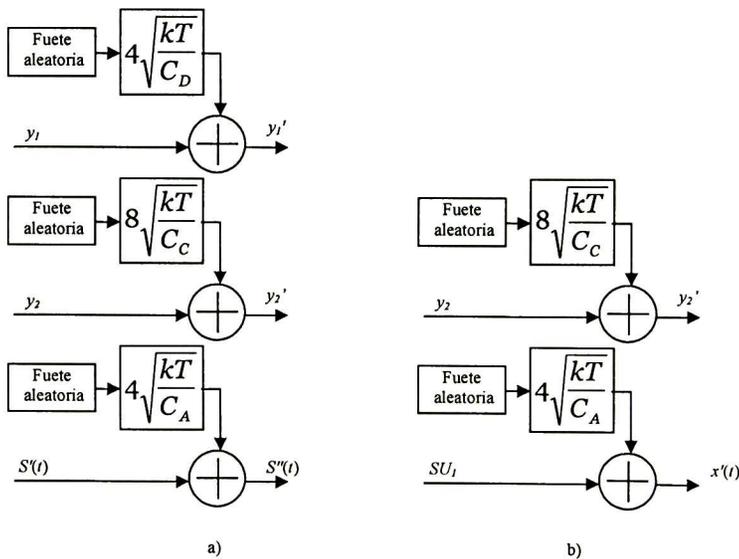


Fig. 6-11. Modelado del ruido térmico.

6.2.3.2. Ruido del amplificador operacional

Las fuentes de ruido para un amplificador son el ruido térmico, el ruido *flicker* y el ruido introducido por las fuentes de polarización (dc). Sin embargo para las aplicaciones de los $\Sigma\Delta$ el ruido *flicker* y el ruido dc son despreciados ya que típicamente son cancelados mediante técnicas como *auto-zero*, *chopper-stabilization*, etc. [Malcoo3]. Por lo tanto, el modelado del ruido térmico del integrador es mediante la adición de una señal aleatoria de media cero y desviación estándar unitaria y un factor de escala. El valor del factor de escala es igual al voltaje rms de ruido térmico referido a la entrada del integrador. La Fig. 6-12 muestra el esquema para el modelado del ruido térmico del integrador, donde $V_{i,n}$

es voltaje rms referido a la entrada, obtenido a través de la simulación de ruido a nivel de transistor del integrador incluyendo la retroalimentación, la etapa de muestreo y la capacitancia de carga durante la etapa de integración [Malcoo3].

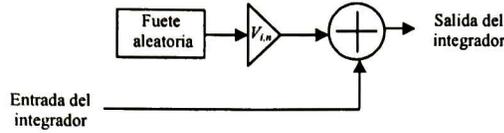


Fig. 6-12. Modelado del ruido térmico del amplificador operacional.

6.2.4. No idealidades del amplificador operacional

La función de transferencia de un integrador FE ideal con coeficientes unitarios se escribe como

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (6.9)$$

Sin embargo la implementación física del integrador difiere del comportamiento ideal debido a varios efectos no ideales de sus componentes. Una de las principales causas de la degradación de un $\Sigma\Delta$ de TD es debido a la incompleta transferencia de carga en los integradores SC. Estos efectos no ideales son consecuencia de las no idealidades del amplificador operacional, principalmente la ganancia finita, el ancho de banda, el *slew-rate* (SR) y los voltajes de saturación [Bose88]. Estas no idealidades son abordadas en las siguientes subsecciones.

6.2.4.1. Ganancia finita

La función de transferencia finita presentada en (6.9) implica que la ganancia del amplificador operacional es finita, sin embargo, las limitaciones del circuito limitan la ganancia de lazo abierto a un valor finito A_0 . Consecuentemente la función de transferencia del integrador difiere de su comportamiento ideal. Este comportamiento, con amplificador de ganancia finita, se le conoce como integración con fugas dado que solamente una porción de la salida del integrador es añadida a cada una de las nuevas muestras de entrada. A fin de determinar la función de transferencia (considerando la ganancia A_0) finita se realiza el estudio del primer integrador del $\Sigma\Delta$ solamente en su etapa de integración, ya que durante la etapa de muestreo los capacitores de entrada se encuentran desconectados del amplificador por lo que no influye el comportamiento de esta etapa al considerar que al amplificador cuenta con una ganancia finita.

En la Fig. 6-13 se ilustra el integrador durante la etapa de integración, donde se ha asumido la notación de $v_x(nT_s - T_s)$ como $v_x(n-1)$. Las ecuaciones que modelan el comportamiento en el dominio de tiempo (medido a partir de la estabilización en alto de la señal Φ_{22}) (6.10)-(6.14).

$$\frac{1}{2}y_1(t) + \frac{1}{2}v_x(t) = \frac{1}{C_D} \int_0^t i_1 dt + v_d(n-1) \quad (6.10)$$

$$\frac{1}{4}y_2(t) + \frac{1}{2}v_x(t) = \frac{1}{C_C} \int_0^t i_2 dt + v_{c1}(n-1) \quad (6.11)$$

$$\frac{1}{4}y_2(t) + \frac{1}{2}v_x(t) = \frac{1}{C_C} \int_0^t i_3 dt + v_{c2}(n-1) \quad (6.12)$$

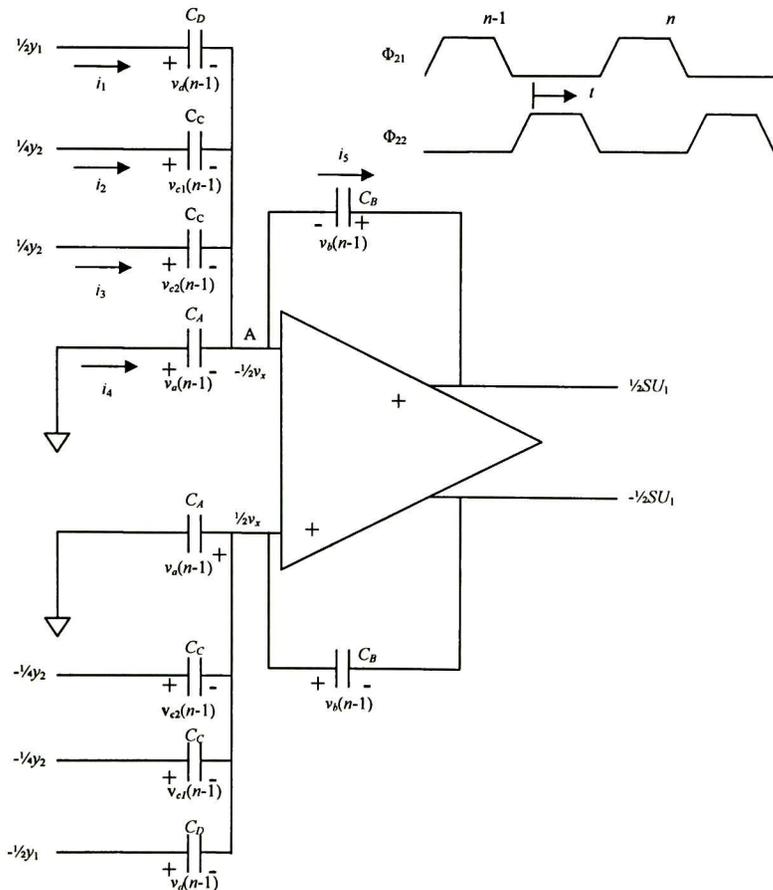


Fig. 6-13. Integrador durante la etapa de muestreo.

$$\frac{1}{2}v_x(t) = \frac{1}{C_A} \int_0^t i_4 dt + v_a(n-1) \quad (6.13)$$

$$-\frac{1}{2}v_x(t) - \frac{1}{2}SU_s(t) = \frac{1}{C_B} \int_0^t i_5 dt - v_b(n-1) \quad (6.14)$$

Tomando las transformadas de Laplace de las ecuaciones y aplicando la primera ley de Kirchhoff al nodo A, se tiene que

$$\begin{aligned} & \frac{1}{2}sC_D Y_1(s) + \frac{1}{2}sC_D V_x(s) - C_D v_d(n-1) + \\ & \frac{1}{4}sC_C Y_2(s) + \frac{1}{2}sC_C V_x(s) - C_C v_{c1}(n-1) + \\ & \frac{1}{4}sC_C Y_2(s) + \frac{1}{2}sC_C V_x(s) - C_C v_{c2}(n-1) + \\ & \frac{1}{2}sC_A V_x(s) - C_A v_a(n-1) = \\ & -\frac{1}{2}sC_B V_x(s) - \frac{1}{2}sC_B S U_1(s) + C_B v_b(n-1) \end{aligned} \quad (6.15)$$

Sin embargo $A_0 = S U_1(t) / v_x(t)$. Adicionalmente $v_d(n-1) = v_{c1}(n-1) = v_{c2}(n-1) = 0$ (ya que durante la etapa de muestreo, los capacitores se descargaron hasta cero), $v_a(n-1) = 1/2 S(n-1)$ y $v_b(n-1) = 1/2 S U_1(n-1)$. De esta forma, la ecuación se puede volver a escribir como

$$\begin{aligned} & \frac{1}{2}sC_D Y_1(s) + \frac{1}{2}sC_D \frac{1}{A_0} S U_1(s) + \\ & \frac{1}{4}sC_C Y_2(s) + \frac{1}{2}sC_C \frac{1}{A_0} S U_1(s) + \\ & \frac{1}{4}sC_C Y_2(s) + \frac{1}{2}sC_C \frac{1}{A_0} S U_1(s) + \\ & \frac{1}{2}sC_A \frac{1}{A_0} S U_1(s) - \frac{1}{2}C_A S(n-1) = \\ & -\frac{1}{2}sC_B V_x(s) - \frac{1}{2}sC_B S U_1(s) + \frac{1}{2}C_B S U_1(n-1) \end{aligned} \quad (6.16)$$

Resolviendo para $S U_1(s)$ y obteniendo la transformada inversa de Laplace se obtiene que

$$SU_1(t) = \frac{A_0}{A_0 C_B + C_D + 2C_C + C_A + C_B} [-C_D y_1(n-1) - C_C y_2(n-1) + C_A S(n-1) + C_B SU_1(n-1)] \quad (6.17)$$

Evaluando en $t=n-1+1/2$

$$SU_1(n-1+1/2) = \frac{A_0}{A_0 C_B + C_D + 2C_C + C_A + C_B} [-C_D y_1(n-1) - C_C y_2(n-1) + C_A S(n-1) + C_B SU_1(n-1)] \quad (6.18)$$

Sin embargo la señal de salida del instante $(n-1+1/2)$ al instante n es idéntica dado que no existe flujo de corriente, por lo tanto la salida en el instante n se escribe como

$$SU_1(n) = \frac{A_0}{A_0 C_B + C_D + 2C_C + C_A + C_B} [-C_D y_1(n-1) - C_C y_2(n-1) + C_A S(n-1) + C_B SU_1(n-1)] \quad (6.19)$$

Obteniendo la transformada z de (6.19) y resolviendo para $SU_1(z)$ se encuentra que

$$\left[\frac{C_A}{C_B} S(z) - \frac{C_D}{C_B} Y_1(z) - \frac{C_C}{C_B} Y_2(z) \right] \alpha \frac{z^{-1}}{1 - \alpha z^{-1}} = SU_1(z) \quad (6.20)$$

donde

$$\alpha = \frac{A_0 C_B}{A_0 C_B + C_D + 2C_C + C_A + C_B} \quad (6.21)$$

6.2.4.2. Ancho de banda y SR finitos

El efecto de un ancho de banda finito y un SR están relacionadas entre sí, y son interpretados como ganancias no lineales [Mede94]. De hecho, el ancho de banda y el SR finitos en los circuitos SC producen respuesta transitorias no ideales con cada ciclo de reloj con lo que se produce una incompleta o imprecisa transferencia de carga a la salida durante el final del periodo de integración. Para el primer integrador del modulador, la evolución del nodo de salida durante el periodo de integración $(n-1)T_s$ a $(n-1/2)T_s$ está dado por [Malcoo3]

$$SU_1(t) = SU_1(n-1) + \alpha(1 - e^{-t/\tau})V_i(n-1), \quad 0 < t < \frac{T_s}{2} \quad (6.22)$$

donde

$$V_1(n-1) = \frac{C_A}{C_B} S(n-1) - \frac{C_D}{C_C} y_1(n-1) - \frac{C_C}{C_B} y_2(n-1) \quad (6.23)$$

Y además $\tau=1/(2\pi\text{GBW})$ es la constante de integración y GBW es el producto ganancia-ancho de banda. La razón de cambio de esta curva alcanza su máximo valor cuando $t=0$, resultando en

$$\frac{d}{dt} SU_1(t)_{\max} = \alpha \frac{V_i(n-1)}{\tau} \quad (6.24)$$

Sin embargo, en un amplificador operacional el SR es finito, por lo que la respuesta transitoria dentro de la etapa de integración puede diferir de lo expuesto en (6.22). De hecho solo existen tres posibles respuestas transitorias las cuales son [Malcoo3]

1. Cuando el valor absoluto del valor dado en (6.24) es menor que el SR del amplificador, entonces el comportamiento transitorio está dado por (6.22), ver Fig. 6-14(a). Por lo que el valor final de la respuesta transitoria está dado por

$$SU_1\left(n - \frac{1}{2}\right) = SU_1(n) = SU_1(n-1) + \alpha \left(1 - e^{-\frac{T_s}{2\tau}}\right) V_i(n-1) \quad (6.25)$$

2. Cuando el valor absoluto del valor dado en (6.24) es mayor que el SR del amplificador, entonces la primera parte del estado transitorio es una línea recta con una pendiente de $\text{sign}(V_i(n-1))\text{SR}$ para $t \leq t_o$. Las siguientes ecuaciones describen el régimen transitorio asumiendo que $t_o \leq T_s/2$:

$$SU_1(t) = SU_1(n-1) + \text{sign}[V_i(n-1)]\text{SR}t, \quad t \leq t_o \quad (6.26)$$

$$SU_1(t) = SU_1(t_o) + \{\alpha V_i(n-1) - \text{sign}[V_i(n-1)]\text{SR}t_o\} \left(1 - e^{-\frac{t-t_o}{\tau}}\right), \quad t_o < t < \frac{T_s}{2} \quad (6.27)$$

donde el valor de t_o se encuentra mediante la continuidad de las derivadas de las expresiones anteriores, es decir

$$t_o = \frac{\alpha V_i(n-1)}{\text{SR}} - \tau \quad (6.28)$$

El comportamiento transitorio de muestra en la Fig. 6-14b). De esta forma el valor final de la respuesta transitoria está dado por

$$SU_1\left(n - \frac{1}{2}\right) = SU_1(n)$$

$$SU_1(n-1) + \alpha V_i(n-1) \left(1 - e^{-\frac{(T_s/2) - t_o}{\tau}}\right) + \text{sign}[V_i(n-1)]SRt_o e^{-\frac{(T_s/2) - t_o}{\tau}} \quad (6.29)$$

3. Cuando el valor absoluto del valor dado en (6.24) es mayor que el SR del amplificador y $t_o > T_s/2$, entonces la respuesta transitoria consta únicamente de una línea recta con una pendiente $\text{sign}(V_i(n-1))SR$, ver Fig. 6-14c). El valor final de la respuesta transitoria está dado por

$$SU_1\left(n - \frac{1}{2}\right) = SU_1(n) = SU_1(n-1) + \text{sign}[V_i(n-1)]SR \frac{T_s}{2} \quad (6.30)$$

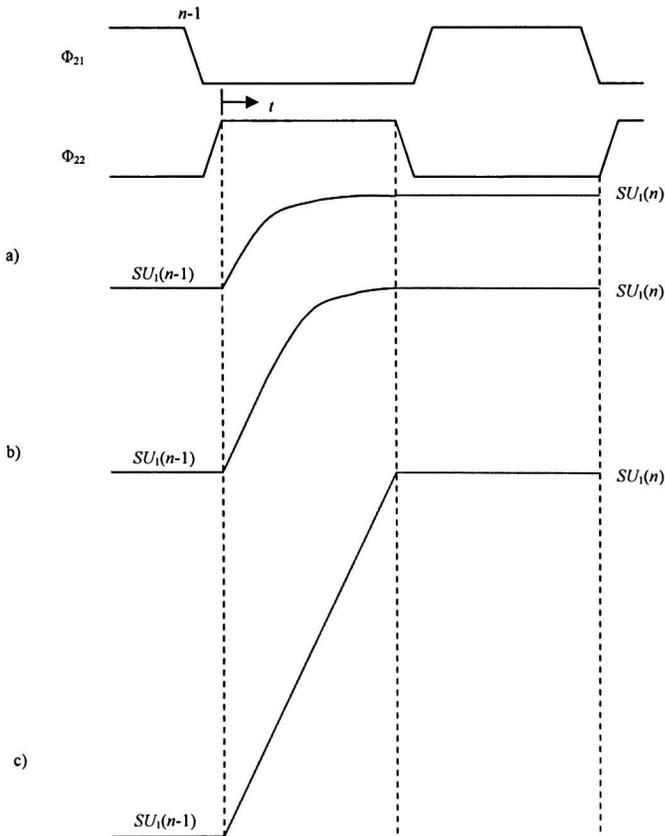


Fig. 6-14. Efecto de un GBW y SR finito.

6.2.4.3. Excursión de salida finito

Una de las consideraciones importantes en el diseño de un $\Sigma\Delta$ es la dinámica de las señales. Es por ello que uno de los aspectos de alta relevancia son los niveles de saturación del amplificador operacional. Para modelar la limitación de la excursión de la señal se incluye la unidad U en el lazo del integrador tal y como se muestra en la Fig. 6-15, donde la salida de la unidad U obedece la siguiente relación

$$SU_1 = \begin{cases} I, & sat_n \leq I \leq sat_p \\ sat_p & I > sat_p \\ sat_n & I < sat_n \end{cases} \quad (6.31)$$

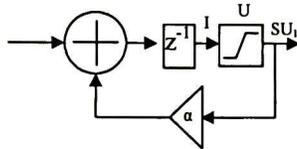


Fig. 6-15. Modelado de GBW, SR y excursión de señal de salida.

6.2.4.4. Distorsión debido a los capacitores no lineales

Hasta ahora, la función de transferencia del integrador ideal implica que la capacitancia es lineal, sin embargo como la capacitancia presenta una dependencia con la tensión almacenada dentro del capacitor, esta capacitancia (dependiente de la tensión almacenada) puede expresarse mediante una serie de Taylor como

$$C = a_0 + a_1v + a_2v^2 + \dots \quad (6.32)$$

donde C es la capacitancia del capacitor y v es la tensión almacenada. Al considerar únicamente esta no idealidad, la transferencia de carga para el primer integrador en la etapa de integración establece que

$$\int_{\frac{1}{2}S(n-1)}^0 C_A dV + \int_0^{\frac{1}{2}Y_2(n-1+\frac{1}{2})} C_C dV + \int_0^{\frac{1}{2}Y_1(n-1+\frac{1}{2})} C_D dV = \int_{-\frac{1}{2}SU_1(n-1)}^{-\frac{1}{2}SU_1(n-1+\frac{1}{2})} C_B dV \quad (6.33)$$

Produciendo la siguiente relación

$$\begin{aligned}
SU_1(n) & \left[1 + \frac{a_1}{2} SU_1(n) + \frac{a_2}{3} SU_1^2(n) \right] C_B = \\
& - \left[1 + \frac{b_1}{2} y_1(n-1) + \frac{b_2}{3} y_1^2(n-1) \right] C_D y_1(n-1) \\
& - C_C y_2(n-1) + \left[1 + \frac{d_1}{2} S(n-1) + \frac{d_2}{3} S^2(n-1) \right] C_A S(n-1) \\
& + \left[1 + \frac{a_1}{2} SU_1(n-1) + \frac{a_2}{3} SU_1^2(n-1) \right] C_B SU_1(n-1)
\end{aligned} \tag{6.34}$$

Considerando la primera aproximación donde la fuente dominante de distorsión es asociada al capacitor C_A , el cual muestrea la señal de entrada del integrador [Rio06], la expresión (6.34) se puede volver a escribir como

$$SU_1(n) = -\frac{C_D}{C_B} y_1(n-1) - \frac{C_C}{C_B} y_2(n-1) + \left[1 + \frac{d_1}{2} S(n-1) + \frac{d_2}{3} S^2(n-1) \right] \frac{C_A}{C_B} S(n-1) + SU_1(n-1) \tag{6.35}$$

Si la entrada es una señal sinusoidal de frecuencia y amplitud ω y A , respectivamente, entonces la respuesta del integrador para un integrador diferencial está dada por

$$\begin{aligned}
SU_1(n) & = \\
& -\frac{C_D}{C_B} y_1(n-1) - \frac{C_C}{C_B} y_2(n-1) \\
& + \frac{C_A}{C_B} A \left(1 + \frac{d_2 A^2}{4} \right) \cos \left[\frac{\omega}{F_s} (n-1) \right] + \frac{C_A d_2}{C_B 12} A^3 \cos \left[3 \frac{\omega}{F_s} (n-1) \right] \\
& + SU_1(n-1)
\end{aligned} \tag{6.36}$$

Por lo tanto la amplitud del tercer armónico está dada por

$$A_3 = \frac{A^3 C_A d_2}{12 C_B} \tag{6.37}$$

De esta manera se encuentra que la forma de modelar la distorsión debido a las capacitancias no lineales consiste en agregar en la salida del integrador una señal sinusoidal de frecuencia 3ω con amplitud dada por (6.37).

6.2.4.5. Distorsión debido a la ganancia no lineal

La derivación de (6.20) implica que la ganancia A_o del amplificador operacional una función lineal. Al considerar la ganancia del amplificador como una función de la tensión de entrada la ganancia se puede expresar como en la siguiente expresión

$$A_{ov} = A_o (1 + \gamma_1 u_i + \gamma_2 u_i^2 + \gamma_3 u_i^3 + \dots) \tag{6.38}$$

Por lo tanto, la expresión para la transferencia de carga para el primer integrador durante la fase de integración se puede escribir como

$$SU_1(n) = \left[-\frac{C_D}{C_B} y_1(n-1) - \frac{C_C}{C_B} y_2(n-1) + \frac{C_A}{C_B} S(n-1) + SU_1(n-1) \right] \frac{A_{ov}}{A_{ov} + \frac{C_D}{C_B} + 2\frac{C_C}{C_B} + \frac{C_A}{C_B} + 1} \quad (6.39)$$

Al considerar que la distorsión es principalmente introducida por los términos no lineales que afectan directamente la señal de entrada [Yin94], la expresión dada en (6.39) se puede volver a escribir como

$$SU_1(n) = -\frac{C_D}{C_B} y_1(n-1) - \frac{C_C}{C_B} y_2(n-1) + \frac{C_A}{C_B} S(n-1) \frac{1}{1 + \frac{\frac{C_D}{C_B} + 2\frac{C_C}{C_B} + \frac{C_A}{C_B} + 1}{A_{ov}}} + SU_1(n-1) \approx -\frac{C_D}{C_B} y_1(n-1) - \frac{C_C}{C_B} y_2(n-1) + \frac{C_A}{C_B} S(n-1) \left[1 + \frac{\frac{C_D}{C_B} + 2\frac{C_C}{C_B} + \frac{C_A}{C_B} + 1}{A_o} (1 - \gamma_1 S(n-1) - \gamma_2 S^2(n-1)) \right] + SU_1(n-1) \quad (6.40)$$

Siempre que $A_o \gg 1$ y que los coeficientes γ_1 y γ_2 son pequeños [Rioo6]. Al considerar que la señal de entrada es una señal sinusoidal y el integrador es completamente diferencial, la amplitud del tercer armónico esta dada por

$$A_3 = \frac{C_A}{C_B} \gamma_2 \frac{\frac{C_D}{C_B} + 2\frac{C_C}{C_B} + \frac{C_A}{C_B} + 1}{A_o} \frac{A^3}{4} \quad (6.41)$$

El modelado de esta no idealidad es añadiendo una señal en la salida del integrador con una sinusoidal de frecuencia 3ω y con amplitud dada por (6.41).

La Fig. 6-16 y Fig. 6-17 muestra el espectro de la señal de salida y el desempeño del TCSΔM de segundo orden expuesto en el capítulo 3 cuando los efectos no ideales (expuestos en la Tabla 6-1) son considerados. En el espectro de la señal de salida se aprecia un incremento en el ruido y la presencia de distorsión armónica lo cual trae consigo un desempeño menor que el desempeño ideal.

Tabla 6-1. Valores de las no idealidades del TCSΔM

δ	$V_{in,amp1}/V_{in,amp2}$	$A_{o,amp1}/A_{o,amp2}$	OSW_{amp1}/OSW_{amp2}	GBW_{amp1}/GBW_{amp2}	SR_{amp1}/SR_{amp2}
0.1ns	18nV/ $\sqrt{\text{Hz}}$ / 18nV/ $\sqrt{\text{Hz}}$	80dB/ 80dB	1.6V/1.6V	320MHz/ 320MHz	200V/ μs / 200V/ μs
C_{Aint1}/C_{Aint2}	C_{Bint1}/C_{Bint2}	C_{Cint1}/C_{Cint2}	T	$d_{3,int1}/d_{3,int2}$	$\gamma_{2,int1}/\gamma_{2,int2}$
1pF/66.6pF	10pF/10pF	1pF/13.3pF	300K	$1 \times 10^{-4} \text{ F/V}^2$ / $1 \times 10^{-4} \text{ F/V}^2$	$10 \text{ V}^{-2}/10 \text{ V}^{-2}$

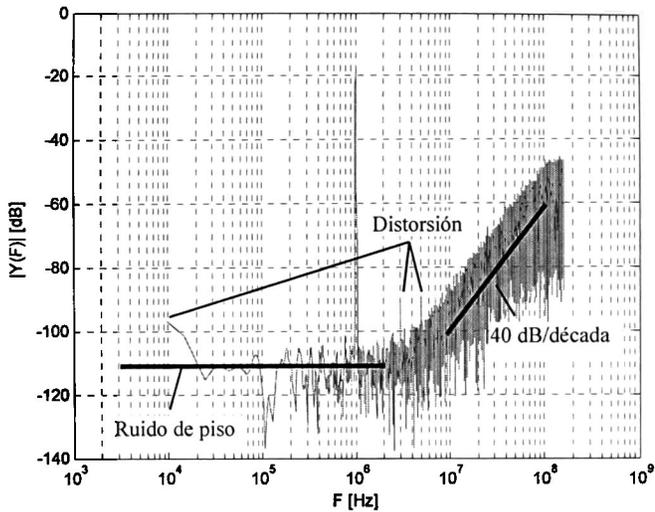


Fig. 6-16. Espectro de la señal de salida del TDESAM.

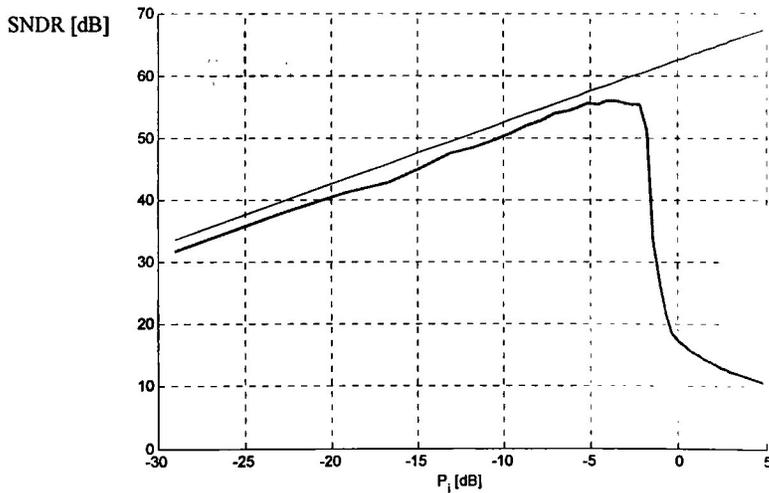


Fig. 6-17. Desempeño del modulador del TDESAM.

6.3. Errores de los circuitos del TDESAM

Nuevamente se parte de los circuitos que implementan al modulador para determinar las fuentes de error que afectan su desempeño. Muchas de las fuentes

de error que afectan al modulador de TD no degradan el desempeño del modulador de TC, y viceversa, por ello se analizan a detalle en esta sección.

6.3.1. Implementación del modulador de TC

Para el TCΣΔM diseñado en el capítulo 3 y que es mostrado en la Fig. 6-18a), donde se han añadido dos unidades DEM para disminuir la distorsión causada por la conversión D/A. La salida del modulador se determina a partir de las siguientes relaciones (ver Apéndice C)

$$\begin{aligned}
 S(s) = & \\
 & X(s) \frac{F_s^2}{s^2} ij \frac{1}{k_g} + X(s) \frac{F_s}{s} ik \frac{1}{k_g} + X(s) \frac{1}{k_g} \\
 & - Y_1^*(s) DAC(s) e^{-sT} \frac{F_s^2}{s^2} hij \frac{1}{k_g} \\
 & - Y_1^*(s) DAC(s) e^{-sT} \frac{F_s}{s} hik \frac{1}{k_g} - 2Y_1^*(s) DAC(s) e^{-smT} \frac{1}{k_g}
 \end{aligned} \tag{6.42}$$

$$Y_1^*(s) = k_g S^*(s) + E_1^*(s) \tag{6.43}$$

donde $S^*(s)$ es la transformada de Laplace de la señal muestreada idealmente mediante un tren de impulsos [Ogat95]. Al combinar (6.43) con (6.42) se tiene

$$Y_1(z) \left[\frac{(1) + 2z^{-1}(-1+1) + z^{-2} \left(1 + \frac{hij}{2} + hik - 4 \right) + z^{-3} \left(\frac{hij}{2} - hik + 2 \right)}{(1-z^{-1})^2} \right] \tag{6.44}$$

$$= X_a(z) F_s^2 ij + X_b(z) F_s ik + X(z) + E_1(z)$$

donde

$$X_a(z) \xleftrightarrow{z} \left[\frac{X(s)}{s^2} \right]^* \tag{6.45}$$

$$X_b(z) \xleftrightarrow{z} \left[\frac{X(s)}{s} \right]^* \tag{6.46}$$

Al hacer que $hij=1$ y $hik=5/2$ la ecuación (6.44) se convierte en

Ahora bien, la implementación del modulador mediante transconductores es ilustrado en la Fig. 6-18b).

La corriente de salida de un transconductor ideal se describe mediante

$$i_k = g_{m,k} v_k \quad (6.48)$$

El cuantizador de tres niveles para el $\Sigma\Delta M$ procesa la corriente de entrada para producir una señal cuantizada. Se compone de un generador de nivel, unidad de comparadores y un codificador.

La Fig. 6-19 muestra el generador de nivel, el cual se compone de una escalera de resistores de bajo valor (para reducir los efectos de ruido térmico), amplificadores para incrementar la ganancia de lazo abierto e incrementar la impedancia de salida y de un limitador de corriente para acotar la corriente máxima.

Las tensiones en los nodos v_{pk} y v_{nk} , para $k=1, 2$ y 3 se determinan como

$$\begin{aligned} v_{p1} &= 3(I + i_i)R \\ v_{p2} &= 2(I + i_i)R \\ v_{p3} &= (I + i_i)R \\ v_{n3} &= 3(I - i_i)R \\ v_{n2} &= 2(I - i_i)R \\ v_{n1} &= (I - i_i)R \end{aligned} \quad (6.49)$$

Posteriormente las tensiones son comparadas entre sí para determinar la cuantización de la corriente de entrada en la unidad de comparadores (ver Fig. 6-20).

Las salidas de los comparadores son

$$\begin{aligned} D_{o1} &= \begin{cases} V_{DD}, & V_{p1} > V_{n1}, & i_i > -\frac{1}{2}I \\ -V_{DD}, & V_{p1} < V_{n1}, & i_i < -\frac{1}{2}I \end{cases} \\ D_{o2} &= \begin{cases} V_{DD}, & V_{p2} > V_{n2}, & i_i > 0 \\ -V_{DD}, & V_{p2} < V_{n2}, & i_i < 0 \end{cases} \\ D_{o3} &= \begin{cases} V_{DD}, & V_{p3} > V_{n3}, & i_i > \frac{1}{2}I \\ -V_{DD}, & V_{p3} < V_{n3}, & i_i < -\frac{1}{2}I \end{cases} \end{aligned} \quad (6.50)$$

Cada comparador de la Fig. 6-20 está compuesto de un muestreador, un *latch* regenerativo y un *latch* RS como los mostrados en la Fig. 6-21.

$$L_2 = \begin{cases} V_{DD}, & -\frac{1}{2}I < i_i < -\frac{1}{2}I \\ -V_{DD}, & \text{resto} \end{cases}$$

$$L_3 = \begin{cases} V_{DD}, & i_i > \frac{1}{2}I \\ -V_{DD}, & \text{resto} \end{cases}$$

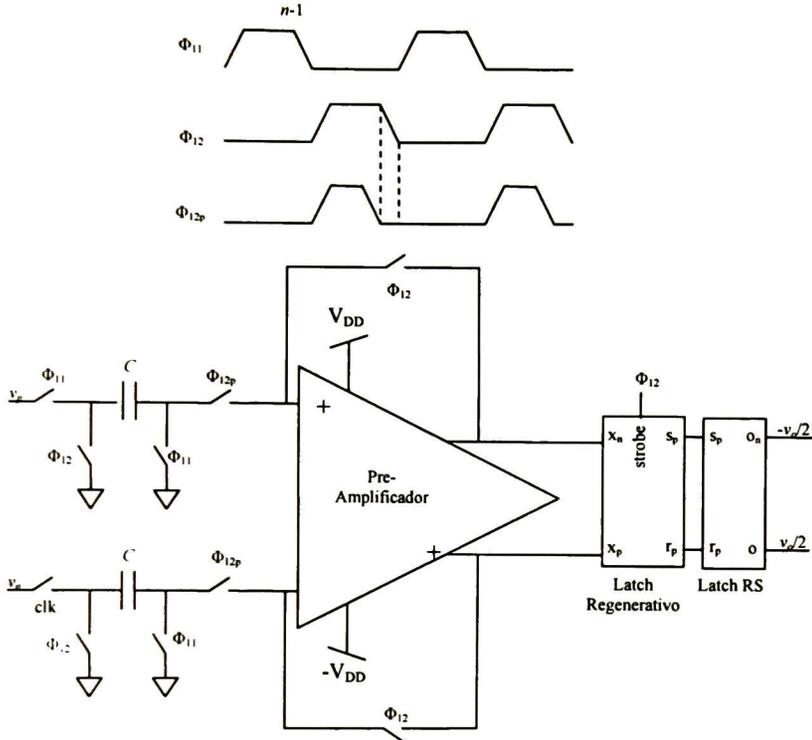


Fig. 6-21. Diagrama esquemático de los comparadores.

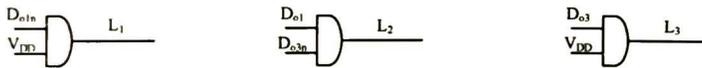


Fig. 6-22. Diagrama esquemático del codificador.

Por lo tanto la función de transferencia del cuantizador es como se muestra en la Fig. 6-23.

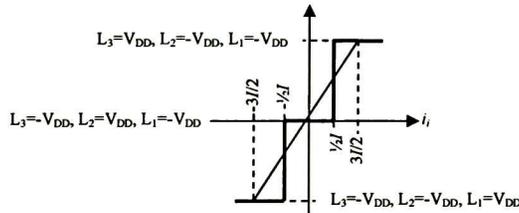


Fig. 6-23. Función de transferencia del cuantizador.

El diagrama de tiempos para el cuantizador se ilustra en la Fig. 6-24, donde t_d es el tiempo del retraso de lazo.

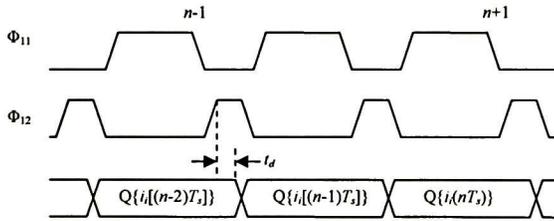


Fig. 6-24. Diagrama de tiempo del cuantizador.

El circuito IDAC es mostrado en la Fig. 6-25, donde las señales C_0 y C_1 son generadas por el DEM y las señales C_{0n} y C_{1n} son las señales digitales negadas de C_0 y C_1 , respectivamente.

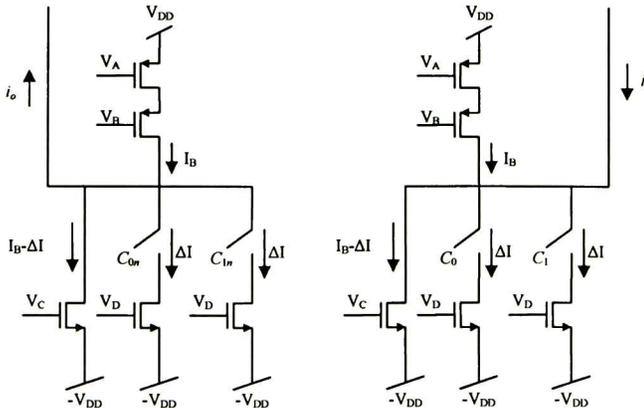


Fig. 6-25. Diagrama esquemático del IDAC.

La corriente de salida del IDAC está dada por la siguiente expresión

$$i_o = \begin{cases} -\Delta I, & C_o = -V_{DD} \wedge C_1 = -V_{DD} \\ 0, & C_o = V_{DD} \wedge C_1 = -V_{DD} \\ 0, & C_o = -V_{DD} \wedge C_1 = V_{DD} \\ \Delta I, & C_o = V_{DD} \wedge C_1 = V_{DD} \end{cases} \quad (6.52)$$

Las señales C_o y C_1 generadas por el DEM-DWA se muestra en la Fig. 6-26 [Bair95]. El principio de funcionamiento es mover la distorsión producida por la conversión D/A a altas frecuencias.

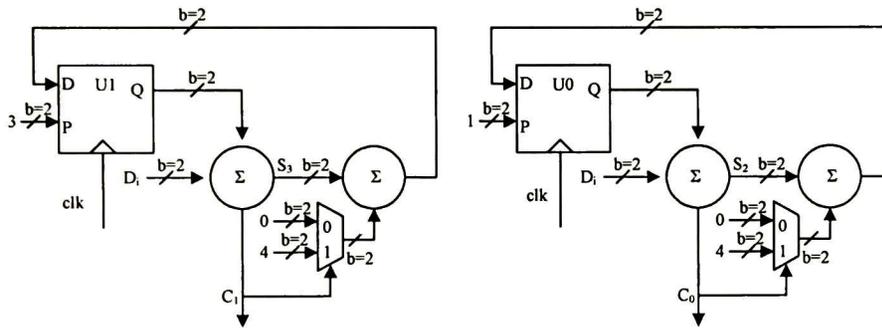


Fig. 6-26. Diagrama esquemático del DEM-DWA.

A partir de la descripción de cada uno de los bloques que componen la implementación, es posible escribir la relación de la salida

$$\begin{aligned} i_i(s) &= \left\{ X(s) \frac{g_{m1}}{sC_1} - [Y_1^*(s) DAC(s) e^{-sT_s}] \frac{\Delta I_6}{V_{DD} s C_1} \right\} \frac{g_{m4}}{sC_2} g_{m5} \\ &+ \left\{ X(s) \frac{g_{m1}}{sC_1} - [Y_1^*(s) DAC(s) e^{-sT_s}] \frac{\Delta I_6}{V_{DD} s C_1} \right\} g_{m3} \\ &+ X(s) g_{m2} - [Y_1^*(s) DAC(s) e^{-sT_s}] \frac{\Delta I_7}{V_{DD}} \end{aligned} \quad (6.53)$$

$$Y_1^*(s) = i_i^*(s) \frac{2V_{DD}}{3I} + E_1^*(s) \quad (6.54)$$

Combinando (6.54) y (6.53) se encuentra que

$$\begin{aligned}
& Y_1(z) \frac{1}{(1-z^{-1})^2} + Y_1(z) \frac{2z^{-1} \left(-1 + \frac{\Delta I_7}{3I} \right)}{(1-z^{-1})^2} \\
& + Y_1(z) \frac{z^{-2} \left(1 + \frac{1}{3I} \frac{\Delta I_6}{C_1} \frac{g_{m4}}{C_2} g_{m5} \frac{1}{F_s^2} + \frac{2}{3I} \frac{\Delta I_6}{C_1} g_{m3} \frac{1}{F_s} - \frac{4\Delta I_7}{3I} \right)}{(1-z^{-1})^2} \\
& + Y_1(z) \frac{z^{-3} \left(\frac{1}{3I} \frac{\Delta I_6}{C_1} \frac{g_{m4}}{C_2} g_{m5} \frac{1}{F_s^2} - \frac{2}{3I} \frac{\Delta I_6}{C_1} g_{m3} \frac{1}{F_s} + \frac{2\Delta I_7}{3I} \right)}{(1-z^{-1})^2} \\
& = \frac{2V_{DD}}{3I} \frac{g_{m1}g_{m4}g_{m5}}{C_1C_2} X_a(z) + \frac{2V_{DD}}{3I} \frac{g_{m1}g_{m3}}{C_1} X_b(z) + \frac{2V_{DD}g_{m2}}{3I} X(z) + E_1(z)
\end{aligned} \tag{6.55}$$

Al compararla con (6.44) y proponiendo que $g_{m1}/C_1 = g_{m4}/C_2 = F_s$ se encuentran las siguientes relaciones

$$\frac{g_{m1}}{C_1} = \frac{g_{m4}}{C_2} = F_s \tag{6.56}$$

$$g_{m2} = \frac{3I}{2V_{DD}} \tag{6.57}$$

$$g_{m3} = \frac{3ikI}{2V_{DD}} \tag{6.58}$$

$$g_{m5} = \frac{3ijI}{2V_{DD}} \tag{6.59}$$

$$\Delta I_7 = 3I \tag{6.60}$$

$$\Delta I_6 = hg_{m4}V_{DD} \tag{6.61}$$

De igual forma que para el TDESΔM, la representación ideal difiere de la implementación real debido a los errores incorporados por cada uno de sus bloques, por lo tanto, las siguientes secciones exploran los comportamientos no ideales de los bloques del TCSΔM para proponer el modelado de sus errores.

6.3.2. Ganancia finita

Uno de los efectos no ideales más estudiados en los moduladores es la ganancia finita de los amplificadores [Mede99], [Marq98], [Haus86], [Bose98], [Chao90], [Cand92].

Considerando a cada uno de los transconductores en pequeña señal que componen los integradores del modulador como un sistema con un único polo (ver Fig. 6-27) se encuentra que la función de transferencia está dada por

$$\frac{V_o(s)}{V_i(s)} = \frac{g_m R_o}{sR_o C_o + 1} \quad (6.62)$$

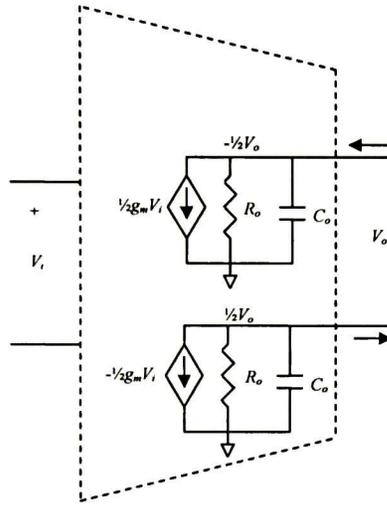


Fig. 6-27. Circuito equivalente del transconductor.

Por lo tanto, la función de transferencia del integrador está dada por

$$\frac{V_o(s)}{V_i(s)} = \frac{g_m R_o}{sR_o(C_o + C_I) + 1} \approx \frac{g_m R_o}{sR_o C_I + 1} = F_s \frac{1}{s + F_s / A_o} \quad (6.63)$$

donde $A_o = g_m R_o$ es la ganancia dc del transconductor. De (6.63) resulta evidente que existe un desplazamiento del polo en $A_o g_m / C_I$. Dado que los polos del filtro de lazo son los ceros de la NTF, resulta evidente que todos los ceros de la NTF son desplazados lejos de dc con lo que se reduce la atenuación del ruido de cuantización dentro de la banda de interés. Al igual que en TD, ésta no idealidad es conocida como integración con fugas [Ortmo5].

El modelado del transconductor, incluyendo la ganancia finita, es como se presenta en (6.63).

6.3.3. Ruido térmico y flicker

Además del ruido generado por el cuantizador otras fuentes de ruido están presentes en una implementación física, las cuales pueden ser independientes de la

frecuencia (ruido blanco) o dependiente de la frecuencia. En los moduladores de TC el efecto del las componentes del ruido dentro de la banda de interés produce una disminución del desempeño del modulador mientras que el resto de las componentes del ruido de altas frecuencias son filtradas en el dominio digital. El impacto de las fuentes de ruido depende del sitio de las fuentes de error [Ortm05], lo cual implica que la fuente de ruido más crítica es la que se encuentra a la entrada del modulador ya que en la entrada no existe conformado del ruido. Por ende, los requerimientos de bajos niveles de ruido del primer integrador son más altos que el resto de los integradores [Nort97], [Jens95].

Como se ha abordado en las secciones previas, la limitación más importante de los moduladores de TD (implementados mediante SC) es el ruido térmico generado en el circuito de muestreo. Para un modulador con una alta resolución son necesarios grandes capacitores de muestreo, lo cual implica un incremento en el área del IC [Sign90] y un alto consumo de potencia [Marq98]. Sin embargo en los moduladores de TC al no existir los capacitores de muestreo no existe tal desventaja. Las únicas contribuciones de ruido dentro de los integradores están determinadas por el transconductor. Dependiendo de la topología y de la tecnología del transconductor serán determinadas las fuentes de ruido; para el transconductor son el ruido térmico y el ruido *flicker*.

El primer paso para el modelado del ruido térmico consiste en determinar la potencia de ruido en la salida del transconductor, P_o , el cual se obtiene de la siguiente manera

$$P_o = \int_0^{\infty} v_{i,n}^2 |H(F)|^2 dF = v_{i,n}^2 (g_m R_o)^2 \frac{1}{4R_o C_I} \quad (6.64)$$

donde $v_{i,n}^2$ es la densidad espectral de potencia del ruido blanco referido a la entrada del transconductor, y $H(s)$ es la función de transferencia y es obtenida del transconductor que se muestra en la Fig. 6-27. Por lo tanto, el modelado del ruido térmico implica generar una señal aleatoria con distribución normal colocada en la entrada de la función de transferencia cuya potencia en la salida sea igual al valor obtenido en (6.64), sin embargo, la señal aleatoria requerida implica contar con un ancho de banda infinito lo cual es imposible implementarla en simulación. Alternativamente el ruido se puede modelar como una señal aleatoria con un ancho de banda finito siempre y cuando sus efectos sean similares a los efectos generados con un ancho de banda infinito. Para conocer los efectos de la señal aleatoria, con ancho de banda finito, se examina la potencia de la señal de salida del transconductor, $P_{o,m}$:

$$P_{o,m} = \int_0^{F_{max}} v_{i,n}^2 |H(F)|^2 dF = v_{i,n}^2 (g_m R_o)^2 \frac{1}{2\pi R_o C_I} \arctan(F_{max} 2\pi R_o C_I) \quad (6.65)$$

Haciendo que F_{max} coincida con $F_s/2$, (6.65) se puede escribir como

$$P_{o,m} = v_{i,n}^2 (g_m R_o)^2 \frac{1}{2\pi R_o C_I} \arctan\left(\frac{F_s}{2} 2\pi R_o C_I\right) \quad (6.66)$$

Sin embargo, para el $\Sigma\Delta M$ se requiere que $g_m/C_I = F_s/2$ y $g_m R_o$ entonces (6.66) se escribe como

$$P_{o,m} = v_{i,n}^2 (g_m R_o)^2 \frac{1}{2\pi R_o C_I} \arccan(\pi A_o) \quad (6.67)$$

Para $A_o \geq 100$, $P_{o,m} \approx 0.99 P_o$, con lo que es posible modelar a la señal de ruido con una señal aleatoria de frecuencia máxima $F_s/2$. Al estar acotada en frecuencia, puede ser muestreada con una velocidad de muestreo F_s . Por lo tanto, el modelado del ruido térmico se realiza mediante una señal aleatoria con distribución normal con media cero y varianza igual a $v_{i,n}^2 F_s/2$ como se muestra en la Fig. 6-28.

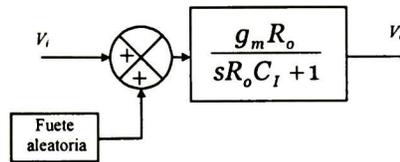


Fig. 6-28. Modelado del ruido térmico y del ruido flicker.

Ahora bien, para el modelado del ruido flicker se toma la densidad espectral de potencia como se describe en la siguiente relación

$$S_n(F) = \frac{V}{F} \quad (6.68)$$

donde V es una constante de proporcionalidad. Si se considera que el ruido flicker es una señal con un ancho de banda finito, siendo F_{max} su máxima frecuencia entonces es posible modelar al ruido flicker como una señal aleatoria de tiempo discreto, $a(n)$. La señal $a(n)$ se sintetiza a partir de la densidad espectral de potencia, $A(k)$, mediante la IFFT, es decir

$$a(n) = IFFT\{A(k)\} \quad (6.69)$$

donde $A(k)$ es la FFT de N puntos de $a(n)$. Sin embargo la densidad espectral de potencia de $a(n)$ se puede obtener mediante la FFT de $a(n)$ usando la siguiente relación

$$S_a(k) = \frac{2}{N^2} |A(k)|^2 \quad (6.70)$$

Por otro lado, las densidades espectrales de potencia del ruido y de la señal $a(n)$ están relacionadas como

$$S_a(k) \approx \frac{1}{2} \Delta F S_n(F) \Big|_{F=k\Delta F} \quad (6.71)$$

Combinando (6.70) y (6.71) con (6.72) se puede terminar la señal $a(n)$:

$$a(n) = IFFT\{A(k)e^{j\theta}\} = IFFT\left\{\sqrt{\frac{N^2 V}{2k}} e^{j\theta}\right\} \quad (6.72)$$

donde se escoge que θ sea una variable aleatoria con distribución uniforme sobre el intervalo $[-\pi, \pi]$.

Por lo tanto, el modelado del ruido *flicker* se hace añadiendo la señal $a(n)$ como se indica en la Fig. 6-29.

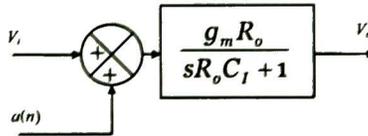


Fig. 6-29. Modelado del ruido *flicker*.

6.3.4. Distorsión

Las fuentes de distorsión degradan el desempeño del modulador debido a la aparición de armónicos de la señal de entrada aumentando significativamente el ruido dentro de la banda de interés. A diferencia de los moduladores de TD el impacto de la distorsión en los moduladores de TC es mayor, por ello, el modelado de esta no idealidad se debe incluir en las primeras etapas del diseño.

6.3.4.1. SR finito

La retroalimentación en las realizaciones prácticas de moduladores de TC presenta también limitaciones debido al SR del DAC. Estas no idealidades tienden a degradar el desempeño, en especial en los moduladores que emplean un DAC NRZ. Si los tiempos de subida y de bajada son iguales, el área del error de una secuencia de bits depende del orden de los bits. Sin embargo, si los tiempos de subida y bajada son diferentes, el error resultante depende de la secuencia de bits, con lo que se incrementa el ruido y los tonos dentro del espectro que se dobla en la banda base [Adam98]. La forma de reducir el efecto de la desigualdad de los tiempos de subida y de bajada consiste en usar circuitos DAC completamente diferenciales, de esta forma, el error ocurre en las dos señales diferenciales, y de esta forma el error es cancelado [Jens95], [Yano04].

El SR finito en la salida de un transconductor está limitado por la capacidad de corriente, el cual está orientado a la carga del capacitor de integración (o un capacitor de compensación interno). El efecto de un SR finito causa distorsión como también incrementa el ruido de piso [Mede94], [Chao90]. En implantaciones

de TD las transiciones de las señales son muy altas, y un SR finito produce una incompleta transferencia de carga. Lo más importante, las limitaciones del SR es dependiente de la señal, con lo cual se produce un efecto no lineal que se traduce como distorsión.

Asimismo, los requerimientos del SR en moduladores de TD son altos, y algunas implementaciones [Marq98], [Mede99b] [Yin94] muestran un SR desde $5V_{ref}F_s$ hasta $10V_{ref}F_s$ donde V_{ref} es el voltaje de referencia.

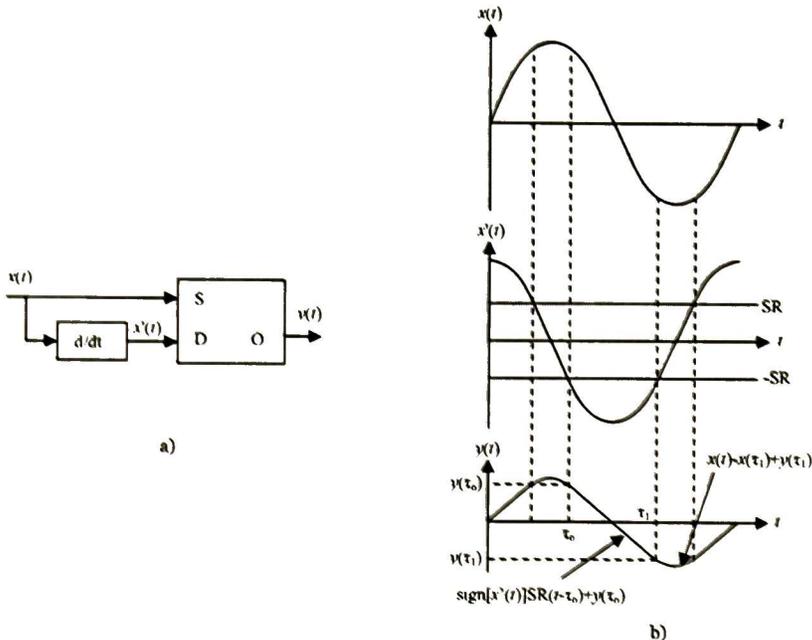


Fig. 6-30. Modelado del SR finito.

Esto es así porque además de generar una distorsión inducida, también incrementa dramáticamente el ruido de piso [Chan92]. Pero al emplear circuitos de TC, las especificaciones del SR son más relajadas aun para cuantizadores de un solo bit. Esto es debido a que las variaciones más lentas en los moduladores de TC.

Los requerimientos para un SR finito tienen una influencia significativa. En contraste con la influencia de un finito GBW, la influencia del SR ha sido pobremente publicada. Sin embargo, el estudio adecuado en las primeras etapas de diseño del modulador de tiempo continuo precisa contar con el adecuado modelado de ésta importante fuente de distorsión para establecer los requerimientos mínimos de corriente que deben satisfacer cada unos de los transconductores que componen a los integradores. En esta parte se proponen un esquema para modelar el SR finito y de esta forma incluir sus efectos en la simulación de alto nivel.

El modelado del SR finito se propone mediante de la siguiente manera, emplear una unidad como la mostrada en la Fig. 6-30a) colocada en la salida de cada uno de

los integradores. La salida de la unidad se divide en dos estados, uno correspondiente con una salida lineal y el otro, correspondiente al valor proporcional de la señal de entrada. La determinación de cada uno de los estados se obtiene con la derivada de la señal de entrada y el valor máximo del SR del integrador, ver Fig. 6-3ob), donde se asume que $SR^+ = SR^- = SR$.

6.3.5. Excursión de salida finita

Algunas publicaciones [Nort97b], [Haus86], [Bose98] muestran que las limitaciones de las señales de salida de los integradores, producen un importante incremento de ruido dentro de la banda, así como de un efecto de distorsión. Sin embargo, el efecto de esta no idealidad puede ser atenuado mediante un escalado adecuado de los coeficientes de diseño [Marq98b], [Chao90], con lo que las señales de salida de todos los integradores se limitan al voltaje de referencia del modulador. Incluso, una topología con *feedforward* como la presentada en el capítulo 3 permite atenuar aun más esta fuente de error.

Sin embargo contar con un modelado de esta fuente de error permite conocer las limitaciones del desempeño del modulador de tiempo continuo más allá del comportamiento ideal. Su modelado es simple e implica colocar una unidad colocada consecutivamente con cada uno de los integradores, donde la señal de entrada de la unidad añadida, V_i , es la señal de salida del integrador, y la señal de salida de la unidad, V_o , está definida como

$$V_o = \begin{cases} V_i, & V_{sat,n} \leq V \leq V_{sat,p} \\ V_{sat,p} & I > V_{sat,p} \\ V_{sat,n} & I < V_{sat,n} \end{cases} \quad (6.73)$$

donde $V_{sat,p}$ y $V_{sat,n}$ son las tensiones de saturación del integrador.

6.3.6. Distorsión debido a la ganancia y resistencia no lineales

De la misma forma que en el modulador de TD, los componentes analógicos del modulador de TC producen una distorsión armónica debida a la falta de linealidad de los dispositivos del modulador. El análisis de la distorsión y su inclusión dentro del modelado se estudia en la estructura básica del transistor así como en sus elementos constitutivos. Si se considera al transistor completamente diferencial como el mostrado en la Fig. 6-31a) entonces la corriente I_D se aproxima mediante la expresión siguiente [Raza01]

$$I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_i) \sqrt{\frac{4I_{ss}}{\mu_n C_{ox} \frac{W}{L}} - (V_i)^2} \quad (6.74)$$

donde μ_n , C_{ox} , W y L son la movilidad de los electrones, la capacitancia por unidad de área, el ancho y largo de uno de los NMOS e I_{SS} es la corriente del par diferencial. La Fig. 6-31b) muestra el comportamiento de I_D siguiendo el comportamiento descrito por (6.74) y donde $V_{i,CM}$, es la tensión de entrada de modo común e I_{CM} , es la corriente de cada una de las ramas del par diferencial en modo común.

La distorsión armónica se puede encontrar si se aproxima (6.74) mediante una serie de potencias. Sin embargo, dada la naturaleza impar de (6.74) únicamente las potencias impares de V_i están presentes es la serie de potencia, de esta forma la representación esta representada como

$$I_D \approx a_1 V_i + a_3 V_i^3 + \dots \quad (6.75)$$

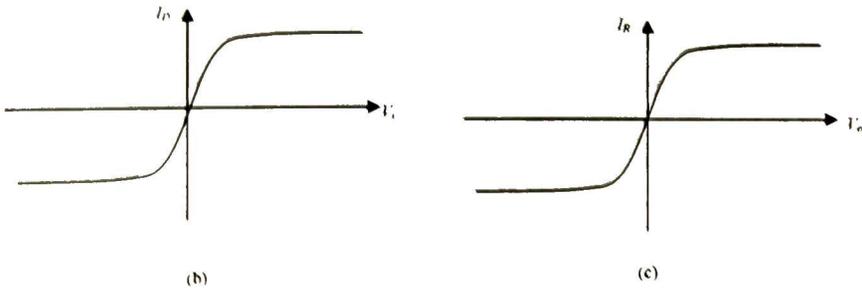
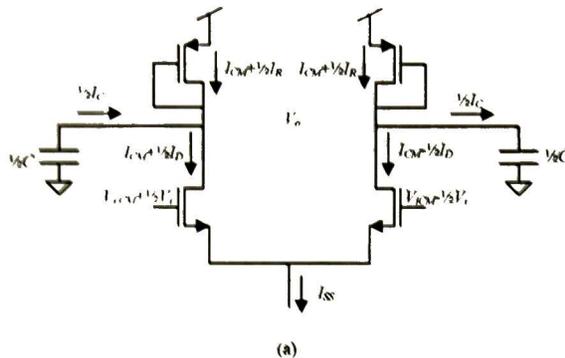


Fig. 6-31. Distorsión debido al transconductor, a) transconductor, b) distorsión debido a ganancia, c) distorsión debido a la resistencia.

Por otro lado la impedancia activa del par diferencial es también una fuente de distorsión. Ésta puede entenderse al ver a la carga como un resistor no lineal como el presentado en la Fig. 6-31c). Nuevamente, el comportamiento diferencial permite expresarse la variación de la corriente que pasa a través de la impedancia activa, I_R , como una función polinomial de V_o con potencias impares, es decir

$$I_R \approx b_1 V_o + b_3 V_o^3 + \dots \quad (6.76)$$

Por último, la capacitancia de salida (incluyendo a la capacitancia de carga) del transconductor forma otra fuente de distorsión. Si se considera que la carga se puede representar como una serie de potencias de V_o , entonces la variación de la corriente que circula a través de la capacitancia de salida, I_C , se obtienen derivando la carga como función de V_o . De esta forma, se puede escribir a I_C como

$$I_C = d_1 \frac{d}{dt} V_o + d_3 \frac{d}{dt} V_o^3 + \dots \quad (6.77)$$

donde la acción diferencial produce una función impar y por ende solo existen potencias impares en (6.77).

Al relacionar las expresiones encontradas en (6.75), (6.76) y (6.77) se escribe una expresión que relaciona a V_o con V_i la cual se presenta a continuación

$$a_1 V_i + a_3 V_i^3 + \dots = c_1 V_o + c_3 V_o^3 + \dots + d_1 \frac{d}{dt} V_o + d_3 \frac{d}{dt} V_o^3 + \dots \quad (6.78)$$

Al despreciar los términos de 5º orden en adelante entonces (6.78) se puede aproximar como

$$a_1 V_i + a_3 V_i^3 \approx c_1 V_o + c_3 V_o^3 + d_1 \frac{d}{dt} V_o + d_3 \frac{d}{dt} V_o^3 \quad (6.79)$$

De (6.79) se puede encontrar el modelo de pequeña señal, donde a_1 es la transconductancia, $1/c_1$ es la resistencia de salida y d_1 es la capacitancia de salida. El modelado de (6.79) implica resolver la ecuación diferencial numéricamente:

$$\begin{aligned} & d_1 V_o(t) + d_3 V_o^3(t) \\ & \approx \Delta t [a_1 V_i(t - \Delta t) + a_3 V_i^3(t - \Delta t) - c_1 V_o(t - \Delta t) - c_3 V_o^3(t - \Delta t)] \\ & + d_1 V_o(t - \Delta t) + d_3 V_o^3(t - \Delta t) \end{aligned} \quad (6.80)$$

Haciendo que $\Delta t = 1/F_s$, se obtiene $V_o(t)$, para $t \geq 0$, cuando el sistema se considera inicialmente en reposo.

6.3.7. Jitter del reloj

Las variaciones estadísticas de las frecuencias de muestreo depende exclusivamente de la pureza del reloj. Típicamente, los $\Sigma\Delta M$ han sido más tolerantes al *jitter* del reloj [Bose98] comparado con los convertidores de tipo Nyquist. Sin embargo esta ventaja es cierta para las implementaciones de tiempo discreto.

En contraste, los moduladores de tiempo continuo son más afectados por el *jitter* del reloj que su contraparte de tiempo discreto [Geer96], [Zwan96], [Tao99] [Cher99b], [Olia98] y [Wong95]. Por estas razones es necesario contar con

modelado del error del reloj en las primeras etapas de diseño para proveer de las medidas cautelares.

Aunque uno de los efectos del *jitter* es la variación en el retraso del pulso produce una degradación en el desempeño del modulador, no es la principal fuente de error [Olia98]. Sin embargo las variaciones de la longitud del pulso de reloj forman la contribución más importante de error dado que modula directamente la cantidad de la carga retroalimentada, la cual aparece con cada ciclo de reloj. Dado que el pulso de retroalimentación es de tipo rectangular con un valor constante, este error es directamente proporcional a la varianza del *jitter* del reloj, σ_t^2 , la cual es añadida directamente a la entrada del modulador a través de la rama más alejada de retroalimentación [Ortmo5].

Para el modelado del ruido del *jitter* del reloj se estudian sus efectos para obtener la potencia del error. Para ello es común asumir que las variaciones de los instantes de muestreo siguen un proceso aleatorio con distribución normal, con lo que permite tratarse al *jitter* del reloj como ruido blanco [Tao99], [Olia98], [Gerfo1]. Otra consideración es considerar al *jitter* de reloj como te tipo acumulativo [Cher99], [Ortmo3], [Dalto2].

El flujo de pulsos para el DAC NRZ es mostrado en la Fig. 6-32. La carga de retroalimentación bajo la influencia del *jitter* del reloj se obtiene mediante la integración de la I_{DAC} sobre un ciclo, incluyendo el error de temporización t_j en los límites de la integración como se presenta en la siguiente expresión

$$Q_{DAC} = \int_0^{T_s+t_j} I_{DAC} dt = \hat{I}_{DAC}(T_s + t_j) \quad (6.81)$$

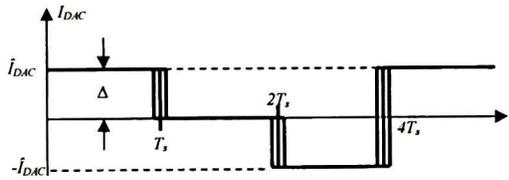


Fig. 6-32. Efecto del *jitter* del reloj.

El error de la carga del reloj de retroalimentación inducido por el error producido por el *jitter* del reloj, e_Q , se obtiene mediante la diferencia entre el valor dado (6.81) y la carga de retroalimentación libre del error del *jitter* de reloj, es decir

$$e_Q = \hat{I}_{DAC} t_j \quad (6.82)$$

Al considerar a t_j como una variable aleatoria con distribución normal, media cero y varianza σ_t^2 , es posible determinar la potencia del error del error producido por el *jitter* del reloj:

$$Q_j^2 = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\infty} (e_Q - \mu_Q)^2 e^{-t_j^2/2\sigma_t^2} dt_j = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\infty} \left(\hat{I}_{DAC} t_j \right)^2 e^{-t_j^2/2\sigma_t^2} dt_j = \hat{I}_{DAC}^2 \sigma_t^2 \quad (6.83)$$

Trasladando esta carga en una señal ruidosa sobre un ciclo, debe estar relacionada con un periodo del reloj, es decir

$$E_j^2 = \frac{Q_j^2}{T_s^2} = \hat{I}_{DAC}^2 \frac{\sigma_t^2}{T_s^2} A_{NRZ} \quad (6.84)$$

donde, $A_{NRZ} \approx 1$ es el factor de actividad [Ortm05]. De la Fig. 6-32 se observa cómo \hat{I}_{DAC} se relaciona con Δ por lo que (6.84) se puede volver a escribir como

$$E_j^2 = \Delta^2 \frac{\sigma_t^2}{T_s^2} A_{NRZ} \quad (6.85)$$

Con (6.85) se puede determinar el modelado de la fuente de error debido al *jitter* del reloj, el cual consiste en añadir en la salida de la unidad de conversión digital a analógica una señal aleatoria con distribución normal, media cero y varianza dada por (6.85) tal como se ilustra en la Fig. 6-33.

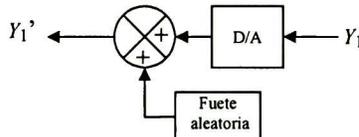


Fig. 6-33. Modelado del *jitter* del reloj.

La Fig. 6-34 y Fig. 6-35 muestran el espectro de la señal de salida y el desempeño del TCEΔM de segundo orden expuesto en el capítulo 3 cuando los efectos no ideales (expuestos en la Tabla 6-2) son considerados. En el espectro de la señal de salida se aprecia un incremento en el ruido y la presencia de distorsión armónica lo cual trae consigo un desempeño menor que el desempeño ideal.

Tabla 6-2. Valores de las no idealidades del TCEΔM.

$g_{m,amp1} / g_{m,amp2}$	$R_{o,amp1} / R_{o,amp2}$	$R_{L,amp1} / R_{L,amp2}$	$v_{in,amp1} / v_{in,amp2}$	V	SR_{amp1} / SR_{amp2}
0.5mS/ 0.5mS	2MΩ/ 2MΩ	1.56pF / 1.56pF	18nV/√Hz / 18nV/√Hz	$2.56 \times 10^{-12} V^2$	700V/μs / 700V/μs
OSW_{amp1} / OSW_{amp2}	σ_t	a_3	c_3	d_3	
2V/ 2V	1ps	$1 \times 10^{-6} SV^{-2}$	$1 \times 10^{-5} SV^{-2}$	$1 \times 10^{-8} FV^{-2}$	

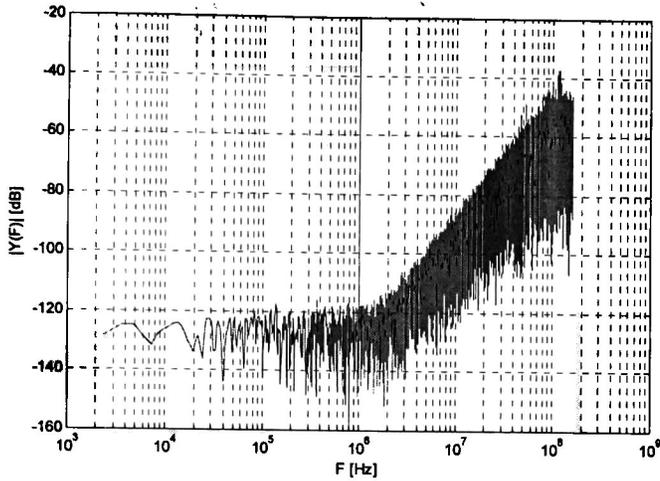


Fig. 6-34. Espectro de la señal de salida del TCEAM.

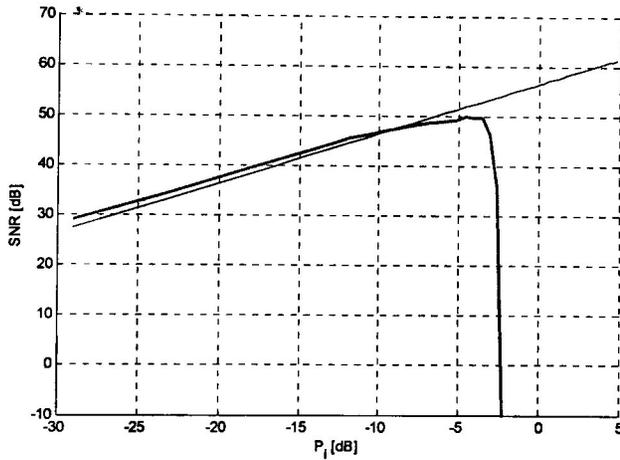


Fig. 6-35. Desempeño del modulador del TCEAM.

6.4. Conclusiones

En este capítulo se abordaron los circuitos que implementan a los moduladores de TD y de TC. Se analizaron los principios de funcionamientos y diagramas de tiempo para conocer las fuentes no ideales que degradan el desempeño de cada uno de los moduladores, donde algunos efectos tales como el *jitter* afectan más a los moduladores de TC que a su contraparte de TD. Con el conocimiento de las fuentes de error es posible incorporálas dentro del modelo comportamental. Además, el

modelado de las fuentes no ideales permite evaluar el desempeño del modulador y en caso de un impacto importante de la disminución del desempeño del modulador, proponer una corrección oportuna.

Capítulo 7. Caso de estudio: Diseño y construcción de modulador TD de 2º orden en CMOS/5-V de 0.5- μm

En este capítulo se aborda el diseño, construcción y medición de un TDESΔM de segundo orden implementado con la técnica SC con un cuantizador de 5 niveles. El propósito del diseño es validar los análisis presentados en el capítulo 3 donde son seleccionados los coeficientes de diseño. Una de las áreas de aplicación del modulador es el área biomédica.

El diseño de este modulador está dividido en tres niveles los cuales son, el alto nivel, nivel medio y bajo nivel, donde en cada uno se realiza una verificación y validación del modulador. La tecnología empleada para la fabricación del modulador es CMOS/5V 0.5 μm . Para la medición y caracterización se incluye una sección para describir el acondicionamiento de las señales entrada/salida.

7.1. Introducción

EL flujo de diseño de una aplicación electrónica involucra un conjunto de etapas perfectamente bien definidas y acotadas con el propósito de satisfacer los requerimientos de la aplicación. La delimitación de cada una de las etapas del flujo de diseño permite detectar anomalías para su oportuna corrección. Entre las estrategias destaca el flujo de diseño *top-down* la cual consta, como punto de partida, de los requerimientos de la aplicación y avanza en complejidad hasta culminar con el sistema final. Durante las diversas fases es posible optimizar cada una de las etapas. Para el diseño del TDESΔM de segundo orden se utiliza este flujo de diseño *top-down* [Rosa11] ya que también las etapas tempranas permiten establecer dos aspectos importantes: el primero es la

reducción significativa en la verificación y validación del diseño, y en segundo lugar permite determinar los requerimientos eléctricos de cada uno de los bloques constitutivos en la medida que se avanza en el flujo de diseño. Cabe mencionar que también es importante estar familiarizado con las limitaciones de la tecnología CMOS/5V 0.5 μm debido a que ésta establece los alcances de cada uno de los bloques y por ende del modulador.

7.2. Flujo de diseño

El flujo de diseño del TDSΔM de segundo orden se ilustra en la Fig. 7-1, donde la primera etapa establece los requerimientos del modulador. Posteriormente se determina la arquitectura que satisface los requerimientos. La evaluación de la arquitectura obtenida establece los puntos y elementos críticos del diseño para su consideración durante cada una de las siguientes etapas. Además que la implementación de la arquitectura permite analizar la temporización tanto de los bloques constitutivos como de todo el modulador para evaluar su comportamiento y desempeño.

Con la implementación de la arquitectura se inicia la etapa de alto nivel, la cual consiste en el modelado comportamental basado en bloques fundamentales de MATLAB/SIMULINK. El uso del modelado comportamental reduce significativamente el tiempo que demanda un modelado a nivel transistor, además la detección y corrección de errores resulta más simple. Las no idealidades (estudiadas en el capítulo 6), son incorporadas en el modelado comportamental y con ello es posible establecer los requerimientos de cada uno de los bloques constitutivos.

Una vez validado el modelado comportamental, se inicia la etapa de nivel medio. En primer lugar, se realiza un modelado basado en SPICE/Verilog-A con elementos eléctricos ideales tales como fuentes de voltaje (corriente) controladas por voltaje (corriente), resistores, capacitores e interruptores. Este modelado llamado macromodelado se diferencia del modelado comportamental por la inserción de los elementos eléctricos que permiten evaluar la temporización del modulador. Con los requerimientos obtenidos en el modelado comportamental y verificando el desempeño del modulador durante el macromodelado, se procede con el diseño a nivel de transistor usando los modelos de la tecnología CMOS. Cada uno de los bloques constitutivos es sustituido gradualmente en el macromodelo hasta obtener completamente el modulador a nivel de transistor. En esta etapa los acoplamientos de cada uno de los bloques del modulador forman uno de los puntos más críticos ya que un desacoplo de impedancias deriva en una deficiente transferencia de potencia y consecuentemente en una notable degradación en el desempeño del modulador.

Concluido el diseño a nivel transistor, comienza el diseño a bajo nivel. En este nivel se genera el *layout* del modulador atendiendo las recomendaciones para minimizar los efectos no ideales producidos durante el proceso de fabricación. Como última validación, se realiza una simulación eléctrica *post-layout*, donde los efectos parásitos son incluidos, además de incluir las variaciones del proceso de fabricación mediante un análisis "de esquinas". Superada la verificación del modulador el diseño se envía para su fabricación.

Por último, se incluye una etapa de medición y caracterización. Para la medición y caracterización del modulador se diseña una tarjeta de circuito impreso (PCB) para acondicionar las señales de entrada y salida. Adicionalmente los instrumentos de excitación y medición se programan para incluir el mayor número de ensayos y al mismo tiempo reducir las fuentes de error durante el proceso de medición.

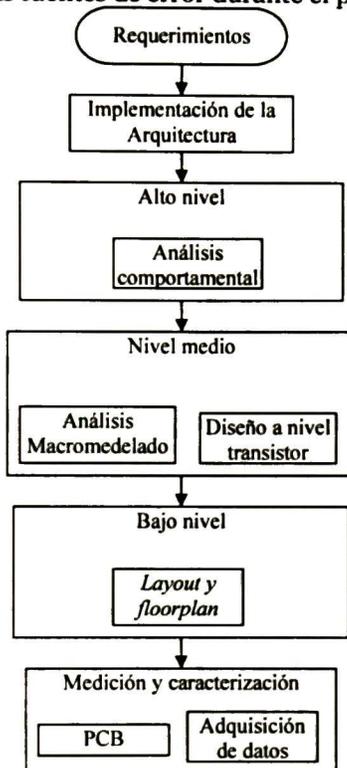


Fig. 7-1. Flujo de diseño del TDESAM.

7.3. Requerimientos

Los requerimientos del diseño considerando se establecen en la Tabla 7-1 . Las posibles aplicaciones para este modulador se encuentran dentro de las aplicaciones biomédicas debido a que las señales biomédicas contienen su información útil a frecuencias menores que 1 kHz [Ravio9], [Aveso8], [Verm10] además que el bajo consumo de potencia requiere la frecuencia de operación de las señales digitales se encuentre dentro del rango de 10-100 kHz [Srid11].

Tabla 7-1. Requerimientos del TDESAM.

F_s	200 kHz
OSR	10
DR	>40 dB
P	Mínima
FOM	Mínima

7.4. Implementación de la arquitectura

El diagrama de bloques del TDΣΔM de segundo orden así como de los coeficientes de diseño fueron presentados en el capítulo 3, sin embargo se vuelve a presentar en la Fig. 7-2 con propósitos ilustrativos.

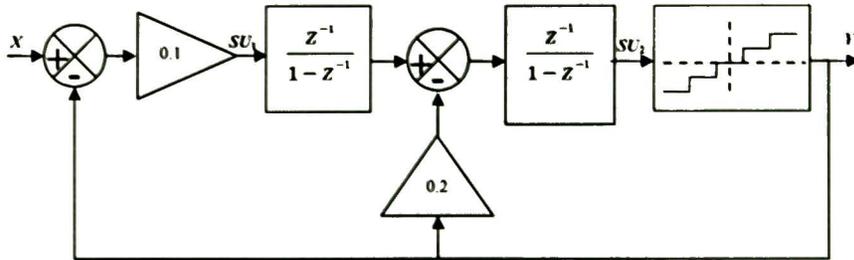


Fig. 7-2. Diagrama de bloques del ΣΔM.

La función de transferencia del cuantizador multinivel (referida a modo común) se presenta en la Fig. 7-3, donde V_{iQ} y V_{oQ} son las señales de entrada y salida, respectivamente y V_{DD} es 5 V. De la Fig. 7-3 resulta evidente que la ganancia del cuantizador, k_q , es igual a 10.

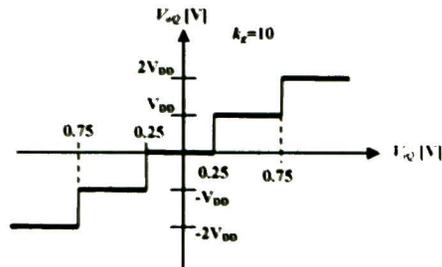


Fig. 7-3. Función de transferencia del cuantizador.

Basado en el diagrama de bloques la SNR del modulador está dada por

$$\text{SNR} \approx \frac{A^2 (12)(5)}{2 \Delta^2 \pi^4} (\text{OSR})^5 = \frac{A^2 (12)(5)}{2 (5)^2 \pi^4} (\text{OSR})^5 \quad (7.1)$$

La implementación de los bloques del modulador se realiza empleando circuitos SC. Dado la flexibilidad de los circuitos SC el número de componentes es reducido, ya que se puede reunir en un integrador SC las operaciones de integración, escalamiento y sustracción. De esta forma, la implementación física requiere de únicamente dos integradores SC, un cuantizador y un DAC, ver Fig. 7-4.

El conjunto de señales $[L_5...L_1]$ forman la señal digital de salida del cuantizador, V_{oQ} , la cual es a su vez es la salida del modulador y es necesaria para generar las señales de retroalimentación de los integradores SC.

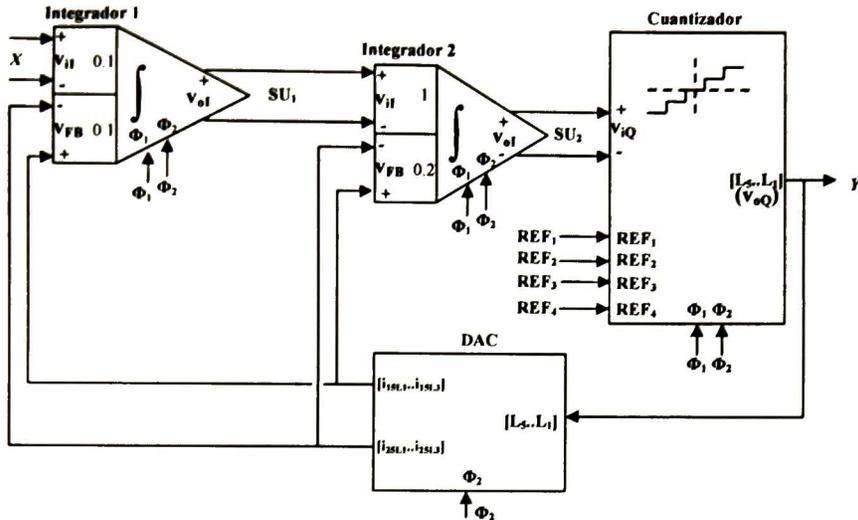


Fig. 7-4 Diagrama esquemático del TDSΔM.

Adicionalmente, los niveles de cuantización son establecidos a través de las tensiones de referencia colocadas externamente en las terminales $[REF_4...REF_1]$. Para una función de transferencia como la mostrada en la Fig. 7-3, las tensiones de referencia se muestran en la Tabla 7-2.

Tabla 7-2. Tensiones de referencia para el cuantizador.

REF_4	REF_3	REF_2	REF_1
2.125 V	2.375 V	2.625 V	2.875 V

Por último, Φ_1 y Φ_2 son señales de reloj complementarias y no traslapadas como las mostradas en la Fig. 7-5.

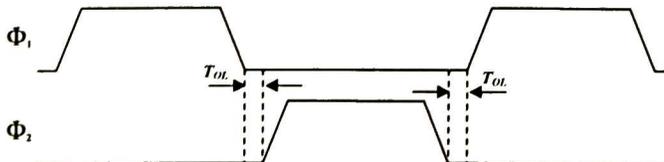


Fig. 7-5. Señales Φ_1 y Φ_2 .

El tiempo T_{OL} es establecido de forma que los interruptores que forman los circuitos SC alcancen el estado estable. Cada uno de los integradores SC se implementa en modo completamente diferencial para reducir el impacto de los armónicos pares producidos por la no linealidad del amplificador y

adicionalmente minimizar el ruido de modo común y el ruido de la fuente de polarización. Se compone de tres ramas para la parte positiva y tres ramas para la parte negativa, ver Fig. 7-6. La señal entrada, v_{il} , y la señal de salida, v_{ol} , están en modo diferencial, cuyo modo común se establece a través de la señal externa aplicada a la terminal cm .

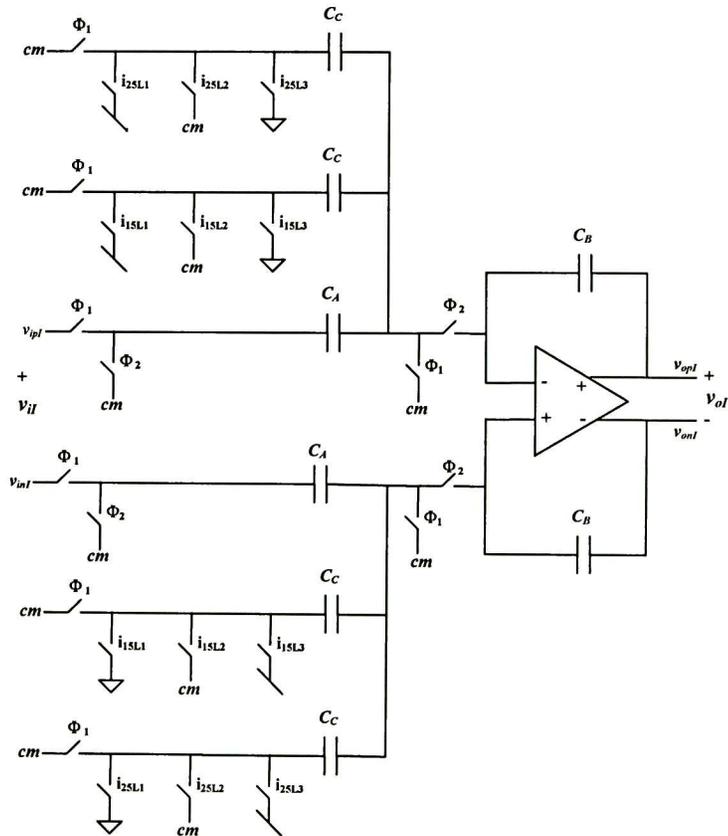


Fig. 7-6. Integrador FE implementado con SC.

El conjunto de las señales $[i_{15L3}...i_{15L1}]$ y $[i_{25L3}...i_{25L1}]$ forman la señal digital de retroalimentación, v_{FB} . Su valor es dependiente del valor de la señal de salida del cuantizador así como del valor de la señal de reloj, Φ_2 . Las relaciones entre las señales $[i_{15L3}...i_{15L1}]$ y $[i_{25L3}...i_{25L1}]$ con la señal v_{oQ} para los dos diferentes valores de Φ_2 son mostrados en la Tabla 7-3.

Tabla 7-3. Relación entre las señales [i15L₃...i15L₁] y [i25L₃...i25L₁] y la señal v_{o0}.

v _{o0}	Φ ₂ =0						Φ ₂ =1					
	i15L ₁	i15L ₂	i15L ₃	i25L ₁	i25L ₂	i25L ₃	i15L ₁	i15L ₂	i15L ₃	i25L ₁	i25L ₂	i25L ₃
2V _{DD}	0	0	0	0	0	0	1	0	0	1	0	0
V _{DD}	0	0	0	0	0	0	1	0	0	1	0	0
0	0	0	0	0	0	0	0	1	0	0	1	0
-V _{DD}	0	0	0	0	0	0	0	0	1	0	0	1
-2V _{DD}	0	0	0	0	0	0	0	0	1	0	0	1

Se observa que el valor de las señales [i15L₃...i15L₁] y [i25L₃...i25L₁] son todos ceros cuando la señal Φ₂ se encuentra en el nivel bajo, en cambio, cuando Φ₂ se encuentra en el nivel alto el conjunto de interruptores controlados por las señales [i15L₃...i15L₁] y [i25L₃...i25L₁] establecen una tensión a tensión equivalente a v_{o0}. El diagrama de tiempos de los integradores SC se muestra en el diagrama de la Fig. 7-7.

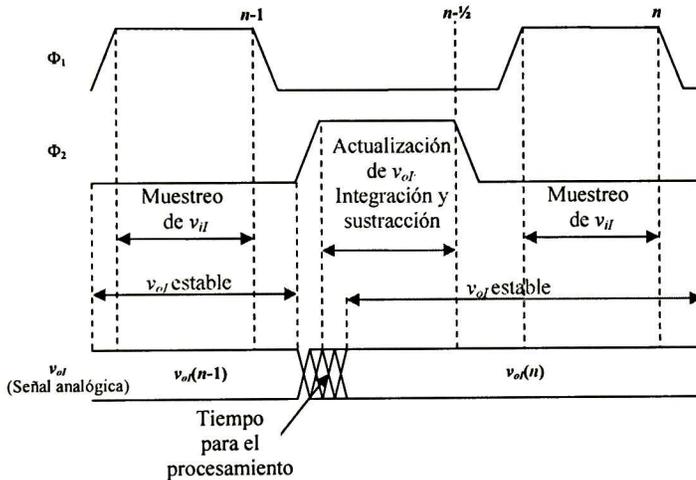


Fig. 7-7. Diagrama de tiempo para los integradores SC.

Por lo tanto, la transformada z de las señales de salida, v_{o1} y v_{o2} (de los dos integradores) se expresa de la siguiente manera

$$V_{o1} = \frac{C_A}{C_B} \frac{z^{-1}}{1-z^{-1}} V_{i1} - \frac{C_C}{C_B} \frac{z^{-1/2}}{1-z^{-1}} \frac{V_{FB}}{2} - \frac{C_C}{C_B} \frac{z^{-1/2}}{1-z^{-1}} \frac{V_{FB}}{2} \quad (7.2)$$

$$V_{o2} = \frac{C_A}{C_B} \frac{z^{-1}}{1-z^{-1}} V_{i2} - \frac{C_C}{C_B} \frac{z^{-1/2}}{1-z^{-1}} \frac{V_{FB}}{2} - \frac{C_C}{C_B} \frac{z^{-1/2}}{1-z^{-1}} \frac{V_{FB}}{2} \quad (7.3)$$

Los valores de los capacitores se presentan en la Tabla 7-4.

Tabla 7-4. Valores de capacitores para los integradores SC.

	C _c [pF]	C _A [pF]	C _B [pF]
Integrador 1	1	1	10
Integrador 2	2	10	10

Por lo tanto, las relaciones para el primer y segundo integrador son como se expresan en las siguientes ecuaciones

$$V_{oI1} = \frac{1}{10} \left(\frac{Z^{-1}}{1-Z^{-1}} V_{i1} - \frac{Z^{-1/2}}{1-Z^{-1}} V_{FB} \right) \quad (7.4)$$

$$V_{oI2} = \frac{Z^{-1}}{1-Z^{-1}} V_{i2} - \frac{2}{10} \frac{Z^{-1/2}}{1-Z^{-1}} V_{FB} \quad (7.5)$$

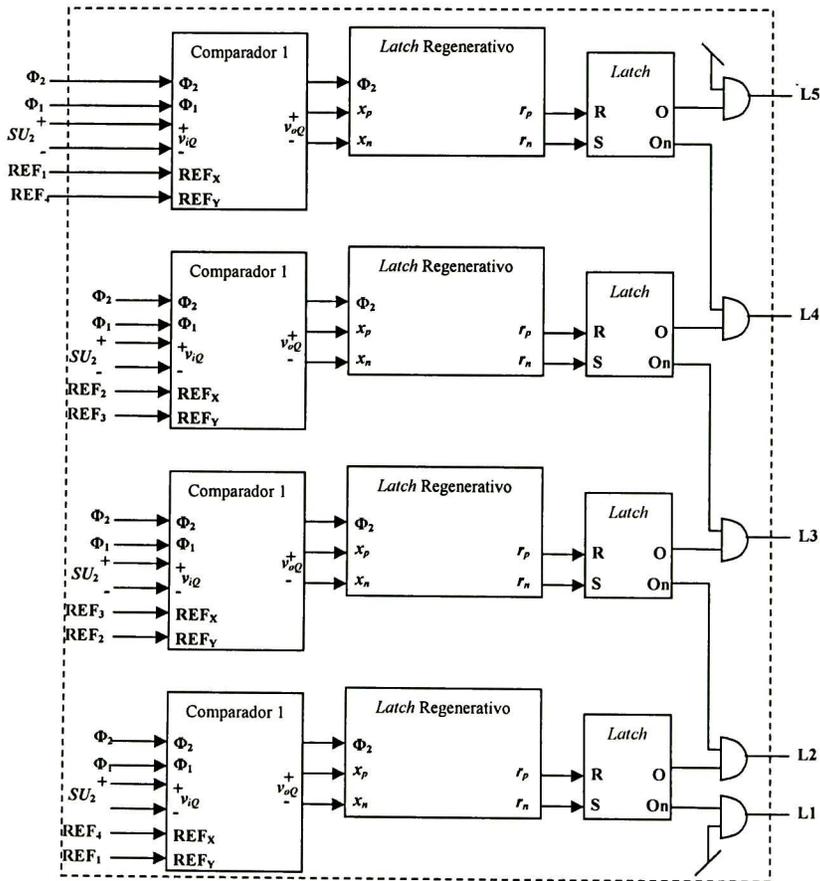


Fig. 7-8. Diagrama esquemático del cuantizador.

El cuantizador multinivel requiere para su implementación de un arreglo de cuatro comparadores, de cuatro *latch's* regenerativos y un arreglo de cuatro *latch's* RS como se muestra en la Fig. 7-8. La implementación de cada uno de los

comparadores se realiza también con circuitos SC. Se compone de un restador SC y dos amplificadores, ver Fig. 7-9.

La función que desempeña el circuito SC es muestrear la señal v_i mientras la señal de reloj Φ_1 se encuentre en alto. Cuando la señal de reloj Φ_2 se encuentre en alto, la salida del circuito SC desempeña la función siguiente

$$v_{o,c} = v_i - (REF_x - REF_y) = (v_{ip} - v_{in}) - (REF_x - REF_y) \quad (7.6)$$

Esta señal (de salida) se aplica a las terminales de los amplificadores. Dado que ambos amplificadores se encuentran en lazo abierto, la salida del último amplificador, v_o , tiende a la saturación positiva (SAT_p) cuando $v_{o,c}$ es mayor que cero y cuando $v_{o,c}$ es menor que cero la salida de los amplificadores tiende a la saturación negativa (SAT_n), es decir

$$v_o = \begin{cases} SAT_p \approx V_{DD}, & v_i > (REF_x - REF_y) \\ SAT_n \approx GND, & v_i < (REF_x - REF_y) \end{cases} \quad (7.7)$$

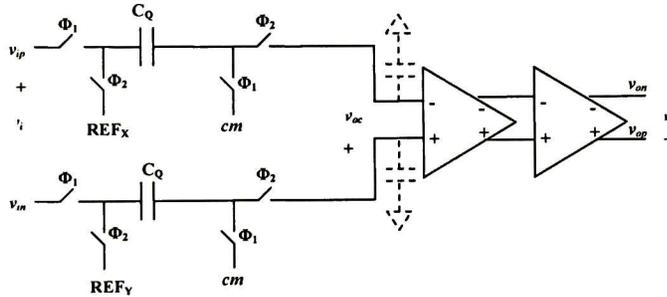


Fig. 7-9. Diagrama esquemático de los comparadores.

El diagrama de tiempos para cada uno de los comparadores se muestra en la Fig. 7-10. La señal de salida de los comparadores es de dominio digital debido a la alta ganancia aportada por el par de amplificadores.

Las señales de salida de los comparadores se acondicionan mediante un conjunto de *latches* de respuesta rápida para adecuar los niveles de tensión digital.

El primer *latch* es uno de los llamados regenerativos como el mostrado en la Fig. 7-11. Su funcionamiento es como se describe a continuación.

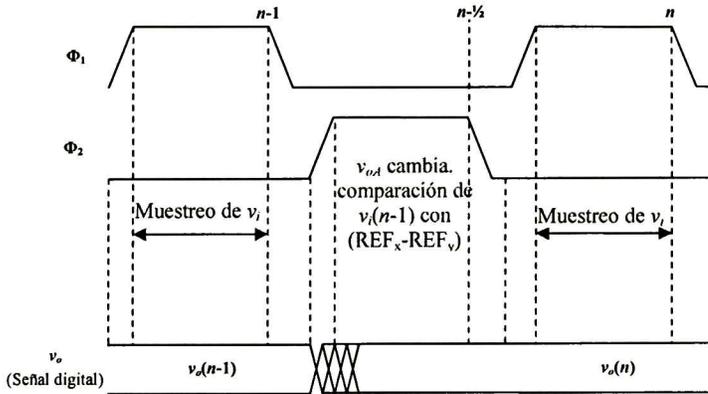


Fig. 7-10. Diagrama de tiempo para los comparadores.

Cuando Φ_2 se encuentra en bajo, las señales r_p y r_n se encuentran en alto a través de los transistores M_6 y M_7 . Ahora bien, cuando Φ_2 se encuentra en alto, entonces, las señales r_p y r_n dependerán de los valores de x_n y x_p , por ejemplo, si x_n es mayor que x_p , entonces, la señal r_n (r_p) se encontrará en alto (bajo).

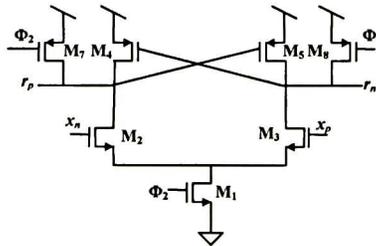


Fig. 7-11. Diagrama esquemático del Latch regenerativo.

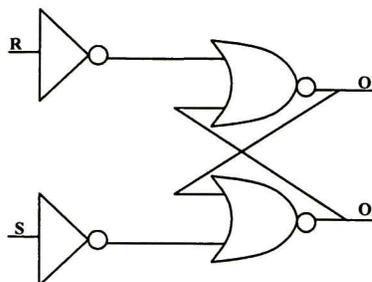


Fig. 7-12. Diagrama esquemático del latch RS.

Las señales de salida del latch regenerativo forman las entradas del siguiente latch RS, el cual se compone de un arreglo de compuertas como se muestra en la Fig.

7-12 y cuya función consiste en mantener estable la salida del cuantizador cuando Φ_2 se encuentra en bajo.

Como es bien sabido, la tabla de verdad del *latch* RS es mostrada en la Tabla 7-5.

Tabla 7-5. Tabla de verdad del Latch RS.

S	R	O	O _n
0	0	Prohibido	Prohibido
0	1	0	1
1	0	1	0
1	1	Sin cambio	Sin cambio

El arreglo de compuertas que se encuentran a las salidas del cada uno de los *latches* RS establecen el comportamiento de las señales de salidas del cuantizador, [L5..L1], las cuales se resumen en la Tabla 7-6.

Tabla 7-6. Tabla de verdad de las señales de salida del cuantizador.

	L5	L4	L3	L2	L1
$v_i > REF_1 - REF_4$	1	0	0	0	0
$REF_2 - REF_3 < v_i < REF_1 - REF_4$	0	1	0	0	0
$REF_3 - REF_2 < v_i < REF_2 - REF_3$	0	0	1	0	0
$REF_2 - REF_3 < v_i < REF_4 - REF_1$	0	0	0	1	0
$v_i < REF_4 - REF_1$	0	0	0	0	1

El conjunto de las señales [L5..L1] forman la salida digital, Y, del modulador, donde su diagrama de tiempo se muestra en la Fig. 7-13.

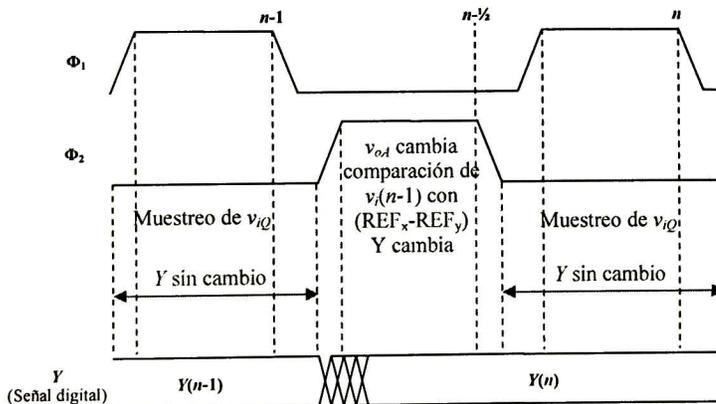


Fig. 7-13. Diagrama de tiempo del cuantizador.

Del diagrama de tiempos, se puede escribir las ecuaciones en diferencias para la salida del cuantizador:

$$y(n) = y\left(n - \frac{1}{2}\right) = Q\{v_{iQ}(n-1)\} \quad (7.8)$$

donde el operador $Q\{v_{iQ}(n-1)\}$ expresa la cuantización de la señal v_{iQ} en el instante $(n-1)T_s$. Al aplicar la transformada z a (7.8) y utilizando la linealización al cuantizador se tiene que

$$Y = z^{-\frac{1}{2}}Y = 10z^{-1}V_{iQ} + E \quad (7.9)$$

Por lo tanto, la salida del modulador, se expresa como

$$Y = z^{-3}X + (1 - z^{-1})^2 E \quad (7.10)$$

donde $V_{iQ} = V_{oI2}$, $V_{iI2} = V_{oI1}$ y $V_{iI1} = X$. Finalmente, la retroalimentación se realiza mediante el DAC la cual se compone de un arreglo de compuertas como se muestra en la Fig. 7-14. Su función es generar las señales $[i_{15L3}..i_{15L1}]$ y $[i_{25L3}..i_{25L1}]$ que requieren los integradores SC.

7.4.1. Alto nivel

En este nivel se pretende determinar el desempeño del modulador en un esquema comportamental donde los tiempos de simulación son inferiores que en otro nivel ya que su modelado es computacionalmente más sencillo [Guer12]. Por otro lado, el uso de los bloques para el modelado de las no idealidades que afectan al los moduladores, permiten definir los requerimientos de los bloques constitutivos en el momento de efectuar su diseño a nivel transistor.

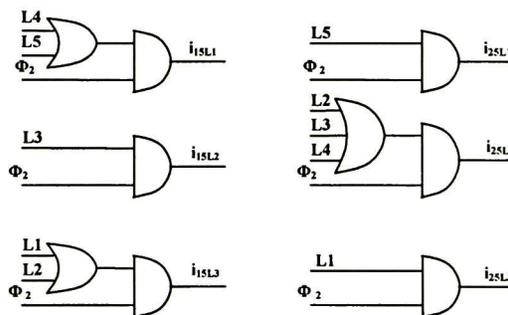


Fig. 7-14. Diagrama esquemático del DAC.

El modelo del empleado en este nivel obedece al estudio presentado en el capítulo 6, donde las principales fuentes no ideales son abordadas. En la Fig. 7-15 se muestra el diagrama a bloques del modulador, en el modelo se contempla los bloques que modelan las no idealidades.

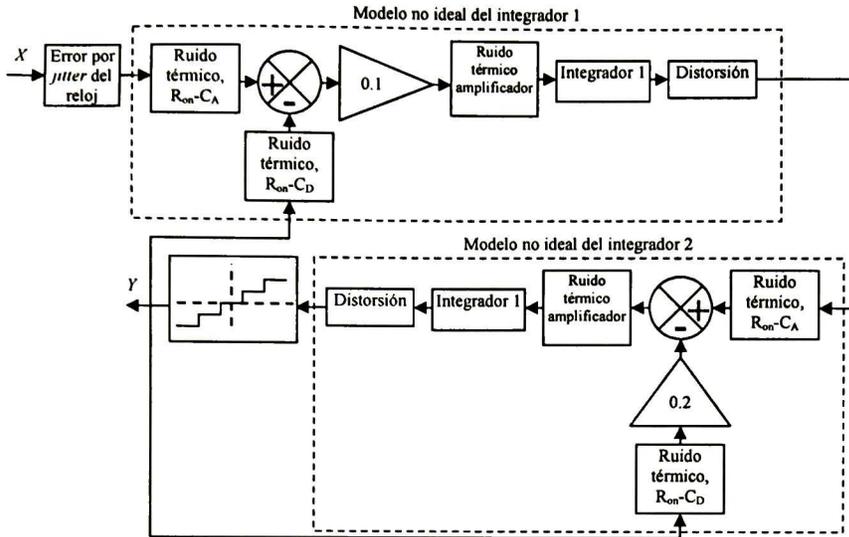


Fig. 7-15. Diagrama a bloques del TDEΔM.

Los valores no ideales se eligen de tal forma que sea posible satisfacer dentro de la tecnología disponible. Así, los valores no ideales de temperatura, *jitter* de reloj y el coeficiente cúbico de distorsión de los capacitores considerados para este diseño, se muestran en la Tabla 7-7.

Tabla 7-7. Efectos no ideales de temperatura, jitter y capacitancia no lineal.

Temperatura	300 K
Jitter del reloj	1 μs
d_3	0.001 V ⁻²

En la Tabla 7-8 se muestran los valores no ideales de los amplificadores empleados en los integradores SC tales como el voltaje rms del ruido térmico referido a la entrada, $V_{i,rms}$, la ganancia dc, A_o , la excursión de salida, el producto ancho de banda, GBW el SR máximo y el coeficiente cúbico de distorsión, γ_2 .

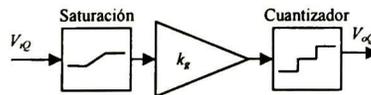


Fig. 7-16. Modelado del cuantizador.

Tabla 7-8. Efectos no ideales de los amplificadores.

$V_{i,rms}$	A_o	OSW	GBW	SR	γ_2
713.40 nV	80 dB	3	25 MHz	15 V/μs	10 V ⁻²

Como medida de simplificación, el cuantizador se implementa mediante un esquema como el mostrado en la Fig. 7-16, donde solo la no idealidad de la saturación del cuantizador es considerada.

La densidad espectral de potencia del modelado comportamental se muestra en la Fig. 7-17 para una señal sinusoidal de entrada, una F_s de 200 kHz y una OSR de 10. Además, en la imagen se muestra la curva SN que representa el conformado de ruido ideal de un $\Sigma\Delta$ de segundo orden. Se observa que el conformado del ruido de cuantización es bastante similar a la curva SN.

El desempeño del modulador se ilustra en la Fig. 7-18, donde se observa que el DR es de 43.34 dB el cual corresponde a un ENOB de 7.23 bits cuando la amplitud de la señal sinusoidal es de 15.56 dBV.

Dado que el desempeño del modulador satisface los requerimientos iniciales y además sus resultados aproximan los resultados ideales se valida el diseño y se prosigue con el siguiente nivel del flujo de diseño.

7.4.2. Nivel medio

Este nivel utiliza un simulador basado en SPICE que permite, entre otras cosas, acercarse a una etapa final la fabricación del modulador.

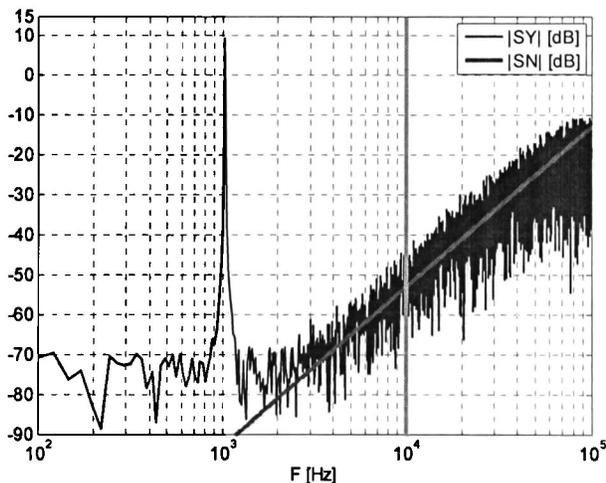


Fig. 7-17. Densidad espectral de la señal de salida con el modelado comportamental.

Se divide en dos secciones, donde la primera de ellas consiste en la construcción de un modelado con componentes ideales y bloques descritos en Verilog-A, llamado macromodelado. Su intención es verificar la temporización ya que incluye dentro del modelo las dos fuentes de reloj Φ_1 , Φ_2 , en vez de una sola fuente de reloj como sucede en el modelado comportamental.

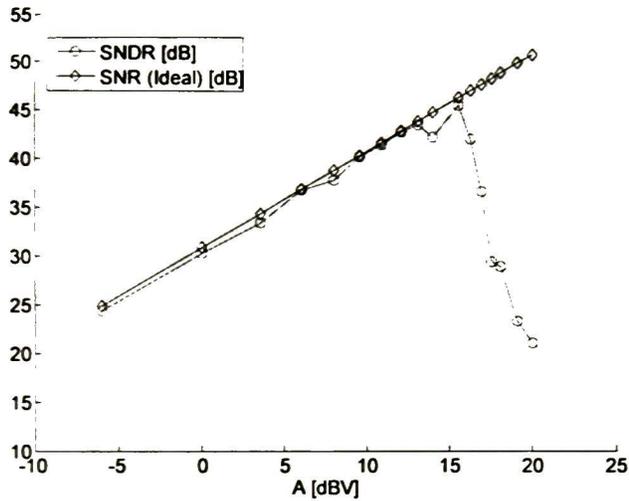


Fig. 7-18. Desempeño del modulador con el modelado comportamental.

La sección posterior al macromodelado es la etapa a nivel transistor donde el punto de partida de esta nueva etapa es el diagrama esquemático del macromodelado debido a que cada uno de los bloques del macromodelado es sustituido paulatinamente por su equivalente a nivel transistor. Este nivel es crucial en muchos sentidos, uno de ellos es la verificación de la arquitectura con el modelado más bajo posible, el modelado del transistor CMOS. Adicionalmente, es en esta etapa donde las geometrías de los transistores son determinadas. Cabe señalar que los elementos diseñados durante este nivel tales como amplificadores deben cumplir con las especificaciones elegidas durante el modelado comportamental, de lo contrario, las fuentes no ideales de los bloques constitutivos degradarán el desempeño del modulador.

7.4.2.1. Macromodelado

Para este nivel, primeramente se realiza una simulación eléctrica basada en SPICE con elementos puramente ideales. El diagrama esquemático para la sección del macromodelado es idéntico al presentado en la Fig. 7-4, donde los diagramas esquemáticos de los dos integradores SC son ilustrados en la Fig. 7-19. El diagrama muestra a los amplificadores completamente diferenciales modelados mediante fuentes de voltaje controladas por voltaje con ganancia A_o de 10000. Los interruptores ideales utilizados se establecen con una resistencia de encendido de 100Ω y una resistencia de apagado de $100 M\Omega$.

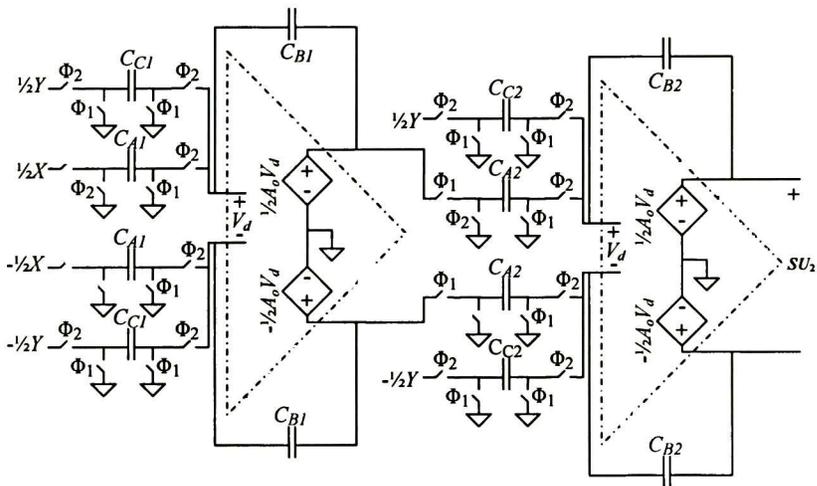


Fig. 7-19. Macromodelado de los integradores SC.

El diagrama esquemático del cuantizador se ilustra en la Fig. 7-20. Las compuertas analógicas empleadas para este modelado están descritas en el lenguaje Verilog-A por su simple implementación.

Y el codificador es como el mostrado en la Fig. 7-14. La densidad espectral de potencia y el desempeño empleando macromodelado se muestra en la Fig. 7-21 y la Fig. 7-22, respectivamente

Los amplificadores empleados para el modelo no incluyen los niveles de saturación, razón por la cual el desempeño del modulador es superior al desempeño empleado en el modelado de alto nivel.

7.4.2.2. Nivel transistor

Durante esta etapa, las simulaciones el diseño se apoya en los simuladores SPICE (HSPICE y TSPICE) con el modelo del transistor BSIM v3.3 [Cheno2] [Liu05] para la tecnología CMOS/5V de 0.5 μm . En la Fig. 7-23 muestra la arquitectura del modulador durante esta etapa, la diferencia de este esquema comparado con el presentado en la Fig. 7-4 estriba en el uso de un par de amplificadores para el acoplamiento de impedancia entre el segundo integrador y el cuantizador.

Este acoplamiento es imprescindible debido a que la impedancia de entrada del cuantizador es reducida y las características del amplificador usado en los integradores impiden su acoplamiento [Raza01].

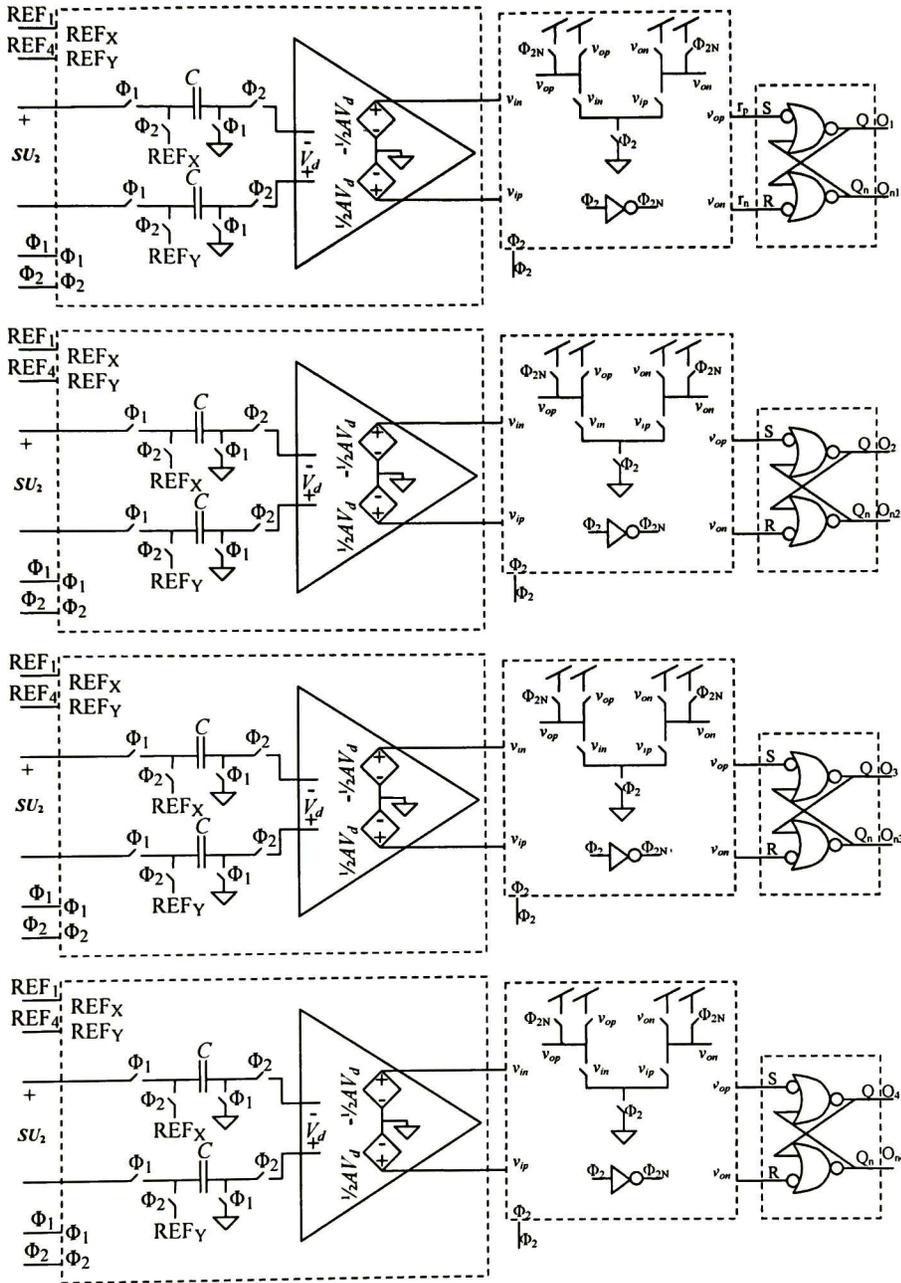


Fig. 7-20. Macromodelado del cuantizador.

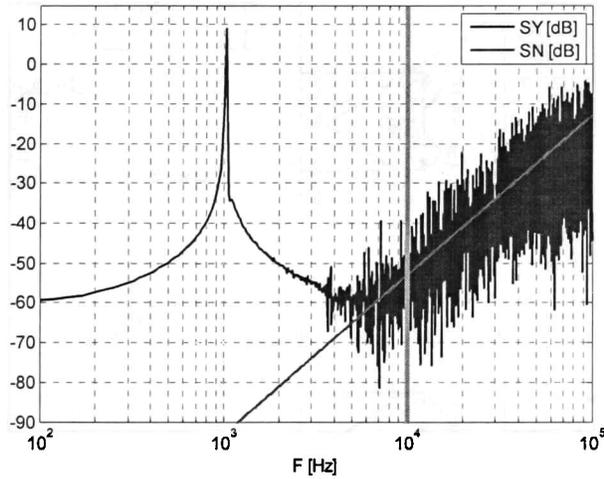


Fig. 7-21. Densidad espectral de la señal de salida con el macromodelado.

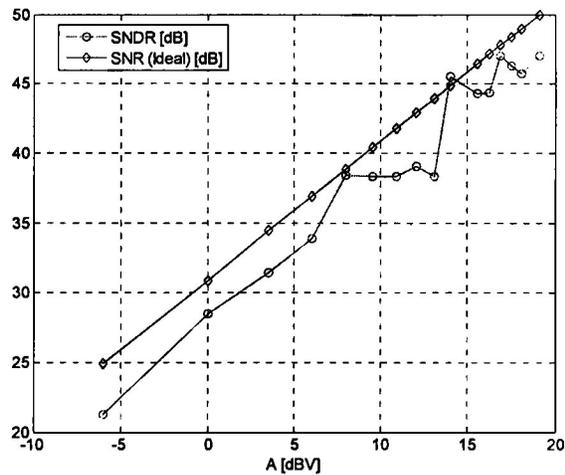


Fig. 7-22. Desempeño del modulador con el macromodelado.

Una de los elementos más críticos dentro del modulador SC es el amplificador. La topología del amplificador seleccionado para el integrador es de tipo *folded cascode* completamente diferencial, ver Fig. 7-24. La principal ventaja frente de este amplificador es debido a la fácil elección del nivel de entrada de modo común [Raza01]. En la figura se observan también los circuitos de polarización que son los encargados de generar las señales V_{p3} , V_{p9} y V_{p5} donde esta última es generado a

partir de la señal externa del modo común, cm . También se puede observar a la señal $cmfb$ con la cual se establece la retroalimentación del modo común.

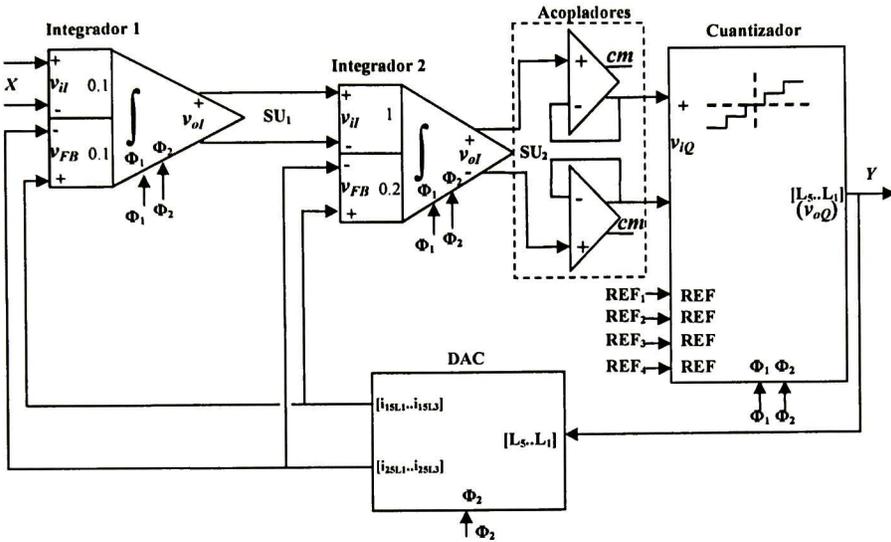


Fig. 7-23 Diagrama esquemático del TDEΔM a nivel transistor.

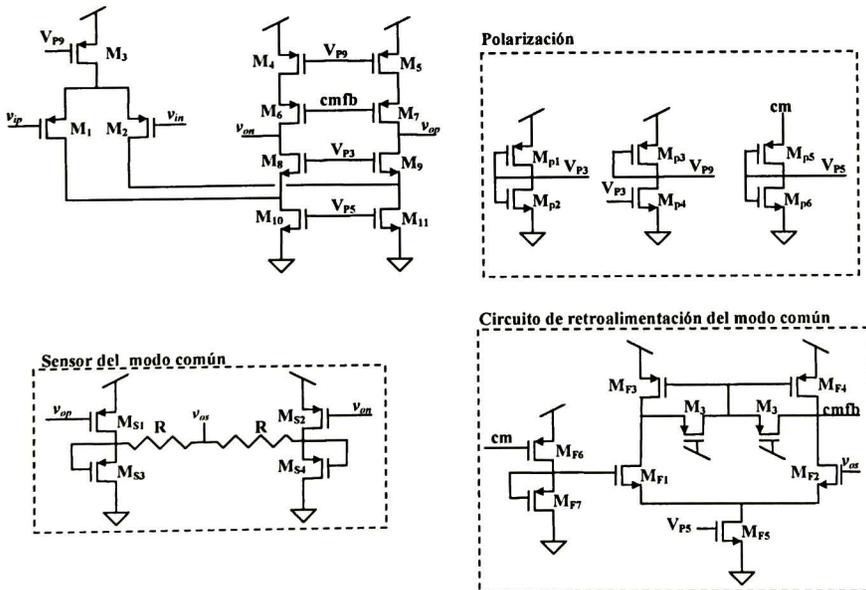


Fig. 7-24. Amplificador *folded cascode*.

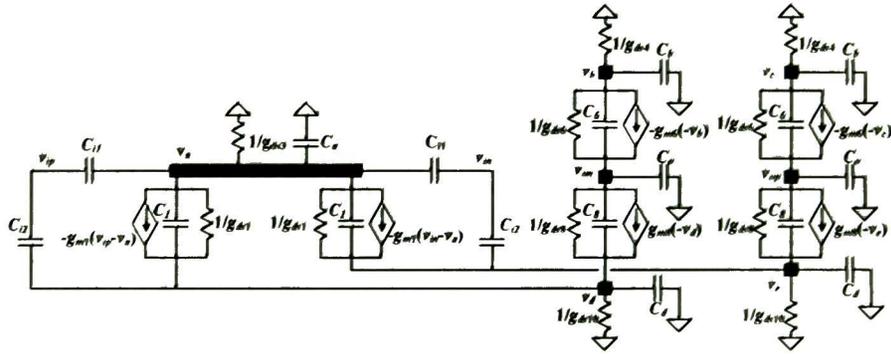


Fig. 7-25. Circuito de pequeña señal del amplificador *folded cascode*.

El procedimiento de diseño precisa del circuito de pequeña señal donde los parámetros dinámicos tales como la ganancia, ancho de banda, margen de fase determinan el comportamiento del integrador. La Fig. 7-25 muestra el circuito de pequeña señal del amplificador.

Las capacitancias que se muestran en la figura están relacionadas con las capacitancias de cada uno de los transistores como se muestran en las siguientes expresiones

$$C_a = C_{GD3} + C_{DS3} + C_{DB3} \quad (7.11)$$

$$C_b = C_{DS4} + C_{DB4} + C_{GD4} + C_{GS6} + C_{GB6} \quad (7.12)$$

$$C_o = C_{GD6} + C_{GD8} + C_{DB8} + C_L \quad (7.13)$$

$$C_d = C_{GS8} + C_{SB8} + C_{GD10} + C_{DS10} + C_{DB10} \quad (7.14)$$

$$C_1 = C_{DS1} + C_{DB1} \quad (7.15)$$

$$C_6 = C_{DS6} + C_{DB6} \quad (7.16)$$

$$C_8 = C_{DS8} \quad (7.17)$$

$$C_{i1} = C_{GS8} + C_{GB8} \quad (7.18)$$

$$C_{i2} = C_{GD1} \quad (7.19)$$

Al resolver las ecuaciones obtenidas del la Fig. 7-25 se obtiene que la ganancia de amplificador

$$A_v \approx g_{m1} \left[\frac{g_{m8} g_{m6}}{g_{m8} (g_{ds6} g_{ds4}) + g_{m6} g_{ds8} (g_{ds1} + g_{ds10})} \right] \quad (7.20)$$

Así mismo, el polo dominante se encuentra en [Mall89]

$$p_1 \approx - \left[\frac{g_{m8} g_{m6}}{g_{m8} (g_{ds6} g_{ds4}) + g_{m6} g_{ds8} (g_{ds1} + g_{ds10})} \right] \frac{1}{C_o} \quad (7.21)$$

$$A(s) \approx \frac{A_v}{1 + s \left[\frac{g_{m8} g_{m6}}{g_{m8} (g_{ds6} g_{ds4}) + g_{m6} g_{ds8} (g_{ds1} + g_{ds10})} \right] \frac{1}{C_o}} \quad (7.22)$$

$$SR \approx \frac{I_{D3}}{C_o} \quad (7.23)$$

$$\bar{v}_n^2 = 8kT \left(\frac{2}{3g_{m1}} + \frac{2}{3} \frac{g_{m10}}{g_{m1}^2} + \frac{2}{3} \frac{g_{m4}}{g_{m1}^2} \right) \quad (7.24)$$

$$OSW = 2 \left[V_{DD} - (V_{OD8} + V_{OD10} + |V_{OD4}| + |V_{OD6}|) \right] \quad (7.25)$$

Los resultados de simulación de pequeña señal del amplificador, incluyendo el circuito de retroalimentación de modo común, se muestran en la Fig. 7-26. Al mismo tiempo, se presenta también la magnitud y fase de macromodelado del circuito eléctrico equivalente del amplificador, donde se puede apreciar que los polos son precisamente modelados a diferencia de los ceros, sin embargo, cuando los ceros se encuentran por debajo del GBW su inclusión no es relevante por encontrarse a altas frecuencias.

Además, un análisis de ruido a temperatura de 300 K se realiza para incluir los efectos del ruido térmico y ruido flicker. El voltaje de ruido equivalente referido a la entrada para el amplificador se muestra en la Fig. 7-27, se observa que el impacto del ruido flicker es despreciable comparado con el ruido térmico.

Una de los aspectos sobresalientes de los $\Sigma\Delta M$ es su inmunidad a fuentes de ruido provenientes del modo común y de las perturbaciones dentro de la fuente de polarización.

Por ello, los circuitos complemento diferenciales ofrecen un ventaja para la implementación de los $\Sigma\Delta M$. En la Fig. 7-28a) y Fig. 7-28b) se muestran las respuestas en frecuencia para los ensayos de la relación de rechazo de modo común (CMRR) y los valores de la relación de rechazo de la fuente de alimentación (PSSR), respectivamente [Raza01].

Se observa que la ganancia del amplificador *folded cascode* respecto a la señal de modo común y la señal introducida en la fuente de polarización es despreciable para todo fin práctico.

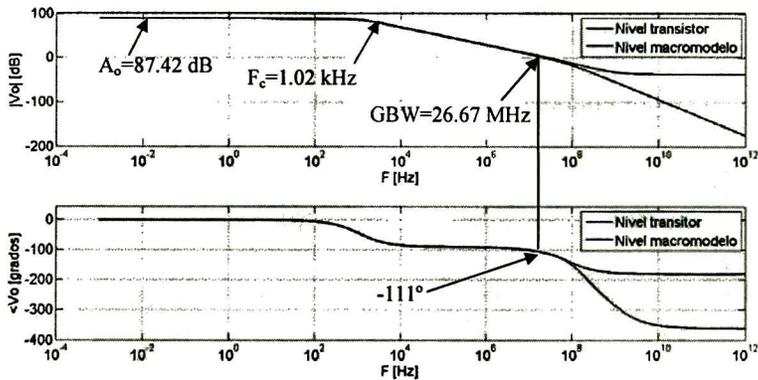


Fig. 7-26. Respuesta en frecuencia del amplificador *folded cascode*.

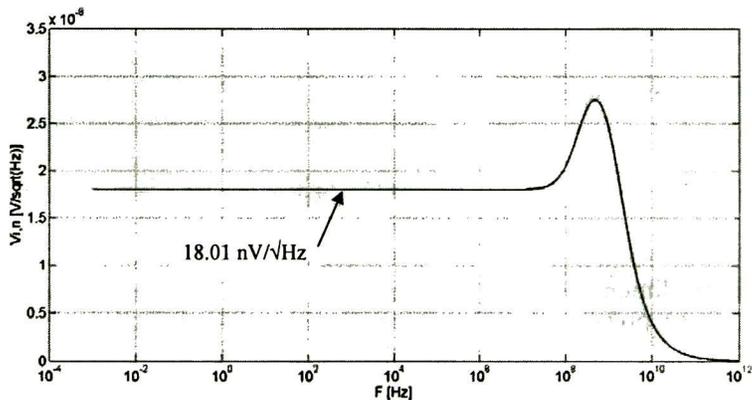


Fig. 7-27. Respuesta en frecuencia de voltaje de ruido equivalente referido a la entrada del amplificador *folded cascode*.

Ahora bien, la capacitancia del amplificador determina el tiempo de respuesta de un sistema analógico y consecuentemente para el $\Sigma\Delta\text{M}$. En el modulador, las capacitancias determinan la frecuencia máxima de operación dado que los dos integradores se interconectan en un arreglo de tipo cascada.

La determinación de la capacitancia equivalente en la salida del amplificador se obtiene fácilmente de la respuesta en frecuencia. Sin embargo la capacitancia equivalente en la entrada del amplificador, C_i , requiere un procedimiento diferente. Se propone una técnica basada en un análisis de pequeña señal así como de un circuito como el presentado en la Fig. 7-29, donde el valor de R se elige de tal forma que sea mayor que la resistencia de entrada del amplificador.

La respuesta V_o en función de la frecuencia se muestra en la Fig. 7-30, se observa que la frecuencia de corte es de 39.08 MHz por lo que la capacitancia de entrada del amplificador se estima como

$$C_i = \frac{1}{2\pi 2RF_c} = 203.6 \text{ fF} \quad (7.26)$$

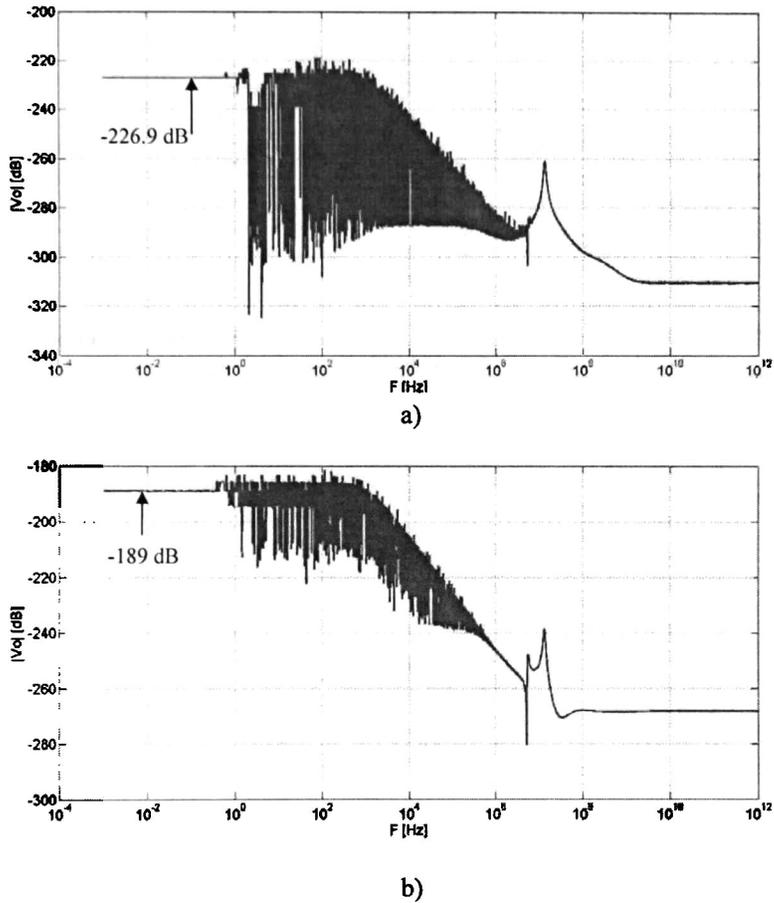


Fig. 7-28. Respuesta en frecuencia de inmunidad al ruido a) para el CMRR y b) para el PSSR.

Los efectos no lineales se pueden obtener mediante un análisis paramétrico que consiste en la variación de la tensión dc de la señal de entrada y registrando la tensión de la señal de salida. La Fig. 7-31 muestra la relación de la señal de salida contra la señal de entrada para el análisis paramétrico. Mediante una regresión de mínimos cuadrados puede se aproxima la tensión de la señal de salida como

$$4.8 \times 10^3 V_i - 5.7 \times 10^9 V_i^3 + 3.7 \times 10^{15} V_i^5 + \dots, -2 \times 10^{-3} \leq V_i \leq 2 \times 10^{-3} \quad (7.27)$$

Por ultimo, la no idealidad del SR, se determina al configurar al amplificador como un seguidor de voltaje y se introduce un pulso de voltaje con lo cual puede computarse la tasa de cambio de la tensión tanto positiva como negativa.

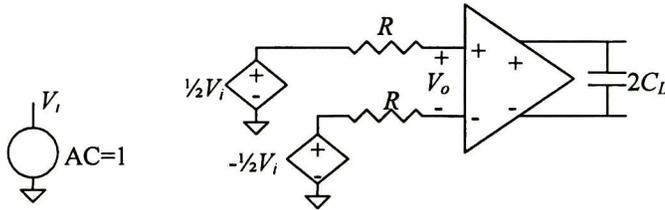


Fig. 7-29. Propuesta para determinar la capacitancia equivalente en la entrada del amplificador.

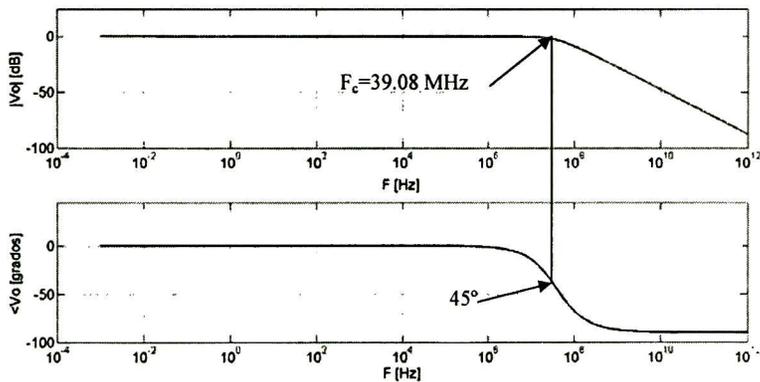


Fig. 7-30. Respuesta en frecuencia de V_o para la determinación de C_i .

En la Fig. 7-32 se indican las respuestas de entrada y salida del amplificador configurado como seguidor de voltaje. En la Fig. 7-32a) se muestra el pulso positivo y en la Fig. 7-32b) el pulso negativo y claramente se observa que la tasa de cambio es mayor con el pulso negativo.

Las características del amplificador tales son resumidas en la Tabla 7-9, en donde se muestran la ganancia A_o , el producto ancho de banda, GBW, el margen de fase, PM, la relación de rechazo de modo común, CMRR, la relación de rechazo de la fuente de polarización, el voltaje equivalente de ruido referido a la entrada, $v_{i,n}$, el SR, la excursión de la señal de salida, OSR, la capacitancia equivalente de entrada y la corriente de polarización, I cuando la capacitancia de carga es de 1 pF.

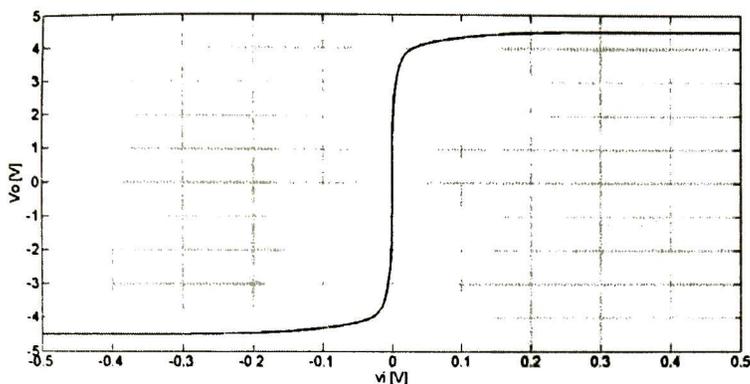


Fig. 7-31. Respuesta V_o versus V_i del amplificador.

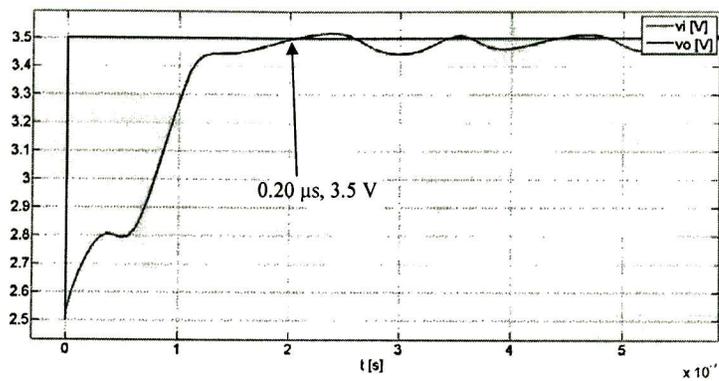
Tabla 7-9. Características del amplificador *folded cascode*.

A_o	87.42 dB
GBW	26.67 MHz
PM	69°
CMRR	-226.9dB
PSSR	-189 dB
$v_{i,n}$	18.01 nV/ $\sqrt{\text{Hz}}$
SR^+/SR^-	7.5/16.67 V/ μs
OSW	3.18 V
C_i	203.6 fF
I	1.49 mA

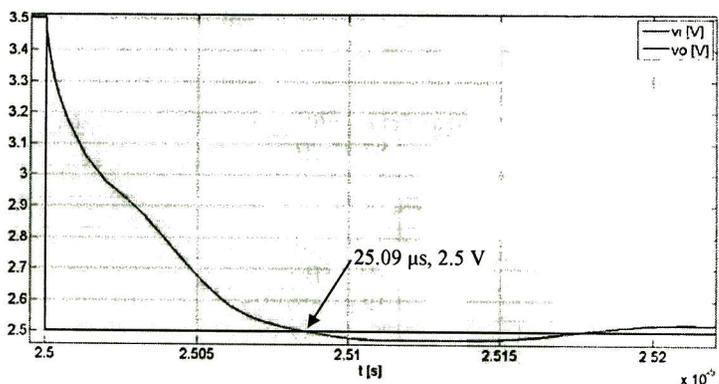
Además del amplificador *folded cascode* empleado para los integradores, también se utiliza otro tipo de amplificador para el cuantizador y para el seguidor de voltaje empleado en el acoplamiento de la señal. La característica esencial es la rapidez de respuesta y una excursión del voltaje de salida elevado [Dupi90], [Szczo2]. El amplificador que reúne los requisitos consiste en un simple par diferencial como se presenta en la Fig. 7-33. La retroalimentación de modo común se realiza mediante los transistores M_6 y M_7 .

La respuesta de pequeña señal del amplificador se ilustra en la Fig. 7-34 y sus métricas relevantes se resumen en la Tabla 7-10 cuando la capacitancia de carga es de 500 fF.

Finalmente el diseño de los interruptores se basan en compuertas de transmisión (ver Fig. 7-35) con dos transistores complementarios para reducir la impedancia de encendido de interruptor e incrementar consecuentemente la frecuencia de muestreo del modulador.



a)



b)

Fig. 7-32. Respuesta transitoria para la determinación de SR.

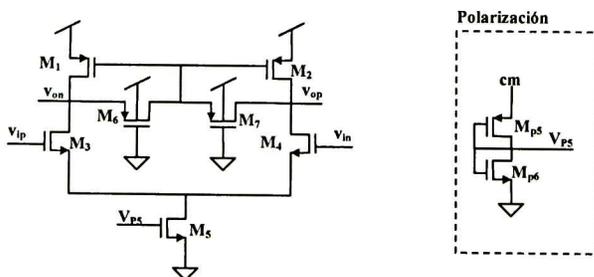


Fig. 7-33. Amplificador empleado para el acoplamiento y los comparadores.

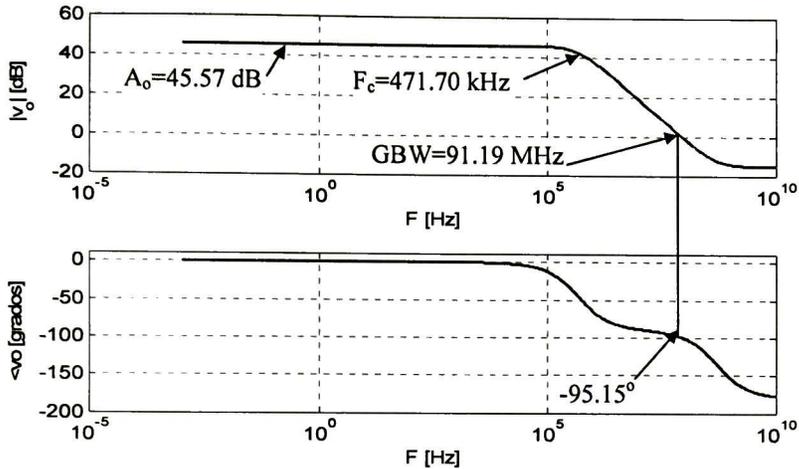


Fig. 7-34. Respuesta en frecuencia del amplificador diferencial.

Tabla 7-10. Características del amplificador diferencial.

A_o	45.57 dB
GBW	91.19 MHz
PM	84.85°
CMRR	-83.48 dB
PSSR	-131.30 dB
$v_{e,n}$	8.14 nV/ $\sqrt{\text{Hz}}$
SR^+/SR^-	20.22 V/ μs /28.48 V/ μs
OSW	5.81 V
C_i	163.95 fF
I	60.10 μA

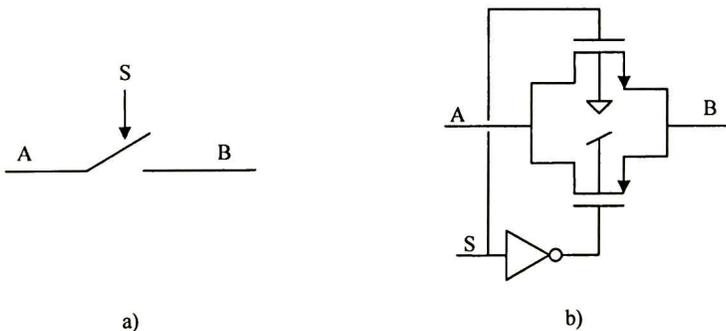
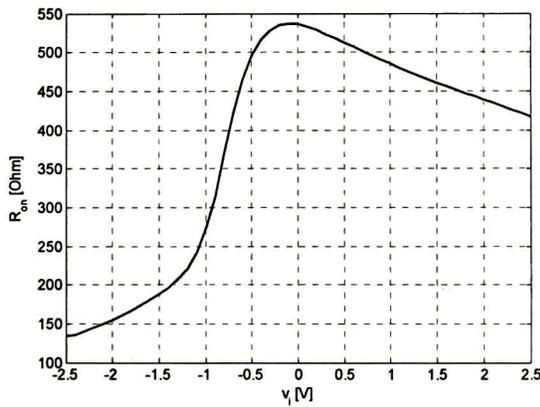


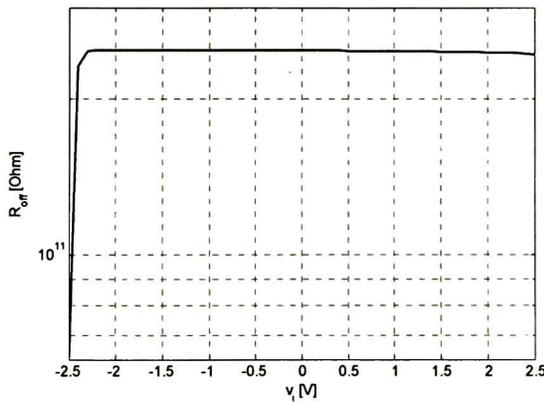
Fig. 7-35. Interruptor para los integradores SC. a) Modelo ideal. b) Implementación a nivel transistor.

La resistencia del encendido y apagado del interruptor se muestra en la Fig. 7-36 donde la señal v_i es la señal de entrada del interruptor y está referida al modo

común. En la Fig. 7-36a) se observa que la resistencia de encendido (cuando la señal de control, S es de 5 V) alcanza los 536.80Ω y en la Fig. 7-36b) se observa que la resistencia de apagado (cuando la señal S es de 0 V) mínima es de $63.54 \text{ G}\Omega$. Para validar el comportamiento a nivel transistor se realiza un análisis en el dominio de tiempo que permita observar el conformado del ruido de cuantización en el dominio de la frecuencia. En la Fig. 7-37 y en la Fig. 7-38 se muestra la densidad espectral de potencia y el desempeño del modulador, respectivamente. Los resultados validan el diseño realizado hasta ahora, por lo que la tarea siguiente consiste en elaborar el *layout* del circuito.



a)



(b)

Fig. 7-36. Resistencia de encendido y resistencia de apagado de los interruptores.

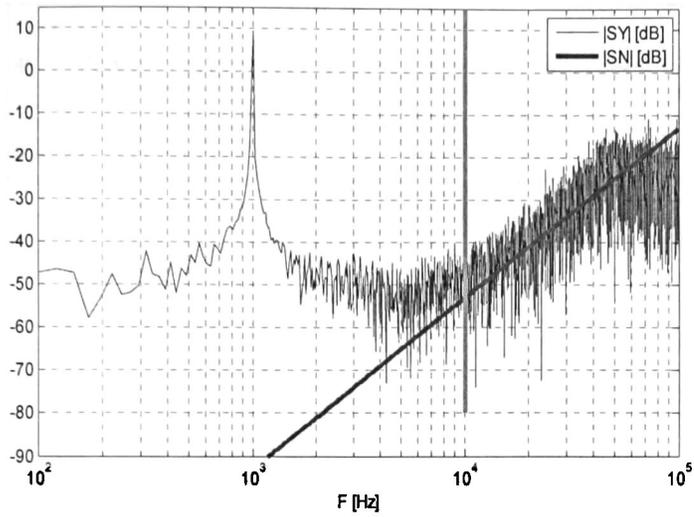


Fig. 7-37. Densidad espectral de la señal de salida a nivel transistor.

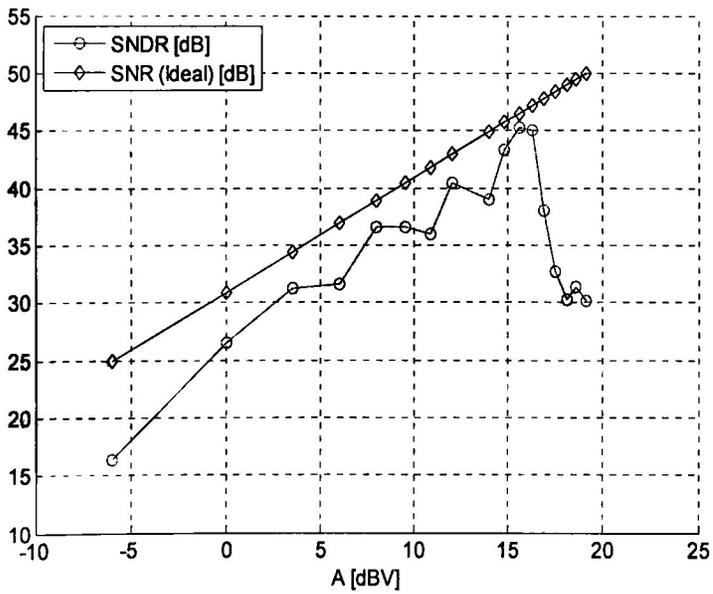


Fig. 7-38. Desempeño del modulador a nivel transistor.

7.4.3. Bajo nivel

Una vez completadas las validaciones de las etapas previas, se elabora el *layout* del modulador en la tecnología CMOS/5V de 0.5 μ m, dos capas de polisilicio, 3 metales de interconexión. El *floorplan* del *layout* está basado en el uso extensivo de la técnica de centroide común [Longo5]. Y en la naturaleza diferencial de los bloques constitutivos como se muestra en la Fig. 7-39. Los interruptores y capacitores se clasifican como positivos (negativos) por su relación con la terminal no inversora (inversora) del amplificador.

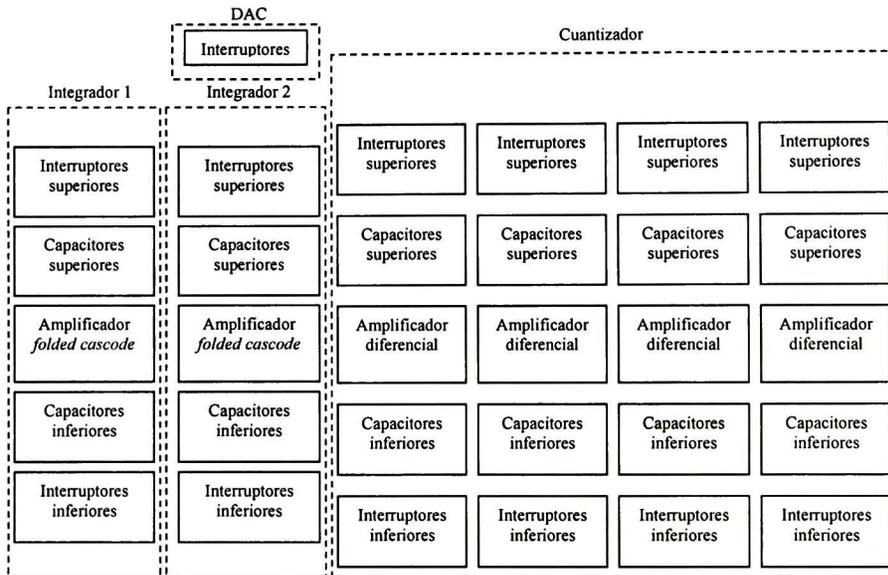


Fig. 7-39. Arreglo de los bloques constitutivos del $\Sigma\Delta$ M.

Atendiendo las reglas de diseño de la tecnología se obtiene el *layout* del modulador como se presenta en la Fig. 7-40.

Cómo ultima verificación del diseño antes de su fabricación, se efectúa una simulación *post-layout*. Inicialmente se extrae del *layout* el modelo SPICE equivalente incluyendo los efectos parásitos y nuevamente se somete a simulación. La densidad espectral de potencia de la señal de salida de la simulación *post-layout* se muestra en la Fig. 7-41.

Asimismo, el desempeño del modulador se muestra en la Fig. 7-42. Sin embargo, la evaluación de la robustez del modulador se realiza al realizar un análisis de esquinas, donde el modelo típico SPICE de los transistores es reemplazado por otros modelos extremos de los transistores. En la Fig. 7-43 se muestra el DR del modulador cuando se efectúa el análisis de esquinas.

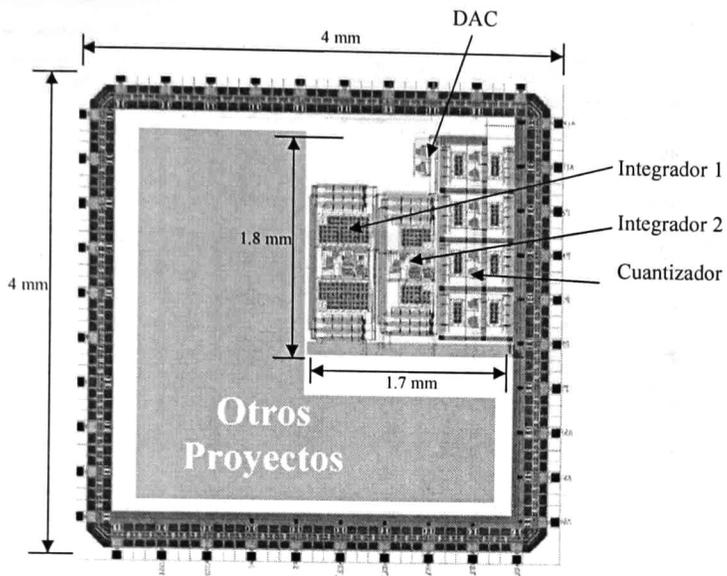


Fig. 7-40. Layout del TDEΔM.

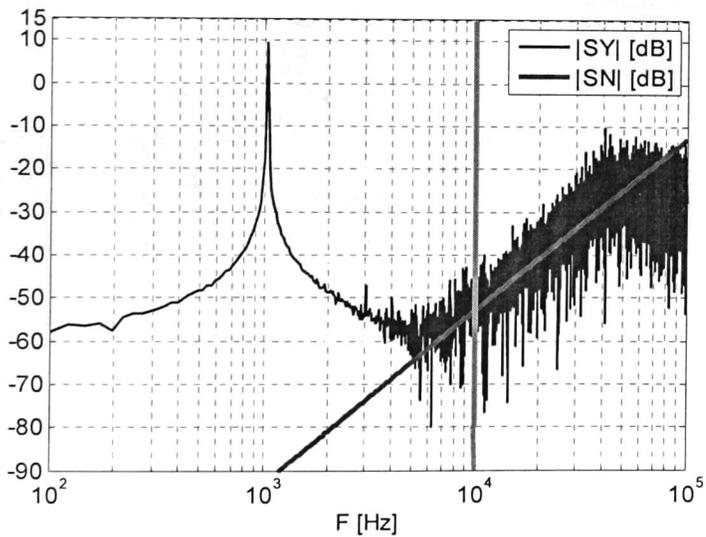


Fig. 7-41. Densidad espectral de la señal de salida con el modelo post-layout.

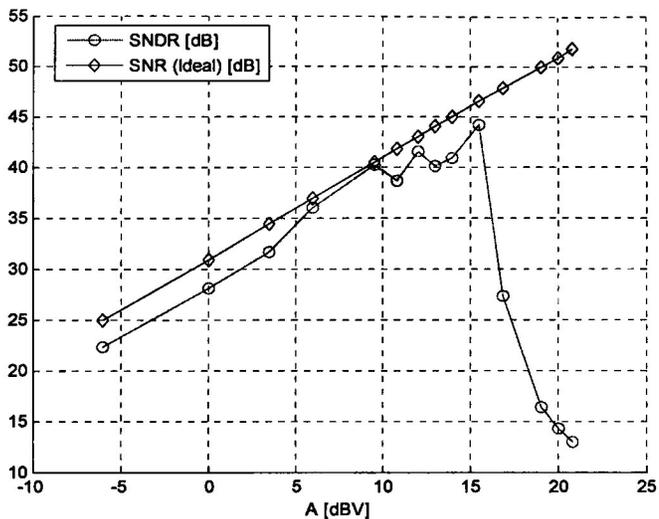


Fig. 7-42. Desempeño del modulador con el modelo post-layout.

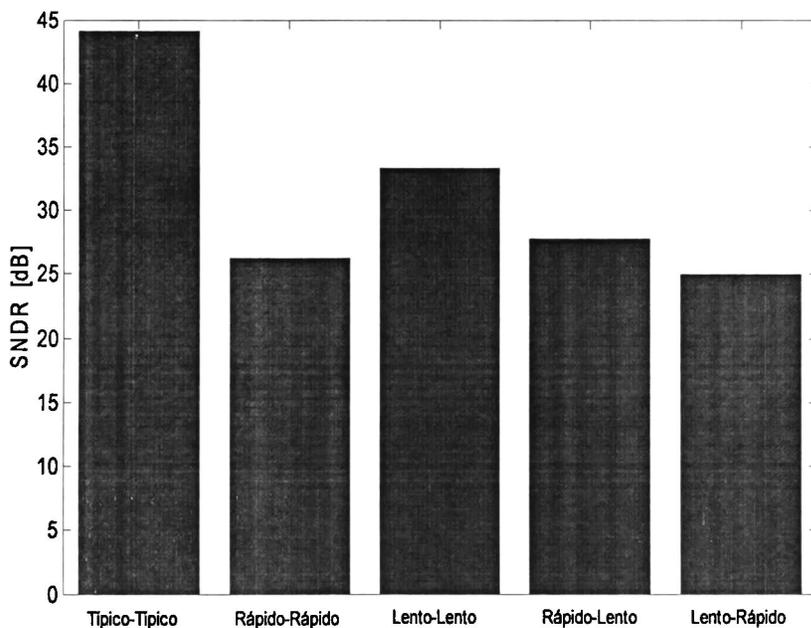


Fig. 7-43. Análisis de esquinas.

Tabla 7-11. Resumen de las características del TDEΔM.

F_s	200 kHz
OSR	10
DR	48.15 dB
ENOB	7.74 bit
P	25.67 mW
FOM	31.8 nJ/conv

En la Tabla 7-11 son resumidas las características del modulador con las simulaciones realizadas a nivel *post-layout*, consecuentemente, el diseño se envía para su fabricación. En la Fig. 7-44 se muestra el TDEΔM. En resumen, el IC contiene 3894 transistores MOS, 19 Resistores y 692 capacitores.

El encapsulado cerámico elegido para albergar al circuito es de tipo DIP de 40 terminales. Concluida esta fase se abre paso a la caracterización y medición del circuito.

7.5. Medición y caracterización

La medición y caracterización del TDEΔM requiere el diseño de una tarjeta de circuito impreso (PCB) que permita acondicionar las señales de entrada y de salida. Dado que la medición y caracterización de un circuito integrado, IC, es una tarea de igual importancia que el resto de los niveles de diseño, es de suma importancia considerar todos los aspectos posibles que garanticen la correcta operación del IC. Para ello, se han incluido dentro de la PCB un conjunto de elementos para permitir la reconfiguración de las señales que recibe y proporciona el IC. En la Fig. 7-45 se ilustra el diagrama a bloques de la PCB donde la señal de entrada del IC es proporcionada a través de un filtro pasa banda, BPF y de un convertidor de señales simples a señales diferenciales. Las señales de reloj son generados por un FPGA sin embargo, los niveles lógicos son 0 a 3.3 V por lo que un acoplamiento es necesario para alcanzar las tensiones de 0 a 5V. Y por último, las referencias de tensión son generadas por un conjunto de reguladores de tensión o bien por una escalera de resistores.

Todos los elementos del PCB incluyen varias opciones las cuales pueden ser configuradas por un conjunto de interruptores de tipo *jumper*.

La señal de entrada proveniente del generador externo puede procesarse por el BPF para eliminar todas las señales de ruido fuera de 100 Hz a 10 kHz. El diseño del filtro se elabora una cascada de un filtro pasa bajas, LPF de tercer orden, con un filtro pasa altas, HPF, también de tercer orden. Ambos son diseñados mediante la aproximación de Butterworth [Huel93], [Mitr89]. La función de transferencia de sexto orden es como

$$H_{BPF}(s) = \frac{\frac{1}{\left(\frac{s}{2\pi 10000}\right)^2 + \left(\frac{s}{2\pi 10000}\right) + 1} \cdot \frac{1}{\left(\frac{s}{2\pi 100}\right)^2 + \left(\frac{s}{2\pi 100}\right) + 1}}{\left(\frac{s}{2\pi 100}\right)^2 + \left(\frac{s}{2\pi 100}\right) + 1} \quad (7.28)$$

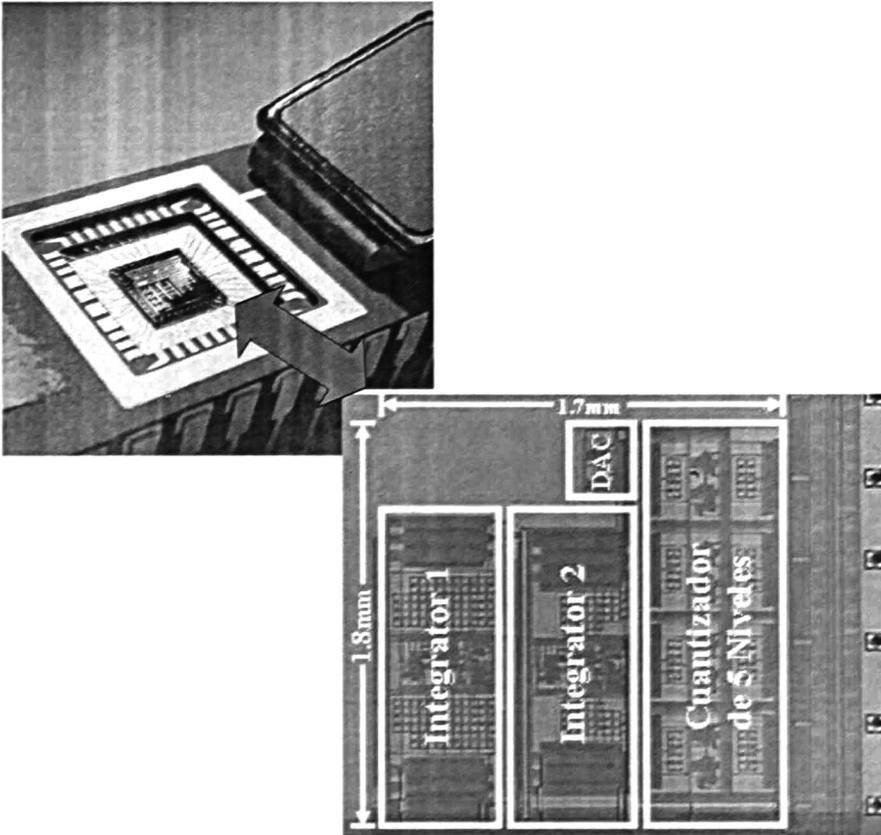


Fig. 7-44. Fotografías del TDEAM.

Su implementación es realizada con amplificadores operacionales comerciales como se muestra en la Fig. 7-46 donde los filtros de segundo orden se basan en el arreglo Sallen-Key. La presencia de los *jumper*s habilita o deshabilita el uso del BPF [Fon95].

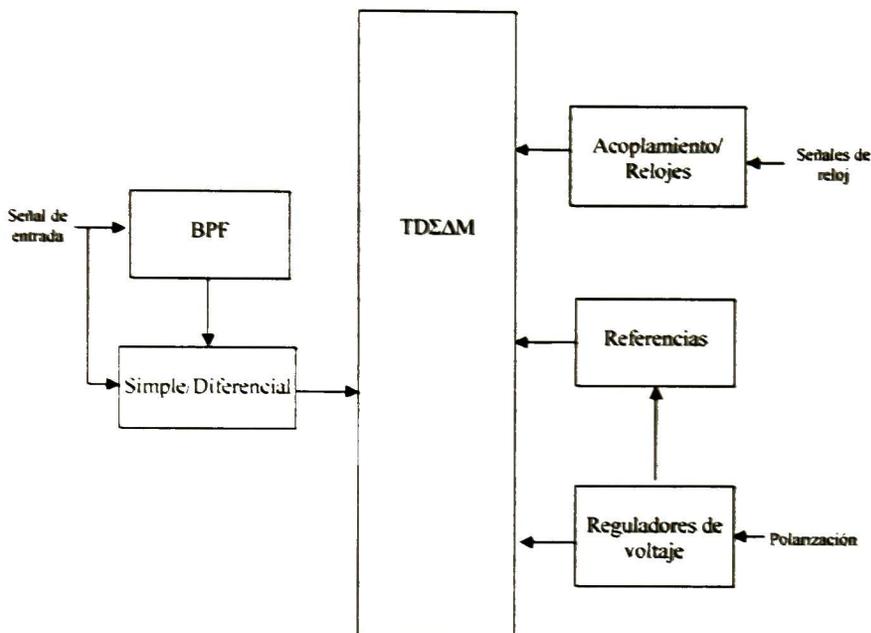


Fig. 7-45. Diagrama a bloques de la PCB.

Para la simulación en el dominio de la frecuencia, se toma el modelo de amplificador operacional (TL084). En la Fig. 7-47 se muestran los resultados de simulación del BPF. Se observa que las pendientes de ascenso y descenso es de -60 dB/década y 60 dB/década, respectivamente.

Para el circuito encargado de generar la señal de entrada diferencial se proponen dos opciones, una de ellas consiste en generar la señal diferencial con un transformador con derivación central en el secundario. Y la otra opción consiste en generar la señal diferencial con la señal de entrada y con su señal invertida de entrada generada por un amplificador inversor, ver Fig. 7-48.

En cualquiera de las opciones, los amplificadores de potencia (L272/AD8397) tienen la capacidad de proporcionar una corriente máxima de 1 A, esto es así debido a que en la impedancia reducida en la terminal de entrada del modulador.

Las señales de referencia para el establecimiento de los niveles de tensión del cuantizador son generados por el circuito mostrado en la Fig. 7-49. EL conjunto de reguladores de voltaje (LM317) y la escalera de resistencias son las dos opciones seleccionables a través de los *jumpers* para la generación de las tensiones de referencia.

Los voltajes que se obtiene respecto a $-V_{CC}$ con los reguladores y la escalera de resistores se resumen en la Tabla 7-12. La última columna muestra el error relativo entre las tensiones de referencia generadas por los reguladores y la escalera de resistores con las tensiones presentadas en la Tabla 7-2.

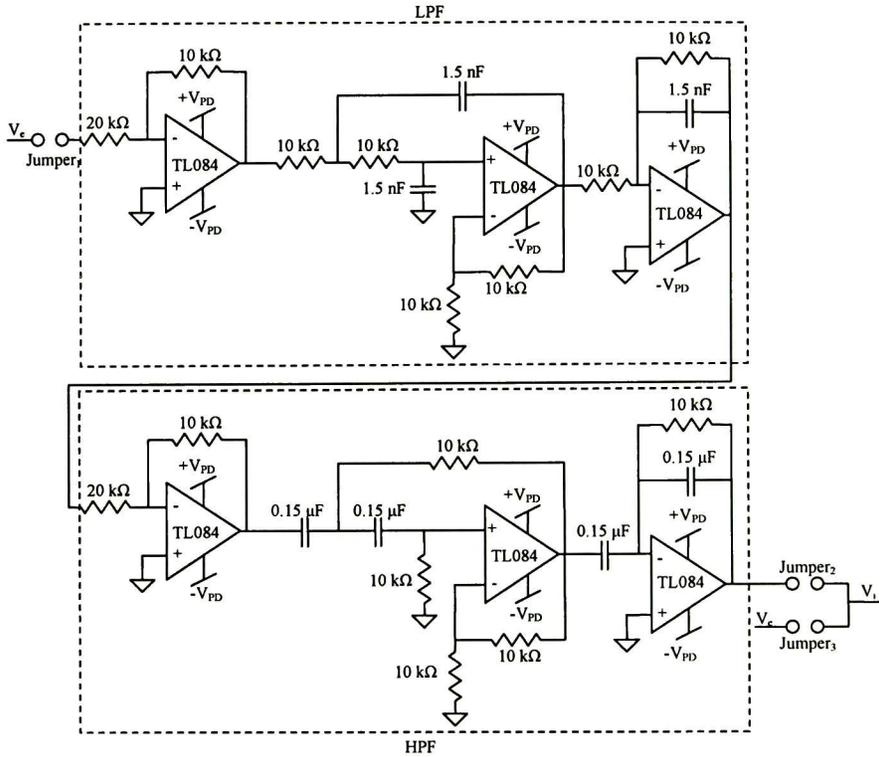


Fig. 7-46. Diagrama esquemático del BPF.

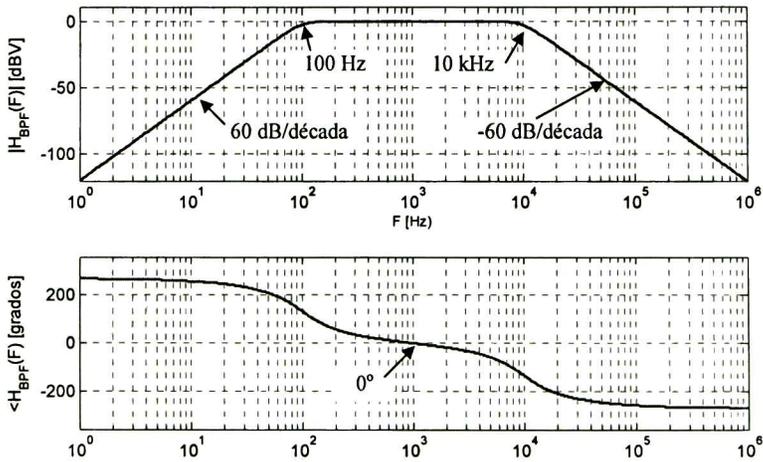


Fig. 7-47. Respuesta en frecuencia del BPF.

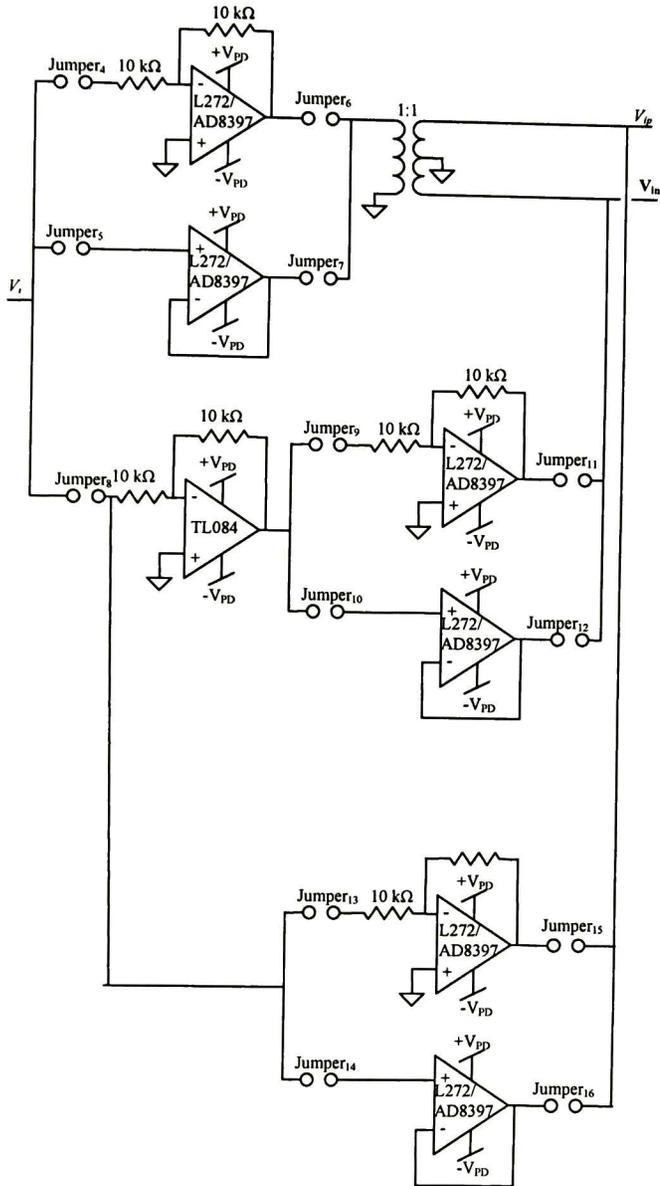


Fig. 7-48. Diagrama esquemático para el convertidor de señal simple a señal diferencial.

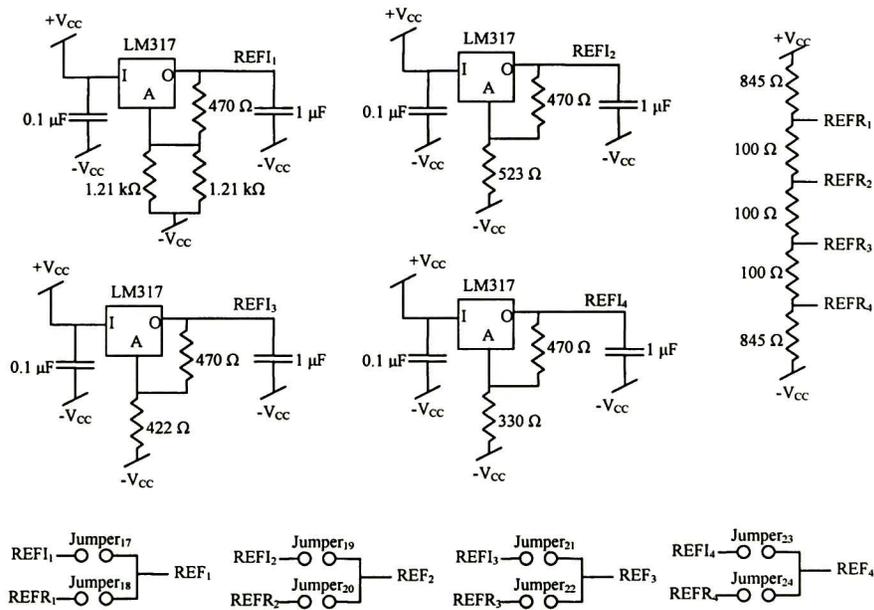


Fig. 7-49. Diagrama esquemático para la generación de las tensiones de referencia.

Tabla 7-12. Valores de las tensiones de referencia.

Terminal	Voltaje respecto $-V_{cc}$	Error relativo
REF1 ₁	2.860 V	0.52 %
REF1 ₂	2.640 V	0.57 %
REF1 ₃	2.370 V	-0.21 %
REF1 ₄	2.130 V	0.24 %
REFR ₁	2.123 V	-0.09 %
REFR ₂	2.374 V	-0.02 %
REFR ₃	2.626 V	0.02 %
REFR ₄	2.877 V	0.07 %

El circuito empleado para el acoplamiento de las señales de reloj es presentado en la Fig. 7-50. Cuenta con un conjunto seleccionable de capacitores con el propósito de ajustar la pendiente de las señales de reloj para reducir el ruido inducido por los armónicos en las señales analógicas.

La polarización del modulador se muestra en Fig. 7-51. Con el regulador de tensión positiva (LM317) se genera la polarización positiva de 2.5 V respecto a la tierra mostrada, y con el regulador de tensión negativa (LM337) se genera la polarización negativa de -2.5 V respecto a la tierra.

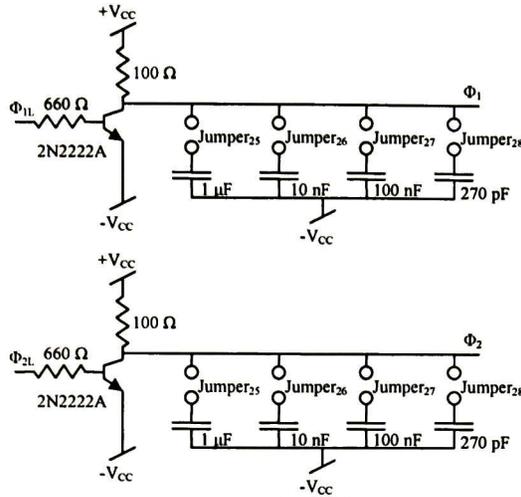


Fig. 7-50. Diagrama esquemático para el acondicionamiento de las señales de reloj.

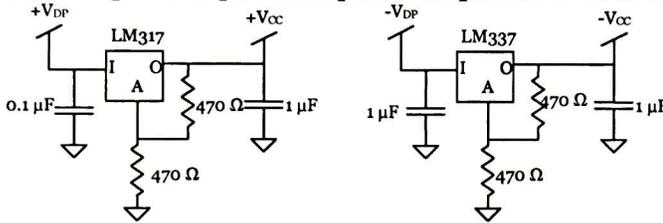


Fig. 7-51. Diagrama esquemático para la polarización del modulador.

Todas señales generadas alimentan al modulador cuyo diagrama con su encapsulado DIP de 40 terminales se muestra en la Fig. 7-52.

En la Fig. 7-53 se muestra la fotografía de la PCB la cual es fabricada con el sistema LPKF S103 para fabricar prototipos sobre un sustrato FR4 de doble cara con una densidad superficial 1 onza de cobre por cada ft². En la fotografía se pueden observar el conjunto de interruptores de tipo *jumper* para habilitar las diferentes opciones del acondicionamiento de las señales. Además, en aras de reducir el área necesaria para la PCB, los componentes seleccionados son de tecnología de montaje superficial, SMT.

Dada la naturaleza no traslapada de las señales de reloj, se emplea un circuito digital programable basado en una máquina de estados para generar estas señales de reloj. El circuito digital seleccionado es un FPGA xc2s200e de la familia Xilinx Spartan IIE. El FPGA se encuentra dentro de una tarjeta de evaluación que contiene una señal de reloj de 50 MHz por lo que es posible generar las señales de reloj. La máquina de estados que produce a las señales de reloj se muestra en la Fig. 7-54a). Existen cuatro estados, S_0, \dots, S_3 , en cada ingreso a uno de los estados el temporizador se inicializa a cero y una vez allí el temporizador comienza a incrementar su valor. Una vez alcanzada el valor de $1.25 \mu s$, se emigra hacia el siguiente estado. La Fig. 7-54b) muestra las señales Φ_{1L} , Φ_{2L} , Φ_1 y Φ_2 generadas por la máquina de estado así como también la evolución de los estados en el dominio del tiempo.

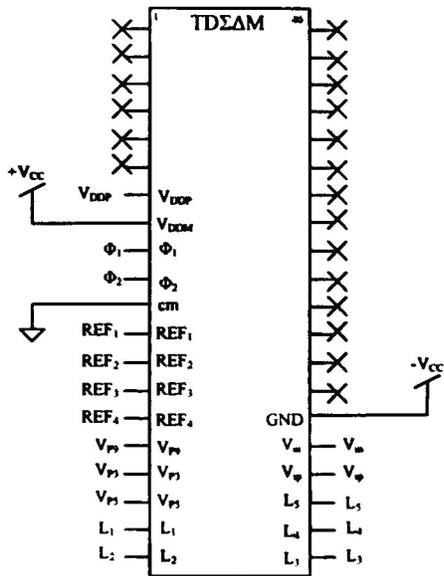


Fig. 7-52. Diagrama del encapsulado.

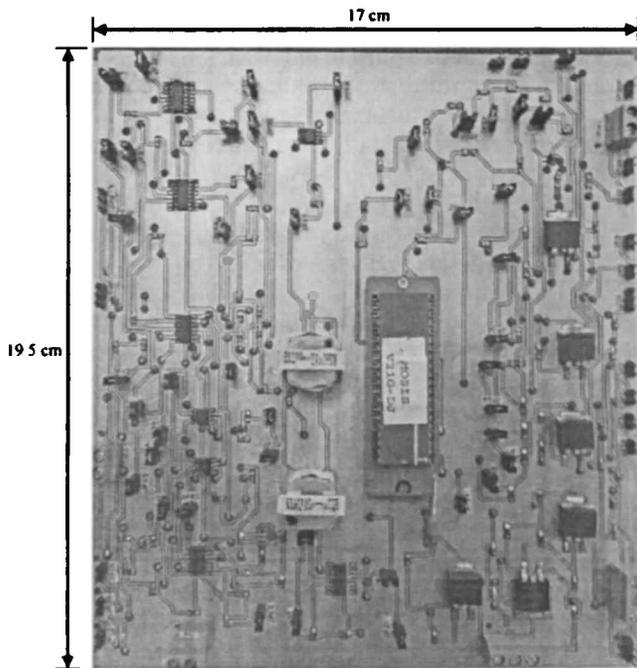


Fig. 7-53. Fotografía del PCB.

La medición de cualquier circuito impone una serie de normas a fin de recabar lo más fielmente posible los resultados. Mucho depende de la forma en la que las mediciones se realicen, ya que una medición inapropiada puede derivar en una mala caracterización del circuito. Uno de los errores frecuentes en el momento de efectuar la medición es el factor humano. Para minimizar las fuentes de error, se propone una configuración como la mostrada en la Fig. 7-55 donde los equipos de medición se encuentran controlados por un *script* de MATLAB usando los protocolos GPIB y USB. Con el la fuente de voltaje se polariza la PCB y también permite medir la corriente que proporciona la fuente.

Los ensayos automáticos que se efectúan con esta configuración incluyen un barrido lineal de amplitud y frecuencia de una señal sinusoidal colocada a la entrada de la PCB y en cada ocasión los osciloscopios toman una muestra de las señales de entrada y salida. Las señales registradas son sintetizadas para presentar la densidad espectral de potencia y consecuentemente evaluar el desempeño del modulador. Las condiciones ambientales bajo las cuales se realiza la medición incluyen una temperatura constante de 24 °C.

Pese a las precauciones tomadas para la obtención de los resultados, las mediciones no fueron completamente satisfactorias, solo un grupo ensayos arrojaron resultados correspondientes a las simulaciones hasta ahora realizadas. En la Fig. 7-56 se muestra la densidad espectral de potencia cuando el modulador se alimenta con una señal sinusoidal de 1 kHz y de amplitud igual a 0.5 V, sin embargo, para el resto de los ensayos, la densidad espectral de potencia muestra únicamente ruido de cuantización como el presentado en la Fig. 7-57.

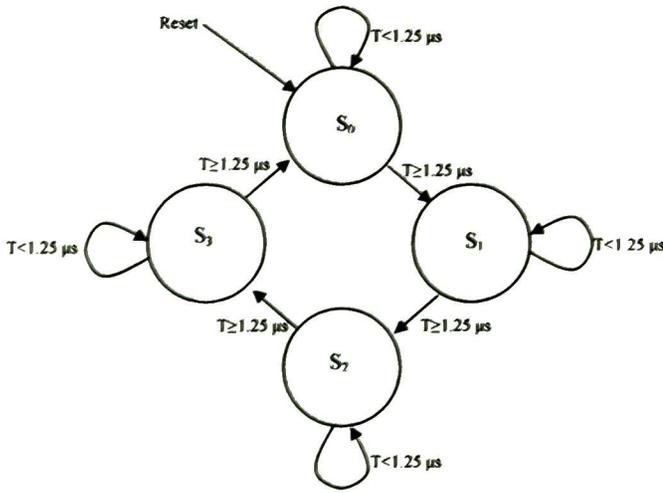
Una medida empleada para verificar algunas de las etapas del modulador consiste en monitorear las señales que se encuentran en las terminales del encapsulado y contrastarlas con los valores simulados. Las señales que se pueden monitorear son las señales VP_9 , VP_5 y VP_3 que forman las tensiones de polarización del amplificador *folded-cascode* y del amplificador diferencial. En la Tabla 7-13 se muestra los valores simulados y los valores medidos de estas señales así como también el error relativo entre ellas.

Tabla 7-13. Tensiones de polarización de los amplificadores del modulador,

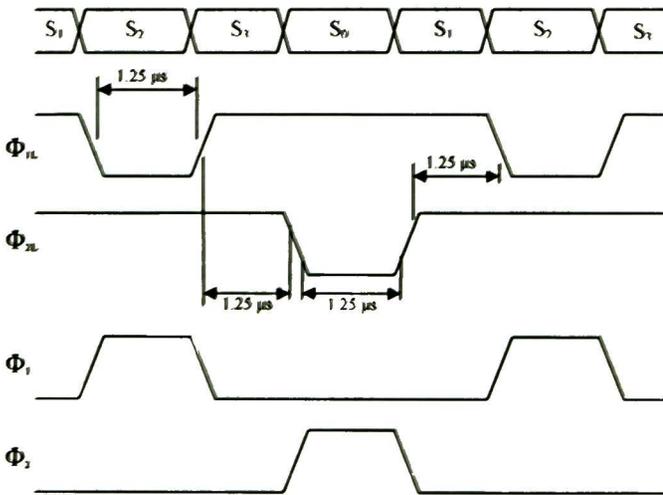
	VP_9	VP_5	VP_3
Simulación	3.476 V	1.227 V	2.465 V
Medición	3.375 V	1.260 V	2.445 V
Error relativo	-2.91 %	2.69 %	-0.81 %

Como se puede apreciar, los errores relativos son inferiores al 3%, por lo que se puede concluir que al menos las redes de polarización se encuentran operando correctamente y al mismo tiempo, que la construcción de la PCB que alimenta a estas redes de polarización cumple con lo requerido. Por lo tanto es necesario postular teorías que ayuden a encontrar las causas de los resultados fallidos. De las teorías emergentes analizadas se reducen a las siguientes

- Imprecisiones del modelo del transistor.
- Deterioro del IC por efectos electroestáticos.
- Deterioro del IC debido a la electromigración.
- Error al generar las señales diferenciales en el PCB.



a)



b)

Fig. 7-54. a) Máquina de estados para generar las señales de reloj. b) Señales Φ_{1L} , Φ_{2L} , Φ_1 y Φ_2 .

La forma de corregir el diseño consiste en estudiar individualmente cada una de las teorías de las posibles fuentes de error [Guer12]. Para atribuir las causas del modelo del transistor se requiere hacer una serie de ensayos para construir varios transistores y bloques individuales como amplificadores y contrastar los resultados de las mediciones contra los resultados de las simulaciones, y en caso de existir discrepancias significativas que afecten el desempeño del modulador, será necesario proponer un modelado del transistor [Yeneo9], [Liu01], [Hua94] o bien, emigrar a otra tecnología donde su modelo se apege a los resultados

experimentales. Cabe señalar que el modelado del transistor es sin lugar a dudas una tarea de gran complejidad dado el gran número de transistores que se deben construir y medir para recabar la información y sintetizarla en un modelado, por lo que, en caso de divergencia de los datos medidos contra los datos simulados, lo más conveniente es emigrar hacia otra tecnología.

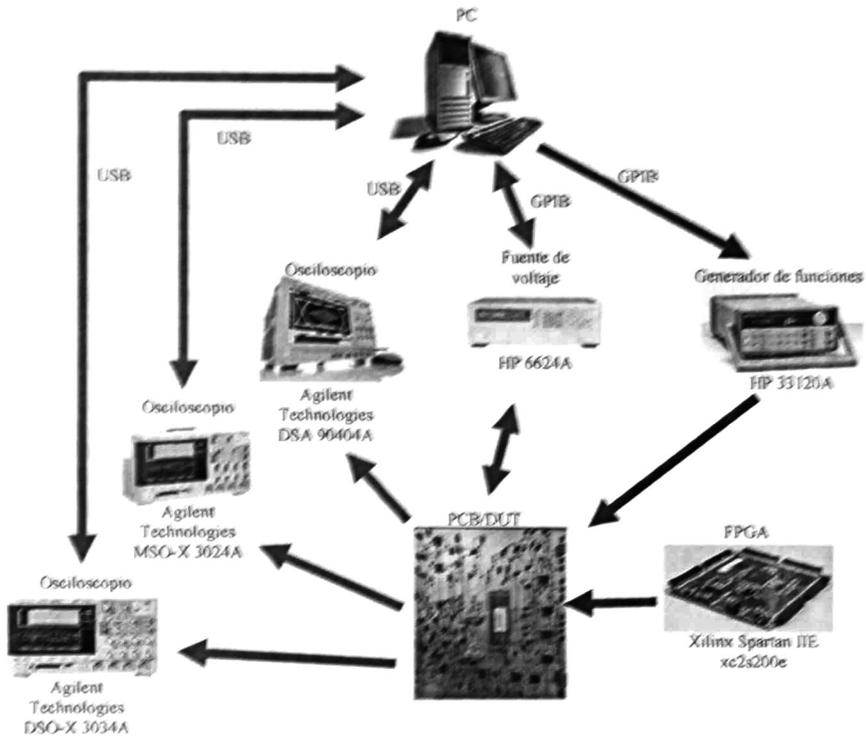


Fig. 7-55. Configuración para la medición y caracterización del modulador.

Para reducir los efectos nocivos de la electrostática, es necesario contar con equipos contra descargas electrostáticas (ESD) tales como mesas de trabajo, brazaletes, zapatillas y batas especializadas. La manipulación del IC desde su arribo y durante el proceso de medición debe realizarse en todo momento con el equipo contra ESD y solo de esta forma, se puede descartar la teoría de daño por ESD.

Se deben observar todos los extremos de las corrientes eléctricas en cada uno de las interconexiones y contactos del IC las cuales deben estar por debajo de los que la tecnología impone. La observación se debe realizar durante un análisis en el dominio de tiempo, durante la fase transitoria y la fase de estado estable, ya que en alguna de estas fases, la corriente puede alcanzar valores tan críticos que ocurra la falla de la electromigración. En caso de observar que el problema es debido a la electromigración, se debe proceder con un rediseño del IC con interconexiones más

anchas para permitir el flujo de corriente máximo de las interconexiones en conflicto.

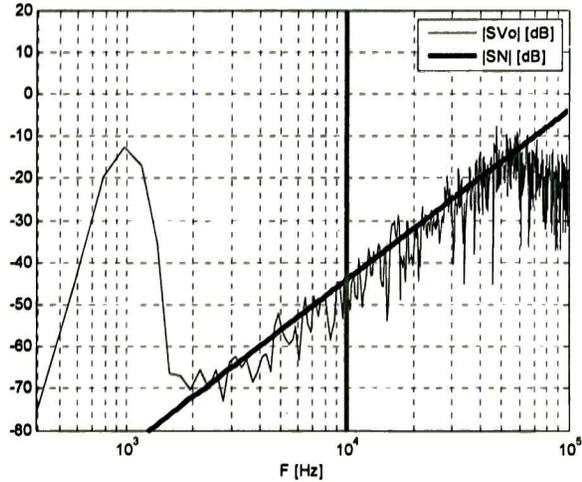


Fig. 7-56. Medición exitosa de la densidad espectral del la señal de salida.

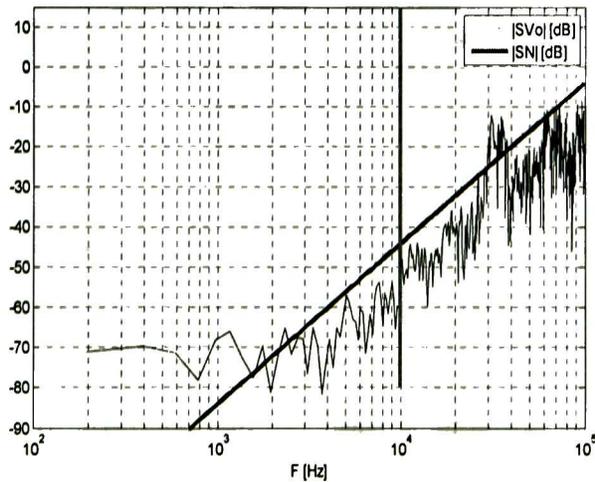


Fig. 7-57. Medición fallida de la densidad espectral del la señal de salida.

Por último, para el problema debido a la generación de las señales diferenciales se puede optar por dos soluciones, una de ellas es reemplazar los circuitos dentro de la PCB por otros circuitos generadores de señales diferenciales tales como amplificadores comerciales completamente diferenciales o bien incluir dentro del

IC amplificadores para generar las señales diferenciales. Sin embargo, la segunda opción aunque mayor consumo de tiempo y recursos requiere, ofrece una ventaja sobre la primera opción dado que con la integración de los circuitos generadores de las señales diferenciales además se reduce el problema del acoplamiento de impedancia entre el primer integrador y los circuitos externos al IC.

Los resultados obtenidos de la medición son comparados con otros moduladores del estado del arte Tabla 7-14.

Tabla 7-14. Comparación de los ΣΔΜΙΙ con tecnologías nanométricas

Año	Autor	DR (bit)	F. (S/s)	OSR	Arquitectura	Proceso	Potencia (W)	FOM1 (pJ/conv)
2005	[Koh05]	10.70	3.88x10 ⁶	19.79	2do-ord (5 niveles)	90nm CMOS ST/1.2V	1.20x10 ⁻³	0.186
2006	[Kwon06]	14.00	4.40x10 ⁶	32.7	2do-ord (4b)	0.18μm STD/1.8V	13.8x10 ⁻³	0.191
2006	[Lee06]	13.90	2.20x10 ⁶	60	2do-ord (5level)	0.18μm STD/1.8V	5.40x10 ⁻³	0.161
2008	[Kimo8]	15.00	48.00x10 ³	128	3er-ord(3-niveles+DEM)	0.13μm CMOS/0.9V	1.50x10 ⁻³	0.954
2009	[Fujio9]	11.27	8.00x10 ⁶	12.5	4to-ord (4b)	90nm CMOS 1P8M/1.2V-3V	11.8x10 ⁻³	0.595
2009	[Park09]	16.32	50.00x10 ³	100	2do-ord(18 niveles)	0.18μm CMOS/0.7V	0.68x10 ⁻³	0.166
2011	[Yang11]	13.88	2.50x10 ⁶	62.5	4th-ord (1.5b)	0.13μm CMOS/0.5V	85.0x10 ⁻⁶	0.002
2012	Este trabajo	7.70	200x10 ³	10	2do-ord (5 niveles)	0.5 μm CMOS/5V	26.7x10 ⁻³	318

7.6. Conclusiones

En este capítulo se ha descrito el flujo de diseño que se usó para la fabricación del TΔΣΔΜ. Se sigue un flujo de los llamados *top-down* que parte de las especificaciones, la definición de la arquitectura y prosigue por un conjunto de modelados cada vez mas elaborados para la validación y verificación de los resultados. Varias son las herramientas empleadas para el desarrollo del flujo de diseño. Durante las primeras etapas de validación y verificación, los resultados se obtienen rápidamente a costa de la precisión de modelos más lentos como los modelados a nivel transistor. Otra de las partes esenciales que se debe considerar dentro del flujo de diseño es la medición y caracterización, ya que es parte integral de la evaluación del diseño. Sin una satisfactoria configuración, los resultados pueden ser erróneos e invalidar el resto de los niveles del flujo de diseño.

Como última conclusión de los resultados medidos es contemplar durante la construcción del IC dirigir hacia las terminales del encapsulado cada una de las etapas que conforman al sistema analógico para poder discernir en cuales son las etapas funcionales y cuales son las que precisan de un rediseño y en que sentido es dicho rediseño.

Intencionalmente en Blanco

Capítulo 8. Conclusiones

En este capítulo se exponen las conclusiones finales del diseño del ΗΣΔΜ y como se perfila este tipo de moduladores a un mercado de comunicaciones móviles. Además se incluyen las direcciones de los futuros.

8.1. Conclusiones del trabajo presentado

LA EVOLUCIÓN hacia los sistemas 4G ha traído consigo un incremento significativo en los estándares inalámbricos. Asimismo, los dispositivos de comunicaciones del mañana deberán no solamente satisfacer los requerimientos tradicionales como bajo consumo de potencia, área mínima y bajo costo, también deberán ser capaces de ser compatibles con múltiples estándares. Claramente, se enfocará en la integración de los estándares existentes y futuros. Integrando más receptores en una simple terminal involucra contemplar el desempeño requerido para recibir diferentes modulaciones, frecuencias portadoras y diferentes anchos de banda. Adicionalmente, el consumo de potencia es crítico para tales dispositivos. La posibilidad de reducir el número de componentes en una simple terminal móvil al integrar diferentes radios en un simple radio de circuito integrado puede permitir un disminuir su costo mientras que se garantizan óptimas condiciones.

Los resultados de simulación presentados en el capítulo 4 y 5 permitan observar que los requerimientos pueden ser ampliamente cubierto para los múltiples estándares por lo que sientan es iniciar con el diseño integrado del modulador. Además los diseños son robustos aun ante perturbaciones del proceso como lo demuestran los análisis estadísticos.

La contribución de este documento puede ser resumida como sigue. El concepto introductorio de la flexibilidad a nivel circuito es propuesto y aplicado en el diseño de ΣΔΜΗ a alto nivel. El modulador se diseña para la reducción del consumo de potencia y al mismo tiempo reducir el impacto de las no idealidades a nivel circuito.

Con la combinación de las estrategias del USTF y del *feedforward* se reducen las excursiones de salida de los notos en el *front-end* del modulador híbrido. Mediante procesamiento con múltiples frecuencias de operación es posible explotar las ventajas de cada uno de las implementaciones y permitir contar con frecuencias de operación mayores. Además se expone la metodología para encontrar la DCL y cancelar no solo el error de la primera etapa, sino también de remover el alias producido por el submuestreo.

La conclusión obtenida del capítulo 7 muestra las consideraciones durante todo el flujo de diseño, de las fuentes no ideales. Aunque el diseño de los bloques constitutivos del modulador (a nivel transistor) son creados usando estrategias definidas en numerosas fuentes tales como publicaciones y literatura sin embargo, los resultados son dependientes de la tecnología bajo la cual los bloques son diseñados por lo tanto son necesarios los resultados del simulador para el diseño. Cuando estos resultados no incluyen todas las fuentes de error, es posible que el diseño final muestre una degradación del desempeño del modulador. Sin embargo, la forma de discernir cuales de los bloques operan adecuadamente de acuerdo al diseño inicial y cuales requieren una optimización consiste en seccionar el sistema analógico en secciones y dirigir sus señales de entrada y salida hacia las terminales del encapsulado. De esta manera es posible evaluar cada una de las secciones individualmente.

8.2. Direcciones para el trabajo futuro

Este trabajo ha ilustrado algunas oportunidades y beneficios de los $\Sigma\Delta$ MH diseñados a alto nivel. Obviamente este es el primer paso de un gran esfuerzo remanente por delante para convertirlo en un circuito integrado final. Son presentadas algunas de las direcciones futuras referentes al diseño a nivel de circuito integrado.

- Construir los bloques constitutivos para generar las señales de reloj necesarias en cada una de las etapas del modulador.
Establecer los requerimientos a nivel de circuito sin degradar considerablemente el desempeño del modulador. Para extraer dichos requisitos es necesario contar a nivel sistema con un modelo más pegado a la realidad donde se incluyan los efectos no contemplados tales como el ruido térmico, ruido flicker, el *clock jitter*, la distorsión de los amplificadores, la finita ganancia de los amplificadores y del finito ancho de banda de los mismos.
- Definir los componentes a nivel de circuito que satisfagan los requisitos impuestos por el sistema a alto nivel.
- Diseñar/Simular/Construir/Probar el modulador y conocer sus métricas para su comparación en el estado del arte.
- Proponer mejoras con los resultados obtenidos y ofrecer un producto final viable para el mercado de las comunicaciones inalámbricas 4G.

Examinar las fuentes de error que afecta al TDE Δ M diseñado en el capítulo 7 para rediseñar el modulador. De las fuentes de error que se deben examinar son:

- Imprecisiones del modelo del transistor.
- Deterioro del IC por efectos electrostáticos.
- Deterioro del IC debido a la electromigración.
- Error al generar las señales diferenciales en el PCB.

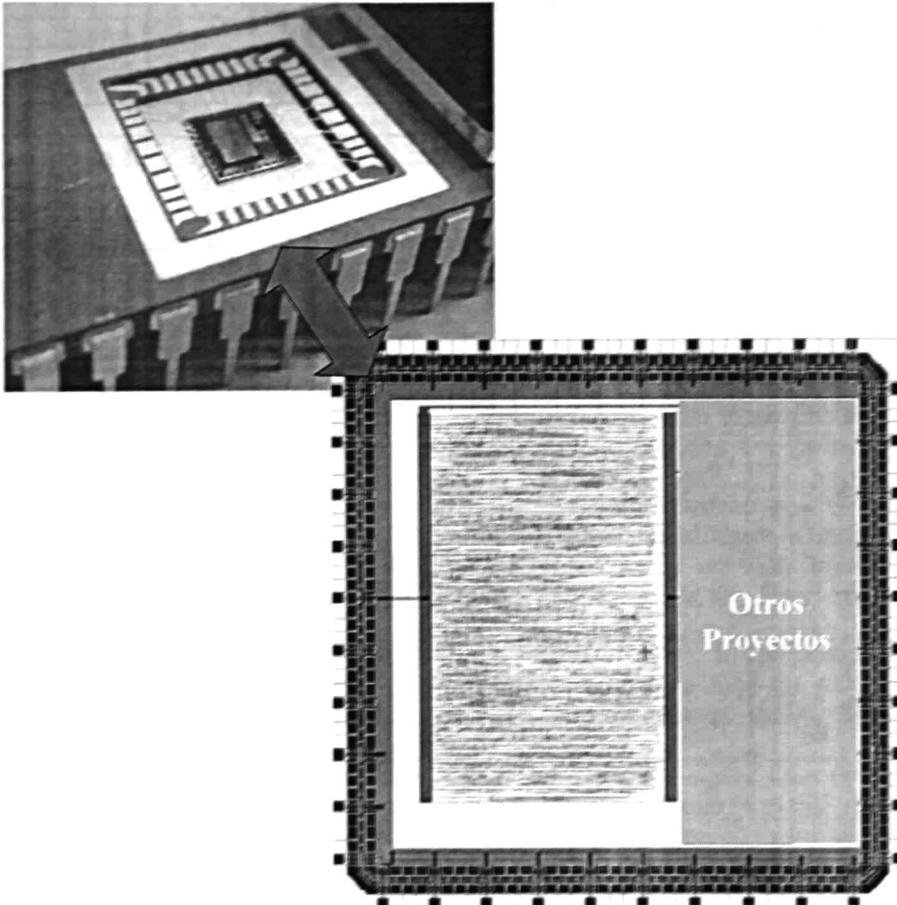


Fig. 8-1. Fotografías del filtro digital.

Al mismo tiempo, para indagar sobre cuales son las secciones del modulador que operan de acuerdo al diseño inicial se debe enviar hacia las terminales de

encapsulado las señales de entrada y salida del máximo número de secciones del modulador.

Por último, se diseñó un filtro digital IIR de tipo pasa bajas de tercer orden para filtrar la señal resultante del TDESΔM, ver Fig. 8-1. En la Tabla 8-1 se resumen las características del filtro digital. La densidad de transistores para este filtro es de 37013 transistores MOS. El conjunto del filtro digital con el TDESΔM forma el ADC de tipo ΣΔ sin embargo la prueba de este diseño también forma parte del trabajo futuro de este trabajo doctoral ya que al momento de la redacción de este documento las pruebas no se han realizado.

Tabla 8-1. Características del filtro digital.

Frecuencia de muestreo	10 MSa/s
Orden	3
Tipo	IIR Butterworth
Frecuencia de corte	250 kHz
Longitud de la señal de entrada	10
Longitud de la parte fraccional de la señal de entrada	9
Longitud de la señal de salida	10

Referencias

[Adam98]	Adams, R., Nguyen, K., Sweetland, K.: "A 113-dB SNR oversampling DAC with segmented noise-shaped scrambling". IEEE J. Solid-State Circuits 33(12), 1871-1878 December (1998).
[Aves08]	A. T. Avestruz, W. Santa, D. Carlson, R. Jensen, S. Stanslaski, A. Helfentine, T. Denison, "A 5 μ W/channel spectral analysis IC for chronic bidirectional brain-machine interfaces", IEEE J Solid State Circuits, Vol. 43, No. 12, pp. 3006-30024, Dec. 2008
[Bair95]	R. T. Baird, Terri S. Fiez, "Linearity Enhancement of Multibit $\Delta\Sigma$ A/D and D/A Converters Using Data Weighted Averaging", IEEE Transactions on Circuits and Systems – II: Analog and Digital Signal
[Bairo5]	R. T. Baird and T. S. Fiez, "Linearity Enhancement of Multibit Delta-Sigma A/D and D/A Converters using Data Weighted Averaging", IEEE Transactions on Circuits and System-II, vol. 42, no. 12, pp. 753-762, Dec. 1995.
[Bose88]	B. E. Boser and B. A. Wooley, "The design of sigma-delta modulation analog-to-digital converters", IEEE J. of Solid-State Circuits, vol. 23, pp. 1298-1308, Dec. 1988.
[Bose98]	B. E. Boser, B.A. Wooley, "The design of sigma-delta modulation analog-to-digital converters", IEEE Int. Symp. Circuits Syst. 579-582, 1998.
[Bosio5]	A. Bosi, A. Panigada, G. Cesura and R. Castello, "An 80MHz 4x Oversampled Cascaded $\Sigma\Delta$ -Pipelined ADC with 75dB DR and 87dB SFDR", IEEE International Solid-State Circuits Conference, 2005, Digest of Technical Papers, Page 174, 10 Feb. 2005
[Bree07]	L. J. Breems, R. Rutten, R. H. M. van Veldhoven and G. van der Weide, "A 56 mW Continuous-Time Quadrature Cascaded $\Sigma\Delta$ Modulator With 77 dB DR in a Near Zero-IF 20 MHz Band", IEEE Journal of Solid-State Circuits, Vol. 42, Issue 12, Page 2696, Dec. 2007.
[Brew05]	R. Brewer, J. Gorbald, P. Hurrell, C. Lyden, R. Maurino and M. Vickery, "A 100dB SNR 2.5MS/s Output Data Rate $\Sigma\Delta$ ADC", IEEE International Solid-State Circuits Conference, 2005. Digest of Technical Papers, Page 172, 10 Feb. 2005.
[Cand92]	J.C. Candy G.C. Temes, "Oversampling delta-sigma data converters; theory, design and simulation", IEEE Press. Piscataway, NJ 1992.
[Cald05]	T. C. Caldwell and D. A. Johns, "A Time-Interleaved Continuous-Time $\Delta\Sigma$ Modulator with 20MHz Signal Bandwidth", Proceedings of 31st European Solid-State Circuits Conference, 2005, Page 447, 12-16 Sept. 2005.
[Cao07]	Z. Cao, T. Song, and S. Yan, "A 14 mW 2.5 MS/s 14 bit $\Sigma\Delta$ Modulator Using Split-Path Pseudo-Differential Amplifiers", IEEE Journals of Solid-State, Vol 42, Issue 10, Page 2169, Oct. 2007
[Chae09]	Y. Chae and G. Han, "Low Voltage, Low Power, Inverter-Based Switched-Capacitor Delta-Sigma Modulator" IEEE Journal of Solid-

	State, Vol. 44, Issue 2, Page 458, Feb. 2009
[Chan92]	K. T. Chan, K. W. Martin, "Components for GaAs delta-sigma modulator oversampled analog-to-digital converter". Proc. IEEE Int. Symp. Circuits Systems. 1300-1303, 1992.
[Chano7]	T. Chang, L. Dung, J. Guo and K. Yang, "A 2.5-V 14-bit, 180-mW Cascaded $\Sigma\Delta$ ADC for ADSL2+ Application", IEEE Journal of Solid-State Circuits, Vol. 42, Issue 11, Page 2357, Nov. 2007.
[Chao90]	K. Chao, S. Nadeems, W.L. Lee, C.G. Sodini, "A higher order topology for interpolative modulators for oversampled A/D converters", IEEE Trans. Circuits Syst. 309-318 March 1990.
[Cheno5]	W. Cheng, K. Pun, C. Choy and C. Chan, "A 75dB Image Rejection IF-Input Quadrature Sampling SC $\Sigma\Delta$ Modulator", In Proc. 31th European Solid-State Circuits Conference USSCIRC 2005, 12-16 Sep. 2005.
[Cher99]	J. Cherry and W. M. Snelgrove, <i>Continuous-Time Delta-Sigma Modulators for High Speed A/D Conversion: Theory, Practice and Fundamental Performance Limits</i> . Kluwer Academic Publishers, 1999
[Cher99b]	J. Cherry and W. M. Snelgrove, "Clock jitter and quantizer metastability in continuous-time delta-sigma modulators", IEEE Trans. Circuits Systems II 46(7), 661-676 June 1999.
[Crom09]	P. Crombez, G. Van der Plas, M. Steyaert, and J. Craninckx, "A Single Bit 6.8 mW 10 MHz Power-Optimized Continuous-Time Delta-Sigma with 67 dB DR in 90 nm CMOS", in Proc. 35 th European Solid-State Circuits Conference ESSCIRC 2009, 14-18 Sept. 2009.
[Dalt02]	N. Da Dalt, M. Harteneck, C. Sander, A. Wiesbauer, "On the jitter requirements of the sampling clock for analog-to-digital converters", IEEE Trans. Circuits and Systems -I 49(9), 1354-1360, 2002.
[Das05]	A. Das, R. Hezar, R. Byrd, G. Gomez and B. Haroun, "A 4th-order 86dB CT $\Sigma\Delta$ ADC with Two Amplifiers in 90nm CMOS", IEEE International Solid-State Circuits Conference, 2005. Digest Technical Papers, Page 496, 10 Feb. 2005
[Dhan11]	V. Dhanasekaran, M. Gambhir, M.M. Elsayed, E. Sánchez-Sinencio, J. Silva-Martinez, C. Mishra, L. Chen, E.J. Pankratz, "A Continuous-Time Multi-Bit $\Delta\Sigma$ ADC Using Time Domain Quantizer and Feedback Element", IEEE J. Solid State Circuits, Vol. 46, No. 3, pp. 639-650, Mar. 2011.
[Dorro5]	L. Dörner, F. Kuttner, P. Greco, S. Derksen, "A 3mW 74dB SNR 2MHz CT $\Delta\Sigma$ ADC with a Tracking-ADC-Quantizer in 0.13 μ m CMOS", IEEE International Solid-State Circuits Conference, 2005, Digest Technical Papers, Page 492, 10 Feb. 2005.
[Foglo1]	E. Fogleman and I. Galton, "A dynamic Element Matching Technique for Reduced-Distortion Multibit Quantization in Delta-Sigma ADCs", IEEE Transactions on Circuits and System-II, vol. 48, no. 2, pp. 158-170, Feb. 2001.
[Font05]	P. Fontaine, A. N. Mohieldin and A. Bellaouar, "A Low-Noise Low-Voltage CT $\Delta\Sigma$ Modulator with Digital Compensation of Excess Loop

	Delay”, IEEE International Solid-State Circuits Conference, 2005. Digest of Technical Papers, Page 498, 10 Feb. 2005.
[Fuji09]	Y. Fujimoto, Y. Kanazawa, P. L. Ré and K. Iizuka, “A 100 MS/s 4 MHz Bandwidth 70 dB SNR $\Delta\Sigma$ ADC in 90 nm CMOS”, IEEE Journal of Solid-State Circuits, Vol. 44, Issue 6, Page 1697, June 2009.
[Garc10]	J. G. García-Sánchez and J. M. de la Rosa. “Multirate Hybrid CT/DT Cascade $\Sigma\Delta$ Modulators with Decreasing OSR of Back-end DT stages”, IEEE International Symposium System and System, pp. 33-36, 2010
[Geer96]	Y. Geerts, M. S. J. Steyaert, and W. Sensen, “Design of Multi-Bit Delta-Sigma A/D Converters”, Kluwer Academic Publisher, Dordrecht 2002.
[Geero0]	Y. Geerts, M. S. J. Steyaert, and W. Sensen, “A High-Performance Multibit Delta-Sigma CMOS ADC”, IEEE Journal of Solid-State Circuits, vol. 35, no. 12, pp. 1829-1840, Dec. 2000
[Gerfo1]	F. Gerfers, M. Ortmanns, Y. Manoli, “A 12-bit power efficient continuous-time $\Sigma\Delta$ modulator with 220 μ W power consumption” Proc. Eur. Solid-State Circuits Conference 536-539 2001.
[Gian07]	V. Giannini J. Cranickx, and A. Baschirotto, <i>Baseband Analog Circuits for Software Defined Radio</i> , Springer, 2007.
[Guer11]	L. I. Guerrero-Linares, F. Sandoval-Ibarra, J. R. Loo-Yau, J. M. de la Rosa, J. García-Sánchez, “High-level Design of an Hybrid CT/DT Cascade $\Sigma\Delta$ Modulator for Beyond-3G Applications”, XVII WORKSHOP IBERCHIP, Feb 23-25, 2011, Bogotá
[Guer12]	L. Guerrero-Linares, F. Sandoval-Ibarra, J. R. Loo-Yau, “Non-Idealities in Analog Circuits Design: What Does It Really Mean?”, Midwest Symposium on Circuits and Systems, August 5-8, Boise, Idaho.
[Hai99]	H. Hai Tao, L. Toth and J. M. Khoury, “Analysis of timing jitter in bandpass sigma-delta modulators”, IEEE Trans. Circuits Syst. II. Vol. 46, pp. 991-1001, Aug. 1999.
[Hart09]	A. Hart and S. P. Voinigescu, “A 1 GHz Bandwidth Low-Pass $\Delta\Sigma$ ADC With 20–50 GHz Adjustable Sampling Rate”, IEEE Journal of Solid-State Circuits, Vol 44, Issue 5, May 2009.
[Haus86]	M.W. Hauser, R.W. Brodersen, “Circuit and technology consideration for MOS delta-sigma A/D converters”. Proc. IEEE Int. Symp. Circuits System, pp. 1310-13115, 1986.
[Hem09]	L. H. Corporales, E. Prefasi, E. Pun and S. Patón, “A 1.2-MHz 10-bit Continuous-Time Sigma–Delta ADC Using a Time Encoding Quantizer”, IEEE Transactions on Circuits and System II: Express Briefs, Vol. 56, Issue 1, Jan. 2009.
[Ho11]	C. Ho, W. Chan, Y. Lin, “A Quadrature Bandpass Continuous-Time Delta-Sigma Modulator for Tri-Mode GSM-EDGE/UMTS/DVB-T Receiver”, J. Solid State Circuits. Vol. 45 No. 11, pp. 2571-2582, Nov. 2011.
[Huan09]	M. Huang and S. Liu, “A Fully Differential Comparator-Based Switched-Capacitor $\Delta\Sigma$ Modulator”, IEEE Transactions Circuits and

	System II: Express Briefs, Vol. 56, Issue 5, Page 369, May 2009
[ITU08]	ITU-R, "Requirements related to technical performance for IMT-Advanced radio interface(s)", Report M.2134, 2008.
[Jaco78]	G. M. Jacobs, D. J. Allstot, R. W. Brodersen and P. R. Gray. "MOS Switched-Capacitor Ladder Filters". IEEE Trans Circuits and Systems, Vol. CAS-25, pp. 1014-1021, December 1978.
[Jens95]	J.F. Jensen, G. Raghavan, A.E. Cosand, R.H. Walden, "A 3.2 GHz second-order delta-sigma modulator implemented in InP HBT technology", IEEE J. Solid-State Circuits 30(10), pp. 1119-1127, October 1995.
[Jo11]	J. Jo, J. Noh, C.Yoo, "A 20-MHz Bandwidth Continuous-Time Sigma-Delta Modulator With Jitter Immunity Improved Full Clock Period SCR (FSCR) DAC and High-Speed DWA", J. Solid State Circuits, Vol. 46, No. 11, pp. 2469-2477, Nov. 2011.
[Kauf11]	J. G. Kauffman, P. Witte, J. Becker, M. Ortmanns, "An 8.5 mW Continuous-Time $\Delta\Sigma$ Modulator With 25 MHz Bandwidth Using Digital Background DAC Linearization to Achieve 63.5 dB SNDR and 81 dB SFDR", IEEE J. Solid State Circuits, Vol. 46, No. 12, pp. 2869-2881, December 2011.
[Kim08]	M. G. Kim, G. Ahn, P. K. Hanumolu, S. Lee, S. Kim, S. You, J. Kim, G. C. Temes and U. Moon, "A 0.9 V 92 dB Double-Sampled Switched-RC Delta-Sigma Audio ADC", IEEE Journal of Solid-State Circuits, Vol. 43, Issue 5, Page 1195, May 2008.
[Klem06]	N. Klemmer and E. Hegazi, "A DLL-Biased, 14-Bit DS Analog-to-Digital Converter for GSM/GPRS/EDGE Handsets", IEEE Journals of Solid-State, Vol 41, Issue 2, Page 330, Feb. 2006.
[Koh05]	J. Koh, Y. Choi and G. Gomez, "A 66dB DR 1.2V 1.2mW Single-Amplifier Double-Sampling 2nd-order $\Sigma\Delta$ ADC for WCDMA in 90nm CMOS", IEEE International Solid-State Circuits Conference, 2005, Digest of Technical Paper ISSCC, Page 170, 10 Feb. 2005
[Koli10]	K. Koli, S. Kallioinen, J. Jussila, P. Sivonen, A. Pärssinen, "A 900 MHz Direct Delta-Sigma Receiver in 65-nm CMOS", IEEE J. Solid State Circuits, Vol. 45, No. 12, pp. 2807-2818, Dec. 2010.
[Kulco8]	S. D. Kulchycki, R. Trofin and K. Vleugels, "A 77-dB Dynamic Range, 7.5-MHz Hybrid Continuous-Time/Discrete-Time Cascade $\Sigma\Delta$ Modulator", IEEE Journal of Solid-State Circuits, vol. 43, no. 4, pp. 796-804
[Kulco8]	S. D. Kulchycki, R. Trofin, K. Vleugels and B. A. Wooley, "A 77-dB Dynamic Range, 7.5-MHz Hybrid Continuous-Time/Discrete-Time Cascaded $\Sigma\Delta$ Modulator" IEEE Journal of Solid State Circuits, Vol. 43, Issue 4, Page 796, April 2008.
[Kwan08]	H. Kwan, S. Lui, C. Lei, Y. Lui, N. Wong and K. Ho, "Design of Hybrid Continuous-Time Discrete-Time Delta-Sigma Modulators", IEEE International Symposium of Circuits and Systems ISCAS 2008, pp. 1224-1227, 2008
[Kwon06]	S. Kwon and F. Maloberti, "A 14mW Multi-bit $\Delta\Sigma$ Modulator with 82dB SNR and 86dB DR for ADSL2+", IEEE International Solid-

	State Circuits Conference. 2006, Digest of Technical Papers, Page 161, 6-9 Feb. 2006.
[Lee06]	K. Lee, S. Kwon and F. Maloberti, "A 5.4mW 2-Channel Time-Interleaved Multi-bit $\Delta\Sigma$ Modulator with 80dB SNR and 85dB DR for ADSL", IEEE International Solid-State Circuits Conference, 2006, ISSCC. Digest of Technical Papers, Page 171. 6-9 Feb. 2006.
[Lian11]	S. Liang, H. Hong, "A Digitally Testable $\Sigma\text{-}\Delta$ Modulator Using the Decorrelating Design-for-Digital-Testability", IEEE Very Large Scale Integration System, Vol. 19, No. 3, pp. 503-507, Mar. 2011.
[Lio7]	Z. Li and T. S. Fiez, "A 14 Bit Continuous-Time Delta-Sigma A/D Modulator With 2.5 MHz Signal Bandwidth", IEEE Journal of Solid-State Circuits, Vol. 42, Issue 9, Page 1873, Sep. 2007.
[Magho9]	M. H. Maghami and M. Yavari, "A Double-Sampled Hybrid CT/DT SMASH $\Sigma\Delta$ Modulator for Wideband Applications", IEEE Electronics, Circuits and System, 2009.
[Malco03]	P. Malcovati, S. Briagati, F. Francesconi, F. Maloberti, P. Cusinato and A. Baschiroto, "Behavioral Modeling of Switched-Capacitor Sigma-Delta Modulators". IEEE Trans. on Circuits and Systems I, Fundamental Theory and Applications, vol. 50, No. 3, pp. 352, Mar. 2003.
[Mall89]	S. M. Mallya, and J. H. Nevin, <i>Design Procedures for Fully Differential Folded-Cascode CMOS Operational Amplifier</i> , IEEE Journal of Solid-State, Vol. 24, No. 6, pp.1737-1740, Dec 1989.
[Mallo8]	P. Malla, H. Lakdawala, K. Kornegay and K. Soumyanath, "A 28mW Spectrum-Sensing Reconfigurable 20MHz 72dB-SNR 70dB-SNDR DT $\Sigma\Delta$ ADC for 802.11n/WiMAX receivers", IEEE International Solid-State Circuits Conference, 2008. Digest of Technical Papers, Page 496. 3-7 Feb. 2008.
[Mari11]	H. Marien, M. S.J. Steyaert, E. V. Veenendaal, P. Heremans, "A Fully Integrated $\Delta\Sigma$ ADC in Organic Thin-Film Transistor Technology on Flexible Plastic Foil". IEEE, J. Solid State Circuits, Vol. 46, No. 1, pp. 276-284, Jan. 2011.
[Marq98]	A. Marques, V. Peluso, M. Steyaert, W. Sansen, "A 15-bit 2 MHz Nyquist rate $\Sigma\Delta$ ADC in a 1 μm CMOS technology", IEEE J. Solid-State Circuits 33(7), pp. 1065-1075, July 1998.
[Marq98b]	A. Marques, V. Peluso, M. Steyaert, W. Sansen, "Optimal parameters for $\Sigma\Delta$ modulator topologies", IEEE Trans. Circuits and Systems II 45, 1232-1241 September 1998.
[Marq99]	A. Marques, V. Peluso, M.S. Steyaert, W.M. Sansen, "Optimal power CMOS Delta-Sigma A/D converters". Kluwer Academic Publisher (1999).
[Mart78]	K. Martin, "Improved Circuits for the Realization of Switched-Capacitor Filters", IEEE Trans. Circuits and Systems, Vol. CAS-27, no. 4, pp. 237-244, April 1980; Also published as BNR Tech. Rep. TRIE 81-78-06, March 1978.
[Mede94]	F. Medeiro, B. Perez-Verdu, A. Rodriguez-Vazquez and J. L. Huertas, "Modeling opam-induced harmonic distortion for switched-capacitor

	$\Sigma\Delta$ modulator design", in Proc. IEEE Int. Symp. Circuits and Systems (ISCAS '94), vol. 5, London, U. K., May 1994, pp. 445-448.
[Mede99]	F. Medeiro, B Perez-Verdu, A. Rodriguez-Vazquez, "Top-Down Design of high-performance Sigma-Delta Modulators". Kluwer Academic Publisher (1999).
[Mede99b]	F. Medeiro, B. Perez-Verdu, A. Rodriguez-Vazquez, "A 13-bit, 2.2-MS/s, 55-mW multibit cascade $\Sigma\Delta$ modulator in CMOS 0.7- μ m single Poly technology". IEEE J. Solid-State Circuits 34(6), 748-760 June 1999.
[Mich12]	M. Michel, M.S. J. Steyaert, "A 250 mV 7.5 μ W 61 dB SNDR SC $\Delta\Sigma$ Modulator Using Near-Threshold-Voltage-Biased Inverter A Amplifier in 130 nm CMOS", IEEE J. Solid State Circuits, Vol. 47, No. 3, pp. 722-735, Mar. 2012.
[Mitto06]	G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue and E. Romani, "A 20-mW 640-MHz CMOS Continuous-Time $\Sigma\Delta$ ADC With 20-MHz Signal Bandwidth, 80-dB Dynamic Range and 12-bit ENOB", IEEE Journal of Solid-State Circuits, Vol 41, Issue 12, Page 2641, Dec. 2006.
[Morg09]	A Morgado et al. "A Flexible Resonance-based Cascade $\Sigma\Delta$ Modulator with Simplified Cancellation Logia", IEEE International Conference on Electronics Circuits and Systems ICECS, pp. 755-758, 2009.
[Morg10]	A. Morgado, R. del Río and D. de la Rosa, "Adaptative SMASH $\Sigma\Delta$ Converters for Next Generation of Movable Phones – Design Issues and Practical Solutions", IEEE NEWCAS Conference, 2010.
[Morg12]	A. Morgado, J. G. García, S. Asghar, L. I. Guerrero, R. del Río, J. M. de la Rosa, "A Power-Scalable Concurrent Cascade 2-2-2 SC $\Sigma\Delta$ Modulator for Software Defined Radio", IEEE Int. Symp. Circuit and System, May 2012.
[Morr05]	P. Morrow, M. Chamarro, C. Lyden, P. Ventura, A. Abo, A. Matamura, M. Keane, R. O'Brien, P. Minogue, J. Mansson, N. McGuinness, M. McGranaghan, I. Ryan, "A 0.18 μ m 102dB-SNR Mixed CT SC Audio-Band $\Delta\Sigma$ ADC", IEEE International Solid-State Circuits Conference, 2005. Digest of Technical Papers. Page 178, 10 Feb. 2005.
[Muha11]	M. Bolatkale, L. J. Breems, R. Rutten, K. A. A. Makinwa, "A 4 GHz Continuous-time $\Delta\Sigma$ ADC With 70 dB DR and -74 dBFS THD in 125 MHz BW", IEEE J. Solid State Circuits, Vol. 46, No. 12, pp. 2857-2868, December 2011.
[Muño05]	F. Muñoz, K. Philips, A. Torralba, "A 4.7mW 89.5dB DR CT Complex $\Delta\Sigma$ ADC with Built-In LPF", IEEE International Solid-State Circuits Conference, 2005. Digest of Technical Papers, Page 500, 10 Feb. 2005.
[Naga05]	Toshiaki Nagai, Hiroyuki Satou, Hiroshi Yamazaki, Yuu Watanabe, "A 1.2V 3.5mW $\Delta\Sigma$ Modulator with a Passive Current Summing Network and a Variable Gain Function", IEEE International Solid-State Circuits Conference. 2005. Digest Technical Papers. Page 494, 10 Feb. 2005.
[Nguy05]	K. Nguyen, B. Adams, K. Sweetland, H. Chen, K. McLaughlin, "A

	106dB SNR Hybrid Oversampling ADC for Digital Audio", IEEE International Solid-State Circuits Conference, 2005, Digest of Technical Papers, Page 176, 10 Feb. 2005.
[Nort97]	S. Northworthy, R. Schreier, G. Temes, "Continuous-time Delta-Sigma Modulators for high speed A/D Conversion", Chapter 3 Kluwer Academic Publisher, 1999.
[Nor97a]	S. R. Nadeem, C. G. Sodini and L. Hac-Seung, "16-Channel Oversampled Analog-to-Digital Converter" IEEE Journal of Solid-State Circuits, vol. 29, pp. 1077-1085, September 1994
[Nort97b]	S. Northworthy, R. Schreier, G. Temes, "Delta-Sigma Data Converters, Chapters 2, 4, 6, 7, 11" IEEE Press. Piscataway, NJ 1997.
[Norw96]	S. Norsworthy, R. Schreier, and G. Temes, <i>Delta-Sigma Data Converters: Theory, Design and Simulations</i> . IEEE Press, Piscataway, 1996.
[Ogat95]	K. Ogata, <i>Discrete-time Control System</i> , Prentice Hall 1995.
[Olia98]	O. Oliaei, "Jitter effects in continuous time $\Sigma\Delta$ modulators with delayed return-to-zero feedback. Proc. Int. Conf. Electron. Circuits and Systems 351-354 1998.
[Ortm03]	M. Ortmanns, M. Gerfers, F. Manoli, "Fundamental limit of jitter insensitivity in discrete and continuous-time sigma delta modulators", Proc. IEEE Int. Symp. Circuits and Systems 1, 1037-1040 May 2003.
[Ortm05]	M. Ortmanns and F. Gefers, <i>Continuous-Time Sigma-Delta A/D Conversions: Fundamentals, Performance Limits and Robust Implementations</i> , Springer, 2005
[Para06]	Jeyanandh Paramesh ^{1,2} , Ralph Bishop ² , K. Soumyanath ² and David Allstot ¹ , "An 11-bit 330MHz 8X OSR $\Sigma\Delta$ Modulator for Next-Generation WLAN", Symposium on VLSI Circuits, 2006, Digest of Technical Papers. Page 166.
[Park09]	H. Park, K.Y. Nam, D. K. Su, K. Vleugels and B. A. Wooley, "A 0.7-V 870- μ W Digital-Audio CMOS Sigma-Delta Modulator", IEEE Journal of Solid-State Circuits, Vol. 44, Issue 4, Page 1078, April 2009.
[Pava08]	S. Pavan, N. Krishnapura, R. Pandarinathan and P. Sankar, "A Power Optimized Continuous-Time $\Delta\Sigma$ ADC for Audio Applications", IEEE Journal of Solid-State Circuits, Vol. 43, Issue 2, Page 351, Feb. 2008.
[ODon11]	K. A. O'Donoghue, P.J. Hurst, S.H. Lewis, "A Digitally Corrected 5-mW 2-MS/s SC ADC in 0.25- μ m CMOS With 94-dB SFDR", J. Solid State Circuits. Vol. 45 No. 11, pp. 2673-2684, Nov. 2011.
[Pun07]	K. Pun, S. Chatterjee and P. R. Kinget, "A 0.5-V 74-dB SNDR 25-kHz Continuous-Time Delta-Sigma Modulator With a Return-to-Open DAC", IEEE Journal of Solid-State Circuits, Vol. 42, Issue 3, Page 496, March 2007.
[Putter07]	B. Putter: "A 5th-Order CT/DT Multi-Mode $\Delta\Sigma$ Modulator", Proc. of the 2005 IEEE Int. Solid-State Circuits Conf. pp. 244-245, 2007.
[Ravio9]	S. Ravindran, R. Cole, "Low complexity algorithms for heart rate and epileptic seizure detection", Int. Symp. Applied Sciences in Biomedical and Communications Tech., 2009, pp. 1-5.
[Raza01]	B. Razavi. Design of Analog CMOS Integrated Circuits. Mc Graw Hill,

	2001.
[Rio06]	R. del Río, F. Medeiro, B. Pérez-Verdú, J. M. de la Rosa and A. Rodríguez-Vázquez, "CMOS Cascade Sigma-Delta Modulators for Sensors and Telecom, Error Analysis and Practical Design", Springer 2006.
[Rosa11]	J. M. de la Rosa, "Sigma-Delta Modulators: Tutorial Overview, Design Guide, and State-of-the-Art Survey," <i>IEEE Transactions on Circuits and Systems I: Regular Papers</i> , vol. 58, No. 1, Jun 2011.
[Roh08]	J. Roh, S. Byun, Y. Choi, H. Roh, Y. Kim and J. Kwon, "A 0.9-V 60- μ W 1-Bit Fourth-Order Delta-Sigma Modulator With 83-dB Dynamic Range", <i>IEEE Journal of Solid-State Circuits</i> , Vol. 43, Issue 2, Page 361, Feb. 2008.
[Shim05]	J. H. Shim, I. Park and B. Kim, "A Third-Order $\Sigma\Delta$ Modulator in 0.18- μ m CMOS With Calibrated Mixed-Mode Integrators", <i>IEEE Journal of Solid-State Circuits</i> , Vol 40, Issue 4, Page 918, April 2005.
[Shuo8]	Yun-Shiang Shu, Bang-Sup Song, Kantilal Bacrania, "A 65nm CMOS CT $\Delta\Sigma$ Modulator with 81dB DR and 8MHz BW Auto-Tuned by Pulse Injection", <i>IEEE International Solid-State Circuits Conference</i> , 2008. <i>Digest Technical Papers</i> , Page 500, 3-7 Feb. 2008.
[Srid11]	S. R. Sridharta, M. DiRenzo, S. Lingam, S. Lee, R. Blázquez, J. Maxey, S. Ghanem, Y. Lee, R. Abdallah, P. Singh, M. Goel, "Microwatt Embedded Processor Platform for Medical System-on-Chip", <i>J. Solid State Circuits</i> , Vol. 46, pp. 721-729, Apr. 2011.
[Silvo1]	J. Silva et al., "Wideband low-distortion delta-sigma ADC topology", <i>Electronics Letters</i> , vol. 37, pp. 737-738, June 2001.
[Silvo7]	K. A. A. Silva et al.: "An IF-to-Baseband $\Sigma\Delta$ Modulator for AM/FM/IBOC Radio Receivers With a 118-dB Dynamic Range" <i>IEEE J. of Solid-State Circuits</i> , pp. 1076-1089, May, 2007.
[Sign90]	B.P. Del Signore, D.A. Kerth, N.S. Sooch, E.J. Swanson, "A monolithic 20-b delta-sigma A/D converters", <i>IEEE J. Solid-State Circuits</i> 25(6), pp. 1311-1316, December 1990.
[Songo8]	T. Song, Z. Cao and S. Yan, "A 2.7-mW 2-MHz Continuous-Time $\Sigma\Delta$ Modulator With a Hybrid Active-Passive Loop Filter", <i>IEEE Journal of Solid State</i> , vol. 43, no. 2, 2008.
[Songo8]	T. Song, Z. Cao and S. Yan, "A 2.7-mW 2-MHz Continuous-Time $\Sigma\Delta$ Modulator With a Hybrid Active-Passive Loop Filter", <i>IEEE Journal of Solid-State Circuits</i> , Vol. 43, Issue 2, Page 330, Feb. 2008.
[Strao8]	M. Z. Straayer and M. H. Perrott, "A 12-Bit, 10-MHz Bandwidth, Continuous-Time $\Delta\Sigma$ ADC With a 5-Bit, 950-MS/s VCO-Based Quantizer", <i>IEEE Journal of Solid-State Circuits</i> , Vol. 43, Issue 4, Page 805, April 2008.
[Tagho8]	M. Taghizadeh, A. Nabavi, D. Mahmoodi, "A 15 Bits 12 MS/s 5th-Order Sigma-Delta Modulator for Communications Applications", <i>IEEE International Conference on Microelectronics</i> , 2008
[Tao99]	H. Tao, L. Toth, J.M. Khoury, "Analysis of timing jitter in bandpass sigma-delta modulators", <i>IEEE Trans. Circuits Systems II</i> 46(8), 991-1001 August 1999.

[Tay10]	G. Taylor, I. Galton, "A Mostly-Digital Variable-Rate Continuous-Time Delta-Sigma Modulator ADC", IEEE J. Solid State Circuits, Vol. 45, No. 12, pp. 2634-2646, Dec. 2010.
[Vando9]	L. Van der Perre, J. Craninckx, and A. Dejonghe, <i>Green Software Defined Radios: Enabling seamless connectivity while saving on hardware and energy</i> , Springer, 2009.
[Vanvo8]	R. H. M. van Veldhoven, R. Rutten, L. J. Breems, "An Invert-Based Hybrid $\Sigma\Delta$ Modulator", IEEE International Solid State Circuits Conference, 2008.
[Verm10]	N. Verma, A. Shoeb, J. Bohorquez, J. Dawson, J. Guttag, A. P. Chandrakasan, "A micro-power EEG acquisition SoC with integrated feature extraction processor for chronic seizure detection system", IEEE J. Solid State Circuits, Vol. 45, No. 4, pp. 804-816, Apr. 2010.
[Vuys11]	D. De Vuyst P. Rombouts, "A 5-MHz 11-Bit Self-Oscillating $\Sigma\Delta$ Modulator With a Delay-Based Phase Shifter in 0.025 mm ² ", J. Solid State Circuits, Vol. 46, No. 8, pp. 1919-1927, Aug. 2011.
[Wong95]	N. Wongkoment, "A comparison of continuous-time and discrete-time sigma-delta modulators", Master's Thesis, University of California at Berkley 1995.
[Yang08]	W. Yang, W. Schofield, H. Shibata, S. Korrapati, A. Shaikh, N. Abaskharoun, D. Ribner, "A 100mW 10MHz-BW CT $\Delta\Sigma$ Modulator with 87dB DR and 91dBc IMD", IEEE International Solid-State Circuits Conference, 2008. Digest of Technical Papers, Page 498, 3-7 Feb. 2008.
[Yang12]	Z. Yang, L. Yao, Y. Lian "a 0.5-V 35- μ W 85-dB DR Double-Sampled $\Delta\Sigma$ Modulator for Audio Applications", IEEE J. Solid State Circuits, Vol. 47, No. 3, pp. 736-743, Mar. 2012.
[Yano04]	Yan, S. Sanchez-Sinencio, E.: "A continuous-time $\Delta\Sigma$ modulator with 88-dB dynamic range and 1.1-MHz signal bandwidth", IEEE J. Solid State Circuits 39(1), 75-86 January 2004.
[Yin94]	G. Yin, W. Sansen, "A high-frequency and high resolution fourth-order $\Sigma\Delta$ A/D converter in BICMOS technology". IEEE J. Solid-State Circuits 29(8), 857-865 August 1994.
[Yuo5b]	J. Yu and F. Maloberti, "A Low-Power Multi-Bit $\Sigma\Delta$ Modulator in 90-nm Digital CMOS Without DEM". IEEE Journal of Solid-State Circuits, Vol 40, Issue 12, Page 2428, Dec. 2005.
[Zhan11]	J Zhang, Y. Lian, L. Yao, B. Shi, "A Minuature 2 mW 4 bit 1.2 GS/s Delay-Line Based ADC in 65 nm CMOS", J. Solid State Circuits, Vol. 46, pp.2326-2335, Oct 2011.
[Zwan96]	E. J. van der Zwan, E.C. Dijkmans, "A 0.2-mW CMOS $\Sigma\Delta$ modulator for speech coding with 80 dB dynamic range", IEEE J. Solid State Circuits 31(12) December 96.

APÉNDICE A. Estado del Arte

La Tabla A.1 muestra las métricas de los ΣΔM para TC, TD e híbridos para circuitos integrados de tecnologías nanométricas.

Tabla A.1. Estado de Estado del arte de los ΣΔM (2000-2012).

	Year	Author	DR (bit)	F _s (S/s)	BW (Hz)	OSR	Architecture	Process	Power (W)	FOM ₁ , pJ/conv	FOM ₂ , x10 ²
Single Loop, DT, Single Bit	2005	[Chen05]	9.67	2.00E+05	1.56E+03	64	3rd-ord	0.35μm CMOS/3.3V	1.87E-02	114.776	0.02
	2006	[Klem06]	14.37	2.70E+05	2.81E+03	48	4th-ord	0.25μm CMOS/2.7V	2.84E-03	0.497	106.39
	2007	[Cao07]	13.70	2.50E+06	2.50E+04	50	5th-ord	0.25μm CMOS/2.4V	1.40E-02	0.421	78.94
	2008	[Roh08]	13.54	4.00E+04	4.00E+02	50	4th-ord	0.13μm ST/0.9V	6.00E-05	0.126	236.07
	2009	[Chae09]	12.16	2.40E+02	2.88E+00	41.66	3rd-ord	0.35μm CMOS/1.5V	3.80E-07	0.346	33.02
	2009	[Chae09]	12.33	1.60E+04	6.40E+01	125	2nd-ord	0.35μm CMOS/1.2V	5.60E-06	0.068	189.05
	2009	[Chae09]	13.83	4.00E+04	2.00E+02	100	3rd-ord	0.18μm CMOS/0.7V	3.60E-05	0.062	588.15
	2009	[Huan09]	11.50	4.00E+04	3.13E+02	64	2nd-ord	0.18μm CMOS/1.8V	4.20E-04	3.625	1.99
	2011	[Mich11]	9.88	1.40E+06	1.00E+04	70	3rd-ord	130nm CMOS/2.5V	7.50E-06	0.006	413.68
	2011	[Jian11]	13.06	3.00E+06	1.17E+04	128	2nd-ord	0.18μm CMOS/1.8V/3.3V	-	1.23 / 0.01	1128 / 0.97
Single Loop, DT, Multi Bit	2005	[Koh05]	10.70	3.88E+06	9.80E+04	19.79	2nd-ord (5level)	90nm CMOS ST/1.2V	1.20E-03	0.186	22.33
	2006	[Kwon06]	14.00	4.40E+06	6.73E+04	32.7	2nd-ord (4b)	0.18μm STD/1.8V	1.38E-02	0.191	213.63
	2006	[Lee06]	13.90	2.20E+06	1.83E+04	60	2nd-ord (5level)	0.18μm STD/1.8V	5.40E-03	0.161	237.63
	2008	[Kim08]	15.00	4.80E+04	1.88E+02	128	3rd-ord(3-L+DEM)	0.13μm CMOS/0.9V	1.50E-03	0.954	85.76
	2009	[Fuj09]	11.27	8.00E+06	3.20E+05	12.5	4th-ord (4b)	90nm CMOS 1P8M/1.2V-3V	1.18E-02	0.595	10.35
	2009	[Park09]	16.32	5.00E+04	2.50E+02	100	2nd-ord(18level)	0.18μm CMOS/0.7V	6.80E-04	0.166	1228.36
	2011	[Yang11]	13.88	2.50E+06	2.00E+04	62.5	4th-ord (1.5b)	0.13μm CMOS/0.5V	8.50E-05	0.002	16686.23
Cascade, DT, Multi Bit	2005	[Bosi05]	12.20	2.00E+07	2.50E+06	4	2(4b)-pipeline(9b)	0.18μm MS/3.3V-1.8V	2.40E-01	2.550	4.60
	2005	[Brew05]	16.40	2.00E+06	1.25E+05	8	2-2-0(Dual)	0.25μm MS (2P)	4.75E-01	2.746	78.59
	2005	[Yu05b]	9.37	4.00E+06	2.00E+05	10	2 (4b-dual)	90nm STD CMOS/1.3V	2.10E-03	0.793	2.08
	2005	[Yu05b]	10.70	2.00E+06	5.00E+04	20	2 (4b-dual)	90nm STD CMOS/1.3V	2.10E-03	0.631	6.58
	2005	[Yu05b]	12.50	4.00E+05	4.00E+03	50	2 (4b-dual)	90nm STD CMOS/1.3V	2.10E-03	0.906	15.95
	2006	[Para06]	10.8	4.00E+07	2.50E+06	8	2-2 (4b)	90nm STD CMOS/1.4V	7.80E-02	1.094	4.07
	2007	[Chan07]	14.00	4.40E+06	1.38E+05	16	2-1-1 (1.5b) (all stages)	0.25μm CMOS/2.5V	6.25E-02	0.867	47.17
	2008	[Mall08]	11.40	4.00E+07	1.90E+06	10.5	2-2 Reconfigurable	90nm CMOS/1.2V	2.79E-02	0.258	26.13
	2012	[Morg12]	12.7/11.1/8.9	240e6/40e6	100e3/10e6	2/1200	2-2-2 Reconfigurable	90nm CMOS/1.2V	23.5e-3/7.6e-3	0.0048 / 1.23	0.97 / 3489.83

Tabla A.1 (continuación).

Cascade, DT, Single Bit	2011	[ODon11]	12.22	6.20E+07	1.00E+06	31	Cascade 2-2	0.25µm CMOS/2.4V	5.00E-03	0.017	704.43
Single Loop, CT, Single Bit	2005	[Das05]	14.00	1.20E+06	2.82E+03	213	4th-ord	90nm CMOS/1.3V	5.40E-03	0.275	148.89
	2005	[Muño05]	14.60	2.00E+06	3.13E+04	32	4th-ord	0.18µm CMOS/1.8V	4.70E-03	0.095	655.02
	2005	[Naga05]	11.37	8.56E+05	2.85E+03	150	4th-ord	0.11µm CMOS/1.2V	3.42E-03	1.510	4.38
	2005	[Naga05]	10.37	2.80E+06	2.60E+04	50	4th-ord	0.11µm CMOS/1.2V	3.42E-03	0.994	3.32
	2005	[Ortm05]	11.38	9.80E+06	1.00E+05	48	3rd-ord	0.5µm CMOS/3.3V	1.50E-04	0.006	1134.66
	2007	[Pun07]	12.00	5.00E+04	3.91E+02	64	3rd-ord	0.18µm CMOS/0.5V	3.70E-04	1.807	5.66
	2008	[Song08]	10.90	4.00E+06	5.26E+04	38	5th-ord - Passive-Active	0.28µm CMOS/1.5V	2.70E-03	0.353	13.50
	2009	[Hart09]	8.5	2.00E+08	5.71E+05	175	2nd-ord	130nm SiGe BICMOS/2.5V	3.50E-01	4.834	0.19
	2009	[Hart09]	7.1	1.00E+09	1.35E+07	37	2nd-ord	130nm SiGe BICMOS/2.5V	3.50E-01	2.551	0.13
	2009	[Hart09]	5.9	2.00E+09	5.00E+07	20	2nd-ord	130nm SiGe BICMOS/2.5V	3.50E-01	2.931	0.05
	2009	[Hem09]	10	2.40E+06	7.68E+04	15.83	1st-ord	0.35µm CMOS/3.3V	1.22E-02	4.964	0.51
	2011	[Zhan11]	13.38	2.56E+06	2.00E+04	64	4th-ord	0.13µm CMOS/1.6V	2.80E-05	0.001	25935.18
	2011	[Vuys11]	10.72	8.50E+08	5.00E+06	85	2nd-ord PWM	0.18µm CMOS/0.5V	6.00E-03	0.004	1005.99
	2011	[Dhan11]	11.05	2.50E+08	2.00E+07	6.25	3rd-ord PWM	65nm CMOS	1.05E-02	0.020	267.15
	2011	[Mari11]	4.13	1.00E+01	1.56E+01	16	1st-ord	5µm Plastic Foil	1.50E-03	8567169.846	0.00
2010	[Tay10]	12.72	1.15E+09	1.80E+07	32	1st-ord	65nm LP CMOS	1.70E-02	0.002	7685.93	
2010	[Koli10]	9.72	1.00E+09	4.50E+06	111.1	4th-ord	65nm CMOS/1.2V	8.00E-02	0.095	22.19	
Single Loop, CT, Multi Bit	2005	[Cald05]	8.9	4.00E+07	4.00E+06	5	3rd-ord (4b) - time-interleav	0.18µm CMOS/1.8V	1.03E-01	5.390	0.22
	2005	[Dorr05]	12	4.00E+06	7.69E+04	26	3rd-ord (4b) - Tracking quant	0.13µm CMOS/1.5V	3.00E-03	0.183	55.83
	2005	[Font05]	12.5	1.20E+06	1.43E+04	42	3rd-ord (2b)	90nm CMOS/1.5V	6.00E-03	0.863	16.75
	2006	[Mitt06]	13	4.00E+07	1.25E+06	16	3rd-order (4b)	0.13µm CMOS/1.2V	2.00E-02	0.061	335.01
	2007	[Li07]	13.90	5.00E+06	2.08E+05	12	5th-ord (4b) - Calib.	0.25µm CMOS/2.5V	5.00E-02	0.654	58.33
	2008	[Pava08]	15.20	4.80E+04	3.75E+02	64	3rd-ord (4b) - DEM	0.18µm CMOS/1.8V	9.00E-05	0.050	1886.06
	2008	[Shu08]	13.20	1.60E+07	5.00E+05	16	4th-order (4b) + Tone Injection	65nm CMOS/1.3V	5.00E-02	0.332	70.73
	2008	[Stra08]	11.70	4.00E+07	8.00E+05	25	2nd-ord (5b) - VCO-Quantizer	0.13µm CMOS/1.2V	4.00E-02	0.301	27.63
	2008	[Yang08]	13.30	2.00E+07	3.13E+05	32	5th-ord (3b) - DWA	0.18µm CMOS/1.8V	1.00E-01	0.496	50.78

APÉNDICE B. Publicaciones

L. Ilich Guerrero-Linares, F. Sandoval-Ibarra, J. R. Loo-Yau, José M. de la Rosa, J. García-Sánchez, “High-level Design of an Hybrid CT/DT Cascade $\Sigma\Delta$ Modulator for Beyond-3G Applications”, XVII WORKSHOP IBERCHIP, Feb 23-25, 2011, Bogotá.

L. Guerrero-Linares, F. Sandoval-Ibarra, José M. de la Rosa, “High-level Design of a Hybrid Cascade $\Sigma\Delta$ Modulator for UMTS/GSM/Bluetooth/WLAN Applications”, 1st Work Shop on Analog and Digital Electronic Design, Nov. 2011. Guadalajara.

Alonso Morgado, J. Gerardo García, Sohail Asghar, **Luis I. Guerrero**, Rocío del Río, and José M. de la Rosa, “A Power-Scalable Concurrent Cascade 2-2-2 SC Sigma-Delta Modulator for Software Defined Radio”, IEEE International Symposium on Circuits and Systems, May 20-23, 2012, Seoul, Korea

L. Guerrero-Linares, F. Sandoval-Ibarra, J. R. Loo-Yau, “Non-Idealities in Analog Circuits Design: What Does It Really Mean?”, Midwest Symposium on Circuits and Systems, August 5-8, Boise, Idaho.

APÉNDICE C. Análisis del modulador de TC

En este apéndice se deduce la función de la salida del TCΣΔM así como también se describen los coeficientes de diseño del modulador. A través de la descripción matemática se establecen las principales características de los bloques constitutivos de este modulador. La herramienta empleada para el análisis se basa en el muestreador ideal constituido por un tren de pulsos [Ogat95]. La arquitectura que se analiza es abordada en el capítulo 6 y se vuelve a presentar nuevamente en la Fig. 0-1 con fines ilustrativos.

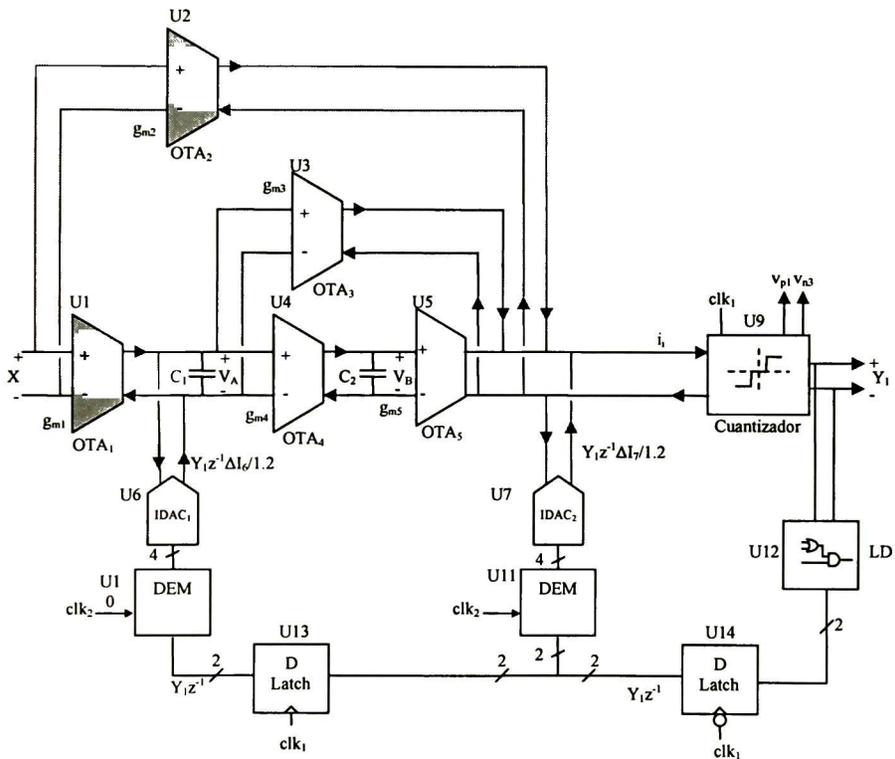


Fig. 0-1. Diagrama a bloques del TCΣΔM.

La expresión para la corriente en la entrada del cuantizador, $i_i(s)$ del TCΣΔM se tiene que

$$\begin{aligned}
i_i(s) = & \\
& X(s) \frac{g_{m1}}{sC_1} \frac{g_{m4}}{sC_2} g_{m5} - \\
& [Y_1^*(s)DAC(s)e^{-sT_s}] \frac{\Delta I_6}{V_{DD} sC_1} \frac{g_{m4}}{sC_2} g_{m5} + \\
& X(s) \frac{g_{m1}}{sC_1} g_{m3} - [Y_1^*(s)DAC(s)e^{-sT_s}] \frac{\Delta I_6}{V_{DD} sC_1} g_{m3} + \\
& X(s) g_{m2} - \\
& [Y_1^*(s)DAC(s)e^{-smT_s}] \frac{\Delta I_7}{V_{DD}}
\end{aligned} \tag{C.1}$$

Donde $Y_1^*(s)$ representa la salida del cuatizantizador a través de un muestreador cuya expresión es como

$$Y_1^*(s) = i_i^*(s) \frac{2V_{DD}}{3I} + E_1^*(s) \tag{C.2}$$

Al muestrear idealmente la expresión en (C.1) se tiene que

$$\begin{aligned}
i_i^*(s) = & \left[X(s) \frac{g_{m1}}{sC_1} \frac{g_{m4}}{sC_2} g_{m5} \right]^* - \left[Y_1^*(s) DAC(s) e^{-sT_s} \frac{\Delta I_6}{V_{DD} sC_1} \frac{g_{m4}}{sC_2} g_{m5} \right]^* + \\
& \left[X(s) \frac{g_{m1}}{sC_1} g_{m3} \right]^* - \left[Y_1^*(s) DAC(s) e^{-sT_s} \frac{\Delta I_6}{V_{DD} sC_1} g_{m3} \right]^* + [X(s) g_{m2}]^* - \\
& \left[Y_1^*(s) DAC(s) e^{-smT_s} \frac{\Delta I_7}{V_{DD}} \right]^*
\end{aligned} \tag{C.3}$$

Sustituyendo (C.3) en (C.1) y resolviendo para $Y_1^*(s)$ se llega a la siguiente expresión

$$\begin{aligned}
Y_1^*(s) &= \left\{ 1 + \frac{2V_{DD}}{3I} \frac{\Delta I_6}{V_{DD} C_1} \frac{g_{m4}}{C_2} g_{m5} \left[\frac{e^{-st_1}}{s^2} DAC(s) \right]^* + \right. \\
&\quad \left. \frac{2V_{DD}}{3I} \frac{\Delta I_6}{V_{DD} C_1} g_{m3} \left[\frac{e^{-st_1}}{s} DAC(s) \right]^* + \frac{2V_{DD}}{3I} \frac{\Delta I_7}{V_{DD}} [DAC(s)e^{-smT_1}]^* \right\} = \quad (C.4) \\
&\quad \frac{2V_{DD}}{3I} \frac{g_{m1} g_{m4} g_{m5}}{C_1 C_2} \left[\frac{1}{s^2} X(s) \right]^* + \\
&\quad \frac{2V_{DD}}{3I} \frac{g_{m1} g_{m3}}{C_1} \left[\frac{1}{s} X(s) \right]^* + \frac{2V_{DD} g_{m2}}{3I} [X(s)]^* + E_1^*(s)
\end{aligned}$$

Al aplicar la transformada z a la expresión encontrada en (C.4) se tiene que

$$\begin{aligned}
Y_1(z) &= \frac{1}{(1-z^{-1})^2} + Y_1(z) \frac{2z^{-1} \left(-1 + \frac{\Delta I_7}{3I} \right)}{(1-z^{-1})^2} \\
&+ Y_1(z) \frac{z^{-2} \left(1 + \frac{1}{3I} \frac{\Delta I_6}{C_1} \frac{g_{m4}}{C_2} g_{m5} \frac{1}{F_s^2} + \frac{2}{3I} \frac{\Delta I_6}{C_1} g_{m3} \frac{1}{F_s} - \frac{4\Delta I_7}{3I} \right)}{(1-z^{-1})^2} \quad (C.5) \\
&Y_1(z) \frac{z^{-3} \left(\frac{1}{3I} \frac{\Delta I_6}{C_1} \frac{g_{m4}}{C_2} g_{m5} \frac{1}{F_s^2} - \frac{2}{3I} \frac{\Delta I_6}{C_1} g_{m3} \frac{1}{F_s} + \frac{2\Delta I_7}{3I} \right)}{(1-z^{-1})^2} \\
&= \frac{2V_{DD}}{3I} \frac{g_{m1} g_{m4} g_{m5}}{C_1 C_2} X_a(z) + \frac{2V_{DD}}{3I} \frac{g_{m1} g_{m3}}{C_1} X_b(z) + \frac{2V_{DD} g_{m2}}{3I} X(z) + E_1(z)
\end{aligned}$$

Sin embargo, el comportamiento ideal requiere la señal de entrada al cuantizador $S(s)$ sea determinada como

$$\begin{aligned}
S(s) &= X(s) \frac{F_s^2}{s^2} ij \frac{1}{k_g} + X(s) \frac{F_s}{s} ik \frac{1}{k_g} + X(s) \frac{1}{k_g} - Y_1^*(s) DAC(s) e^{-st} \frac{F_s^2}{s^2} hij \frac{1}{k_g} - \\
&Y_1^*(s) DAC(s) e^{-st} \frac{F_s}{s} hik \frac{1}{k_g} - 2Y_1^*(s) DAC(s) e^{-smT} \frac{1}{k_g} \quad (C.6)
\end{aligned}$$

Sin embargo el cuantizador establece que

$$Y_1^*(s) = k_g S^*(s) + E_1^*(s) \quad (C.7)$$

donde k_g es la ganancia del cuantizador y $E_1^*(s)$ es el error de cuantización. Si se combinan las ecuaciones (C.7) y (C.6) y se resuelve para $Y_1^*(s)$ se tiene

$$Y_1^*(s) = \left[X(s) \frac{1}{s^2} \right]^* F_s^2 ij + \left[X(s) \frac{1}{s} \right]^* F_s ik + [X(s)]^* - Y_1^*(s) \left[DAC(s) e^{-sT} \frac{1}{s^2} \right]^* F_s^2 hij \cdot$$

$$Y_1^*(s) \left[DAC(s) e^{-sT} \frac{1}{s} \right]^* F_s hik - 2Y_1^*(s) \left[DAC(s) e^{-smT} \right]^* + E_1^*(s) \quad (C.8)$$

Nuevamente se aplica la transformada z a (C.8) se tiene que

$$Y_1(z) \left[\frac{(1) + 2z^{-1}(-1+1) + z^{-2} \left(1 + \frac{hij}{2} + hik - 4 \right) + z^{-3} \left(\frac{hij}{2} - hik + 2 \right)}{(1 - z^{-1})^2} \right] \quad (C.9)$$

$$= X_a(z) F_s^2 ij + X_b(z) F_s ik + X(z) + E_1(z)$$

Al comparar (C.9) con (C.5) se desprenden las siguientes relaciones

$$\frac{g_{m1}}{C_1} = \frac{g_{m4}}{C_2} = F_s \quad (C.10)$$

$$g_{m2} = \frac{3I}{2V_{DD}} \quad (C.11)$$

$$g_{m3} = \frac{3ikI}{2V_{DD}} \quad (C.12)$$

$$g_{m5} = \frac{3ijI}{2V_{DD}} \quad (C.13)$$

$$\Delta I_7 = 3I \quad (C.14)$$

$$\Delta I_6 = hg_{m4} V_{DD} \quad (C.15)$$

$$hik = \frac{5}{2} \quad (C.16)$$

$$hij = 1 \quad (C.17)$$

Y la función $Y_i(z)$ se puede escribir como

$$Y_i(z) = X_a(z)F_s^2 ij + X_b(z)F_s ik + X(z) + E_1(z)(1 - z^{-1})^2 \quad (\text{C.18})$$

donde los coeficientes i , j y k , determinan el filtrado de la señal de entrada.



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

DISEÑO DE UN MODULADOR SIGMA-DELTA HIBRIDO EN CONFIGURACION
CASCADA CON MULTIPLES FRECUENCIAS DE MUESTREO PARA APLICACIONES 4G

del (la) C.

Luis Ilich Vladimir GUERRERO LINARES

el día 22 de Noviembre de 2012.

Dr. Juan Luis Del Valle Padilla
Investigador CINVESTAV 3C
CINVESTAV Unidad Guadalajara

Dr. Federico Sandoval Ibarra
Investigador CINVESTAV 3B
CINVESTAV Unidad Guadalajara

Dr. José Luis Leyva Montiel
Investigador CINVESTAV 3B
CINVESTAV Unidad Guadalajara

Dr. José Raúl Loo Yau
Investigador CINVESTAV 3A
CINVESTAV Unidad Guadalajara

Dr. Mariano Aguirre Hernández
Científico Investigador
Intel Tecnología de Mexico S. A. de
C.V.

Dr. José Manuel de la Rosa Utrera
Investigador
Centro Nacional de Microelectrónica



CINVESTAV - IPN
Biblioteca Central



SSIT0011457