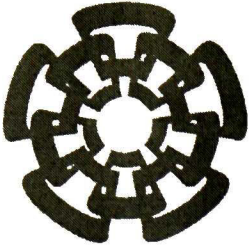


CT 782-SS1

Doni-204



Centro de Investigación y de Estudios Avanzados
del Instituto Politécnico Nacional
Unidad Guadalajara

Análisis y Modelado de Ruido Intrínseco en Circuitos Integrados Analógicos CMOS

**CINVESTAV
IPN
ADQUISICION
LIBROS**

Tesis que presenta:
Natanael Melchor Hernández

para obtener el grado de:
Maestro en Ciencias

en la especialidad de:
Ingeniería Eléctrica

Director de Tesis
Dr. Federico Sandoval Ibarra

CLASIF..	CT 00686
ADQUIS..	CT - 782 - 551
FECHA:	22 - 07 - 2014
PROCED..	Don. - 2014
	\$

ID: 214221-2001

Análisis y Modelado de Ruido Intrínseco en Circuitos Integrados Analógicos CMOS

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

Por:

Natanael Melchor Hernández
Ingeniero en Comunicaciones y Electrónica
ESIME Zacatenco del IPN 2006-2009

Becario de CONACyT, expediente no. 263563

Director de Tesis
Dr. Federico Sandoval Ibarra

CINVESTAV del IPN Unidad Guadalajara, Agosto de 2013.

Agradecimientos

A DIOS por darme la fuerza y el entendimiento.

A mis padres Zulidey Hernández Vite y Marcelino Melchor Hernández, y a mis hermanos Zuly Melchor y Ares Melchor, que han sido y serán parte vital de mi crecimiento humano y profesional, sin su apoyo y amor nada de esto sería posible.

A Karla Delfranci Hernández Carlón por ser un motivo más de inspiración y superación.

Al Dr. Federico Sandoval Ibarra, por su apoyo, guía y paciencia en estos años de asesoramiento, por siempre estar disponible para atender cualquier duda.

A la Dra. Susana Ortega Cisneros y al Dr. Juan Luis Del Valle Padilla, por su apoyo y retroalimentaciones en la revisión de la tesis.

Al CINVESTAV por darme la oportunidad de desarrollarme personal y profesionalmente dentro de sus instalaciones.

A CONACYT por el apoyo económico durante mi estudio de maestría.

Resumen

EN la actualidad las aplicaciones de los MOSFETs dominan los campos del diseño digital, analógica y de alta frecuencia, de los circuitos integrados electrónicos en *VLSI*. Como todo elemento electrónico, el MOSFET no queda exento de la presencia de ruido. Existen dos tipos de ruido en los dispositivos electrónicos, uno cuyo origen proviene de fuentes externas, y un segundo tipo de ruido que tiene un origen intrínseco, debido a las propiedades fundamentales de los dispositivos electrónicos. El ruido extrínseco puede ser eliminado en su totalidad con un blindaje, en cambio el ruido intrínseco solamente puede ser disminuido mediante adecuadas técnicas de diseño a nivel circuito. El ruido intrínseco a bajas frecuencias es el que presenta mayores magnitudes en el espectro de ruido en MOSFET, impactando las aplicaciones en este rango que son de gran interés, tales como las aplicaciones biomédicas.

En este trabajo se explican las propiedades fundamentales de los MOSFET con el fin de comprender el impacto del ruido $1/f$, el ruido de baja frecuencia, en sus prestaciones. Se presenta la teoría del ruido $1/f$ y los modelos basados en mecanismos físicos. Se discute la teoría de fluctuación del número de portadores de carga, de McWhorter y la teoría de fluctuación de la movilidad de Hooge, que han sido teorías básicas para la determinación del espectro en frecuencia y su representación paramétrica. Sin embargo dado el avance tecnológico y la disminución de las dimensiones de los transistores MOS, así como el cambio asociado a sus parámetros fundamentales y las condiciones de polarización, se debaten aún mejores modelos.

Cuando se conoce el comportamiento de ruido a bajas frecuencias se puede prevenir el deterioro de los circuitos con adecuadas técnicas de diseño. Las consideraciones de diseño y polarización en dispositivos CMOS para reducir su impacto se discuten a profundidad en este trabajo.

La teoría de ruido eléctrico es necesaria para entender las unidades del ruido y su representación gráfica, así como, su caracterización experimental en transistores MOSFETS, para la evaluación de su impacto en circuitos específicos. En este trabajo se desarrolla una propuesta de circuito para la medición del ruido $1/f$ tanto en transistores comerciales como en transistores dentro de la oblea, la caracterización se lleva a cabo con instrumentos de laboratorio programables a través del puerto GPIB con el uso de una interfaz gráfica desarrollada en Matlab®.

Abstract

NOWADAYS MOSFETs applications dominate the fields of digital, analog and high frequency design of the electronic integrated circuits in VLSI. Like any electronic item, the MOSFET is not exempt from the presence of noise. There are two types of noise in electronic devices, one whose origin comes from external sources, and a second type of noise that has an intrinsic origin, due to the fundamental properties of electronic devices. The extrinsic noise can be completely removed with a shield; however the intrinsic noise can only be reduced through appropriate design techniques at circuit level. The intrinsic noise at low frequencies is the one with largest magnitudes in the spectrum of noise in MOSFETs, impacting the applications in this range that are of great interest, such as biomedical applications.

In this study some fundamental properties of the MOSFETs are explained in order to understand the impact of $1/f$ noise, low frequency noise, in its performance. We present noise $1/f$ theory and its models based in physical mechanisms. We discuss the McWhorter theory of the number fluctuation of charge carriers and Hooge theory of the mobility fluctuation, which have been the basic theories for determining the frequency spectrum and parametric representation. However, given the technological advances, the scale of MOS transistor dimensions and the associated change of its essential parameters and biasing condition, even better models are discussed.

When one knows the behavior of low frequency noise can prevent deterioration of the circuits with appropriate design techniques. Design considerations and polarization in CMOS devices to reduce their impact are discussed in depth in this paper.

Electrical noise theory is needed to understand noise units and their graphic representation, as well as experimental characterization transistors MOSFETs, for the evaluation of their impact on specific circuits. This paper develops a proposed circuit for measuring the $1/f$ noise in both commercial transistors as transistors on wafer, the characterization is performed with programmable GPIB port laboratory instruments, used through a GUI developed in Matlab®.

Acrónimos

MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NMOSFET	MOSFET de canal N
PMOSFET	MOSFET de canal P
PSD	Power Spectral Density
Op Amp	Operational Amplifier
SPICE	Simulation Program with Integrated Circuits Emphasis

Índice

Capítulo 1	- 1 -
Introducción	- 1 -
1.1 Antecedentes.....	- 1
1.2 Objetivos de Investigación	- 2 -
1.3 Organización de la Tesis	- 2 -
Capítulo 2	- 3 -
MOSFETs	- 3 -
2.1 Introducción.....	- 3 -
2.2 Semiconductores.....	- 4 -
2.2.1 El transporte de carga en el canal de los MOSFETs.....	- 8 -
2.3 Transistor MOS	- 10 -
2.3.1 Región de Saturación/Activa	- 15 -
2.3.2 Efecto Cuerpo	- 15 -
2.4 Modelo de Pequeña Señal.....	- 16 -
2.5 Trampas en MOSFETs	- 18 -
2.6 Conclusiones	- 20 -
Capítulo 3	- 21
Ruido 1/f en MOSFETs.....	- 21
3.1 Introducción.....	- 21 -
3.2 Origen físico del ruido 1/f.....	- 24 -
3.2.1 Teoría de McWhorter, ΔN	- 25 -
3.2.2 Teoría de Hooge, $\Delta\mu$	- 26 -
3.3 Modelado del Ruido 1/f en MOSFETs.....	- 26 -
3.4 Conclusiones	- 31 -
Capítulo 4.....	- 33
Ruido Eléctrico.....	- 33 -
4.1 Introducción.....	- 33 -
4.2 Señales	- 34 -
4.2.1 Potencia y Energía	- 34 -
4.2.2 Densidad Espectral de Potencia.....	- 36 -
4.3 Ruido en Circuitos.....	- 37 -
4.3.1 EL Ruido en el dominio del Tiempo.....	- 37 -
4.3.2 EL Ruido en el dominio de la Frecuencia	- 38 -
4.3.3 Relación Señal a Ruido, SNR	- 39 -
4.3.4 Suma de las Fuentes de Ruido	- 39 -
4.3.5 Ruido Referido a la Entrada.....	- 41 -
4.4 Conclusiones	- 41 -

Capítulo 5	- 43 -
¿Cómo hacer la medición de Ruido?	- 43 -
5.1 Introducción	- 43 -
5.2 Pre-Amplificador	- 44 -
5.2.1 Análisis de Ruido	- 45 -
5.3 Amplificador Diferencial	- 46 -
5.3.1 Entrada inversora	- 47 -
5.3.2 Entrada no-inversora	- 48 -
5.3.3 Voltaje de Salida del Amplificador Diferencial	- 48 -
5.4 Amplificador Inversor	- 49 -
5.5 Fuentes de Polarización	- 49 -
5.6 Consideraciones de Diseño	- 50 -
5.7 Arreglo Experimental	- 51
5.8 Metodología de Medición	- 52 -
5.8.1 Obtención de las Curvas Características IV	- 52 -
5.8.2 Obtención de la PSD de ruido 1/f	- 55 -
5.9 Conclusiones	- 55 -
Capítulo 6	- 57 -
Conclusiones y Trabajo a Futuro	- 57 -
6.1 Conclusiones	- 57 -
6.2 Trabajo a Futuro	- 59 -
Referencias	- 61 -
Apéndice A	- 65 -
Apéndice B	- 71

Capítulo 1

Introducción

Se muestra la causa por la cual se tiene interés en el ruido intrínseco en MOSFETs, específicamente en el ruido $1/f$. Se presentan los objetivos así como la organización del trabajo de investigación.

1.1 Antecedentes

LA tecnología CMOS es la de mayor demanda en la actualidad, abarcando aplicaciones digitales, analógicas y de alta frecuencia. Es de interés esta tecnología a bajas frecuencias –desde DC hasta unas decenas de kHz-, especialmente en aplicaciones biomédicas.

El ruido intrínseco en MOSFETs siempre ha sido causa de estudio, el ruido térmico es un tema totalmente comprendido –básicamente es causado por la fluctuación aleatoria de los portadores por efectos térmicos-; por otro lado, el ruido $1/f$ continúa generando polémica entre los diseñadores debido a la incertidumbre en su origen.

El tema a desarrollar en esta tesis es el análisis y modelado del ruido $1/f$ en MOSFETs. Lo anterior implica intentar buscar la respuesta de por qué este tipo de ruido intrínseco se genera a bajas frecuencias.

Dada la naturaleza del ruido $1/f$ es necesaria la caracterización de transistores para obtener los niveles de ruido presentes para la tecnología de interés. Con lo anterior se puede hacer el análisis de circuitos para conocer su impacto dentro de la aplicación. Mediante

técnicas de diseño -manipulación de los parámetros que están bajo el control del diseñador (dimensiones y región de operación del transistor) así como de configuraciones a nivel circuito- se buscará disminuir lo más posible la intervención del ruido $1/f$ sobre las señales de interés.

1.2 Objetivos de Investigación

En resumen los objetivos de este trabajo de investigación son:

1. Explicar el ruido $1/f$ en MOSFETs para que el lector tenga una total comprensión de este tipo de ruido intrínseco.
2. Establecer técnicas de diseño para disminuir el ruido $1/f$ en MOSFETs como elementos de circuito.
3. Presentar los modelos que describen el comportamiento del ruido $1/f$ en MOSFETs.
4. Diseño de un banco experimental para la caracterización de transistores discretos como transistores integrados.

1.3 Organización de la Tesis

El Capítulo 2 trata sobre los principios de la tecnología CMOS, para poder entender de mejor manera su operación desde un enfoque en diseño analógico. El enfoque se encuentra en transistores de canal largo y fuerte nivel de inyección.

El siguiente apartado, Capítulo 3, habla del ruido eléctrico. Es primordial el conocimiento de las unidades con las cuales se trabaja el ruido, su naturaleza aleatoria y su representación como parte de un circuito.

En el Capítulo 4 se plasmó lo referente al ruido intrínseco de interés, ruido $1/f$. Comenzando con las teorías *existentes en la literatura* que intentan describir su origen físico, de las cuales se obtiene su modelo equivalente en Densidad Espectral de Potencia. A partir de este modelo se pueden deducir otros modelos en función de la corriente de drenaje, de la transconductancia, como un equivalente de voltaje referido a la entrada, que dependiendo de la necesidad el diseñador elegirá con cuál trabajar.

En el Capítulo 5 se diseña un arreglo experimental para la medición del ruido $1/f$, teniendo las características este banco de pruebas la flexibilidad, su bajo costo, así como permitir la caracterización de dispositivos comerciales –dispositivos discretos- así como de dispositivos “en oblea” –circuitos integrados-.

Las conclusiones generales y el trabajo a futuro se presentan en el Capítulo 6.

Capítulo 2

MOSFETs

Este Capítulo describe brevemente la teoría CMOS para un enfoque en aplicaciones analógicas. Se hace mención de las características IV en MOSFETs de canal largo, operando en la región de triodo –también conocida como región lineal u óhmica-, así como en la región de saturación –también conocida como región activa-. Posteriormente se abordan los modelos para pequeña señal de baja frecuencia, donde los elementos parásitos no son considerados. Por último se muestra la forma de representar el ruido en circuitos analógicos, integrándolo como una fuente equivalente en corriente o voltaje dentro del circuito eléctrico equivalente de pequeña señal.

2.1 Introducción

LA La tecnología CMOS -del inglés *Complementary Metal Oxide Semiconductor*, que históricamente denota el material de la región de compuerta, del aislante y del canal, respectivamente- es la dominante en la industria de la microelectrónica en un amplio rango de aplicaciones, incluyendo analógicas, digitales y de RF. Los circuitos CMOS normalmente emplean dos tipos complementarios de transistores, NMOSFET para transistores de canal N y PMOSFET para transistores de canal P -se dice complementario debido a la tecnología de fabricación, ya que un NMOSFET es fabricado sobre un sustrato P y un PMOSFET sobre un sustrato N-.

2.2 Semiconductores

Los metales –como el aluminio, el cobre, la plata, el oro, entre otros- que son buenos conductores eléctricos los átomos están ordenados en estructuras cúbicas compactas regulares. Los electrones de la capa externa –valencia- del átomo son libres de moverse dentro del material. Debido a que el número de átomos, y por lo tanto el número de electrones libres, es muy elevado (en el orden de 10^{23} cm^{-3}), incluso un pequeño campo eléctrico resulta en una corriente electrónica considerable. Es por ello que se observa una alta conductividad en estos materiales.

El escenario es muy diferente para un aislante, tal es el caso del dióxido de silicio, SiO_2 . Aquí, los electrones de valencia forman las uniones entre átomos adyacentes, y por lo tanto están atados a estos átomos por sí mismos.

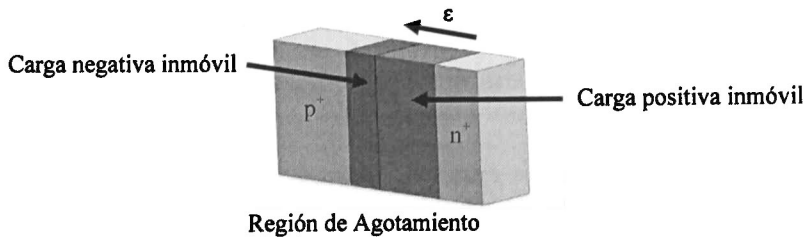


Fig. 2.1 Diodo unión pn.

Los semiconductores –como el silicio o el germanio- se encuentran entre los conductores y los aislantes en cuanto a las propiedades eléctricas se refieren. A muy bajas temperaturas, los electrones de valencia están sujetos a sus átomos los cuales forman una estructura regular. Sin embargo, mientras se eleva la temperatura, debido a las vibraciones térmicas de los átomos, algunas uniones se rompen, y un electrón “escapa” de cada una de estas uniones. Tales electrones son capaces de conducir electricidad. Además, cada electrón fugitivo deja un déficit de carga –llamado hueco- en la unión. Un electrón de valencia en una unión cercana al hueco puede fácilmente ser atraído, rellenando el hueco y dejando un nuevo hueco en su propia unión. El efecto es el mismo como si el hueco se hubiera “movido” de una unión a la siguiente. Ya que el hueco se desplaza en una dirección opuesta a la del electrón, en un campo electrónico se comporta como una partícula cargada positivamente.

La conducción eléctrica es entonces posible para un semiconductor a temperatura ambiente. La densidad de los electrones y huecos generados por efecto térmico es, de todas formas, mucho menor que aquella de electrones libres en un metal. Por lo regular en silicio existen 10^{10} portadores de carga/ cm^3 mientras que en germanio 10^{13} por cm^{-3} .

El número de portadores de carga libres en un semiconductor puede elevarse adicionando elementos externos –dopantes- al silicio intrínseco –puro-. El silicio –y germanio- tienen cuatro electrones de valencia. Si un átomo de un elemento de 5 electrones de valencia –tales como el arsénico, fósforo o antimonio- se añaden al semiconductor, entonces puede tomar el lugar de un átomo de silicio en la estructura cristalina. Entonces cuatro, de sus cinco átomos de valencia, participarán en las cuatro uniones atando el átomo a los átomos del semiconductor adyacente en la estructura. El quinto electrón de valencia del átomo externo no tendrá lugar en ninguna unión, y así será libre de apartarse de su átomo “padre” Entonces, el elemento dopante –conocido como *donador*, ya que aporta electrones libres al semiconductor- mejora la conductividad del material.

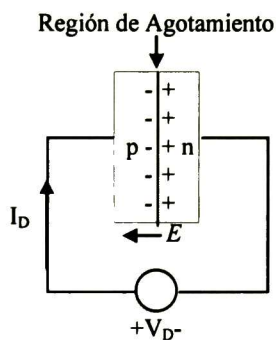


Fig. 2.2 Circuito de polarización de la unión pn.

Añadir átomos de elementos con tres electrones de valencia también contribuye a la conductividad. Ahora habrá una unión carente de un electrón de valencia por cada átomo dopante. En otras palabras, ahora se generan huecos en lugar de electrones libres. Estos dopantes –como el boro, aluminio y galio- se conocen como *aceptores*, debido a que los huecos se propagarán al aceptar electrones de valencia de átomos del semiconductor adyacente.

En conductores dopados existirán portadores debido a efectos térmicos, así como para los átomos donadores –o aceptores-. Los materiales que contienen *donadores* tendrán tantos átomos como huecos libres; pero habrá un mayor número de átomos que de huecos. Dicho semiconductor será nombrado *tipo-n*, donde *n* se sustenta de “negativo”. Los materiales que contienen *aceptores* tienen huecos mayoritariamente; estos serán nombrados semiconductores *tipo-p*, donde *p* se sustenta de “positivo”.

Una estructura semiconductor puede fabricarse conteniendo dos regiones adyacentes de distinto tipo, ver Fig. 2.1. La superficie que une ambas regiones se le conoce como la *unión p-n*. Cuando se fabrica la unión, el movimiento térmico aleatorio de los portadores mayoritarios – electrones en la región *tipo-p* y huecos en la región *tipo-n*- causará que

los electrones se viertan de la región *tipo-n* a la región *tipo-p*, y viceversa. Entonces, este movimiento aleatorio –conocido como difusión- resulta en un semiconductor *tipo-p* cargado negativamente, mientras la región *tipo-n* está cargada positivamente. El efecto será más notorio cerca de la unión: en la región *tipo-p*, los átomos aceptores cargados negativamente ya no podrán ser neutralizados por huecos; y – en la región *tipo-n*- los iones donadores cargados positivamente ya no serán rodeados por electrones libres. En consecuencia, en esta área se formará una región de agotamiento, ver Fig. 2.1. El campo eléctrico, E , generado por la región de agotamiento se opone a la difusión del portador mayoritario. Esto ayuda a que los portadores minoritarios generados por efectos térmicos migren de una región a otra. Entonces, después de una pequeña transición, se tendrá un equilibrio. Cuatro diferentes corrientes de portador fluirán: los portadores mayoritarios se moverán por difusión de región en región a pesar de E , y los portadores minoritarios fluirán con ayuda de E . Estas corrientes se cancelan una con otra en equilibrio, ya que los efectos de E se compensan por el gran número de portadores mayoritarios en equilibrio disponibles¹

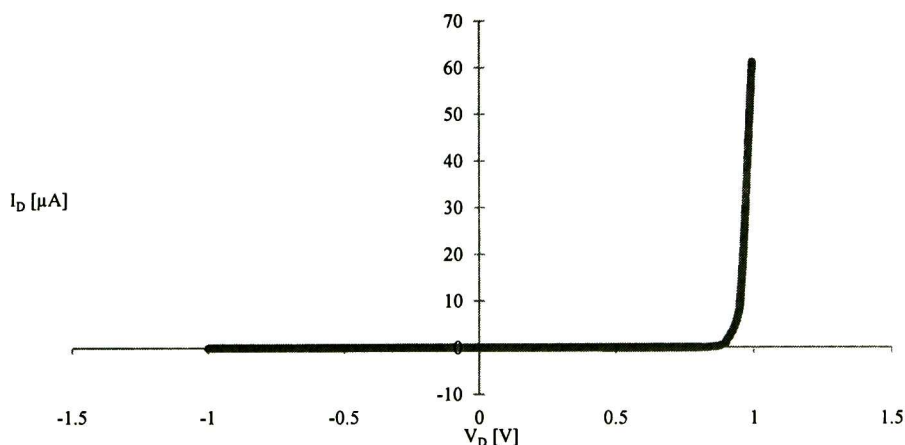


Fig. 2.3 Características IV de un diodo de unión *pn*.

Este equilibrio se verá alterado si se aplica un voltaje en los extremos del semiconductor *p-n*, ver Fig. 2.15. Asuma primero que la polaridad de la fuente, V_D , es tal que hace más positiva a la región-*p* con respecto a la región-*n*, esto es, que $V_D > 0$ en la Fig. 2.15. Entonces V_D hará que E disminuya, y entonces la corriente de los portadores mayoritarios será mayor que la corriente debida a los portadores minoritarios. Debido a que existe un gran número de portadores mayoritarios que no se derraman por el límite –por efecto de E -incluso una pequeña reducción de E causado por, digamos, una batería de 0.8V, puede resultar en una elevada

¹ Robert F. Pierret, Modular Series On Solid State Devices-Field Effect Devices, Second Edition, Addison Wesley Publishing Company, 1990, pps. 208.

corriente de portadores mayoritarios en el circuito. Entonces, V_D con la polaridad indicada se conoce como *voltaje directo*.

Invirtiendo la polaridad de la fuente de voltaje, tal que $V_D < 0$ en la Fig. 2.15. Ahora V_D ayudará a E en obstruir el flujo de portadores mayoritarios de región en región. Si V_D es lo suficientemente largo, la corriente mayoritaria es eliminada, y solamente el flujo de portadores minoritarios permanecerá. Debido a que el número de portadores es pequeño y cercanamente independiente de V_D , la corriente resultante será pequeña y cercanamente constante. Este es el caso del voltaje inverso. Con las direcciones de referencia usadas en la Fig. 2.15, ahora $I_D < 0$. La Fig. 2.3 ilustra el comportamiento de I_D en función de V_D . Un análisis teórico detallado^{2,3} revela que la ecuación que describe dicho comportamiento es, en una buena aproximación

$$I_D = I_0 \left(e^{\frac{qV_D}{kT}} - 1 \right) \quad (2.1)$$

donde I_0 es la corriente de saturación, determinada por la geometría y las propiedades del material del dispositivo, $q=1.6 \times 10^{-19}$ C es la carga electrónica, $k=1.38 \times 10^{-23}$ J/K es la constante de Boltzmann, T es la temperatura del semiconductor en grados Kelvin. Generalmente I_0 es muy pequeña, en el orden de 10^{-9} A o menor.

El comportamiento de la región directamente adyacente al límite entre las regiones p y n es de suma importancia. Como se mencionó con anterioridad, los portadores mayoritarios son muy escasos en esta área; algunos han emigrado a la otra región, y los demás han sido regresados a su región de origen por el campo E . Además, el área de borde contiene solo los iones fijos. Esta región se conoce como región de *agotamiento*. El ancho de la región de agotamiento incrementa con incrementos de E .

Debido al campo E , un voltaje Φ_i –conocido como voltaje *built-in*– aparece a través de la región de agotamiento para $V_D=0$. El potencial total a través de la unión, para $V_D \neq 0$, es $\Phi_i - V_D$.

Para $V_D < 0$, la unión pn puede considerarse como un capacitor, ya que solamente fluye una pequeña corriente de saturación I_0 , también debido a la carga almacenada en la región de agotamiento. La carga almacenada no es una función lineal de V_D , por lo tanto la capacitancia tampoco lo es. Se puede

² R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*, Wiley, New York, 1977. Sec. 4.3.

³ A. S. Grove, *Physics and Technology of Semiconductor Devices*, Wiley, New York, 1967, Sec. 6.6.

definir la capacitancia C por la relación $C=dQ/dV_D$. La capacitancia se puede definir como⁴

$$C = \sqrt{\frac{q\epsilon_s}{2\left(\frac{1}{N_a} + \frac{1}{N_d}\right)}} \cdot A \quad (2.2)$$

donde $\epsilon_s=1.04 \text{ pF/cm}$ es la permitividad del silicio, A es el área de la unión en cm^2 , N_a y N_d son, respectivamente, el número de átomos aceptores y donadores por cm^3

2.2.1 El transporte de carga en el canal de los MOSFETs

Los electrones en semiconductores dopados a temperatura ambiente tienen una energía térmica que les permite desplazarse en cualquier dirección. Bajo equilibrio térmico la energía cinética promedio asociada a cada electrón es $1/2k_B T$ por grado de libertad, y como un electrón tiene tres grados de libertad, la energía cinética total es

$$\frac{1}{2}mv_{th}^2 = \frac{3}{2}k_B T \quad (2.3)$$

Los electrones viajan en línea recta hasta que su trayectoria se ve influenciada por otro átomo en la estructura, átomo impureza u otro mecanismo de dispersión. La distancia promedio que el electrón recorre antes de ser dispersado se le conoce como *trayectoria libre promedio* y el tiempo entre colisiones es conocido como *tiempo libre promedio*, t_c .

Si se aplica un campo eléctrico a través del semiconductor, los electrones libres experimentarán una fuerza, $F=-qE$, en dirección opuesta al campo eléctrico. Entonces el campo eléctrico es impuesto sobre el movimiento aleatorio de los electrones causando una conducción con sentido opuesto a la del campo eléctrico.

La velocidad de conducción es una relación del momento ganado por el electrón durante su libre trayectoria antes de su colisión

$$v_d = -\frac{qE\tau_c}{m_e^*} \quad (2.4)$$

⁴ D. J. Hamilton and W. G. Howard, *Basic Integrated Circuit Engineering*, McGraw-Hill, New York, 1975, Sec. 6-6.

Para obtener la movilidad de los electrones y huecos se tiene, respectivamente que

$$\mu_e = \frac{v_d}{E} = \frac{q\tau_c}{m_e^*} \quad (2.5)$$

$$\mu_h = \frac{v_d}{E} = \frac{q\tau_c}{m_h^*} \quad (2.6)$$

Donde m_e^* y m_h^* son las masas efectivas de los electrones y de los huecos, respectivamente. La movilidad se ve afectada directamente por el tiempo libre promedio de los electrones y huecos, que es determinada por los diversos mecanismos de dispersión. Los más importantes son la dispersión estructural y la dispersión por impurezas.

La dispersión estructural resulta del movimiento térmico de los átomos que forman la estructura cristalina a temperaturas por encima de los 0° K. La agitación de los átomos provoca variaciones en el potencial lo que resulta en emisión de fonones que transfieren energía entre la estructura y los portadores libres. Este tipo de dispersión tiene entonces mayor impacto a elevadas temperaturas. La movilidad debido a la dispersión estructural varía con una tasa de $T^{-3/2}$, ver Fig. 2.15 (a).

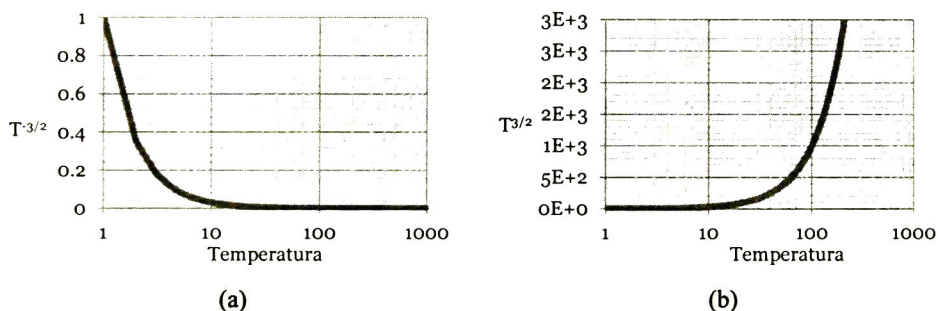


Fig. 2.4 Tasa de cambio de la movilidad debido a (a) dispersión estructural y (b) dispersión por impurezas con N_T normalizado a 1.

La dispersión por impurezas resulta debido a los iones donadores y aceptores impureza. Un portador de paso será desviado por un ion debido a efectos Coulómicos. La probabilidad de la dispersión por impurezas depende de la densidad de dopado, la velocidad de los portadores y de la proporción en la que estos átomos son ionizados. La variación de la movilidad debido a la dispersión por impurezas con una tasa $T^{3/2}/N_T$, donde N_T es la concentración total de impurezas, ver Fig. 2.15 (b).

El tiempo de dispersión total es la suma de los dos tiempos de dispersión, el tiempo de la dispersión estructural y el tiempo por impurezas, t_L y t_I .

$$\frac{1}{\tau_C} = \frac{1}{\tau_L} + \frac{1}{\tau_I} \quad (2.7)$$

$$\frac{1}{\mu_C} = \frac{1}{\mu_L} + \frac{1}{\mu_I} \quad (2.8)$$

2.3 Transistor MOS

Para la representación del MOSFET, se ha recurrido a una gran cantidad de símbolos.

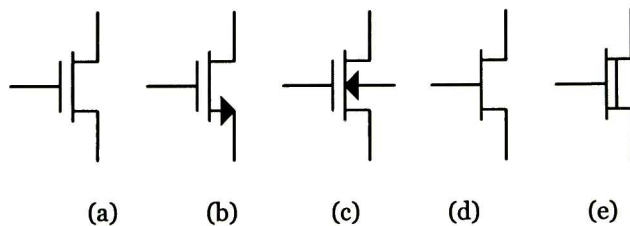


Fig. 2.5 Símbolos empleados para el NMOSFET.

La Fig. 2.5 muestra los símbolos que comúnmente se emplean para representar NMOSFET. El símbolo de la Fig. 2.5a se usa para un NMOSFET de enriquecimiento. El símbolo de la Fig. 2.5b es el de mayor uso para la representación del NMOSFET, y es el que se emplea en esta aportación. A menudo es necesaria la conexión del substrato a un potencial distinto al de la fuente, en estos casos, un símbolo de cuatro terminales es útil, ver Fig. 2.5c. Esta simbología es de frecuente uso en circuitos analógicos. Cuando se requiere simplicidad, el símbolo de la Fig. 2.5d es el de interés, en el cual el aislamiento de la compuerta no es mostrado explícitamente. Esta simple notación es más común para circuitos digitales en donde se representan una gran cantidad de transistores, además también es usado para la representación de transistores JFET. El último símbolo mostrado en la Fig. 2.5e, se refiere al NMOSFET de empobrecimiento. La línea extra se usa para indicar la presencia del canal. Los transistores de empobrecimiento ya no son de uso común para las tecnologías CMOS actuales.

Los símbolos complementarios a los mostrados en la Fig. 2.5, se exponen en la Fig. 2.6. La diferencia en los símbolos para ambos tipos

de transistores se observa en los círculos en la terminal de compuerta y en la dirección de las flechas⁵.

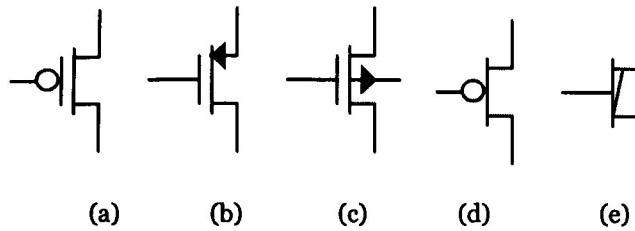


Fig. 2.6 Símbolos empleados para el PMOSFET.

La estructura mostrada en la Fig. 2.15, estructura *metal-óxido-semiconductor*, no es más que un conjunto de capas: de la base a la punta, está formada por una capa metálica conectada a tierra, silicio tipo-*p*, dióxido de silicio que es un excelente aislante, y una segunda capa metálica. Primeramente se asume un voltaje negativo, v , aplicado a la capa metálica superior; con esto se genera un campo eléctrico a través del óxido que atraerá carga positiva al a la región *R*. Para este caso la estructura se comportará como un capacitor, C , con carga negativa concentrada en la capa metálica superior y carga positiva concentrada en la región *R*, cuya magnitud obedece

$$C = \epsilon_{OX} \frac{A}{l} \quad (2.9)$$

donde ϵ_{OX} y l son la permitividad y grosor del óxido, respectivamente, A es el área del electrodo superior. La capa de silicio tipo-*p* entre la región *R* y la capa metálica inferior se comporta como un resistor.

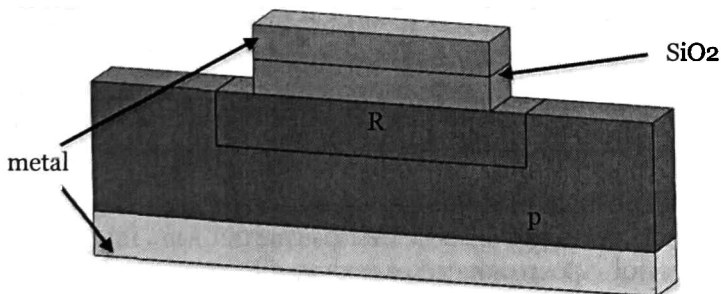


Fig. 2.7 Estructura metal-óxido-semiconductor.

⁵ Baker R. J. (2010). CMOS: Circuit Design, Layout, and Simulation, New Jersey: John Wiley & Sons, Inc.

Para el siguiente caso, el voltaje, v , aplicado a la capa metálica superior es positivo y de pequeña magnitud. Mientras v aumenta la carga en R también lo hará y la región de agotamiento formada se ensanchará. Como resultado, la carga que es atraída hacia la región R es negativa. Para pequeños valores de v la relación en (2.9) seguirá siendo válida. Mientras v va incrementando, la carga en R aumentará. Sin embargo, ahora los iones promedio se alejan de la superficie, ocasionando que el valor efectivo de l incremente y consecuentemente que C disminuya.

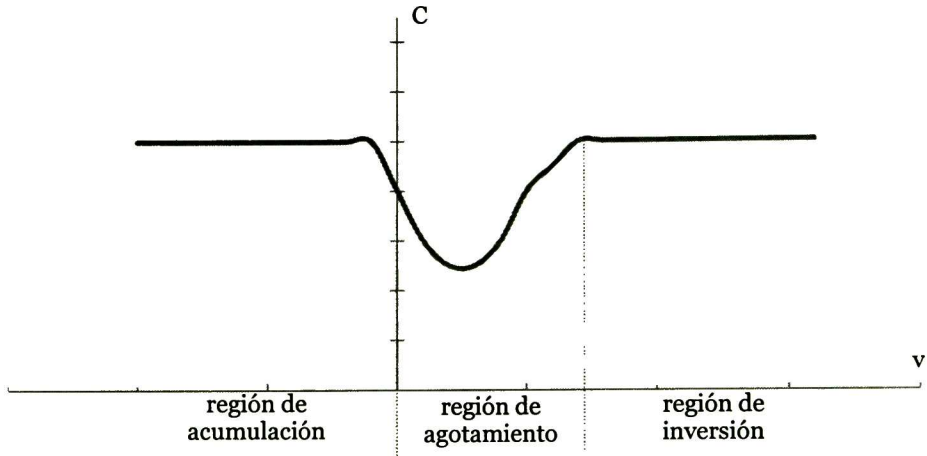


Fig. 2.8 Capacitancia vs voltaje en una estructura MOS.

Si v sigue incrementando, llegará un punto en donde se generarán huecos y electrones por efectos térmicos, si el campo positivo generado por v es lo suficientemente grande atraerá electrones térmicos a R que se posicionarán en la superficie. Ocurrido esto, el capacitor almacenará carga positiva en la capa metálica superior y carga negativa en la capa superficial. Lo anterior provoca que l recobre su valor original, el grosor del óxido, y por lo tanto el valor de C será el mismo que aquel con voltaje negativo, v . El comportamiento de C como función de v se muestra en la Fig. 2.15. Los electrones térmicos son generados en una tasa lenta, el voltaje v debe estar presente un cierto tiempo antes de que se forme la capa de inversión, entonces ésta no debería aparecer en el caso de que v fuese una señal de alta frecuencia.

La Fig. 2.9 muestra una estructura con dos regiones n^+ , *fuelle* y *drenaje*, dentro del material tipo- p , que es el cuerpo del semiconductor llamado *substrato*, todo en conjunto forma parte de lo que se conoce como transistor *MOS*.

Se tiene que el voltaje de fuente es cero, $V_S=0$, y el voltaje de drenaje mayor a cero, $V_D>0$. La compuerta está aislada eléctricamente del resto del dispositivo y esto impide que conduzca alguna corriente. La región n^+ , drenaje, junto con el substrato tipo- p que la rodea, forman una unión $p-n$.

En la relación en que V_G aumente, la región bajo la compuerta, R , primeramente formará una región de agotamiento y la corriente de drenaje, I_D permanecerá con valor de cero debido a que el área que rodea al drenaje sigue polarizada inversamente; posteriormente la región R se invertirá, se llenará de huecos, cuando V_G alcance un valor apropiado, conectando la fuente y el drenaje a través de los electrones móviles que forman la *capa de inversión* o *canal*. Mientras el voltaje en drenaje se mantenga positivo respecto al de la fuente, los electrones fluirán de fuente a drenaje observando una corriente positiva $I_D > 0$. El voltaje mínimo, necesario para formar el canal tiene el nombre de *voltaje de threshold*, V_{TH} .

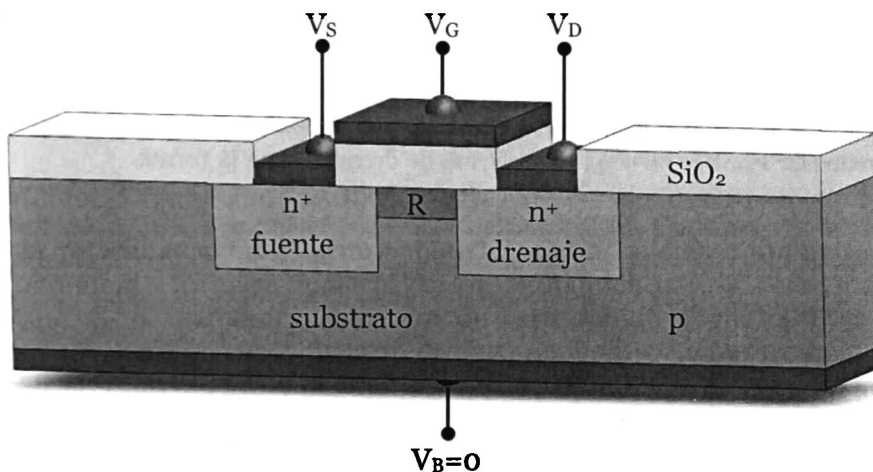


Fig. 2.9 Sección transversal de un NMOSFET⁶.

Los electrones que forman el canal, en su mayoría, no son creados por efectos térmicos en el sustrato, sino que son resultado del campo eléctrico debido a V_G fuera de la fuente. Como $V_D > 0$, la unión de drenaje-sustrato está polarizada inversamente y esto impide que algunos electrones puedan escapar.

Es claro que existe una diferencia de potencial entre fuente y drenaje, y que los electrones en el canal son atraídos al drenaje. Se sabe que existirá un movimiento térmico aleatorio por parte de los electrones además de un movimiento continuo o estable que hace que fluya una corriente, "*drift*". Para pequeños voltajes en drenaje, el canal tendrá un característica resistiva, por ello $I_D = V_D/R$, donde la resistencia del canal está dada por

⁶ Johns D. A. & Martin K. (1996). *Analog Integrated Circuit Design*, 1st ed. San Francisco: John Wiley & Sons, Inc.

$$R = \frac{L}{W\mu_n|Q_n|} \quad (2.10)$$

donde L y W son el largo y ancho del canal, respectivamente, μ_n es la movilidad de los electrones en el canal definida por la relación (velocidad de conducción del electrón) = (movilidad) \times (campo eléctrico), Q_n es la densidad de carga de los electrones en el canal con unidades de [C/cm²]. Es necesario un voltaje mínimo para mantener la región de agotamiento bajo el canal, V_{TH} , y un voltaje para mantener el canal, $V_{SAT} = V_G - V_{TH}$, se puede decir que

$$Q_n = -C_{OX} (V_G - V_{TH}) \quad (2.11)$$

donde C_{OX} es la capacitancia del óxido por unidad de área. Para valores pequeños de V_D , $V_D \ll V_G - V_{TH}$, la corriente de drenaje tiene la forma

$$I_D = \mu_n C_{OX} \frac{W}{L} (V_G - V_{TH}) V_D \quad (2.12)$$

El transistor se comportará como un resistor, $R = V_D / I_D$. Si se incrementa V_D , hasta un punto en donde pueda ser comparado con V_G , (2.12) dejará de ser precisa para dicho caso. El potencial del canal en el punto adyacente a la fuente conectado a tierra es cero, mientras que en el punto adyacente al drenaje tiene un potencial de valor V_D , con esto se asume que el potencial promedio es $V_D/2$. Por el mismo motivo, el voltaje promedio entre la compuerta y el canal es $(V_G - V_D/2)$, al sustituir esto en (2.12) se obtiene la ecuación de la región triodo de un MOSFET, dada por

$$I_D = \mu_n C_{ox} \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.13)$$

para $V_{GS} \geq V_{TH}$ y $V_{DS} \leq (V_{GS} - V_{TH})$.

De (2.13) se define el parámetro de transconductancia, KP , para el MOSFET, dado por

$$KP_n = \mu_n C_{ox} = \mu_n \cdot \frac{\epsilon_{ox}}{t_{ox}} \quad (2.14)$$

Se emplea regularmente el parámetro de transconductancia en el análisis de circuitos analógicos, debido a que es un parámetro tecnológico dado por el fabricante.

2.3.1 Región de Saturación/Activa

En la sección anterior, se establece que V_{DS} siempre es menor que $V_{GS} - V_{TH}$ lo que significa que en ningún punto a lo largo del canal la carga de inversión es cero. Cuando $V_{DS,SAT} = V_{GS} - V_{TH}$, la carga de inversión bajo la compuerta es cero. Este voltaje de drenaje-fuente es llamado $V_{DS,SAT}$, e indica cuándo el canal sufre el fenómeno "pinched-off" en la interface drenaje-canal. El incremento de V_{DS} más allá de $V_{DS,SAT}$ atrae la carga del canal a la terminal de drenaje agotando la carga adyacente a la terminal de drenaje. Además este incremento no provoca un incremento en la corriente de drenaje, sino su saturación –corriente constante-.

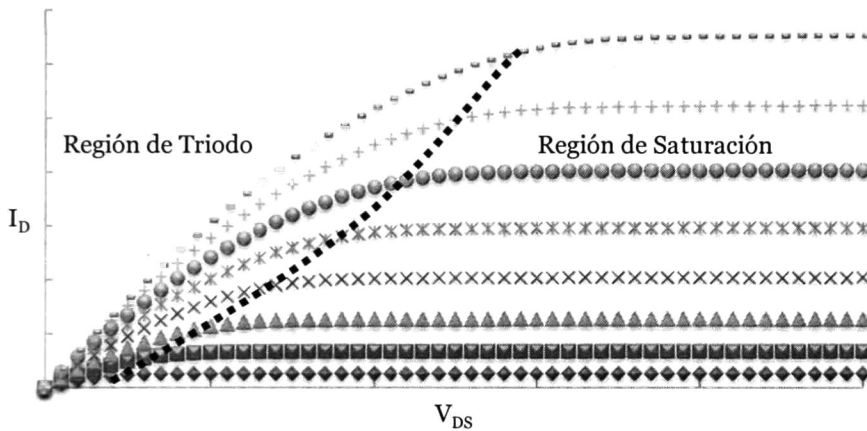


Fig. 2.10 Curvas características, I_D vs V_{DS} a distintos V_G , y regiones de operación.

Cuando el canal de un MOSFET sufre el fenómeno *pinched-off*, esto es, $V_{DS} \geq (V_{GS} - V_{TH})$, y $V_{GS} \geq V_{TH}$, éste se encuentra operando en la región de saturación. Sustituyendo $V_{DS,SAT} = V_{GS} - V_{TH}$ en (2.13) se obtiene

$$I_D = \frac{K P_n}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2 \quad (2.15)$$

para $V_{DS} \geq (V_{GS} - V_{TH})$ y $V_{GS} \geq V_{TH}$.

2.3.2 Efecto Cuerpo

Las ecuaciones de la sección anterior, se basan en asumir que el voltaje de fuente es igual al voltaje de sustrato. Sin embargo, los voltajes de fuente y sustrato pueden ser diferentes. En estas circunstancias, existe un efecto de segundo orden, que se modela como un incremento en el voltaje de threshold, V_{TH} , mientras se incrementa el voltaje de fuente sustrato. Este efecto es conocido como *efecto cuerpo*.

2.4 Modelo de Pequeña Señal

Los modelos de pequeña-señal se emplean para el cálculo de ganancias AC. Se ajusta V_{GS} a un valor que corresponde a una corriente de drenaje, I_D . En este punto de polarización, se aplica una pequeña señal AC cumpliendo que $|v_{gs}| \ll V_{GS}$ e $|i_d| \ll I_D$. Debido a que las señales son pequeñas, el cambio en la corriente de drenaje, i_d , con el voltaje de compuerta, v_{gs} , es lineal. Si las amplitudes de las señales AC fueran comparables con el punto de operación DC, se presentarían no-idealidades.

En el análisis en AC, las fuentes de voltaje DC se tratan como un corto circuito (y las fuentes de corriente como circuito abierto). El análisis de pequeña-señal consiste de los pasos siguientes:

- Calcular el punto de operación del circuito usando las ecuaciones de la ley cuadrática –en el caso de una operación en la región activa–.
- Usando los valores DC del punto de operación, se calculan los parámetros de pequeña-señal. Los parámetros AC de pequeña señal siempre están en función del punto de operación.
- Reemplace los elementos activos con sus modelos de pequeña señal. Al mismo tiempo, se remueven las fuentes de DC.

Un análisis en AC no incluye ninguna corriente ni voltaje de DC.

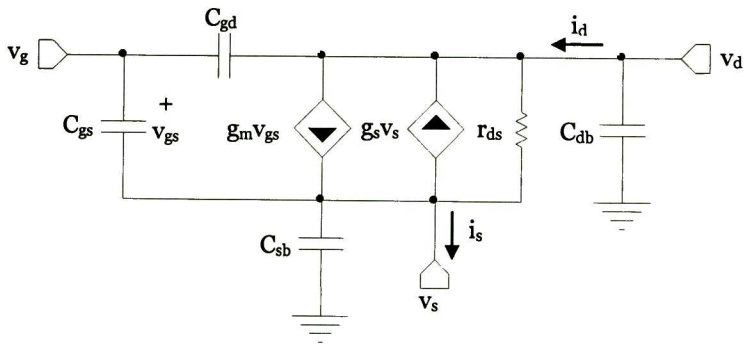


Fig. 2.11 Modelo de pequeña señal de MOSFETs.

La Fig. 2.11 muestra el modelo de pequeña señal de mayor empleo para un MOSFET. Primeramente se consideran los parámetros DC, en donde todos los capacitores son ignorados. Esto lleva al modelo de pequeña señal de baja frecuencia, ver Fig. 2.12.

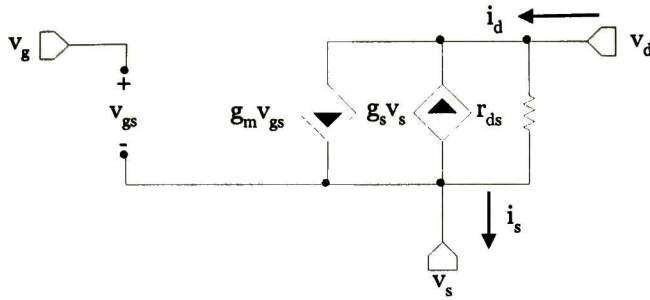


Fig. 2.12 Modelo de pequeña señal para bajas frecuencias de un MOSFET operando en saturación.

La fuente de corriente controlada por voltaje, $g_m v_{gs}$, es el componente más importante del modelo, con la transconductancia del transistor, g_m , definida como

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (2.16)$$

donde el modelo de I_D a emplear depende de la región de operación de interés. Para la región de saturación –empleando (2.15)- obtenemos

$$g_m = KP_n \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH}) \quad (2.17)$$

donde la transconductancia del MOSFET es directamente proporcional a $V_{DS,SAT}$. Para una expresión de la transconductancia en términos de I_D , se despeja $V_{DS,SAT}$ de (2.15) y se sustituye en (2.17) para así obtener

$$g_m = \sqrt{2KP_n \cdot \frac{W}{L} \cdot I_D} \quad (2.18)$$

La segunda fuente de corriente controlada por voltaje mostrada en la Fig. 2.12, mostrada como $g_s v_s$, modela el efecto cuerpo en la corriente de drenaje de pequeña señal, i_d . Cuando la fuente está conectada a tierra analógica, o cuando su voltaje no cambia considerablemente, entonces esta fuente de corriente puede ser ignorada⁷.

Un modelo alternativo de baja frecuencia, es el mostrado en la Fig. 2.13, conocido como modelo *T*. El empleo del modelo *T* puede resultar en

⁷ Valenza M., Hoffmann A. & Sodini D. (2004). Overview of the Impact of Downscaling Technology on 1/f Noise in p-MOSFETs: Noise in Devices and Circuits, IEE Proceedings on Circuits Devices & Systems., 151(2): pp. 102-110

ecuaciones más simples, pero su empleo es más frecuente por diseñadores experimentados para análisis rápidos.

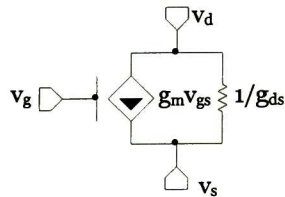


Fig. 2.13 Modelo *T* de pequeña señal para bajas frecuencias en MOSFETs (no modela el efecto cuerpo).

2.5 Trampas en MOSFETs

Las trampas en la interface de un semiconductor y un aislante resulta ser la no-idealidad más importante en estructuras MIS, del inglés “*metal-insulator-semiconductor*”, esto debido a su amplio alcance y efectos que degradan la operación de dichas estructuras. Una manifestación de una concentración de trampas en la interface que no pueden ser despreciadas dentro de un MOS es la dispersión de las características *C-V*.

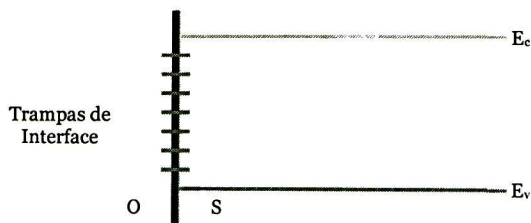


Fig. 2.14 Modelo eléctrico de las trampas de interface como estados de energía permitidos localizados en la interface óxido-semiconductor.

Las trampas de interface, conocidas también como estados de superficie o estados de interface, son estados permitidos de energía en la que los electrones se sitúan en la vecindad de la superficie del material. Todos los centros del pozo, donadores, aceptores y los centros R-G, agregan niveles de energía a la banda prohibida en la interface *Si-SiO₂*. Las trampas pueden de igual manera introducir niveles en energías mayores a *E_c* o menores a *E_v*; sin embargo, debido a la elevada densidad de los estados de la banda de conducción o de la banda de valencia estos niveles pueden ser ignorados.

Cuando un dispositivo MOS con substrato tipo-*n* es polarizado en inversión, ver Fig. 2.15a, el nivel de Fermi en la superficie se encuentra cercano a *E_v*. Todas las trampas de interface se encontrarán vacías

porque los niveles energéticos sobre E_F están vacíos y los niveles energéticos debajo de E_F están llenos. Si los estados fueran del tipo donador la carga neta por unidad de área asociada con las trampas de interface, Q_{IT} , será positiva.

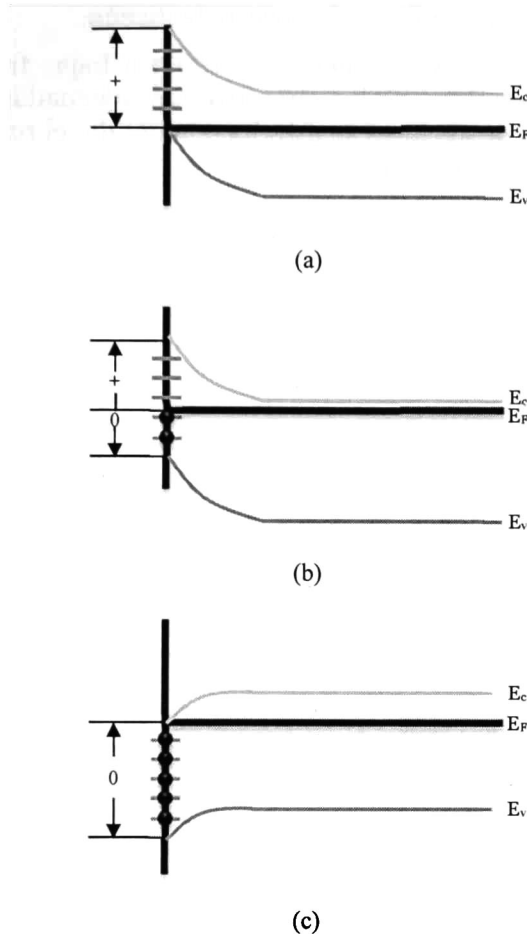


Fig. 2.15 Niveles de interface bajo condiciones de (a) inversión, (b) agotamiento y (c) acumulación en un dispositivo tipo- n . Los estados de carga donadores se muestran como +(positivos) o 0(neutros).

Si cambian las condiciones de la polarización en compuerta de tal forma que se forme una capa de agotamiento debajo de esta, ver Fig. 2.15b, el nivel de Fermi se establece en algún lugar cercano del punto medio de la banda prohibida en la superficie. Los niveles de interface se mantienen fijos en energía, entonces la condición de polarización actual colocaría los electrones dentro de niveles de interface inferiores y Q_{IT} muestra la carga negativa añadida: $Q_{IT}(\text{agotamiento}) < Q_{IT}(\text{inversión})$.

En acumulación, ver Fig. 2.15c, los electrones llenan la mayoría de las trampas de interface y Q_{IT} se aproxima a su mínimo valor. El punto se centra entonces en que la carga de descarga de las trampas de interface está en función de las condiciones de polarización.

2.6 Conclusiones

Es necesario tener una idea general del funcionamiento del MOSFET. Con esta idea general el diseñador puede analizar circuitos analógicos de manera aproximada para agilizar el proceso de diseño.

Cuando se conoce el comportamiento de ruido a bajas frecuencias se puede prevenir el deterioro de los circuitos con adecuadas técnicas de diseño. En Capítulos posteriores se estudia con detalle el ruido $1/f$, tema de este trabajo de investigación.

Capítulo 3

Ruido $1/f$ en MOSFETs

En este capítulo se describe la presencia de ruido en MOSFETs a partir de una polarización puramente de DC. De la PSD de ruido se establece la importancia del estudio del ruido $1/f$ con impacto en aplicaciones de baja frecuencia. Se hace mención de las dos teorías con mayor presencia, que intentan describir el origen físico del ruido $1/f$, la teoría de la fluctuación del número de portadores –teoría de McWhorter- y la teoría de la fluctuación de la movilidad –teoría de Hooge-. Se desarrollan, a partir de la teoría del MOSFET de canal largo y de la teoría de McWhorter, los modelos que describen el comportamiento del ruido $1/f$. Hecho lo anterior se pueden obtener las primeras consideraciones de diseño para la reducción del ruido $1/f$ a partir de los parámetros involucrados en los modelos y de los cuales el diseñador tiene control.

3.1 Introducción

EL continuo escalamiento de la tecnología CMOS ha incrementado el rendimiento y el nivel de integración de los circuitos integrados (CIs) considerablemente, sin embargo se ha observado un incremento en la generación de ruido $1/f$ con la reducción en el área del dispositivo. El MOSFET como todo dispositivo electrónico, no queda exento de la presencia de ruido⁸.

⁸ Yael Nemirovsky *et al*, *1/f Noise in Advanced CMOS Transistors*, IEEE Instrumentation & Measurement Magazine, p. 2, January 2011.

Para explicar con toda claridad el ruido en MOSFETs, partamos de la teoría básica. Las curvas I-V mostradas en la Fig. 3.1b, obtenidas a partir del circuito de la Fig. 3.1a, se generan exclusivamente de una polarización en DC.

¿Por qué partir de aquí? Por la sencilla razón que es necesario un punto de operación para montar una pequeña señal –señal analógica- y la contribución del ruido generado a partir de dicho punto de polarización en DC afectará directamente sobre las frecuencias de operación de las señales analógicas de interés.

Intrínsecamente, las corrientes de drenaje del MOSFET presentan cierto nivel de ruido, i_n –cuya magnitud es dependiente de las condiciones de operación y de la tecnología del dispositivo-.

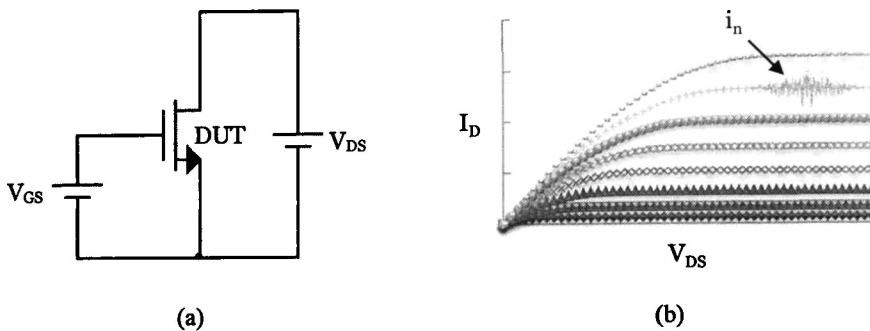


Fig. 3.1 (a) Circuito de polarización en DC para obtener (b) las curvas características I-V en NMOSFETs.

La densidad espectral de potencia de ruido (PSD), que no es más que una distribución de las potencias del ruido en frecuencia- en MOSFETs, se muestra en la Fig. 3.2. Como se puede apreciar, a bajas frecuencias el ruido tiene un comportamiento $1/f$, dependiente en forma inversa de la frecuencia, hasta llegar a una frecuencia de transición en donde se vuelve constante, debido al ruido térmico que se caracteriza por tener un espectro plano⁹.

Se entiende con lo anterior, que el modelo analítico de la PSD de ruido de la corriente de drenaje en los MOSFETs, S_{I_D} , se forma de dos componentes

$$S_{I_D}(f) = S_{1/f}(f) + S_T(f) \quad (3.1)$$

donde $S_{1/f}$ y S_T corresponden a las aportaciones del ruido $1/f$ y ruido térmico, respectivamente. El ruido térmico en la actualidad, es un tópico

⁹ Celik-Butler Z. & Petr V. (1999). Channel length scaling of $1/f$ noise in 0.18 mm technology MDD n-MOSFETs, *Solid-State Electronics*, 43: pp. 1695-1701

ya totalmente comprendido. Es por esto que solamente el enfoque es en el ruido $1/f$, tema que sigue causando polémica a causa de su incierto origen físico, además de que ha llamado la atención de los diseñadores debido a aplicaciones de baja frecuencia principalmente en el área biomédica.

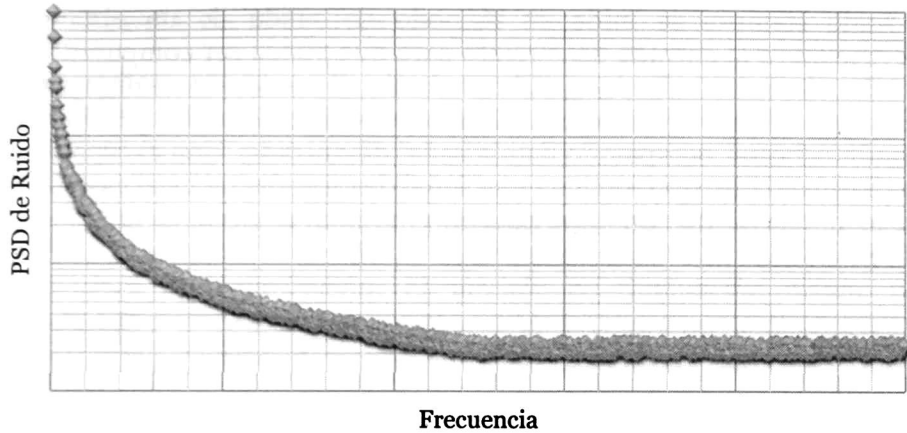


Fig. 3.2 Distribución espectral de las potencias del ruido en MOSFETs.

En la literatura suele encontrarse que el ruido $1/f$ también se denomina ruido Flicker porque la corriente eléctrica en el medio tiene fluctuaciones en forma de parpadeos, ruido de baja frecuencia porque es dominante a bajas frecuencias, o ruido rosa en analogía al color que presenta el rango inferior del espectro visible¹⁰. En este trabajo de investigación, se usará el término $1/f$.

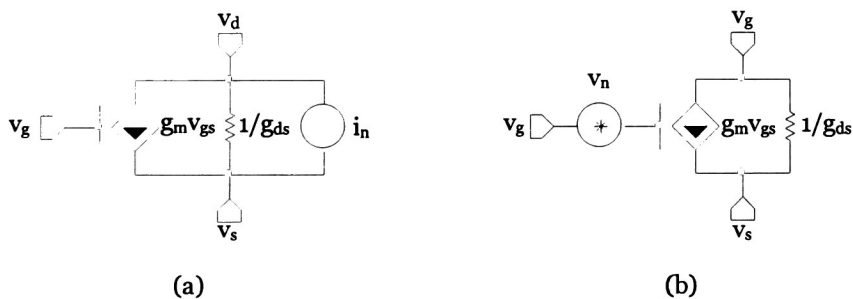


Fig. 3.3 Modelo eléctrico equivalente para el NMOSFET, (a) como una fuente de corriente, y como (b) una fuente equivalente en voltaje referida a la entrada.

La Fig. 3.3 muestra cómo se representa el ruido en los MOSFETs. El ruido generado por un transistor puede representarse como una fuente

¹⁰ Baker R. J. (2010). CMOS: Circuit Design, Layout, and Simulation, New Jersey: John Wiley & Sons, Inc.

equivalente, i_n , en corriente conectada entre la terminal de drenaje y fuente del transistor, ver Fig. 3.3a. Alternativamente una fuente equivalente en voltaje, v_n , puede conectarse en serie con la terminal de compuerta del dispositivo, ver Fig. 3.3b. Esta última representación es de utilidad porque permite comparar la magnitud del ruido generado con la magnitud de las señales de interés¹¹.

El ruido siempre se mide en el nodo de salida de un circuito y referenciado a la entrada del circuito para que pueda ser comparado con la señal de entrada, $i_d = g_m v_{gs}$. Obtener sólo el ruido a la salida no da indicación del rendimiento de ruido del circuito. El ruido referido a la entrada debe ser comparado con la señal de entrada. Una excepción de esto es un circuito que no tiene una señal de entrada, tal es el caso de un espejo de corriente. En este tipo de circuitos se tiene el cuidado de reducir el ruido en el nodo de salida.

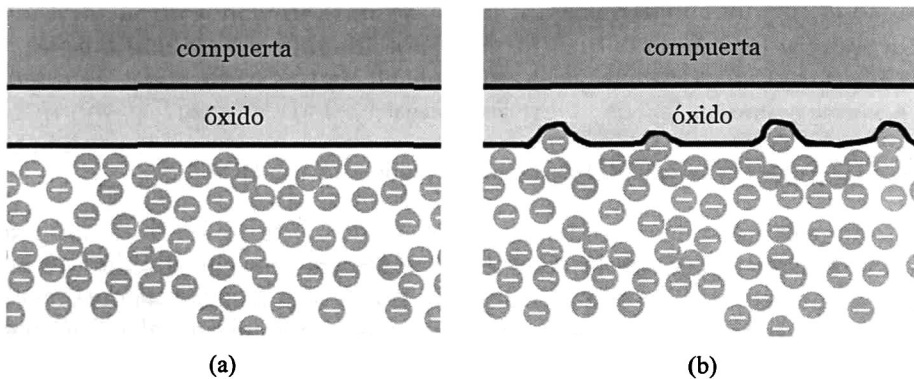


Fig. 3.4 Representación gráfica del flujo de la corriente de drenaje, I_D , tanto (a) ideal como (b) real, en MOSFETS.

3.2 Origen físico del ruido $1/f$

La Fig. 3.4a ilustra el canal ideal de un NMOSFET, mientras que la Fig. 3.4b ilustra el canal real de un NMOSFET. En el caso real, se puede observar la presencia de trampas en la interfaz del canal con el óxido, representadas de tal manera solo para fines didácticos, ya que existen distintos tipos de trampas de acuerdo a su naturaleza. Las trampas capturan y liberan portadores presentes en el canal, causando modulaciones discretas en la conductancia, que se presentan en forma de *señales telegráficas aleatorias* (RTS Random Telegraph Signals)¹². La

¹¹ Martin von Haartman and Mikael Östling, *Low-Frequency Noise in Advanced MOS Devices*, Royal Institute of Technology, Ed. Springer, Sweden, 2007.

¹² Ralls et al, *Discrete resistance switching in submicrometer silicon inversion layers: individual interface traps and low-frequency (1/f) noise*, Phys. Rev. Lett., 1984, 52, p. 228-231.

superposición de las señales telegráficas aleatorias, sumado a un elevado número de trampas, resultan en ruido $1/f$. Según esta descripción, en MOSFETs se concentran un gran número de portadores de carga y trampas; por lo cual la interacción entre trampas vecinas *propicia* la dispersión no uniforme de los portadores de carga que constituyen la corriente, fenómeno también conocido como *dispersión*¹³.

3.2.1 Teoría de McWhorter, ΔN

La fluctuación aleatoria en el número de portadores, fue un modelo propuesto primeramente por McWhorter para MOSFETs de canal largo^{14,15}. Según esta teoría en el canal ocurre un intercambio de portadores con las trampas en el óxido, y esto ocurre mediante distintos tipos de transición, que incluyen procesos activados térmicamente o por tuneleo, lo anterior depende de la naturaleza de la trampa y de las condiciones de polarización. El modelo de fluctuación asume una dependencia exponencial con la tasa de captura-liberación sobre la profundidad de las trampas distribuidas uniformemente en el óxido^{16,17}. Con lo anterior se ha propuesto que la densidad espectral de potencia, $S_{N_{ot}}(f)$ debida a las fluctuaciones en el número de trampas ocupadas por unidad de área, N_{ot} , se expresa como^{18,19}

$$S_{N_{ot}}(f) = N_{ot}WL \cdot \frac{1}{f} \quad (3.2)$$

donde W y L son, respectivamente, el ancho y largo del canal, y f la frecuencia de interés.

¹³ Mueller *et al*, *Noise in Physical Systems and 1/f Fluctuations*, ed. C. Claeys and E. Simoen. World Scientific, 1997, p. 195.

¹⁴ McWhorter, "Semiconductor Surface Physics," Ed. Robert Hildreth Kingston, Pub. University of Pennsylvania Press, 1957, p. 207.

¹⁵ Zeynep Celik-Butler *et al*, *Channel length scaling of 1/f noise in 0.18 mm technology MDD n-MOSFETs*, *Solid-State Electronics*, vol. 43, 1999, p. 1695.

¹⁶ Y. Nemirovsky *et al*, *A new approach to carrier trapping-detrapping 1/f noise*, in *Noise in Physical Systems and 1/f Fluctuations*, ed. C. Claeys and E. Simoen. World Scientific, 1997, p. 85.

¹⁷ Y. Nemirovsky *et al*, *A revised model for carrier trapping-detrapping 1/f noise*, *Solid-St. Electron.*, 1998.

¹⁸ Yael Nemirovsky *et al*, 1997, *op. cit*, p. 3.

¹⁹ C. Jakobson *et al*, *1/f Noise in CMOS Transistors for Analog Applications from Subthreshold to Saturation*, *Solid State Electronics*, vol. 42, no. 10, p. 1807, 1998.

3.2.2 Teoría de Hooge, $\Delta\mu$

Las trampas en el óxido, generan ruido al modular el número de portadores, como McWhorter lo propuso. Sin embargo Hooge estableció una consecuencia de lo anterior, señalando que la movilidad de portadores en el canal presenta variaciones, que son consecuencia de las trampas ocupadas en el óxido²⁰. Es por ello que esta teoría establece que el ruido $1/f$ es resultado de la fluctuación de la movilidad en el sustrato, con lo cual la relación -empírica de Hooge- para cuantificar la PSD de ruido equivalente en corriente, S_I , en una muestra homogénea está dada por^{21,22}

$$S_I = \frac{\alpha I^2}{N} \cdot \frac{1}{f} \quad (3.3)$$

donde I es la corriente promedio en la muestra, N el número total de portadores en la muestra y α el parámetro empírico de Hooge²³ con un valor aproximado de 2×10^{-3} . En la práctica, la fluctuación de la movilidad tiene mayor impacto en dispositivos nano-métricos, por ello la teoría de Hooge no es incluida para modelar el ruido $1/f$ en MOSFETs de canal largo^{24,25}.

3.3 Modelado del Ruido $1/f$ en MOSFETs

Con ayuda de la ley de Ohm es sencillo obtener la PSD de un dispositivo electrónico, es decir, si $dI_d = g_m dV_g$ entonces $S_{I_d} = g_m^2 S_{V_g}$. Nótese que con los postulados de la teoría se determina la PSD de ruido asociada a las fluctuaciones en el número de trampas ocupadas, con lo cual sólo resta determinar un modelo –basado en la teoría de operación del MOSFET de canal largo– que defina la relación entre el número de trampas del óxido, el número de portadores en el canal, las dimensiones geométricas

²⁰ Yael Nemirovsky *et al*, 1997, op. cit, p. 2.

²¹ C. Claeys *et al*, *Impact of the gate-electrode/dielectric interface on the low-frequency noise of thin gate oxide n-channel metal-oxide-semiconductor field-effect transistors*, Solid-State Electronics, vol. 51, 2007, p. 628.

²² Jelena Citakovic, Lars J. Stenberg and Pietro Andreani, *1/f Noise Characterization in CMOS Transistors in 0.13 μm Technology*, IEEE, 2006, p. 81.

²³ Kwok K. Hung *et al*, *A Unified Model for the Flicker Noise in MetalOxide-Semiconductor Field-Effect Transistors*, IEEE Transactions on Electron Devices, vol. 37, no. 3, March 1990, p. 654.

²⁴ P. Masson *et al*, *Influence of quadratic mobility degradation factor on low frequency noise in MOS transistors*, Electronics Letters, October 1998, vol. 34, no. 20, p. 1977.

²⁵ C. Jakobson *et al*, op. cit, p. 1808.

del transistor y los parámetros eléctricos del punto de operación (I_d , V_d , V_g). Las densidades de carga eléctrica en el canal de inversión y de las trampas en el óxido están dadas, respectivamente, por

$$Q_{inv} \left[\frac{C}{\text{cm}^2} \right] = \frac{qN_{inv}}{WL} \quad (3.4)$$

y

$$Q_{ot} \left[\frac{C}{\text{cm}^2} \right] = \frac{qN_{ot}}{WL} \quad (3.5)$$

donde N_{inv} es el número total de portadores en el canal, N_{ot} representa el número total de trampas ocupadas y $q=1.602 \times 10^{-19} [C]$ es la carga electrónica^{26,27,28}. Luego, de acuerdo a la teoría del MOSFET

$$\delta Q_{inv} = - \left[\frac{C_{inv}}{C_{ox} + C_d + C_{inv}} \right] \delta Q_{ot} \quad (3.6)$$

donde C_d es la capacitancia de agotamiento, C_{ox} es la capacitancia del óxido, y C_{inv} es la capacitancia de la región de inversión; todas expresadas en capacitancia por unidad de área. Entonces, para un análisis en pequeña señal se tiene que

$$S_{Q_{inv}}(f) = \left[\frac{C_{inv}}{C_{ox} + C_d + C_{inv}} \right]^2 S_{Q_{ot}}(f) \quad (3.7)$$

donde

$$S_{Q_{ot}}(f) = \left(\frac{q}{WL} \right)^2 S_{N_{ot}}(f) \quad (3.8)$$

y $S_{N_{ot}}(f)$ está dada por (3.2). Sustituyendo ambas expresiones en (3.7) se tiene que

²⁶ C. Jakobson *et al*, op. cit, p. 1807.

²⁷ I. Brouk *et al*, *Noise Characterization of the 0.35 μm CMOS Analog Process Implemented in Regular and SOI Wafers*, 0-7803-8715-5/04 ©2004 IEEE, p. 171.

²⁸ C. Jakobson *et al*, op. cit, p. 1809.

$$S_{Q_{inv}}(f) = \left[\frac{C_{inv}}{C_{ox} + C_d + C_{inv}} \right]^2 \frac{q^2 N_{ot}}{WL} \cdot \frac{1}{f} \quad (3.9)$$

Obsérvese que este resultado muestra qué relación guarda el número de portadores en el canal –a través del número de trampas ocupadas– y la dimensión física del transistor, con lo cual lo que sigue es incorporar la dependencia del punto de polarización. Entonces, para simplificar (3.9) debe tenerse presente que en aplicaciones analógicas el transistor opera en régimen de fuerte inversión, y según la teoría del MOSFET $C_{inv} \gg C_{ox} + C_d$, y entonces la PSD de la carga en la región de inversión se simplifica

$$S_{Q_{inv}}(f) = \frac{q^2 N_{ot}}{WL} \cdot \frac{1}{f} \quad (3.10)$$

En aplicaciones analógicas, el MOSFET suele polarizarse en su región de saturación y el voltaje de drenaje V_D que define el límite entre la región lineal y de saturación se denomina voltaje de saturación, V_{DSAT} . En la práctica, para asegurar que el MOSFET opera en saturación debe satisfacerse que $V_D \gg V_{DSAT} \approx V_G - V_{TH}$ ²⁹. Esta condición de polarización presenta una no idealidad y es el denominado fenómeno de *pinch-off*, lo que significa que el canal de conducción no es uniforme y que la carga eléctrica en él es función de la distancia, “ y ”, a lo largo del canal:

$$Q_{inv}(y) = C_{ox} [V_G - V_{TH} - V(y)] \quad (3.11)$$

donde $V(y)$ varía de 0 en $y=0$ a $V_{DSAT} \approx V_G - V_{TH}$ en $y=L$ (que es donde ocurre el fenómeno de *pinch-off*). La ecuación (3.11) es importante porque es el modelo a través del cual se relaciona la densidad de carga tanto con el voltaje aplicado en la terminal de compuerta, V_G , como con el voltaje de encendido, V_{TH} . Entonces, la carga promedio en la región de inversión se obtiene de³⁰

$$Q_{inv} = \frac{1}{L} \int_0^L Q_{inv}(y) dy = \frac{C_{ox}}{L} \int_0^{V_G - V_{TH}} [V_G - V_{TH} - V] \frac{dV}{dy} \quad (3.12)$$

²⁹ D. A. Johns & K. Martin (1996). *Analog Integrated Circuit Design*, 1st ed. San Francisco: John Wiley & Sons, Inc.

³⁰ Valenza M., Hoffmann A. & Sodini D. (2004). Overview of the Impact of Downscaling Technology on 1/f Noise in p-MOSFETs: Noise in Devices and Circuits, IEE Proceedings on Circuits Devices & Systems., 151(2): pp. 102-110

La integral puede resolverse al multiplicar por Q_{inv}/Q_{inv} y considerando que $Q_{inv}(dV/dy)=I_D/W\mu$. En saturación la corriente, I_D , es constante a lo largo de todo el canal –mencionado en el Capítulo 2–:

$$I_D = \frac{C_{ox}\mu W}{2L}(V_G - V_{TH})^2 \quad (3.13)$$

donde μ es la movilidad de portadores (a saber tipo N o tipo P). Entonces se obtiene que

$$Q_{inv} = \frac{2}{3}C_{ox}(V_G - V_{TH}) \quad (3.14)$$

En consecuencia

$$S_{Q_{inv}}(f) = \frac{4}{9}C_{ox}^2 S_{V_G}(f) \quad (3.15)$$

Para relacionar $S_{Q_{inv}}(f)$ con N_{ot} , la relación de capacitancias en (3.9) debe promediarse a lo largo del canal. En $y=0$, cerca de la terminal de fuente, la fuerte inversión prevalece, con lo que $C_{inv} \gg C_{ox} + C_d$, adquiriendo la relación de capacitores un valor equivalente a 1. En el punto de *pinch-off*, $C_{inv}=0$ y la relación capacitiva tiende a cero. Por lo tanto, $S_{Q_{inv}}(f)$ está relacionada a N_{ot} por un factor aproximado de $1/2$ ³¹

$$S_{Q_{inv}}(f) = \frac{1}{2} \frac{q^2 N_{ot}}{WL} \cdot \frac{1}{f} \quad (3.16)$$

Nótese que en (3.10) se asume un canal de inversión uniforme, mientras que en (3.16) se deduce a través de incorporar el fenómeno de *pinch-off*. Este último resultado, si bien es una aproximación simple, permitiría proponer que, en un transistor en saturación, se satisface que $C_{inv} \approx C_{ox} + C_d$. Luego, al igualar (3.10) con (3.15) se obtiene que^{32,33,34}

$$S_{V_G}(f) = \frac{9}{8} \frac{q^2 N_{ot}}{C_{ox}^2 WL} \cdot \frac{1}{f} \quad (3.17)$$

³¹ C. Jakobson *et al*, op. cit, p. 1809.

³² Yael Nemirovsky *et al*, op. cit, p. 5.

³³ Motchenbacher, C. D. & Connelly J. A. (1993). *Low Noise Electronic System Design*, New York: John Wiley & Sons, Inc.

³⁴ C. Jakobson *et al*, op. cit, p. 1808.

Aproximando se puede establecer que

$$S_{V_G}(f) = \frac{q^2 N_{ox}}{C_{ox}^2 WL} \cdot \frac{1}{f^\beta} \quad (3.18)$$

Es práctica común el empleo de un parámetro de ajuste, $0.8 < \beta < 1.2$, para que el modelo se acerque la más fielmente a la tecnología de interés.

Este resultado indica, por un lado, que la PSD del voltaje V_G –que garantiza que el transistor opere en saturación– incorpora la dependencia con la densidad de trampas y, por otro lado, representa la potencia espectral del ruido referido a la entrada, este resultado es importante porque permite incorporarle como una fuente equivalente de voltaje referida a la entrada para compararla con las señales de interés. Puede demostrarse que $[S_{V_G}] = V^2/\text{Hz}$, y con ayuda de la ley de Ohm obtener la PSD del ruido equivalente en corriente, $S_{I_D}(f) = g_m^2 S_{V_G}(f)$. En saturación la transconductancia tiene la forma

$$g_m = \sqrt{\frac{2C_{ox}\mu W}{L}} I_D \quad (3.19)$$

resultando la PSD de ruido de I_D como

$$S_{I_D}(f) = \frac{2q^2 \mu N_{ox} I_D}{C_{ox} L^2} \cdot \frac{1}{f^\beta} \quad (3.20)$$

Obsérvese que este resultado justificaría por qué, para minimizar el ruido generado por un transistor, se recomienda incrementar el largo del canal de conducción³⁵; este resultado también muestra por qué un MOSFET tipo P genera menor cantidad de ruido que su contraparte tipo N; recuérdese que $\mu_p < \mu_n$ ³⁶.

La PSD de ruido equivalente en corriente, S_{I_D} , se puede representar en función de g_m . Despejando I_D de (3.19) y sustituyéndola en (3.20), se obtiene^{37,38,39}

³⁵ C. Jakobson, I. Bloom & Y. Nemirovsky, 1/f noise in CMOS Transistors for Analog Applications, 1996, Electrical and Electronics Engineers in Haifa: pp. 557-560

³⁶ Y. Nemirovsky, D. Corcos, I. Brouk, A. Nemirovsky & S. Chaudhry, 1/f Noise in Advanced CMOS Transistors, 2011, *IEEE Instrumentation & Measurement Magazine*, 14(1): pp. 2-10

³⁷ Yael Nemirovsky *et al*, op. cit, p. 5.

³⁸ C. Jakobson *et al*, op. cit, p. 1810.

$$S_{I_D}(f) = \frac{q^2 N_{ox} g_m^2}{C_{ox}^2 WL} \cdot \frac{1}{f^\beta} \quad (3.21)$$

Los modelos analíticos muestran una forma general del comportamiento del ruido $1/f$ en MOSFETs de canal largo; sin embargo es necesaria la caracterización de transistores para poder validar y ajustar dichos modelos a las necesidades del diseñador.

3.4 Conclusiones

El punto primordial para la reducción del ruido $1/f$ en circuitos analógicos es diseñar MOSFETs de canal largo, notándose esta característica en la dependencia L^{-2} de la PSD. Es de igual importancia limitar los voltajes en compuerta y drenaje a valores donde la reducción de la movilidad de canal sea muy pequeña. Cuando se comparen distintas tecnologías de fabricación debe tenerse cuidado en medir sobre las mismas condiciones de polarización.

La presencia de niveles mayores de ruido presentes en NMOS se atribuye a su menor nivel en la barrera de tuneo (3.1 eV) para electrones, mientras que (4.8 eV) para huecos así como la diferencia de la masa efectiva entre estos dos portadores. Lo anterior establece que es más probable que las trampas en el óxido capturen portadores mayoritarios negativos, que positivos.

Es importante entender, que el ruido $1/f$ sólo se hace presente cuando hay un flujo de corriente de DC.

³⁹ I. Brouk *et al*, *Noise Characterization of the 0.35 μm CMOS Analog Process Implemented in Regular and SOI Wafers*, 2004, p. 171.

Capítulo 4

Ruido Eléctrico

En este Capítulo se describe la importancia de la comprensión del ruido para desarrollar una representación de éste en circuitos analógicos. Se parte de señales periódicas para mayor facilidad. Se modela la potencia y energía consumida siguiendo la ley de Ohm. Se define la densidad espectral de potencia, parámetro fundamental para la representación gráfica de las componentes del ruido. La última explica las fuentes de ruido en circuitos, tanto en el dominio del tiempo como en el dominio de la frecuencia. De igual forma encontrará la definición de la relación señal a ruido, y con ésta se pueden comparar analíticamente las magnitudes de las señales deseadas con las del ruido. Dentro del análisis de circuitos, la suma de fuentes de ruido toma relevancia cuando es necesario calcular el impacto total de dichas fuentes. Por último, se hace mención del ruido referido a la entrada, herramienta que se emplea para comparar a nivel circuito las señales de entrada de interés con las señales de ruido.

4.1 Introducción

ES fundamental comprender qué es el ruido y cómo representarle a nivel circuito concentrado, pero no solo para analizar su impacto en el desempeño de los circuitos electrónicos sino para minimizar su magnitud. Hoy día el ruido se representa como una fuente –concentrada– generadora de ruido, y del análisis circuital se han desarrollado adecuadas técnicas de diseño, fundamentalmente para diseñar circuitos analógicos. La comprensión del ruido electrónico ha conducido a proponer dos maneras distintas de representar su efecto en el desempeño de circuitos y componentes electrónicos, a saber con un

equivalente *rms* en voltaje y también en corriente; esas señales – indeseadas- se *suman* a las señales de interés, y es esa representación la que permite considerarlas como una variable más del análisis.

El ruido, en el más amplio de los sentidos, puede ser definido como una *perturbación indeseada* que “obscorece” o interfiere con una señal deseada. Se usa la palabra “ruido” para representar las fluctuaciones físicas que resultan en la operación de los dispositivos de todo sistema electrónico. El ruido, sin lugar a duda, es importante. El límite en la resolución, por ejemplo, de un sensor se determina por el nivel de ruido; el rango dinámico de un sistema se determina también por la relación que hay entre la señal y el ruido; el nivel de señal más alto que puede ser procesado está limitado por las características del circuito, pero el nivel más bajo lo establece el nivel del ruido generado⁴⁰. Cuando se estudia el ruido, las unidades, terminología, y los procedimientos empleados para su análisis pueden ser una barrera para entender qué elemento limita el rendimiento del circuito.

El ruido puede ser: extrínseco, a causa de la interferencia de señales externas, e intrínseco, causado por las propiedades fundamentales de los dispositivos que conforman un circuito, este es por procesos gobernados por el flujo de electrones en un medio, este último es de primordial interés en este trabajo. El ruido extrínseco puede ser totalmente eliminado con apropiados métodos de blindaje. Sin embargo, el ruido intrínseco sólo puede ser minimizado con un adecuado diseño a nivel circuito⁴¹.

4.2 Señales

Es importante describir algunos fundamentos relacionados con las señales eléctricas, con el fin de entender cómo tratar con señales de ruido.

4.2.1 Potencia y Energía

La Fig. 4.1 muestra una onda senoidal. Con el riesgo de afirmar lo obvio, el valor promedio de esta señal es cero. Sin embargo, lo anterior no significa que si la señal es aplicada a un resistor, no habría potencia promedio disipada. Con el fin de caracterizar la cantidad *promedio* de la potencia disipada por un resistor, cuando se aplica la señal senoidal, se

⁴⁰ Martin von Haartman, *Noise in Advanced MOS Devices*, Royal Institute of Technology, Ed. Springer, Sweden, 2007, p. 5-6.

⁴¹ Johns D. A. & Martin K. (1996). *Analog Integrated Circuit Design*, 1st ed. San Francisco: John Wiley & Sons, Inc.

comienza escribiendo la potencia instantánea disipada por el resistor – en un tiempo específico t - como⁴²

$$P_{inst}(t) = i(t)v(t) = \frac{v_{sen}^2(t)}{R} \quad (4.1)$$

donde $v_{sen}(t)$ es la señal en voltaje representada como una onda senoidal (análogicamente se puede colocar cualquier otra forma de onda), y R es el resistor al cual se le aplica dicha señal. La suma de las potencias instantáneas resulta en la energía eléctrica consumida

$$e = \int_0^{\infty} \frac{v_{sen}^2(t)}{R} \cdot dt \quad (4.2)$$

con unidades de Ws o *Joules*.

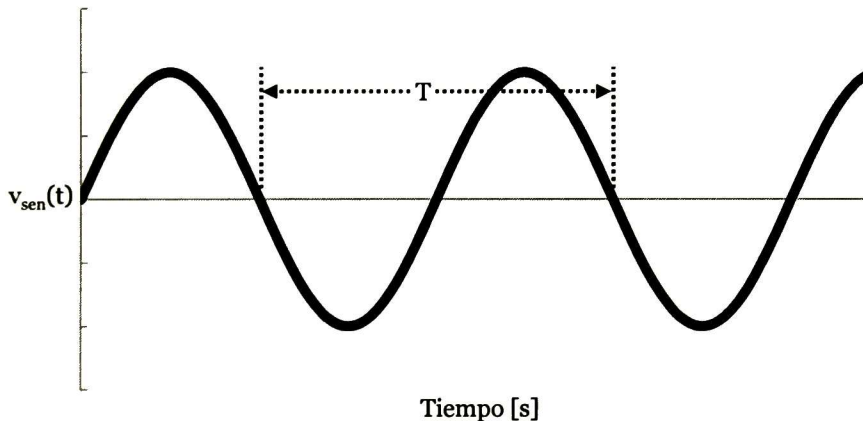


Fig. 4.1 Onda Senoidal en el dominio del tiempo.

Claramente la suma de las potencias instantáneas no resulta en la potencia promedio disipada por el resistor, sino en la energía que la fuente senoidal suministra al resistor. Para obtener la potencia promedio se establece un intervalo de integración en (4.2):

$$P_{prom} = \frac{1}{T} \int_0^T \frac{v_{sen}^2(t)}{R} \cdot dt \quad (4.3)$$

donde $p_{prom} = (v_{prom})^2/R$, en analogía con la ley de Ohm. Entonces

⁴² Romano Giannetti, "On Resistor-Induced Thermal Noise in Linear Circuits," IEEE Transactions On Instrumentation and Measurement, vol. 49, no. 1, February 2000.

$$v_{prom}^2 = \frac{1}{T} \int_0^T v_{sen}^2(t) \cdot dt \quad (4.4)$$

lo que se conoce como valor cuadrático medio o valor cuadrático promedio –del inglés *mean squared voltage*-. Para conocer el voltaje promedio neto aplicado al resistor se usa

$$v_{prom} = v_{rms} = \sqrt{\frac{1}{T} \int_0^T v_{sen}^2(t) \cdot dt} \quad (4.5)$$

lo que se conoce como valor raíz cuadrático promedio –del inglés *root mean squared voltage*-. El valor RMS de una señal de *ac* es equivalente a la magnitud de una señal de *DC*.

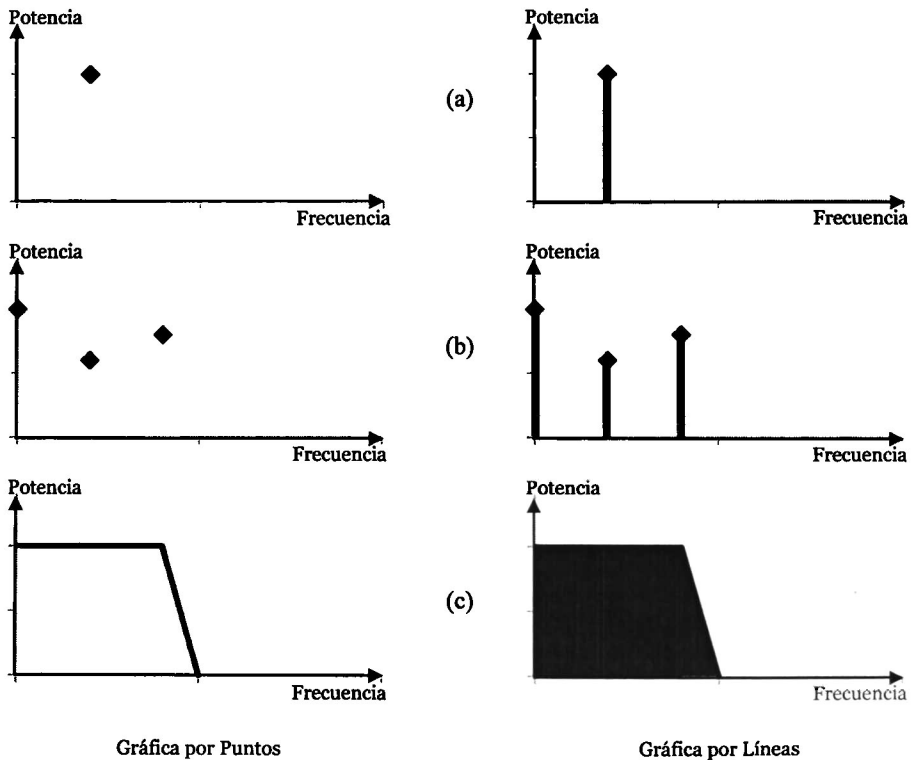


Fig. 4.2 Densidad espectral de voltaje de varias señales.

4.2.2 Densidad Espectral de Potencia

La Fig. 4.2 muestra el contenido espectral de varias señales a distintas frecuencias. La Fig. 4.2a muestra el espectro de una señal que contiene una componente de *ac*. La Fig. 4.2b muestra el espectro de una señal

que contiene dos componentes de *ac* y una componente de *DC*. La Fig. 4.2c muestra una señal cuyo espectro está ocupado por componentes desde *DC* hasta una frecuencia máxima. Las componentes en las gráficas pueden representarse tanto con puntos como con líneas.

En la figura Fig. 4.2 se graficó la PSD (del inglés *Power Spectral Density*) contra la frecuencia, de igual forma se puede graficar el v_{rms} , v_p , i_{rms} , etc., contra la frecuencia –dependiendo del parámetro de interés–; cuando se analiza el ruido, por lo general se trabaja con la PSD.

4.3 Ruido en Circuitos

El ruido eléctrico en un circuito siempre se mide en su nodo de salida por un Analizador de Espectros, ver Fig. 4.3. El circuito bajo prueba, CUT (del inglés *Circuit Under Test*), se conecta a un analizador de espectros sin ninguna señal de entrada. Si el ruido a la salida del CUT es menor que el ruido de piso del Analizador de Espectros, se inserta un LNA (del inglés *Low Noise Amplifier*) entre el CUT y el Analizador de Espectros –el ruido a medir es amplificado por la ganancia del LNA–.

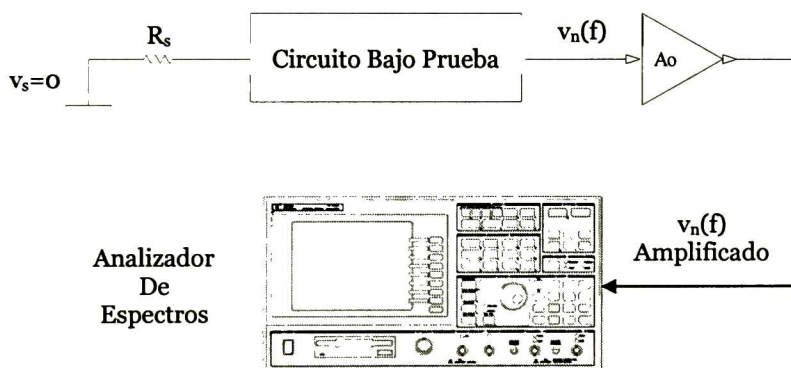


Fig. 4.3 Circuito empleado para la medición de ruido.

4.3.1 EL Ruido en el dominio del Tiempo

El valor *rms*, la *SNR*, el *dBm* y la suma de ruido, son términos en el dominio del tiempo indispensables para tratar con *señales inherentes*, esto es, señales de naturaleza aleatoria.

La Fig. 4.4 muestra la representación de un voltaje de ruido en el dominio del tiempo. Considere el voltaje de ruido mostrado, $v_n(t)$, el valor *rms* de esta señal se obtiene mediante⁴³

⁴³ Luis Moura, Izzat Darwazeh, Introduction to Linear Circuit Analysis and Modelling: From DC to RF, Newnes, 2005.

$$v_{n-rms} \equiv \sqrt{\frac{1}{T} \int_0^T v_n^2(t) dt} \quad (4.6)$$

donde T es un intervalo de tiempo promedio conveniente. Mientras mayor sea el valor de T , más precisas serán las mediciones.

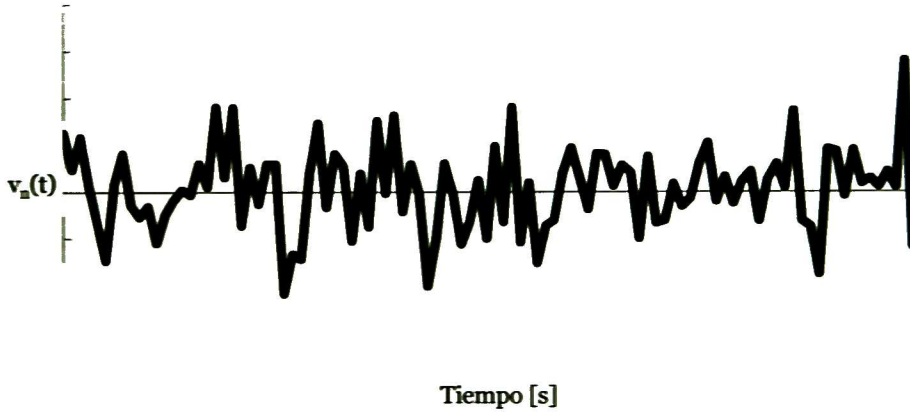


Fig. 4-4 Ejemplo de un voltaje de ruido en el dominio del tiempo.

El valor *rms* de una señal de voltaje aleatoria, $v_n(t)$, indica la potencia de ruido normalizada, p_n , que se disipa cuando es aplicada a un resistor de 1Ω .

$$p_n = \frac{v_{n-rms}^2}{1[\Omega]} = v_{n-rms}^2 \quad (4.7)$$

Como resultado, el cuadrado del valor *rms*, v_{n-rms}^2 , se refieren como la potencias de ruido normalizada de esta señal.

4.3.2 EL Ruido en el dominio de la Frecuencia

La Fig. 2.15 muestra el espectro de potencia, de la señal en el dominio del tiempo mostrada en la Fig. 4.4.

La escala horizontal es el eje de frecuencias, la escala vertical tiene unidades de V^2/Hz –unidades correspondientes a la potencia de ruido normalizada–.

La densidad espectral mide el valor medio cuadrático sobre un rango de frecuencias, pudiendo obtener su valor integrando la densidad espectral sobre un rango de frecuencias. Lo anterior permite obtener el valor *rms* directamente del dominio de la frecuencia

$$v_{n-rms} = \sqrt{\int_{f_i}^{f_s} v_n^2(f) \cdot df} \quad (4.8)$$

donde f_i y f_s son la frecuencia inferior y superior de interés, respectivamente.

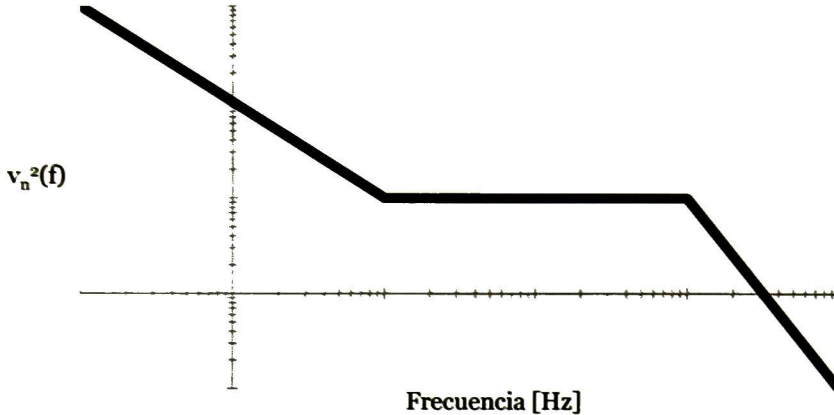


Fig. 4.5 Ejemplo de la PSD de una señal de ruido.

4.3.3 Relación Señal a Ruido, SNR

La *SNR* (del inglés *Signal to Noise Ratio*) se define como el margen que hay entre la potencia de la señal que se transmite y la potencia del ruido que la corrompe.

Asumiendo un nodo en un circuito con una señal $v_s(t)$, que tiene una señal de potencia normalizada v_{s-rms}^2 y una potencia de ruido normalizada v_{n-rms}^2 , la *SNR* estará dada por

$$SNR = 10 \log \left[\frac{v_{s-rms}^2}{v_{n-rms}^2} \right] = 20 \log \left[\frac{v_{s-rms}}{v_{n-rms}} \right] \quad (4.9)$$

4.3.4 Suma de las Fuentes de Ruido

Considere el caso de dos fuentes de ruido equivalentes en voltaje, ver Fig. 2.15. Si el valor *rms* de cada fuente se conoce, el valor *rms* de la señal combinada se obtiene de

$$v_n(t) = v_{n1}(t) + v_{n2}(t) \quad (4.10)$$

Se puede decir entonces que

$$v_{n-rms}^2 = \frac{1}{T} \int_0^T [v_{n1}(t) + v_{n2}(t)]^2 dt \quad (4.11)$$

lo que al desarrollar resulta en

$$v_{n-rms}^2 = v_{n1-rms}^2 + v_{n2-rms}^2 + \frac{2}{T} \int_0^T v_{n1}(t)v_{n2}(t) dt \quad (4.12)$$

Note que los primeros dos términos son los valores *rms* de cada fuente de ruido. El último término muestra la correlación entre las dos fuentes, y en el caso de fuentes no correlacionadas se tiene que

$$v_{n-rms}^2 = v_{n1-rms}^2 + v_{n2-rms}^2 \quad (4.13)$$

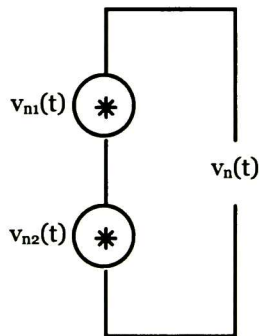


Fig. 4.6 Fuentes de ruido equivalentes en voltaje.

Cuando una señal de voltaje contiene varias componentes de *ac* (e incluso niveles de *DC*), se suma la potencia de cada componente (y nivel de *DC*) para obtener la potencia total disipada. En otras palabras, se suman los voltajes promedio cuadrático –potencias- de cada componente de *ac* (el voltaje medio cuadrático de una fuente de *DC*, V_{DC} , es V_{DC}) y se divide entre el valor resistivo de la carga para obtener la potencia total disipada. “Jamás” se suman valores *rms*⁴⁴.

⁴⁴ Steven B. Lowen and Malvinc C. Teich, “Power-Law Shot Noise”, IEEE Transactions on Information Theory, Vol. 36, No. 6, November 1990.

4.3.5 Ruido Referido a la Entrada

El ruido se mide a la salida del circuito. Sin embargo, puede referirse a la entrada del circuito para su comparación con la señal de entrada. Tenga claro que esto “no” significa que el ruido referido a la entrada esté realmente presente en la entrada del CUT.

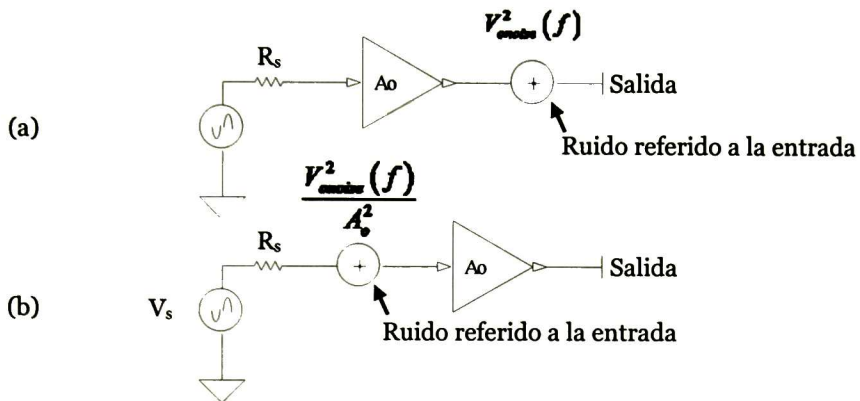


Fig. 4.7 Ruido referido a la entrada.

La Fig. 2.15a muestra la PSD de ruido medido a la salida. Se puede calcular la PSD referida a la entrada, Fig. 2.15b, dividiendo la PSD de salida por el cuadrado de la ganancia del amplificador, A_o^2 .

4.4 Conclusiones

Es vital que el lector tenga claros los fundamentos de la teoría de ruido, con esto puede representarlo en circuitos analógicos para su exitoso análisis.

El camino general para el análisis y caracterización del ruido es: medir experimentalmente a la salida del circuito la PSD de ruido sin ninguna señal a su entrada. Posteriormente con los datos experimentales se hace un análisis circuital con la PSD de ruido referida a la entrada para hacer una comparación con las señales de interés.

Capítulo 5

¿Cómo hacer la medición de Ruido?

En este Capítulo se presenta el diseño de todas las etapas del arreglo experimental para la medición del ruido $1/f$. Dentro de este diseño se abarcan temas como el análisis del ruido de “fondo”, la conversión de la corriente de drenaje -del MOSFET- a un voltaje equivalente, se describen las consideraciones de diseño, así como las características deseadas para las fuentes de polarización, V_G y V_D .

5.1 Introducción

LA caracterización del ruido es una tarea difícil debido a que las señales a medir son muy pequeñas en magnitud –normalmente por debajo de 1pA -, es por ello que el banco de pruebas debe ser cuidadosamente diseñado ⁴⁵, ⁴⁶. Sin embargo, el ruido $1/f$, ruido intrínseco de interés, alcanza magnitudes elevadas en comparación con las magnitudes del ruido de “fondo”. Con esto, el análisis del ruido de

⁴⁵ Felix A. Levinzon, Measurement of Low-Frequency Noise of Modern Low-Noise Junction Field Effect Transistors, IEEE Transactions On Instrumentation and Measurement, vol. 54, no. 6, December 2005

⁴⁶ Hardev Singh et al, Analysis and Modeling of $1/f$ Noise in MOSFETs for Circuit Applications: The Joint Effect of Channel Length and Conducting Slab Resistance, Canadian Journal on Electrical and Electronics Engineering, Vol. 1, No. 6, October 2010

fondo no es la tarea principal. Ahora los esfuerzos se enfocan en mantener la simplicidad, la flexibilidad, bajo costo y fácil implementación como características principales.

5.2 Pre-Amplificador

Lo que se quiere monitorear es la corriente de drenaje, I_D , en MOSFETS; por ello se buscó una solución que permita medir a partir de un voltaje equivalente, dicha corriente.

La Fig. 5.1 muestra la configuración básica para la conversión de una corriente de entrada, a un voltaje equivalente de salida, V_S . El principio de funcionamiento es el siguiente: la corriente de entrada, I_E , es igual a la corriente I_G debido a que la impedancia del Op Amp es idealmente infinita.

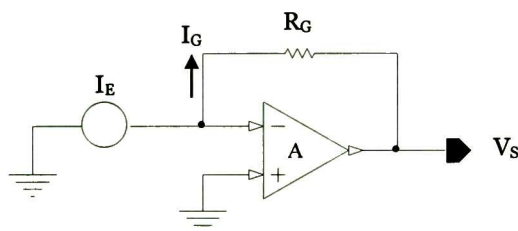


Fig. 5.1 Convertidor I-V.

Tomando como referencia el nodo de la entrada inversora del Op Amp – la cual es una tierra virtual porque refleja el potencial de la entrada no-inversora-, aplicando KCL (ley de corrientes de Kirchoff) y recordando la dirección convencional en la definición de la corriente, se tiene que

$$I_E = \frac{0 - V_S}{R_G} \quad (5.1)$$

Pudiendo establecer que

$$V_{OUT} = -R_G I_E \quad (5.2)$$

donde R_G es un resistor de ganancia, y como su nombre lo indica es el elemento encargado de establecer la ganancia del sistema.

Incorporando al MOSFET en la configuración anterior, se tiene el circuito de la Fig. 5.2 –circuito preamplificador-. El transistor en configuración “fuente común” es acoplado en DC a la entrada inversora del LNA (del inglés *Low Noise Amplifier*) que funciona como un convertidor I-V. La terminal de drenaje del MOSFET se polarizará con el

potencial reflejado de la entrada no-inversora. Al igual que en la configuración anterior, la corriente de drenaje circulará en su totalidad por el resistor de ganancia.

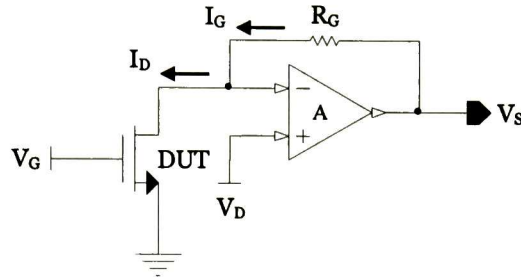


Fig. 5.2 Configuración para la medición de la PSD de ruido 1/f.

Analizando el circuito, desde el nodo de la entrada inversora del Op Amp, y recordando que la corriente fluye de drenaje a fuente en un NMOSFET, además del sentido convencional de la corriente, se tiene que

$$I_D = I_G = \frac{V_S - V_D}{R_G} \quad (5.3)$$

Es importante aclarar que lo anterior es un “artilugio” para la obtención de las ecuaciones, ya que se pudiera confundir al pensar que en (5.3) la corriente de drenaje, I_D , depende del voltaje de salida, V_S , así como del resistor de ganancia. De lo anterior se tiene

$$V_S = R_G I_D + V_D \quad (5.4)$$

donde el primer término es un voltaje equivalente de la corriente de drenaje, I_D , con una ganancia igual a R_G . El segundo término es un nivel de offset. El único término de interés es ese que contiene a I_D , por lo tanto es necesaria una segunda etapa, la cual tiene como función suprimir el nivel de *offset*.

5.2.1 Análisis de Ruido

Es necesario hacer un análisis rápido del convertidor I-V, la configuración de mayor impacto en la aportación de ruido de fondo, para asegurar su nula aportación de ruido al arreglo experimental.

La PSD total del convertidor I-V mostrado en la Fig. 2.15 tiene la forma

$$S_i = S_{i_{DUT}} + S_{i_{OA}} + \frac{S_{v_{OA}}}{|Z_{DUT} \parallel R_G|^2} + \frac{4kT}{R_G} \quad (5.5)$$

donde S_i , $S_{i_{DUT}}$, $S_{i_{OA}}$ y $S_{v_{OA}}$, son respectivamente, las PSD total de la corriente del sistema, de la corriente del DUT, de la fuente de ruido de corriente y voltaje de ruido del Op Amp; Z_{DUT} es la impedancia del DUT –del inglés Device Under Test- y el último término corresponde a la PSD del ruido térmico generado por R_G . De (5.5) se puede concluir que con valores grandes de R_G se pueden omitir los dos últimos términos considerando una elevada impedancia del MOSFET. Eligiendo un Op Amp de bajo ruido, se puede omitir, de igual forma, la aportación de la fuente de corriente de ruido, $S_{i_{OA}}$.

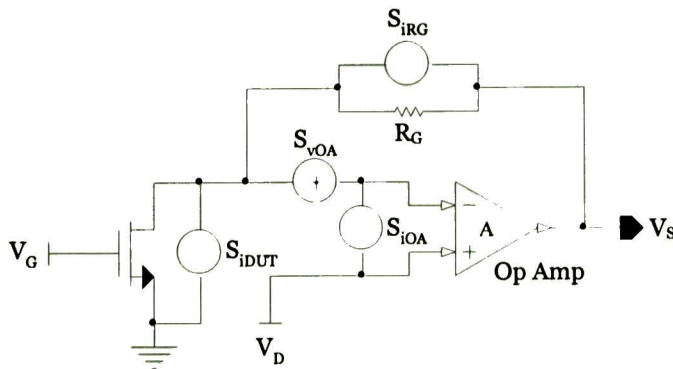


Fig. 5.3 Convertidor I-V con las fuentes intrínsecas de ruido de cada componente.

5.3 Amplificador Diferencial

El circuito mostrado en la Fig. 5.4 es un amplificador diferencial, el cual suprimirá el nivel de *offset* debido a V_D .

Para el análisis del amplificador, se considera el Teorema de Superposición al tener dos voltajes de entrada. Recuérdese que el Teorema indica que hay que obtener el voltaje de salida correspondiente a cada voltaje de entrada, pasivando el voltaje restante –en este caso al ser fuentes de voltaje, la pasivación consiste en cortocircuitar dicha fuente-.

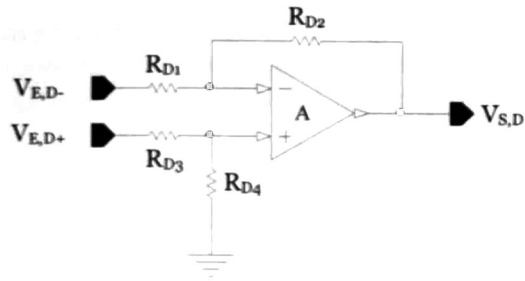


Fig. 5-4 Amplificador diferencial.

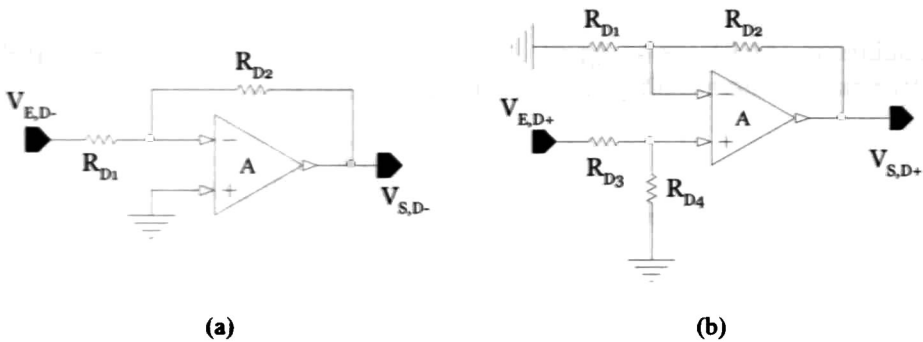


Fig. 5-5 Análisis del Amplificador Diferencial por el Teorema de Superposición, (a) pasivación de la fuente en la entrada no-inversora y (b) pasivación de la fuente en la entrada inversora.

5.3.1 Entrada inversora

Comenzando con el voltaje en la entrada inversora, se tiene el circuito de la Fig. 2.15a, como la corriente que fluye hacia el Op Amp es cero, entonces R_{D3} y R_{D4} se anulan, con ayuda de KCL

$$I_{R_{D1}} = I_{R_{D2}} = \frac{V_{E,D-} - 0}{R_{D1}} = \frac{0 - V_{S,D-}}{R_{D2}} \quad (5.6)$$

obtenemos que el voltaje de salida correspondiente a $V_{E,D-}$ es

$$V_{S,D-} = -V_{E,D-} \cdot \frac{R_{D2}}{R_{D1}} \quad (5.7)$$

5.3.2 Entrada no-inversora

Continuando con el voltaje en la entrada no-inversora, se tiene el circuito de la Fig. 2.15b, y enfocándose en el nodo de la entrada inversora del Op Amp, y con ayuda del divisor de voltaje, se tiene que

$$V_{R_{D1}} = R_{D1} I_T = V_{S,D+} \cdot \frac{R_{D1}}{R_{D1} + R_{D2}} \quad (5.8)$$

donde $V_{R_{D1}}$ es igual al potencial reflejado de la entrada no-inversora:

$$V_{R_{D1}} = V_{R_{D4}} = R_{D4} I_T = V_{E,D+} \cdot \frac{R_{D4}}{R_{D3} + R_{D4}} \quad (5.9)$$

Igualamos (5.8) con (5.9) y despejando el voltaje de salida correspondiente al voltaje en la entrada no-inversora:

$$V_{S,D+} \cdot = V_{E,D+} \cdot \frac{R_{D4}}{R_{D3} + R_{D4}} \cdot \frac{R_{D1} + R_{D2}}{R_{D1}} \quad (5.10)$$

5.3.3 Voltaje de Salida del Amplificador Diferencial

Sumando algebraicamente las aportaciones de cada fuente de entrada, se obtiene el voltaje de salida total del Amplificador Diferencial:

$$V_{S,D-} + V_{S,D+} = -V_{E,D-} \cdot \frac{R_{D2}}{R_{D1}} + V_{E,D+} \cdot \frac{R_{D4}}{R_{D3} + R_{D4}} \cdot \frac{R_{D1} + R_{D2}}{R_{D1}} \quad (5.11)$$

Ahora bien, si todas las resistencias fueran de idéntico valor, se tendría una resta unitaria de las entradas al Amplificador Diferencial:

$$V_{S,D} = -V_{E,D-} + V_{E,D+} \quad (5.12)$$

Sustituyendo los voltajes de entrada de interés

$$V_{S,D} = -(R_G I_D + V_D) + V_D \quad (5.13)$$

donde el primer término corresponde a la salida del convertidor I-V, y el segundo al V_G –el cual es el nivel de offset que se desea suprimir-. Entonces el Amplificador Diferencial tendrá una salida equivalente a

$$V_{S,D} = -R_G I_D \quad (5.14)$$

Se preguntará por qué se eligieron las entradas al Amplificador Diferencial de esta manera –salida del convertidor I-V en la entrada inversora y el nivel de offset en la entrada no-inversora-, esto fue con la intención de obtener una salida negativa, para posteriormente, con un amplificador inversor, tener voltaje de salida total con signo positivo.

5.4 Amplificador Inversor

Como se mencionó anteriormente, se requiere tener una salida positiva –para fines prácticos-, además de un control de ganancia extra. Esto se logra con una última etapa de amplificación del tipo inversora, ver Fig. 5.6.

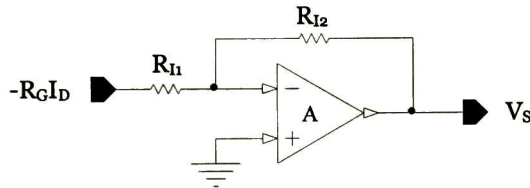


Fig. 5.6 Amplificador inversor.

Nuevamente con ayuda de las KCL, tenemos que

$$I_{R_{11}} = I_{R_{12}} = \frac{-R_G I_D}{R_{11}} = \frac{0 - V_S}{R_{12}} \quad (5.15)$$

Con lo que el voltaje de salida del arreglo experimental es

$$V_S = R_G I_D \cdot \frac{R_{12}}{R_{11}} \quad (5.16)$$

5.5 Fuentes de Polarización

Las fuentes de polarización V_G y V_D son las encargadas de establecer el punto de operación del MOSFET. Dichas fuentes deben de proporcionar el nivel más bajo posible de ruido al sistema de medición. Es recomendable el empleo de filtros pasa-bajas con una frecuencia de corte de 1 Hz, con el fin de rechazar las componentes con frecuencias

mayores a 1 Hz que puedan estar presentes en las fuentes de polarización.⁴⁷

El filtro propuesto para las fuentes de polarización, V_G y V_D , es un Sallen-Key de 2do orden con una frecuencia de corte $f_o=1$ Hz y ganancia unitaria⁴⁸.

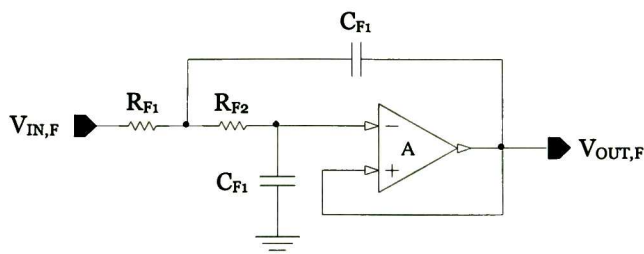


Fig. 5.7 Filtro pasa bajas Sallen Key de segundo orden.

5.6 Consideraciones de Diseño

El común del circuito debe separarse de la “tierra” del chasis y conectarse a la tierra del LNA. Todas las conexiones deben de ser lo más cortas posibles para minimizar efectos de antena^{49,50}.

Para una operación adecuada del circuito, la resistencia de ganancia del convertidor I-V debe tener un valor menor a la resistencia de salida del DUT –el MOSFET en este caso–⁵¹.

El nivel de ruido de la primera etapa es el de mayor impacto, por consiguiente no es necesario amplificadores de bajo ruido para la segunda y tercera etapa del arreglo experimental.⁵²

⁴⁷ Chengqing Wei et al, Test Structure for Characterization of Low-Frequency Noise in CMOS Technologies, IEEE Transactions On Instrumentation and Measurement, VOL. 59, NO. 7, JULY 2010

⁴⁸ Hank Zumbahlen, Basic Linear Design, © 2007 Analog Devices, Inc., All Rights Reserved, ISBN 0-916550-28-1, pps. 1326

⁴⁹ Alfred Blaum et al, A New Robust On-Wafer 1/f Noise Measurement and Characterization System, Proc. IEEE 2001 Int. Conference on Microelectronic Test Structures, Vol 14, March 2001

⁵⁰ Ralf Brederlow, op. cit

⁵¹ Ralf Brederlow et al, Influence of Fluorinated Gate Oxides on the Low Frequency Noise of MOS Transistors under Analog Operation, Solid-State Device Research Conference, 1998. Proceeding of the 28th European

Una pequeña capacitancia –por conveniencia de 5pF- pudiera conectarse en paralelo con R_G para prevenir que el Op Amp del convertidor I-V entre en oscilación.

Se recomienda el uso de resistores de película metálica^{53,54} –presenten los niveles más bajos de ruido $1/f$ - y capacitores de buena calidad^{55,56,57,58} –caracterizados por las bajas corrientes de fuga-.

El rango de frecuencias para la medición del ruido $1/f$ por lo general abarca de 1 Hz a 1 MHz. Un arreglo experimental con un mínimo de ruido interno es tan necesario como prevenir alteraciones externas. El blindaje es necesario para prevenir interacciones con el ruido externo que interfiera con las mediciones. Equipos que operan a alta frecuencia proveen alteraciones en el rango de los GHz, y aunque estas frecuencias no se encuentren en el rango de interés, las señales tienden a mezclarse desarrollando alteraciones a bajas frecuencias también^{59, 60}. Debe emplearse un blindaje apropiado en la parte del banco de pruebas que sea sensible a interferencias. Las señales electromagnéticas que interfieren pueden tener un amplio rango de frecuencias, las más problemáticas se presentan en 60 Hz así como en sus armónicos⁶¹.

5.7 Arreglo Experimental

El arreglo experimental usado para la medición de la PSD del ruido $1/f$ se muestra en la Fig. 5.8.

⁵² Jimmin Chang et al, Flicker Noise in CMOS Transistors from Subthreshold to Strong Inversion at Various Temperatures, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 41, NO. 11, NOVEMBER 1994

⁵³ Alfred Blaum et al, op. cit

⁵⁴ Analog Devices, Analog Filter Wizard Beta, <http://www.analog.com/designtools>

⁵⁵ KWOK K. HUNG et al, A Unified Model for the Flicker Noise in Metal-Oxide-Semiconductor Field-Effect Transistors, op. cit

⁵⁶ KWOK K. HUNG et al, An Automated System for Measurement of Random Telegraph Noise in Metal-Oxide-Semiconductor Field-Effect Transistors, op. cit

⁵⁷ Walter G. Jung, Op Amp Applications, Copyright © 2002 By Analog Devices, Inc., Printed in the United States of America, ISBN 0-916550-26-5, pps. 970

⁵⁸ Analog Devices, Analog Filter Wizard Beta, op. cit

⁵⁹ Ralf Brederlow et al, op. cit

⁶⁰ C. JAKOBSON et al, $1/f$ Noise in CMOS Transistors for Analog Applications from Subthreshold to Saturation, Solid-State Electronics Vol. 42, No. 10, pp. 1807±1817, 1998

⁶¹ C. JAKOBSON et al, op. cit

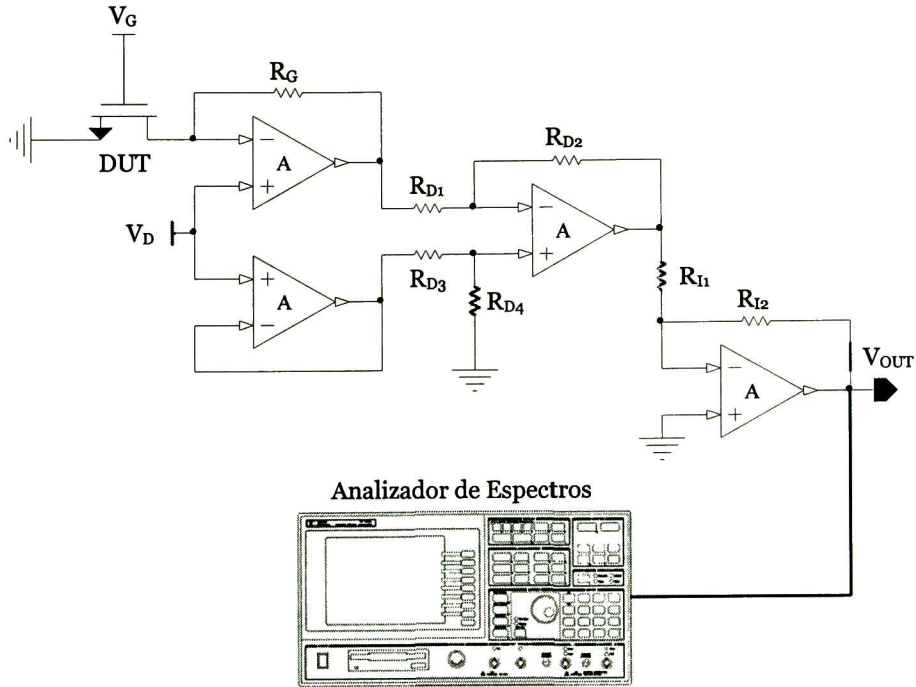


Fig. 5.8 Configuración para la medición de ruido $1/f$ en NMOS.

5.8 Metodología de Medición

Los datos experimentales a menudo parecen ser confusos hasta que se adopta una aproximación sistemática y metodológica.

5.8.1 Obtención de las Curvas Características IV

Primero deben de obtenerse las curvas características IV del dispositivo, comenzando con I_D vs V_{DS} para distintos valores de V_G , ver Fig. 5.10, que muestra la corriente de drenaje del dispositivo a distintos voltajes de drenaje para un voltaje en compuerta dado; posteriormente I_D vs V_{GS} para distintos valores de V_{DS} , ver Fig. 5.11, curva característica a partir de la cual se obtiene la transconductancia del dispositivo mediante análisis numérico; por último se obtienen analíticamente las curvas g_m vs V_{GS} , ver Fig. 2.15, que muestra cómo cambia la transconductancia del dispositivo a distintas condiciones de polarización^{62,63}.

⁶² C. Jakobson *et al*, op. cit, p. 1813.

⁶³ Yael Nemirovsky *et al*, op. cit, p. 4.

La Fig. 2.15 muestra la correcta polarización tanto para un NMOSFET como para un PMOSFET.

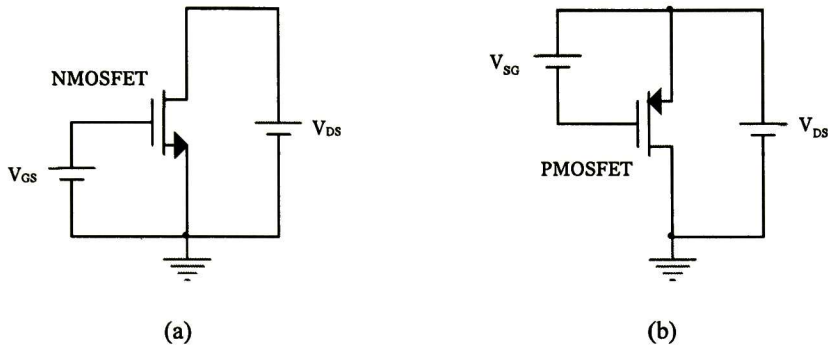


Fig. 5.9 Circuito de Polarización de un (a) NMOSFET y un (b) PMOSFET.

El arreglo experimental mostrado anteriormente puede servir para obtener las gráficas si no se cuenta con un amperímetro programable.

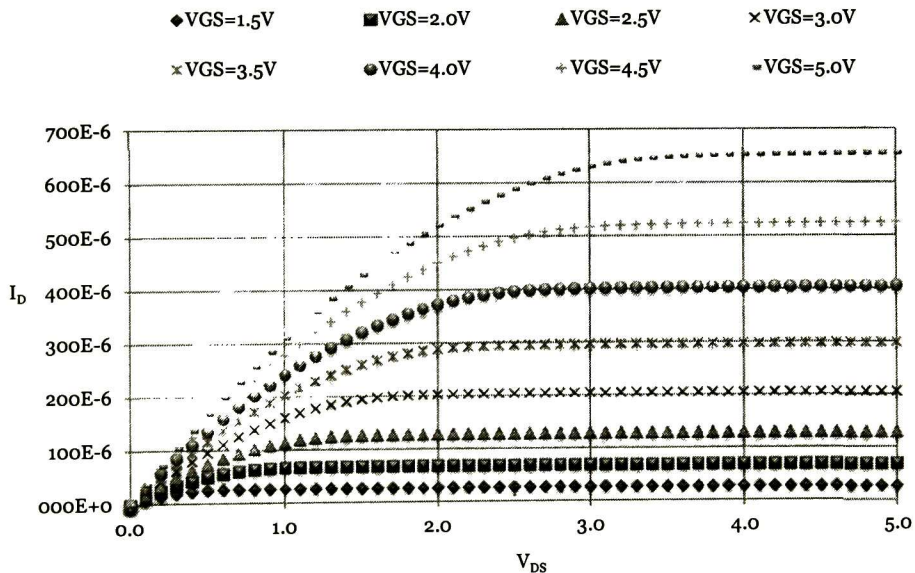


Fig. 5.10 Curvas características IV - I_D vs V_{DS} - para un NMOSFET $W=L=10\mu\text{m}$.

Las curvas de la Fig. 5.10, I_D vs V_{DS} para distintos valores de V_G , no es necesaria, sin embargo siempre resulta útil al contar con todos los datos del dispositivo de interés.

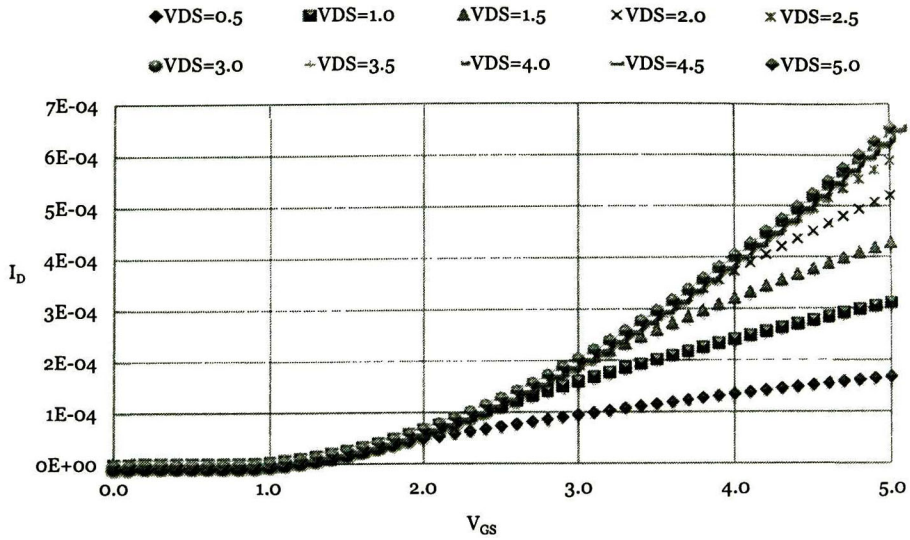


Fig. 5.11 Curvas características IV - I_D vs V_{GS} - para un NMOSFET $W=L=10\mu\text{m}$.

A partir de las curvas I_D vs V_{GS} mostradas en la Fig. 5.11 se obtiene la gráfica de transconductancia, recuerde que

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (5.17)$$

Mediante análisis numérico se obtienen las curvas g_m vs V_{GS} mostradas en la Fig. 2.15.

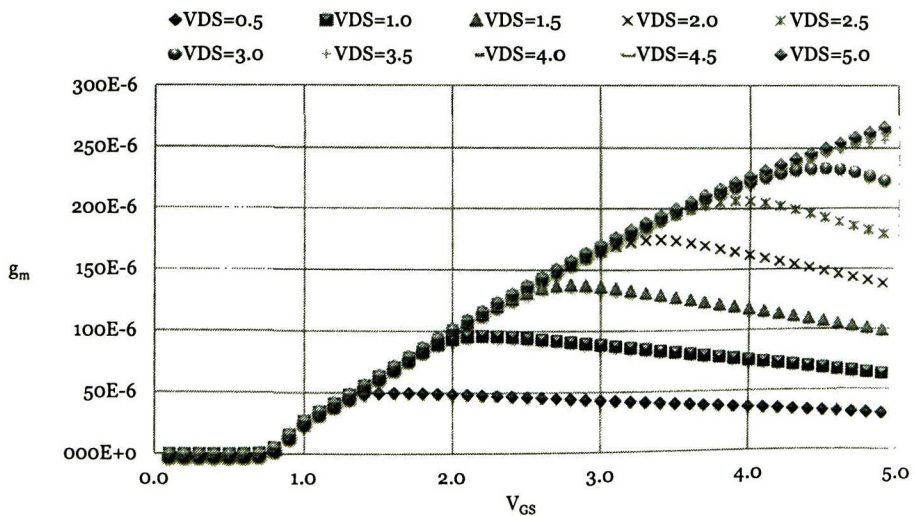


Fig. 5.12 Curvas características - g_m vs V_{GS} - para un NMOSFET $W=L=10\mu\text{m}$.

5.8.2 Obtención de la PSD de ruido $1/f$

Es importante obtener las curvas de transconductancia debido a que las mediciones de ruido se desarrollan en el nodo de salida del DUT obteniendo una PSD de la corriente de drenaje, y para referenciarlo a la entrada como una PSD equivalente en voltaje se necesita dicho parámetro, recuerde que

$$S_{v_e}(f) = \frac{S_{i_d}(f)}{g_m^2} \quad (5.18)$$

Del circuito mostrado en la Fig. 5.8 se obtiene la PSD de la corriente de drenaje del dispositivo de interés, el comportamiento del ruido debe obedecer la característica $1/f$, ver Fig. 5.13, descrita en el Capítulo 4.

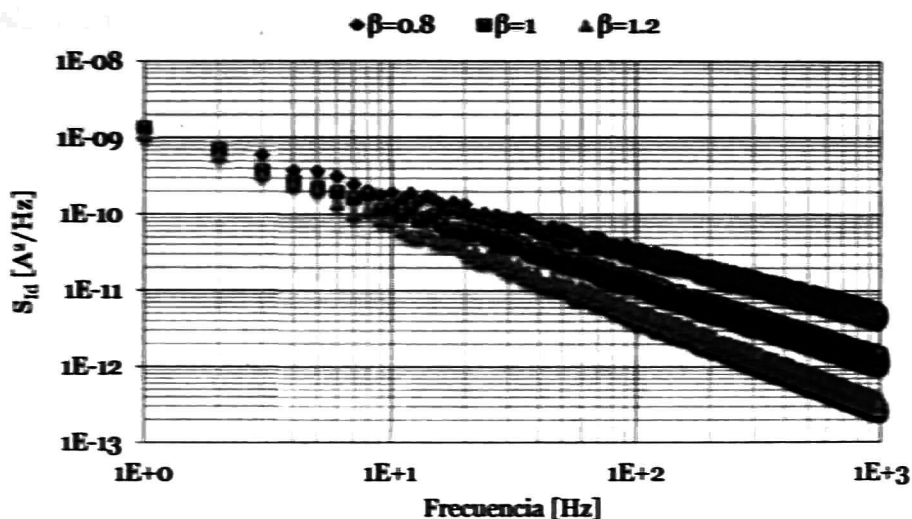


Fig. 5-13 Característica $1/f$ de la PSD de I_d .

5.9 Conclusiones

El diseño de un arreglo experimental debe de cubrir varios aspectos importantes para que las mediciones no arrojen datos que no correspondan a los de interés.

El punto primordial para la reducción del ruido $1/f$ en circuitos analógicos es diseñar MOSFETs de canal largo. Es de igual importancia limitar los voltajes en compuerta y drenaje a valores donde la reducción de la movilidad de canal sea muy pequeña. Cuando se comparen

distintas tecnologías de fabricación debe tenerse cuidado en medir sobre las mismas condiciones de polarización.

La presencia de niveles mayores de ruido presentes en NMOS se atribuye a su menor nivel en la barrera de tuneo (3.1 eV) para electrones, mientras que (4.8 eV) para huecos así como la diferencia de la masa efectiva entre estos dos portadores. Lo anterior establece que es más probable que las trampas en el óxido capturen portadores mayoritarios negativos, que positivos.

Es necesaria la caracterización experimental de transistores para la extracción de los coeficientes de ruido para la posterior simulación en SPICE.

Un arreglo experimental totalmente automatizado es primordial para una precisa extracción de los parámetros de ruido. Es de suma importancia obtener los parámetros de los dispositivos –curvas características IV- de manera experimental y no de forma analítica, de esta manera todos los resultados se ajustarán a las características reales y no ideales.

Capítulo 6

Conclusiones y Trabajo a Futuro

Este trabajo de investigación se estableció para explicar cualitativamente los fenómenos físicos generadores del ruido $1/f$ en MOSFETs. La razón de esto, es el interés que se tiene en aplicaciones biomédicas, las cuales operan a bajas frecuencias. Para lograr lo anterior primero se deben de responder las preguntas:

¿Qué es el ruido $1/f$ y qué lo genera?

¿Cómo puede disminuirse el ruido $1/f$ en MOSFETs como elemento de circuito?

¿Cómo se puede caracterizar el ruido $1/f$ en dispositivos integrados y discretos?

6.1 Conclusiones

LA teoría básica de funcionamiento del MOSFET es suficiente cuando un diseñador requiere analizar el impacto del ruido $1/f$ a nivel circuito en aplicaciones analógicas.

El diseño de circuitos CMOS debe de ajustarse a los procesos de fabricación existentes. Durante este proceso el diseñador se encuentra con parámetros o variables sujetos a la tecnología en uso. Alguno de estos parámetros y/o variables pueden o no ser manipuladas por el diseñador. Las dimensiones de los transistores así como las condiciones de polarización, dentro del rango establecido por el fabricante, son

parámetros de alto impacto en el diseño que pueden ser manipulados. El modelado de la densidad espectral de potencia de la corriente de drenaje en los MOSFETs nos sugiere aumentar el largo de canal por la dependencia L^{-2} , además de disminuir los valores de corriente, I_D . Los modelos analíticos también nos dicen, a primera vista, que los NMOS presentan mayores niveles de ruido NMOS, y esto se le atribuye a que presentan un nivel menor en la barrera de tuneleo (3.1 eV) para electrones, mientras que (4.8 eV) para huecos así como la diferencia de la masa efectiva entre estos dos portadores. Lo anterior se resume en que los electrones son más propensos a ser capturados por las trampas presentes en la interface del óxido-canal que los huecos. Las fuentes de ruido $1/f$ en los MOSFETs son debido a las fluctuaciones lentas de las propiedades de los materiales, como caso específico la fluctuación del número de portadores en el canal y la fluctuación de la movilidad de éstos. Lo anterior provocado en su mayoría por defectos físicos del semiconductor y por la captura aleatoria de los portadores mayoritarios. La forma espectral $1/f$ tiene su origen en la distribución de las energías de activación cinética de los procesos fluctuantes.

El ruido $1/f$ es consecuencia de la polarización en DC de los MOSFETs, es decir, solo se presenta cuando hay un flujo de corriente directa en el canal del dispositivo. Cuando se emplea un MOSFET como amplificador, se monta una pequeña señal sobre un nivel de DC, a pesar de que el espectro del ruido $1/f$ abarca desde DC hasta unas decenas de KHz, las componentes que impactaran en dicha aplicación serán aquellas con frecuencias igual o cercanas a la frecuencia de pequeña señal.

La forma correcta de medir el ruido en cualquier dispositivo o circuito en su totalidad, es en el nodo de salida y con ninguna señal en su nodo de entrada. Para el análisis a nivel componente es necesario referir a la entrada los valores obtenidos experimentalmente, de esta manera pueden ser comparados con las señales de entrada.

El arreglo experimental debe incluir un blindaje para bloquear posibles interferencias con el circuito de prueba, además es recomendable contar con equipo programable para obtener una alta precisión en la lectura de los resultados. Todas las características del dispositivo deben obtenerse experimentalmente para un mejor ajuste.

6.2 Trabajo a Futuro

La escala que puede alcanzar el tema de ruido $1/f$ es extenso. Para generar estrategias de diseño de circuitos CMOS para aplicaciones de baja frecuencia, es necesario de un estudio de mayor alcance. Para facilitar cumplir con tal objetivo es necesaria la caracterización de dispositivos integrados y discretos de canal- n con el arreglo experimental desarrollado en este trabajo. Por otra parte es necesario el diseño de un nuevo arreglo experimental que permita la caracterización tanto de dispositivos de canal- n como de canal- p , así como el análisis de circuitos para aplicaciones biomédicas con los resultados obtenidos de dicha caracterización, se consideran como futura investigación.

||
||
||
||

Referencias

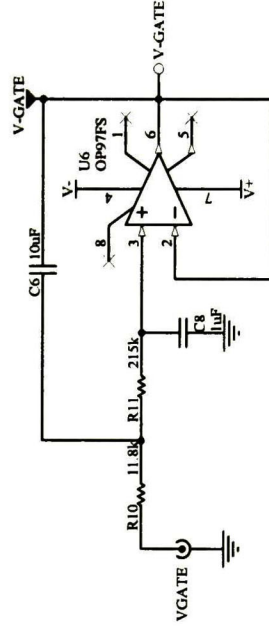
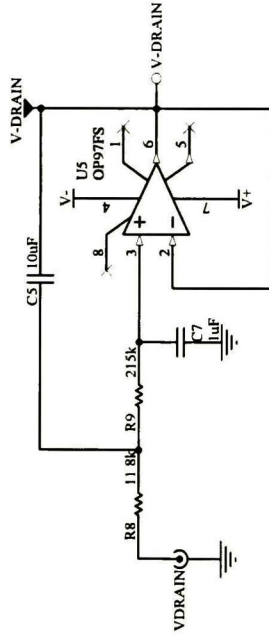
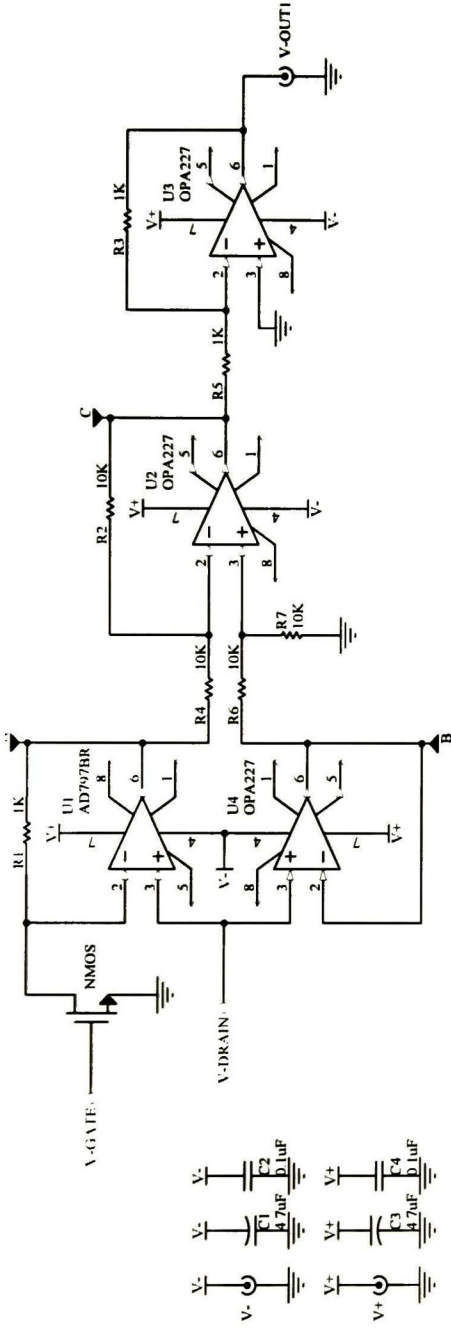
- [1] Yael Nemirovsky, Dan Corcos, Igor Brouk, Anikam Nemirovsky and Samir Chaudhry, *1/f Noise in Advanced CMOS Transistors*, IEEE Instrumentation & Measurement Magazine, January 2011.
- [2] C. Jakobson, I. Bloom and Y. Nemirovsky, *1/f Noise in CMOS Transistors for Analog Applications from Subthreshold to Saturation*, Solid State Electronics, vol. 42, no. 10, 1998.
- [3] Ralls, K. S., Skocpol, W. J., Jackel, L. D., Howard, R. E., Fetter, L. A., Epworth, R. W. and Tennant, *Discrete resistance switching in submicrometer silicon inversion layers: individual interface traps and low-frequency (1/f) noise*, Phys. Rev. Lett., 1984, 52, 228-231.
- [4] Mueller, H. H. and Schulz, *Noise in Physical Systems and 1/f Fluctuations*, ed. C. Claeys and E. Simoen. World Scientific, 1997, p. 195.
- [5] McWhorter, "Semiconductor Surface Physics," Ed. Robert Hildreth Kingston, Pub. University of Pennsylvania Press, 1957, p. 207.
- [6] Y. Nemirovsky and A. Ron, *A new approach to carrier trapping-detrapping 1/f noise*, in *Noise in Physical Systems and 1/f Fluctuations*, ed. C. Claeys and E. Simoen. World Scientific, 1997, p. 85.
- [7] Y. Nemirovsky and A. Ron, *A revised model for carrier trapping-detrapping 1/f noise*, Solid-St. Electron., 1997. To be published.
- [8] Zeynep Celik-Butler and Petr Vasina, *Channel length scaling of 1/f noise in 0.18 μm technology MDD n-MOSFETs*, Solid-State Electronics, vol. 43, 1999, p. 1695-1701.
- [9] C. Claeys, E. Simoen, P. Srinivasan and D. Misra, *Impact of the gate-electrode/dielectric interface on the low-frequency noise of thin gate oxide n-channel metal-oxide-semiconductor field-effect transistors*, Solid-State Electronics, vol. 51, 2007, p. 627-632.
- [10] Jelena Citakovic, Lars J. Stenberg and Pietro Andreani, *1/f Noise Characterization in CMOS Transistors in 0.13 μm Technology*, IEEE, 2006, p. 81-84.
- [11] Chengqing Wei, Yong-Zhong Xiong and Xing Zhou, *Test Structure for Characterization of Low-Frequency Noise in CMOS Technologies*, IEEE Transactions on Instrumentation and Measurement, vol. 59, no. 7, July 2010.
- [12] I. Brouk* and Y. Nemirovsky, *Noise Characterization of the 0.35 μm CMOS Analog Process Implemented in Regular and SOI Wafers*, 0-7803-8715-5/04 ©2004 IEEE.
- [13] P. Masson, G. Ghibaudo, J.L. Autran, P. Morfouli and J. Brini, *Influence of quadratic mobility degradation factor on low frequency noise in MOS transistors*, Electronics Letters, October 1998, vol. 34, no. 20, p.

- 1977-1979.
- [14] W. Lui, MOSFET Models for SPICE simulation including BSIM3v3 and BSIM4, IEEE Computer Society Press, 2001.
 - [15] BSIM, <http://www.device.eecs.berkeley.edu/~bsim3>.
 - [16] I. Brouk and Y. Nemirovsky, *Noise Characterization of the 0.35 μm CMOS Analog Process Implemented in Regular and SOI Wafers*, 2004, p. 171-174.
 - [17] Yael Nemirovsky, Igor Brouk and Claudio G. Jakobson, *1/f Noise in CMOS Transistors for Analog Applications*, IEEE Transactions on Electron Devices, vol. 48, no. 5, May 2001, p. 921-927.
 - [18] Kwok K. Hung, Ping K. Ko, Chenming Hu and Yiu C. Cheng, *A Unified Model for the Flicker Noise in MetalOxide-Semiconductor Field-Effect Transistors*, IEEE Transactions on Electron Devices, vol. 37, no. 3, March 1990, p. 654-664.
 - [19] Ralf Brederlow, Werner Weber, Reinhard Jurk, Claus Dahe, Sylvia Kesse, Jiitgen Holz, Wolfgang Sauert, Peter Klein, Bernd Lemaitre, Doris Schmitt-Landsiedel and Roland Thewes, *Influence of Fluorinated Gate Oxides on the Low Frequency Noise of MOS Transistors under Analog Operation*, IEEE Transactions on Electron Devices, 1998, p. 472-475.
 - [20] Alfred Blaum, Olivier Pilloud, Giacomo Scalea, James Victory and Franz Sischka, *A New Robust On-Wafer 1/f Noise Measurement and Characterization System*, Proc. IEEE 2001 Int. Conference on Microelectronic Test Structures, vol. 14, March 2001, p. 125-130.
 - [21] M. Valenza, A. Hoffmann, D. Sodini, A. Laigle, F. Martinez and D. Rigaud, *Overview of the impact of downscaling technology on 1/f noise in p-MOSFETs to 90nm*, IEE Proc.-Circuits Devices Syst., vol. 151, no. 2, April 2004, p. 102-110.
 - [22] M. N. Ericson, C. L. Britton, J. M. Rochelle, B. J. Blalock, D. M. Binkley, A. L. Wintenberg and B. D. Williamson, *Flicker Noise Behavior of MOSFETs Fabricated in 0.5 μm Fully Depleted (FD) Silicon-on-Sapphire (SOS) CMOS in Weak, Moderate, and Strong Inversion*, IEEE Transactions on Nuclear Science, vol. 50, no. 4, August 2003, p. 963-968.
 - [23] J. Chang, C. R. Viswanathan and C. Anagnostopoulos, *Flicker Noise Measurements in Enhancement Mode and Depletion Mode N-MOS Transistors*, IEEE Transactions, 1990, p. 217-221.
 - [24] Jimmin Chang, A. A. Abidi and C. R. Viswanathan, *Flicker Noise in CMOS Transistors from Subthreshold to Strong Inversion at Various Temperatures*, IEEE Transactions on Electron Devices, vol. 41, no. 11, November 1994, p. 1965-1971.
 - [25] Martin von Haartman and Mikael Östling, *Low-Frequency Noise in Advanced MOS Devices*, Royal Institute of Technology, Ed. Springer, Sweden, 2007.
 - [26] R. S. Muller and T. I. Kamins, *Device Electronics for Integrated Circuits*, Wiley. New York, 1977. Sec. 4.3.
 - [27] A. S. Grove, *Physics and Technology of Semiconductor Devices*, Wiley, New York, 1967, Sec. 6.6.

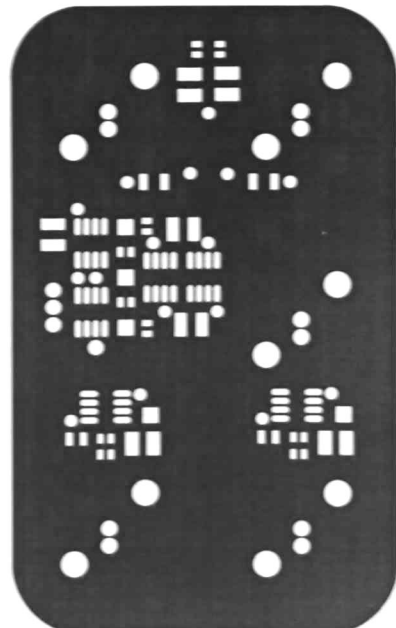
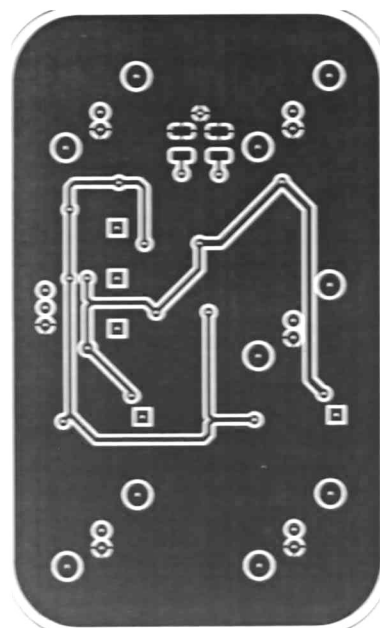
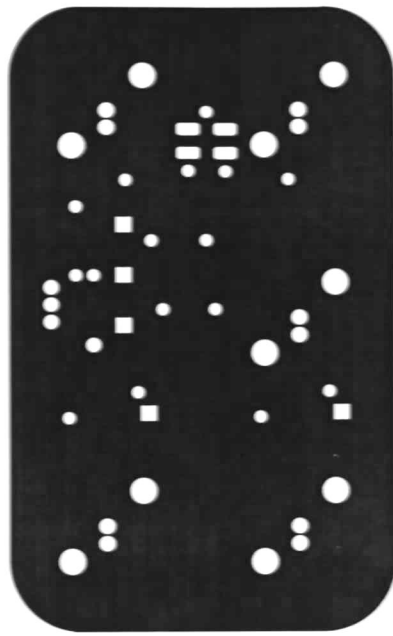
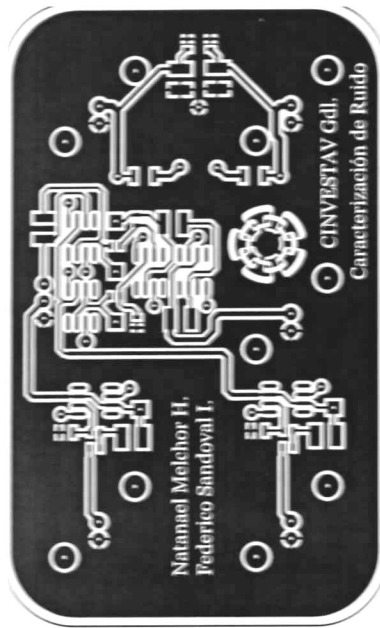
- [28] D. J. Hamilton and W. G. Howard, *Basic Integrated Circuit Engineering*, McGraw-Hill, New York, 1975, Sec. 6-6.
- [29] Baker R. J. (2010). *CMOS: Circuit Design, Layout, and Simulation*, New Jersey: John Wiley & Sons, Inc.
- [30] Romano Giannetti, "On Resistor-Induced Thermal Noise in Linear Circuits," *IEEE Transactions On Instrumentation and Measurement*, vol. 49, no. 1, February 2000.
- [31] Luis Moura, Izzat Darwazeh, *Introduction to Linear Circuit Analysis and Modelling: From DC to RF*, Newnes, 2005.
- [32] Steven B. Lowen and Malvinc C. Teich, "Power-Law Shot Noise", *IEEE Transactions on Information Theory*, Vol. 36, No. 6, November 1990.
- [33] Felix A. Levinzon, Measurement of Low-Frequency Noise of Modern Low-Noise Junction Field Effect Transistors, *IEEE Transactions On Instrumentation and Measurement*, vol. 54, no. 6, December 2005
- [34] Hardev Singh et al, Analysis and Modeling of 1/f Noise in MOSFETs for Circuit Applications: The Joint Effect of Channel Length and Conducting Slab Resistance, *Canadian Journal on Electrical and Electronics Engineering*, Vol. 1, No. 6, October 2010
- [35] Chengqing Wei et al, Test Structure for Characterization of Low-Frequency Noise in CMOS Technologies, *IEEE Transactions On Instrumentation and Measurement*, VOL. 59, NO. 7, JULY 2010
- [36] Hank Zumbahlen, *Basic Linear Design*, © 2007 Analog Devices, Inc., All Rights Reserved, ISBN 0-916550-28-1, pps. 1326
- [37] Alfred Blaum et al, A New Robust On-Wafer 1/f Noise Measurement and Characterization System, *Proc. IEEE 2001 Int. Conference on Microelectronic Test Structures*, Vol 14, March 2001
- [38] Ralf Brederlow et al, Influence of Fluorinated Gate Oxides on the Low Frequency Noise of MOS Transistors under Analog Operation, *Solid-State Device Research Conference*, 1998. *Proceeding of the 28th European*.
- [39] C. JAKOBSON et al, 1/f Noise in CMOS Transistors for Analog Applications from Subthreshold to Saturation, *Solid-State Electronics* Vol. 42, No. 10, pp. 1807±1817, 1998.

Apéndice A

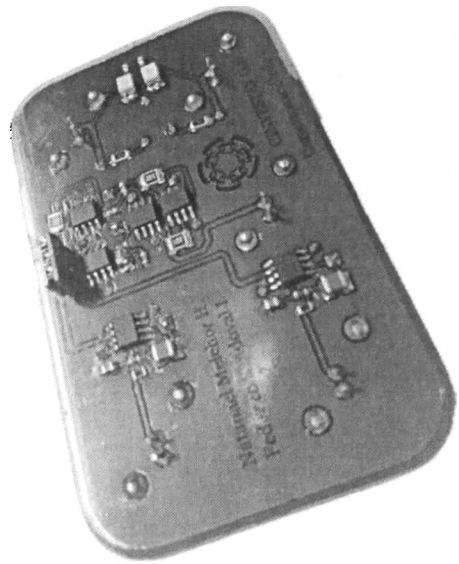
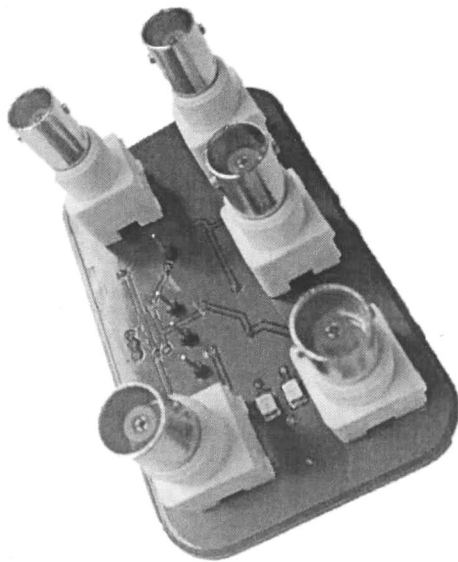
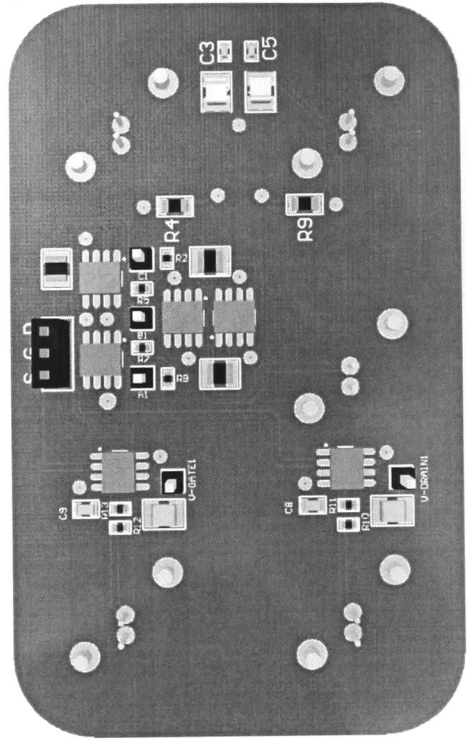
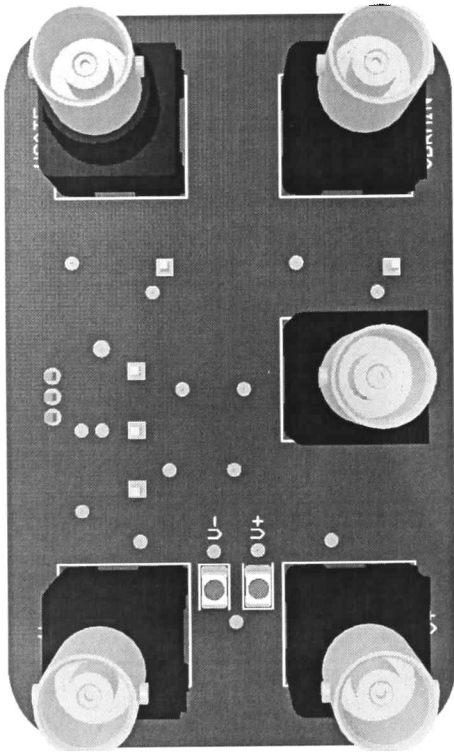
Arreglo Experimental



Title		Revision	
Size	Number		
Letter			
Date	6/5/2013		
File	D:\CINVESTAV\ Configuracion\Esperimento\Barridos\B1.doc		



Enable 3D View



Apéndice B

Publicaciones

Ruido $1/f$ en MOSFETS

N. Melchor, F. Sandoval-Ibarra

Centro de Investigación y de Estudios Avanzados
Instituto Politécnico Nacional–Unidad Guadalajara
nmelchor@gdl.cinvestav.mx

Resumen — El origen físico del ruido $1/f$ en MOSFETS es estudiado a partir de las dos teorías más aceptadas: fluctuación del número de portadores y fluctuación de la movilidad. En el análisis del ruido se han considerado dispositivos de canal largo que operan en fuerte inversión, experimentalmente se han reportado resultados que validan los modelos que describen el ruido $1/f$ para ambas teorías. Ya que la simulación es parte del flujo de diseño de cualquier circuito analógico, en este trabajo se presentan los modelos de ruido $1/f$ para simulación SPICE. También se muestra un arreglo experimental en la caracterización de ruido $1/f$ en MOSFETS, cuyo propósito es correlacionar los resultados de simulación.

Abstract — The physical origin of $1/f$ noise in MOSFETS is studied from the two most accepted theories: carrier number fluctuation and mobility fluctuation. In the noise analysis are considered long channel devices operating in strong inversion, experimental results have been also reported from which validate models describing the $1/f$ noise for both theories. Because simulation is part of the whole design flow of analog circuit, in this contribution we present the models of $1/f$ noise for SPICE simulation. This exercise shows an experimental setup for the characterization of $1/f$ noise in MOSFETS, whose purpose is to correlate the simulation results.

Palabras clave: densidad espectral de ruido, ruido $1/f$, SPICE, transistor MOS.

I. INTRODUCCIÓN

El ruido, en el más amplio de los sentidos, puede ser definido como una *perturbación indeseada* que “obscurece” o interfiere una señal deseada. La palabra “ruido” representa las fluctuaciones físicas que surgen en la operación de los dispositivos de los sistemas electrónicos. En ese sentido, el límite en la resolución de un sensor se determina por el nivel de ruido; el rango dinámico de un sistema, por la relación entre la señal y el ruido. El nivel de señal más alto que puede ser procesado se limita por las características del circuito, pero el más bajo lo establece el ruido generado [1].

Existen dos clases de ruido: extrínseco, a causa de la interferencia de señales externas; e intrínseco, debido a las propiedades fundamentales de los dispositivos que conforman un circuito. En cuanto al primero, puede ser totalmente eliminado con apropiados métodos de blindaje; en contraste, el segundo sólo puede ser minimizado. En la práctica se han definido distintos tipos de ruido intrínseco: térmico, *shot* y $1/f$. Como los dos primeros se caracterizan por un espectro plano, esta contribución se centra en el ruido $1/f$ en MOSFETS.

La tecnología CMOS domina la industria de la microelectrónica en un amplio rango de aplicaciones, incluyendo analógicas, digitales y de RF. Su auge ha incrementado el rendimiento y el nivel de integración de los circuitos integrados (CIS) de modo considerable, y a

la vez se ha elevado la generación de ruido $1/f$ (también llamado *flicker* o de baja frecuencia) con la reducción en el área del dispositivo, lo que deteriora la figura de ruido [2]. En aplicaciones analógicas se usan transistores de grandes dimensiones, los cuales caracterizan las propiedades de un transistor de canal largo y producen menor ruido. Al respecto, el análisis en el dominio de la frecuencia es relevante porque el ruido $1/f$ puede abarcar frecuencias en el orden de algunas decenas de kHz [3]. Por ello es preciso desarrollar modelos de diseño confiables que incorporen el impacto del ruido $1/f$ en circuitos analógicos. Los propósitos de este estudio son correlacionar los modelos de ruido $1/f$ existentes con modelos de simulación SPICE, incorporar métodos experimentales presentados en la literatura para su implementación y obtener datos de ruido en transistores MOS.

II. ORIGEN FÍSICO DEL RUIDO $1/f$

La captura y emisión individual de portadores en las trampas existentes en el óxido en MOSFETS causan modulaciones discretas en la conductancia, presentadas en forma de RTS (del inglés *Random Telegraph Signals*) [4]. La superposición de RTSS, sumado a un elevado número de trampas, provoca ruido $1/f$. Según esta descripción, en MOSFETS de canal largo hay un gran número de portadores de carga y de trampas, por lo que la interacción entre trampas vecinas *propicia* la dispersión no unifor-

me de los portadores de carga que constituyen la corriente [5].

Relativo a lo anterior, el origen físico del ruido $1/f$ en MOSFETS es descrito por la teoría de fluctuación en el número de portadores, aparece mientras son capturados y liberados por las trampas en el óxido. Las fluctuaciones inducen a su vez otras en la movilidad de los portadores a través del canal, porque las trampas ocupadas actúan como sitios de dispersión [2]. En MOSFETS de canal largo, particularmente en fuerte inversión, las fluctuaciones en la movilidad se dan en magnitudes despreciables [3].

ΔN Teoría de McWhorter

La fluctuación aleatoria en el número de portadores fue un modelo propuesto por McWhorter [6]. Según dicha teoría en el canal ocurre un intercambio de portadores con las trampas en el óxido mediante distintos tipos de transición, que incluyen procesos activados térmicamente o por tuneleo, lo anterior depende de la naturaleza de la trampa y de las condiciones de polarización. El modelo de fluctuación asume una dependencia exponencial con la tasa de captura-liberación sobre la profundidad de las trampas en el óxido, lo cual supone que posee una distribución uniforme [7], [8]. La teoría de McWhorter basada en MOSFETS de canal largo [9] pierde utilidad en dispositivos con longitudes de canal que satisfacen $L < 0.6 \mu m$. En consecuencia, se ha propuesto que la densidad espectral de potencia $S_{N_{ot}}$ de las fluctuaciones en el número de trampas ocupadas por unidad de área, N_{or} , se exprese como [2], [3]:

$$S_{N_{or}}(f) = N_{or}WL \frac{1}{f} \quad (1)$$

Donde W y L son, respectivamente, el ancho y largo del canal, y f la frecuencia de interés a la que se mide el ruido.

$\Delta \mu$ Teoría de Hooge

De acuerdo con McWhorter, las trampas en el óxido generan ruido al modular el número de portadores. No obstante, Hooge indicó que la movilidad de portadores en el canal manifiesta variaciones a consecuencia de las trampas ocupadas en el óxido. Su postura establece que el ruido $1/f$ es resultado de la fluctuación de la movilidad en el sustrato. La relación empírica de Hooge para cuantificar la PSD como un equivalente de la corriente, S_I , en una muestra homogénea [10], [11] está dada por:

$$S_I = \frac{I^2}{N} \frac{1}{f} \quad (2)$$

Donde I es la corriente promedio en la muestra, N el número total de portadores en ella y α el parámetro empírico de Hooge [12] con un valor aproximado de 2×10^{-3} . En la práctica, la fluctuación de la movilidad tiene mayor impacto en dispositivos nanométricos, por lo que la tesis de Hooge no es incluida en el análisis de ruido en MOSFETS de canal largo [13].

III. MODELOS DE RUIDO $1/f$

Para propósitos de diseño de circuitos analógicos los modelos de interés se basan en aproximaciones de transistores de canal largo y operan en fuerte inversión.

Modelos basados en ΔN

La PSD de ruido equivalente en corriente, S_{I_d} , en función de g_m se expresa como [2], [3], [14]:

$$S_{I_d}(f) = \frac{q^2 N_{or} g_m^2}{C_{ox}^2 WL} \cdot \frac{1}{f^\beta} \quad (3)$$

Donde g_m es la transconductancia del transistor, C_{ox} la capacitancia del óxido por unidad de área, β una constante que satisface la relación $0.8 < \beta < 1.2$ y $q = 1.602 \times 10^{-19} [C]$ es la carga electrónica [3], [14]. La transconductancia en fuerte inversión tiene la forma:

$$g_m = \sqrt{2 \frac{C_{ox} \mu W}{L} I_d} \quad (4)$$

Donde μ es la movilidad de los portadores en el canal. S_{I_d} puede expresarse en función de I_d como:

$$S_{I_d}(f) = \frac{2q^2 N_{or} \mu I_d}{C_{ox} L^2} \cdot \frac{1}{f^\beta} \quad (5)$$

Para ciertas aplicaciones el ruido generado se representa como un equivalente en voltaje y referido en el nodo de entrada del dispositivo pues es más significativo en el análisis a nivel circuito. La PSD de ruido $1/f$ referida a la entrada, equivalente en voltaje de compuerta $S_{V_{gs}}$, es [2], [3]:

$$S_{V_{gs}}(f) = \frac{S_{I_d}(f)}{g_m^2} = \frac{q^2 N_{or}}{C_{ox}^2 WL} \cdot \frac{1}{f^\beta} \quad (6)$$

En este caso, la contribución del ruido $1/f$ no depende de la región de operación (subumbral o fuerte inversión).

Modelos basados en $\Delta\mu$

Según el modelo de la fluctuación en la movilidad propuesto por Hooge, la PSD equivalente en corriente de drenaje se da por:

$$S_{I_d}(f) = \frac{\alpha I_d^2}{N_{or} WL} \cdot \frac{1}{f} \quad (7)$$

Donde I_d es la corriente de drenaje y α el parámetro empírico de Hooge con un valor aproximado de 2×10^{-3} para muestras homogéneas; en MOSFETS el valor de α es uno o dos órdenes de magnitud menor [12].

IV. MODELOS SPICE DE RUIDO FLICKER

A fin de simular la operación de circuitos MOS, un simulador requiere de modelos matemáticos que describan el comportamiento del dispositivo [15]. Los modelos de primer orden se sustentan en aproximaciones de canal largo, mientras que los modelos para transistores de canal corto son de orden mayor porque consideran efectos físicos denominados de segundo orden [15], [16]. El modelo SPICE de ruido $1/f$ de transistores de canal largo, en fuerte inversión, se conoce como *SPICE2-Flicker noise*, y está disponible en los modelos de simulación BSIM3 y BSIM4:

$$S_{I_d}(f) = \frac{KF \cdot I_d^{AF}}{C_{ox} \cdot WL} \cdot \frac{1}{f^{EF}} \quad (8)$$

Donde KF es un parámetro tecnológico, EF es el exponente de la frecuencia y AF el exponente de la corriente; a KF se le asocia una dependencia con el proceso tecnológico, de ahí que su valor no sea necesariamente la unidad; AF tiene un valor determinado de 1; EF es cercano a 1, oscila [14] de 0.8 a 1.2, cifra con la que se pretende correlacionar los resultados experimentales. En la práctica KF incrementa con voltajes en compuerta [2]. Sin embargo, el modelo *SPICE2-Flicker noise* no considera tal dependencia con V_g . Otro modelo SPICE es el siguiente [17]:

$$S_{I_d}(f) = \frac{KF \cdot I_d^{AF}}{C_{ox} \cdot L^2} \cdot \frac{1}{f^{EF}} \quad (9)$$

Éste difiere del anterior sólo en los parámetros geométricos. Se ha propuesto un tercer modelo [9]:

$$S_{I_d}(f) = \frac{KF \cdot g_m^2}{C_{ox}^2 \cdot WL} \cdot \frac{1}{f^{EF}} \quad (10)$$

Donde KF equivale a $q^2 N_{or}$, como puede apreciarse en (3).

V. MEDICIONES DEL RUIDO $1/f$

Las mediciones de ruido consumen tiempo y requieren de un control preciso de los parámetros DC del transistor.

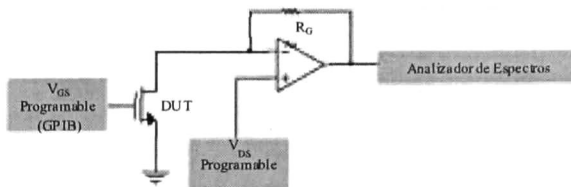


Figura 1. Arreglo experimental para la medición de la PSD en corriente.

En la figura 1 se expone el arreglo experimental para la medición de la PSD equivalente en corriente de drenaje [3], [17]–[21]. El transistor se conecta en configuración fuente común, en tanto, la terminal de drenaje se conecta a la entrada inversora de un amplificador de transconductancia, OTA, que convierte la corriente de entrada en un voltaje equivalente a la salida. La entrada no-inversora del OTA es conectada a la fuente de polarización de drenaje, la entrada inversora conectada al drenaje del MOSFET *reflejará* el voltaje de la entrada no-inversora; a su vez, la salida del OTA otorgará un voltaje proporcional a la corriente de drenaje. Un analizador de espectros se conecta a la salida del OTA con la intención de muestrear la señal entrante y entregar la PSD a la frecuencia de interés.

Las características DC del MOSFET se miden por separado con un analizador de parámetros. El ruido referido a la entrada se consigue al dividir S_{I_d} por el cuadrado de la transconductancia de compuerta medida:

$$S_{V_g}(f) = \frac{S_{I_d}(f)}{g_m^2} \quad (11)$$

Donde los errores en los datos de ruido deben minimizarse con la medición de la transconductancia [22]–[24].

Metodología de medición

Con frecuencia, los datos experimentales parecen ser confusos hasta que se adopta una aproximación sistemática y metodológica.

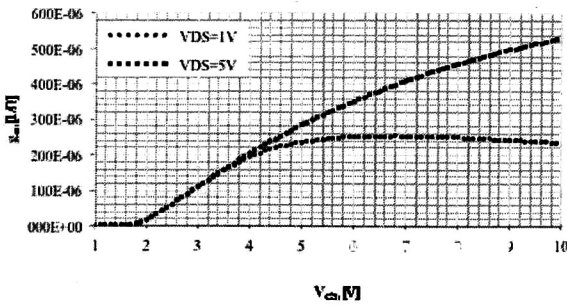


Figura 2. Simulación de gm como función de VGS.

Se recomienda graficar g_m vs. V_{GS} con V_{DS} como parámetro [3], [17], al igual que en la figura 2. La transconductancia es un parámetro importante en las mediciones del ruido $1/f$ ya que $S_{id}(f) = g_m^2 S_{v_g}(f)$, por ende convierte directamente la PSD de la corriente de drenaje al voltaje de ruido referido a la entrada. La transconductancia medida indica el rango del voltaje de polarización en drenaje y compuerta donde la movilidad de los portadores del canal es constante. En aplicaciones analógicas es fundamental limitar los voltajes de compuerta y drenaje a valores en los que la movilidad posea un mínimo decremento.

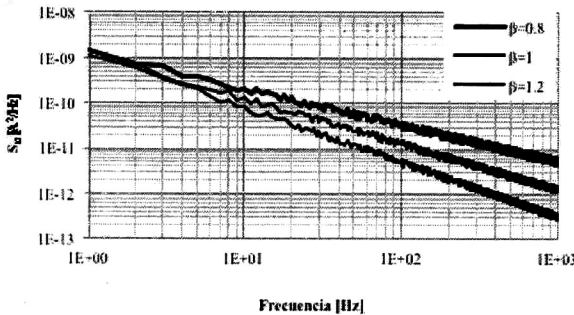


Figura 3. S_{id} en función de la frecuencia para un transistor PMOS.

Al ser medido el espectro del ruido [17] deberá presentar elementos similares a los de la figura 3. Cabe recordar que el espectro de ruido $1/f$ se caracteriza por la dependencia $1/f$ con $0.8 < \beta < 1.2$. Con la información experimental se normalizará la dependencia de la densidad espectral de potencia en corriente respecto a la corriente de drenaje promedio [3], [14] (figura 4); en simulación la S_{id} se eleva con aumentos en la corriente de drenaje.

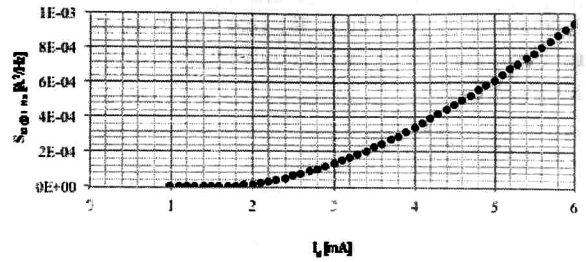


Figura 4. Dependencia de la PSD respecto a I_d .

De los datos obtenidos de la medición del ruido flicker se extrae el parámetro SPICE KF , que caracterizará el desempeño del ruido [14], [17].

VI. CONCLUSIONES

El punto primordial para la reducción del ruido $1/f$ en circuitos analógicos es diseñar MOSFETs de canal largo y limitar los voltajes en compuerta y drenaje a valores en que la reducción de la movilidad de canal sea muy pequeña. Cuando se comparan distintas tecnologías de fabricación se debe tener cuidado en medir sobre las mismas condiciones de polarización.

La presencia de niveles mayores de ruido en NMOS se atribuye a su menor nivel en la barrera de tunelaje (3.1 eV) para electrones, mientras que (4.8 eV) en huecos, así como la diferencia de la masa efectiva entre los dos portadores. Lo anterior establece que es más probable que las trampas en el óxido capturen portadores mayoritarios negativos que positivos.

Los modelos de simulación SPICE se ajustan a los modelos propuestos de canal largo, pero se requiere la caracterización experimental de transistores para la extracción de los coeficientes de ruido. Un arreglo experimental totalmente automatizado es preciso con el objeto de conseguir la exacta extracción de los datos de ruido. Es de suma trascendencia obtener los parámetros de los dispositivos de manera experimental y no de forma analítica, de ese modo todos los resultados se ajustarán a las características reales y no ideales.

Apéndice

Dentro del análisis para las unidades de la S_{id} en (3) se utiliza

$$S_{id}(f) = \frac{q^2 N_{ox} g_m^2}{C_{ox}^2 WL} \cdot \frac{1}{f^\beta}$$

$$\Rightarrow \frac{\left[\frac{C^2}{m^2} \right] \left[\frac{A^2}{V^2} \right] \frac{1}{[Hz]}}{\left[\frac{C}{V} \right]^2 \frac{1}{[m^2]}} = \frac{\left[\frac{C^2}{m^2} \right] \left[\frac{A^2}{V^2} \right] \frac{1}{[Hz]}}{\left[\frac{C^2}{V^2} \right] \frac{1}{[m^2]}}$$

$$= \frac{V^2 \cdot C^2 \cdot A^2 \cdot m^4}{V^2 \cdot C^2 \cdot m^2 \cdot m^2} \cdot \frac{1}{Hz} = A^2 \cdot \frac{1}{Hz} = \frac{A^2}{Hz}$$

En el análisis de las unidades de la S_{V_g} en (6) es

$$S_{V_g}(f) = \frac{S_{I_d}(f)}{g_m^2} = \frac{q^2 N_{ot}}{C_{ox}^2 WL} \cdot \frac{1}{f^\beta}$$

$$\Rightarrow \left[\frac{A^2}{Hz} \right] \left[\frac{V^2}{A^2} \right] = \frac{V^2}{Hz}$$

Para el análisis de las unidades de la S_{I_d} en (7) se emplea

$$S_{I_d}(f) = \frac{\alpha I_d^2}{N_{ot} WL} \cdot \frac{1}{f}$$

$$\Rightarrow \frac{\left[\frac{A^2}{m^2} \right] \frac{1}{\left[\frac{1}{m^2} \right] \left[\frac{1}{s} \right]}}{Hz} = \frac{A^2}{Hz}$$

VII. REFERENCIAS

- [1] Martin von Haartman and Mikael Östling, Noise in Advanced mos Devices, Royal Institute of Technology, Ed. Springer, Sweden, 2007.
- [2] Yael Nemirovsky, Dan Corcos, Igor Brouk, Anikam Nemirovsky and Samir Chaudhry, 1/f Noise in Advanced cmos Transistors, *ieee Instrumentation & Measurement Magazine*, January 2011.
- [3] C. Jakobson, I. Bloom and Y. Nemirovsky, 1/f Noise in cmos Transistors for Analog Applications from Subthreshold to Saturation, *Solid State Electronics*, vol. 42, no. 10, 1998.
- [4] Ralls, K.S., Skocpol, W.J., Jackel, L.D., Howard, R.E., Fetter, L.A., Epworth, R.W. and Tennant, Discrete resistance switching in submicrometer silicon inversion layers: individual interface traps and low-frequency (1/f) noise, *Phys. Rev. Lett.*, 1984, 52, pp. 228–231.
- [5] Mueller, H. H. and Schulz, Noise in Physical Systems and 1/f Fluctuations, ed. C. Claeys and E. Simoen. World Scientific®, 1997, p. 195.
- [6] McWhorter, "Semiconductor Surface Physics", Ed. Robert Hildreth Kingston, Pub. University of Pennsylvania Press, 1957, p. 207.
- [7] Y. Nemirovsky and A. Ron, A new approach to carrier trapping–detrapping 1/f noise, in *Noise in Physical Systems and 1/f Fluctuations*, ed. C. Claeys and E. Simoen. World Scientific®, 1997, p. 85.
- [8] Y. Nemirovsky and A. Ron, A revised model for carrier trapping–detrapping 1/f noise, *Solid–St. Electron.*, 1997. To be published.
- [9] Zeynep Celik–Butler and Petr Vasina, Channel length scaling of 1/f noise in 0.18 mm technology mdd n–mosfets, *Solid–State Electronics*, vol. 43, 1999, pp. 1695–1701.
- [10] C. Claeys, E. Simoen, P. Srinivasan and D. Misra, Impact of the gate–electrode/dielectric interface on the low–frequency noise of thin gate oxide n–channel metal–oxide–semiconductor field–effect transistors, *Solid–State Electronics*, vol. 51, 2007, pp. 627–632.
- [11] Jelena Citakovic, Lars J. Stenberg and Pietro Andreani, 1/f Noise Characterization in cmos Transistors in 0.13 μm Technology, *ieee*, 2006, pp. 81–84.
- [12] Kwok K. Hung, Ping K. Ko, Chenming Hu and Yiu C. Cheng, A Unified Model for the Flicker Noise in Metal Oxide–Semiconductor Field–Effect Transistors, *iee Transactions on Electron Devices*, vol. 37, no. 3, March 1990, pp. 654–664.
- [13] P. Masson, G. Ghibaudo, J.L. Autran, P. Morfouli and J. Brini, Influence of quadratic mobility degradation factor on low frequency noise in mos transistors, *Electronics Letters*, October 1998, vol. 34, no. 20, pp. 1977–1979.
- [14] I. Brouk and Y. Nemirovsky, Noise Characterization of the 0.35 μm cmos Analog Process Implemented in Regular and soi Wafers, 0–7803–8715–5/04 ©2004 *ieee*.
- [15] W. Lui, mosfet Models for spice simulation including bsim3v3 and bsim4, *ieee Computer Society Press*, 2001.
- [16] bsim, <http://www.device.eecs.berkeley.edu/~bsim3>.
- [17] Yael Nemirovsky, Igor Brouk and Claudio G. Jakobson, 1/f Noise in cmos Transistors for Analog Applications, *ieee Transactions on Electron Devices*, vol. 48, no. 5, May 2001, pp. 921–927.
- [18] Chengqing Wei, Yong–Zhong Xiong and Xing Zhou, Test Structure for Characterization of Low–Frequency Noise in cmos Technologies, *ieee Transactions on Instrumentation and Measurement*, vol. 59, no. 7, July 2010.
- [19] Ralf Brederlow, Werner Weber, Reinhard Jurk, Claus Dahe, Sylvia Kesse, Jitgen Holz, Wolfgang Sauert, Peter Klein, Bernd Lemaitre, Doris Schmitt–Landsie-

- del and Roland Thewes, Influence of Fluorinated Gate Oxides on the Low Frequency Noise of mos Transistors under Analog Operation, *iee Transactions on Electron Devices*, 1998, pp. 472–475.
- [20] Alfred Blaum, Olivier Pilloud, Giacomo Scalea, James Victory and Franz Sischka, A New Robust On–Wafer 1/f Noise Measurement and Characterization System, *Proc. ieee 2001 Int. Conference on Microelectronic Test Structures*, vol. 14, March 2001, pp. 125–130.
- [21] M. Valenza, A. Hoffmann, D. Sodini, A. Laigle, F. Martinez and D. Rigaud, Overview of the impact of downscaling technology on 1/f noise in p–mosfets to 90nm, *iee Proc. Circuits Devices Syst.*, vol. 151, no. 2, April 2004, pp. 102–110.
- [22] M.N. Ericson, C.L. Britton, J.M. Rochelle, B.J. Blalock, D.M. Binkley, A.L. Wintenberg and B.D. Williamson, Flicker Noise Behavior of mosfets Fabricated in 0.5 μm Fully Depleted (fd) Silicon–on–Sapphire (sos) cmos in Weak, Moderate, and Strong Inversion, *iee Transactions on Nuclear Science*, vol. 50, no. 4, August 2003, pp. 963–968.
- [23] J. Chang, C.R. Viswanathan and C. Anagnostopoulos, Flicker Noise Measurements in Enhancement Mode and Depletion Mode n–mos Transistors, *iee Transactions*, 1990, pp. 217–221.
- [24] Jimmin Chang, A.A. Abidi and C.R. Viswanathan, Flicker Noise in cmos Transistors from Subthreshold to Strong Inversion at Various Temperatures, *iee Transactions on Electron Devices*, vol. 41, no. 11, November 1994, pp. 1965–1971.

Ruido $1/f$ en MOSFETs: Origen Físico, Análisis y Simulación

Natanael Melchor Hernández, F. Sandoval Ibarra, Susana Ortega Cisneros
CINVESTAV, Unidad Guadalajara

nmelchor@gdl.cinvestav.mx, sandoval@cts-design.com, sortega@gdl.cinvestav.mx

Resumen— Para entender las causas del ruido $1/f$ en MOSFETs es necesario conocer las teorías que describen su origen físico, a saber la teoría de McWhorter y la teoría de Hooge. De esa comprensión se presentan los modelos analíticos del ruido $1/f$ reportados en la literatura, los cuales son un intento por correlacionar los resultados experimentales pues esos modelos están basados en la teoría del MOSFET de gran canal. Se presenta también una descripción de los modelos de simulación SPICE y se concluye que esos modelos están basados también en la teoría de dispositivos de gran canal. Por lo tanto, si la longitud del transistor debe incrementarse para minimizar el ruido $1/f$, es de interés conocer qué otros parámetros de diseño están bajo el control del diseñador, y qué técnica de diseño permite minimizar la magnitud de la denominada potencia espectral de ruido. Se presentan resultados de simulación que muestran el desempeño del ruido ante variaciones de los parámetros de mayor impacto en la magnitud del ruido $1/f$: la longitud de canal, L , y el exponente de la frecuencia, β .

Abstract— In order to understand what the $1/f$ noise in MOSFETs is, it is mandatory to review those physical theories trying to describe the physical origin of noise, i.e. the McWhorter theory and the Hooge theory. Based on this understanding, analytical models of the $1/f$ noise commonly reported in open literature are presented and discussed. These models, however, even when attempt to correlate experimental results we must underline that are models-based on the long channel MOSFET theory. Next, we present a description of SPICE simulation models, which are based on the same long channel theory. Thus, if the device's channel must be increased for minimizing $1/f$ noise, it is needed to know whether other design parameters can be used to minimize the magnitude of the so-called spectral power of noise. From this analysis simulation results are presented in order to show the performance of noise due changes in two physical parameters: the channel length, L , and the frequency exponent, β . These parameters present the highest impact on the $1/f$ noise magnitude.

Palabras Clave—Ruido intrínseco, densidad espectral de potencia, transistor MOS, SPICE.

I. INTRODUCCIÓN

LA tecnología MOS es la dominante en la actualidad, su empleo en la industria de la microelectrónica abarca un amplio rango de aplicaciones, incluyendo analógicas, digitales y de RF. El transistor CMOS, como todo dispositivo

electrónico, no queda exento de la presencia de ruido. El ruido eléctrico es la *perturbación aleatoria* que interfiere con las señales de interés dentro de un circuito, que puede tener un origen intrínseco y/o extrínseco. El ruido intrínseco es aquel debido a las propiedades fundamentales de los circuitos y componentes electrónicos; el ruido térmico y ruido $1/f$ son las dos fuentes de ruido en MOSFETs con mayor impacto en aplicaciones analógicas [1]. En contraste, el ruido extrínseco al ser causado por efectos ajenos a los circuitos –en forma de interferencia con el exterior– puede ser totalmente eliminado con adecuadas técnicas de blindaje; en contraste con el ruido intrínseco que solamente puede ser minimizado con un adecuado diseño a nivel circuito [2].

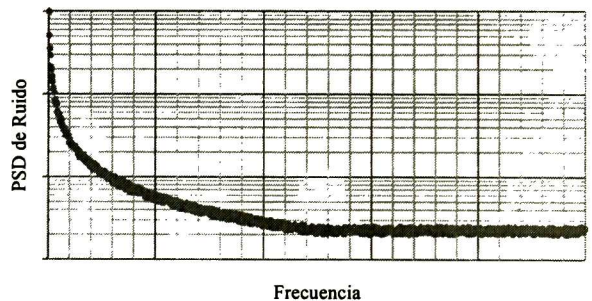


Fig. 1 PSD del ruido intrínseco en MOSFETs.

La Fig. 1 muestra el comportamiento de la Densidad Espectral de Potencia (o PSD por sus siglas en inglés: *Power Spectral Density*) del ruido intrínseco en MOSFETs. Obsérvese que a bajas frecuencias el ruido tiene una dependencia $1/f$, con lo cual es evidente que conforme la frecuencia aumenta, el ruido disminuirá hasta una frecuencia (denominada frecuencia de esquina) donde la PSD tendrá un espectro plano (denominado ruido blanco); cuando la PSD presenta un valor constante se dice que la mayor contribución es debida al ruido térmico [3]. Lo anterior refleja que el ruido $1/f$ en MOSFETs es la fuente de ruido más importante a bajas frecuencias, razón por la cual en aplicaciones de baja frecuencia esta no idealidad debe ser minimizada con adecuadas técnicas de diseño. Sin embargo, para determinar qué técnicas aplicar primero es importante entender a qué fenómeno se enfrenta el diseñador de circuitos analógicos. En la literatura suele encontrarse que el ruido $1/f$ también se denomina ruido *Flicker* –porque la corriente eléctrica en el medio tiene fluctuaciones en forma de *parpadeos*–, ruido de baja frecuencia –porque es dominante a bajas frecuencias–, y ruido rosa –en analogía al color que presenta el rango inferior

del espectro visible– [4]; en esta contribución se usará el término $1/f$.

La organización de esta contribución está de la siguiente manera. La sección II muestra una descripción de las dos teorías más aceptadas para describir el origen físico del ruido $1/f$. En la misma sección se hace una revisión crítica de los modelos analíticos que se deducen de aquellas, y son analizados en el contexto del modelado eléctrico equivalente de un transistor MOS de gran canal. La sección III expone las formas para obtener analíticamente la PSD del ruido en MOSFETs. Los modelos empíricos del ruido –reportados en la literatura–, y cómo modelar su efecto en circuitos CMOS es analizado en la sección IV. Las consideraciones de diseño para minimizar la PSD del ruido en transistores MOS son presentadas en la misma sección. Luego, para determinar cómo es el análisis de ruido $1/f$ en programas de simulación de propósito general –como SPICE–, se hace una revisión de los modelos de simulación reportados en la literatura en la sección V. En esta misma sección se presenta un análisis de resultados, modelos analíticos vs modelos SPICE, con el propósito de mostrar si entre uno y otro modelado existe correlación. Los resultados de esta contribución, y una breve descripción del trabajo futuro se presentan en la sección VI.

II. TEORÍAS DEL ORIGEN FÍSICO DEL RUIDO $1/f$

El origen físico del ruido $1/f$ en MOSFETs aún causa polémica debido al grado de incertidumbre que se tiene al ser muchas las teorías que intentan explicarlo. Las teorías de mayor aceptación son dos: la fluctuación del número de portadores y la fluctuación de la movilidad de portadores en el canal.

A. Teoría de McWhorter, ΔN

La teoría de la fluctuación en el número de portadores fue propuesta por McWhorter [5]. Según esta teoría, en el canal ocurre un intercambio de portadores de carga con las trampas existentes en el óxido, y ocurre mediante distintos tipos de transición que incluyen procesos activados térmicamente o por tuneo; según la teoría el proceso que se presenta depende de la naturaleza de la trampa y de las condiciones de polarización. De acuerdo a la teoría de McWhorter se asume una dependencia exponencial en la tasa de captura/liberación con la profundidad de la trampa en el óxido. De igual forma se asume una distribución uniforme en el espacio y en la energía lo que significa una uniformidad de trampas distribuidas en el canal. Basado en lo anterior, la PSD del número de trampas ocupadas por unidad de área, $S_{N_{ot}}(f)$, suele representarse por

$$S_{N_{ot}}(f) = N_{ot}WL \frac{1}{f} \quad (1)$$

donde W y L son, respectivamente, el ancho y largo del canal, y f la frecuencia de interés; la teoría de McWhorter está basada en MOSFETs de canal largo [6]. Obsérvese que para minimizar la generación de ruido los únicos parámetros bajo el control del diseñador son las dimensiones del transistor, es decir, debe reducirse la dimensión del canal de conducción; esta conclusión, en la práctica, no se verifica pues para

minimizar ese efecto las dimensiones del transistor suelen ser incrementadas [7].

B. Teoría de Hooge

Esta teoría parte del hecho de que la movilidad de portadores –en el canal de conducción– presenta variaciones que son consecuencia de las trampas ocupadas en el óxido, las cuales actúan como sitios Coulómbicos. La relación empírica para cuantificar la PSD del ruido como un equivalente en corriente, S_i , en una muestra homogénea está dada por

$$S_i = \frac{\alpha I^2}{N} \cdot \frac{1}{f} \quad (2)$$

donde I y N son la corriente promedio y el número total de portadores en la muestra, y α es el parámetro empírico de Hooge con un valor aproximado de 2.0×10^{-3} . En la práctica, la teoría de la fluctuación en la movilidad de portadores tiene mayor correlación en dispositivos de canal corto [8], pues al reducir la longitud de canal aumenta la corriente I y consecuentemente la PSD. En otras palabras, para minimizar la PSD suele incrementarse solamente la longitud de canal. Aún más, para reducir el nivel de ruido $1/f$ en transistores MOS –usados en aplicaciones analógicas– se diseñan y analizan en términos de las propiedades de un transistor de gran canal [9].

Los modelos analíticos para cuantificar el ruido $1/f$, reportados en la literatura, se basan en la aproximación de gran canal, donde $L > 0.6 \mu\text{m}$, porque aun cuando el diseño se realice en tecnologías sub-micrométricas la longitud de canal es grande. Si bien el ruido $1/f$ está presente en otros dispositivos electrónicos, en todos ellos esta clase de ruido está asociado a la existencia de una corriente de DC que fluye por un medio discontinuo, y esta característica puede deberse tanto a las imperfecciones en la estructura cristalina del semiconductor (incluyendo impurezas indeseadas), como por los mecanismos de dispersión entre los portadores de carga y la energía de estado superficial del semiconductor [10].

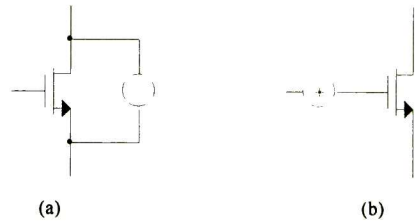


Fig. 2 Modelo eléctrico equivalente del ruido generado por un transistor MOS, como una fuente de corriente (a), y como una fuente equivalente en voltaje referida a la entrada del transistor.

III. MODELADO DEL RUIDO $1/f$ EN MOSFETs

La Fig. 2 muestra cómo representar el ruido en MOSFETs [4]. El ruido generado por un transistor puede representarse como una fuente equivalente en corriente conectada entre el terminal de drenaje y fuente del transistor, S_{id} . Alternativamente una fuente equivalente en voltaje puede conectarse en serie con la terminal de compuerta del dispositivo, S_{Vg} . Esta última representación es de utilidad

porque permite comparar la magnitud del ruido generado con la magnitud de las señales de interés

$$S_{Q_{om}}(f) = \frac{q^2 N_{ot}}{WL} \frac{1}{f} \quad (9)$$

Con ayuda de la ley de Ohm es sencillo obtener la PSD de un dispositivo electrónico, es decir, si $dI_d = g_m dV_g$ entonces $S_{I_d} = g_m^2 S_{V_g}$. Nótese que con los postulados de la teoría se determina la PSD asociado a las fluctuaciones en el número de trampas ocupadas, con lo cual sólo resta determinar un modelo –basado en la teoría de operación del transistor MOS de canal largo– que defina la relación entre el número de trampas del óxido, el número de portadores en el canal, las dimensiones geométricas del transistor y los parámetros eléctricos del punto de operación (I_d , V_d , V_g). Entonces, es bien sabido que las densidades de carga eléctrica en el canal de inversión y de las trampas en el óxido están dadas, respectivamente, por

$$Q_{inv} \left[\frac{C}{\text{cm}^2} \right] = \frac{q N_{inv}}{WL} \quad (3)$$

$$Q_{ot} \left[\frac{C}{\text{cm}^2} \right] = \frac{q N_{ot}}{WL} \quad (4)$$

donde N_{inv} es el número total de portadores en el canal y N_{ot} representa el número total de trampas ocupadas [11]. Luego, de acuerdo a la teoría del transistor MOS

$$\delta Q_{inv} = - \left[\frac{C_{inv}}{C_{ox} + C_d + C_{inv}} \right] \delta Q_{ot} \quad (5)$$

donde C_d es la capacitancia de agotamiento, C_{ox} es la capacitancia del óxido, y C_{inv} es la capacitancia de la región de inversión [11]; todas expresadas en capacitancia por unidad de área. Entonces, para un análisis en pequeña señal se tiene que

$$S_{Q_{om}}(f) = \left[\frac{C_{inv}}{C_{ox} + C_d + C_{inv}} \right]^2 S_{Q_{ot}}(f) \quad (6)$$

donde

$$S_{Q_{ot}}(f) = \left(\frac{q}{WL} \right)^2 S_{N_{ot}}(f) \quad (7)$$

Y $S_{N_{ot}}(f)$ está dada por (1). Sustituyendo ambas expresiones en (6) se tiene que

$$S_{Q_{om}}(f) = \left[\frac{C_{inv}}{C_{ox} + C_d + C_{inv}} \right]^2 \frac{q^2 N_{ot}}{WL} \frac{1}{f} \quad (8)$$

Obsérvese que este resultado muestra qué relación guarda el número de portadores en el canal –a través del número de trampas ocupadas– y la dimensión física del transistor, con lo cual lo que sigue es incorporar la dependencia del punto de polarización. Entonces, para simplificar (8) debe tenerse presente que en aplicaciones analógicas el transistor opera en régimen de fuerte inversión, y según la teoría del transistor MOS $C_{inv} \gg C_{ox} + C_d$, y entonces la PSD de la carga en la región de inversión se simplifica:

En aplicaciones analógicas, el transistor MOS suele polarizarse en su región de saturación y el voltaje de drenaje V_d que define el límite entre la región lineal y de saturación se denomina voltaje de saturación, $V_{d,sat}$. En la práctica, para asegurar que el transistor MOS opera en saturación debe satisfacerse que $V_d \gg V_{d,sat} \approx V_g - V_{th}$ [12]. Esta condición de polarización presenta una no idealidad y es el denominado fenómeno de *pinch-off*, lo que significa que el canal de conducción no es uniforme y que la carga eléctrica en él es función de la distancia, y , a lo largo del canal:

$$Q_{inv}(y) = C_{ox} [V_g - V_{th} - V(y)] \quad (10)$$

donde $V(y)$ varía de 0 en $y=0$ a $V_{d,sat} \approx V_g - V_{th}$ en $y=L$ (que es donde ocurre el *pinch-off*). La ecuación (10) es importante porque es el modelo a través del cual se relaciona la densidad de carga tanto con el voltaje aplicado en la terminal de compuerta, V_g , como con el voltaje de encendido, V_{th} . Entonces, la carga promedio en la región de inversión se obtiene de [13]:

$$Q_{inv} = \frac{1}{L} \int_0^L Q_{inv}(y) dy = \frac{C_{ox}}{L} \int_0^{V_g - V_{th}} [V_g - V_{th} - V(y)] \frac{dV}{dy} \quad (11)$$

La integral puede resolverse al multiplicar por Q_{inv}/Q_{inv} y considerando que $Q_{inv}(dV/dy) = I_d/Z\mu$. En saturación la corriente, I_d , es constante a lo largo de todo el canal:

$$I_d = \frac{C_{ox} \mu W}{2L} (V_g - V_{th})^2 \quad (12)$$

donde μ es la movilidad de portadores. Entonces se obtiene que

$$Q_{inv} = \frac{2}{3} C_{ox} (V_g - V_{th}) \quad (13)$$

En consecuencia

$$S_{Q_{om}}(f) = \frac{4}{9} C_{ox}^2 S_{V_g}(f) \quad (14)$$

Para relacionar $S_{Q_{om}}(f)$ con N_{ot} , la relación de capacitancias en (8) debe promediarse a lo largo del canal. En $y=0$, cerca de la terminal de fuente, la fuerte inversión prevalece, con lo que $C_{inv} \gg C_{ox} + C_d$, adquiriendo la relación de capacitores un valor equivalente a 1. En el punto de *pinch-off*, $C_{inv} = 0$ y la relación capacitiva tiende a cero. Por lo tanto, $S_{Q_{om}}(f)$ está relacionada a N_{ot} por un factor aproximado de $1/2$ [14]:

$$S_{Q_{om}}(f) = \frac{1}{2} \frac{q^2 N_{ot}}{WL} \frac{1}{f} \quad (15)$$

Nótese que la diferencia entre (9) y (15), es que en la obtención de aquella se asume que el canal de inversión es uniforme, mientras que en (15) se deduce a través de

incorporar el fenómeno de *pinch-off*. Este último resultado, si bien es una aproximación simple, permitiría proponer que –en un transistor en saturación– se satisface que $C_{im} \approx C_{ox} + C_d$. Luego, al igualar (9) con (14) se obtiene que

$$S_{V_g}(f) = \frac{9}{8} \frac{q^2 N_{ox}}{C_{ox}^2 WL} \frac{1}{f} \approx \frac{q^2 N_{ox}}{C_{ox}^2 WL} \frac{1}{f} \quad (16)$$

Este resultado indica, por un lado, que la PSD del voltaje V_g –que garantiza que el transistor opere en saturación– incorpora la dependencia con la densidad de trampas y, por otro lado, representa la potencia espectral del ruido referido a la entrada, mostrada en la Fig. 2b; este resultado es importante porque permite incorporarle como una fuente equivalente de voltaje, y analizar su efecto a nivel circuito con los postulados de la teoría de circuitos. Puede demostrarse que $[S_{V_g}] = V^2/Hz$, y con ayuda de la ley de Ohm obtener la PSD del ruido equivalente en corriente, $S_{I_d}(f) = g_m^2 S_{V_g}(f)$:

$$S_{I_d}(f) \approx \frac{2q^2 \mu N_{ox} I_d}{C_{ox} L^2} \frac{1}{f} \quad (17)$$

Obsérvese que este resultado justificaría por qué, para minimizar el ruido generado por un transistor, se recomienda incrementar el largo del canal de conducción [10]; este resultado también muestra por qué un transistor PMOS genera menor cantidad de ruido que su contraparte NMOS; recuérdese que $\mu_p < \mu_n$ [15]. Para todo propósito práctico, tanto (16) como (17) deben considerarse modelos analíticos de diseño, sin olvidar que falta determinar un valor típico y/o una expresión para N_{ox} .

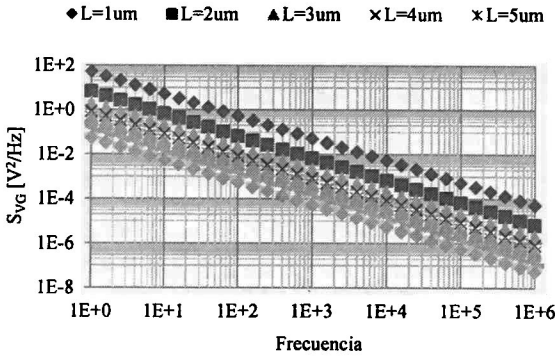


Fig. 3 Comparación de la PSD de ruido de V_G a diferentes longitudes de canal, con $W=10\mu m$, $V_{GS}=V_{DS}=2.5V$.

IV. MODELOS ANALÍTICOS DE RUIDO $1/f$ EN MOSFETS

La PSD debida al ruido –equivalente en corriente–, S_{I_d} , en función de g_m reportada en la literatura está dada por [15], [16], **Error! Reference source not found.**:

$$S_{I_d}(f) = \frac{q^2 N_{ox} g_m^2}{C_{ox}^2 WL} \frac{1}{f^\beta} \quad (18)$$

donde β es una constante que satisface $0.7 < \beta < 1.3$ [16], **Error! Reference source not found.**. Alternativamente se ha reportado otra forma analítica para la PSD:

$$S_{I_d}(f) = \frac{2q^2 N_{ox} \mu I_d}{C_{ox} L^2} \frac{1}{f^\beta} \quad (19)$$

la cual es útil pues permite diferenciar el ruido generado por uno u otro tipo de transistor, a saber NMOS y PMOS.

La gráfica de la Fig. 3 muestra que el aumento de la longitud del canal disminuye el ruido $1/f$ en varios órdenes de magnitud. Es importante lo anterior, ya que la longitud de canal de los transistores es un parámetro bajo el control del diseñador.

En el diseño de circuitos en modo voltaje, el análisis resulta más significativo al representar el ruido generado como un equivalente en voltaje y referido al nodo de entrada del dispositivo. El modelo empírico reportado está dado por [15], [16]:

$$S_{V_g}(f) = \frac{S_{I_d}(f)}{g_m^2} = \frac{q^2 N_{ox}}{C_{ox}^2 WL} \frac{1}{f^\beta} \quad (20)$$

donde β es un parámetro que suele obtenerse de resultados experimentales [9], es decir, es un parámetro de ajuste.

◆ $\beta=0.7$ ■ $\beta=0.8$ ▲ $\beta=0.9$ × $\beta=1.0$ × $\beta=1.1$ ● $\beta=1.2$ + $\beta=1.3$

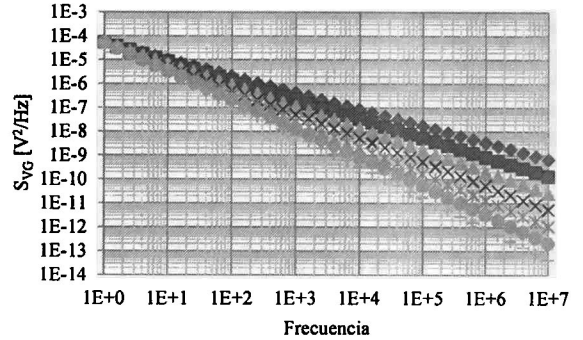


Fig. 4 Comparación de la PSD de ruido de VG a diferentes exponentes de frecuencia, β , de canal, con $W=L=10\mu m$, $V_{GS}=V_{DS}=2.5V$.

V. MODELOS SPICE DE RUIDO $1/f$ EN MOSFETS

Luego de diseñar un circuito es fundamental su simulación, y no solo para verificar el cumplimiento de especificaciones sino para acceder a los recursos de optimización de la herramienta de simulación. En lo que al análisis del ruido se refiere, el modelo SPICE de mayor uso para el análisis de ruido $1/f$ en transistores MOS –operando en fuerte inversión–, es *SPICE-Flicker noise* **Error! Reference source not found.**, $NLEVEL=0$:

$$S_{I_d}(f) = \frac{KF \cdot I_d^{AF}}{C_{ox} \cdot L^2} \frac{1}{f^{EF}} \quad (21)$$

donde KF , AF , y EF son el coeficiente *Flicker*, y los exponentes de la corriente y de la frecuencia, respectivamente;

al valor del coeficiente KF se le asocia una dependencia con el proceso tecnológico, y AF tiene un valor por *default* de 1 **Error! Reference source not found.**

La gráfica mostrada en la Fig. 4 muestra la importancia de β , el exponente de la frecuencia, parámetro que *permite* extender la frecuencia esquina varios órdenes de magnitud, haciendo que el ruido $1/f$ impacte a frecuencias mayores (como ha sido reportado en **Error! Reference source not found.**).

Otro modelo SPICE, denominado $NLEVEL=1$, está dado por

$$S_{I_a}(f) = \frac{KF \cdot I_a^{AF}}{C_{ox} \cdot WL} \cdot \frac{1}{f^{EF}} \quad (22)$$

Un tercer modelo, $NLEVEL=2&3$, es ese que el simulador ejecuta por *default*, y está dado por

$$S_{I_a}(f) = \frac{KF \cdot g_m^2}{C_{ox} \cdot WL} \cdot \frac{1}{f^{EF}} \quad (23)$$

En la práctica, los modelos de ruido $1/f$ ejecutados por SPICE incluye valores por *default* (de valor 1) que reducen los modelos de la PSD a los modelos analíticos (18) y (19). Sin embargo, porque la comunidad se ha dado a la tarea de determinar parámetros de ajuste, es que SPICE *accepta* que el diseñador introduzca los valores que correspondan en el modelo de simulación CMOS [4]; esta posibilidad permite obtener el mejor ajuste entre los resultados de simulación y los obtenidos experimentalmente **Error! Reference source not found., Error! Reference source not found.** Para aquellas situaciones en el que no se cuenta con información experimental, los valores por *default* SPICE son $AF=EF=1$ [17], y para KF el valor típico es 10^{28} (el cual debe ser introducido en el modelo de simulación CMOS [4]). Obsérvese que, al comparar (19) con (21), se concluye que

$$KF = 2q^2 N_{ot} \mu \quad (24)$$

VI. CONCLUSIONES

De las dos teorías del origen del ruido $1/f$ expuestas, se omite la teoría de la fluctuación de la movilidad en canales gran longitud, ya que en la práctica tiene mayor correlación en dispositivos de canal corto pues al reducir la longitud de canal aumenta la corriente I y consecuentemente la PSD .

Es bien sabido que los MOSFETs de canal largo presentan menores niveles de ruido $1/f$ respecto a su contraparte de canal corto, notándose esta característica en la dependencia L^{-2} de la PSD .

La presencia de niveles mayores de ruido en NMOS se atribuye a un menor nivel de la barrera de tuneleo, 3.1 eV para electrones, mientras que 4.8 eV para huecos así como la diferencia de la masa efectiva entre estos dos portadores y las movilidades de canal. Lo anterior establece que es más probable que las trampas en el óxido capturen portadores mayoritarios negativos, que positivos.

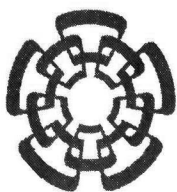
Los modelos de simulación SPICE se ajustan a los modelos de canal largo propuestos, sin embargo es necesaria la caracterización experimental de transistores para la

extracción de los coeficientes de ruido, para así tener resultados de simulación que correlacionen lo más posible los resultados experimentales; el problema nuevo es determinar qué fenómeno justificaría que $\beta \neq 1$, ya que el exponente de la frecuencia puede variar en un rango de $0.7 < \beta < 1.3$, jugando un papel de vital importancia al establecer la frecuencia de esquina entre varios órdenes de magnitud - el ruido $1/f$ puede dominar hasta frecuencias en el orden de algunas decenas de kHz-.

Como trabajo a futuro se tiene la medición experimental del ruido $1/f$ en transistores CMOS para la extracción de los parámetros SPICE que nos permitan simular la figura del ruido $1/f$ en el dominio de la frecuencia.

REFERENCIAS

- [1] C. D. Motchenbacher, J. A. Connelly, "Low Noise Electronic System Design", John Wiley & Sons, Inc., pps. 430, 1993.
- [2] David A. Johns y Ken Martin, *Analog Integrated Circuit Design*, Wiley, Primera Ed., pps. 720, 1996.
- [3] ZeynepCelik-Butler and PetrVasina, Channel length scaling of $1/f$ noise in 0.18 mm technology MDD n-MOSFETs, *Solid-State Electronics*, vol. 43, 1999, p. 1695-1701.
- [4] R. Jacob Baker, *CMOS: Circuit Design, Layout, and Simulation*, IEEE Series on Microelectronic Systems, WILEY, Third Edition, 2010, pps 302-304.
- [5] McWhorter, "Semiconductor Surface Physics," Ed. Robert Hildreth Kingston, Pub. University of Pennsylvania Press, 1957, p. 207.
- [6] ZeynepCelik-Butler and PetrVasina, Channel length scaling of $1/f$ noise in 0.18 mm technology MDD n-MOSFETs, *Solid-State Electronics*, vol. 43, 1999, p. 1695-1701.
- [7] Yael Nemirovsky, Igor Brouk and Claudio G. Jakobson, $1/f$ noise in CMOS Transistors for Analog Applications, *IEEE Transactions on Electron Devices*, Vol. 48, No. 5, May 2001.
- [8] P. Masson, G. Ghibaudo, J.L. Autran, P. Morfouli and J. Brini, Influence of quadratic mobility degradation factor on low frequency noise in MOS transistors, *Electronics Letters*, October 1998, vol. 34, no. 20, p. 1977-1979.
- [9] Yael Nemirovsky, Dan Corcos, Igor Brouk, AnikamNemirovsky and Samir Chaudhry, $1/f$ Noise in Advanced CMOS Transistors, *IEEE Instrumentation & Measurement Magazine*, January 2011.
- [10] G. Vasilescu, *Electronic Noiseand Interfering Signals*, Springer Series on Signals and Communication Technology, pps. 520, 2005.
- [11] C. G. Yakobson, I. Bloom and Y. Nemirovsky, $1/f$ noise in CMOS Transistors for Analog Applications, Kidron Microelectronics Research Center.
- [12] David A. Johns y Ken Martin, *Analog Integrated Circuit Design*, Wiley, Primera Ed., pps. 720, 1996.
- [13] M.Valenza, A. Hoffmann, D. Sodini, Overview of the Impact of Downscaling Technology on $1/f$ Noise in p-MOSFETs, *Noise in Devices and Circuits*, IEE Proc.-Circuits Devices Syst., Vol. 151, No. 2, April 2004.
- [14] C. Jakobson, I. Bloom and Y. Nemirovsky, $1/f$ Noise in CMOS Transistors for Analog Applications from Subthreshold to Saturation, *Solid-State Electronics* Vol. 42, No. 10, pp. 1807-1817, 1998.
- [15] Yael Nemirovsky, Dan Corcos, Igor Brouk, AnikamNemirovsky and Samir Chaudhry, $1/f$ Noise in Advanced CMOS Transistors, *IEEE Instrumentation & Measurement Magazine*, January 2011.
- [16] C. Jakobson, I. Bloom and Y. Nemirovsky, $1/f$ Noise in CMOS Transistors for Analog Applications from Subthreshold to Saturation, *Solid State Electronics*, vol. 42, no. 10, 1998.
- [17] T-Spice 15 User Guide.



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

Análisis y Modelado de Ruido Intrínseco en Circuitos Integrados
Analógicos CMOS

del (la) C.

Natanael MELCHOR HERNÁNDEZ

el día 09 de Agosto de 2013.

Dr. Juan Luis Del Valle Padilla
Investigador CINESTAV 3C
CINESTAV Unidad Guadalajara

Dr. Federico Sandoval Ibarra
Investigador CINESTAV 3B
CINESTAV Unidad Guadalajara

Dra. Susana Ortega Cisneros
Investigador CINESTAV 2B
CINESTAV Unidad Guadalajara



CINVESTAV - IPN
Biblioteca Central



SSIT0012013