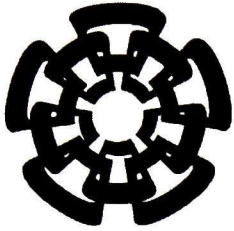


CT-836-SS1

DOM: 7015



Centro de Investigación y de Estudios Avanzados
del Instituto Politécnico Nacional
Unidad Guadalajara

**Síntesis de un modulador sigma-delta
CMOS en tiempo discreto: Circuito
fundamental para el diseño de un
convertidor A/D sigma-delta híbrido
multirate**

Tesis que presenta:
Daniel Alberto Calderón Preciado

para obtener el grado de:
Maestro en Ciencias

en la especialidad de:
Ingeniería Eléctrica

Director de Tesis
Dr. Federico Sandoval Ibarra

**CINVESTAV
IPN
ADQUISICION
LIBROS**

CLASIF..	OT 00737
ADQUIS..	OT-836-SS1
FECHA:	18-06-2015
PROCED..	JUN-2015
\$	

**Síntesis de un modulador sigma-delta
CMOS en tiempo discreto: Circuito
fundamental para el diseño de un
convertidor A/D sigma-delta híbrido
multirate**

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

Por:

Daniel Alberto Calderón Preciado
Ingeniero Electrónico

Instituto Tecnológico de Culiacán 2007-2012

Becario de Conacyt, expediente no. 280969

Director de Tesis
Dr. Federico Sandoval Ibarra

CINVESTAV del IPN Unidad Guadalajara, Agosto de 2014.

Agradecimiento

A mis padres y hermanos por su especial apoyo durante los buenos y los malos momentos.

A los Doctores que forman parte del área de Diseño Electrónico, especialmente al Dr. Federico Sandoval Ibarra que me ha guiado y ayudado durante el desarrollo del proyecto.

Al Conacyt por brindarme el apoyo económico en mi formación de maestría.

Resumen

Debido a la tendencia de utilizar circuitos digitales que realicen el procesamiento de una gran cantidad de variables físicas, es necesario un mecanismo de conversión que sirva como puente entre el entorno real, inherentemente analógico, y el entorno digital.

Los convertidores analógico/digital que utilizan modulación $\Sigma\Delta$ han surgido como una excelente alternativa para ser implementados en sistemas VLSI debido a que presentan baja sensibilidad a las no idealidades de los circuitos analógicos ya que utilizan una etapa de procesamiento digital de la señal.

Existen dos formas principales para implementar moduladores $\Sigma\Delta$: Tiempo Discreto (DT) y Tiempo Continuo (CT). Los moduladores $\Sigma\Delta$ DT utilizan filtros integradores realizados mediante capacitores conmutados (SC) o corriente conmutada (SI) mientras que los moduladores $\Sigma\Delta$ CT se construyen en filtros activos RC o g_mC .

SIMSIDES (SIMulink based SIGma DELta Simulator) es un simulador comportamental avanzado en el dominio del tiempo de Convertidores Analógico/Digital $\Sigma\Delta$ con diferentes arquitecturas (DT o CT) que permite realizar la síntesis de los circuitos a nivel transistor que conforman los diferentes bloques del modulador, y de esta manera obtener un desempeño lo más cercano al ideal.

Para realizar la implementación utilizando la técnica de capacitores conmutados es necesario que se cumpla una serie de requerimientos por parte de la circuitería analógica, principalmente por parte del amplificador operacional, como son la frecuencia de ganancia unitaria, margen de fase, ganancia en DC, *output swing*, entre otras.

En el presente trabajo de investigación se describen los fundamentos teóricos de la modulación $\Sigma\Delta$, tanto en DT como en CT. También se realiza el análisis de un modulador $\Sigma\Delta$ DT de 4^o Orden en configuración cascada 2-2 con una frecuencia de muestreo de 200MHz, en aras de implementarlo físicamente mediante capacitores conmutados. Posteriormente se presenta el diseño de un amplificador operacional de transconductancia completamente diferencial con una frecuencia de ganancia unitaria de 1GHz. Por último se describen las técnicas básicas para el diseño físico y los resultados de *layout* de los bloques que conforman el OTA completamente diferencial.

Abstract

Due to the tendency of using digital circuitry to process a great quantity of physical variables, a conversion mechanism that works between the real world, an analogic one, and the digital world is mandatory.

Analogic to digital converters using $\Sigma\Delta$ modulation have emerged as an excellent alternative to be implemented in VLSI systems due to their low sensibility to analog circuitry non idealities. This fact is because of the digital signal processing into a $\Sigma\Delta$ modulation.

There are two main ways to implement $\Sigma\Delta$ modulators: Discrete Time (DT) and Continuous Time (CT). DT $\Sigma\Delta$ modulators use integrators built in switched capacitors (SC) or switched current (SI) whereas CT $\Sigma\Delta$ modulators are realized in active RC or g_mC filters.

SIMSIDES (SIMulink based SIGma DELta Simulator), on the other hand, is an advanced behavioral simulator in the time domain for $\Sigma\Delta$ Analogic to Digital Converters with different architectures (DT or CT) that allows the designer to synthetize circuitry at transistor. The purpose is to obtain a performance as close to the ideal as possible.

In order to implement the $\Sigma\Delta$ modulators in switched capacitors, the analogic circuitry must satisfy a series of requirements, mainly the operational amplifier, where unity gain frequency, phase margin, DC gain, output swing, are some examples.

In this research work the theoretical foundation of $\Sigma\Delta$ modulation is described, both in DT and CT. Also the analysis of a 4th Order MASH (2-2) DT $\Sigma\Delta$ Modulator with a sampling rate of 200MHz is carried out, aiming to a physical implementation in switched capacitors. Later the design of a fully differential operational transconductance amplifier with a unity gain frequency of 1GHz is presented. Finally, the basic layout techniques and the layout results of the fully differential OTA are described.

Índice

1.	Introducción -----	1
1.1	Introducción -----	1
1.1.1	Conversión Analógica/Digital -----	2
1.1.2	Clasificación de los ADC -----	4
1.2	Planteamiento del Problema -----	4
1.3	Antecedentes -----	4
1.4	Justificación -----	5
1.5	Objetivos -----	6
1.5.1	Objetivo General -----	6
1.5.2	Objetivos Específicos -----	6
2.	Fundamentos de Modulación $\Sigma\Delta$ -----	7
2.1	Introducción -----	7
2.2	<i>Sample and Hold</i> (S/H) -----	8
2.2.1	Interruptor CMOS -----	8
2.2.2	Funcionamiento de S/H -----	9
2.3	Cuantización -----	10
2.3.1	Error de Cuantización -----	11
2.4	Fundamento de los ADC $\Sigma\Delta$ en Tiempo Discreto (DT) -----	13
2.4.1	Sobre-muestreo -----	13
2.4.2	Arquitectura básica de un convertidor Analógico/Digital con Modulación $\Sigma\Delta$ DT -----	14
2.4.3	<i>Noise-shaping</i> en Moduladores $\Sigma\Delta$ -----	16
2.5	Fundamentos de los ADC $\Sigma\Delta$ en Tiempo Continuo (CT) -----	19
2.5.1	Operación de muestreo -----	20
2.5.2	Filtro en tiempo continuo -----	21
2.5.3	Cuantizador -----	21
2.5.4	Retroalimentación (DAC) -----	21
2.5.5	DT/CT <i>Trade-offs</i> -----	22
2.6	Arquitecturas de Moduladores $\Sigma\Delta$ -----	23
2.6.1	Arquitectura de Lazo Único -----	23
2.6.2	Arquitectura en cascada (MASH) -----	24
2.6.3	Arquitectura Multi-bit -----	26
2.7	Modulador $\Sigma\Delta$ bajo estudio: DT 4 ^o Orden en Cascada -----	27
2.7.1	Descripción del Modulador -----	27
2.7.2	Obtención de las Ganancias del Modulador de 2 ^o Orden -----	27
2.7.3	Obtención de la Lógica de Cancelación Digital (DCL) -----	28

3.	Simulación en SIMSIDES -----	30
3.1	Introducción -----	30
3.2	Modelado Comportamental -----	31
	3.2.1 ¿Qué es el modelado comportamental? -----	31
	3.2.2 ¿Qué es SIMSIDES? -----	31
3.3	Simulación en SIMSIDES -----	34
	3.3.1 Simulación Ideal -----	34
	3.3.2 Simulación con parámetros reales -----	36
4.	OTA Completamente Diferencial -----	40
4.1	Introducción -----	40
4.2	Implementación completamente diferencial (<i>fully-differential</i>) -----	41
	4.2.1 <i>Common Mode Feedback (CMFB)</i> -----	42
	4.2.2 Tecnología a utilizar -----	42
	4.2.3 Requerimientos de Capacitores Conmutados (SC) -----	42
4.3	<i>Complementary Folded Cascode Feedforward Compensated (CFCFC)</i> -----	43
	4.3.1 Diseño del <i>CFCFC</i> OTA -----	45
	4.3.2 Diseño del <i>CMFB</i> -----	47
4.4	Resultados -----	49
	4.4.1 Resultados de Virtuoso -----	49
	4.4.2 Resultados de Análisis en Pequeña señal -----	53
	4.4.2.1 Resistencia de Salida -----	53
	4.4.2.2 Ganancia en DC -----	55
4.5	<i>Layout</i> del <i>CFCFC</i> OTA -----	56
	4.5.1 Fundamentos de <i>Layout</i> -----	56
	4.5.1.1 Parásitas -----	56
	4.5.1.2 Transistores CMOS -----	57
	4.5.1.3 Contactos a pozo y substrato -----	59
	4.5.1.4 <i>Matching</i> -----	58
	4.5.2 <i>Layout</i> del <i>CMFB</i> -----	61
	4.5.3 <i>Layout</i> del <i>CFCFC</i> OTA -----	63
5.	Conclusiones y trabajo futuro -----	65
5.1	Conclusiones -----	65
5.2	Trabajo futuro -----	67
	Bibliografía -----	68

Lista de Figuras

Fig. 1 Señal continua en el tiempo y discretizada en amplitud -----	3
Fig. 2 Bloques básicos para realizar una conversión Analógica/Digital -----	3
Fig. 3 Inyección de carga de un interruptor CMOS -----	8
Fig. 4 <i>Clock feedthrough</i> en un interruptor CMOS -----	9
Fig. 5 Funcionamiento básico de un circuito S/H -----	9
Fig. 6 Circuito básico S/H -----	10
Fig. 7 Comportamiento característico de un cuantizador ideal -----	10
Fig. 8 Error de cuantización -----	11
Fig. 9 Modelo lineal del cuantizador -----	12
Fig. 10 Dominio de la frecuencia: a) Convertidor de Nyquist, b) Convertidor de sobre-muestreo -----	13
Fig. 11 Ilustración del efecto del sobre-muestreo -----	14
Fig. 12 Diagrama a bloques de un ADC $\Sigma\Delta$ DT -----	15
Fig. 13 Densidad de pulsos de salida de un modulador $\Sigma\Delta$ para una entrada sinusoidal -----	15
Fig. 14 Modulador $\Sigma\Delta$ de primer orden -----	16
Fig. 15 Modulador $\Sigma\Delta$ de primer orden en el dominio de s -----	17
Fig. 16 Respuesta en frecuencia de un modulador $\Sigma\Delta$ -----	17
Fig. 17 <i>NTF</i> para diferentes órdenes de modulador -----	18
Fig. 18 a) Diagrama a bloques del ADC $\Sigma\Delta$ DT, b) diagrama a bloques del ADC $\Sigma\Delta$ CT -----	20
Fig. 19 Formas de onda de DAC de retroalimentación -----	22
Fig. 20 Diagrama a bloques del modulador $\Sigma\Delta$ de Primer Orden -----	23
Fig. 21 Diagrama a bloques del modulador $\Sigma\Delta$ de Alto Orden -----	24
Fig. 22 Diagrama a bloques del modulador $\Sigma\Delta$ en cascada -----	25
Fig. 23 a) Modulador $\Sigma\Delta$ multi-bit, b) Modelo lineal con fuentes de error-----	26
Fig. 24 Diagrama a bloques del Modulador $\Sigma\Delta$ de 4º Orden DT en Cascada --	27
Fig. 25 Diagrama a bloques de Modulador $\Sigma\Delta$ de 2º Orden en Tiempo Discreto -----	27
Fig. 26 Diagrama a bloques de Modulador $\Sigma\Delta$ de 4º Orden en Tiempo Discreto -----	28
Fig. 27 Estructura de la herramienta -----	34
Fig. 28 Modulador ideal DT 2-2 construido en SIMSIDES -----	34
Fig. 29 DCL construida en SIMSIDES -----	35
Fig. 30 Espectro de Salida del Modulador $\Sigma\Delta$ Ideal DT de 4º Orden -----	36
Fig. 31 Modulador $\Sigma\Delta$ de 4º Orden con las no-idealidades de los SC-----	36

Fig. 32 IBN vs A_v para diferentes valores de I_o -----	37
Fig. 33 IBN vs G_m para diferentes valores de I_o -----	37
Fig. 34 Numero de Eventos de OS en el Modulador -----	38
Fig. 35 Espectro ideal vs Espectro con parámetros seleccionados -----	38
Fig. 36 SNDR Ideal vs SNDR con parámetros seleccionados -----	39
Fig. 37 Ejemplo de las ventajas de la implementación completamente diferencial -----	41
Fig. 38 Diagrama a bloques del funcionamiento del CMFB -----	42
Fig. 39 Filtro Integrador completamente diferencial implementado en SC --	43
Fig. 40 <i>Complementary Folded Cascode Feedforward Compensated</i> (CFCFC) OTA -----	44
Fig. 41 Ramas del CFCFC OTA: a) PPNN, b) PNNN y c) PPPN -----	45
Fig. 42 <i>Common Mode Feedback</i> en Tiempo Continuo -----	48
Fig. 43 Rama PNN del CMFB -----	48
Fig. 44 Comprobación CMFB -----	49
Fig. 45 Ganancia y Fase del CFCFC OTA -----	50
Fig. 46 Versión final del CFCFC OTA -----	51
Fig. 47 Escalón unitario: a) Configuración de prueba y b) Respuesta en el tiempo -----	52
Fig. 48 Circuito equivalente en pequeña señal del CFCFC -----	53
Fig. 49 Circuito equivalente en pequeña señal del CFCFC -----	54
Fig. 50 Circuito equivalente en pequeña señal del CFCFC con Fuente de Prueba -----	54
Fig. 51 Circuito equivalente en pequeña señal para la obtención de la Ganancia en DC -----	55
Fig. 52 Partición de transistores para la reducción de resistencia parásita ----	57
Fig. 53 Unión de drenador y fuente para la reducción del consumo de área --	58
Fig. 54 Interconexión de las terminales del transistor -----	58
Fig. 55 Creación de la unión PN entre Pozo N y Substrato P -----	59
Fig. 56 Contactos a Pozo conectados a V+ y contactos a substrato a V- -----	59
Fig. 57 Técnica de Centroide común -----	60
Fig. 58 Técnica de <i>Cross-quading</i> -----	60
Fig. 59 Simetría de bloques en el diseño físico -----	61
Fig. 60 Corriente que circula a través del CMFB -----	61
Fig. 61 <i>Layout</i> final de CMFB -----	62
Fig. 62 Corriente que circula a través del CFCFC OTA -----	63
Fig. 63 <i>Layout</i> final del CFCFC OTA -----	64

Capítulo 1

Introducción

Se presenta una breve introducción a los convertidores Analógico/Digital y por qué la necesidad de su existencia. También se mencionan los tipos de convertidores A/D y sus principales características. Por último se describen los puntos que definen la idea general del proyecto de investigación como lo son el planteamiento del problema, su justificación, cuales son los antecedentes y objetivos a alcanzar.

1.1 Introducción

LA idea y conceptos básicos de la circuitería CMOS fueron inventados en 1963 por Frank Wanlass mientras trabajaba en Fairchild Semiconductor. La idea principal era que los circuitos fueran fabricados con dispositivos MOS (Metal Oxide Semiconductor) complementarios (NMOS y PMOS)¹.

Los circuitos integrados fabricados en tecnología CMOS pueden ser construidos en áreas muy pequeñas, al mismo tiempo que manejan altas velocidades de operación disipando reducidas cantidades de potencia. Quizá el aspecto más importante por el cual la tecnología CMOS es predominante es la capacidad de manufactura, ya que los dispositivos pueden ser fabricados con pocos defectos y también debido a que el costo de fabricación ha ido disminuyendo con la miniaturización de los dispositivos.

¹ R. Jacob Baker, CMOS Circuit Design, Layout and Simulation, New Jersey, Wiley, 2005, p. 6-7

Inicialmente la tecnología CMOS era exclusivamente utilizada para el diseño digital, y el constante empuje para disminuir costos e incrementar la funcionabilidad de los circuitos integrados, ha resultado en el uso de circuitos analógicos, analógicos/digitales y de señal mezclada. El problema principal del diseño analógico, utilizando tecnología CMOS, es el *matching*, el cual se refiere a qué tan parecidas son las características eléctricas de dos transistores de idénticas dimensiones.

La tendencia actual de diseño completamente integrado en un sustrato semiconductor es trasladar los procesos analógicos al dominio digital, de manera que se tome ventaja de lo mencionado anteriormente (costo, velocidad, robustez). El hecho de que los circuitos analógicos y digitales compartan un mismo sustrato ha causado que el flujo de diseño sea más complicado por lo que el desempeño del sistema está limitado por la precisión y velocidad de la parte analógica.

Los ADC $\Sigma\Delta$ son una buena alternativa para ser implementados en sistemas VLSI, ya que la mayoría de los convertidores se ven afectados por las no idealidades de los circuitos, lo que hace necesario incorporar mecanismos de protección, mientras que los ADC $\Sigma\Delta$ presentan baja sensibilidad a dichas no idealidades ya que utilizan un procesamiento digital de la señal².

1.1.1 Conversión Analógica/Digital

Todas las señales que se encuentran en la naturaleza tienen una forma analógica representativa de la variación de la magnitud física en el tiempo y espacio. Algunos ejemplos son el sonido, la temperatura, imágenes, señales biológicas, etc. El procesamiento de estas señales se realiza de manera más efectiva en el dominio digital debido a que presenta las siguientes ventajas sobre el procesamiento analógico: alta precisión, almacenamiento sin pérdidas y de alta densidad con perfecta reproducibilidad, flexibilidad y alto rendimiento al realizar todo tipo de funciones, bajo costo, pequeño tamaño y bajo consumo de potencia.

Los convertidores (circuitos que cambian una señal de tipo analógica a una de tipo digital o viceversa) juegan un rol muy importante en el mundo crecientemente digital. Al haber un sinfín de dispositivos que realizan cálculos en el dominio digital, o discreto, más sofisticados deben ser los convertidores que deben traducir datos digitales hacia y desde nuestro mundo inherentemente analógico³. El convertidor analógico/digital es un circuito que transforma una señal continua en el

José Gerardo García Sánchez, Tesis de Maestría Metodología de Diseño para Moduladores Delta-Sigma en Tiempo Continuo y Tiempo Discreto en Tecnología CMOS de 65 nm, p. 1-2

³ R. Jacob Baker, CMOS Circuit Design, Layout and Simulation, New Jersey, Wiley, 2005, p. 931

tiempo y en amplitud en una señal discreta en el tiempo y con su amplitud cuantificada y codificada como se muestra en la Fig. 1.

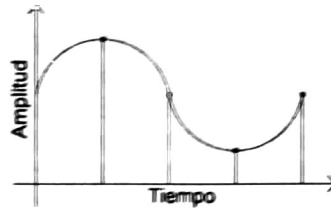


Fig. 1 Señal continua en el tiempo y discretizada en amplitud

La exactitud de una señal digitalizada depende principalmente de dos factores: el número de muestras (*samples*) tomadas y la resolución, o número de niveles de cuantización del convertidor. A partir de ellos se realiza la transformación continua a discreta de la señal de entrada, es decir, el muestreo en el tiempo y la cuantización en amplitud. Los errores inherentes a estos dos procesos limitan el funcionamiento de un ADC aun cuando sus componentes sean considerados ideales.

Para que no exista pérdida de información es necesario cumplir con el criterio de Nyquist, el cual define la velocidad con la que debe ser muestreada una señal para representar una señal analógica de manera exacta. Este criterio requiere que la velocidad de muestreo (*sampling rate*) sea por lo menos dos veces mayor a la máxima frecuencia contenida en la señal analógica⁴:

$$f_s = 2f_0 \quad (1.1)$$

La Fig. 2 muestra los bloques básicos de un convertidor Analógico/Digital. El filtro *anti-aliasing* elimina los componentes espectrales que están por encima del 50% del valor de la frecuencia de muestreo a la cual trabaja el circuito S/H, y de esta manera cumplir con los postulados del teorema de Nyquist. El circuito S/H muestrea la señal limitada en banda que se obtiene a la salida del filtro, produciendo una señal en tiempo discreto; el cuantizador toma dicha señal y mapea el rango de amplitudes continuas en un conjunto de niveles discretos y, finalmente, el codificador asigna un código binario a cada uno de los niveles discretos. La cuantización introduce una limitación debido a que degrada la calidad de la señal de entrada al mapear los niveles de valor continuo a un valor finito (error de cuantización).



Fig. 2 Bloques básicos para realizar una conversión Analógica/Digital

⁴ R. Jacob Baker, CMOS Circuit Design, Layout and Simulation, New Jersey, Wiley, 2005, p. 934

1.1.2 Clasificación de los ADC

Existen varias clasificaciones: según su razón de sobre-muestreo, compromiso resolución-velocidad, bits del cuantizador (*single bit* y *multi bit*) y por el ancho de la banda de la señal de entrada (pasa-bajas o pasa-banda).

Según su razón de sobre-muestreo (M), que está definida como el cociente entre la frecuencia de muestreo f_s y la frecuencia de Nyquist f_N (igual o mayor a la unidad para evitar pérdida de información durante el proceso de muestro), se dividen en: convertidores de Nyquist ($M=1$) y convertidores de sobre-muestreo ($M>1$, generalmente $M>>1$).

La clasificación resolución-velocidad se refiere a que la resolución determina el rango dinámico para una señal de entrada con máxima amplitud medido en número de bits equivalentes y, la velocidad, se define como la frecuencia máxima a la cual el ADC es capaz de procesar información. Dicha clasificación se divide en: convertidores de velocidad baja-media (desde DC hasta $\sim 100\text{Hz}$) y alta resolución (20-22 bits) (ADCs de integración), convertidores de velocidad media (100Hz-10MHz) y resolución media (12-20 bits) (ADCs de aproximaciones sucesivas y algorítmicos) y convertidores de alta velocidad (10MHz-1GHz) y baja resolución (6-12 bits) (ADCs *flash*, interpolativos, *folding*, *pipelined*, etc.).

1.2 Planteamiento del Problema

En muchas aplicaciones de procesamiento digital de señal, las señales analógicas deben ser convertidas en digitales previamente al procesamiento. Los avances tecnológicos en los procesos digitales VLSI han incrementado dramáticamente la necesidad de convertidores A/D y D/A de bajo costo y alto rendimiento. Usualmente para señales de alta frecuencia se utilizan convertidores con arquitecturas complejas, de los cuales se obtienen resoluciones relativamente bajas. Por lo anterior, se plantea diseñar un ADC mediante modulación $\Sigma\Delta$ en Tiempo Discreto que reduzca la complejidad del sistema y alcance tanto la frecuencia de muestreo como la resolución de un convertidor de alta velocidad convencional. También que parte del modulador $\Sigma\Delta$ en Tiempo Discreto funcione como una de las etapas para la implementación de un modulador $\Sigma\Delta$ Híbrido que aproveche las ventajas del tiempo continuo y el tiempo discreto.

1.3 Antecedentes

Existen un sinnúmero de aplicaciones en las cuales los convertidores y la circuitería ruidosa de procesamiento digital de señal son requeridas en el mismo circuito integrado. Entre los candidatos más prometedores de

conversión A/D para este tipo de aplicaciones se encuentran los convertidores $\Sigma\Delta$. En 1989 T. Karema diseñó e implementó un modulador $\Sigma\Delta$ de 4º Orden para aplicaciones de audio utilizando la arquitectura que se desea implementar. La velocidad de muestreo conseguida fue de 3MHz para una señal de banda base de 20kHz logrando 16 bits de SNDR con una tecnología de fabricación que permitía transistores con una longitud mínima de $2.5\mu\text{m}^5$. En 1994 G. Yin y W. Sansen consiguieron 92dB de SNDR a una frecuencia de muestreo de 45MHz utilizando una arquitectura cascada 2-1-1 con un proceso de fabricación BiCMOS de $2\mu\text{m}^6$. Empezando el siglo XXI M.F. Snoeij *et al* lograron 91 dB de SNDR con una alimentación de tan solo 2.5V en arquitectura de lazo único de retroalimentación con una frecuencia de muestreo de 1.4MHz⁷. En el 2010 Chieng-Hung Kuo *et al*, mediante una arquitectura cascada 2-2 y voltajes de alimentación variables (desde 1.8V a 0.9), lograron 84dB de SNDR en un proceso de fabricación de $0.18\mu\text{m}^8$.

1.4 Justificación

Debido a la necesidad de una conexión entre el entorno que es meramente analógico y el mundo digital, donde se facilita el procesamiento de las señales, los convertidores analógico/ digital (ADC) y digital/analógico (DAC) se han convertido en el puente de unión entre ambos dominios. Conforme la tecnología ha avanzado y los protocolos de comunicación se han vuelto más complejos, la necesidad de convertidores que manejen señales de alta frecuencia y que provean alta resolución ha ido en aumento. Los convertidores Analógico/Digital $\Sigma\Delta$ han surgido como opción para ser utilizados en las tecnologías modernas CMOS, donde la tendencia es implementar tanto los circuitos analógicos como digitales en un mismo sustrato. Al utilizar este tipo de convertidores los requerimientos de la circuitería analógica disminuyen a expensas de circuitos digitales más complejos.

⁵ T. Karema, et al, "Fourth Order Sigma-Delta Modulator Circuit for Digital Audio and ISDN Applications", European Conference on Circuit Theory and Design, September 1989, pp. 223-227.

⁶ Guangming Yin, Willy Sansen, "A High Frequency and High Resolution Fourth-Order $\Sigma\Delta$ A/D Converter in BiCMOS Technology", IEEE Journal of Solid State Circuits, August 1994, pp.857-865.

⁷ M.F. Snoeij, O. Bajdechi, J.H. Huijsing, "A 4th Order Switched-Capacitor Sigma-Delta A/D Converter using a High Ripple Chebyshev Loop Filter", IEEE International Symposium on Circuits and Systems, May 2001, pp. 615-618.

⁸ Chieng-Hung Kuo, et al, "A Low-Voltage Fourth-Order Cascade Delta-Sigma Modulator in $0.18\mu\text{m}$ CMOS", IEEE Transactions on Circuits and Systems-I: Regular Papers, September 2010, pp. 2450-2461.

1.5 Objetivos

1.5.1 Objetivo General

Diseñar y sintetizar un Modulador $\Sigma\Delta$ en Tiempo Discreto de Cuarto Orden en cascada, utilizando la técnica de capacitores conmutados (*Switched Capacitors*) con una frecuencia de muestreo de 200MHz.

1.5.2 Objetivos Específicos

- Encontrar el valor de los "pesos" que permitan al Modulador $\Sigma\Delta$ en Tiempo Discreto de Cuarto Orden en cascada tener un funcionamiento correcto.
- Utilizar el modelo comportamental a alto nivel para sintetizar los valores a nivel transistores de los circuitos electrónicos que conforman al modulador.
- Diseñar un amplificador operacional que se ajuste a los requerimientos de implementación en capacitores conmutados.
- Conocer la tecnología de fabricación que se utilizará.
- Familiarizarse con el paquete y software de diseño de la tecnología de fabricación.
- Realizar la implementación física o *layout* del amplificador operacional.

Capítulo 2

Fundamentos de Modulación $\Sigma\Delta$

Se presentan los principios básicos para la conversión analógica/digital utilizando modulación $\Sigma\Delta$ y se describen los fundamentos de operación tanto en Tiempo Discreto (DT) como en Tiempo Continuo (CT). También se realiza una comparación entre ambas implementaciones y, por último, se presenta y analiza el sistema bajo estudio: Modulador $\Sigma\Delta$ en Tiempo Discreto de 4º Orden en configuración Cascada.

2.1 Introducción

LA idea y conceptos básicos de la modulación delta fueron propuestos a finales de los años 40's, y fue para realizar la conversión de señales analógicas de baja frecuencia en un flujo de bits que podían ser transferidos de manera sencilla a través de canales con una alta cantidad de ruido. Debido a todas las ventajas que ha traído consigo la modulación $\Sigma\Delta$, se ha realizado el estudio de manera extensiva de estos elementos⁹.

En la actualidad un sinfín de aplicaciones utilizan conversión analógica/digital, demandando resoluciones altas a una gran velocidad de operación. Los convertidores A/D que utilizan modulación $\Sigma\Delta$ reúnen todas las características para su implementación en sistemas que demanden estas características, reduciendo los requerimientos de la parte analógica del sistema y apoyándose de un procesamiento digital de señales.

⁹ George I. Bourdopoulos, Aristodemos Pnevmatikakis, Delta-Sigma Modulators Modeling, Design and Applications, London, Imperial College Press, 2006, p. 2

2.2 Sample and Hold (S/H)

2.2.1 Interruptor CMOS

Un componente fundamental de cualquier circuito dinámico es el interruptor. Una característica importante de un interruptor MOS, es que bajo condiciones de DC la compuerta no atrae portadores de carga. Por consiguiente se pueden despreciar las capacitancias entre compuerta/drenaje y compuerta/fuente, teniendo como resultado el paso de información a través del interruptor libre de interferencia por parte de la señal de control. Existen dos no idealidades principales en los interruptores MOS que limitan su uso en algunas aplicaciones (como en los convertidores): inyección de carga y *clock feedthrough*¹⁰.

Cuando un interruptor MOSFET está encendido y con un V_{DS} pequeño, existe una carga bajo el óxido de compuerta resultante de la inversión del canal, Q_{ch} . Cuando el MOSFET se apaga, dicha carga es inyectada al capacitor y la fuente v_{in} . Debido a que v_{in} tiene una baja impedancia, la carga inyectada no tiene efecto en ese nodo, sin embargo, la carga inyectada al capacitor C_{load} cambia el voltaje que contiene. También existe inyección de carga cuando el interruptor se enciende pero el hecho de que el voltaje de entrada esté conectado a C_{load} , a través de la resistencia del canal, hace este error poco importante (Fig. 3)¹¹.

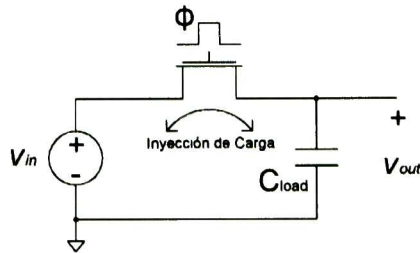


Fig. 3 Inyección de carga de un interruptor CMOS

En los casos donde la inyección de carga es independiente de la señal, se presenta un *offset*, el cual es fácil de manejar en comparación a la distorsión armónica.

La Fig. 4 ilustra el problema del *clock feedthrough*. Cuando la señal de control de la compuerta, Φ , se pone en alto, la señal de reloj pasa a través de las capacitancias de *gate/drain* y *gate/source*. Sin embargo, al encenderse el interruptor, la señal de entrada, v_{in} , se conecta al capacitor de carga a través del NMOS. El resultado es la carga de C_{load} al voltaje v_{in} , y el paso de la señal a través de las capacitancias no tiene efecto en

¹⁰ R. Jacob Baker, CMOS Circuit Design, Layout and Simulation, New Jersey, Wiley, 2010, p. 829-830

¹¹ Ibidem, p. 830-831

v_{out} . Pero cuando la señal de reloj hace la transición a bajo y el interruptor se apaga, un divisor de voltaje capacitivo se crea entre la capacitancia de *gate/drain* y la capacitancia de carga. Como resultado, una porción de Φ interviene en el voltaje almacenado en C_{load} .

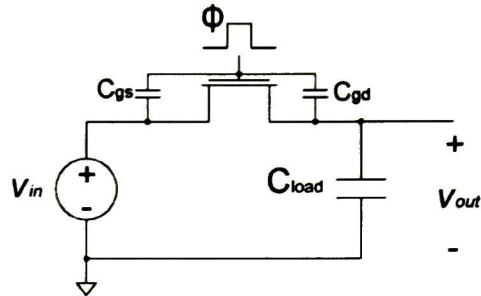


Fig. 4 Clock feedthrough en un interruptor CMOS

2.2.2 Funcionamiento de S/H

El circuito *sample and hold* (S/H) es utilizado para muestrear una señal analógica y almacenar su valor durante un periodo de tiempo. En muchos de los casos el uso de un S/H a la entrada de un ADC puede minimizar de gran manera los errores debido a los retrasos en la operación interna del convertidor¹².

El S/H tiene un interruptor analógico con una terminal de control, la cual al cerrarse conecta a la señal de entrada con el capacitor de retención y la salida del *buffer* “sigue” a la entrada. Si el interruptor se abre, la entrada se desconecta del capacitor (Fig. 5)¹³.

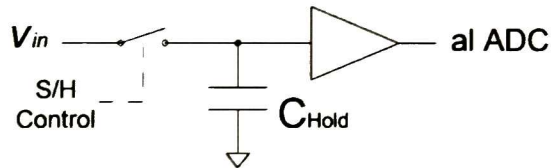


Fig. 5 Funcionamiento básico de un circuito S/H

Típicamente, el S/H cambiará a *hold* momentos antes de realizar la conversión A/D, y regresará a *sample* al completar dicha conversión.

En la práctica el S/H tiene una impedancia de entrada finita, ya que los interruptores no son perfectos, es por ello que, en *sample* el capacitor es cargado a través de una resistencia, lo cual limita la velocidad con la que se adquiere la señal de entrada. Otra limitante, es que, debido a la impedancia (interruptor) en serie con el capacitor cuando se muestrea,

¹² Tony Chan Carusone, David A. Johns, Kenneth W. Martin, Analog Integrated Circuit Design, Estados Unidos de América, Jhon Wiley & Sons, 2012

¹³ Darren Ashby, Bonnie Baker, Circuit Design, UK, Newnes, 2008, p.634

se tiene un efecto de filtro pasa-bajas RC, limitando la frecuencia máxima del S/H. También debido al *feedthrough* del interruptor una pequeña cantidad de carga que no ha sido medida se suma a la señal muestreada, lo cual produce un error¹⁴.

La Fig. 6 muestra una implementación básica de circuito S/H. Un pulso es aplicado a la compuerta del interruptor MOSFET, habilitando a V_{in} para que cargue el capacitor C_{Hold} . El ancho del pulso de reloj debe permitir que el capacitor se cargue antes de ser removido. El amplificador operacional actúa como *buffer* de ganancia unitaria, aislando al capacitor de cualquier carga externa.

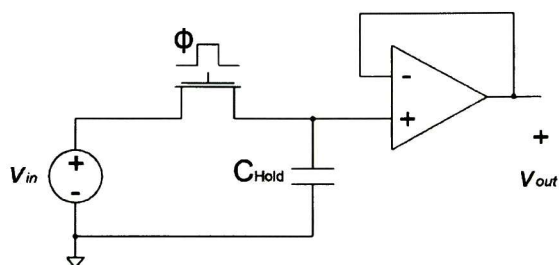


Fig. 6 Circuito básico S/H

2.3 Cuantización

La Cuantización es la conversión de un valor continuo muestreado x a uno de una serie de valores discretos q_i . El valor de x varía dentro del intervalo $\{x_{min}, x_{max}\}$ mientras que q_i toma valores dentro del conjunto $\{q_1, q_2, \dots, q_m\}$. Si la separación entre dos niveles consecutivos de entrada y la salida se mantiene constante, se trata de un cuantizador uniforme (Fig. 7).

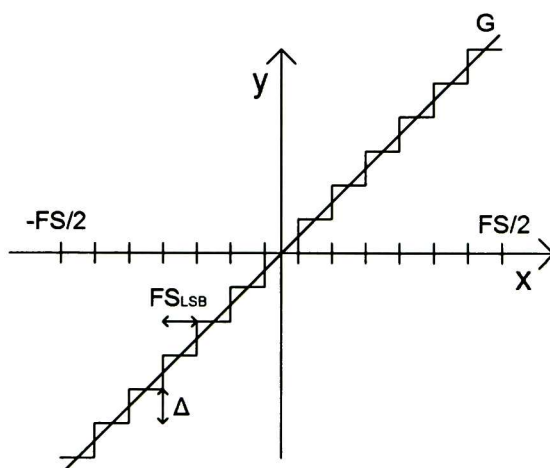


Fig. 7 Comportamiento característico de un cuantizador ideal

¹⁴ Darren Ashby, Bonnie Baker, Circuit Design, UK, Newnes, 2008, p. 635-636

Este tipo de cuantizador es el más utilizado pero no es el más eficiente. Un cuantizador más eficiente separaría los intervalos en base a la función de densidad de probabilidad de la entrada¹⁵. En función de su característica de entrada-salida se puede distinguir entre cuantizadores de tipo *midrise* (es los que el cero analógico no tiene código asociado) y *midtread* (en el que el cero sí tiene código).

Ya que la señal es representada por un número binario de B bits, entonces existe un total de $M=2^B$ niveles de cuantización disponibles. Para un cuantizador uniforme el intervalo de niveles sucesivos, Δ , está dado por

$$\Delta = \frac{FS}{2^B - 1} \quad (2.1)$$

donde Δ es llamado paso de cuantización, FS representa la escala completa de la entrada x y B el número de bits del cuantizador.

2.3.1 Error de Cuantización

La diferencia $Q_e(n) = q_i(n) - x(n)$, que resulta cuando $x(n)$ es aproximada por $q_i(n)$ es llamada error de cuantización, que es una función no lineal de la entrada. Mientras la entrada se encuentre dentro de FS dividido entre dos, el error estará limitado al paso de cuantización entre dos (Fig. 6). Para entradas fuera de FS , el valor absoluto de Q_e crece monotónicamente, lo cual se conoce como sobrecarga del cuantizador¹⁶.

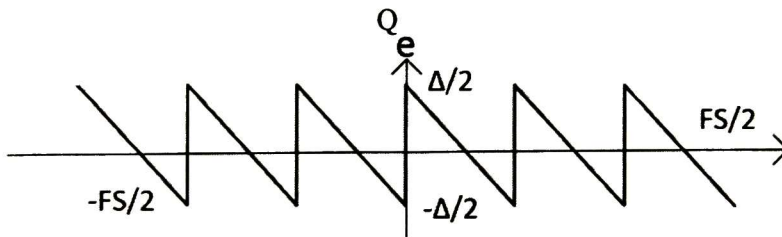


Fig. 8 Error de cuantización

Como se mencionó, el cuantizador tiene un comportamiento no lineal, pero si el número de niveles de cuantización es grande y con una misma probabilidad, es posible modelarlo con una función lineal (Fig. 9)

$$y = Gx + Q_e \quad (2.2)$$

donde G es la ganancia dada por la pendiente de la línea que pasa por el centro de los niveles de cuantización cuando el cuantizador no se satura.

¹⁵ George I. Bourdopoulos, Aristodemos Pnevmatikakis, Delta-Sigma Modulators Modeling, Design and Applications, London, Imperial College Press, 2006, p. 20

¹⁶ Idem

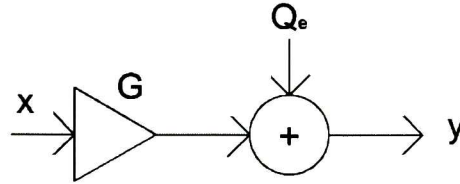


Fig. 9 Modelo lineal del cuantizador

La ecuación que define el error de cuantización es

$$f(Q_e) = \begin{cases} \frac{1}{\Delta} \cdot \frac{\Delta}{2} < Q_e < \frac{\Delta}{2} \\ 0, \text{ cualquier otro valor } (Q_e) \end{cases} \quad (2.3)$$

El error de cuantización afecta la calidad de la señal de salida. Esto se expresa mediante la razón señal a ruido de cuantización (*SQNR*)

$$SQNR = \frac{\text{SignalPower}}{\text{QuantizationNoisePower}} \quad (2.4)$$

Si los valores de $Q_e(n)$ se asumen no correlacionados y distribuidos uniformemente, el error de cuantización es blanco y su potencia se distribuye de manera uniforme dentro de todo el rango de frecuencia $[-f_s/2, f_s/2]$, razón por la cual también se le denomina ruido de cuantización. El error de cuantización no se puede tratar como ruido cuando la entrada es constante o cuando cambia de manera regular en múltiplos o submúltiplos del paso de cuantización de muestra a muestra, como sucede en los circuitos con retroalimentación.

Para una señal sinusoidal con una amplitud $2A=(2^B-1)\Delta$, su potencia es $A^2/2$ y su *SQNR* se expresa como

$$SQNR = 10 \log \left(\frac{A^2 / 2}{\Delta^2 / 12} \right) \cong 10 \log \left(3 \cdot \frac{2^{2B}}{2} \right) = (6.02 \cdot B + 1.76) \text{dB} \quad (2.5)$$

Incrementar el número de bits en tan solo un bit más, incrementa la calidad de la señal, representada en *SQNR*, en 6 dBs.

El ruido de cuantización es un limitador fundamental en los convertidores que representa el límite inferior que la potencia de ruido puede tener. En la práctica el error siempre será mayor a lo calculado debido a imperfecciones en los circuitos¹⁷.

¹⁷ Mikael Gustavsson, J. Jacob Wikner, Nianxiong Nick Tan, CMOS Data Converters for Communications, New York, Kluwer Academic Publishers, 2002, p. 8

2.4 Fundamentos de los ADC $\Sigma\Delta$ en Tiempo Discreto (DT)

Los ADC de sobre-muestreo son capaces de obtener una resolución más alta que los convertidores de Nyquist. Ello se debe a las técnicas de procesamiento digital de señal que son usadas para suplir componentes analógicos que deben ser precisos y complejos. La precisión de dichos convertidores no depende del *matching* de los componentes ni de la exactitud del S/H ya que solo una pequeña cantidad de circuitos analógicos son requeridos¹⁸.

2.4.1 Sobre-muestreo

El sobre-muestreo ocurre cuando la señal de interés, f_B , es muestreada a una frecuencia mucho mayor, f_s ($f_s > 2f_B$, siendo $2f_B$ la frecuencia de Nyquist, o frecuencia mínima de muestreo de una señal)¹⁹. La razón de sobre-muestreo, *OSR*, se define como:

$$OSR = \frac{f_s}{2f_B} \quad (2.6)$$

El primer efecto del sobre-muestreo es que las imágenes de la señal de entrada estén más separadas que en un convertidor de Nyquist, debido a que el ancho de banda de la señal f_B es más pequeño que $f_s/2$. Por ello la transición de la banda de paso a la banda de rechazo del filtro *anti-aliasing* puede ser menos abrupta, lo que simplifica el diseño (Fig. 10).

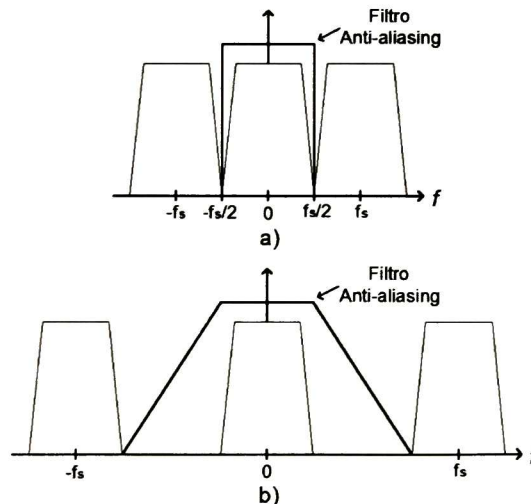


Fig. 10 Dominio de la frecuencia: a) Convertidor de Nyquist, b) Convertidor de sobre-muestreo

¹⁸ R. Jacob Baker, CMOS Circuit Design, Layout and Simulation, New Jersey, Wiley, 2005, p. 107

¹⁹ Tony Chan Carusone, David A. Johns, Kenneth W. Martin, Analog Integrated Circuit Design, Estados Unidos de América, Jhon Wiley & Sons, 2012, p.696-697

Por ello la densidad de potencia espectral del ruido de cuantización (*PSD*) se reduce proporcionalmente con el aumento de la frecuencia de muestreo:

$$IBN_{OSR} = \int_{-f_B}^{f_B} N(f)df = \frac{\Delta^2}{12} \frac{2f_B}{f_s} = \frac{\Delta^2}{12} \frac{1}{OSR} \quad (2.7)$$

donde IBN_{OSR} representa el ruido dentro del ancho de banda de la señal y $N(f)$ la densidad espectral de potencia. Como se puede observar al aumentar la razón de sobre-muestreo disminuye de gran manera la cantidad de ruido del convertidor (Fig. 11) y por consiguiente existe una mejora en el *SQNR*:

$$SQNR = 10 \log_{10} \left(\frac{P_{FS/2}}{IBN_{OSR}} \right) = 6.02B + 10 \log_{10} OSR + 1.76 [dB] \quad (2.8)$$

donde B representa los bits del modulador y $P_{FS/2}$ la potencia de la señal. Como se observa, por cada aumento de dos en la razón de sobre-muestreo se incrementa la resolución en 3dB o aproximadamente 0.5 bits²⁰.

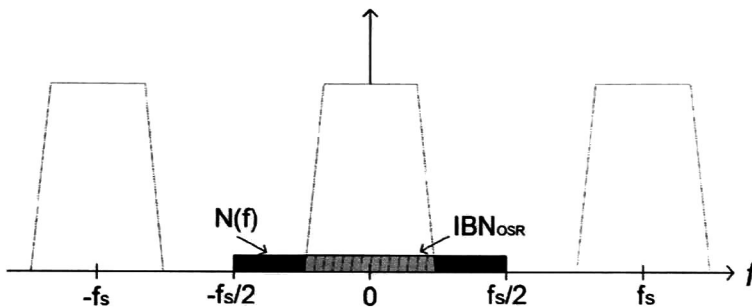


Fig. 11 Ilustración del efecto del sobre-muestreo

2.4.2 Arquitectura básica de un Convertidor Analógico/Digital con Modulación $\Sigma\Delta$ DT

La arquitectura básica de un Convertidor Analógico/Digital con modulación $\Sigma\Delta$ se muestra en la Fig. 12. La primera etapa es un filtro *anti-aliasing* en tiempo continuo requerido para limitar la banda de la señal de entrada a $f_s/2$ (un simple RC pasa-bajas para un *OSR* alto). Después del filtro, la señal continua en el tiempo es muestreada por un circuito S/H. Esta señal es procesada por el modulador $\Sigma\Delta$ DT, el cual convierte la señal analógica en una señal digital de baja resolución y baja cantidad de ruido. El siguiente bloque del sistema es un decimador, cuya función es convertir la señal digital de baja resolución en una de alta

²⁰ M. Ortmanns, F. Gerfers, Continuous-Time Sigma-Delta A/D Conversion, Alemania, Springer, 2006, p. 17

resolución con una frecuencia de muestreo más baja (usualmente igual a la frecuencia de Nyquist). En muchas implementaciones donde se utilizan capacitores conmutados (SC), no es necesario el circuito S/H ya que el muestreo de la señal se realiza dentro del modulador.²¹

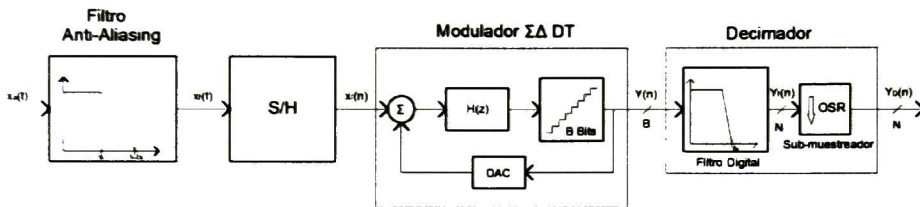


Fig. 12 Diagrama a bloques de un ADC $\Sigma\Delta$ DT

El modulador $\Sigma\Delta$ DT realiza la conversión A/D mediante el muestreo y cuantización de la señal limitada en banda, al mismo tiempo que filtra el error de cuantización. El DAC de retroalimentación es implementado con la misma resolución que el cuantizador interno (usualmente baja, de 1 a 6 bits) para así no aportar error de cuantización adicional. La salida del modulador provee la cuantización de la señal en la forma de una densidad de pulsos, la cual representa el valor promedio de la misma en un periodo de tiempo (Fig. 13)²².

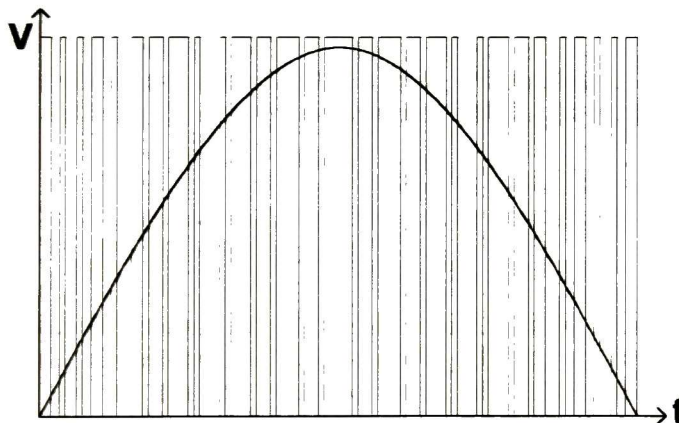


Fig. 13 Densidad de pulsos de salida de un modulador $\Sigma\Delta$ para una entrada sinusoidal

El decimador efectúa un filtrado pasa bajas y un *downsampling* (sub-muestreo). El filtrado elimina todos los componentes de ruido fuera de banda mientras que el *downsampling* reduce la razón de salida a la frecuencia de Nyquist, proporcionando una palabra digital apropiada a la resolución general del ADC²³.

²¹ Tony Chan Carusone, David A. Johns, Kenneth W. Martin, Analog Integrated Circuit Design, Estados Unidos de América, Jhon Wiley & Sons, 2012, p.702-703

²² R. Jacob Baker, CMOS Circuit Design, Layout and Simulation, New Jersey, Wiley, 2005, p.1009-1010

²³ M. Ortmanns, F. Gerfers, Continuous-Time Sigma-Delta A/D Conversion, Alemania, Springer, 2006, p. 19

2.4.3 Noise-shaping en Moduladores $\Sigma\Delta$

La Fig. 14 muestra un modulador $\Sigma\Delta$ de primer orden, el cual está formado por un integrador, un ADC de 1 bit y un DAC de 1 bit en la retroalimentación. Todas las variables están en función de T , que es el recíproco de la frecuencia de muestreo, y k que es un entero. El ADC de 1 bit es simple comparador que convierte una señal analógica en un “alto” o “bajo” lógico. El DAC de 1 bit utiliza la salida del comparador para determinar si $+V_{ref}$ o $-V_{ref}$ se suma a la entrada²⁴.

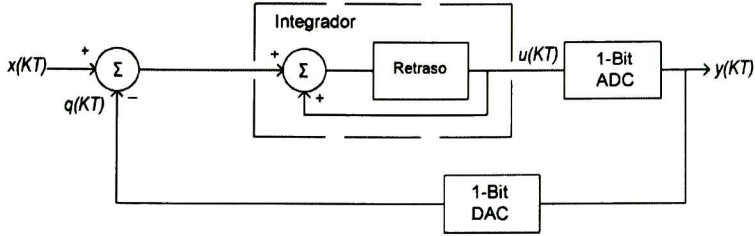


Fig. 14 Modulador $\Sigma\Delta$ de primer orden

La salida del integrador, $u(kT)$, puede ser descrita como

$$u(kT) = x(kT - T) - q(kT - T) + u(kT - T) \quad (2.9)$$

donde $x(kT - T) - q(kT - T)$ es igual a la entrada previa del integrador y, $u(kT - T)$ es la salida previa.

El error de cuantización para un ADC de 1 bit es definido como la diferencia entre su salida y entrada

$$Q_c(kT) = y(kT) - u(kT) \quad (2.10)$$

Sustituyendo (2.11) en (2.12), $y(kT)$ viene dada por

$$y(kT) = Q_c(kT) + x(kT - T) - q(kT - T) + u(kT - T) \quad (2.11)$$

Un DAC de un 1 bit ideal tiene las siguientes características: si la entrada $y(kT)=0$, la salida $q(kT) = -V_{ref}$ y si $y(kT)=1$, entonces $q(kT) = +V_{ref}$. En la práctica un DAC de 1 bit consiste en un par de interruptores conectados a V_{ref} o $-V_{ref}$ y a un nodo común, así que tiene un comportamiento ideal.

Por lo tanto el comportamiento del DAC se puede escribir como:

$$y(kT) = q(kT) \quad (2.12)$$

Utilizando (2.12) y (2.13), se encuentra que (2.14) se convierte en

$$y(kT) = x(kT - T) + Q_c(kT) - Q_c(kT - T) \quad (2.13)$$

²⁴ R. Jacob Baker, CMOS Circuit Design, Layout and Simulation, New Jersey, Wiley, 2005, p.1010

Por lo tanto, la salida del modulador consiste en un valor cuantizado de la entrada retrasado un periodo de muestreo, más la diferencia del error de cuantización de su valor actual y previo. Por ello, el poder real de un modulador $\Sigma\Delta$ es que el error de cuantización se cancela a sí mismo dependiendo del orden del modulador.

Si se modela en el dominio de la variable s , como se muestra en la Fig. 15, el integrador ideal es representado con una función de transferencia de $1/s$, el ADC de un 1 bit modelado como una simple fuente de error $Q_e(s)$, y el DAC considerado ideal ($y(s)=q(s)$).

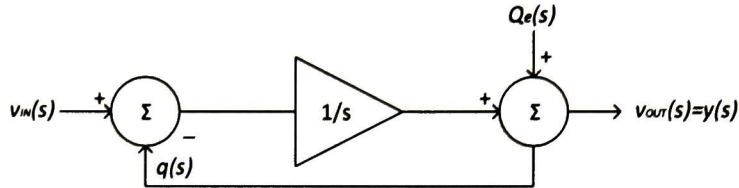


Fig. 15 Modulador $\Sigma\Delta$ de primer orden en el dominio de s

Utilizando teoría de retroalimentación, $v_{OUT}(s)$, viene dado por

$$v_{OUT}(s) = Q_e(s) + \frac{1}{s}(v_{IN}(s) - v_{OUT}(s)) \quad (2.14)$$

Resolviendo para v_{OUT}

$$v_{OUT}(s) = Q_e(s) \cdot \frac{s}{s+1} + v_{IN}(s) \cdot \frac{1}{s+1} = NTF \cdot Q_e(s) + STF \cdot v_{IN}(s) \quad (2.15)$$

La función de transferencia de la señal de entrada (STF) tiene un comportamiento pasa-bajas, mientras que la función de transferencia del ruido (NTF) es pasa altas (Fig. 16)²⁵.

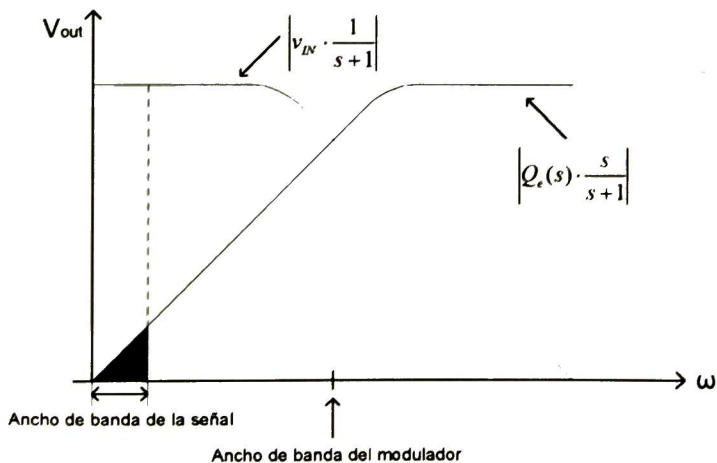


Fig. 16 Respuesta en frecuencia de un modulador $\Sigma\Delta$

²⁵ R. Jacob Baker, CMOS Circuit Design, Layout and Simulation, New Jersey, Wiley, 2005, p.1011

Esencialmente el modulador “empuja” la potencia de ruido fuera de la banda de señal. Esta característica pasa-altas es conocida como *noise-shaping*. La reducción del error es mayor si se utilizan una mayor cantidad de muestras anteriores. Matemáticamente

$$Q_{eHP,1} = Q_e(n) - Q_e(n-1) \text{ -- FirstOrder}$$

$$Q_{eHP,2} = Q_e(n) - 2Q_e(n-1) + Q_e(n-2) \text{ -- SecondOrder} \quad (2.16)$$

En el dominio de z se puede escribir como

$$Q_{eHP,L}(z) = (1 - z^{-1})^L \cdot Q_e(z) = NTF(z) \cdot Q_e(z) \quad (2.17)$$

donde L es el orden del filtrado que se le realiza al ruido de cuantización.

En el dominio de z , z^{-1} viene dada por:

$$z^{-1} = e^{-2j\pi \frac{f}{f_s}} \quad (2.18)$$

Sustituyendo (2.18) en $NTF(z)$ se tiene que

$$|NTF(f)|^2 = 2^{2L} \left(\pi \frac{f}{f_s} \right)^{2L} \quad (2.19)$$

Utilizando los resultados obtenidos para la reducción del ruido con sobre-muestreo y *noise-shaping*, la potencia del ruido dentro de la banda de señal se define como:

$$IBN = \int_{-f_B}^{f_B} |NTF(f)|^2 N(f) df \approx \frac{\Delta^2}{12} \frac{\pi^{2L}}{(2L+1)OSR^{2L+1}} \quad (2.20)$$

La Fig. 17 muestra la disminución del ruido dentro del ancho de banda conforme se aumenta el orden del modulador $\Sigma\Delta$.

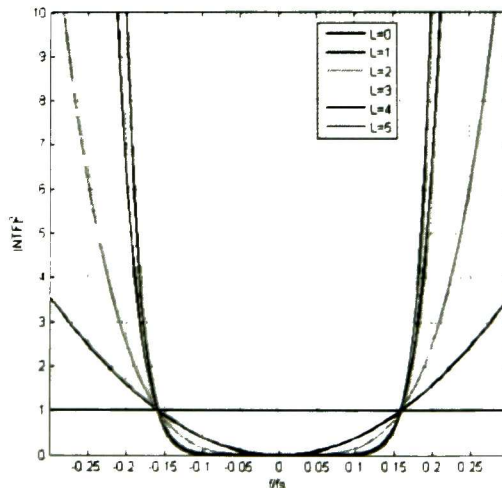


Fig. 17 NTF para diferentes órdenes de modulador

En cambio, si la ganancia del cuantizador es diferente a uno, la función de transferencia del ruido estará dada por²⁶

$$NTF(z) = \frac{(1 - z^{-1})^L}{G} Q_e(z) \quad (2.21)$$

Por lo que la potencia de ruido dentro la banda de interés cambia a

$$IBN = \int_{-f_n}^{f_n} |NTF(f)|^2 N(f) df \approx \frac{\Delta^2}{12 \cdot G^2} \frac{\pi^{2L}}{(2L + 1)OSR^{2L+1}} \quad (2.22)$$

reduciendo de mayor manera la potencia de ruido, gracias a la ganancia del cuantizador.

Las ventajas y desventajas de variar estos parámetros se presentan a continuación:

- **Orden del Modulador, L .** El desempeño de un modulador $\Sigma\Delta$ mejora considerablemente al aumentar el orden del *noise-shaping*, de tal manera que el error de cuantización se atenúa más a bajas frecuencias. Pero el hecho de utilizar altos órdenes de *noise-shaping* da lugar a problemas de inestabilidad²⁷.

- **Razón de sobre-muestreo, OSR .** Aumentar el OSR mejora considerablemente el desempeño del modulador, sin embargo, un OSR grande implica que la frecuencia de muestreo será muy alta y que los circuitos deben trabajar de manera muy veloz. Aun si los procesos de fabricación permitieran obtener estas velocidades, la disipación de potencia sería demasiado grande.

- **Resolución del cuantizador, B .** Al aumentar la resolución disminuye la potencia del error de cuantización. Pero el hecho de tener moduladores multi-bit requiere un DAC multi-bit en lazo de retroalimentación, lo que produce que cualquier no idealidad o error del mismo se añada directamente a la entrada del modulador.

2.5 Fundamentos de los ADC $\Sigma\Delta$ en Tiempo Continuo (CT)

Como se había descrito anteriormente, el *noise-shaping* se realiza mediante un filtro en tiempo discreto para moduladores DT (Fig. 18 a)). Dicho proceso también puede ser implementado con filtros en tiempo continuo como se muestra en la Fig. 18 b)).

²⁶ M. Ortmanns, F. Gerfers, Continuous-Time Sigma-Delta A/D Conversion, Alemania, Springer, 2006, p. 20-21

²⁷ José Gerardo García Sánchez, Tesis de Maestría Metodología de Diseño para Moduladores Delta-Sigma en Tiempo Continuo y Tiempo Discreto en Tecnología CMOS de 65 nm, p. 21

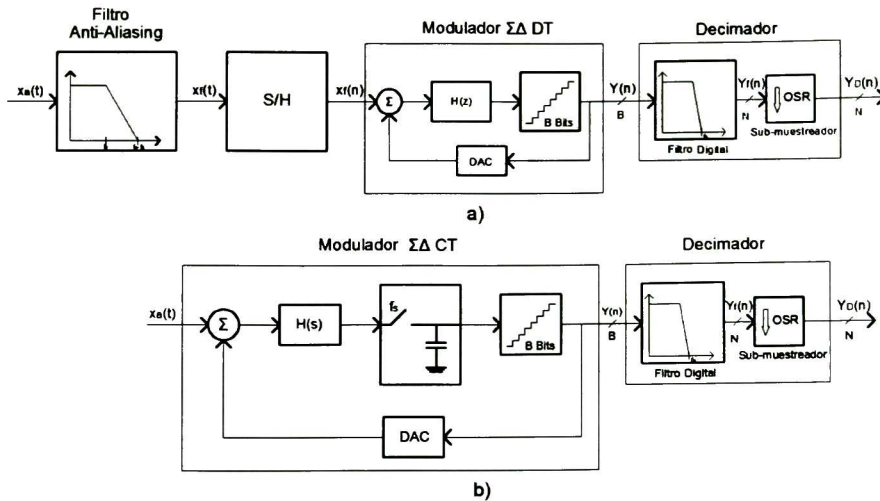


Fig. 18 a) Diagrama a bloques del ADC $\Sigma\Delta$ DT, b) diagrama a bloques del ADC $\Sigma\Delta$ CT

El bloque $H(s)$ consiste en un filtro en tiempo continuo, como puede ser un RC activo utilizando amplificadores operacionales, amplificadores de transconductancia (OTA), filtros gmC o incluso resonadores de estructura LC²⁸. El siguiente bloque del modulador en tiempo continuo es el cuantizador, el cual tiene una señal de reloj igual a la frecuencia de muestreo del modulador. Por último, al igual que en su contraparte DT, se realiza un procesamiento digital de la señal de salida del modulador.

Existen dos principales diferencias entre arquitecturas: en DT el muestreo se realiza a la entrada del modulador (anterior al lazo del filtro), mientras que en CT el muestreo se lleva a cabo dentro del lazo del filtro. En lo que concierne al filtrado *anti-aliasing*, para el modulador DT es necesario colocar un filtro en su entrada, mientras que su contraparte CT realiza un filtrado *anti-aliasing* implícito mediante $H(s)$ ²⁹.

2.5.1 Operación de muestreo

La mayor desventaja de los moduladores DT sobre los CT es que la operación de muestreo no toma parte dentro del lazo $\Sigma\Delta$, por lo que el error del bloque S/H se suma a la señal de entrada del modulador DT; en el caso del CT todas las no idealidades del proceso de muestreo son sujetas a *noise-shaping*. El hecho de que la operación de muestreo se realice posteriormente al filtro $H(s)$ resulta en un filtrado *anti-aliasing* implícito. Este atributo puede reducir las especificaciones del filtro anti-aliasing al inicio del sistema, haciéndolo a veces innecesario, por lo que en circuitos de alta velocidad o arquitecturas con razones de sobre-

²⁸ M. Ortmanns, F. Gerfers, Continuous-Time Sigma-Delta A/D Conversion, Alemania, Springer, 2006, p.40

²⁹ José Gerardo García Sánchez, Tesis de Maestría Metodología de Diseño para Moduladores Delta-Sigma en Tiempo Continuo y Tiempo Discreto en Tecnología CMOS de 65 nm, p. 32

muestreo muy bajas, esta razón puede ser el mayor argumento para utilizar las implementaciones $\Sigma\Delta$ en tiempo continuo³⁰.

2.5.2 Filtro en tiempo continuo

Los filtros en moduladores DT y CT son integradores o resonadores, dependiendo de la función de transferencia del filtro que va a ser implementado. Los filtros en DT normalmente son implementados en circuitos con capacitores conmutados (SC), mientras que los CT utilizan integradores en tiempo continuo.

La representación de las señales en circuitos DT son pulsos cambiantes; por ello, los moduladores $\Sigma\Delta$ que utilizan SC tienen una frecuencia máxima, la cual está limitada por el ancho de banda del OTA y el hecho de que para alcanzar la transferencia de carga completa, son necesarias varias constantes de tiempo para obtener la precisión necesaria. En cambio, en moduladores CT, todas las señales son representadas analógicamente con formas de onda continuas en el tiempo; por ello las restricciones de velocidad de los amplificadores operacionales son drásticamente reducidas, y en teoría los moduladores $\Sigma\Delta$ CT pueden procesar frecuencias un orden de magnitud más alta en la misma tecnología que su contraparte DT³¹.

Uno de los problemas principales de los moduladores CT es la dependencia de los componentes pasivos y activos utilizados, lo que lleva a distorsión armónica a la salida del modulador. En general, el desempeño de los $\Sigma\Delta$ CT está limitado por la linealidad de los resistores integrados y las etapas de transconductancia de los integradores³².

2.5.3 Cuantizador

Común a ambas implementaciones de moduladores $\Sigma\Delta$ es que todas las no idealidades del proceso de cuantización están sujetos a *noise-shaping*, ya que el cuantizador reside dentro del lazo de retroalimentación del modulador después del filtro.

En los sistemas DT el proceso de cuantización cuenta con el 50% del periodo de muestreo para la toma de decisión. En cambio, un modulador $\Sigma\Delta$ CT idealmente necesita una cuantización infinitamente rápida, ya que el resultado se necesita inmediatamente para generar la señal de retroalimentación en tiempo continuo.

2.5.4 Retroalimentación (DAC)

Las señales en moduladores DT están representadas por pulsos SC las cuales están basadas en la operación de transferencia de carga. Por ello, en los sistemas DT la señal de retroalimentación es aplicada al cargar el capacitor a un voltaje de referencia y descargándolo al capacitor del

³⁰ M. Ortmanns, F. Gerfers, Continuous-Time Sigma-Delta A/D Conversion, Alemania, Springer, 2006, p.40-41

³¹ Ibidem, p.41

³² Ibidem, p.42

integrador. En contraste, la retroalimentación analógica en tiempo continuo es integrada en el tiempo por lo que el modulador $\Sigma\Delta$ es sensible a la desviación de la forma de onda de la señal de retroalimentación³³.

La Fig. 19 muestra las formas de onda más utilizadas en los ADC de retroalimentación. La respuesta del DAC es importante al momento de realizar la transformación de tiempo discreto a tiempo continuo.

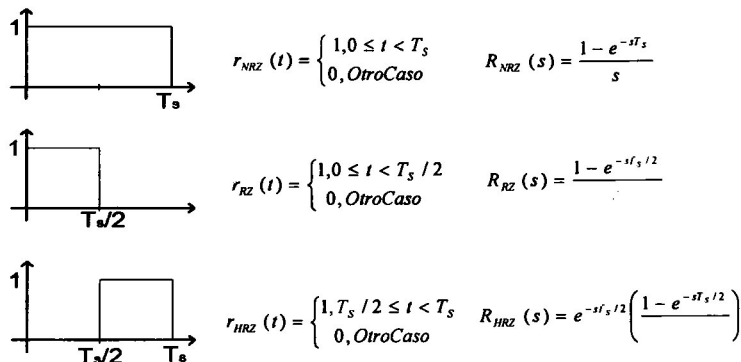


Fig. 19 Formas de onda de DAC de retroalimentación

2.5.5 DT/CT Trade-offs

A pesar de que el comportamiento de los moduladores $\Sigma\Delta$ DT y CT sea similar en cuanto a *noise-shaping*, sus diferencias estructurales provocan que respondan de manera diferente a determinadas condiciones de operación. La Tabla 2.1 resume los beneficios que traen los moduladores DT y CT.

Tabla 2.1 Ventajas de moduladores DT y CT³⁴

Pro-DT	Pro-CT
Baja sensibilidad al <i>jitter</i> del reloj	Filtro anti-aliasing implícito
Baja sensibilidad al exceso de retraso en el lazo	Atenuación de errores en S/H
Baja sensibilidad a la forma de onda del DAC	Frecuencia de muestreo mayor realizable
Ganancias del integrador definidas de manera precisa	Requerimientos de velocidad en <i>OpAmps</i> reducidos
Integradores implementados en SC altamente lineal	Reducción en el ruido producido por la alimentación y tierra
Tiempo de simulación bajo (alto nivel)	Menor sensibilidad a los <i>glitches</i>
Solo cargas capacitivas	Menor ruido de conmutación
Compatible con procesos VLSI CMOS	Tiempo de simulación bajo (nivel circuito)

³³ M. Ortmanns, F. Gerfers, Continuous-Time Sigma-Delta A/D Conversion, Alemania, Springer, 2006, p.43

³⁴ Ibidem, p.47

2.6 Arquitecturas de Moduladores $\Sigma\Delta$

Existen diferentes arquitecturas de moduladores $\Sigma\Delta$ que se utilizan en el diseño de ADCs las cuales son: moduladores de un solo lazo, moduladores en cascada y moduladores con cuantizadores multi-bit.

2.6.1 Arquitectura de Lazo Único

La arquitectura de un solo lazo de retroalimentación contiene un cuantizador de n bits y pueden tener uno o varios integradores, siendo la diferencia entre ellos el orden del modulador.

***Modulador $\Sigma\Delta$ de primer orden:** Es la arquitectura más simple que se puede construir. La Fig. 20 muestra el diagrama a bloques de esta arquitectura, en la cual se muestran los bloques de ganancia a la entrada del modulador y en la retroalimentación.

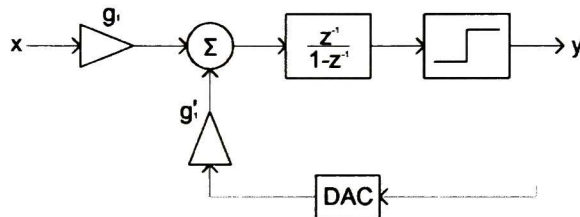


Fig. 20 Diagrama a bloques del modulador $\Sigma\Delta$ de Primer Orden

Al realizar el análisis en el dominio z , la respuesta del modulador es:

$$Y(z) = \frac{g_1 G z^{-1} X(z) + (1 - z^{-1}) Q_e(z)}{1 - (1 - g_1' G) z^{-1}} \quad (2.23)$$

Si $g_1' G = 1$ se obtiene el *noise-shaping* de 1^{er} orden y la respuesta cambia a:

$$Y(z) = \frac{g_1}{g_1'} z^{-1} X(z) + (1 - z^{-1}) Q_e(z) \quad (2.24)$$

donde g_1/g_1' es la nueva ganancia. Una de las principales desventajas del modulador de primer orden es que se necesitan grandes *OSR* para obtener resoluciones de medias a altas, a veces imposible de implementar. El rango dinámico de un modulador de primer orden utilizando (2.37), $L=1$, y $B=1$, se escribe como:

$$DR \Big|_{dB} \approx 10 \log_{10} \left(\frac{3}{2} \frac{3OSR^3}{\pi^2} \right) \quad (2.25)$$

Otra desventaja del modulador de primer orden es que el error de cuantización está altamente correlacionado con la señal de entrada, por

lo que, el modelo lineal utilizado no representa la respuesta práctica del modulador³⁵.

***Modulador $\Sigma\Delta$ de alto orden:** Se puede aumentar el orden del modulador indefinidamente aumentando el número de integradores y bloques de ganancia (ver Fig. 21).

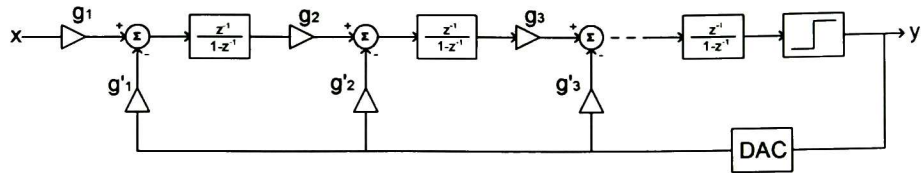


Fig. 21 Diagrama a bloques del modulador $\Sigma\Delta$ de Alto Orden

Al cumplir con las especificaciones de los bloques de ganancia la respuesta de un modulador de alto orden se escribe como:

$$Y(z) = \frac{g_1}{g_1} z^{-L} X(z) + (1 - z^{-1})^L Q_e(z) \quad (2.26)$$

El rango dinámico es el siguiente:

$$DR \Big|_{dB} \approx 10 \log_{10} \left(\frac{3 (2L+1) OSR^{2L+1}}{2 \pi^{2L}} \right) \quad (2.27)$$

De esta manera se pueden obtener altas resoluciones en base al alto orden del modulador con razones de sobre-muestreo relativamente bajas. Sin embargo, en la práctica no es posible obtener el rango dinámico predicho, ya que el modulador tiende a la inestabilidad para $L > 2$ ³⁶.

2.6.2 Arquitectura en cascada (MASH)

Los moduladores $\Sigma\Delta$ en cascada, también llamados MASH (Multi-stage noise SHaping), permiten obtener un *noise-shaping* de alto orden sin los problemas de inestabilidad que tienen los moduladores $\Sigma\Delta$ de alto orden en arquitectura de lazo único de retroalimentación. Esta arquitectura consiste en varias etapas de moduladores donde cada etapa modula la respuesta que da la etapa anterior, de tal manera que el error de cuantización sea modulado N veces (Fig. 22). La etapa digital se encarga de procesar las respuestas de todos los moduladores y las combina de forma que se cancelen los errores de cuantización de todas las etapas, excepto la última. Ya que esta arquitectura solo utiliza moduladores de primer o segundo orden, se obtiene un modulador de alto orden incondicionalmente estable.

³⁵ M. Ortmanns, F. Gerfers, Continuous-Time Sigma-Delta A/D Conversion, Alemania, Springer, 2006, p. 21

³⁶ José Gerardo García Sánchez, Tesis de Maestría Metodología de Diseño para Moduladores Delta-Sigma en Tiempo Continuo y Tiempo Discreto en Tecnología CMOS de 65 nm, p. 24, 25

Al procesar todas las etapas adecuadamente en el dominio digital, a la salida solo se tendrá la señal de entrada con un retraso de L periodos y el error de cuantización de la última etapa:

$$Y(z) = STF(z)X(z) + NTF(z)Q_e(z) = z^{-L}X(z) + d_{2N-3}(1 - z^{-1})^L Q_e(z) \quad (2.28)$$

donde L es el orden total del filtrado y d_{2N-3} es el factor de escalamiento relacionado a los pesos del integrador que amplifica el error de cuantización de la última etapa.

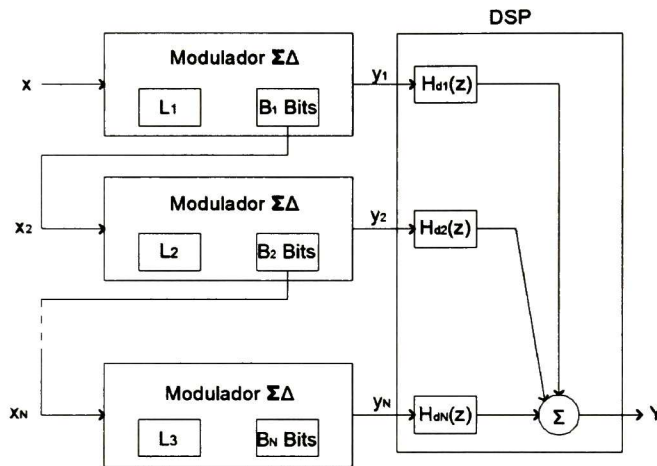


Fig. 22 Diagrama a bloques del modulador $\Sigma\Delta$ en cascada

La potencia del ruido de cuantización de la última etapa estará dada por:

$$IBN \approx d_{2N-3}^2 \frac{\Delta_N^2}{12} \frac{\pi^{2L}}{(2L+1)OSR^{2L+1}} \quad (2.29)$$

donde Δ_N es el paso de cuantización del cuantizador de la etapa N . El escalar d_{2N-3} provoca una pérdida en el desempeño del sistema ya que los valores comunes son 2 y 4. A pesar de ello, el desempeño de los moduladores en cascada es mejor que el de los moduladores con lazo único de retroalimentación.

Debido a que no existen limitantes en la estabilidad de un diseño multi-etapa, cualquier incremento en el orden al insertar más etapas resulta en una mejora en el SNR . El límite en el incremento de las etapas es el *matching* de la parte digital y la parte analógica³⁷. Desafortunadamente, los *MASH* son sensibles a la ganancia finita de los amplificadores operacionales, el ancho de banda de la señal y el *mismatch* causante de error de ganancia. Para mitigar el *mismatch*, la primera etapa debe ser

³⁷ Steven R. Norsworthy, Richard Schreier, Gabor C. Temes, Delta-Sigma Data Converters Theory, Design and Simulation, New Jersey, IEEE Press, 1997, 63

un modulador de alto orden para que cualquier fuga de ruido tenga menos efecto que en un modulador de primer orden³⁸.

2.6.3 Arquitectura Multi-bit

Otra manera de mejorar el desempeño del modulador $\Sigma\Delta$ es utilizar cuantizadores multi-bit en el proceso de conversión. Como se explicó anteriormente, la resolución intrínseca es incrementada proporcionalmente al número de bits utilizados en el cuantizador, disminuyendo la potencia del ruido de cuantización.

La incorporación de cuantizadores multi-bit tiende a hacer más estables a los moduladores de alto orden, ya que la ganancia se puede aproximar a la unidad, y los requerimientos para el escalamiento de la ganancia del lazo de retroalimentación son reducidos.

El diagrama básico de modulador multi-bit se muestra en la Fig. 23 a). mientras que en b) el cuantizador multi-bit es intercambiado por su modelo lineal, donde aparte del error de cuantización, se añaden errores propios de la cuantización multi-bit como son: el error asociado a la conversión A/D (e_{ADC}) y error de conversión D/A (e_{DAC}).

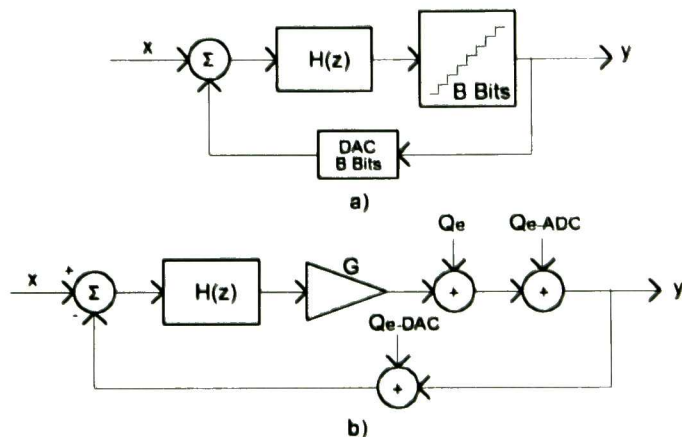


Fig. 23 a) Modulador $\Sigma\Delta$ multi-bit, b) Modelo lineal con fuentes de error

El problema con la arquitectura multi-bit es que el DAC de retroalimentación requiere una linealidad mayor a la del modulador completo. Ello debido a que los errores del DAC son alimentados directamente a la entrada del modulador. Por ello aún si el cuantizador interno y el DAC son de baja resolución, la linealidad del DAC tiene que ser tan buena como la precisión del modulador³⁹.

El error del DAC solo es filtrado por la STF , la cual deja pasar todas las señales en el ancho de banda de la señal, es decir, no lo atenúa. Para

³⁸ Tony Chan Carusone, David A. Johns, Kenneth W. Martin, Analog Integrated Circuit Design. Estados Unidos de América, Jhon Wiley & Sons, 2012. p. 718

³⁹ M. Ortmanns, F. Gerfers, Continuous-Time Sigma-Delta A/D Conversion. Alemania, Springer, 2006, 24. 25

cuantizadores de un bit este problema no se presenta, debido a que un DAC de 1 bit es intrínsecamente lineal⁴⁰.

2.7 Modulador $\Sigma\Delta$ bajo estudio: DT 4º Orden en Cascada

2.7.1 Descripción del Modulador

El sistema bajo estudio es un Modulador $\Sigma\Delta$ DT de 4º Orden en configuración cascada (Fig. 24). Consta de dos etapas de 2º Orden que conectadas en cascada conforman al modulador de 4º Orden. El modulador se implementará utilizando la técnica de Capacitores Conmutados (*Switched Capacitors*) con una frecuencia de muestreo de 200MHz. Para conseguir dicha velocidad es necesario utilizar una tecnología moderna que permita a los circuitos analógicos trabajar a altas frecuencia, específicamente, que las parásitas de los transistores sean lo más pequeñas posibles.

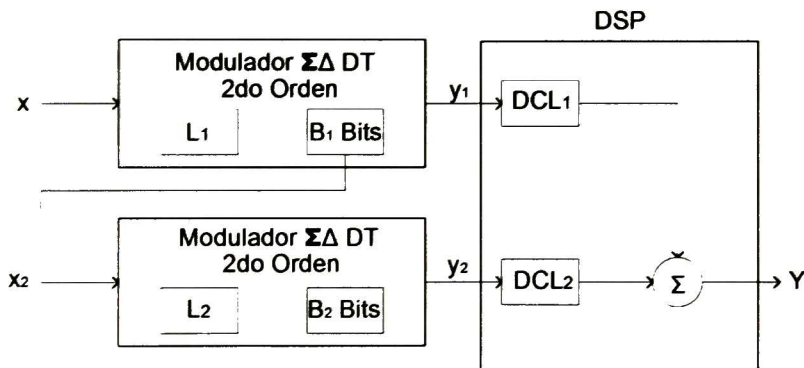


Fig. 24 Diagrama a bloques del Modulador $\Sigma\Delta$ de 4º Orden DT en Cascada

2.7.2 Obtención de las Ganancias del Modulador de 2º Orden

Para que el modulador tenga un desempeño cercano al ideal es necesario que las ganancias de todos los bloques sean las indicadas. Debido a que el sistema bajo estudio consta de dos etapas exactamente iguales, solo es necesario realizar el análisis de una de ellas (Fig. 25) .

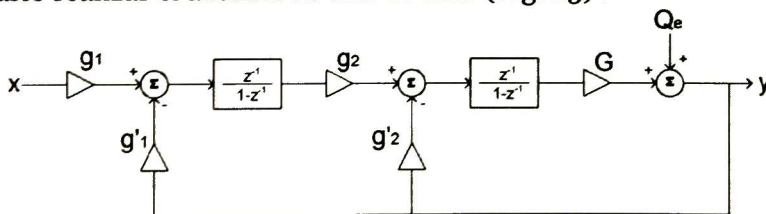


Fig. 25 Diagrama a bloques de Modulador $\Sigma\Delta$ de 2º Orden en Tiempo Discreto

⁴⁰ Steven R. Norsworthy, Richard Schreier, Gabor C. Temes, Delta-Sigma Data Converters Theory, Design and Simulation, New Jersey, IEEE Press, 1997, p. 67

Del diagrama a bloques se obtiene:

$$[(g_1 x - g'_1 y)g_2 H(z) - g'_2 y]G \cdot H(z) + Q_e = y \quad (2.30)$$

Resolviendo para la señal de salida, y , tenemos:

$$y = \frac{xg_1 g_2 G \cdot H(z)^2 + Q_e}{1 + g'_1 g_2 G \cdot H(z)^2 + g'_2 G \cdot H(z)} \quad (2.31)$$

Para obtener la ecuación ideal del modulador (2.26) se deben cumplir las siguientes expresiones:

$$\begin{aligned} g'_2 G &= 2 \\ g_1 g_2 G &= 1 \\ g'_1 g_2 G &= 1 \end{aligned} \quad (2.32)$$

Eligiendo un valor de 4 para la ganancia del cuantizador (parámetro bajo control del diseñador) y 1 para la ganancia g_2 , tenemos que:

$$\begin{aligned} g'_2 &= 0.5 \\ g_1 = g'_1 &= 0.25 \end{aligned} \quad (2.33)$$

2.7.3 Obtención de la Lógica de Cancelación Digital (DCL)

La Lógica de Cancelación Digital se encarga de combinar la salida de cada una de las etapas del modulador para así obtener una salida acorde al orden del modulador y a la señal cuantizada.

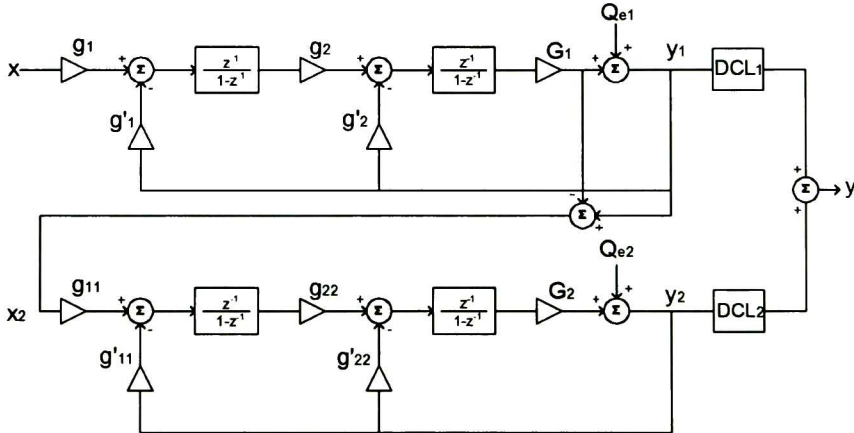


Fig. 26 Diagrama a bloques de Modulador $\Sigma\Delta$ de 4º Orden en Tiempo Discreto

Para encontrar el valor de DCL es necesario analizar el modulador de la Fig. 26, empezando por las expresiones que definen a las entradas y salidas de cada una de las etapas del modulador:

$$\begin{aligned} y_1(z) &= STF_1(z)x(z) + NTF_1(z)Q_{e1}(z) \\ x_2(z) &= (y_1(z) - Q_{e1}(z)) - y_1(z) = -Q_{e1}(z) \\ y_2(z) &= STF_2(z)x_2(z) + NTF_2(z)Q_{e2}(z) = -STF_2(z)Q_{e1}(z) + NTF_2(z)Q_{e2}(z) \end{aligned} \quad (2.34)$$

La salida global del modulador se escribe como:

$$y(z) = y_1(z)DCL_1(z) + y_2(z)DCL_2(z) \quad (2.35)$$

Sustituyendo (2.34) en (2.35) se obtiene:

$$\begin{aligned} DCL_1(z) &= STF_2(z) = z^{-2} \\ DCL_2(z) &= NTF_1(z) = (1 - z^{-1})^2 \end{aligned} \quad (2.36)$$

Debido a que ambas etapas son iguales, es decir, $STF_1=STF_2$ y $NTF_1=NTF_2$ la ecuación que describe al sistema se reduce a:

$$y(z) = STF^2(z)x(z) + NTF^2(z)Q_{e2}(z) = z^{-4}x(z) + (1 - z^{-1})^4 Q_{e2}(z) \quad (2.37)$$

Capítulo 3

Simulación en SIMSIDES

Se presentan las bases fundamentales para el entendimiento e implementación del modelado comportamental. Se describe con detalle el funcionamiento y características de SIMSIDES (SIMulink-based SIGma-DELta Simulator). Por último se muestra la metodología utilizada para la obtención de los parámetros a nivel transistor de los circuitos electrónicos que conforman al Modulador $\Sigma\Delta$ de 4º Orden en Tiempo Discreto (DT).

3.1 Introducción

EL crecimiento exponencial de las capacidades de los circuitos digitales CMOS, impulsado por la evolución de los procesos tecnológicos hacia la nanotecnología, exige la integración de sistemas electrónicos completos a un solo circuito integrado (*System On Chip*). En los SoC la mayoría de los procesamientos de señal se llevan a cabo mediante circuitería digital, donde el rol de los circuitos analógicos se reduce a la implementación del acondicionamiento de la señal y a interfaces de conversión. A pesar del aparente papel insignificante, el diseño de circuitería analógica de alto desempeño representa un importante cuello de botella para la inserción de circuitos al mercado a corto plazo.⁴¹

Los Convertidos Analógico/Digital que utilizan modulación $\Sigma\Delta$ han demostrado ser una solución atractiva para la implementación de interfaces analógico-digital en SoC. Sin embargo, la necesidad de diseñar

⁴¹ Jesús Ruiz-Amaya, *et al*, "Behavioral Modeling, Simulation and High-Level Synthesis of Pipeline A/D Converters", IEEE Transactions on Circuits and Systems I: Regular Papers, pp. 1795-1810, September 2005.

ADCs $\Sigma\Delta$ de alto desempeño en tecnologías de construcción digitales aunado con el vertiginoso ritmo impuesto por la evolución de la tecnología ha motivado el interés por las herramientas CAD, las cuales puedan optimizar el proceso de diseño en términos de eficiencia y bajo tiempo de lanzamiento al mercado.⁴²

3.2 Modelado Comportamental

3.2.1 ¿Qué es el modelado comportamental?

Los moduladores $\Sigma\Delta$ son circuitos altamente no lineales y, por lo tanto, la evaluación de sus principales características de desempeño tienen que ser realizadas en el dominio del tiempo. Debido al sobremuestreo de los moduladores $\Sigma\Delta$, varios miles de ciclos de reloj son necesarios para evaluar sus figuras de mérito.⁴³

Las simulaciones a nivel transistor en simuladores como SPICE llevan a cabo procesamientos de larga duración (típicamente de días a semanas), debido a que basan el análisis en integración numérica con pasos de integración pequeños y modelos complejos de los circuitos. La mejor manera de encontrar un equilibrio entre precisión y tiempo es utilizando la simulación comportamental con modelos funcionales. Este acercamiento requiere que el circuito pueda ser particionado en bloques básicos de funcionalidad independiente. Ello implica que la salida instantánea de un bloque no se pueda relacionar a sí mismo, lo que conlleva que no exista un lazo de retroalimentación global, o en caso de que exista, un retraso debe ser aplicado para evitar dicha dependencia. Por lo tanto, la precisión de la simulación dependerá de qué tan acertadas sean las ecuaciones que describen el comportamiento real de cada bloque⁴⁴.

3.2.2 SIMSIDES

SIMSIDES (SIMulink-based SIGma-DELta Simulator) es un simulador comportamental avanzado en el dominio del tiempo de Convertidores Analógico/Digital $\Sigma\Delta$ con diferentes arquitecturas: Capacitores Conmutados (SC), Corriente Conmutada (SI) y Tiempo Continuo (CT). Utiliza el entorno de MATLAB/SIMULINK como interfaz para el usuario. Dicha interfaz trae consigo una gran cantidad de ventajas en lo

⁴² Jesús Ruiz-Amaya, *et al*, "An optimization-based tool for the high-level synthesis of discrete-time and continuous-time $\Sigma\Delta$ Modulators in the MATLAB/SIMULINK environment", Proceedings of the International Symposium on Circuits and Systems, pp. 97-100, May 2004.

⁴³ Jesús Ruiz-Amaya, *et al*, "MATLAB/SIMULINK-Bases High Level Synthesis of Discrete-Time and Continuous-Time $\Sigma\Delta$ Modulators", Proceedings of Design, Automation and Test in Europe Conference and Exhibition Designers' Forum, pp. 30150, 2004.

⁴⁴ Idem

que a manipulación de datos, flexibilidad y simulación con otros subsistemas electrónicos se refiere⁴⁵.

Además de las capacidades de simulación y post-procesado, SIMSIDES puede ser usado para la síntesis a alto nivel de moduladores $\Sigma\Delta$. Por ello, la herramienta está combinada con un optimizador para encontrar las especificaciones óptimas de los bloques que conforman al modulador para obtener el desempeño más cercano al ideal.

Tabla 3.1 Técnicas de circuitos y bloques principales con no idealidades en SIMSIDES

Técnica del Circuito	Bloque	No Idealidad	
SC	Integradores	Opamps	Ganancia finita y no lineal
			Limitaciones Dinámicas (asentamiento incompleto y distorsión armónica)
		Rango de salida	
		Ruido Térmico	
	Interruptores	Ruido Térmico, resistencia finita y no lineal	
	Capacitores	No linealidad, <i>mismatching</i>	
	Resonadores	No idealidades asociadas a los integradores	
SI	Integradores	Ganancia finita y no lineal	
		Conductancia de entrada y salida finita	
		Limitaciones Dinámicas (asentamiento incompleto, distorsión armónica e inyección de carga)	
		Ruido térmico	
	Resonadores	Error en la ganancia de retroalimentación No idealidades asociadas a los integradores	
CT	Integradores	Ganancia finita y no lineal	
		Limitaciones Dinámicas (capacitancias parásitas, polos a altas y bajas frecuencias)	
		Ruido térmico	
		Rango de salida y rango de entrada lineal	
		<i>Offset</i>	
	Resonadores	No idealidades asociadas a los integradores	
-	Reloj	<i>Jitter</i>	
	Comparadores	<i>Offset</i> , histéresis	
	Cuantizadores/DACs	No linealidad, error de ganancia, offset, ruido <i>jitter</i> , tiempo de retardo	

⁴⁵ Jesús Ruiz-Amaya, *et al*, "An optimization-based tool for the high-level synthesis of discrete-time and continuous-time $\Sigma\Delta$ Modulators in the MATLAB/SIMULINK environment", Proceedings of the International Symposium on Circuits and Systems, pp. 97-100, May 2004.

Estos bloques están clasificados dependiendo del nivel jerárquico del modulador y la técnica del circuito y agrupados en librerías. En general, se pueden identificar dos tipos de librerías: las de alto nivel y las de bajo nivel. Las primeras incluyen bloques básicos con un modelo comportamental en alto nivel (alto nivel de abstracción); mientras que las segundas incluyen bloques con un modelo comportamental a bajo nivel, es decir, que su comportamiento se acerque de mayor manera a la implementación física del circuito⁴⁶.

SIMSIDES ha sido desarrollado completamente en el ambiente de MATLAB/SIMULINK, pensado como un *toolbox* para la simulación de moduladores $\Sigma\Delta$. Sin embargo, está combinado con un optimizador para sintetizar las especificaciones de los bloques que conforman a los moduladores. Los modelos comportamentales de los bloques de construcción son incorporados como *S functions* de SIMULINK (codificadas en lenguaje C), las cuales comparadas con las librerías de bloques de SIMULINK, reducen la cantidad de procesamiento a un nivel aceptable para propósitos de síntesis⁴⁷. La implementación de los modelos comportamentales conlleva los siguientes pasos: ⁴⁸

- Definición del modelo computacional.
- Implementación del modelo computacional en una *S function*.
- Compilación de la *S function*.
- Incorporación del modelo a SIMULINK

La Fig. 27 muestra la estructura general de la herramienta. El punto de inicio es la descripción de la topología de modulador $\Sigma\Delta$ en el entorno de SIMULINK. Por lo tanto, la arquitectura deseada se define conectando los bloques de construcción disponibles en las librerías de SIMSIDES. Ya que el diagrama ha sido creado, el usuario establece una serie de parámetros y opciones que son tomados en consideración por la herramienta para realizar la simulación en el dominio del tiempo. Los datos de salida consisten de series en el dominio del tiempo, las cuales pueden ser procesadas para realizar diferentes análisis. Por lo tanto, histogramas y espectros de salida son calculados utilizando rutinas procedentes por el *toolbox* de procesamiento de señales de MATLAB. Otros análisis como SNR, distorsión armónica, intermodulación y

⁴⁶ Jesús Ruiz Amaya, José de la Rosa, User's Manual: SIMSIDES 1.0, Sevilla España, Julio 2003, p. 2

⁴⁷ Jesús Ruiz-Amaya, *et al*, "An optimization-based tool for the high-level synthesis of discrete-time and continuous-time $\Sigma\Delta$ Modulators in the MATLAB/SIMULINK environment", Proceedings of the International Symposium on Circuits and Systems, pp. 97-100, May 2004.

⁴⁸ Jesús Ruiz-Amaya, *et al*, "High-Level Synthesis of Switched-Capacitor, Switched-Current and Continuous-Time $\Sigma\Delta$ Modulators Using SIMULINK-Based Time-Domain Behavioral Models", IEEE Transactions on Circuits and Systems I: Regular Papers, pp. 1749-1810, September 2005.

Montecarlo, se realizan usando una serie de funciones especiales desarrolladas para SIMSIDES.⁴⁹

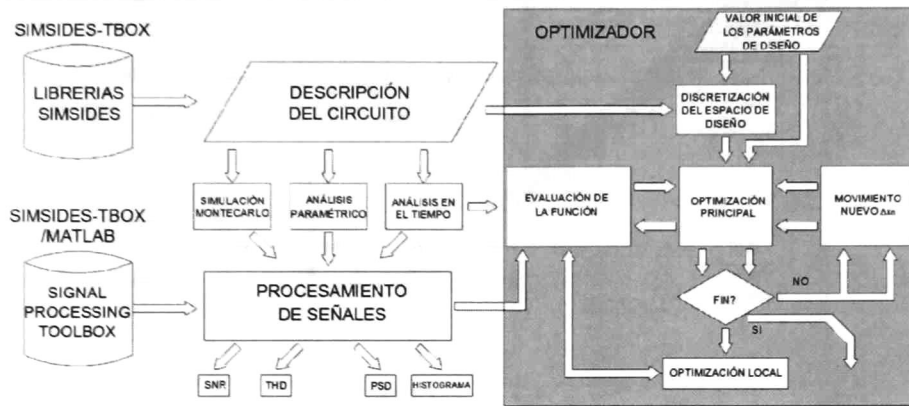


Fig. 27 Estructura de la herramienta

3.3 Simulación en SIMSIDES

3.3.1 Simulación Ideal

Al iniciar el diseño del modulador es muy importante corroborar que las ganancias de los bloques obtenidas de manera analítica consigan que el modulador $\Sigma\Delta$ tenga un desempeño ideal. Ello se consigue realizando la construcción del modulador mediante los bloques provistos por SIMSIDES (Fig. 28); en un principio se utilizan bloques meramente ideales, es decir, que no toman en cuenta las no idealidades de los circuitos electrónicos.

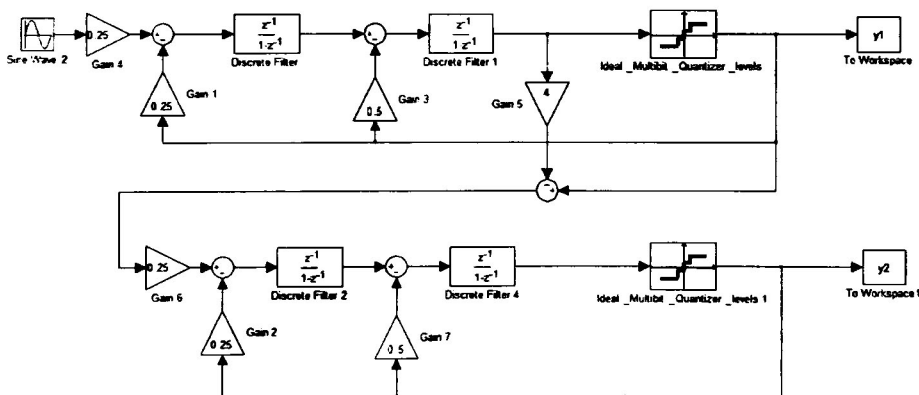


Fig. 28 Modulador ideal DT 2-2 construido en SIMSIDES

⁴⁹ Jesús Ruiz Amaya, José de la Rosa, User's Manual: SIMSIDES 1.0, Sevilla España, Julio 2003, p. 2

Para realizar la simulación del Modulador de 4^o Orden es necesaria la inserción del bloque DCL (Fig. 29), el cual se encarga de combinar las salidas de las diferentes etapas del modulador para obtener una salida general correcta. Si alguno de los valores obtenidos para alguna de las partes del modulador no es la adecuada, el espectro de salida no tendrá la reducción del ruido de cuantización aunada al orden del modulador.

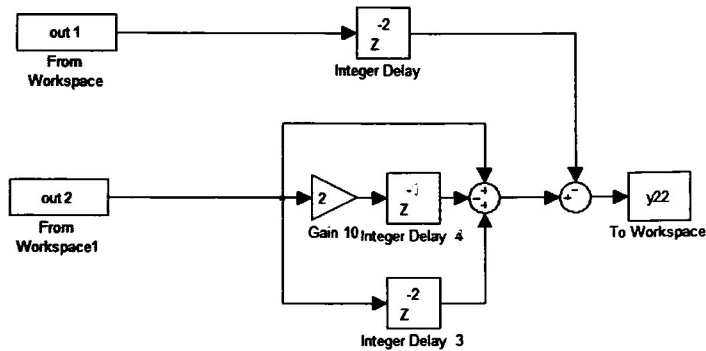


Fig. 29 DCL construida en SIMSIDES

SIMSIDES requiere de diferentes parámetros para realizar la simulación del modulador. La Tabla 3.2 resume los parámetros de simulación utilizados. La polarización del cuantizador se refiere a la alimentación que tendrá el circuito dependiendo de la tecnología de construcción. Se puede observar que el cuantizador es de tres niveles o 1.5 bits que, de igual manera que el de dos niveles, puede ser descrito mediante un modelo lineal.

Tabla 3.2 Parámetros de Simulación de SIMSIDES

Parámetro	Valor
Polarización del Cuantizador	±1.2V
Niveles del Cuantizador	3
Potencia de la señal de entrada	-10dB
Frecuencia de la señal de entrada	991.234MHz
Frecuencia de Muestreo	200MHz

La Fig. 30 muestra el espectro de salida ideal del modulador $\Sigma\Delta$ de 4^o Orden en cascada (2-2). Como era de esperarse, a bajas frecuencias la cantidad de ruido que existe es muy pequeña, mientras que a altas frecuencias aumenta de manera considerable. También se observa claramente cómo la señal de entrada no se ve afectada por el modulador, es decir, recorre el modulador sin ser modificada por la característica pasa-altas que disminuye la potencia del ruido de cuantización. Debido a que se trata de un modulador de 4^o orden, la pendiente de reducción del ruido es de 80dB por década.

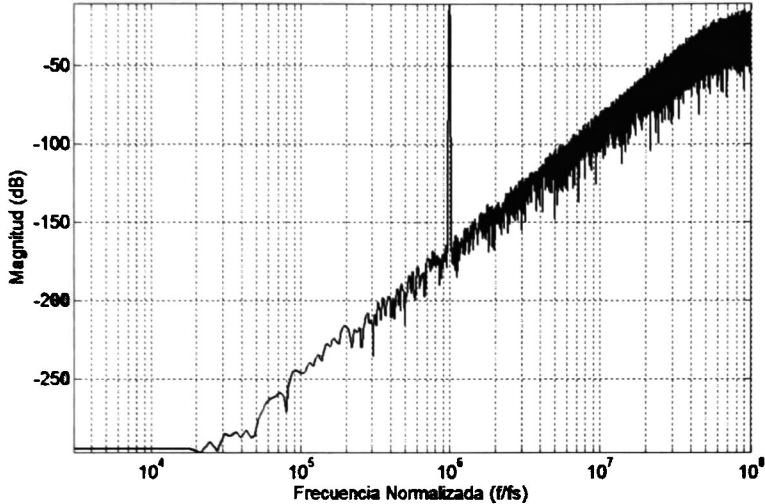


Fig. 30 Espectro de Salida del Modulador $\Sigma\Delta$ Ideal DT de 4^o Orden

3.3.2 Simulación con parámetros reales

Al tener certeza de la buena obtención de los parámetros de ganancia que definen el desempeño del modulador $\Sigma\Delta$, es posible cambiar los bloques ideales por bloques reales que describan las no idealidades de los circuitos implementados físicamente dependiendo de la técnica que se quiera utilizar, ya sea en tiempo discreto (corriente conmutada y capacitores conmutados) o tiempo continuo (filtros g_mC). La Fig. 31 muestra el Modulador $\Sigma\Delta$ de 4^o Orden con integrados implementados mediante capacitores conmutados. Las no-idealidades de los integradores SC permiten tener un conocimiento más a fondo de cuáles son los parámetros que intervienen de mayor manera en el desempeño del filtro. Las ganancias obtenidas anteriormente son implementadas mediante cocientes de capacitores, los cuales son definidos dentro de los parámetros del integrador.

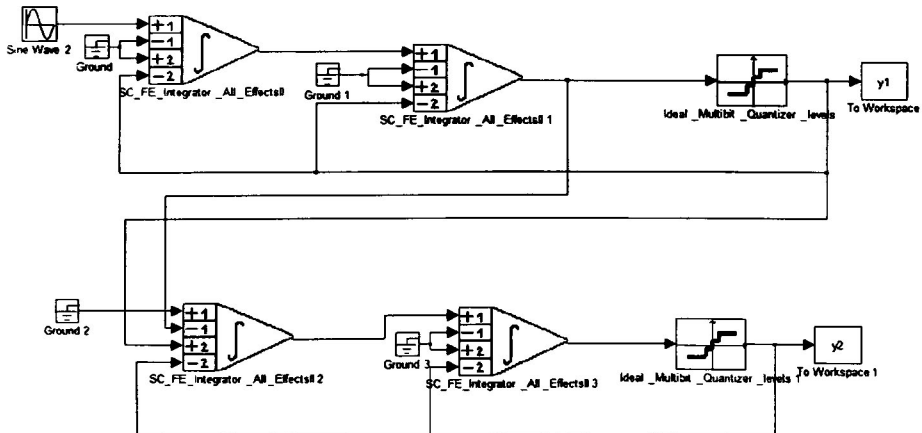


Fig. 31 Modulador $\Sigma\Delta$ de 4^o Orden con las no-idealidades de los SC

Existen un gran número de figuras de mérito para los moduladores $\Sigma\Delta$, como los son el SNR, SNDR, IBN, PSD, etc., sin embargo, se cree que el SNDR y el IBN son las más importantes, por lo que se toman como base para la obtención de los parámetros de los circuitos electrónicos implementados físicamente.

SIMSIDES permite realizar la variación de todos y cada uno de los parámetros del integrador y así observar cómo cambia el desempeño del modulador $\Sigma\Delta$. En este caso se ha encontrado que los parámetros más influyentes en el integrador SC son la transconductancia, la corriente de salida, la ganancia en DC y el *output swing*; todos ellos parámetros del amplificador operacional que se utilice. Por ello se ha realizado un barrido de estas características, desde valores ideales hasta valores reales viables para una implementación deseada. Las Figuras 32 y 33 muestran ejemplos de barridos de dos variables, tomando como figura de mérito el IBN.

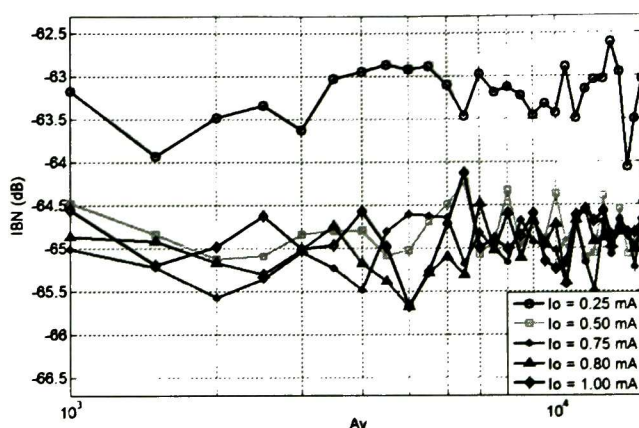


Fig. 32 IBN vs A_v para diferentes valores de I_o

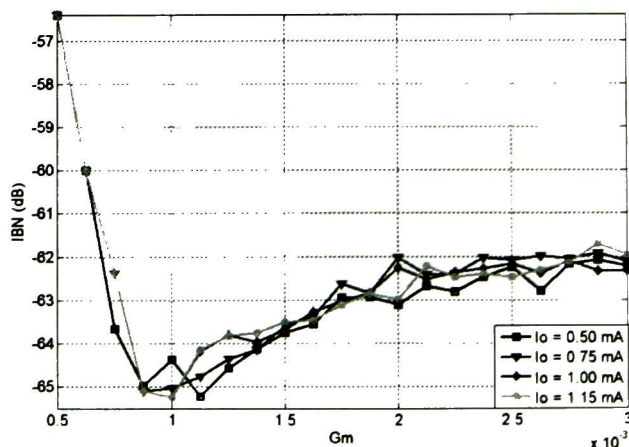


Fig. 33 IBN vs G_m para diferentes valores de I_o

Para el caso del *output swing* (OS) es posible obtener un histograma del número de eventos que se dan para diferentes valores de voltaje de salida en cada uno de los cuatro integradores que conforman el sistema y así obtener el parámetro necesario de OS para un desempeño lo más parecido al ideal del modulador (Fig. 34).

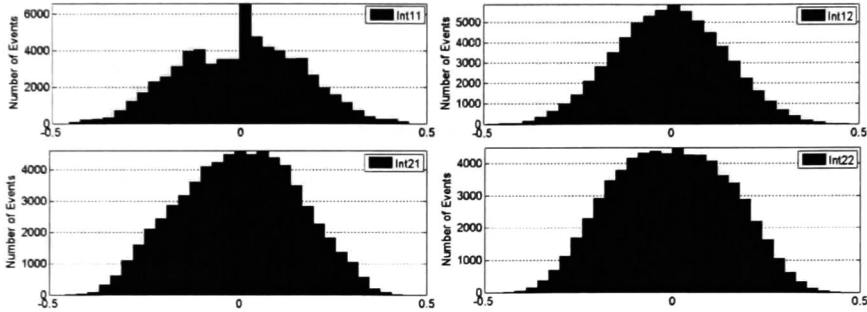


Fig. 34 Numero de Eventos de OS en el Modulador

Mediante el uso de SIMSIDES fue posible encontrar las características de los circuitos electrónicos que provocarán que el desempeño del modulador $\Sigma\Delta$ de 4^o orden sea lo más cercano al ideal. La Tabla 3.3 resume dichas características.

Tabla 3.3 Parámetros seleccionados

	Parámetro	Valor
Integrador en Capacitores Conmutados	I_o	0.3mA
	G_m	3mS
	A_v	≥ 60 dB
	R_{on}	250 Ω
	<i>Output Swing</i>	± 0.6 V

La Fig. 35 muestra una comparación entre el espectro ideal del modulador y espectro real encontrado con los parámetros definidos mediante SIMSIDES, mientras que la Fig. 36 realiza la misma comparación con SNDR.

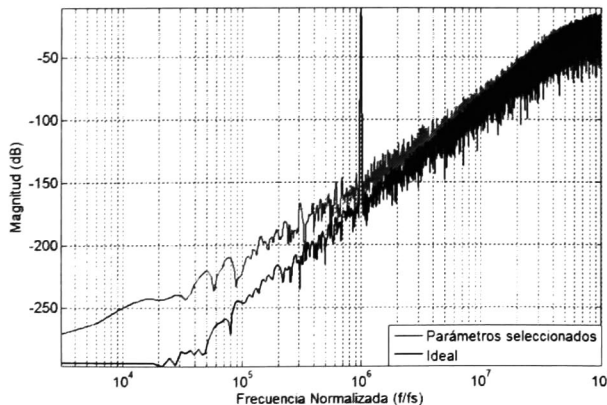


Fig. 35 Espectro ideal vs Espectro con parámetros seleccionados

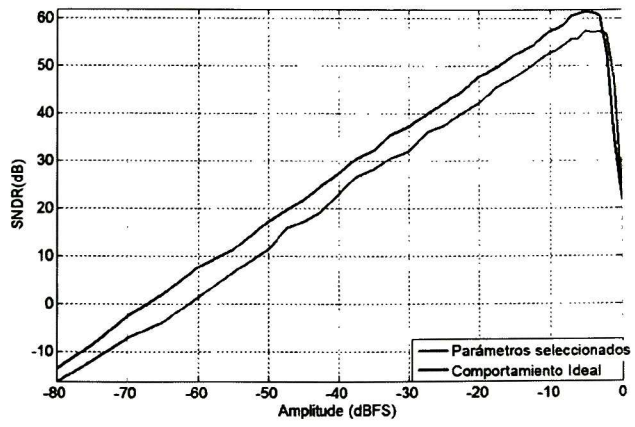


Fig. 36 SNDR Ideal vs SNDR con parámetros seleccionados

Capítulo 4

OTA Completamente Diferencial

Se presentan las bases para la implementación de circuitos completamente diferenciales, principalmente el *Common Mode Feedback (CMFB)*. Se describe con detalle el funcionamiento y diseño del amplificador seleccionado (*Complementary Folded Cascode Feedforward Compensated Operational Transconductance Amplifier*), junto a los resultados de simulación obtenidos en Virtuoso. Después se muestra el análisis en pequeña señal comparando resultados con los obtenidos mediante el paquete de diseño. Por último se presentan los fundamentos básicos para la realización de implementaciones físicas y se describen los resultados del *layout* de los circuitos *CMFB* y *CFCFC* OTA.

4.1 Introducción

Muchos circuitos integrados (CI's) analógicos deben operar con un voltaje de alimentación pequeño, dictado por los requerimientos del sistema o las limitaciones del proceso de fabricación. Ello implica que la variación de la señal de salida este muy limitada y lograr altas razones de señal a ruido (del inglés SNR) se convierta en un gran problema de diseño⁵⁰.

Aunque los amplificadores operacionales (del inglés OPAMPs) CMOS de dos etapas son los circuitos clásicos usados en un sinfín de circuitos integrados, existen otras arquitecturas que han ganado popularidad en los últimos tiempos. Cuando la carga de un amplificador es meramente capacitiva se pueden diseñar OPAMPs que presenten una gran

⁵⁰ P.M. VanPeteguem, J.H. Duque-Carrillo, "A General Description of Common-Mode Feedback in Fully Differential Amplifiers", IEEE International Symposium on Circuits and Systems, pp. 3209-3212, May 1990.

resistencia de salida, proveyendo altas ganancias incluso si solo son de una etapa⁵¹.

4.2 Implementación completamente diferencial (*Fully Differential*)

Una señal completamente diferencial se representa mediante la diferencia entre dos líneas, por ello cualquier señal de modo común (que aparezca en ambas líneas) no afecta la información diferencial.

Los circuitos implementados de manera completamente diferencial deben estar balanceados, es decir, que las señales diferenciales operen de manera simétrica alrededor de un voltaje de modo común en DC (normalmente tierra analógica o el punto medio entre los voltajes de alimentación). Ello implica que toda aquella señal de ruido ocurra como una señal en modo común debido a la simetría del circuito cancelándose automáticamente. Dichas señales de ruido pueden ser causadas por las fuentes de alimentación, el sustrato, la inyección de carga y el *clock feedthrough*⁵². Los circuitos completamente diferenciales tienen la ventaja adicional de que la señal diferencial solo tendrá términos impares de distorsión, los cuales son comúnmente más pequeños. Como se muestra en la Fig. 37 La salida diferencial, V_{Diff} , consiste en solo el término lineal $2K_1V_1$ y términos impares de distorsión⁵³.

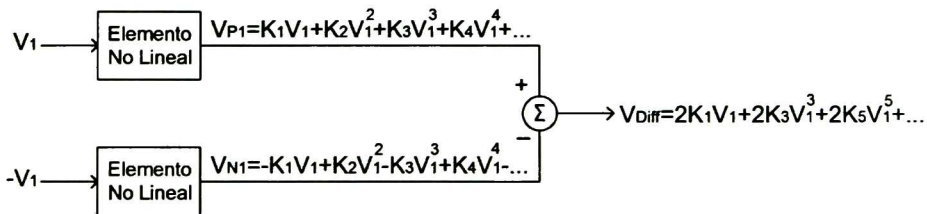


Fig. 37 Ejemplo de las ventajas de la implementación completamente diferencial

Debido a estas ventajas, la mayoría de los circuitos implementados utilizando Capacitores Conmutados utilizan estructuras completamente diferenciales, aunque los mismos representen un mayor consumo de potencia, área y alambrado, y presenten la necesidad del diseño de un bloque extra: el *Common-Mode FeedBack* (CMFB)⁵⁴.

⁵¹ T. Carusone, D. Johns, K. Martin, *Analog Integrated Circuit Design*. Wiley and Sons, 2012, pp. 242.

⁵² H. Lampinen and O. Vainio, "An Optimization Approach to Designing OTAs for Low-Voltage Sigma-Delta Modulators", *IEEE Transactions on Instrumentation and Measurement*, p. 1665-1671, December 2001.

⁵³ T. Carusone, D. Johns, K. Martin, *Analog Integrated Circuit Design*. Wiley and Sons, 2012, p. 575-577.

⁵⁴ Idem

4.2.1 Common Mode Feedback

El problema con los circuitos completamente diferenciales es que no existe un lazo de retroalimentación para el voltaje de modo común (*CM*); por ello, el voltaje *CM* de salida está indefinido y los transistores de esta etapa pueden salirse del punto de operación deseado. Esto se evita introduciendo un bloque de retroalimentación llamado *Common Mode FeedBack*⁵⁵.

En un amplificador completamente diferencial, el *CMFB* realiza una medición del voltaje *CM* de salida, $V_{o,CM}$ pero idealmente no del voltaje diferencial de salida, $V_{o,DM}$ (Fig. 38). La señal de salida del *CMFB*, V_s , es retroalimentada al amplificador para ajustar la corriente de DC que fluye por la etapa de salida para mantener el $V_{o,CM}$ a un valor en DC predeterminado (normalmente a cero)⁵⁶.

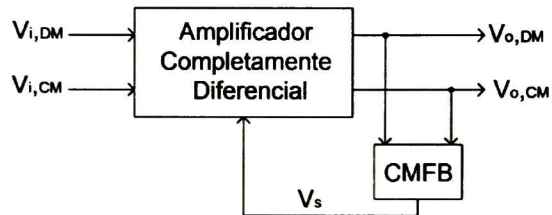


Fig. 38 Diagrama a bloques del funcionamiento del CMFB

4.2.2 Tecnología a utilizar

Como se mencionó anteriormente, para alcanzar una velocidad de muestreo de 200MHz es necesario que la frecuencia de ganancia unitaria sea por lo menos 5 veces mayor que dicha frecuencia, es decir 1GHz. A tal frecuencia las parásitas de los transistores juegan un papel importante en el desempeño del amplificador, por lo que, para alcanzar dicha frecuencia es necesario utilizar una tecnología de fabricación nanométrica que reduzca las no idealidades de los transistores. La elegida es de 130nm, la cual permite un largo de transistor mínimo de 120nm y voltajes de alimentación de 1.2V y 1.5V (dependiendo del grosor de óxido de compuerta que se decida usar)⁵⁷.

4.2.3 Requerimientos de Capacitores Conmutados (SC)

Los circuitos con Capacitores Conmutados (SC) se utilizan principalmente como filtros, debido tanto a su precisa respuesta en frecuencia como alta linealidad y rango dinámico. También pueden ser

⁵⁵ P. Wu, R. Schaumann, P. Latham, "Design Considerations For Common-Mode Feedback Circuits In Fully-Differential Operational Transconductance Amplifiers with Tuning", IEEE International Symposium on Circuits and Systems, pp. 1363-1366, June 1991.

⁵⁶ Idem

⁵⁷ CMOS8RF (CMRF8SF) Design Manual, p. 6-10

usados como etapas de ganancia, osciladores controlados por voltaje y moduladores.

El desempeño de un circuito (SC) depende principalmente de las características del amplificador operacional de transconductancia (OTA) utilizado, como lo son la ganancia en DC, la frecuencia de ganancia unitaria, el margen de fase, *slew-rate* y *offset*. Por ejemplo, la frecuencia máxima de operación de los SC está definida por la frecuencia de ganancia unitaria, la cual debe de ser 5 veces mayor que la primera, asumiendo un buen margen de fase. El *slew-rate* también influye en la frecuencia máxima de operación debido a que los SC basan su operación en una rápida transferencia de carga de un capacitor a otro. La Fig. 39 muestra una implementación completamente diferencial del filtro integrador utilizado en moduladores $\Sigma\Delta$ mediante SC. Usualmente los interruptores son realizados mediante compuertas de transmisión CMOS (*Transmission Gates*) ya que operan en un rango mayor de voltajes y proveen cancelación de primer orden al *clock feedthrough*⁵⁸.

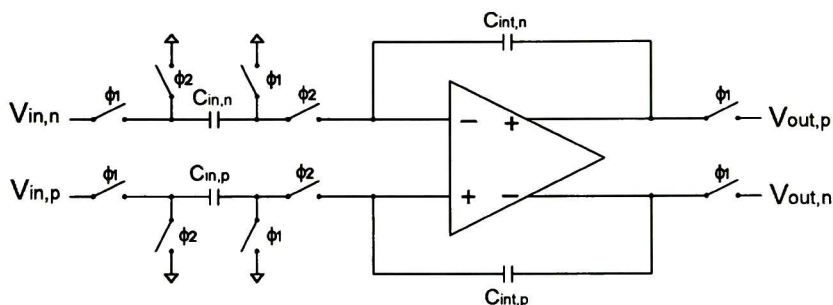


Fig. 39 Filtro Integrador completamente diferencial implementado en SC

4.3 Complementary Folded Cascode Feedforward Compensated (CFCFC)

La topología seleccionada es la *Complementary Folded Cascode Feedforward Compensated CFCFC* (Fig. 40) especial para bajos voltajes de alimentación y alta velocidad de operación⁵⁹.

Las etapas de transistores *cascode* son estructuras eficientes para mejorar la ganancia y proveer alta velocidad de operación en los amplificadores, pero limita el rango dinámico en diseños con bajo voltaje de alimentación⁶⁰. Los pares diferenciales son complementarios

⁵⁸ H. Lampinen and O. Vainio, "A low voltage, Multibit Sigma-Delta Modulator for Wideband Applications", Third International Workshop on Design of Mixed-Mode Integrated Circuits and Applications, pp. 138-142, July 1999.

⁵⁹ Idem

⁶⁰ H. Lampinen and O. Vainio, "An Optimization Approach to Designing OTAs for Low-Voltage Sigma-Delta Modulators", IEEE Transactions on Instrumentation and Measurement, pp. 1665-1671, December 2001.

ya que tienen un desempeño superior a un par diferencial sencillo.⁶¹ El *output swing* de la arquitectura *CFCFC* es igual a $V_{TN} + |V_{TP}|$, cuando el voltaje de modo común a la entrada es fijo⁶².

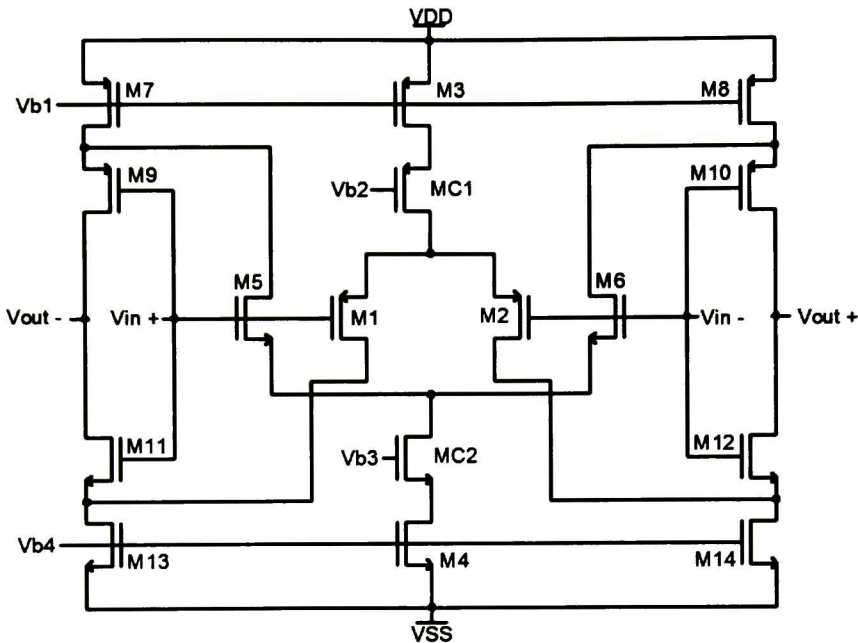


Fig. 40 Complementary Folded Cascode Feedforward Compensated (CFCFC) OTA

La técnica *feedforward* se presta para estructuras *folded cascode* alimentadas a bajos voltajes ya que el voltaje de polarización en *DC* requerido en la compuerta del transistor *cascode* es similar al valor de los transistores de entrada (el punto medio entre los voltajes de alimentación) permitiendo la conexión de las compuertas de ambos transistores⁶³.

A bajas frecuencias la operación del amplificador es básicamente la de un *folded cascode* pero a medida que la frecuencia aumenta las parásitas en el nodo *cascode* “disipan” la señal a tierra. Debido a que la señal de entrada es alimentada a la compuerta del transistor *cascode* la frecuencia de operación del amplificador es aumentada en comparación con la configuración estándar⁶⁴.

⁶¹ R. E. Vallee, E. I. El-Masry, “A very high-frequency CMOS complementary folded cascode amplifier”, IEEE J. Solid-State Circuits, vol. 29, pp. 130-133, February 1994.

⁶² H. Lampinen and O. Vainio, “An Optimization Approach to Designing OTAs for Low-Voltage Sigma-Delta Modulators”, IEEE Transactions on Instrumentation and Measurement, pp. 1665-1671, December 2001.

⁶³ S. Setty and C. Toumazou, “N-folded cascode technique for high frequency operation of low voltage opamps”, Electronic Letters, Volume 32, Issue 11, pp. 955-957, May 1996.

⁶⁴ S. Setty and C. Toumazou, “Feedforward Compensation Techniques in the Design of Low Voltage Opamps and OTAs”, IEEE International Symposium on Circuits and Systems, pp.464-467, May 1998.

4.3.1 Diseño del CFCFC OTA

El diseño de un amplificador operacional de transconductancia conlleva: 1) cerciorarse de que todos y cada uno de los transistores operen en la región de saturación y 2) tanto la corriente que fluye por las ramas como los voltajes en los nodos sean los elegidos. Para asegurarse de ello, los transistores se pueden conectar en configuración diodo, es decir, conectar la compuerta al drenador y cumplir con

$$V_{DS} \geq V_{eff} = V_{GS} - V_T \quad (4.1)$$

donde V_{DS} es el voltaje *drain/source*, V_{GS} el voltaje *gate/source* y V_T el voltaje de encendido del transistor.

El amplificador de la Fig. 28 está compuesto por tres ramas diferentes: PPNN (Fig. 41 a)), PNNN (Fig. 41 b)) y PPPN (Fig. 41 c)). Como se puede observar los voltajes de alimentación son de $\pm 1.2V$ y se busca simetría en las ramas para que los voltajes de polarización V_{b1} y V_{b4} sean los mismos para cada una de ellas ($\pm 0.6V$)

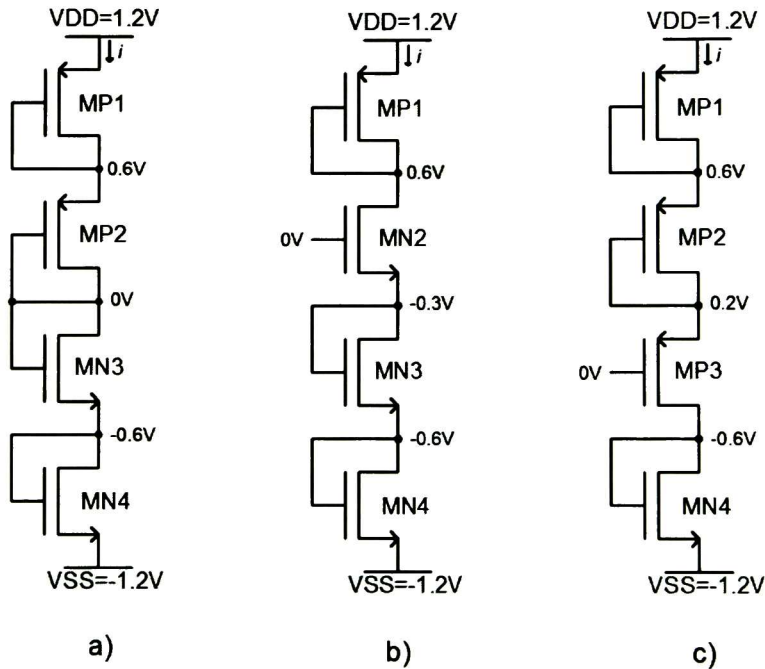


Fig. 41 Ramas del CFCFC OTA: a) PPNN, b) PNNN y c) PPPN

Se utiliza la aproximación resistiva como método de diseño para la rama PPNN. La corriente que fluye a través de la misma viene dada por

$$\frac{1.2V - 0.6V}{R_1} = \frac{0.6V - 0V}{R_2} = \frac{0V + 0.6V}{R_3} = \frac{-0.6V + 1.2V}{R_4} \quad (4.2)$$

$$R_1 = R_2 = R_3 = R_4$$

donde R_x representa la resistencia de los transistores en configuración diodo que es el recíproco de la transconductancia de los mismos. De la ecuación de transconductancia (3.2) se puede encontrar una ecuación que relacione las dimensiones de los transistores de la rama con uno en específico (3.3) (en este caso el transistor MN4):

$$g_m = k_n \left(\frac{W}{L} \right) (V_{GS} - V_T) \quad (4.3)$$

$$\frac{R_1}{R_4} = \frac{g_{mn4}}{g_{mp1}} = 1 = \frac{k_n \left(\frac{W}{L} \right)_4 (V_{GS} - V_T)}{k_p \left(\frac{W}{L} \right)_1 (V_{SG} - V_T)} \quad (4.4)$$

donde g_{mx} representa la transconductancia del transistor y k'_x es la ganancia de conversión del transistor.

Debido a que todos los transistores del diseño usarán pozo común, los voltajes *bulk/source*, V_{bs} , modificarán los voltajes de encendido de los transistores. Por ello es necesario realizar un pequeño diseño de experimentos y así encontrar V_T para los transistores con diferentes V_{bs} . La Tabla 4.1 concentra los valores de V_T para cada uno de los transistores de las diferentes ramas.

Tabla 4.1 Voltajes de encendido, V_T , de los transistores por Rama del CFCFC

Transistor	Rama PPNN	Rama PNNN	Rama PPPN
M1	0.244V	0.244V	0.244V
M2	0.314V	0.265V	0.314V
M3	0.226V	0.226V	0.344V
M4	0.161V	0.161V	0.161V

Utilizando los datos de la Tabla 3.1 es posible encontrar las relaciones de ancho y largo de los transistores de la rama PPNN, siempre tomando en cuenta que la longitud de canal para toda la rama debe ser la misma.

Para las ramas PNNN y PPPN no es posible utilizar el mismo método ya que los transistores que procesan la señal de entrada (N para PNNN y P para PPPN) se deberán de polarizar por el voltaje en DC de la señal de entrada (0V). Pero como sabemos que todos los transistores deben estar en la región de saturación es posible utilizar (4.4) para el diseño de ambas ramas.

$$I_{Dsat} = k' \left(\frac{W}{L} \right) (V_{GS} - V_T)^2$$

$$\frac{W}{L} = \frac{I_{Dsat}}{k' (V_{GS} - V_T)^2} \quad (4.5)$$

donde I_{Dsat} representa la corriente que fluye a través de la rama de transistores.

El diseño para las ramas PNNN y PPPN se realizó para la obtención de una corriente de 1mA mientras que en la rama PPNN solo se tomó en cuenta la relación de resistencias y los voltajes requeridos en cada uno de los nodos. Para ambos casos es posible obtener la corriente deseada re-dimensionando todos los transistores con un mismo factor.

La Tabla 4.2 reúne las dimensiones obtenidas de manera analítica de los transistores de cada una de las ramas que conforman al CFCFC OTA. En el caso de la rama PPNN es necesario definir un valor para el ancho del transistor MN4 ya que todos los demás están en función de él.

Tabla 4.2 Dimensiones de los transistores por Rama del CFCFC

Transistor	Rama PPNN	Rama PNNN	Rama PPPN
M1	W/L=277	W/L=166	W/L=166
M2	W/L=337	W/L=2350	W/L=2847
M3	W/L=36	W/L=526	W/L=1015
M4	W/L=30	W/L=15	W/L=15

4.3.2 Diseño del CMFB

El diseño del CMFB se puede realizar tanto en Tiempo Discreto (capacitores conmutados) como en Tiempo Continuo (circuitos en CT). La diferencia entre las implementaciones reside en que en DT se espera a la señal de reloj para realizar el ajuste en el voltaje de retroalimentación al amplificador, mientras que en CT el ajuste se realiza constantemente.

La Fig. 42 muestra el circuito CMFB CT elegido para el CFCFC OTA, el cual, comparado con otras topologías CT, presenta gran linealidad, alta sensibilidad a las señales de modo común y parásitas pequeñas, a cambio de área de ocupación y consumo de potencia. El circuito está constituido por dos pares diferenciales y un espejo de corriente. El voltaje de modo común, V_{CM} , es el valor en DC predeterminado para los nodos de salida del amplificador. Los cambios de las corrientes I_{d1} e I_{d4} causadas por $V_{o,DM}$ son balanceados por los cambios correspondientes en I_{d2} e I_{d3} , mientras que para $V_{o,CM}$ dicho balance es roto y el voltaje de retroalimentación cambia hasta encontrar el mismo⁶⁵.

⁶⁵ P. Wu, R. Schaumann, P. Latham, "Design Considerations For Common-Mode Feedback Circuits In Fully-Differential Operational Transconductance Amplifiers with Tuning", IEEE International Symposium on Circuits and Systems, pp. 1363-1366, June 1991.

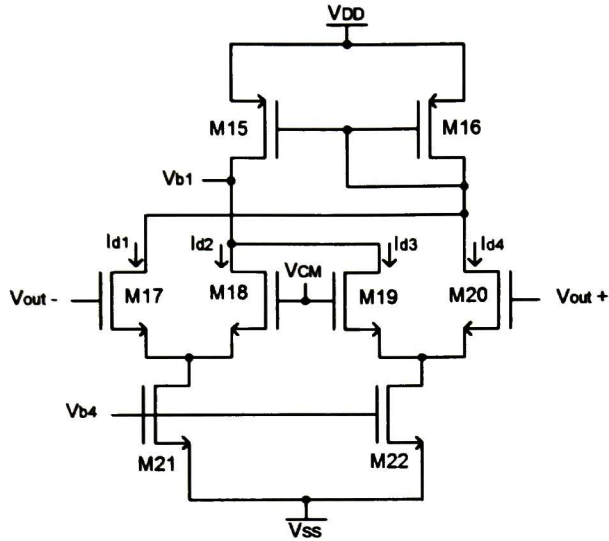


Fig. 42 Common Mode Feedback en Tiempo Continuo

De igual manera que para las ramas PNNN y PPPN nuestra herramienta es (4.5). El *CMFB* está compuesto solo por ramas PNN, las cuales es necesario implementar conforme a los voltajes de polarización del amplificador (± 0.6). El diseño se realiza para una corriente de 1mA en la rama y 0V en la compuerta de MN2, que es el valor deseado de $V_{o,CM}$ en los nodos de salida del amplificador (Fig. 43).

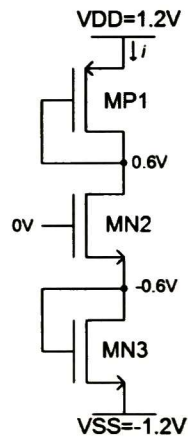


Fig. 43 Rama PNN del *CMFB*

La Tabla 3.3 concentra las dimensiones de los transistores del *CMFB*. Es importante mencionar que las dimensiones mostradas, tanto del *CFCFC* como del *CMFB*, no son las finales ya que es necesario simular los resultados obtenidos y re-diseñar o ajustar conforme a los requerimientos antes mencionados (frecuencia de ganancia unitaria, ganancia en DC, corriente de salida, etc.).

Tabla 4.3 Dimensiones de los transistores por rama PNN del *CMFB*

Transistor	Dimensiones
MP1	W/L=166
MN2	W/L=21
MN3	W/L=15

4.4 Resultados

4.4.1 Resultados de Virtuoso

El paquete de software utilizado para realizar las simulaciones, correcciones y re-dimensionamiento del amplificador *CFCFC* es Virtuoso de Cadence.

El primer paso es cerciorarse de las regiones de operación de los transistores del OTA, los voltajes en los nodos y observar si el *CMFB* mantiene el voltaje de modo común a la salida del amplificador en el valor deseado. En la Fig. 44 se puede observar que en ambos nodos de salida el voltaje presente se acerca a 0V (970uV), con lo que se comprueba el buen comportamiento del *CMFB*. Estos valores se obtienen realizando un análisis del punto de operación del circuito (*Operating Point*). Cabe mencionar que no es posible simular el amplificador o el *CMFB* por separado, ya que son necesarios ambos bloques para obtener resultados correctos.

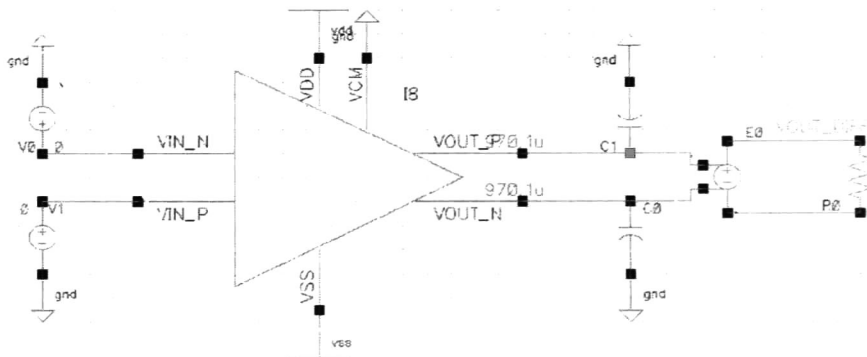


Fig. 44 Comprobación *CMFB*

Al tener certeza de que el punto de operación de todo el circuito es el correcto, el siguiente paso es realizar un análisis en el dominio de la frecuencia (Análisis AC) para verificar si el desempeño es el deseado, es decir, si cumple con los requerimientos de ganancia en DC, frecuencia de ganancia unitaria, margen de fase, *output swing*, etc. La Fig. 45 muestra los resultados del análisis en frecuencia para una carga de 2.5pF (mayor a las usadas típicamente en filtros integradores en *SC*), los cuales

cumplen con los requerimientos para la implementación del integrador utilizando capacitores conmutados.

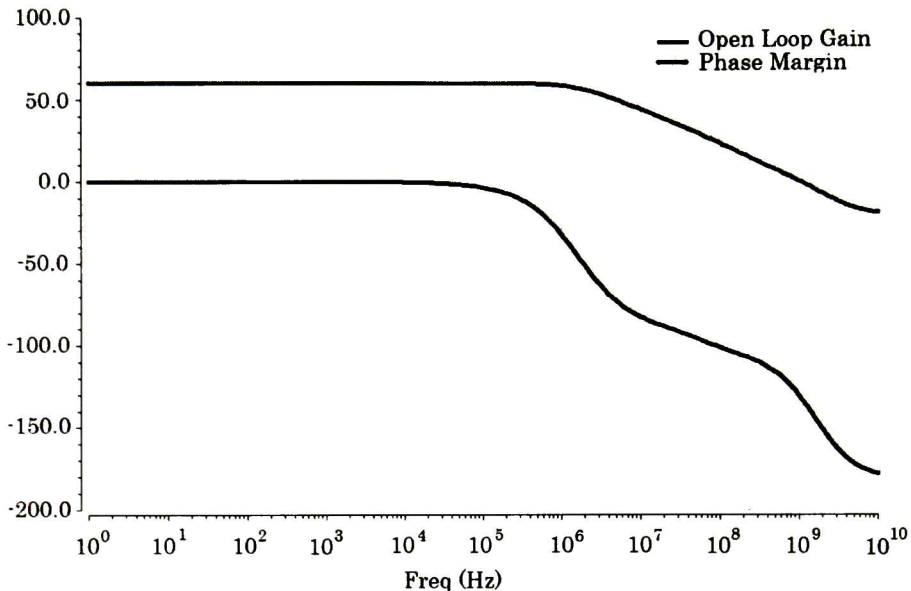


Fig. 45 Ganancia y Fase del *CFCFC* OTA

Existen diferentes maneras de aumentar la ganancia de un amplificador. Una de ellas es incrementar la transconductancia de los transistores aumentando su ancho o la corriente que circula a través de ellos, afectando la ganancia a través de una raíz cuadrada. Un método más efectivo es incrementando la resistencia de salida, por ejemplo, utilizando corrientes pequeñas o transistores más largos⁶⁶. En este caso se implementaron ambos métodos: se aumentó la transconductancia de los transistores que procesan la señal de entrada mediante la ampliación del ancho mientras que en las ramas de salida se incrementó la resistencia de salida utilizando la corriente mínima necesaria para cumplir con los requerimientos del modulador implementado en *SC*.

Para obtener las características de desempeño deseadas es necesario realizar un compromiso entre ganancia y tamaño de los transistores del circuito. Si se desea una operación a mayor frecuencia el largo de los transistores debería ser el mínimo para obtener una reducción de las parásitas a altas frecuencias pero la ganancia disminuiría considerablemente.

En el caso del *CMFB* el tamaño de los transistores de entrada puede ser muy pequeño, de tal manera que la carga capacitiva adicional causada

⁶⁶ H. Lampinen and O. Vainio, "An Optimization Approach to Designing OTAs for Low-Voltage Sigma-Delta Modulators", *IEEE Transactions on Instrumentation and Measurement*, pp. 1665-1671, December 2001.

por el mismo sea mínima, causando que la frecuencia de ganancia unitaria se incremente de gran forma⁶⁷.

El margen de fase debe de ser por lo menos 45° - 60° para proveer una buena razón de asentamiento⁶⁸. En este caso, en un principio no se consiguió dicho requerimiento, por lo que fue necesario agregar un capacitor flotante, C_f , usado para alimentar la señal de entrada invertida al nodo *cascode* del amplificador, proveyendo cancelación en el polo de entrada, el cual ocurre debido a la resistencia de la fuente a la entrada (Fig. 46)⁶⁹. Esta técnica de compensación mejora el margen de fase del amplificador de manera proporcional al valor de capacitancia de C_f .

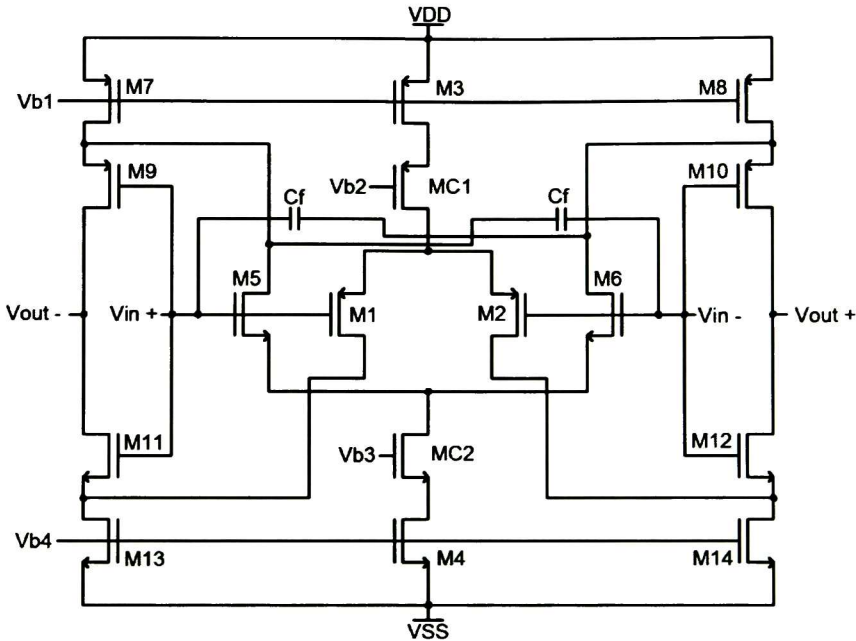


Fig. 46 Versión final del *CFCFC* OTA

Como sabemos un buen margen de fase es sinónimo de estabilidad en los amplificadores operacionales. Para tener una mayor seguridad de lo anterior, es posible realizar más pruebas de estabilidad como la respuesta al escalón unitario. En la Fig. 47 a) se muestra la configuración del amplificador para realizar la prueba mientras que en b) se observa la respuesta en el tiempo del circuito (*Transient Analysis*). El valor de *slew*

⁶⁷ P. Wu, R. Schaumann, P. Latham, "Design Considerations For Common-Mode Feedback Circuits In Fully-Differential Operational Transconductance Amplifiers with Tuning", IEEE International Symposium on Circuits and Systems, pp. 1363-1366, June 1991.

⁶⁸ H. Lampinen and O. Vainio, "An Optimization Approach to Designing OTAs for Low-Voltage Sigma-Delta Modulators", IEEE Transactions on Instrumentation and Measurement, pp. 1665-1671, December 2001.

⁶⁹ S. Setty and C. Toumazou, "Feedforward Compensation Techniques in the Design of Low Voltage Opamps and OTAs", IEEE International Symposium on Circuits and Systems, pp. 464-467, May 1998.

rate conseguido es de $156.12\text{V}/\mu\text{S}$ mientras que el tiempo de asentamiento es de $0.0772\mu\text{S}$.

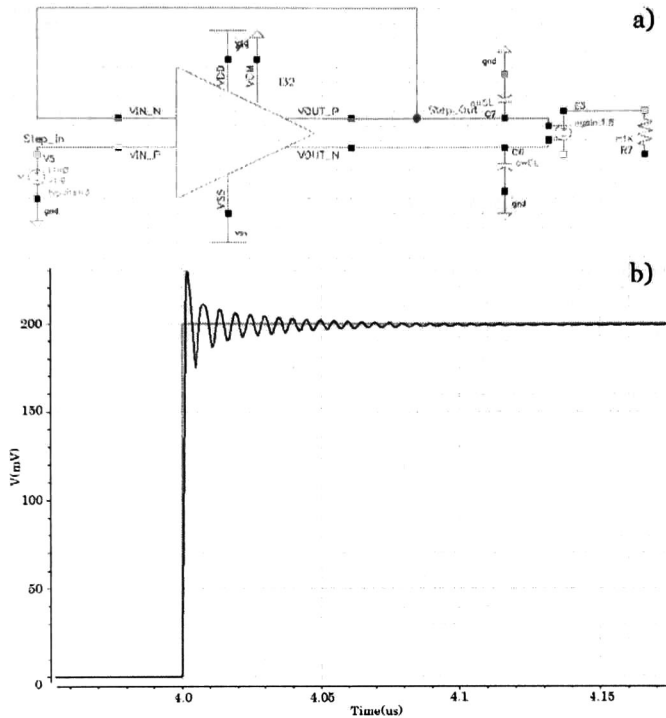


Fig. 47 Escalón unitario: a) Configuración de prueba y b) Respuesta en el tiempo

La Tabla 4.4 muestra las dimensiones finales de los transistores del amplificador de transconductancia con las cuales se obtuvieron los resultados de la Tabla 4.5.

Tabla 4.4 Dimensiones finales del CFCFC OTA

	Transistor	Dimensiones
OTA	M1-M2	W/L=1029
	M3	W/L=491
	M4	W/L=64
	M5-M6	W/L=420
	M7-M8	W/L=504
	M9-M10	W/L=630
	M11-M12	W/L=165
	M13-M14	W/L=56
	C_f	2.5pF
CMFB	M15-M16	W/L=712
	M17-M20	W/L=44
	M21-M22	W/L=56

Tabla 4.5 Resultados de Simulación del *CFCFC* OTA

Parámetro	Valor
I_o	0.311mA
f_o	1.047GHz
A_v	60dB
C_L	2.5pF
Φ_M	48.5°
P_s	11.82mW

4.4.1 Resultados de Análisis en Pequeña señal

El análisis en pequeña señal se realiza para comprobar qué tan cercanos son los resultados analíticos con los encontrados mediante Virtuoso. La Fig. 48 muestra el circuito equivalente en pequeña señal del *CFCFC* OTA, descartando la fuente controlada por V_{sb} ya que el análisis se complicaría de gran manera.

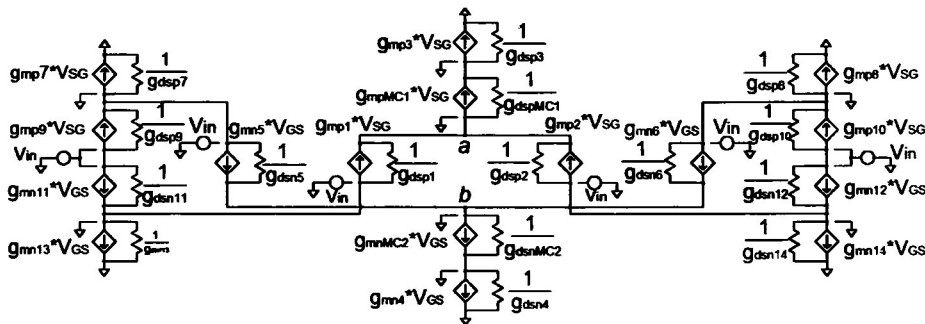


Fig. 48 Circuito equivalente en pequeña señal del *CFCFC*

La ganancia a bajas para la arquitectura *CFCFC* viene dada por:

$$A_v = r_o * g_{m,eff} \quad (4.6)$$

donde r_o representa la resistencia de salida del amplificador y $g_{m,eff}$ la suma de las transconductancias de los transistores de entrada. Debido a que el circuito es simétrico, solamente es necesario realizar el análisis de una de las dos secciones.

4.4.1.1 Resistencia de Salida

Para encontrar la resistencia de salida del amplificador de transconductancia es necesario colocar las fuentes de voltaje de entrada en corto circuito y representar como tierra analógica todo aquel voltaje en DC o corto circuito (puntos *a* y *b* de la Figura 48). La Fig. 49 muestra el circuito resultante para encontrar la resistencia de salida del *CFCFC*.

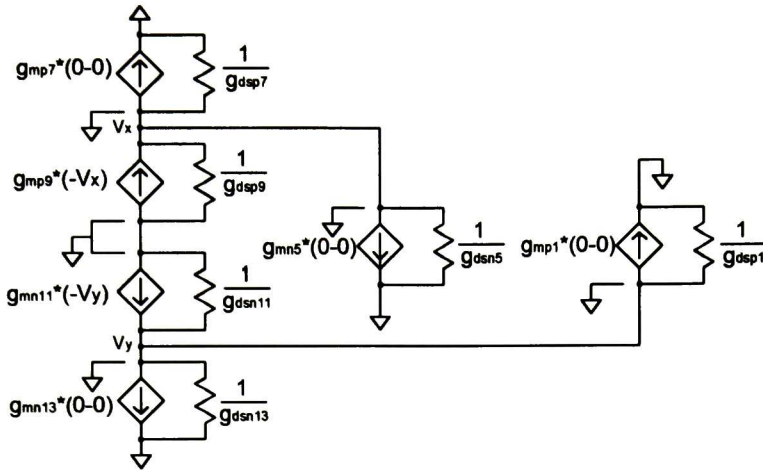


Fig. 49 Circuito equivalente en pequeña señal del CFCFC

Para encontrar la resistencia de salida es necesario agregar una fuente de prueba al nodo de salida del circuito (Fig. 50).

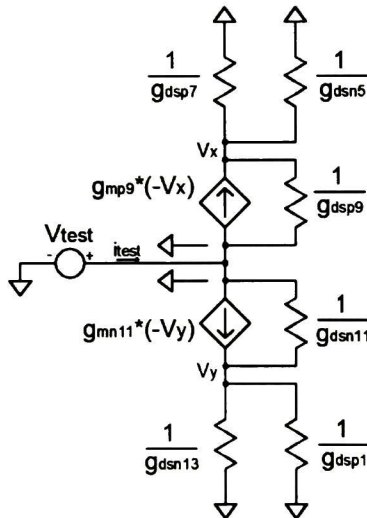


Fig. 50 Circuito equivalente en pequeña señal del CFCFC con Fuente de Prueba
Realizando el análisis nodal del circuito de la Fig. 38 se encuentra que

$$r_o = \frac{V_{test}}{i_{test}} = \frac{1}{\frac{g_{mp9}g_{dsp9}}{g_{mp9} + g_{dsp7} + g_{dsn5} + g_{dsp9}} + \frac{g_{mn11}g_{dsn11}}{g_{mn11} + g_{dsn13} + g_{dsp1} + g_{dsn11}} - g_{dsp9} - g_{dsn11}} \quad (4.7)$$

donde g_{mx} es la transconductancia del transistor y g_{dsx} es la conductancia de los mismos.

Utilizando los datos de la Tabla 4.6 se encuentra que la ganancia del CFCFC OTA siguiendo (4.6) es de 64.4dB (1659) mientras que en Virtuoso la ganancia es de 60dB (1000) lo que representa un error relativo del 66% en magnitud.

Tabla 4.6 Parámetros en pequeña señal del *CFCFC* OTA

Parámetro	Valor
g_{dsp7}	225 μ S
g_{mp9}	4.543mS
g_{dsp9}	101.8 μ S
g_{mn11}	5.752mS
g_{dsn11}	222.3 μ S
g_{dsn13}	321.6 μ S
g_{mn5}	15.79mS
g_{dsn5}	467.3 μ S
g_{mp1}	16.63mS
g_{dsp1}	287.9 μ S

4.4.1.2 Ganancia en DC

Debido a la gran diferencia entre los resultados analíticos y de Virtuoso, es necesario realizar el análisis completo de ganancia en pequeña señal para el *CFCFC* OTA. La Fig. 51 muestra el circuito eléctrico equivalente para la obtención de la ganancia del amplificador.

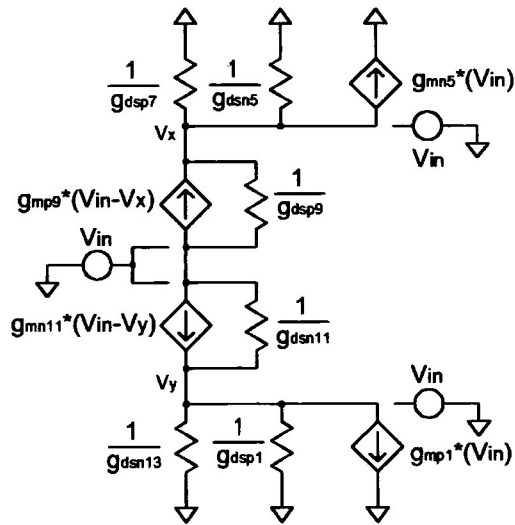


Fig. 51 Circuito equivalente en pequeña señal para la obtención de la Ganancia en DC

Mediante análisis nodal obtenemos que la ganancia viene dada por:

$$A_v = \frac{V_{out}}{V_{in}} = \frac{\frac{g_{mp9}(g_{mn5} - g_{mp9})}{g_{mp9} + g_{dsp7} + g_{dsn5} + g_{dsp9}} + \frac{g_{mn11}(g_{mp1} - g_{mn11})}{g_{mn11} + g_{dsn13} + g_{dsp1} + g_{dsn11}} + g_{mp9} + g_{mn11}}{\frac{g_{mp9}g_{dsp9}}{g_{mp9} + g_{dsp7} + g_{dsn5} + g_{dsp9}} + \frac{g_{mn11}g_{dsn11}}{g_{mn11} + g_{dsn13} + g_{dsp1} + g_{dsn11}} - g_{dsp9} - g_{dsn11}} \quad (4.8)$$

Al analizar (4.8) podemos observar la resistencia de salida multiplicada por un término al que llamaremos g_{meff2} , el cual es diferente a g_{meff} . Utilizando (4.8) tenemos que la ganancia es de 62.8dB (1385.2) más cercana a la encontrada mediante (4.6), con un error relativo del 38.5%.

4.5 Layout del CFCFC OTA

4.5.1 Fundamentos de Layout

Existe una gran variedad de fundamentos o recomendaciones para realizar el diseño físico o *layout* de circuitos electrónicos. Mientras que en el *layout* digital la mayor preocupación es el tamaño, el objetivo del *layout* analógico es optimizar el desempeño, *matching* y velocidad del IC⁷⁰.

El primer paso a realizar al iniciar el diseño físico de un circuito es saber cuál es la función del mismo, la que indicará una serie de problemas a resolver y técnicas a utilizar para minimizar el impacto de los anteriores. Entre los problemas más comunes se encuentran el *matching*, aislamiento, parásitas, colocación y alambrado del circuito.

El siguiente paso es conocer la cantidad de corriente que circula por cada una de las ramas del circuito, ya que ésta determinará el ancho, W , del metal que conducirá dicha corriente. En un proceso CMOS típico un micrómetro de metal puede manejar 0.5mA de corriente⁷¹.

4.5.1.1 Parásitas

Un circuito integrado está construido en capas, por ello se tienen una gran cantidad de materiales encimados, lo que crea pequeños capacitores parásitos dentro del sistema. También al tener corriente fluyendo a través de los materiales, estos presentan una resistencia no deseada, de la cual no se puede deshacer. Estas parásitas se comportan como elementos físicos no deseados que reducen el desempeño del circuito, por ejemplo, reduciendo la frecuencia de operación⁷².

Existen diferentes maneras de reducir las parásitas del circuito como lo son:

- Mantener la longitud de los metales lo más pequeña posible para evitar caídas de voltaje significativas que reduzcan el desempeño del circuito.
- Utilizar metales alejados al sustrato, ya que esto disminuye notablemente la capacitancia entre estos elementos.

⁷⁰ Christopher Saint, Judy Saint, "IC Mask Design Essential Layout Techniques", McGraw Hill, 2002, p. 51

⁷¹ Ibidem, p. 57

⁷² Ibidem, p. 79-80

- Realizar las conexiones mediante metal evitando pasar sobre los circuitos de ser posible.

4.5.1.2 Transistores CMOS

Los transistores construidos en tecnología CMOS presentan varios desafíos al realizar su diseño físico, debido a los elementos parásitos que presentan (como se mencionó anteriormente). Utilizando las técnicas de *layout* correctas es posible disminuir su efecto en el desempeño de los transistores.

Los transistores largos y delgados presentan una gran resistencia y capacitancia parásita debido a su longitud y al efecto capacitivo que se presenta entre la compuerta y el substrato. Debido a que la capacitancia es meramente dependiente del área de la compuerta que pasa sobre el substrato, la cual no puede variar independientemente de las modificaciones que se realizan al transistor, por lo que la capacitancia parásita en este caso no se puede disminuir. En lo que concierne a la resistencia, es posible dividir el transistor en dispositivos más pequeños para interconectarlos en paralelo obteniendo uno equivalente con una resistencia parásita de compuerta reducida como se muestra en la Fig. 52.

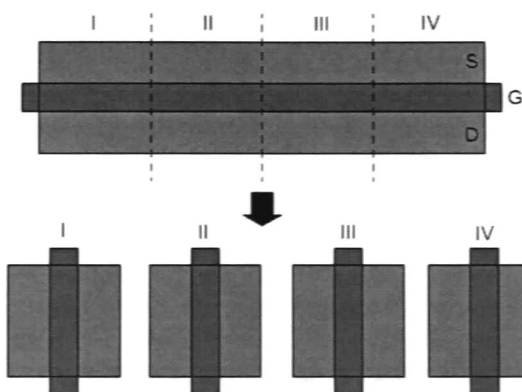


Fig. 52 Partición de transistores para la reducción de resistencia parásita

En el área del diseño físico el área del circuito integrado es directamente proporcional al costo, así que entre más pequeño se pueda realizar el diseño, el margen de ganancias es mayor. Para reducir el área que consumen los transistores es posible compartir el área de fuente y drenador, es decir, se pueden unir dichas terminales para que funcionen al mismo tiempo como fuente para un transistor y como drenador para otro como se muestra en la Fig. 53. Esta técnica se puede utilizar con cualesquiera dos dispositivos que se encuentren cercanos y compartan una terminal en común⁷³.

⁷³ Christopher Saint, Judy Saint, "IC Layout Basics a Practical Guide", McGraw Hill, 2002, p. 112-113.

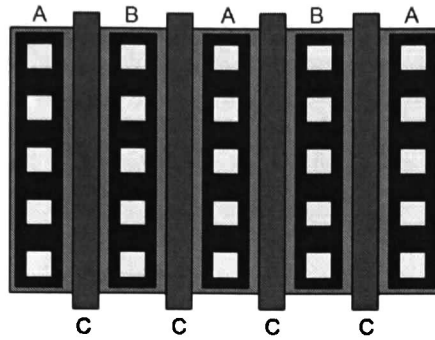


Fig. 53 Unión de drenador y fuente para la reducción del consumo de área

Al terminar de realizar la reducción del área de los transistores, es necesario realizar la interconexión de las terminales de los dispositivos como se muestra en la Fig. 54. Se puede observar que las conexiones entre las compuertas no se realizan en polisilicio debido a que es más resistivo que el metal por lo que puede desarrollar una alta resistencia al aumentar su longitud. Si la conexión que se desea realizar maneja corriente se debe usar metal y no polisilicio. La manera más segura de conectar las compuertas de un transistor es mediante metal sin preocuparnos por el tipo de señal presente, ya sea corriente o voltaje. Otra razón por la cual interconectar las compuertas mediante metal es para evitar que se presente el efecto antena. Este fenómeno se produce durante el proceso de fabricación en la etapa de grabado de compuertas en polisilicio (*polysilicon gate etch*) debido a la diferencia de potencial de la oblea (0V) y la cámara de grabado (2000V). Esto provoca que una carga se acumule en el polisilicio que sobrevive al grabado, que se puede convertir en un voltaje lo suficientemente alto para dañar el óxido de compuerta e inutilizar el transistor⁷⁴.

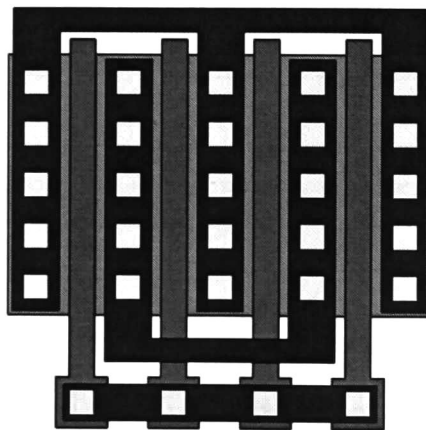


Fig. 54 Interconexión de las terminales del transistor

⁷⁴ Christopher Saint, Judy Saint, "IC Layout Basics A Practical Guide", McGraw Hill, 2002, p. 131-132.

4.5.1.3 Contactos a pozo y sustrato

Debido a que se forma una unión PN (diodo) entre el pozo N y el sustrato P del circuito integrado (Fig. 55), existe la posibilidad de que, si el voltaje del pozo N se reduce mientras que el voltaje en el sustrato aumenta se presente una polarización directa del diodo provocando un corto circuito del dispositivo.

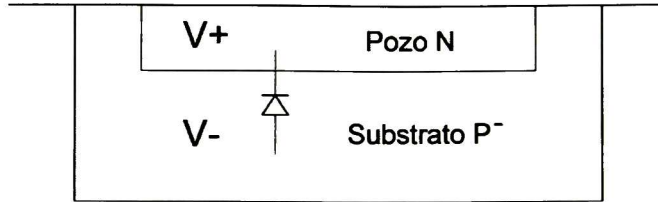


Fig. 55 Creación de la unión PN entre Pozo N y Substrato P

La manera más sencilla de evitar la polarización directa del diodo es conectar el voltaje de alimentación más positivo al pozo N, mientras que el voltaje más negativo se conecta al sustrato como se muestra en la Fig. 56. Los contactos a pozo N se realizan mediante difusiones N+ para que exista una pequeña resistencia entre estos elementos y la polarización sea ideal. Para el caso de los contactos en sustrato se utilizan difusiones P+ por el mismo motivo. Es recomendable tener la mayor cantidad de contactos tanto en el pozo N como en el sustrato para así disminuir de mayor forma la posibilidad del corto circuito.

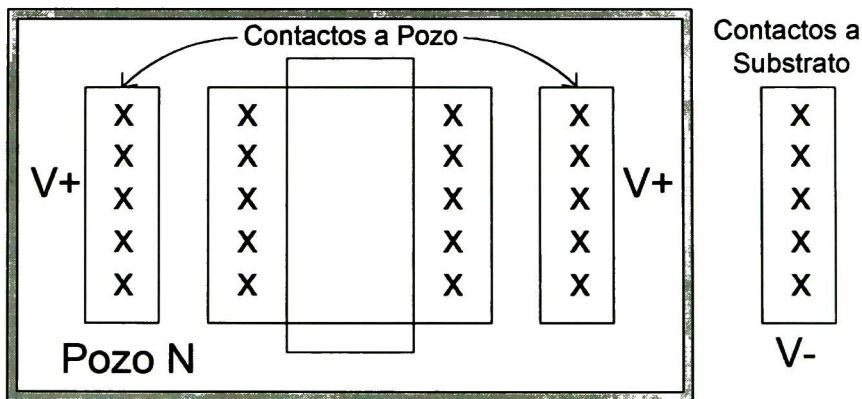


Fig. 56 Contactos a Pozo conectados a V+ y contactos a sustrato a V-

4.5.1.4 Matching

Como se había mencionado anteriormente el *matching* se refiere a que tan parecidas son las características eléctricas de dos o más dispositivos electrónicos. El *matching* es de vital importancia especialmente para los elementos pares que procesan señales de tipo diferencial como es el caso

de los pares diferenciales de transistores complementarios del *CFCFC* OTA y pares diferenciales del *CMFB*.

La primera regla del *matching* es mantener la misma orientación de los elementos que conforman el circuito electrónico y colocarlos de manera cercana, para que así todos ellos se vean afectados de la misma manera por las variables del proceso de fabricación. En el caso de los transistores CMOS, las características más afectadas son su ancho y largo.

Ubicar los dispositivos alrededor de un punto central común se conoce como técnica de centroide común (Fig. 57). Esta técnica es muy útil para reducir los efectos debido a gradientes térmicos del proceso de fabricación que se presentan en los circuitos integrados⁷⁵.

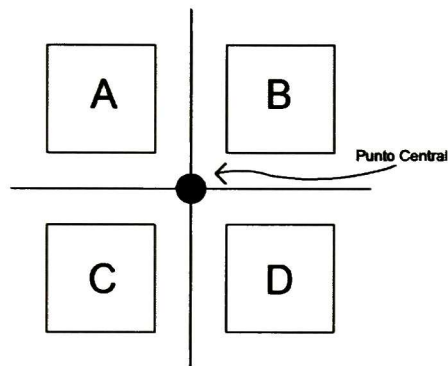


Fig. 57 Técnica de Centroide común

Aunque colocar los dispositivos alrededor de un punto central común ayuda a mejorar el *matching* de los elementos, se puede obtener mayor ventaja si se tienen exactamente dos elementos. Cada uno de ellos se dividen al 50% de su valor y se colocan diagonalmente en dirección opuesta entre los mismos como se muestra en la Fig. 58.

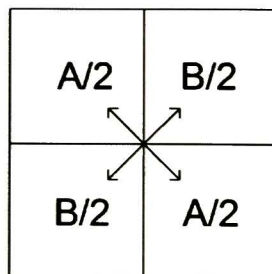


Fig. 58 Técnica de *Cross-quading*

También mantener la simetría entre los bloques que conforman nuestro circuito electrónico es muy importante, particularmente en diseños de

⁷⁵ Christopher Saint, Judy Saint, "IC Layout Basics A Practical Guide", McGraw Hill, 2002, p. 131-132

circuitos de alta frecuencia donde las parásitas intervienen de gran manera en el desempeño del sistema (Fig. 59).

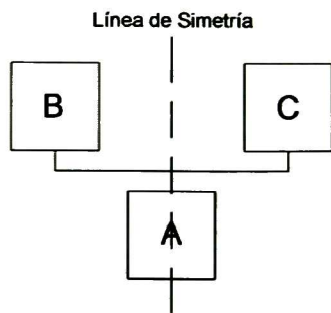


Fig. 59 Simetría de bloques en el diseño físico

4.5.2 Layout del CMFB

Como se había mostrado anteriormente en la Fig. 30, el bloque *CMFB* está formado por un espejo de corriente, dos pares diferenciales y dos fuentes de corriente. Se debe de prestar especial atención en el *matching* de los pares diferenciales debido a que ellos procesan la señal recibida desde el amplificador de transconductancia para así retroalimentar un voltaje en DC correcto.

La Fig. 60 muestra el manejo de corriente de cada una de las ramas que forman el *CMFB*. Como se puede observar la corriente que circula es pequeña, por lo que, en el caso de los transistores PMOS y fuentes de corriente, el metal que maneje dicha corriente debe de ser del orden de $0.9\mu\text{m}$ mientras que el metal de los NMOS debe tener un ancho de $0.45\mu\text{m}$.

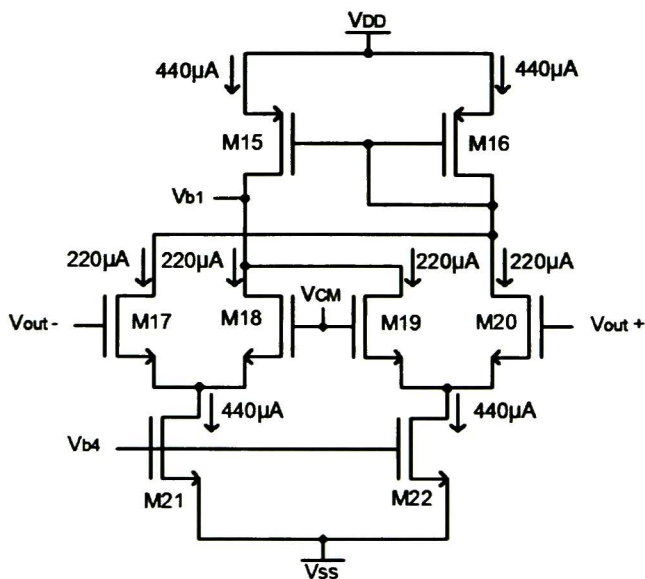


Fig. 60 Corriente que circula a través del CMFB

La Fig. 61 muestra el *layout* del *CMFB* terminado. Para su implementación física se utilizaron las técnicas de *layout* descritas anteriormente. Las dimensiones del circuito son de $16.35\mu\text{m}\times 20.09\mu\text{m}$ lo que conforma un área utiliza de $328.48\mu\text{m}^2$. Se puede observar que el diseño fue casi cuadrado lo que ayuda de gran manera en el *matching* de los elementos. Los transistores que forman las fuentes de corriente fueron divididos en dos para realizar mejor uso del área y dar cabida a una mayor cantidad de contactos a sustrato cercanos a los pares diferenciales.

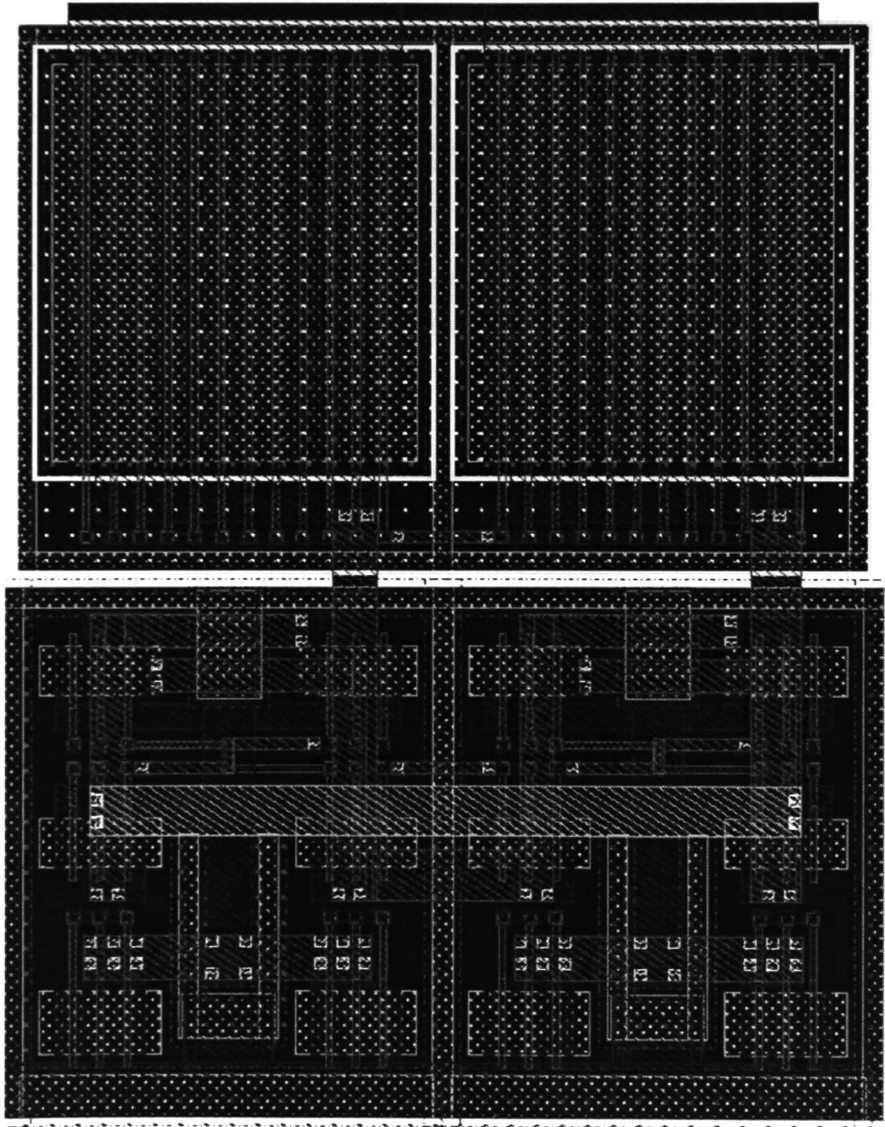


Fig. 61 *Layout* final de *CMFB*

4.5.3 CFCFC OTA Layout

El caso del *CFCFC* OTA presenta muchas mayores complicaciones que el *CMFB* como el gran manejo de corriente de varias ramas de transistores, el número de transistores que lo conforman y sus dimensiones, la alta necesidad de *matching* entre los pares diferenciales complementarios y la utilización de capacitores.

La Fig. 62 muestra el manejo de corriente de cada una de las ramas que comprenden al *CFCFC* OTA. Se observa que la corriente es notablemente mayor a la que utiliza el *CMFB* por lo que el ancho de los metales que se utilizan es notablemente mayor. Para la rama que conduce la mayor cantidad de corriente el ancho del metal es del orden de $5.2\mu\text{m}$ mientras que la rama que maneja la menor cantidad (nodo de salida) el metal tiene un ancho de $0.63\mu\text{m}$.

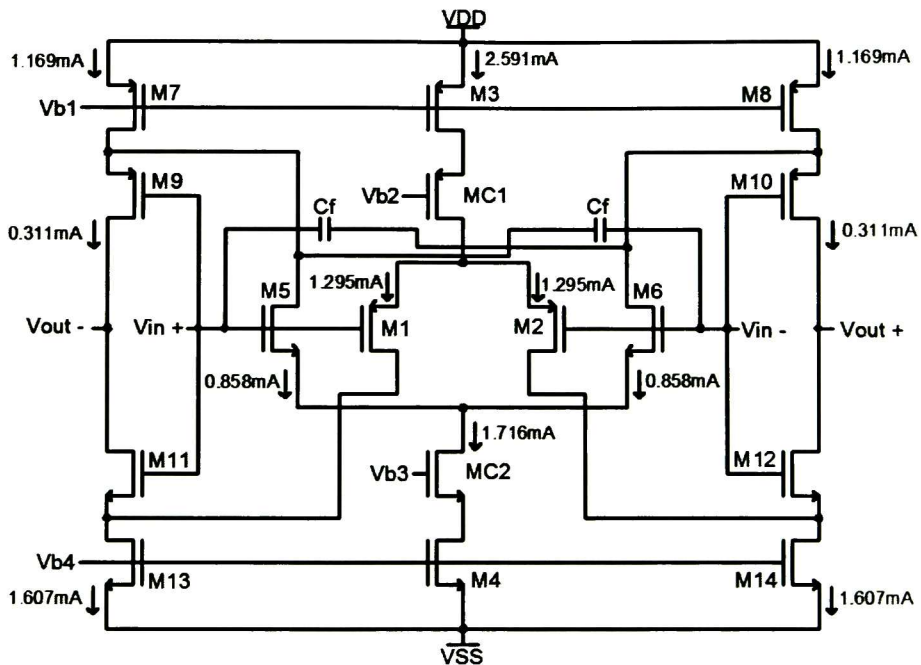


Fig. 62 Corriente que circula a través del *CFCFC* OTA

En la Fig. 63 se muestra el diseño físico terminado del *CFCFC* OTA. La parte superior del *layout* comprende los transistores PMOS, la parte media los NMOS, mientras que la parte inferior son los capacitores de compensación que representan un gran porcentaje del área utilizada. Las dimensiones del diseño físico del *CFCFC* OTA son de $73.56\mu\text{m} \times 195.76\mu\text{m}$, lo que lleva a un consumo de área de $14400.11\mu\text{m}^2$, que es 44 veces mayor que el utilizado en el diseño del *CMFB*.

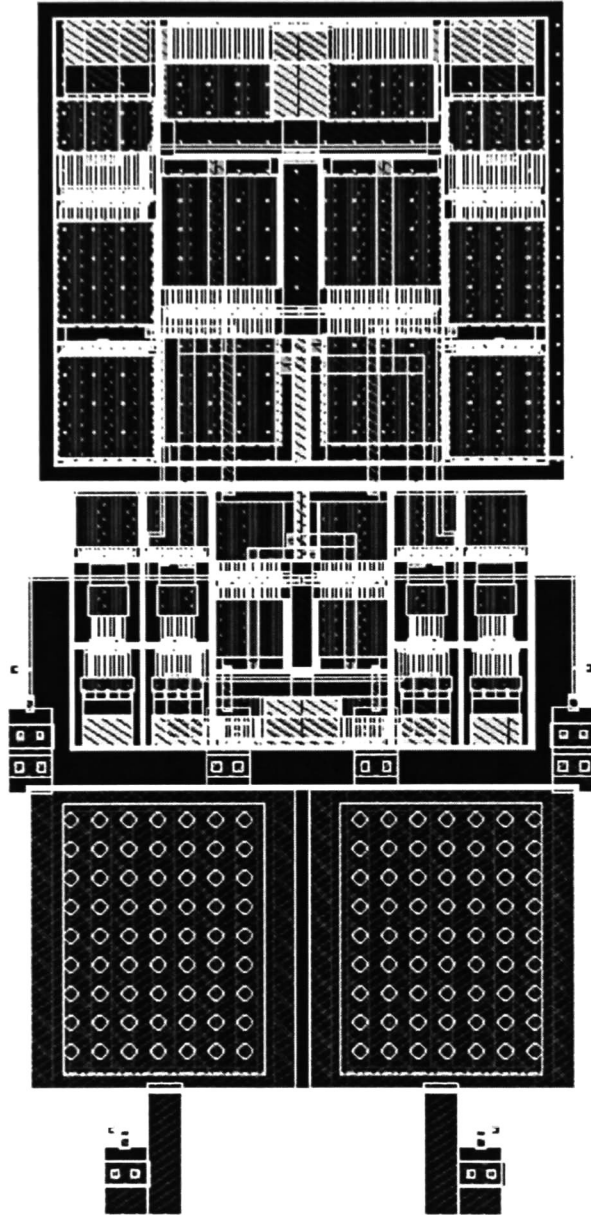


Fig. 63 *Layout final del CFCFC OTA*

Capítulo 5

Conclusiones y trabajo futuro

Se presentan las conclusiones más importantes obtenidas durante el desarrollo del trabajo de investigación. También se describen las actividades relacionadas con la Modulación $\Sigma\Delta$ más importantes que se cree se deban desarrollar en un futuro.

5.1 Conclusiones

LOs convertidores Analógico/Digital que utilizan la modulación $\Sigma\Delta$ como método de conversión son una gran alternativa para la implementación de circuitos de señal mezclada. Ello se debe a la baja sensibilidad que presentan a las no idealidades de los circuitos analógicos y una etapa de procesamiento digital de señales.

Al realizar el muestreo en el tiempo y la cuantización en amplitud se presentan errores inherentes a estos procesos, los cuales limitan el funcionamiento de los ADC aun cuando sus componentes sean considerados ideales. Si el circuito que realiza el muestreo (S/H) se presenta al inicio del ADC se minimiza de gran manera algunos errores del convertidor, como los provocados por los retrasos en la operación interna del mismo.

El error o ruido de cuantización es un limitador fundamental en los convertidores debido a que representa el límite inferior que la potencia de ruido puede tener. Este ruido es imposible eliminar de manera total ya que se necesitaría un cuantizador con niveles infinitos para que no se presentara, pero se puede reducir utilizando convertidores de sobre-muestreo que distribuyen el ruido en un área mayor por lo que solo cierta parte entra dentro del rango de interés. El sobre-muestreo separa,

de manera proporcional al OSR, las imágenes de la señal de entrada que se crean debido al proceso de muestreo, por ello, la transición de la banda de paso a la de rechazo del filtro *anti-aliasing* es menos abrupta disminuyendo la complejidad de este último.

El poder real de un modulador $\Sigma\Delta$ es que el ruido de cuantización se cancela a sí mismo dependiendo del orden del modulador y cualquier error que se presente dentro del lazo está sujeto a una reducción.

Existen tres maneras de mejorar el desempeño de un modulador $\Sigma\Delta$: aumentando el orden del modulador, la frecuencia de muestreo (OSR) o los bits del cuantizador. Las desventajas para el orden del modulador es que tiende a ser inestable para órdenes altos; el aumento de la razón de sobre-muestreo exige amplificadores que trabajen a mayores frecuencias; una cantidad mayor de bits del cuantizador implica la introducción de DACs de retroalimentación más complejos y por lo tanto de comportamiento no lineal, aumentando la cantidad de no idealidades del sistema.

Los moduladores $\Sigma\Delta$ se pueden implementar utilizando dos tipos de circuitos: en tiempo discreto (capacitores conmutados o corriente conmutada) y en tiempo continuo (filtros RC activos o filtros g_mC). Los moduladores en tiempo discreto son menos complejos de implementar que su contraparte en tiempo continuo. Dependiendo de la aplicación se realiza la selección entre tiempo continuo y tiempo discreto ya que ambos presentan distintas ventajas. Independientemente del tipo de modulador que se utilice existen tres arquitecturas para su construcción: lazo único de retroalimentación, en cascada (MASH) y multibit.

En lo que concierne a la simulación comportamental a alto nivel, ésta presenta varias ventajas en comparación con simuladores como SPICE que, debido a sus complejos modelos a nivel transistor, las simulaciones pueden demorar largo tiempo. En cambio las simulaciones comportamentales basan su precisión en las ecuaciones que describen el comportamiento real de cada bloque. SIMSIDES hace uso de este tipo de simulación, lo que permite la síntesis de los circuitos a nivel transistor que conforman cada bloque del modulador $\Sigma\Delta$.

Los circuitos totalmente diferenciales eliminan toda señal que se presente de modo común tanto a la entrada o a la salida del mismo, como el ruido de las fuentes de alimentación, *clock feedthrough* e inyección de carga. Además, presentan la ventaja adicional de que la señal solo presentará términos impares de distorsión, los cuales comúnmente son más pequeños. El problema es que, para su correcto funcionamiento, necesitan de un bloque extra (CMFB) que significa un aumento en el consumo de potencia, área en el diseño físico y complejidad del circuito.

Al diseñar amplificadores es necesario realizar un compromiso entre ganancia y frecuencia de operación, ya que el aumento en el tamaño de

los transistores mejora la ganancia pero incrementa las parásitas, por consiguiente, reduce la velocidad de operación.

Los resultados que se obtienen analíticamente de los circuitos se encuentran un poco alejados de los encontrados mediante el paquete de diseño. Se cree que ello se debe a la gran cantidad de parámetros a nivel transistor que los últimos toman en cuenta y a la complejidad de los modelos que utilizan.

El software utilizado para el diseño (Virtuoso) es poco amigable con el usuario y su uso no es intuitivo. También el hecho de realizar conexión remota (a CUCEI) para su uso, dificultaba el diseño. A pesar de lo anterior, la tecnología utilizada para el diseño e implementación física del amplificador operacional completamente diferencial permitió que se obtuvieran las características de desempeño deseadas.

Por último, el *layout* del OTA y CMFB cumplió con todas las reglas de diseño exigidas por el paquete de software y se está a la espera de la configuración del LVS (*Layout vs Schematic*) para fabricar los circuitos.

5.2 Trabajo Futuro

Las posibilidades de los moduladores $\Sigma\Delta$ es muy vasto, por lo que existen un sinnúmero de arquitecturas, aplicaciones e implementaciones distintas. Entre las actividades más importantes que se cree se deban realizar están las siguientes:

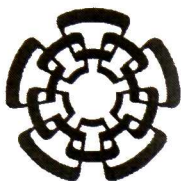
- Fabricación del amplificador completamente diferencial y caracterización de su funcionamiento.
- Implementación de integradores utilizando la técnica de capacitores conmutados.
- Diseño e implementación de cuantizador de tres niveles.
- Fabricación de Modulador $\Sigma\Delta$ de 4^o Orden y caracterización de su funcionamiento.
- Implementación de un Modulador $\Sigma\Delta$ Híbrido que aproveche las ventajas tanto del tiempo discreto como del tiempo continuo.
- Exploración de nuevas arquitecturas de Moduladores $\Sigma\Delta$.
- Construcción o innovación de arquitecturas Moduladores $\Sigma\Delta$.
- Diseño de un amplificador que trabaje a mayor frecuencia para así tener la capacidad de muestrear señales más rápidas que pertenezcan a protocolos más actuales de comunicación.

Bibliografía

- [1] Chieng-Hung Kuo, et al, "A Low-Voltage Fourth-Order Cascade Delta-Sigma Modulator in 0.18 μ m CMOS", IEEE Transactions on Circuits and Systems-I: Regular Papers, September 2010
- [2] Christopher Saint, Judy Saint, "IC Layout Basics a Practical Guide", McGraw Hill, 2002
- [3] Christopher Saint, Judy Saint, "IC Mask Design Essential Layout Techniques", McGraw Hill, 2002
- [4] CMOS8RF (CMRF8SF) Design Manual
- [5] Darren Ashby, Bonnie Baker, Circuit Design, UK, Newnes, 2008
- [6] George I. Bourdopoulos, Aristodemos Pnevmatikakis, Delta-Sigma Modulators Modeling, Design and Applications, London, Imperial College Press
- [7] Guangming Yin, Willy Sansen, "A High Frequency and High Resolution Fourth-Order $\Sigma\Delta$ A/D Converter in BiCMOS Technology", IEEE Journal of Solid State Circuits, August 1994
- [8] H. Lampinen and O. Vainio, "A low voltage, Multibit Sigma-Delta Modulator for Wideband Applications", Third International Workshop on Design of Mixed-Mode Integrated Circuits and Applications, pp. 138-142, July 1999.
- [9] H. Lampinen and O. Vainio, "An Optimization Approach to Designing OTAs for Low-Voltage Sigma-Delta Modulators", IEEE Transactions on Instrumentation and Measurement, p. 1665-1671, December 2001.
- [10] Jesús Ruiz Amaya, José de la Rosa, User's Manual: SIMSIDES 1.0, Sevilla España, Julio 2003
- [11] Jesús Ruiz-Amaya, *et al*, "An optimization-based tool for the high-level synthesis of discrete-time and continuous-time $\Sigma\Delta$ Modulators in the MATLAB/SIMULINK environment", Proceedings of the International Symposium on Circuits and Systems, pp. 97-100, May 2004.
- [12] Jesús Ruiz-Amaya, *et al*, "Behavioral Modeling, Simulation and High-Level Synthesis of Pipeline A/D Converters", IEEE Transactions on Circuits and Systems I: Regular Papers, pp. 1795-1810, September 2005.
- [13] Jesús Ruiz-Amaya, *et al*, "High-Level Synthesis of Switched-Capacitor, Switched-Current and Continuous-Time $\Sigma\Delta$ Modulators Using SIMULINK-Based Time-Domain Behavioral Models", IEEE Transactions on Circuits and Systems I: Regular Papers, pp. 1749-1810, September 2005.

- [14] Jesús Ruiz-Amaya, *et al*, “MATLAB/SIMULINK-Bases High Level Synthesis of Discrete-Time and Continuous-Time $\Sigma\Delta$ Modulators”, Proceedings of Design, Automation and Test in Europe Conference and Exhibition Designers’ Forum, pp. 30150, 2004.
- [15] José Gerardo García Sánchez, Tesis de Maestría Metodología de Diseño para Moduladores Delta-Sigma en Tiempo Continuo y Tiempo Discreto en Tecnología CMOS de 65 nm
- [16] M. Ortmanns, F. Gerfers, Continuous-Time Sigma-Delta A/D Conversion, Alemania, Springer, 2006
- [17] M.F. Snoeij, O. Bajdechi, J.H. Huijsing, “A 4th Order Switched-Capacitor Sigma-Delta A/D Converter using a High Ripple Chebyshev Loop Filter”, IEEE International Symposium on Circuits and Systems, May 2001
- [18] Mikael Gustavsson, J. Jacob Wikner, Nianxiong Nick Tan, CMOS Data Converters for Communications, New York, Kluwer Academic Publishers, 2002
- [19] P. Wu, R. Schaumann, P. Latham, “Design Considerations For Common-Mode Feedback Circuits In Fully-Differential Operational Transconductance Amplifiers with Tunning” IEEE International Symposium on Circuits and Systems, pp. 1363-1366, June 1991.
- [20] P.M. VanPeteguem, J.H. Duque-Carrillo, “A General Description of Common-Mode Feedback in Fully Differential Amplifiers” IEEE International Symposium on Circuits and Systems, pp. 3209-3212, May 1990.
- [21] R. E. Vallee, E. I. El-Masry, “A very high-frequency CMOS complementary folded cascode amplifier”, IEEE J. Solid-State Circuits, vol. 29, pp. 130-133, February 1994.
- [22] R. Jacob Baker, CMOS Circuit Design, Layout and Simulation, New Jersey, Wiley, 2005
- [23] R. Jacob Baker, CMOS Circuit Design, Layout and Simulation, New Jersey, Wiley, 2010
- [24] S. Setty and C. Toumazou, “Feedforward Compensation Techniques in the Design of Low Voltage Opamps and OTAs”, IEEE International Symposium on Circuits and Systems, pp.464-467, May 1998.
- [25] S. Setty and C. Toumazou, “N-folded cascode technique for high frequency operation of low voltage opamps” Electronic Letters, Volume 32, Issue 11, pp. 955-957, May 1996.

- [26] Steven R. Norsworthy, Richard Schreier, Gabor C. Temes, Delta-Sigma Data Converters Theory, Design and Simulation, New Jersey, IEEE Press, 1997
- [27] T. Karema, et al, "Fourth Order Sigma-Delta Modulator Circuit for Digital Audio and ISDN Applications", European Conference on Circuit Theory and Design, September 1989
- [28] Tony Chan Carusone, David A. Johns, Kenneth W. Martin, Analog Integrated Circuit Design, Estados Unidos de América, Jhon Wiley & Sons, 2012



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA


El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis


Síntesis de un modulador sigma-delta CMOS en tiempo discreto:
Circuito fundamental para el diseño de un convertidor A/D
sigma-delta híbrido multirate


del (la) C.

Daniel Alberto CALDERÓN PRECIADO

el día 07 de Agosto de 2014.


Dr. Federico Sandoval Ibarra
Investigador C/INVESTAV 3C
CINVESTAV Unidad Guadalajara


Dr. José Raúl Loo Yau
Investigador C/INVESTAV 3A
CINVESTAV Unidad Guadalajara


Dra. Susana Ortega Cisneros
Investigador C/INVESTAV 3A
CINVESTAV Unidad Guadalajara



CINVESTAV - IPN
Biblioteca Central



SSIT0012575