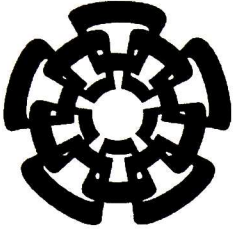


CT-931-551

Don. 7016



Centro de Investigación y de Estudios Avanzados
del Instituto Politécnico Nacional
Unidad Guadalajara

Transistores MOS de compuerta flotante, circuitos y aplicaciones

Tesis que presenta:
Gerardo Israel Molina Sabido

para obtener el grado de:
Maestro en Ciencias

en la especialidad de:
Ingeniería Eléctrica

Director de Tesis
Dr. Juan Luis Del Valle Padilla

CINVESTAV
IPN
ADQUISICION
LIBROS

CINVESTAV del IPN Unidad Guadalajara, Guadalajara, Jalisco, Septiembre de 2015.

CLASIF..	CT00832
ADQUIS..	CT-931-SS1
FECHA:	23-05-2016
PROCED..	Dad. - 2016
\$	

Transistores MOS de compuerta flotante, circuitos y aplicaciones

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

Por:

Gerardo Israel Molina Sabido
Ingeniero en Electrónica
Tecnológico de Mérida 2006-2010

Director de Tesis
Dr. Juan Luis Del Valle Padilla

CINVESTAV del IPN Unidad Guadalajara, Septiembre de 2015.

Resumen

La tecnología CMOS de compuerta flotante puede ser utilizada para construir sistemas en silicio capaces de adaptarse y aprender. Esto se debe a que poseen dinámicas transitorias con características de adaptabilidad además de la inherente capacidad de retención de la carga en el nodo que se encuentra flotando. Estas características hacen interesantes a los transistores de compuerta flotante no solo para el diseño de sistemas para procesamiento de señales en tiempo continuo, sino para el diseño analógico en general.

Este trabajo está enfocado en implementaciones con CMOS de compuerta flotante que nos permitan corroborar las características que estos sistemas pueden proveer, así como la comprensión de la física que se encuentra detrás del funcionamiento de cada uno de ellos. Los circuitos de compuerta flotante que se implementaron trabajan en el régimen de inversión débil, lo cual nos permite un bajo consumo de energía, este tema ha sido abordado ampliamente en esta institución y que utilizamos como fuente de inspiración para el desarrollo de este trabajo. Los circuitos implementados son el amplificador auto-zero, el cual nos brinda las bases para comprender la adaptación en los sistemas de compuerta flotante, el transportador de corriente adaptado capacitivamente, que nos permite una implementación más practica del auto-zero y así poder explotar sus características como filtro pasa banda. Por último se realizó la implementación de un multiplicador de cuatro cuadrantes el cual presenta un bajo consumo de potencia y la habilidad de ser programado a conveniencia.

La implementación que destaca es el Procesador de Fourier debido a que es un sistema completo que nos permite corroborar el concepto de procesamiento de una señal continua. El funcionamiento de este módulo de procesamiento consiste en la división de una señal entrante en bandas de frecuencia, posteriormente cada banda de frecuencia es multiplicada por un *peso*, para luego reintegrar la señal. Este comportamiento sería resuelto por un DSP de una manera similar computando la transformada rápida Fourier, multiplicando las componentes de frecuencia por un peso y posteriormente realizando el cómputo de la inversa de la transformada rápida de Fourier. Sin embargo la ventaja que propone es el procesamiento de la señal en modo continuo, la potencia utilizada y el

hardware requerido.

Los resultados obtenidos para las implementaciones de los bloques que conforman el Procesador de Fourier así como el procesador mismo fueron satisfactorios permitiendo corroborar las ventajas que estos sistemas son capaces de entregar, por otro lado se obtuvo información valiosa sobre los límites de funcionamiento de estos sistemas, además de una comprensión adecuada de su funcionamiento.

Abstract

The floating gate CMOS technology can be used to build adaptive and learning silicon systems. This is possible because of the transient dynamics and the adaptability characteristics they possess plus the loading retention capacity in the floating node. These characteristics make the floating gate transistors not only interesting for the design of continuous time digital systems but also for analogic design in general. This work is focused on floating gate CMOS implementations, allowing us to corroborate the characteristics these systems provide, as well as the physics comprehension behind the operation of the systems. The implemented floating gate circuits operate in weak inversion regime which allow us low power consumption, an issue that has been widely addressed in this institution. These studies are used as the source of inspiration for the development of this work. The implemented systems are the Auto-zero amplifier, this circuit allows to comprehend the fundamental basis for floating gate adaptation. The capacitive coupled current conveyor introduces a practical implementation for an auto-zero amplifier, making easier to exploit the advantages of this circuit as a pass-band filter. The last implementation was the four quadrant multiplier which has low power consumption and can be programmed as needed.

The implementation that stands out is the Fourier processor, since it is a complete system that allows us to corroborate the concept of a continuous signal processing. The operation of the Fourier processor module consists on the division of the input signal into frequency bands, subsequently each frequency band is multiplied by a *weight* so the signal can be reintegrated. A DSP could solve this operation in a similar way computing the Fast Fourier Transform by multiplying the frequency components by a weight and then performing the Inverse Fast Fourier Transform. However the advantage this work proposes is the signal processing in continuous mode, the power used and the *hardware* required. The obtained results of the modules implementations that make up the Fourier processor as well as the complete processor were satisfactory allowing the corroboration of the advantages that these systems are able to provide. On the other hand valuable information on the operating limits of these systems was obtained, along with a proper understanding of its operation.

Agradecimientos

Al Consejo Nacional de Ciencia y Tecnología (CONACyT) por el apoyo económico proporcionado.

A mis profesores por sus enseñanzas y apoyo, en especial al dr. Juan Luis del Valle por los puntos de vista y consejos gracias a los cuales decidí dedicarme a esta rama de estudio.

A mis papas y hermanitos por su apoyo y amor ya que sin ellos este trabajo no hubiera sido posible. A Carolina ya que sin ella no estaría aquí. A Jediael por brindarme apoyo y una gran amistad.

Índice general

Resumen	II
Abstract	III
Agradecimientos	IV
Lista de Figuras	VI
1. Introducción	1
1.1. Objetivos	5
1.1.1. Objetivo General	5
1.1.2. Objetivos particulares	5
1.2. Estructura de la tesis	6
2. Transistores FGMOS	9
2.1. Características de DC	10
2.2. Inyección de electrones calientes	11
2.3. Tuneleo Fowler-Nordheim	12
2.4. MOSFET en Inversión débil	13
2.5. Almacenamiento a largo plazo en los transistores de com- puerta flotante	16

2.6.	Drain Induced Barrier Lowering	18
2.7.	Simulación de los transistores MOSFET de compuerta flotante	21
3.	Aplicaciones de los FGMOS	28
3.1.	Amplificador Auto-Zero	28
3.2.	Transportador de corriente adaptado capacitivamente (C^4)	33
3.3.	Programación de los dispositivos de compuerta flotante	38
4.	Procesador de Fourier Analógico	48
4.1.	Multiplicador de cuatro cuadrantes	49
4.2.	Procesador de Fourier	54
5.	Conclusiones y Trabajo Futuro	63
A.	Transistores de compuerta flotante en SPICE	65

Índice de figuras

- 1.1. Esquemático de un MOSFET de compuerta flotante. El nodo V_{fg} se encuentra aislado de manera capacitiva y la entrada V_{tun} representa la unión para el tuneleo. 2
- 1.2. El eje vertical del gráfico representa la potencia por millón de operaciones multiplicar-acumular por segundo. Se observa mayor eficiencia en los Procesadores de Señal Cooperativos Analógico Digitales (CADSP) sobre los DSP convencionales. 4
- 2.1. Diagrama de bandas para un MOSFET en débil inversión con condiciones favorables para la inyección de electrones calientes. 12
- 2.2. a) Unión de tuneleo sin ningún potencial entre las terminales del óxido. b) Unión de tuneleo con un alto potencial entre sus terminales, permitiendo a los electrones tunelear a través de la barrera del óxido. 13
- 2.3. Corriente como función del voltaje compuerta fuente. En la región del subumbral se puede observar una dependencia exponencial de la corriente con respecto al voltaje, mientras que sobre el umbral es una dependencia cuadrática. 14
- 2.4. a) Sección transversal de un pFET. b) Diagrama de bandas en la región lineal. c) Diagrama de bandas en la región de saturación. 15
- 2.5. Modificación del voltaje de umbral utilizando tuneleo e inyección de electrones calientes. 17

2.6.	Gráfico de la corriente de la fuente con respecto al potencial de fuente drenaje. El cual expone la característica exponencial que distingue a los dispositivos DIBL.	19
2.7.	En el inciso (a) se presenta una arquitectura con degeneración de fuente. En el inciso (b) se observa un pFET de compuerta flotante sin la degeneración de fuente. Ambos sistemas son capaces de computar una sinapsis.	20
2.8.	En la imagen de la izquierda se puede observar la corriente de tuneleo hacia afuera de la compuerta con respecto al voltaje aplicado en el óxido. En la figura de la derecha observamos la corriente por inyección de electrones calientes respecto a la corriente de la fuente.	21
2.9.	En el inciso a) se presenta el modelo presentado en [8]. En el inciso b) se presenta el modelo descrito en 9.	23
3.1.	Amplificador Auto-Zero que utiliza la inyección de electrones calientes.	29
3.2.	Respuesta al escalón del amplificador auto-zero.	30
3.3.	Respuesta en frecuencia amplificador auto-zero.	31
3.4.	Respuesta en frecuencia amplificador auto-zero.	32
3.5.	En el inciso a) se observa un amplificador auto-zero, el cual es capaz de adaptar su nivel de DC ante una perturbación en baja frecuencia como se presentó en la sección anterior. En la imagen de la derecha se presenta un transportador de corriente adaptado capacitivamente, el cual es una versión con transistores del amplificador auto-zero. M4 corresponde a la unión de tuneleo y M3 a la corriente de inyección de electrones calientes, ambos transistores se encuentran debajo del umbral debido a la magnitud de las corrientes que emulan.	34

- 3.6. El puerto **x**, es un puerto híbrido, y funciona como puerto de entrada para señales de corriente y como puerto de salida de señales de voltaje al mismo tiempo. El puerto **y** es un puerto para un voltaje de entrada y el puerto **z** es un puerto de corriente de salida, que puede ya sea absorber ([Pleaseinsertintopreamble]sink[Pleaseinsertintopreamble]) o generar ([Pleaseinsertintopreamble]source[Pleaseinsertintopreamble]) una corriente igual a la corriente inyectada dentro del puerto **x**. $V_x = V_y, I_y = I_x, I_z = I_x$ 35
- 3.7. Barrido de DC para **M1** y **M4** de manera simétrica para observar la variación de las frecuencias de corte respecto a los voltajes aplicados en la compuerta. 37
- 3.8. Barrido de DC para **M1** y **M4** de manera simétrica para observar la variación de las frecuencias de corte respecto a los voltajes aplicados en la compuerta. 38
- 3.9. Ejemplo de una arquitectura de programación para los transistores de compuerta flotante. 39
- 3.10. Programación de un arreglo de 2x2 de transistores de compuerta flotante. Se utilizaron pulsos en la unión de tuneleo y en el drenaje para incrementar y reducir, respectivamente, el potencial en la compuerta de los transistores. 41
- 3.11. Par diferencial CMOS, una de las ramas tiene un transistor de compuerta flotante permitiendo ajustar variaciones en el voltaje de umbral y compensar los efectos del *mismatch*. 42
- 3.12. Par diferencial CMOS en cual los transistores de entrada presentan dimensiones diferentes. 43
- 3.13. El gráfico de la izquierda presenta el pulso aplicado en la unión de tuneleo. En el gráfico de la derecha se encuentran los voltajes en las compuerta de los transistores de entrada del par diferencial, antes y después del pulso aplicado en la unión de tuneleo. 44
- 3.14. Par diferencial con el *mismatch* compensado. 44

4.1.	En la imagen se presenta la arquitectura del multiplicador de cuatro cuadrantes, y la característica de salida del mismo, también se observa la relación lineal que existe entre el peso y la transconductancia, esto se debe a que los transistores operan debajo del umbral y esto resulta en una relación lineal entre la corriente de la fuente y la transconductancia	50
4.2.	Gráfico de salida para la simulación del multiplicador de cuatro cuadrantes.	52
4.3.	Respuesta en frecuencia para el multiplicador de cuatro cuadrantes para diferentes pesos.	54
4.4.	Representación <i>top level</i> de un filtro analógico programable. La señal de entrada es dividida en bandas de frecuencia por una serie de filtros pasa banda, en vez de la transformada discreta de Fourier (DFT). Con esta topología es fácil dividir el espaciamiento de la frecuencia exponencialmente, en vez de un espaciamiento lineal como es típico con el algoritmo DFT.	55
4.5.	Subcircuito utilizado para simular una columna de procesamiento.	56
4.6.	Constitución interna del subcircuito utilizado para simular una columna de procesamiento.	56
4.7.	Gráfico de salida del procesador de Fourier el cual no presenta cambio relevante en la forma de onda de salida.	57
4.8.	Gráfico de salida del procesador de Fourier el cual no presenta cambio relevante en la forma de onda de salida.	58
4.9.	Formas de onda de salida para una columna de procesamiento, con pesos variables.	59
4.10.	Gráfico de salida del procesador de Fourier para un barrido de los pesos de cada multiplicador. Las bandas de frecuencia son las mismas para cada caso y se encuentran presentadas en la figura 4.8.	61

A.1. En la imagen de la izquierda se puede observar la corriente de tuneleo hacia afuera de la compuerta con respecto al voltaje aplicado en el óxido. En la figura de la derecha observamos la corriente por inyección de electrones calientes respecto a la corriente de la fuente. Estas mediciones fueron extraídas de nuestro modelo en SPICE. 67

Capítulo 1

Introducción

Los Transistores MOSFET de compuerta flotante, son dispositivos en los cuales la compuerta del transistor se encuentra rodeada, aislada, de cualquier otro electrodo por un óxido de silicio, de tal manera que una vez depositada una carga en la compuerta por alguno método, la compuerta la mantendrá ahí indefinidamente, de forma no volátil. El valor y naturaleza de la carga determina las propiedades del canal de conducción en el dispositivo MOS, manifestándose en una corriente, cuyo valor puede medirse, para determinar el estado de conducción del transistor. El estado de carga en la compuerta puede modificarse mediante los procesos físicos de tunelamiento e inyección de electrones calientes, reduciendo o agregando carga a la compuerta. En aplicaciones analógicas se propuso, en 1996, una estructura FGMOS que podía emular el comportamiento de una sinapsis en silicio con un limitado consumo de potencia. En la figura 1.1 se muestra el esquema de esta estructura compatible con los nodos tecnológicos de manufactura de transistores CMOS convencionales, mostrando la localización de los fenómenos de tunelamiento e inyección

de electrones calientes. Los circuitos de compuerta flotante que se implementaron trabajan en el régimen de inversión débil, lo cual nos permite la oportunidad de aprovechar la experiencia que se tiene sobre el tema y tomarla como fuente de inspiración [1],[2] [3]. En la primera referencia documenta la arquitectura de diversos circuitos neuromórficos, los cuales trabajan en inversión débil, así como las mediciones correspondientes para la implementaciones de cada uno de estos circuitos. En la segunda y tercera referencia se presenta un *chip* neuromórfico para el procesamiento de imágenes, estos documentos presenta un pauta para el procesamiento de señales utilizando sistemas de señal mezclada.

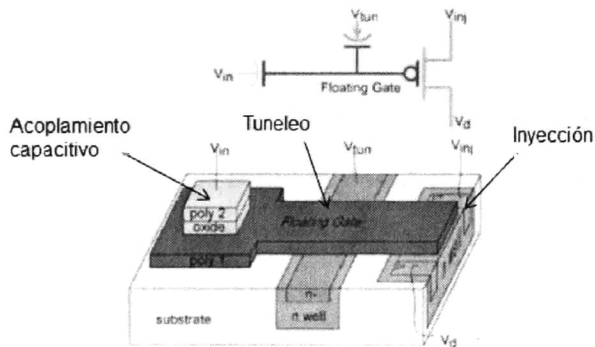


Figura 1.1: Esquemático de un MOSFET de compuerta flotante. El nodo V_{fg} se encuentra aislado de manera capacitiva y la entrada V_{tun} representa la unión para el tuneleo.

Estos dispositivos tienen la cualidad de poder ser utilizados para aplicaciones de aprendizaje y procesamiento de señales debido a que cumplen con los requerimientos necesarios para una sinapsis los cuales son[4]:

- Mantener el valor del peso sináptico cuando se esté en ausencia

de aprendizaje.

- La sinapsis deberá realizar el producto de la señal de entrada por el peso sináptico.
- El área debe ser mínima.
- El consumo de potencia debe ser bajo, para que la sinapsis no se encuentre limitada por el consumo.
- El arreglo sináptico debe ser capaz de implementar la regla de Hebbian[5] o Backpropagation[6] para la actualización del peso sináptico.

Los dispositivos de compuerta flotante son capaces de realizar un gran número de operaciones tales como multiplicar, sumar y acumular en forma analógica además de poder ser utilizados como memorias locales, sin embargo actualmente se prefieren los Procesadores Digitales de Señales (DSP por sus siglas en inglés) debido a que permiten la programabilidad de sus dispositivos una vez que ya se encuentran fabricados. Los Arreglos Analógicos Programables (Field Programmable Analog Array), con la tecnología de compuerta flotante, presentan una alternativa a los DSP debido a que consumen menos potencia para la misma funcionalidad computacional o computan operaciones similares en menos tiempo.

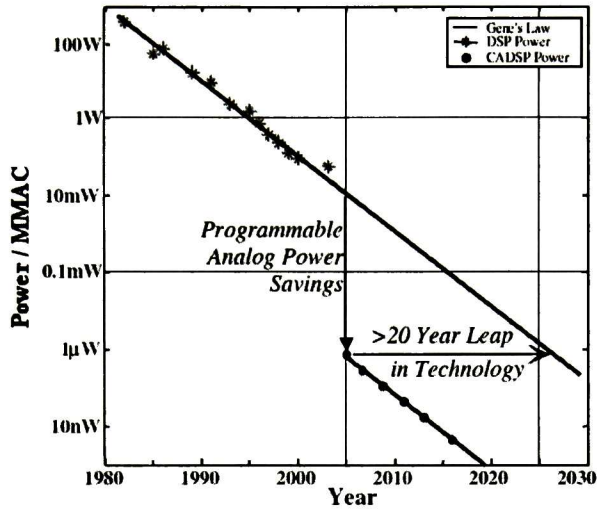


Figura 1.2: El eje vertical del gráfico representa la potencia por millón de operaciones multiplicar-acumular por segundo. Se observa mayor eficiencia en los Procesadores de Señal Cooperativos Analógico Digitales (CADSP) sobre los DSP convencionales.

En la figura 1.2 se presenta la operación multiplicar-acumular, como variable de comparación debido que es el bloque de computación analógico que se utiliza con mayor frecuencia. La ley de Gene, menos conocida que la ley de Moore, propone que la potencia de disipación de los procesadores DSP embebidos decrecerá por la mitad cada 18 meses. Como se observa en la figura para el 2005 la potencia consumida por los DSPs era al rededor de 10mW, en contraste con el micro watt que consumen los dispositivos CADSP, esta diferencia en consumo presume 20 años de ventaja de una tecnología sobre otra[7].

1.1. Objetivos

A continuación se presentan los objetivos de la presente tesis, el objetivo general que es la meta a conseguir en el presente trabajo y los objetivos particulares a completar durante el desarrollo de la metodología, así también se presenta la estructura de la tesis y la organización de los capítulos.

1.1.1. Objetivo General

Implementación de un Procesador de Fourier de tiempo continuo en tecnología CMOS.

1.1.2. Objetivos particulares

- Revisión bibliográfica del estado del arte de la aplicación de transistores de compuerta flotante al diseño analógico. Elección de un modelo de simulación para los transistores de compuerta flotante coherente con la aplicación a implementar.
- Revisión bibliográfica del estado del arte para la implementación de un Procesador de Fourier en modo continuo.
- Implementación de cada uno de los bloques que constituyen un Procesador de Fourier analógico.

1.2. Estructura de la tesis

El presente trabajo se encuentra dividido por capítulos de la siguiente forma:

- El capítulo 2. presenta el marco teórico, referente a la física de los transistores de compuerta flotante en sus funciones de gran importancia, el almacenamiento de información no volátil, el comportamiento de los transistores de compuerta flotante en débil inversión y el efecto DIBL en estos transistores, así como un modelo apropiado para su simulación en SPICE.
- El capítulo 3. Reporta aplicaciones en circuitos con transistores de compuerta flotante que demuestran las propiedades de adaptación en el diseño de filtros pasa-bandas, el amplificador de auto-zero, los amplificadores C^4 con propiedades de síntesis de filtros de mayor orden y los principios de programabilidad en tecnología analógica de VLSI, siendo estos sistemas de vital importancia para el objetivo general.
- El capítulo 4. Demuestra, en términos de simulación, la integración de los conceptos previos, al desarrollo de un Procesador de Fourier Analógico.
- El anexo contiene información sobre la codificación de las células más importantes en SPICE así como sus respectivos listados.

Bibliografía

- [1] Raymundo Alfonso Carranza Páez. Circuitos neuromórficos básicos. Master's thesis, Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional / Unidad Guadalajara, 11 2013.
- [2] Armando García Franco. Procesamiento de imágenes basado en eventos generados por un sensor neuromórfico de visión. Master's thesis, Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional / Unidad Guadalajara, 2013.
- [3] Cesar Rodolfo Acosta. Analisis y simulación de un chip de visión neuromorfico para la detección de movimiento. Master's thesis, Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional / Unidad Guadalajara, 10 2014.
- [4] Paul Hasler, Chris Diorio, Bradley A Minch, and Carver Mead. Single transistor learning synapses. 1995.
- [5] Paul Hasler, Bradley Minch, Chris Diorio, et al. Adaptive circuits using pfet floating-gate devices. In *Advanced Research in VLSI, 1999. Proceedings. 20th Anniversary Conference on*, pages 215–229. IEEE, 1999.

- [6] Chris Diorio, Paul Hasler, Bradley Minch, Carver Mead, et al. A floating-gate mos learning array with locally computed weight updates. *Electron Devices, IEEE Transactions on*, 44(12):2281–2289, 1997.
- [7] Matthew R Kucic. *Analog computing arrays*. PhD thesis, Georgia Institute of Technology, 2004.

Capítulo 2

Transistores FGMOS

Los transistores MOSFET de compuerta flotante son muy similares a los MOSFET estándar, pero con algunas variantes críticas, en este capítulo se cubrirán las diferencias específicas que presentan los MOSFET de compuerta flotante. Debido a que se trabajarán con circuitos de compuerta flotante debemos considerar las características de DC discutidas en la sección 2.1, y los procesos cuánticos involucrados en la programación de estos dispositivos discutido en las secciones 2.2 y 2.3, para poder tener una comprensión global de los dispositivos. En la sección 2.4 se entrará en detalle con el MOSFET en débil inversión, mientras que la sección 2.5 se describirán las características importantes de los DIBLs (Drain Induced Barrier Lowering), los cuales son utilizados para incrementar el rango lineal de diversos sistemas implementados. Por último en la sección 2.6 se discutirán los esfuerzos y pautas necesarias para elegir un modelo de simulación para los dispositivos de compuerta flotante.

2.1. Características de DC

Los transistores MOS de compuerta flotante que serán analizados son los tipo p , ya que estos son utilizados con mayor frecuencia debido a que es más fácil el control de la inyección de electrones calientes [1]. La compuerta de un dispositivo floating gate es de polisilicio completamente rodeada por SiO_2 . Debido a lo anterior la carga que existe en la compuerta es retenida por un largo tiempo, ya que como se mencionó la compuerta se encuentra rodeada por aislantes de alta calidad.

Debido a que la compuerta se encuentra aislada eléctricamente, todas las terminales del transistor se encuentran acopladas al nodo flotante a través de las capacitancias explícitamente utilizadas o las parásitas asociadas a cada terminal. Esta variación en el voltaje de la compuerta resulta en una variación en la corriente del canal. La ecuación que rige el comportamiento de la carga en la compuerta se presenta en la siguiente ecuación:

$$V_{fg} = \frac{Q}{C_T} + \sum \left(\frac{C_i}{C_T} \right) V_i \quad (2.1)$$

C_T representa la capacitancia total del dispositivo esto incluye la capacitancia de entrada en adición a las capacitancias parásitas de cada una de las terminales, V_i son los voltajes acoplados al nodo flotante cada uno a través de su respectiva C_i . Q es la carga inicial que existe en el nodo flotante, esto se puede deber a dos casos, el primero es que representa una carga agregada con un propósito, el segundo caso se refiere a la carga parásita que puede o no, existir en el dispositivo al momento de

su fabricación. Sin embargo existen maneras de lidiar con esta carga parásita al momento de la fabricación del dispositivo [2]. Como podemos ver en la expresión 2.1 las entradas acopladas al nodo flotante no están necesariamente limitadas a las cuatro terminales del MOSFET, sino que es posible añadir múltiples conexiones a la compuerta acopladas por un capacitor esto es un método para modificar la carga del nodo flotante.

2.2. Inyección de electrones calientes

En la figura 2.1 se puede observar el diagrama de bandas bajo condiciones de polarización favorables para la inyección de electrones calientes. La inyección por electrones calientes es uno de los mecanismos cuánticos por medio del cual se añade carga a la compuerta flotante de un FGMOS (Floating Gate MOSFET). La ionización por impacto de electrones calientes crea electrones en el borde de la región de carga del espacio del drenaje-canal debido a los elevados campos eléctricos. La ionización por impacto de huecos en el pFET es proporcional a la corriente de la fuente y es exponencialmente dependiente al potencial drenaje-canal. Estos electrones viajan de nuevo al canal ganando energía, cuando la energía cinética excede la del SiO_2 los electrones son inyectados en el óxido y transportados a la compuerta flotante [3].

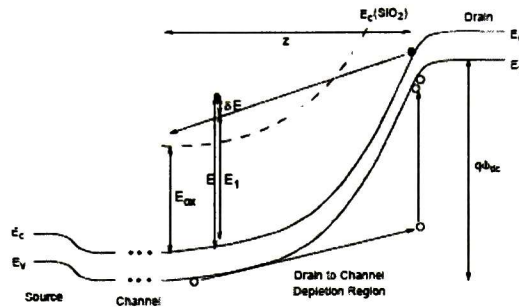


Figura 2.1: Diagrama de bandas para un MOSFET en débil inversión con condiciones favorables para la inyección de electrones calientes.

Para que este mecanismo ocurra se deben de cumplir dos condiciones: (1) debe existir una corriente fluyendo por el canal, (2) los campos eléctricos en la región de la compuerta-drenaje deben de ser elevados. Estos campos eléctricos pueden ser obtenidos incrementando el voltaje entre las terminales de fuente y drenaje. Los electrones añadidos al nodo flotante se pueden observar como un cambio en el voltaje de umbral del dispositivo o un incremento en la corriente para dado punto de polarización.

2.3. Tuneleo Fowler-Nordheim

El tuneleo de electrones nos proporciona un método para eliminar electrones de la compuerta flotante. El tuneleo surge debido al hecho de que la longitud de onda de un electrón tiene una extensión finita. Para una barrera lo suficientemente delgada, esta extensión es suficiente para que el electrón pueda penetrar la barrera. Un campo eléctrico a través del óxido

resultará en una barrera más delgada para los electrones en la compuerta flotante. Este mecanismo es presentado en la figura 2.2.

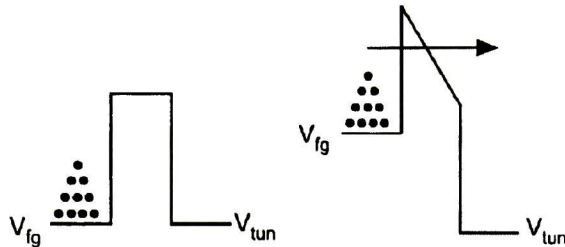


Figura 2.2: a) Unión de tunelamiento sin ningún potencial entre las terminales del óxido. b) Unión de tunelamiento con un alto potencial entre sus terminales, permitiendo a los electrones tunelarse a través de la barrera del óxido.

Cabe mencionar que para este mecanismo se aprovecha adelgazar la barrera del óxido con el fin de que al atravesar los electrones no degraden en aislante debido a efecto de *trapping*, por esta misma razón el aislante tiene que ser de alta calidad para minimizar este efecto. Los electrones que son removidos de la compuerta flotante se observan como un incremento positivo en el potencial de la compuerta con respecto a tierra o una reducción en el voltaje de umbral del transistor.

2.4. MOSFET en Inversión débil

Este tipo de polarización se caracteriza por el hecho de que la mayoría de portadores ha sido repelida de la superficie dejando una carga de agotamiento para átomos fijos. La densidad de portadores minoritarios se incrementa con respecto a la distancia al sustrato, pero es una carga que puede ser despreciada en el balance total, por tanto no afecta en

las curvas de capacitancia-voltaje (hacer comentario sobre kappa). Sin embargo esos portadores minoritarios son las únicas cargas móviles en la superficie. De tal manera a partir que un voltaje es aplicado entre la fuente y el drenaje de un transistor MOSFET estas cargas se mueven por difusión produciendo una corriente en la fuente.

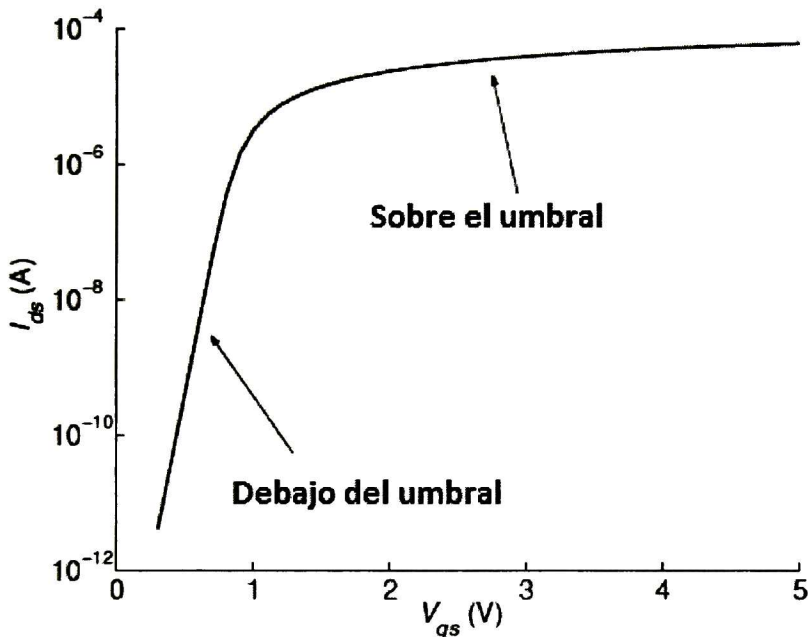


Figura 2.3: Corriente como función del voltaje compuerta fuente. En la región del subumbral se puede observar una dependencia exponencial de la corriente con respecto al voltaje, mientras que sobre el umbral es una dependencia cuadrática.

La corriente en el pFET surge a partir del transporte de huecos a través del canal desde la fuente hacia el drenaje. En el subumbral la corriente se debe de manera principal a la difusión.

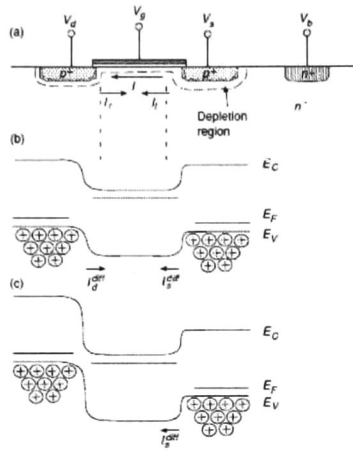


Figura 2.4: a) Sección transversal de un pFET. b) Diagrama de bandas en la región lineal. c) Diagrama de bandas en la región de saturación.

Debido a que el proceso de difusión es igual tanto para el pFET como para el nFET se puede obtener una expresión general para las características I-V.

$$I = I_0 e^{\kappa(V_w - V_g)/U_T} \left(e^{-(V_w - V_s)/U_T} - e^{-(V_w - V_d)/U_T} \right) \quad (2.2)$$

Donde V_w es el voltaje del sustrato del MOSFET. κ es la razón capacitiva desde la compuerta al canal definida por 2.3. U_T es el voltaje térmico y las variables V_g , V_s y V_d corresponden al voltaje de la compuerta, fuente y drenaje respectivamente. El valor de I_0 que corresponde a la constante pre-exponencial ($2nKP U_T^2$) y el valor de kappa varían para los MOSFET tipo N y tipo P, ya que estos factores están relacionados

Cuadro 2.1: Relaciones de los parámetros de pequeña señal.

Parámetro	nFET	pFET	s-d pFET
$g_m = \left \frac{\delta I_s}{\delta V_{fg}} \right $	$\frac{\kappa_n I_{so}}{U_T}$	$\frac{\kappa_p I_{so}}{U_T}$	$\frac{\kappa_p \kappa_x I_{so}}{U_T}$
$r_o = \left \frac{\delta I_s}{\delta V_d} \right $	$\frac{V_o}{I_{so}}$	$\frac{V_o}{I_{so}}$	$\frac{V_o}{\kappa_x I_{so}}$
$A_v = g_m r_o$	$\frac{\kappa_n V_o}{U_T}$	$\frac{\kappa_p V_o}{U_T}$	$\frac{\kappa_p V_o}{U_T}$
$g_{fg} = \left \frac{\delta I_{inj}}{\delta V_d} \right $	$\frac{I_{tun0}}{V_{inj}}$	$\frac{I_{tun0}}{V_{inj}}$	$\frac{I_{tun0}}{V_{inj}}$
$r_{fg} = \left \frac{\delta (I_{tun} + I_{inj})}{\delta V_{fg}} \right $	$\frac{U_T / \kappa_p \parallel V_x}{I_{tun0}}$	$\frac{U_T / \kappa_p \parallel -V_x}{I_{tun0}}$	$\frac{U_T / \sigma \parallel V_x}{I_{tun0}}$
$A_{fg} = g_{fg} r_{fg}$	$\frac{U_T / \kappa_p \parallel V_x}{V_{inj}}$	$\frac{U_T / \kappa_p \parallel -V_x}{V_{inj}}$	$\frac{U_T / \sigma \parallel V_x}{V_{inj}}$

con el dopado de cada uno de los dispositivos.

$$\kappa = \frac{C_{ox}}{C_{ox} + C_d} \tag{2.3}$$

2.5. Almacenamiento a largo plazo en los transistores de compuerta flotante

En un principio la tecnología de compuerta flotante era utilizada exclusivamente para el uso de memorias EEPROM [4]. Esta cualidad sigue siendo de utilidad ya que nos permite observar al transistor como un elemento programable. Ya que es posible controlar directamente la carga presente en la compuerta flotante eliminando electrones de ella por medio del tuneleo o agregándolos a través de la inyección de electrones

calientes. Esto da como resultado una variación práctica en el voltaje de umbral del dispositivo visto desde la compuerta de control como se presenta en 2.5.

Este concepto se encuentra estrechamente relacionado con el *peso* de la sinapsis, ya que los transistores de compuerta flotante tienen la cualidad de emular el comportamiento de una sinapsis[5] 6. En computación una red neuronal es un arreglo de entradas x y salidas y las cuales se encuentran interconectadas a través de un *peso* como se puede observar en 2.4 donde y representa el vector de salida, x el vector de entrada y w la matriz de *pesos*.

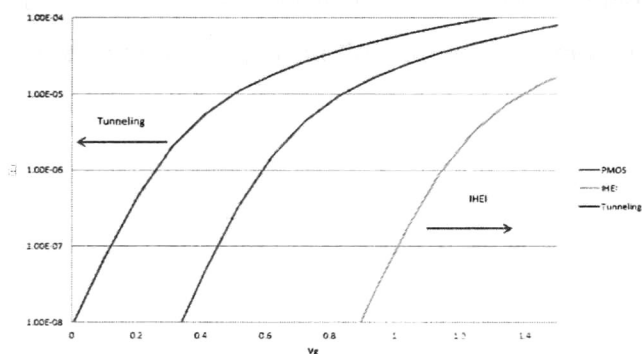


Figura 2.5: Modificación del voltaje de umbral utilizando tuneleo e inyección de electrones calientes.

$$y = wx \quad (2.4)$$

Los mecanismos de inyección de electrones calientes y tuneleo representan escalas a bajas frecuencias, ya que las corrientes son pequeñas en comparación con la corriente de polarización del transistor esto re-

sulta en que los cambios en la carga de la compuerta sean más lentos que los cambios presentes debido a las señales de entrada a procesar. En 2.5 el término \bar{V}_{fg} representa cambios a lenta escala, mientras que \hat{V}_{fg} representa los cambio en escalas rápidas.

$$V_{fg} = \bar{V}_{fg} + \hat{V}_{fg} \quad (2.5)$$

En 2.6 se observa como ecuación de la corriente toma una forma similar a 2.4, por otro lado es importante recalcar que W está determinada por los valores de la carga en la compuerta flotante sin tomar en cuenta los cambios presentes debido a la señal de entrada, esto por el comportamiento que presenta la compuerta flotante representado por 2.5.

$$I_s = I_0 e^{\frac{\kappa V_{fg}}{U_T}} = I_0 e^{\frac{\kappa (Q_{fg} + C_{in} V_{in})}{C_T U_T}} = I_0 e^{\frac{Q_{fg}}{Q_T}} e^{\frac{\kappa' V_{in}}{U_T}} = W I_0 e^{\frac{\kappa' V_{in}}{U_T}} \quad (2.6)$$

Es claro que W representa una corriente el cual puede ser arbitrariamente programado a cada transistor y así ubicarlo en la región de operación que resulta más conveniente.

2.6. Drain Induced Barrier Lowering

Esta no idealidad proviene de un MOSFET de canal corto y se presenta causando una reducción en el voltaje de umbral aplicando un potencial entre el drenaje y la fuente. El potencial positivo en la terminal del dre-

naje ayuda a atraer electrones debajo del oxido de la compuerta y por tanto incrementando el potencial de la superficie.

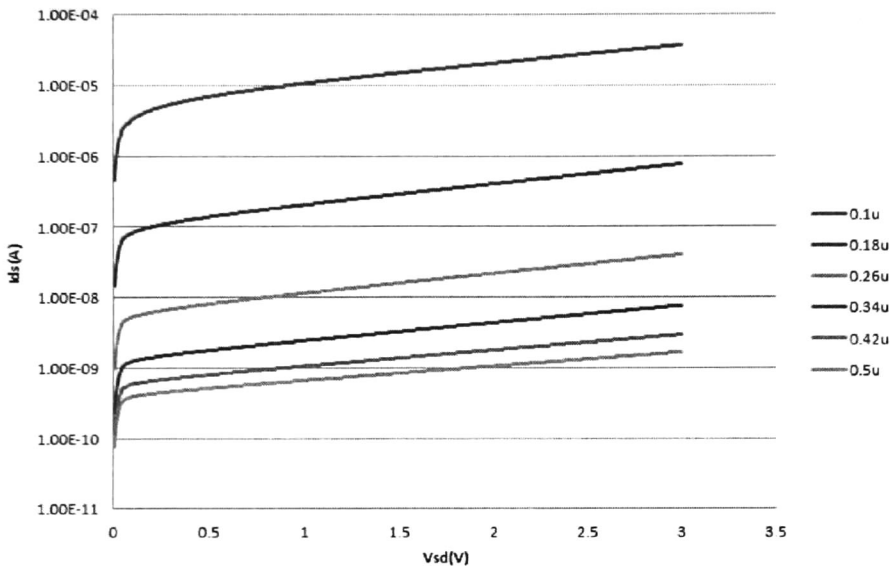


Figura 2.6: Gráfico de la corriente de la fuente con respecto al potencial de fuente drenaje. El cual expone la característica exponencial que distingue a los dispositivos DIBL.

Debido que el voltaje de umbral decrece al incrementar V_{DS} , el resultado es un incremento en la corriente del drenaje y una disminución en la resistencia de salida del MOSFET [7]. Utilizando un transistor pFET con éstas características en un arreglo cascode con un transistor de compuerta flotante pFET, obteniendo una degeneración de fuente, es posible obtener una respuesta dinámica de mayor rango en comparación con el mismo arreglo sin la degeneración de fuente. Esto se debe a que el transistor DIBL permitirá limitar la corriente del canal añadiendo una retroalimentación negativa ya que para variaciones lineales en el drena-

je de éste transistor se presentar cambios exponenciales en la corriente, por ejemplo un incremento drástico en la corriente del canal implica una disminución en el voltaje del drenaje el cual limitará la corriente que permita el transistor pFET de compuerta flotante debido al arreglo cascode por medio del cual están interconectados.

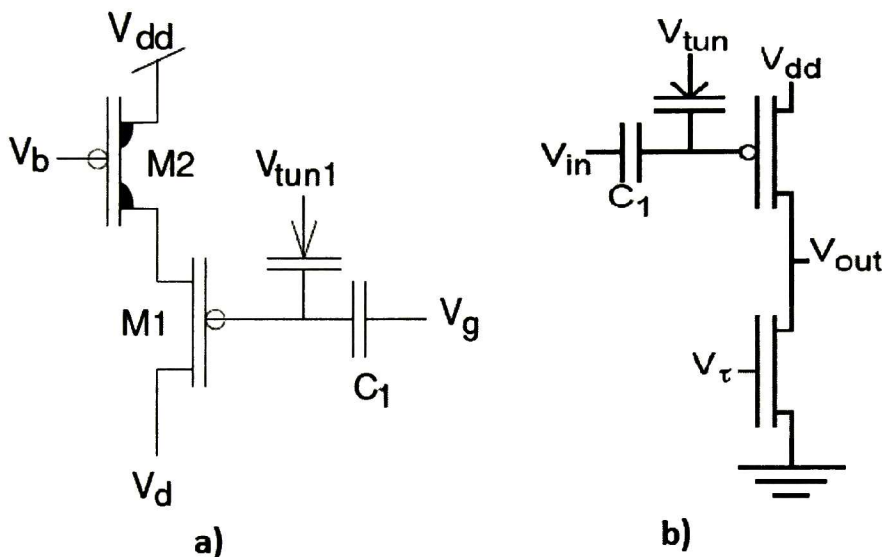


Figura 2.7: En el inciso (a) se presenta una arquitectura con degeneración de fuente. En el inciso (b) se observa un pFET de compuerta flotante sin la degeneración de fuente. Ambos sistemas son capaces de computar una sinapsis.

2.7. Simulación de los transistores MOSFET de compuerta flotante

Debido a que los simuladores actuales no son capaces de simular nodos flotantes, fue necesario explorar los métodos a través de los cuales es posible llevar estos sistemas a un *script* de SPICE. Se utilizaron dos aproximaciones principalmente [8] [9] para comprender el análisis y metodología necesaria para simular estos sistemas.

En la referencia [8] encontramos el modelado de los mecanismos de inyección de electrones calientes y el tuneleo de electrones como se observa en 2.8. Este modelado es importante ya marcó una pauta en la tecnología a utilizar, así como las ecuaciones necesarias para desarrollar los listados de simulación.

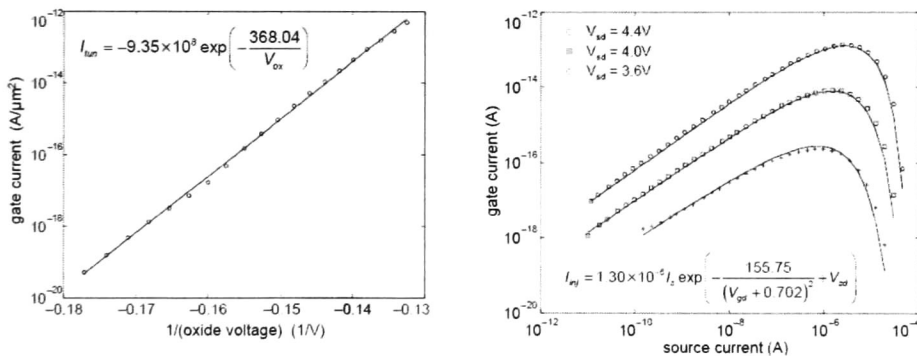


Figura 2.8: En la imagen de la izquierda se puede observar la corriente de tuneleo hacia afuera de la compuerta con respecto al voltaje aplicado en el óxido. En la figura de la derecha observamos la corriente por inyección de electrones calientes respecto a la corriente de la fuente.

Debido a que los mecanismos de inyección de electrones calientes y

tuneo son meras fuentes de corriente, fue relativamente sencillo hacer la implementación en SPICE utilizando una fuente de corriente dependiente de voltaje en ambos casos, sin embargo para la fuente de inyección fueron necesarios algunos ajustes debido a que existe una dependencia de corrientes y voltajes como se puede ver en 2.7 sin embargo la solución se presenta en los anexos de este documento.

Las mediciones presentadas se encuentran hechas en una tecnología CMOS de $0.35\mu m$ con un espesor en el óxido de 70\AA , se mantuvo la misma tecnología durante las simulaciones con el fin de ser consistentes con las mediciones que se nos presentaron. Es importante aclarar que las corrientes tienen flujos opuestos ya que el tuneo fluye de la compuerta hacia el pozo, mientras la inyección de electrones calientes es desde el canal hacia la compuerta, esto nos permitirá controlar el comportamiento del MOSFET, ya que se puede incrementar o disminuir el voltaje de la compuerta a través de estos mecanismos y esto da como resultado una variación en el voltaje de la compuerta.

$$I_{inj} = 1.30 \times 10^{-5} \exp \left(-\frac{155.75}{(V_{gd} + 0.702)^2} + V_{sd} \right) \quad I_{tun} = -9.35 \times 10^8 \exp \left(-\frac{368.04}{V_{ox}} \right) \quad (2.7)$$

En 2.9 se pueden observar dos modelos de simulación para los transistores MOSFET de compuerta flotante compatibles con prácticamente cualquier versión de SPICE. La primera estrategia utilizada se encuentra en el inciso a) de 2.9, propuesta en [8] este modelo de simulación contiene todo lo necesario para una simulación transitoria. Esto es debido

a que no cuenta con fuentes explícitas para su comportamiento en DC como se observó en la sección 2.1.

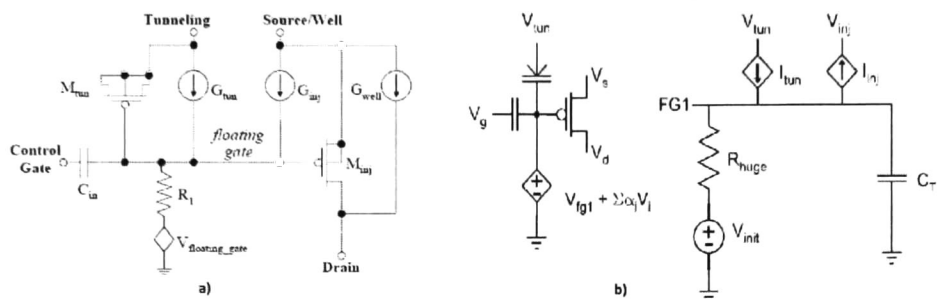


Figura 2.9: En el inciso a) se presenta el modelo presentado en [8]. En el inciso b) se presenta el modelo descrito en 9.

En el primer modelo podemos observar las fuentes de corriente que caracterizan los mecanismo de tuneleo e inyección, el transistor MOSFET el cual es un transistor normal (por ejemplo un MOSFET con los parámetros BSIMv3) y el capacitor de acoplamiento en la entrada la cual representa la capacitancia vista desde afuera del dispositivo. Posteriormente tenemos un transistor M_{tun} el cual tiene sus sus terminales de drenaje, fuente y sustrato en corto circuito, este transistor representa la unión de tuneleo, es decir, el óxido.

La fuente dependiente de voltaje $V_{floating-gate}$ nos permite replicar el voltaje que hay en el nodo flotante de tal manera que la corriente que circula por R es nula, y debido a que $V_{floating-gate}$ se encuentra a referenciada a tierra el nodo flotante se encuentra virtualmente aterrizado. Mediante estos arreglos es posible hacer simulaciones transitorias utilizando los nodos flotantes así como es capaz de reproducir los efectos de

retención de carga. Sin embargo este modelo de simulación no permitió hacer barridos de DC para poder determinar el comportamiento de estos transistores ante variaciones de la carga en el nodo flotante, por ello se buscó otra aproximación que sea capaz de modelar el comportamiento para transitorios así como para DC.

El modelo de simulación presentado en el inciso b) nos permite realizar las simulaciones en transitorios como lo hacía el modelo anterior y además nos permite hacer barridos en DC. El modelo consiste en las fuentes de corriente para las expresiones de inyección de electrones calientes y el tuneleo, así como la unión para que se lleve a cabo el tuneleo conectada a la compuerta. Sin embargo la diferencia principal radica en que el nodo flotante y el nodo donde se hacen las acumulaciones de carga se encuentran separados. Esta separación permite asilar los fenómenos de modificación de la carga, que son a frecuencias bajas, de las señales a manipular. Es importante mencionar que los modelos matemáticos obtenidos en [8] son completamente compatibles con este modelo.

El elemento R_{huge} nos permite acoplar un voltaje inicial al nodo flotante (este voltaje es meramente para practicidad al momento de simular), el valor de C_T corresponde a la sumatoria de todas las capacitancias del transistor como se observa en 2.8.

$$C_T = C_{in} + C_s + C_d + C_b \quad (2.8)$$

Por último la fuente dependiente que determina el valor del voltaje en el nodo flotante integra el voltaje del nodo $FG1$ y el los voltajes acoplados

capacitivamente, la solución al nodo flotante presentada fue como en el caso anterior una fuente de voltaje, sin embargo ésta permite ingresar un valor de voltaje para iniciar la simulación, característica que no nos permitía el modelo anterior.

Todas estas características presentadas en conjunto nos permitieron elegir el modelo de simulación previamente descrito como base para nuestra implementación en SPICE.

Bibliografía

- [1] Paul Hasler, Bradley Minch, Chris Diorio, et al. Adaptive circuits using pfet floating-gate devices. In *Advanced Research in VLSI, 1999. Proceedings. 20th Anniversary Conference on*, pages 215–229. IEEE, 1999.
- [2] Esther Rodriguez-Villegas and H Barnes. Solution to trapped charge in fgmos transistors. *Electronics Letters*, 39(19):1416–1417, 2003.
- [3] Shih-Chii Liu. *Analog VLSI: circuits and principles*. MIT press, 2002.
- [4] Paul Hasler, Bradley Minch, Chris Diorio, et al. Floating-gate devices: they are not just for digital memories any more. In *Circuits and Systems, 1999. ISCAS'99. Proceedings of the 1999 IEEE International Symposium on*, volume 2, pages 388–391. IEEE, 1999.
- [5] Paul Hasler, Chris Diorio, Bradley A Minch, and Carver Mead. Single transistor learning synapses. 1995.
- [6] Chris Diorio, Paul Hasler, Bradley Minch, Carver Mead, et al. A floating-gate mos learning array with locally computed weight up-

- dates. *Electron Devices, IEEE Transactions on*, 44(12):2281–2289, 1997.
- [7] R Jacob Baker. *CMOS: circuit design, layout, and simulation*, volume 18. John Wiley & Sons, 2011.
- [8] Kambiz Rahimi, Chris Diorio, Cecilia Hernandez, and M Dean Brockhausen. A simulation model for floating-gate mos synapse transistors. In *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on*, volume 2, pages II–532. IEEE, 2002.
- [9] Steven Joseph Rapp. *A Comprehensive Simulation Model for Floating Gate Transistors*. PhD thesis, West Virginia University, 2010.

Capítulo 3

Aplicaciones de los FGMOS

3.1. Amplificador Auto-Zero

En esta sección se presenta un amplificador que usa la inyección de electrones calientes en un pFET para poder regresar a su región sensible a pesar de los grandes cambios de DC en su entrada [1]. El *offset* generalmente representa uno de los problemas para el diseño analógico. Existen varias maneras de solventar este problema la más común es un capacitor a la entrada para evitar el paso de las componentes de DC o arquitecturas síncronas que calculen el *offset* de manera periódica y lo resten a la entrada. Sin embargo estas alternativas añaden complejidad al circuito, así como ruido, *antialiasing*, etc[2].

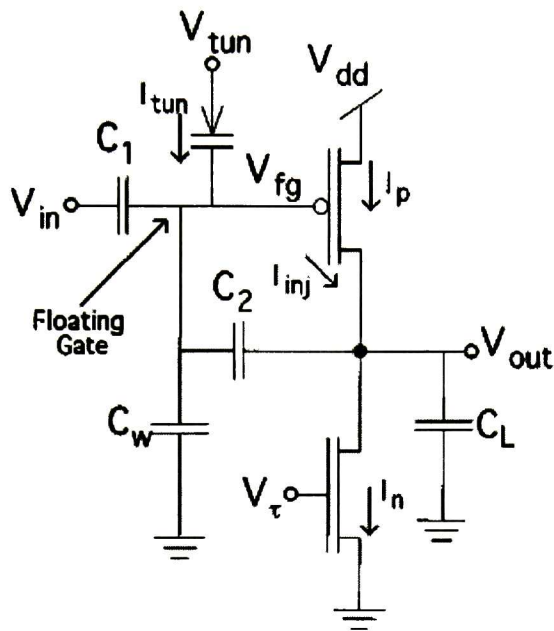


Figura 3.1: Amplificador Auto-Zero que utiliza la inyección de electrones calientes.

El amplificador auto-zero que se presenta en esta sección es un filtro de tiempo continuo que de manera intrínseca nulifica el *offset*, el cual en contraste con amplificadores de este tipo que eliminan el *offset* de entrada, éste nulifica el de salida[3]. La arquitectura de este sistema se puede observar en la figura 3.1.

Observando la figura 3.2 se puede describir el comportamiento a frecuencias bajas que rige al sistema para t_0 las corrientes de inyección y tuneo se encuentran equilibradas, de manera que al ser iguales no existen cambios en la carga de la compuerta flotante y por tanto el sistema no presenta cambios. En t_1 el potencial entre la compuerta flotante y el dre-

naje se incrementa lo cual produce una corriente de inyección de electrones calientes la cual es mayor que la corriente de tuneleo debido a que el escalón disminuyó el potencial entre la unión de tuneleo y la compuerta flotante. Esta corriente de inyección gradualmente añadirá electrones a la compuerta flotante lo cual disminuirá el potencial presente hasta que las corrientes de tuneleo e inyección se eliminen mutuamente. Para el caso de t_2 debido a que el pulso se encuentra en el flanco de bajada el potencial entre la compuerta flotante y la unión de tuneleo se incrementa y por lo tanto el potencial contra el drenaje se ve reducido, esto permite que la corriente de tuneleo sea mayor a la de inyección, esta corriente permite remover electrones de la compuerta flotante elevando el potencial paulatinamente hasta que las corrientes de inyección y tuneleo se equilibren.

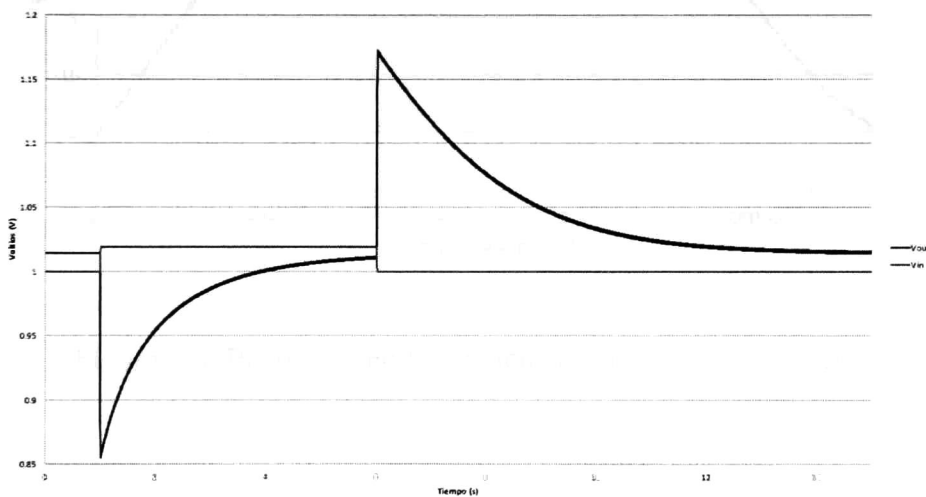


Figura 3.2: Respuesta al escalón del amplificador auto-zero.

Este comportamiento adaptativo es la característica principal de este amplificador, estas dinámicas son en baja frecuencia por debajo de 1Hz lo que permite que el análisis de las señales a procesar sea superpuesto a este comportamiento el cual es representado en 3.1. Donde \bar{V}_{fg} es la componente de baja frecuencia del voltaje de la compuerta flotante.

$$CT \frac{d\Delta\bar{V}_{fg}}{dt} = I_{tun} - I_{inj} \quad (3.1)$$

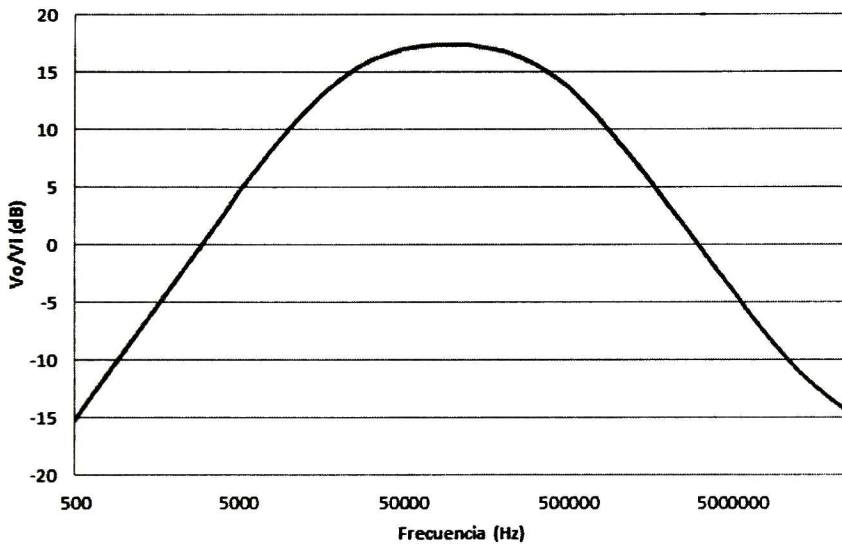


Figura 3.3: Respuesta en frecuencia amplificador auto-zero.

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{C_1}{C_2} \frac{1 - \tau_{h2}s}{1 + \tau_h s + 1/\tau_l s} \quad (3.2)$$

En la ecuación 3.2 se presenta la función de transferencia del amplificador auto-zero, el cual tiene una respuesta pasa bandas. La frecuencia

de corte máxima puede ser controlada por medio de la corriente del canal y la frecuencia de corte mínima puede ser manipulada modificando la corriente en la unión de tuneo como se observa en la ecuación 3.3.

$$\tau_h = \frac{U_T(C_T C_o - C^2_2)}{\kappa C_2 I_T} \quad \tau_l = \frac{C_2 V_{inj}}{I_{tun0}} \quad (3.3)$$

Para obtener los datos observados en la figura 3.4 se hicieron variaciones en la unión de tuneo para modificar la frecuencia de corte mínima.

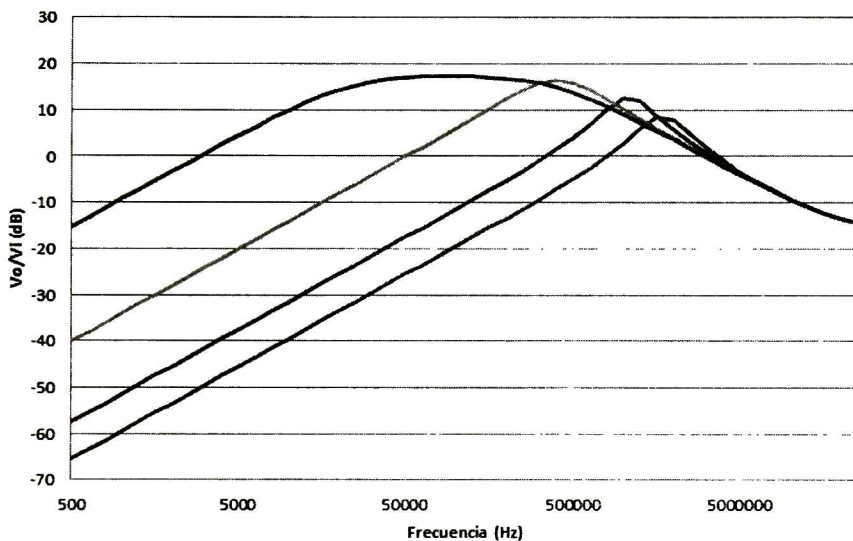


Figura 3.4: Respuesta en frecuencia amplificador auto-zero.

3.2. Transportador de corriente adaptado capacitivamente (C^4)

En este capítulo se presenta un filtro pasabanda programable en tiempo continuo. Este filtro programable se presenta en la figura 3.5. En el inciso (a) se muestra un amplificador auto-zero el cual a través de la inyección de electrones calientes en el pFET puede ajustar adaptativamente su punto de operación. Esto se debe a que la inyección de electrones calientes provee la retroalimentación necesaria para regresar el voltaje de salida a su régimen de voltaje adecuado[4]. En inciso (b) de la figura 3.5 se presenta un modelo únicamente conformado por transistores del amplificador auto-zero al cual nos referiremos como transportador de corriente adaptado capacitivamente (Capacitively Coupled Current Conveyer (C^4)), debido a la semejanza que presenta con un transportador de corriente como el presentado en la figura 3.6.

La operación de este sistema consiste en replicar el comportamiento del amplificador auto-zero, de tal manera que el lazo abierto que consiste en el pFET de entrada, **M2**, y nFET que funciona como fuente de corriente, **M1**, se mantienen sin cambios de la versión original del amplificador auto-zero. El pFET que funciona como fuente de corriente, **M4**, cumple la misma función que la unión de tuneleo, esta unión funciona como una fuente constante de corriente capaz de suministrar corrientes pequeñas. El transistor **M3** modela la inyección de electrones calientes la cual incrementa al disminuir el potencial drenaje compuerta. Ambos transistores se encuentra polarizados debajo del umbral debido a que la

magnitud de las corrientes de tuneleo e inyección de electrones calientes es varios ordenes menor a la corriente del canal.

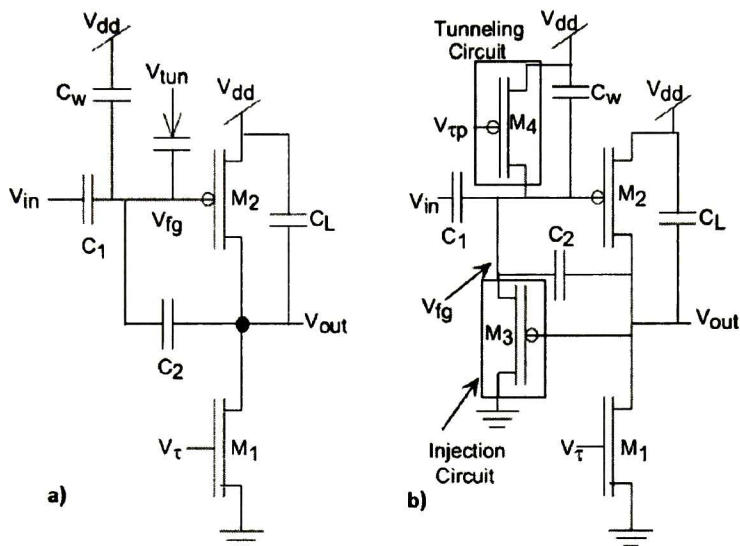


Figura 3.5: En el inciso a) se observa un amplificador auto-zero, el cual es capaz de adaptar su nivel de DC ante una perturbación en baja frecuencia como se presentó en la sección anterior. En la imagen de la derecha se presenta un transportador de corriente adaptado capacitivamente, el cual es una versión con transistores del amplificador auto-zero. **M4** corresponde a la unión de tuneleo y **M3** a la corriente de inyección de electrones calientes, ambos transistores se encuentran debajo del umbral debido a la magnitud de las corrientes que emulan.

La función de transferencia es una pasa bandas con una frecuencia de corte inferior debido al equilibrio de corrientes de **M3** y **M4**, y una frecuencia de corte superior impuesta por el equilibrio de las corrientes del pFET, **M2**, y el nFET, **M1**. A través de la ley de corrientes de Kirchoff en el nodo de la compuerta flotante se obtiene la expresión presentada en la ecuación 3.4.

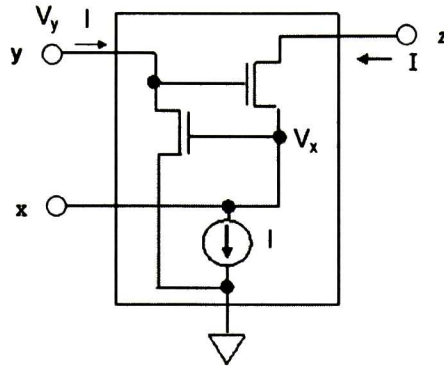


Figura 3.6: El puerto **x**, es un puerto híbrido, y funciona como puerto de entrada para señales de corriente y como puerto de salida de señales de voltaje al mismo tiempo. El puerto **y** es un puerto para un voltaje de entrada y el puerto **z** es un puerto de corriente de salida, que puede ya sea absorber (“sink”) o generar (“source”) una corriente igual a la corriente inyectada dentro del puerto **x**. $V_x = V_y, I_y = I_x, I_z = I_x$

$$C_T \frac{dV_{fg}}{dt} = C_1 \frac{dV_{in}}{dt} + C_2 \frac{dV_{out}}{dt} + I_{M4}(1 - e^{-\kappa \Delta V_{out}/U_T}) \quad (3.4)$$

La segunda ecuación se puede obtener aplicando KCL en el nodo de salida:

$$C_o \frac{dV_{out}}{dt} = C_2 \frac{dV_{fg}}{dt} + I_{M1}(e^{-\kappa \Delta V_{fg}/U_T} - 1) \quad (3.5)$$

Donde C_o representa la capacitancia conectada al nodo de salida. Mediante la transformada de Fourier a 3.4 y 3.5 se puede obtener la función

de transferencia del sistema.

$$\frac{V_{out}(s)}{V_{in}(s)} = -\frac{C_1}{C_2} \frac{1 - A_h \tau_h s}{1 + \tau_h s + \frac{1}{\tau_l s}} \quad (3.6)$$

Donde $\tau_h = ((C_T C_o - C_2^2)/U_T)/(\kappa C_2 I_{M1})$, $A_h = C_1/(C_T - (C_2^2/C_T))$ y $\tau_l = C_2 V_{gM3}/I_{M4}$. Como se puede ver las constantes de tiempo y por ende las frecuencias de corte pueden ser controladas de manera electrónica a través de las corrientes de los transistores **M1** y **M4** siendo el primero la frecuencia de corte para frecuencias altas y el segundo determina la frecuencia de corte para bajas frecuencias. El análisis completo para la obtención de la función de transferencia se puede ubicar en [4].

En la figura 3.7 se presenta la respuesta pasa banda para el C^4 , el control de las frecuencias de corte depende directamente de la polarización de los transistores **M1** y **M4** como se mencionó en el párrafo anterior. La simulación consistió en el listado del esquema presentado en el inciso (b) de la figura 3.5, sin ninguna adición extra, se utilizaron fuentes de voltaje para las compuertas de los transistores **M1** y **M4** sin embargo es posible añadir transistores de compuerta flotante para sustituir estas fuentes y así los voltajes que definen las frecuencias de corte puedan ser programados sin necesidad de fuentes de voltaje dedicadas [5].

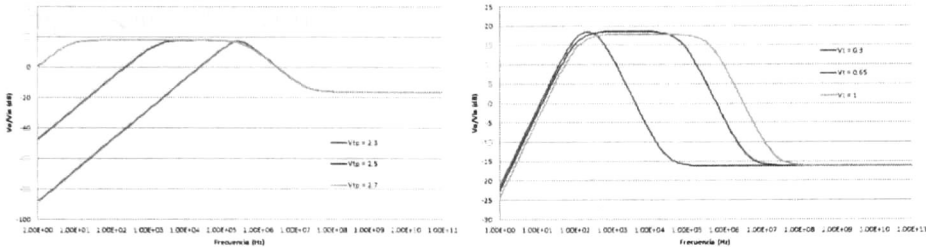


Figura 3.7: Barrido de DC para M1 y M4 de manera simétrica para observar la variación de las frecuencias de corte respecto a los voltajes aplicados en la compuerta.

Para realizar la simulación de este sistema se utilizó la plataforma T-Spice, con transistores de una tecnología de 0.3 μm cuyos parámetros de simulación corresponden a la versión BSIM3v3, publicada por MOSIS. Se hicieron barridos de DC para determinar los niveles de corriente críticos en el funcionamiento del sistema como se puede observar en la figura 3.8. Los experimentos siguientes consistieron en la variación de un solo parámetro y observar las diferentes respuestas que el sistema puede entregar.

El listado para la simulación de este sistema se presenta en el apéndice A. Para llevar a cabo las simulaciones observadas se utilizaron dos esquemas de modelado diferentes. Para la simulación en transitorios se utilizó el modelo presentado en la sección 2.7. Sin embargo ese modelo no es el adecuado para las simulaciones en frecuencia, ya que las expresiones para las fuentes de inyección y tuneo no contemplan componentes en AC. Para resolver este inconveniente se utilizó el modelo del amplificador auto-zero hecho completamente con transistores, lo cual permitió

complementar el desarrollo de este sistema.

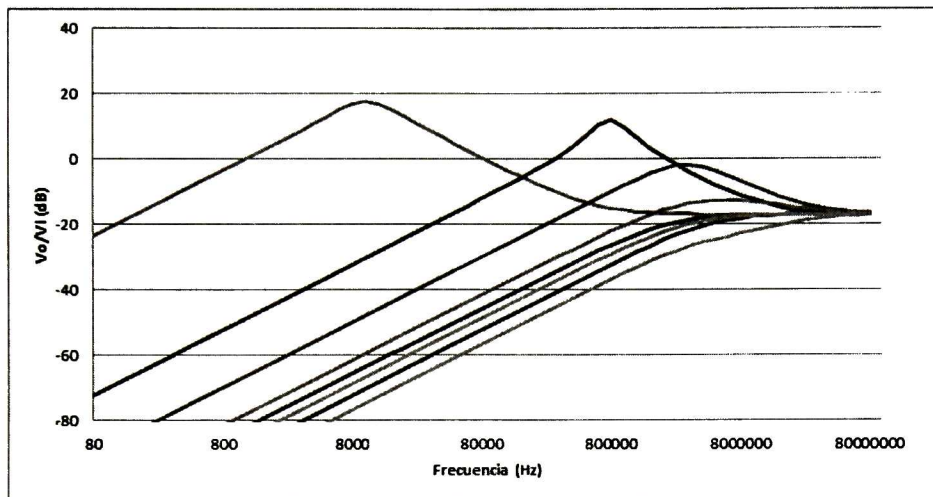


Figura 3.8: Barrido de DC para M1 y M4 de manera simétrica para observar la variación de las frecuencias de corte respecto a los voltajes aplicados en la compuerta.

3.3. Programación de los dispositivos de compuerta flotante

Muchas aplicaciones analógicas son susceptibles a errores debido a los procesos de manufacturación. En circuitos en los cuales los dispositivos tienen que estar emparejados, las técnicas para el *layout* se convierten en un factor crítico ⁶. Esto es debido a que los sistemas CMOS convencionales se pueden considerar “estáticos” después de ser fabricados, debido a que no es posible modificar los parámetros eléctricos con los que fueron construidos, sin embargo los transistores MOS de compuerta flotante, debido a su capacidad inherente de retención de carga, pueden

ser “programados” de manera que se pueden modificar las condiciones eléctricas con las que el dispositivo fue manufacturado.

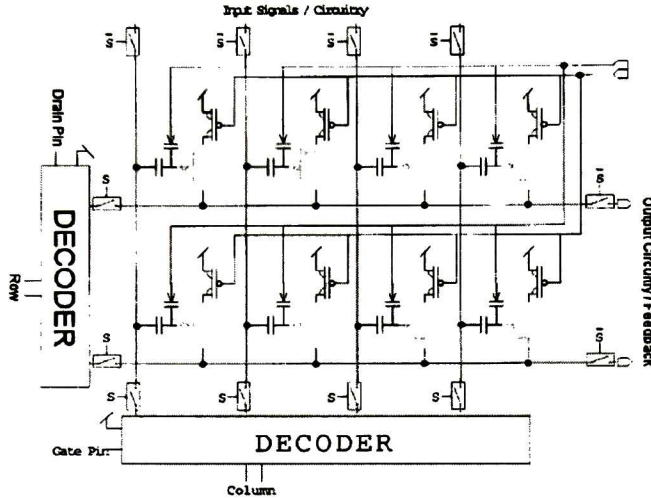


Figura 3.9: Ejemplo de una arquitectura de programación para los transistores de compuerta flotante.

Los transistores de compuerta flotante han sido utilizados como almacenadores de carga a largo plazo, sin embargo actualmente no solo se les considera como memorias, sino como elementos de tiempo continuo que operan en diferentes escalas de tiempo. La idea principal para la programación es mostrar como la carga en compuerta flotante puede ser actualizada y almacenada para proveer una corriente de polarización [7]. En la figura 3.9 se presenta un arreglo que permite programar cada uno de los transistores de manera individual.

$$C_T \frac{d\Delta V_{fg}}{dt} = C_i \frac{d\Delta V_g}{dt} + C_{FGD} \frac{d\Delta V_d}{dt} + I_{tun} - I_{inj} \quad (3.7)$$

En la ecuación 2.6 se observó que la corriente de salida del transistor es el producto de W por la corriente generada por los voltajes acoplados capacitivamente a la compuerta. Sin embargo no se hace referencia al tuneo e inyección debido a que estos mecanismos ocurren en una escala temporal más lenta, como observamos en la sección 2.5. En la ecuación 3.7 observamos las dinámicas de los transistores de compuerta flotante para ambas escalas de tiempo, ya que en la ecuación se presentan las variaciones en la compuerta flotante debido a la señales de entrada $(C_i \frac{d\Delta V_g}{dt} + C_{FGD} \frac{d\Delta V_d}{dt})$ y los cambios debido a los mecanismos de tuneo e inyección de electrones calientes.

En la figura 3.10 se presenta un esquema de programación para un arreglo de 2×2 de transistores de compuerta flotante. Para el F_{G1} se incrementó el potencial V_{sd1} mediante un pulso de 2.5V durante 0.5 segundos, como se puede observar a pesar de que el pulso llegó a un flanco de bajada el voltaje implantado en la compuerta flotante se mantuvo, para este caso en particular fuero -323mV. Para el transistor F_{G2} se realizó el mismo experimento pero con un incremento en la magnitud del pulso, lo cual implica un descenso mayor en el voltaje de la compuerta, el cual fue 881mV. Para los transistores F_{G3} y F_{G4} se aplicaron pulsos en la unión de tuneo permitiendo incrementar el voltaje, para el primero de estos el incremento de voltaje 239mV.

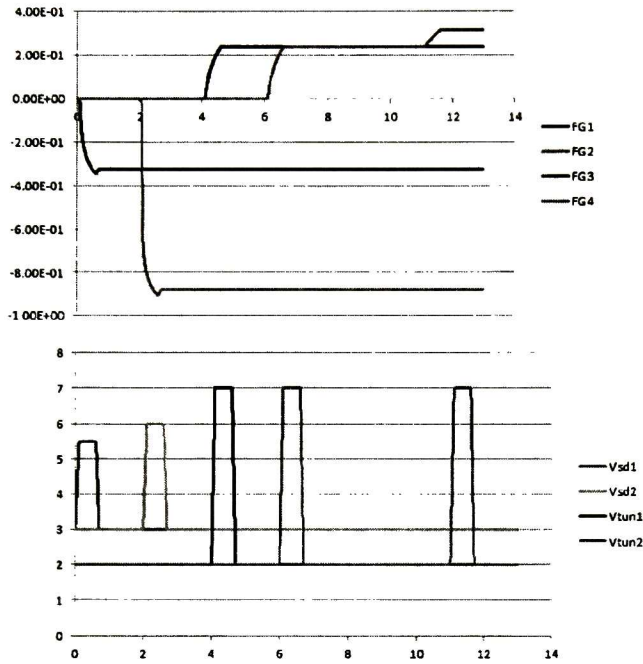


Figura 3.10: Programación de un arreglo de 2x2 de transistores de compuerta flotante. Se utilizaron pulsos en la unión de tuneleo y en el drenaje para incrementar y reducir, respectivamente, el potencial en la compuerta de los transistores.

En el segundo caso se utilizó una aproximación diferente a la utilizada en F_{G2} , en vez de incrementar la magnitud del pulso, se incrementaron el número de pulsos, esta es otra técnica que se puede utilizar para modificar los voltajes de la compuerta flotante de manera sistemática, para el transistor F_{G4} el incremento de voltaje fue de 239mV durante el primer pulso y 316mV después del segundo pulso, es importante señalar que el voltaje añadido durante el segundo pulso se vio disminuido, esto es debido a que el potencial en la unión de tuneleo depende del voltaje aplicado, en ese nodo, con respecto al voltaje de la compuerta flotante,

el cual fue incrementando, lo que reduce el voltaje $V_{tun,fg}$ efectivo.

La programación de los transistores de compuerta flotante permite ajustar sistemas que acarrean errores debido a la manufactura. En la figura 3.11 se presenta un par diferencial CMOS al cual una de sus entradas ha sido sustituida por un transistor de compuerta flotante. Esto permite, en caso de existir discrepancias de magnitud considerable entre los transistores, ajustar el voltaje de umbral transistor de compuerta flotante al del transistor de referencia. Esto se hace a través de los mecanismos de inyección de electrones calientes o el tuneleo de electrones como se mencionó en [8].

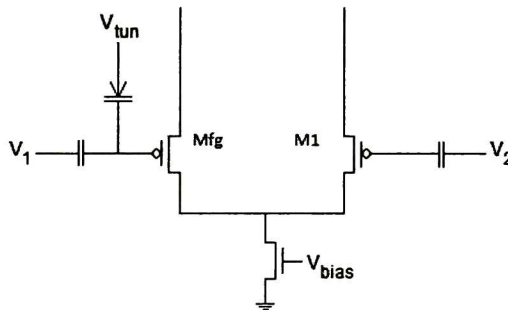


Figura 3.11: Par diferencial CMOS, una de las ramas tiene un transistor de compuerta flotante permitiendo ajustar variaciones en el voltaje de umbral y compensar los efectos del *mismatch*.

Con propósitos de demostración se simuló un par diferencial con los transistores de entrada con un tamaño ligeramente diferente. Esto es equivalente a tener un diseño con *mismatch*.

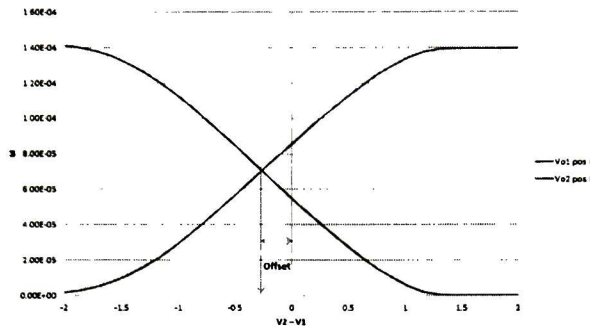


Figura 3.12: Par diferencial CMOS en cual los transistores de entrada presentan dimensiones diferentes.

La idea detrás del concepto de compensación es modificar el voltaje de umbral del transistor de compuerta flotante para hacerlo corresponder con el del transistor de referencia. En 3.13 observamos a la derecha un pulso en la unión de tuneleo el cual nos permite modificar el voltaje en el nodo flotante como se expone en el gráfico de la derecha. La magnitud y ancho del pulso se asignan dependiendo de la aplicación, para poder alcanzar diferentes voltajes se aplican diferentes iteraciones de los pulsos de programación[9].

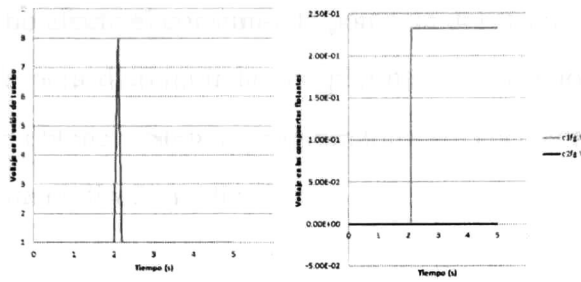


Figura 3.13: El gráfico de la izquierda presenta el pulso aplicado en la unión de tuneo. En el gráfico de la derecha se encuentran los voltajes en las compuerta de los transistores de entrada del par diferencial, antes y después del pulso aplicado en la unión de tuneo.

En 3.14 se puede observar que las discrepancias del sistema fueron compensadas, debido que a voltajes de umbral se igualaron, las corrientes generadas por cada uno de los transistores serán iguales para el caso en el que los voltajes en la compuerta sean iguales, ya que virtualmente los transistores son equivalentes, se hace referencia la termino virtual debido a que físicamente los transistores difieren.

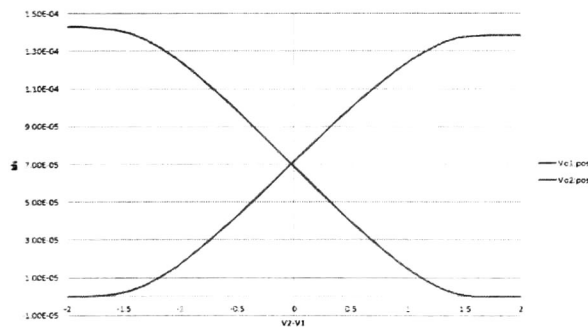


Figura 3.14: Par diferencial con el *mismatch* compensado.

Como puede observarse este técnica de compensación es económica

en tamaño y no afecta el consumo de potencia del sistema por tanto una opción viable para disminuir la complejidad del diseño analógico, ya que se pueden obtener sistemas programables sin necesidad de modificar completamente el diseño realizado.

Bibliografía

- [1] Paul Hasler, Bradley Minch, Chris Diorio, et al. An autozeroing floating-gate amplifier. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, 48(1):74–82, 2001.
- [2] Paul Edward Hasler. *Foundations of learning in analog VLSI*. PhD thesis, California Institute of Technology, 1997.
- [3] Paul Hasler and Paul D Smith. An autozeroing floating-gate amplifier with gain adaptation. In *Circuits and Systems, 1999. ISCAS'99. Proceedings of the 1999 IEEE International Symposium on*, volume 2, pages 412–415. IEEE, 1999.
- [4] Paul Hasler, Matt Kucic, Bradley Minch, et al. A transistor-only circuit model of the autozeroing floating-gate amplifier. In *Circuits and Systems, 1999. 42nd Midwest Symposium on*, volume 1, pages 157–160. IEEE, 1999.
- [5] David W Graham, Paul E Hasler, Ravi Chawla, and Paul D Smith. A low-power programmable bandpass filter section for higher order filter applications. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, 54(6):1165–1176, 2007.

- [6] R Jacob Baker. *CMOS: circuit design, layout, and simulation*, volume 18. John Wiley & Sons, 2011.
- [7] Esther Rodriguez-Villegas. *Low power and low voltage circuit design with the FGMOS transistor*, volume 20. IET, 2006.
- [8] Farhan Adil and Paul Hasler. Offset removal from floating gate differential amplifiers and mixers. In *Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium on*, volume 1, pages I–251. IEEE, 2002.
- [9] David W Graham, Ethan Farquhar, Brian Degnan, Christal Gordon, and Paul Hasler. Indirect programming of floating-gate transistors. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, 54(5):951–963, 2007.

Capítulo 4

Procesador de Fourier Analógico

En esta sección se presenta una implementación de un Procesador de Fourier programable de señal continua [1]. Este filtro analógico tiene la misma capacidad de programación que un filtro implementado en un DSP. con la ventaja de requerir menor energía por ciclo de computación debido a su memoria local.

En la figura 4.4 se presentan cuatro módulos cada uno consiste en un filtro pasa banda programable y un multiplicador. La señal de entrada es un voltaje lo que permite difundir la señal a los múltiples módulos. Los múltiples filtros pasa banda producen una descomposición en frecuencia de la señal de entrada en las diversas bandas programadas. Por medio de una versión en transistores de amplificador auto-zero (C^4), presentada en el capítulo anterior, se logra obtener una respuesta amplia respuesta pasa banda. La salida de cada filtro pasa banda es un voltaje el cual puede ser transmitido a varios arreglos multiplicadores, el cual se presenta en la siguiente sección. De esta manera con una señal de entrada se pue-

den obtener múltiples bandas, multiplicadas por un respectivo peso, de la señal de entrada como salida del sistema. La salida de cada multiplicador es una corriente, esto permite la adición de cada producto a través de la ley de corrientes de Kirchhoff para así construir la señal de salida. Los resultados de esta computación son similares en un DSP a la transformada rápida de Fourier, para dividir la señal en bandas de frecuencia, un multiplicador, para asignarle a cada banda un peso, y por último la inversa de la transformada rápida de Fourier para reensamblar la señal de salida.

4.1. Multiplicador de cuatro cuadrantes

En esta sección se presenta un multiplicador de cuatro cuadrantes con transistores de compuerta flotante el cual aprovechando las propiedades de retención de carga y sinapsis, como se presentó en la sección 2.5, constituye una solución compacta y de bajo consumo para esta aplicación. La multiplicación de cuatro cuadrantes, como su nombre sugiere, es una función la cual al ser graficada en dos dimensiones permite obtener resultados en cada uno de los cuatro cuadrantes del plano cartesiano. En [2] se presenta un diseño de un multiplicador de cuatro cuadrantes. En la figura 4.1 se muestra su arquitectura y comportamiento, el cual consiste en multiplicar una señal de entrada por un peso almacenado.

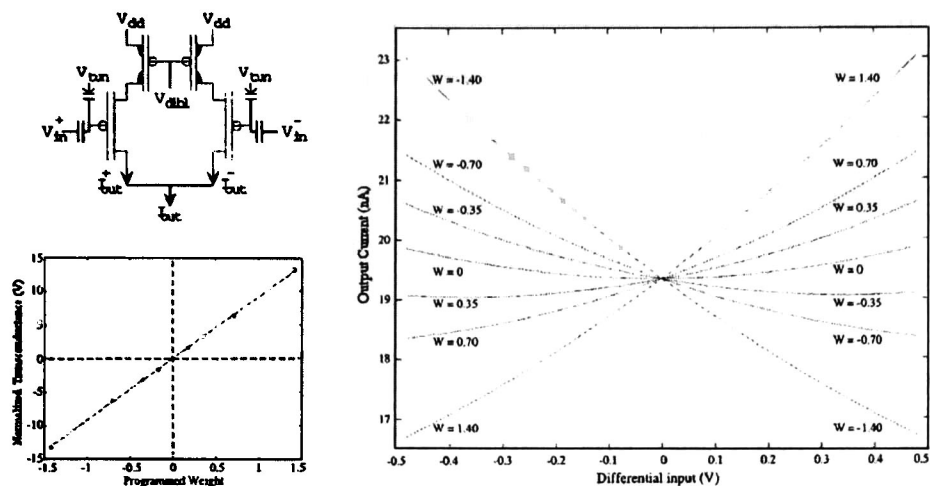


Figura 4.1: En la imagen se presenta la arquitectura del multiplicador de cuatro cuadrantes, y la característica de salida del mismo, también se observa la relación lineal que existe entre el peso y la transconductancia, esto se debe a que los transistores operan debajo del umbral y esto resulta en una relación lineal entra la corriente de la fuente y la transconductancia

Este sistema presenta la ventaja de que podemos hacer el análisis de una de las ramas y debido a que es un circuito en modo corriente basta con aplicar las leyes de corriente de Kirchoff en el nodo de salida para obtener un modelado del sistema final. La corriente que circulará por la rama se modela con la siguiente ecuación, como se discutió en 2.5.

$$I_s = I_{s0} W e^{-\Delta V_{in}/V_y} \tag{4.1}$$

Donde W representa el peso sináptico del transistor, V_y corresponde a la expresión $U_T C_T / C_1 \kappa_x \kappa_p$, el valor de κ_x existe debido a que la ar-

arquitectura contempla al pFET con degeneración de fuente(s-d), así que el término corresponde al acoplamiento capacitivo de ese transistor. Cabe mencionar que este modelo de corriente solo contempla variaciones rápidas de la señal de entrada ya que en este modelo consideraremos el *peso* como estático después de ser programado.

$$I_{out} = I_{s0} \left(W^+ e^{-\Delta V_{in}/V_y} + W^- e^{\Delta V_{in}/V_y} \right) \quad (4.2)$$

El signo de los pesos es meramente representativo de que cada uno es independiente, por otro lado el signo negativo que acompaña ΔV_{in} puede mal interpretarse si no se hace la observación de que el sistema no utiliza una señal de entrada distribuida entre las dos entradas, sino que la señal con la que se alimenta el sistema tiene que ser invertida para la rama complementaria [2]. Si se utiliza la aproximación $e^x \approx 1 + x$ y su contra parte podemos reducir 4.2 a la siguiente expresión:

$$I_{out} = I_{s0} (W^+ + W^-) + I_{s0} (W^+ - W^-) \frac{\Delta V_{in}}{V_y} \quad (4.3)$$

En la expresión anterior podemos observar el comportamiento del multiplicador, ya que $I_{s0} (W^+ + W^-)$ es un término constante, los valores que determinarán el signo de la multiplicación es la diferencia de los pesos y el signo de la señal de entrada.

Para realizar la simulación fue necesario simplificar el modelo presentado en la sección 2.7, debido que las fuentes de inyección de electrones calientes y tuneo no permitieron realizar un barrido de corriente directa para poder observar el comportamiento del multiplicador, la causa

fue que los valores de estas corrientes eran tan pequeños que no permite que el simulador termine el análisis en el nodo de la compuerta flotante, concluyendo en discontinuidades y fallos al momento de calcular el punto de operación. Ya que las fuentes de corriente no fueron necesarias para este circuito, debido a que no contemplamos un valor variante para el peso, éstas no fueron tomadas en cuenta en el modelo y para grabar un valor en la compuerta flotante se utilizó una fuente de voltaje, mediante estos ajustes se obtuvo el siguiente resultado.

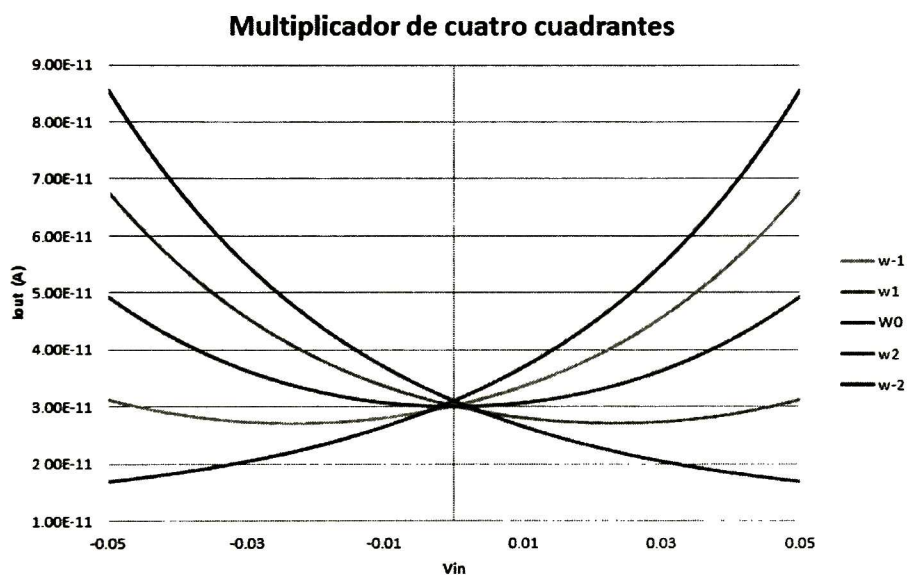


Figura 4.2: Gráfico de salida para la simulación del multiplicador de cuatro cuadrantes.

Para programar los pesos necesarios presentes en 4.2 se utilizaron las polarizaciones expuestas en la siguiente tabla, es importante observar que al momento de seleccionar los pesos es vital mantener el termino

Cuadro 4.1: Corrientes con sus respectivos valores de W asignados y los voltajes en la compuerta necesarios para programar los pesos expuestos.

$I_{ds}(A)$	W	$V_g(V)$
10p	1	2.6797
20p	2	2.6333
30p	3	2.6136
25p	2.5	2.6223
15p	1.5	2.6499
6p	0.6	3

constante de 4.3, $I_{s0} (W^+ + W^-)$, constante, es decir, a pesar de los diferentes pesos a usar ese término debe mantener invariante para las curvas de corrientes tengan el mismo centro y sean consistentes con los resultados que aquí se presentan.

Debido a que este multiplicador es un módulo el cual está precedido por un filtro es necesario determinar la respuesta en frecuencia del sistema para determinar el rango de operación que debemos considerar para el correcto funcionamiento del sistema en conjunto. En el siguiente gráfico se observa la respuesta en frecuencia. Se hicieron variaciones en los voltajes que determinan el peso del multiplicador, para confirmar que la frecuencia de corte era determinada solamente por las parásitas de los transistores. Como se puede observar en la figura 4.3 la magnitud se ve afectada con el peso del multiplicador, mientras que la frecuencia se mantiene independiente a estas variaciones. Los listados necesarios para replicar estos resultados se encuentran en el apéndice A.

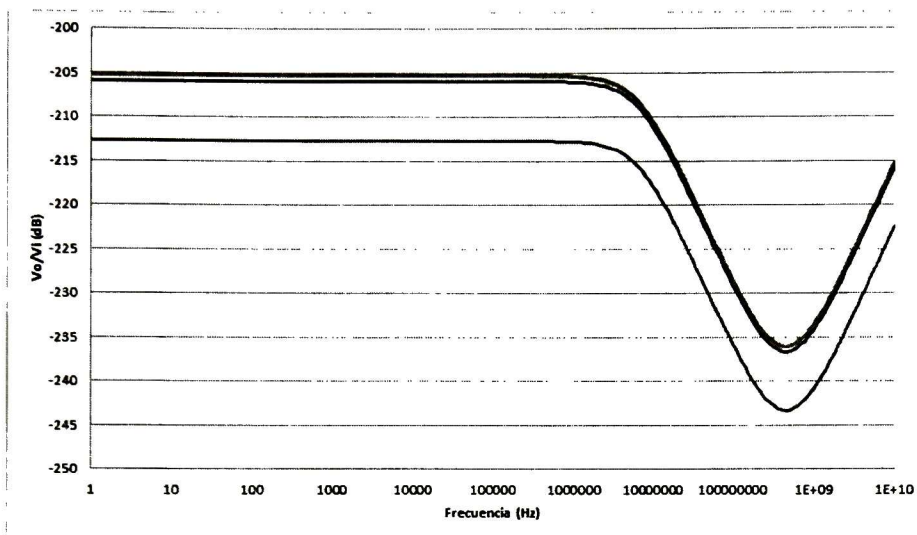


Figura 4.3: Respuesta en frecuencia para el multiplicador de cuatro cuadrantes para diferentes pesos.

4.2. Procesador de Fourier

Al inicio de este capítulo se mencionó el funcionamiento del Procesador de Fourier, en esta sección se presenta la metodología para la implementación de este sistema, en la herramienta T-Spice, así como los resultados y observaciones pertinentes. En la figura 4.4 se presenta un esquema de los bloques que contiene este sistema. Para llevar a cabo la simulación de este sistema fue necesaria la simulación y comprobación de los bloques que lo componen como son el C^4 presentado en la sección 3.2 y el multiplicador que se presentó en la sección anterior.

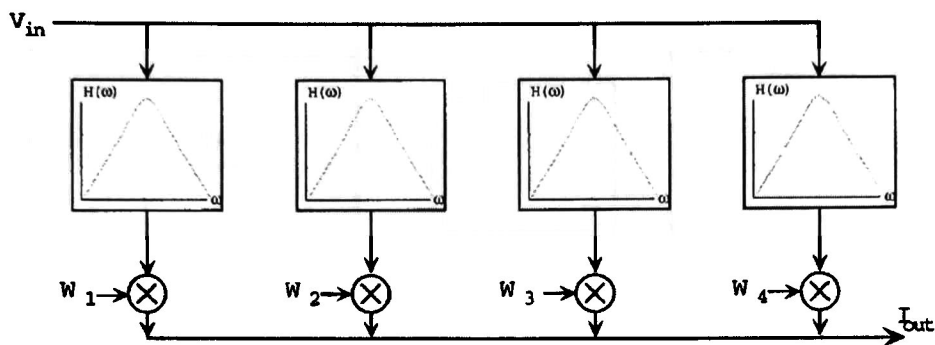


Figura 4.4: Representación *top level* de un filtro analógico programable. La señal de entrada es dividida en bandas de frecuencia por una serie de filtros pasa banda, en vez de la transformada discreta de Fourier (DFT). Con esta topología es fácil dividir el espaciamento de la frecuencia exponencialmente, en vez de un espaciamento lineal como es típico con el algoritmo DFT.

Para simplificar las simulaciones de este sistema se realizó un módulo que describe una columna de procesamiento, la cual consta de un filtro y su respectivo multiplicador, este módulo se observa en la figura 4.5. Las entradas del módulo corresponden al voltaje de entrada V_{in} , los voltajes para determinar el peso del multiplicador W , el voltaje V_t para determinar la frecuencia de corte mínima, el voltaje V_{tp} para la frecuencia de corte máxima y la salida I_{out} que corresponde a la corriente de salida del multiplicador. El listado en SPICE para este subcircuito puede ser localizado en el apéndice A.

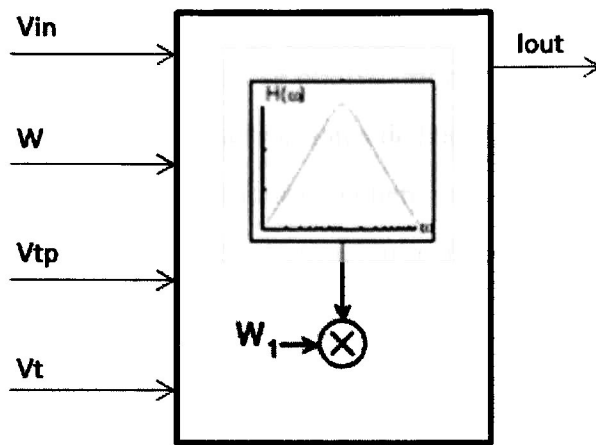


Figura 4.5: Subcircuito utilizado para simular una columna de procesamiento.

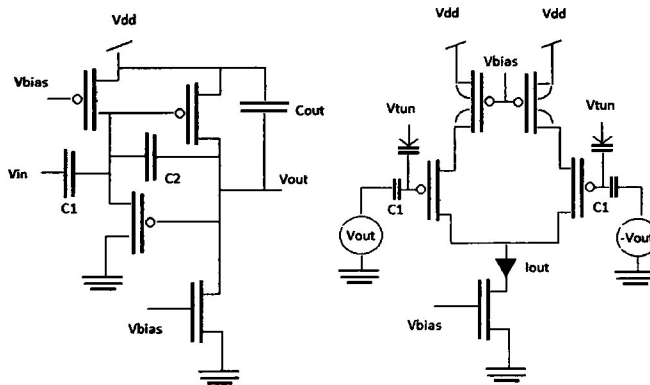


Figura 4.6: Constitución interna del subcircuito utilizado para simular una columna de procesamiento.

La primera respuesta obtenida para el procesador de Fourier se muestra en la figura 4.7. Fue un arreglo no satisfactorio ya que como se puede observar las frecuencias de corte del filtro no se ven afectadas a pesar de variar los pesos, cabe resaltar que esta aproximación solo utilizaba dos

columnas de procesamiento. A través de este experimento, el cual no entregó los resultados esperados, se obtuvo información sobre las características que se tienen que observar antes de hacer la simulación, como son los pesos asignados así como las frecuencias de corte de los filtros. El error que se tuvo durante la configuración se debió a que las bandas de frecuencia seleccionadas eran prácticamente iguales y la magnitud de los pesos no fue lo suficientemente grande para ser relevante. Esto ocasionó que no se puedan seleccionar bandas de interés y así poder programar la forma de onda de la señal de salida.

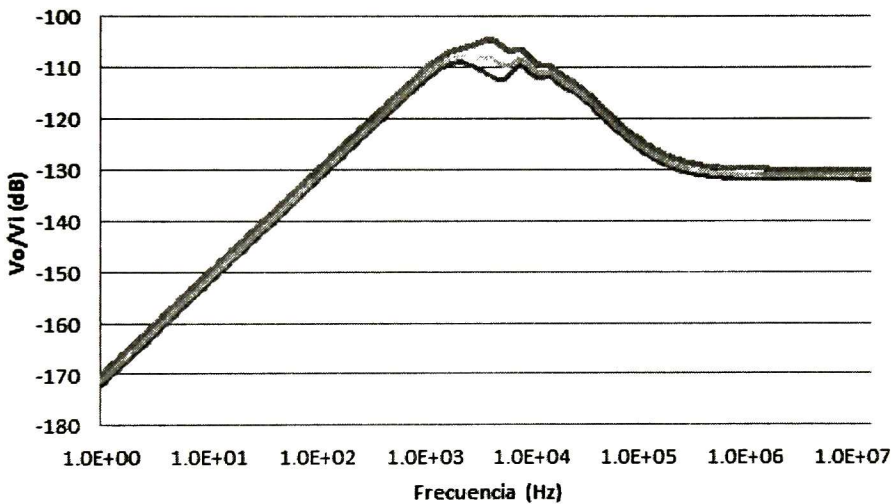


Figura 4.7: Gráfico de salida del procesador de Fourier el cual no presenta cambio relevante en la forma de onda de salida.

De la experiencia de los primeros experimentos se determinaron bandas de frecuencia controladas, en la figura 4.8 las salidas de cada uno de los cinco filtros para las frecuencias de 3kHz, 5kHz, 10kHz, 20kHz

Cuadro 4.2: Voltajes necesarios para la programación de las bandas de frecuencia.

$V_t(V)$	$V_{tp}(V)$	Frecuencia (Hz)
482m	2.51	3k
517m	2.55	5k
562m	2.43	10k
572m	2.38	20k
584m	2.3	30k

y 30kHz. Los voltajes necesarios se presentan en el cuadro 4.2.

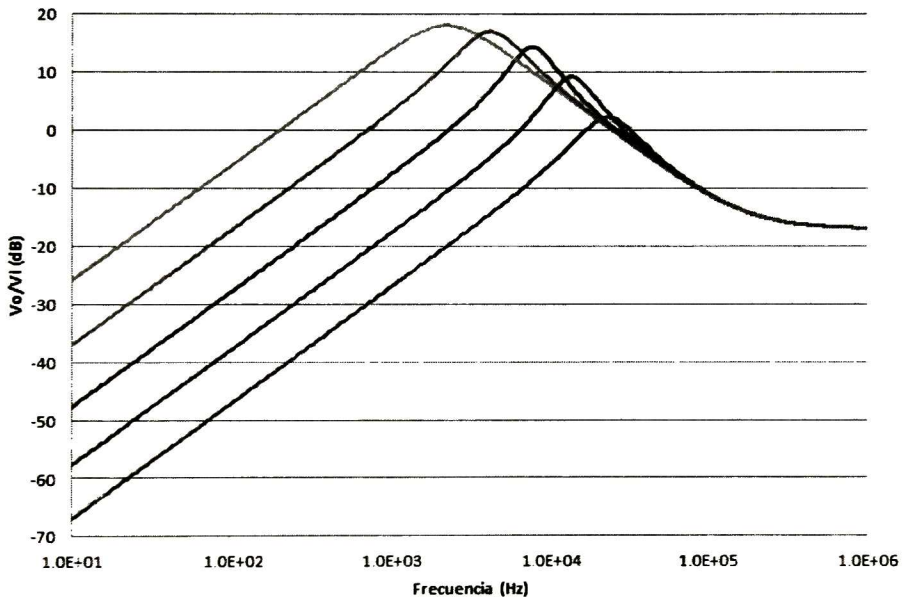


Figura 4.8: Gráfico de salida del procesador de Fourier el cual no presenta cambio relevante en la forma de onda de salida.

Una vez que se tienen las bandas de frecuencia designadas, es necesario observar la función de los multiplicadores en conjunto con los filtros. En

la figura 4.9 se presenta una columna de procesamiento la cual presenta un barrido en DC para los voltajes que controla en peso del multiplicador, el barrido cubre el rango de voltajes para débil inversión. Como se puede observar la magnitud del sistema se encuentra alterada por la variación de los pesos. De esta manera podemos añadir mayor importancia a alguna banda de frecuencia simplemente incrementando el peso del multiplicador.

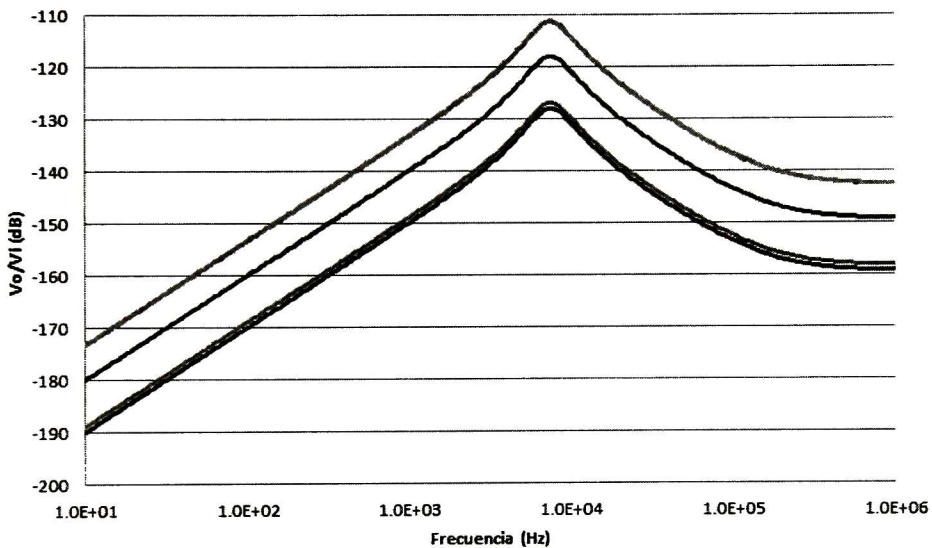


Figura 4.9: Formas de onda se salida para una columna de procesamiento, con pesos variables.

Para obtener los resultados de la figura 4.10 se realizó un barrido de DC para hacer variar los pesos en cada una de las celdas multiplicadoras y así poder observar el comportamiento que resulta, los valores de voltaje necesarios para la replicación de este experimento se presentan en el apéndice A de este documento. Como se puede observa se obtuvo

un Procesador de Fourier en el que es posible programar las frecuencias de corte por medio los filtros C^4 , y asignar pesos a las bandas de frecuencia a través de las redes multiplicadores, obteniendo así un filtro completamente programable, el cual nos permite una amplia gama de funciones de transferencia sin la necesidad de hacer modificaciones al *hardware* y además presenta inmunidad del *mismatch* debido a que los valores de configuración son directamente programados en cada uno de los transistores de interés. La función de transferencia para el sistema implementado se presenta en la siguiente ecuación, esta se obtuvo a través de la ecuación 3.6.

$$\frac{V_{out}(s)}{V_{in}(s)} = \sum_{i=1}^n -A_v \frac{1 - A_h \tau_h s}{1 + \tau_h s + \frac{1}{\tau_l s}} W_i \quad (4.4)$$

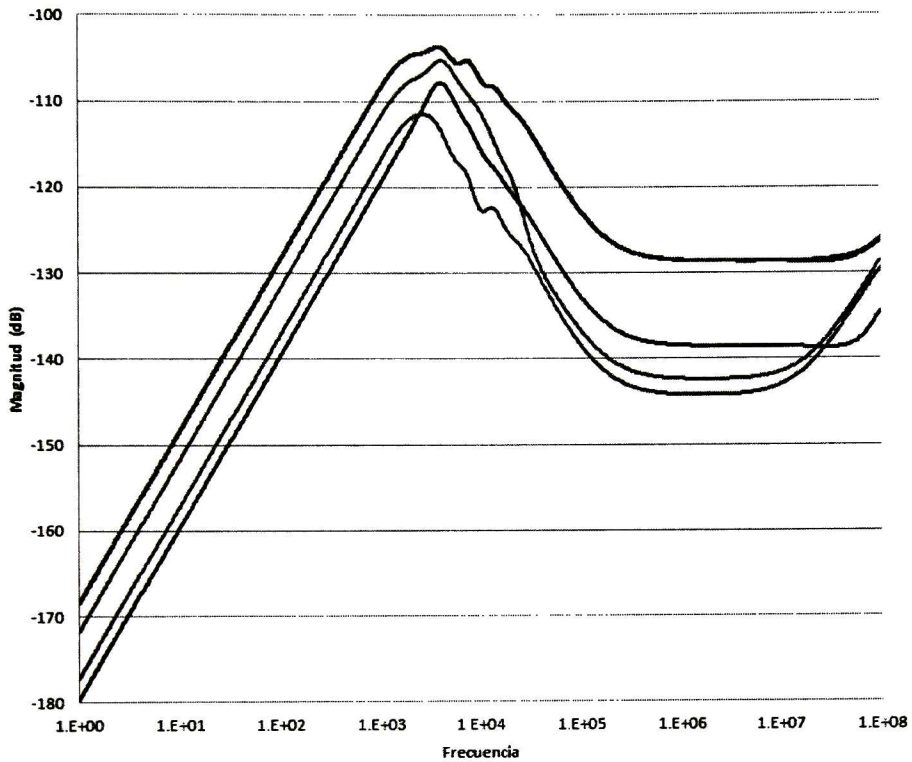


Figura 4.10: Gráfico de salida del procesador de Fourier para un barrido de los pesos de cada multiplicador. Las bandas de frecuencia son las mismas para cada caso y se encuentran presentadas en la figura 4.8.

Bibliografía

- [1] Matt Kucic, AiChen Low, Paul Hasler, and Joe Neff. A programmable continuous-time floating-gate fourier processor. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, 48(1):90–99, 2001.
- [2] Paul Hasler, Chris Diorio, Bradley Minch, et al. A four-quadrant floating-gate synapse. In *Circuits and Systems, 1998. ISCAS'98. Proceedings of the 1998 IEEE International Symposium on*, volume 3, pages 29–32. IEEE, 1998.

Capítulo 5

Conclusiones y Trabajo Futuro

En este trabajo se brindaron las bases para la utilización de la tecnología de los transistores CMOS de compuerta flotante en circuitos analógicos básicos, abarcando desde los fundamentos teóricos hasta las implementaciones de circuitos de complejidad relativa, que demuestran como esta tecnología permite desarrollar circuitos con funciones no logradas con los transistores MOS tradicionales como la adaptación, el aprendizaje, la computación, y la capacidad de almacenamiento no volátil de la información.

Además de presentar los resultados y los experimentos, se proveyeron los listados de simulación, en SPICE, necesarios para replicar el trabajo presentado en este documento, el cual podrá funcionar como una guía introductora el desarrollo de circuitos básicos complementarios con la tecnología de compuerta flotante.

Existen otras aportaciones que pueden enriquecer este proyecto. Como

es el diseño de una matriz de *switches*, similar a la que se muestra en la figura 3.9. Esto en conjunto con los bloques de cómputo analógico (CAB Computational Analog Block), que constan de varios de los circuitos implementados en este documento, constituye la arquitectura básica de un FPAA (Fiel Programmable Analog Array).

El desarrollo de estos sistemas permite la oportunidad de desarrollar un área en el laboratorio específica para el trabajo con sistemas cooperativos analógico digitales (CADSP Cooperative Analog Digital Signal Processor). Ya que típicamente no se piensa en sistemas analógicos y programabilidad en conjunto, ya que generalmente utilizamos el dominio analógico para preamplificadores, por ejemplo, y la programabilidad permanece en el dominio digital. Si tuviera disponible ambos tipos de procesamiento, tanto analógico como digital se podrían tomar decisiones sobre que método utilizar para favorecer la naturaleza de cada aplicación. Así se trabajaría para desarrollar sistemas de procesamiento que se beneficien de las ventajas que ofrece cada uno de los dominios y así desarrollar sistemas más eficientes e integrales.

Apéndice A

Transistores de compuerta flotante en SPICE

SPICE es un programa de simulación con énfasis en circuitos integrados (Simulation Program Integrated Circuits Emphasis), también es un estándar cuyo objetivo es simular circuitos electrónicos analógicos compuestos por resistencias, capacitores, diodos, transistores e inductores entre otros dispositivos. En esta sección se presentarán los *scripts* en SPICE de mayor importancia para las simulaciones llevadas a cabo en el documento. El *script* presentado a continuación es una macro que consiste en la implementación del sistema descrito en la sección 2.7. Las entradas del módulo corresponden al drenaje, compuerta flotante, fuente, voltaje de tuneo y señal de entrada respectivamente. No basta que la señal de entrada esté conectada a través de un capacitor a la compuerta debido a que el voltaje de ese nodo está sobre escrito por la fuente E_{fg} por esa razón se tiene que agregar este voltaje de manera manual. La fuente *his2v* nos permite convertir la corriente de la fuente a voltaje y así poder utilizar este valor como variable en las ecuaciones para las fuentes de corriente dependientes de voltaje.

```
macro FGMOS 1 2 3 4 5
param
+GND=0.0
+Vt=0.72
```

APÉNDICE A. TRANSISTORES DE COMPUERTA FLOTANTE EN SPICE66

```
Efg 2 0 vol='( v(fg1) + v(5,0) + v(1,0)*0.1
)
Mtun 4 2a 4 4 CMOS W=1u L=1u
Vmtun 2a 2 dc 0
Vg 2 2b dc 0
Minj 1 2b is is CMOS W=5u L=1u
Vs 3 is dc 0
his2v test1 0 Vs 1
Gtun fg1a 4 cur='(-9.35e8)*(exp(-368.04/V(4,2))
)
Vamptun fg1a fg1 dc 0
Ginj fg1b 3 cur='((1.3e-5)*v(test1,0))*exp( (
(-155.75)/((V(2,1)+0.702)^2) ) + V(3,1) )
Vampinj fg1b fg1 dc 0
Rbig fg1 19 1e16
Vinit 19 0 dc 0
Ct fg1 0 10p
.com
```

El gráfico de la imagen siguiente es una simulación de la respuesta de cada una de las fuentes de corriente que controlan la inyección de electrones calientes y el tuneleo.

APÉNDICE A. TRANSISTORES DE COMPUERTA FLOTANTE EN SPICE67

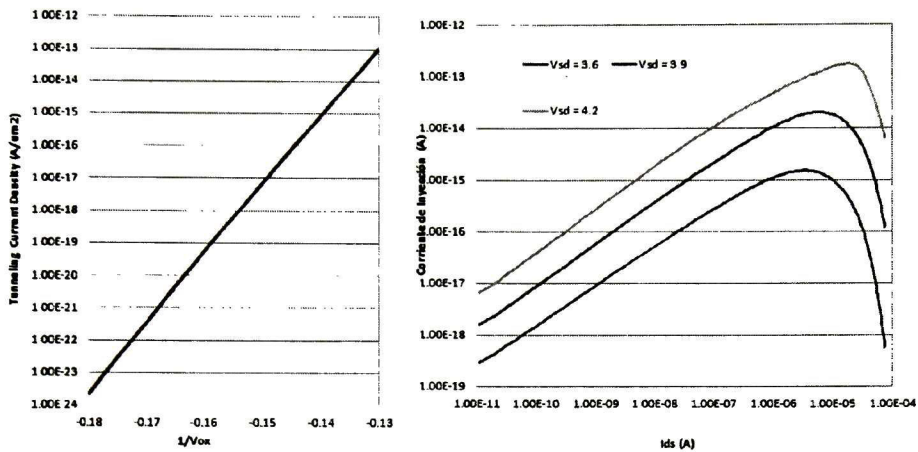


Figura A.1: En la imagen de la izquierda se puede observar la corriente de tunelamiento hacia afuera de la compuerta con respecto al voltaje aplicado en el óxido. En la figura de la derecha observamos la corriente por inyección de electrones calientes respecto a la corriente de la fuente. Estas mediciones fueron extraídas de nuestro modelo en SPICE.

Los *scripts* siguientes nos permitieron la simulación del multiplicador con las características mencionadas en 4.1.

```
Vdd dd 0 dc 3
M1 vd1 vg dd dd CMOSF W=1u L=0.1u
M2 vd vfgm vd1 vd1 CMOSF W=5u L=1.5u
Vd2 vd2 0 dc 0
Vg vg 0 dc 2.5
Efg2 vfgm 0 vol='2.6499 - v(vc)

Mt vd vt 0 0 CMOSN W=5u L=5u
Vt vt 0 dc 0.9

M3 vd6 vg dd dd CMOSF W=1u L=0.1u
M4 vd vfgn vd6 vd6 CMOSF W=5u L=1.5u
Vd1 vd5 0 dc 0
Efg1 vfgn 0 vol='2.6499 + v(vc)
Vc vc 0 dc 0
```

APÉNDICE A. TRANSISTORES DE COMPUERTA FLOTANTE EN SPICE68

Para poder realizar el barrido en frecuencia se utilizó una fuente de voltaje controlada por voltaje para dividir la señal de AC en dos y permitir que una de las señales esté invertida.

```
Vin in 0 ac 1
R1 in 0 1

Vdd dd 0 dc 3
M1 vd1 vg dd dd CMOSP W=1u L=0.2u
M2 vd vfgm vd1 vd1 CMOSP W=5u L=1.5u
Efg2 vfgm dcp1 in 0 0.5

*Vd vd 0 dc 0
Mt vd vt 0 0 CMOSN W=5u L=5u
Vt vt 0 dc 1
Vg vg 0 dc 2.5

M3 vd6 vg dd dd CMOSP W=1u L=0.2u
M4 vd vfgn vd6 vd6 CMOSP W=5u L=1.5u
Efg1 vfgn dcp2 in 0 -0.5

Vdc dcp1 0 dc 2.6333
Vcd dcp2 0 dc 2.6797
```

Para la simulación del Procesador de Fourier, como se mencionó previamente, se hizo un módulo que contiene un filtro y su respectivo multiplicador, de esta manera basta con instancia el modulo para incrementar el orden del sistema. Las entradas corresponden en el siguiente orden a la alimentación, voltaje para la frecuencia de corte de baja frecuencia, voltaje para los DIBLs, voltaje para la frecuencia de corte de alta frecuencia, W1, W2 y la salida.

```
macro FPL dd vt vg vtp dcp1 dcp2 vin
vd

Mtun g2 vtp dd dd CMOSP W=5u L=1u PD=5u
PS=5u
M2 out g2 dd dd CMOSP W=5u L=1u PD=5u
PS=5u
```

APÉNDICEA. TRANSISTORES DE COMPUERTA FLOTANTE EN SPICE69

```
Minj 0 out g2 g2 CMOSP W=5u L=1u PD=5u
      PS=5u
M3 out vt 0 0 CMOSN W=5u L=1u PD=5u PS
      =5u
C1 vin g2 10p
C2 g2 out 1p
Cw dd g2 1p
Cl out dd 5p

MM1 vd1 vg dd dd CMOSP W=1u L=0.1u PD=5
      u PS=5u
MM2 vd vfgm vd1 vd1 CMOSP W=5u L=1.5u
      PD=5u PS=5u
Efg2 vfgm dcp1 out 0 0.5

MM3 vd6 vg dd dd CMOSP W=1u L=0.1u PD=5
      u PS=5u
MM4 vd vfgn vd6 vd6 CMOSP W=5u L=1.5u
      PD=5u PS=5u
Efg1 vfgn dcp2 out 0 -0.5

.eom
```

Para el gráfico para el Procesador de Fourier se utilizó el siguiente arreglo:

```
Vdd dd 0 dc 3
Vt vt 0 dc 0.5
Vtp vtp 0 dc 2.4
Vdc dcp1 0 dc 2.7
Vcd dcp2 0 dc 2.7

Mt vd vtg 0 0 CMOSN W=50u L=1u PD=5u PS
      =5u
Vtg vtg 0 dc 0.85
Vg vg 0 dc 2.6

Vac vin 0 ac 1
```


APÉNDICE A. TRANSISTORES DE COMPUERTA FLOTANTE EN SPICE70

Vt4 vt4 0 dc 0.5
Vtp4 vtp4 0 dc 2.3
Vt5 vt5 0 dc 0.5
Vtp5 vtp5 0 dc 2.5

Vt6 vt6 0 dc 0.5
Vtp6 vtp6 0 dc 2.35
Vt7 vt7 0 dc 0.5
Vtp7 vtp7 0 dc 2.45

Vdc4 dcp14 0 dc 1
Vcd4 dcp24 0 dc 1

Vdc5 dcp15 0 dc 2
Vcd5 dcp25 0 dc 3

XFPL2 dd vt vg vtp dcp14 dcp24 vin vd
FPL
XFPL1 dd vt4 vg vtp4 dcp14 dcp24 vin vd
FPL
XFPL3 dd vt5 vg vtp5 dcp14 dcp24 vin vd
FPL
XFPL4 dd vt6 vg vtp6 dcp14 dcp24 vin vd
FPL
XFPL5 dd vt7 vg vtp7 dcp15 dcp24 vin vd
FPL

XFPL6 dd vt vg vtp dcp1 dcp2 vin vd2
FPL
XFPL7 dd vt4 vg vtp4 dcp1 dcp2 vin vd2
FPL
XFPL8 dd vt5 vg vtp5 dcp1 dcp2 vin vd2
FPL

APÉNDICE A. TRANSISTORES DE COMPUERTA FLOTANTE EN SPICE71

```
XFPL9 dd vt6 vg vtp6 dcp1 dcp2 vin vd2  
FPL  
XFPL10 dd vt7 vg vtp7 dcp15 dcp25 vin  
vd2 FPL
```

```
Mt2 vd2 vtg 0 0 CMOSN W=50u L=1u PD=5u  
PS=5u
```



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA

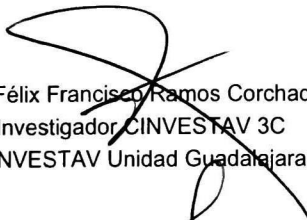
El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis


Transistores MOS de compuerta flotante, circuitos y aplicaciones


del (la) C.


Gerardo Israel MOLINA SABIDO

el día 17 de Septiembre de 2015.


Dr. Félix Francisco Ramos Corchado
Investigador CINVESTAV 3C
CINVESTAV Unidad Guadalajara


Dr. Federico Sandoval Ibarra
Investigador CINVESTAV 3C
CINVESTAV Unidad Guadalajara


Dr. Juan Luis Del Valle Padilla
Investigador CINVESTAV 3C
CINVESTAV Unidad Guadalajara


Dra. Susana Ortega Cisneros
Investigador CINVESTAV 3A
CINVESTAV Unidad Guadalajara



CINVESTAV - IPN
Biblioteca Central



SSIT0013507