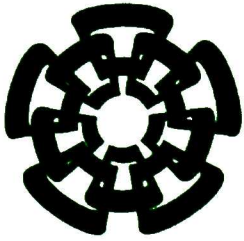


XX(113549.1)



CINVESTAV

Centro de Investigación y de Estudios Avanzados del I.P.N.
Unidad Guadalajara

Diseño de un Filtro Pasabajas y su Incorporación en un DPLL Integrado en Silicio.

CINVESTAV
IPN
ADQUISICION
DE LIBROS

Tesis que presenta:
Ricardo Usiel Chávez Cuadras

para obtener el grado de:
Maestro en Ciencias

en la especialidad de:
Ingeniería Eléctrica

Director de Tesis
Dr. Federico Sandoval Ibarra

CINVESTAV I.P.N.
SECCION DE INFORMACION
Y DOCUMENTACION

Guadalajara, Jal., Noviembre del 2003.

CLASIF.: TK165.G8.LH38 2003
ADQUIS.: SSI-305
FECHA: 28-VI-2004
PROCED.: Don. -2004
\$ _____

ID: 43617-2001

Diseño de un Filtro Pasabajas y su Incorporación en un DPLL Integrado en Silicio.

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

Por:

Ricardo Usiel Chávez Cuadras

Ingeniero en Electrónica, con especialidad en
Comunicaciones.

Instituto Tecnológico de Culiacán 1996-2001

Becario del CONACyT, expediente no. **165079**

Director de Tesis
Dr. Federico Sandoval Ibarra



Prefacio

Debido al constante avance de los procesos de fabricación la miniaturización ya es un hecho, creciendo así el número de bloques en un mismo chip, donde es común encontrar sistemas que incluyan bloques con sistemas de filtrado analógico, aún cuando en la actualidad los sistemas digitales han ido ganando terreno debido al espacio requerido por ellos y su bajo costo, no obstante estos sistemas tienen que interactuar con el mundo analógico. Por lo que interfaces del tipo analógico-digital y digital-analógico son necesarias, demandando filtros activos con rango dinámico grande y con capacidad de procesamiento de unos pocos kHz hasta unos cientos de MHz.

Los bloques DPLL (Del Inglés Digital Phase Locked Loop) no son la excepción, ya que su lazo incluye un filtro pasa-bajas comúnmente denominado filtro de lazo. Este último es de vital importancia ya que es el responsable de proporcionar un nivel de voltaje en DC apropiado para excitar al VCO, y generar una frecuencia de salida adecuada asegurando un correcto funcionamiento.

Usualmente los filtros de lazo son implementados de manera externa al chip, haciendo uso de dispositivos discretos, requiriendo un área extra en la tarjeta donde se montará el chip. Por lo que en este trabajo se hace una revisión de las diversas técnicas y aproximaciones existentes para la implementación del filtro de lazo, y de las problemáticas existentes cuando se desea llevar a su implementación a nivel CI (ya sea en la forma pasiva ó activa). Así también de la grande constante de tiempo involucrada en el diseño de filtro cuando las señales a procesar son del orden de Hz.

Por lo que en el siguiente trabajo se presenta el diseño de un filtro pasa-bajas del tipo monolítico a 1.5 Hz que podrá ser implementado en tecnología CMOS estándar, que tiene la capacidad de procesar señales cuadradas moduladas en ancho de pulso con amplitudes de hasta 5 Volts.

El primer capítulo presenta una introducción donde se muestran la necesidad del filtro, conjuntamente con la implementación pasiva del filtro (discreta y completamente integrada), y al mismo tiempo se realiza una estimación de las parásitas involucradas en el diseño de resistores pasivos monolíticamente y del área requerida por ellos.

El capítulo 2 proporciona una breve descripción acerca de las técnicas de filtrado activo existentes, así como la selección de la técnica SC (Del Inglés Switched Capacitor) como la más adecuada para este trabajo de tesis. Además se muestra su principio de funcionamiento, y un repaso de las topologías más comunes de las redes con SC, así como de sus principales características de diseño, y una representación cuantitativa de las no idealidades presentes en los elementos que componen cada red. Luego en el Capítulo 3, se desarrolla el diseño del filtro utilizando los conceptos básicos de diseño, donde son



presentados resultados de simulación Tspice y Aplac, para entonces efectuar las consideraciones de diseño necesarias en la implementación de redes SC. Para posteriormente incluirlo conjuntamente con los demás bloques ya caracterizados del DPLL. Y por último se muestran las conclusiones del trabajo y las propuestas de trabajo futuro.



Agradecimientos

A *Dios*, a quien le doy un millón de gracias por la vida que me ha brindado, por la oportunidad que me concedió para conocerle más, y permitirme realizar un sueño más en mi vida.

A *Luis Chávez y Luz María (Mis Padres)* quienes con su amor y cariño incondicional, estuvieron y siguen estando presentes en mi vida. Ustedes con su ejemplo han ayudado a formar mi persona y lo que soy en estos momentos. Gracias por ser mis *Padres*.

A mi *Tia Evagelina*, quien ocupa un lugar muy importante en mi corazón, y que quiero como mi segunda Madre.

A *Mis Hermanos Criseyda, Edith Arely, Julio Cesar, Lizbeth Zelenda, Luis Carlos, Luis Enrique, Luz Olympia, Luz Patricia*, a todos ellos gracias por brindarme su apoyo, y su amor.

A *Karla Cristina (mi Novia)* quien ha llenado esa parte de mi vida y de mi corazón que nadie más ha ocupado, quien me brinda su cariño, y su consejo, y por seguir compartiendo su vida conmigo. Gracias amor.

Al *Dr. Federico Sandoval Ibarra* que me supo guiar en la realización de este trabajo, por dar el consejo siempre oportuno y prudente. Por compartir ese espíritu de crecimiento, tanto individual como colectivo, y por el grande apoyo que siempre nos brinda, Gracias.

A *mis Amigos Gisel Borquez, Johan Jair, Juan Isdriel, Edin Judith, Luis Flores, Martín Barrera, Osvaldo Alonso, Rubén Blanco*, por su apoyo, por su tiempo, por compartir parte de su vida conmigo, gracias. Así como a todos mis demás compañeros que compartieron momentos de alegría y parte de su conocimiento conmigo.

Y a todos mis *Hermanos* en Cristo, cuya lista de nombres es larga, pero siempre los traigo en mi corazón, gracias por su apoyo moral y espiritual.

Al *CONACYT*, institución que me otorgó el apoyo económico para realizar mis estudios de postgrado. Pudiendo así, dedicar todo mi esfuerzo a la elaboración y culminación de este trabajo.



Contenido

Prefacio	III
Agradecimientos	V
Contenido	VI
Índice de Figuras y Tablas	VIII
Capítulo 1 Antecedentes	1
1.1 Introducción	1
1.2 Necesidad del Filtro Pasa-Bajas	1
1.3 Características Deseadas	4
1.4 Implementación del Filtro	4
1.4.1 Discreta	4
1.4.2 Completamente Integrada	8
Referencias	13
Capítulo 2 Conceptos Básicos	14
2.1 Introducción	14
2.2 Principio de Funcionamiento	15
2.3 Precisión de circuitos con SC	18
2.4 No Idealidades	20
2.4.1 Interruptores	20
2.4.1.1 Inyección de Carga	22
2.4.1.2 Clock Feedthrough	24
2.4.2 Capacitores	26
Referencias	30
Capítulo 3 Diseño y Simulación	31
3.1 Introducción	31
3.2 Selección de Topología de Diseño	31
3.3 Diseño del Filtro	34
3.4 Generador de Fases no Traslapadas	39
3.5 Consideraciones de Layout para el Filtro	40
Referencias	47



Capítulo 4 Conclusiones y Trabajo Futuro	48
Apéndice A	49
Apéndice B	53



Índice de Figuras Y Tablas.

Capítulo 1 Antecedentes

# de Figura	Descripción	Página
1.1	(a) Diagrama a Bloques del DPLL y (b) Circuito Eléctrico Equivalente del Filtro Pasa-Bajas.	1
1.2	Respuesta total en el dominio del tiempo de la red RC, para un escalón con amplitud de 5 V.	2
1.3	Respuesta del filtro RC para una X_R con el ancho de pulso del 50% en 0 y 5 V.	3
1.4	Respuesta del filtro para una X_R con el ancho de pulso en 5 V del 25% y 75%, respectivamente.	3
1.5	(a) Relación Frecuencia a -3dB del Filtro vs. Amplitud de rizo de la señal procesada y (b) Respuesta del Filtro con anchura de pulso del 50%.	4
1.6	Resistor de Composición.	5
1.7	Corte longitudinal de un resistor de alta resistencia.	5
1.8	Circuito Eléctrico Equivalente del Resistor.	6
1.9	Circuito Eléctrico Equivalente del Capacitor.	7
1.10	Set-up utilizado para la caracterización del bloque DPLL descrito en [1]. Donde el filtro y el PDF son realizados con componentes discretos, requiriendo de un espacio opcional al chip.	8
1.11	Microfotografía de resistores integrados en tecnología CMOS 1.2 μ m, (a) PDiff, (b) Poly II, (c) NDiff, (d) Poly I, respectivamente.	10
# de Tabla	Descripción	Página
1.1	Factores de Multiplicación utilizados para encontrar los valores Resistivos.	5
1.2	Características de resistor de alta resistencia.	6
1.3	Tabla representativa de materiales para la realización de resistores a nivel CI. Los valores área y resistividad están normalizados.	9



1.4	Relación de valores teóricos y experimentales del diseño de resistores a nivel circuito integrado. Solo los valores de resistencia están normalizados.	10
1.5	Contribución resistiva debida al alambrado y variaciones del proceso en resistores integrados. Los datos mostrados están normalizados.	10
1.6	Relación de geometrías para capacitor Poly-Poly integrado, con área normalizada.	11
1.7	Tabla representativa de la razón L_R/W_R , y área normalizada requerida de $4\text{ G}\Omega$, PDiff requiere la menor área. Obsérvese la relación L/W para el resistor, es un área enorme!	12

Capítulo 2 Conceptos Básicos

# de Figura	Descripción	Página
2.1	Equivalencia de un resistor con un capacitor conmutado. (a) Circuito con capacitor paralelo conmutado, (b) Equivalente resistivo.	16
2.2	Fases de Reloj no traslapadas para la red de SC.	17
2.3	Filtro RC en tiempo continuo.	19
2.4	Sustitución del resistor por red paralela de SC.	19
2.5	Simbología de interruptores con algunos transistores: (a) Símbolo, Interruptores ((b) NMOS, (c) PMOS, (d) TGCMOS del Ingles <u>T</u> ransmission <u>G</u> ate)).	20
2.6	Conductividad de interruptores, para geometría de $1.8\mu\text{m}$, con $V_{DD} = 5\text{ Volts}$, tomando como referencia parámetros de diseño para la tecnología CMOS de $1.2\mu\text{m}$	21
2.7	Conductividad de interruptores, para el caso donde $W_P = 3 W_N$. Con $V_{DD} = 5\text{ V}$.	22
2.8	Inyección de carga en un interruptor NMOS.	22
2.9	Magnitud de error debido a la inyección de carga presente en el arreglo de la Figura 1.8, para v_{in} de 5 V , $\phi_F = \gamma$ de 0.7 , y C_{load} variable, para diferentes geometrías.	24
2.10	Ilustración de parásitas asociadas al interruptor.	25
2.11	Forma de onda representativa del voltaje de control de interruptor.	25
2.12	Clock Feedthrough generado para una geometría W/L de $1.8\mu\text{m}/1.8\mu\text{m}$, para diferentes valores de C_1 , para una señal V_{in} de 5 V . Para la aplicación, la carga a considerar será de 5 pF .	26
2.13	Tipos básicos de Capacitores. (a) Poly II ó metal sobre capa una difundida altamente dopada, (b) Poly II ó metal sobre Poly I.	27
2.14	Características de capacitor doble-Poly, (b) Modelo equivalente de capacitor de Poly.	28



# de Tabla	Descripción	Página
2.1	Circuitos Básicos para emular resistores mediante redes SC.	17

Capítulo 3 Diseño y Simulación

# de Figura	Descripción	Página
3.1	Topologías simples SC (a) paralela, (b), serie, (c) serie-paralela, (d) bilinear, para la implementación de filtros de 1er orden. Los interruptores se diseñaron con transistores NMOS.	32
3.2	Comparación de respuestas en el dominio del tiempo de un filtro de 1er orden hecho con SC.	32
3.3	Grafica comparativa en el dominio del tiempo de respuestas de un filtro de 1er orden realizado con SC, con interruptores del tipo TGCMOS y C_L de 5 pF.	33
3.4	Estructura básica de Diseño con SC.	34
3.5	Filtro Pasa-Bajas del 3er orden RC y su contraparte con SC.	34
3.6	Grafico de Bode donde se denota la f_0 filtro de 3er orden RC, con y sin influencia de C_{VCO} , trazo azul, y trazo rojo, respectivamente.	35
3.7	Respuesta en Frecuencia del filtro con SC. Las transiciones corresponden a la f_s de los interruptores, la cual se repite en múltiplos enteros 1, 2,.. de f_s .	36
3.8	Comparación entre la frecuencia de corte del $H(s)$ y de $H(z)$.	36
3.9	Análisis espectral obtenido de Spice aplicando una señal senoidal de 1.5 Hz.	37
3.10	Respuesta del filtro para una señal de entrada cuadrada con amplitud de 5 V y un ancho de pulso del 50% en alto.	38
3.11	Análisis Montecarlo del filtro haciendo variar el valor de C y C_R un 10 % y los interruptores un 16 % de su valor nominal, respectivamente. Las geometrías de los interruptores son W y L de 1.8 μm	38
3.12	Circuito Generador de Fases no traslapadas.	39
3.13	Resultados de simulación para una señal de entrada ϕ con una frecuencia de 1000 Hz. Con una carga de 2 pF.	40
3.14	Anillos de guarda utilizados como protección de circuiteria sensible. Las impurezas del anillo en la región verde es del tipo p (Boro), y en anillo de la región café es del tipo n (Arsénico).	41
3.15	Layout de la celda con capacitares unitarios de 0.25pF. El layout se diseño en LEdit, la geometría total de la celda fue de 0.051 mm^2 .	42



3.16	Layout de Interruptores TGCMOS. Las conexiones inferiores pertenecen a los relojes, y las superiores corresponden a las señales a procesar y a las capacitancias C y C_R .	43
3.17	Layout de la celda DPLL ya incluidos el filtro y el PFD.	43
3.18	Diagrama a Bloques del DPLL. En el que se visualiza su funcionamiento por bloques.	44
3.19	Respuesta del filtro (a), VCO (b), y Contador/Divisor (c), respectivamente. Para el caso de estar conectados entre si.	45
3.20	Respuesta del filtro y del VCO. Para el caso cuando están conectados entre si.	46
# de Tabla	Descripción	Página
3.1	Relación de frecuencias de muestreo necesarias para implementar un valor resistivo de $7.96 \text{ G}\Omega$ mediante implementaciones de SC.	31

Apéndice A Transformación Bilineal.

# de Figura	Descripción	Página
A.1	La parte izquierda del plano s es mapeada dentro del círculo unitario, con el eje $j\omega$ mapeado en los límites del mismo en el dominio de z .	50
A.2	Cuando la f_0 de $H(z)$ es grande, existe una relación no lineal respecto a su correspondencia con $H(s)$, observándose una compresión en frecuencia.	50
A.3	Para pequeños valores de frecuencia en $H(s)$ y $H(z)$ el mapeo es casi lineal.	51
A.4	Respuesta en frecuencia del filtro con SC en el dominio de z , y la red RC en el dominio de s .	52



1

Antecedentes

1.1 Introducción

En el diseño de un DPLL [1], [2] como el que se muestra en la Figura 1.1(a), el filtro pasa-bajas (denotado comúnmente filtro de lazo) es el responsable de proporcionar un nivel de CD para excitar al VCO (Voltage Controlled Oscillator), con esto se permite que se realice un seguimiento a las señales de entrada o de referencia del DPLL. Este último es un sistema que se ha de agregar en un ASIC (Application Specific Integrated Circuit) encaminado a la adquisición de datos en tiempo real [3]. Asimismo este filtro ayuda a eliminar los armónicos que pudiesen estar presentes en la señal proveniente del detector de fase. Por consiguiente, se puede decir que el filtro es el medio del cual depende el DPLL para tener un buen funcionamiento [4], es decir, que cumpla con las especificaciones impuestas.

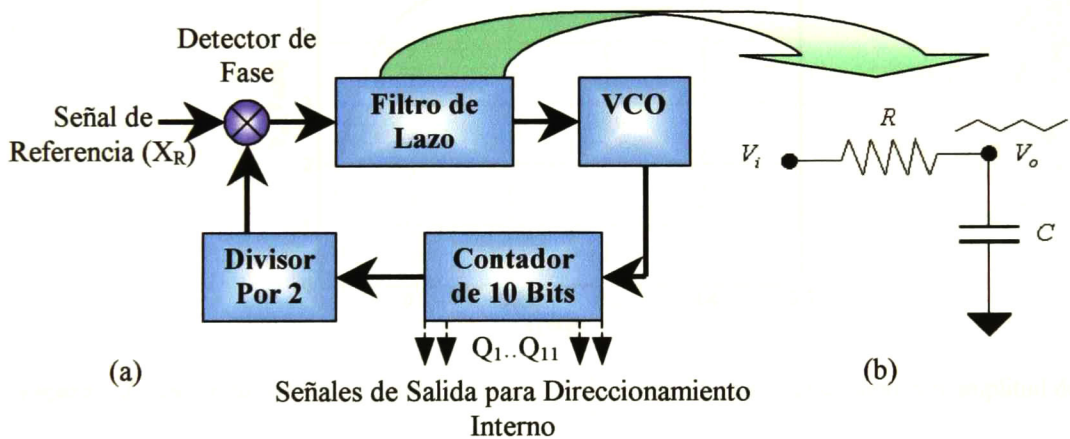


Figura 1.1 (a) Diagrama a Bloques del DPLL y (b) Circuito Eléctrico Equivalente del Filtro Pasa-bajas.

1.2 Necesidad del Filtro Pasa-Bajas

A excepción del filtro y el PFD (del Inglés Phase and Frequency Detector), los demás bloques ya fueron diseñados y caracterizados en [1]. Cabe mencionar que el PFD no está caracterizado pero ya se encuentra diseñado a nivel layout listo para su fabricación.

Para el bloque DPLL caracterizado en [1] los requerimientos para el filtro están relacionados con el diagrama de la Figura 1.1(a), donde se requiere un filtro pasa-bajas



(Figura 1.1(b)) que proporcione un filtrado con una frecuencia de corte de 4 Hz, de alta linealidad, y que tolere señales moduladas en ancho de pulso con amplitudes de hasta 5 V. La opción más simple para implementarlo es utilizar una red pasiva RC de primer orden, donde los valores del resistor y capacitor se determinan a partir de (1.1):

$$\frac{V_o(s)}{V_{in}(s)} = \frac{1/RC}{s + 1/RC} \quad (1.1)$$

La frecuencia de corte f_0 de 4 Hz se deduce del denominador mostrado en (1.1), donde el valor del polo está dado por $1/RC$. Por lo tanto, se deduce que para un valor capacitivo de 10 pF se requiere un resistor del orden de 4 GΩ.

Donde su respuesta en el dominio del tiempo para una señal de entrada del tipo escalón con amplitud 5 V, queda definido por $V_0 = -5 \times e^{-25t} + 5$ (suponiendo un voltaje inicial en el capacitor de 0 V en un $t = 0$).

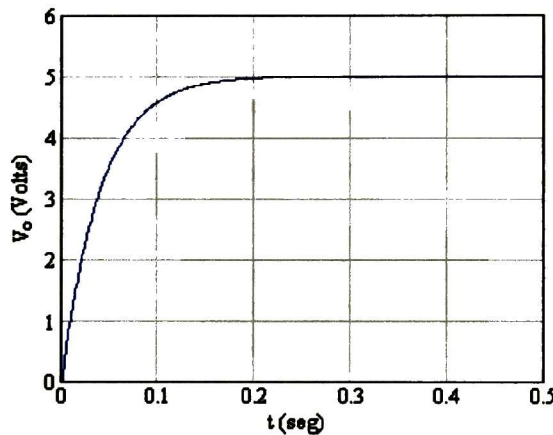


Figura 1.2 Respuesta total en el dominio del tiempo de la red RC, para un escalón con amplitud de 5 V.

Como se muestra en la Figura 1.2, el valor final es alcanzado en aproximadamente 5 veces la constante de tiempo RC. La trayectoria descrita de 0 hasta 5 veces RC es conocida como respuesta transitoria, donde, para tiempos mayores se dice que entra en su estado estable o permanente.

La señal a procesar por el filtro es cuadrada, la cual será generada por el detector de fase. Dicha señal se caracteriza por estar modulada en ancho de pulso, producido por la diferencia de fase y de frecuencia de la señal de referencia X_R y la proveniente del bloque divisor por 2. La señal X_R es de 100 Hz. Cuando el VCO es excitado con un voltaje de 2.7 V se genera la frecuencia libre de oscilación que corresponde a 204.8 kHz. La respuesta del filtro variará conforme al ancho del pulso, generando así una variación en la frecuencia del VCO.



Ahora, asumiendo que la frecuencia de 4 Hz equivale a tener una constante de tiempo de 40 ms. La señal X_R implica una duración del ancho de pulso de 10 ms. (suponiendo un ancho de pulso del 50%), por lo que la respuesta del filtro (ver Figura 1.3) no alcanzara su valor final de 5 V, ya que el tiempo de establecimiento requerido por éste filtro RC es mucho mayor, comparado con la duración del ancho de pulso en 5 V de la señal X_R (ver Figura 1.2).

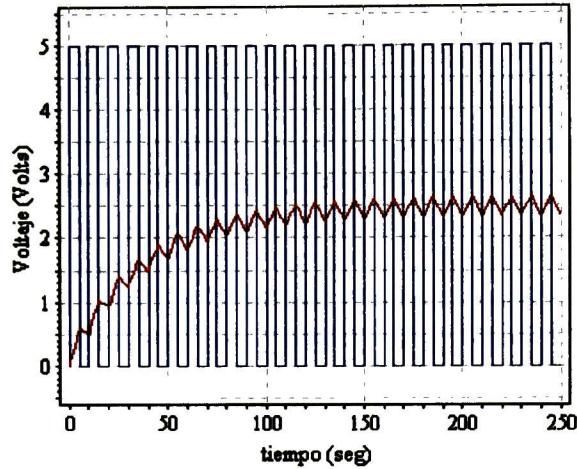


Figura 1.3 Respuesta del filtro RC para una X_R con el ancho de pulso del 50% en 0 y 5 V.

Como se muestra en la Figura 1.3, en la salida del filtro se genera el promedio de la señal X_R , esto debido a que el ancho de pulso en 5 V es del 50%, y en 0 V el restante 50%. Pero, si el ancho de pulso cambia, entonces la señal de filtrada tomará el valor promedio de la señal pulsante, como se muestra en la Figura 1.4.

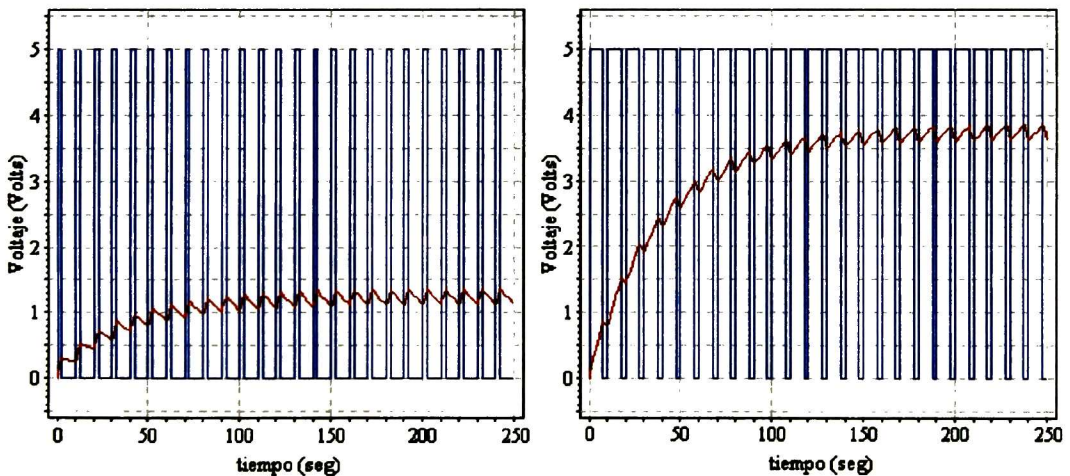


Figura 1.4 Respuesta del filtro para una X_R con el ancho de pulso en 5 V del 25% y 75%, respectivamente.



1.3 Características Deseadas

En la Figura 1.5(a) se visualiza la relación frecuencia de corte vs. V_{PP} (Voltaje pico a pico) generado a la salida del filtro, mientras que en la Figura 1.5(b) se muestra la respuesta del filtro suponiendo una señal con un ancho de pulso del 50%. De la cual se deduce que entre mayor es la frecuencia de corte, mayor será la magnitud de V_{PP} . Por lo tanto, la tendencia del error en la oscilación del VCO será mayor. Por cuestiones que serán explicadas a lo largo de este documento, se eligió una frecuencia de corte de 4 Hz. La forma común de implementar filtros pasa-bajas puede ser mediante el uso de componentes pasivos, de la cual, surgen dos opciones de realización: discreta, y completamente integrada.

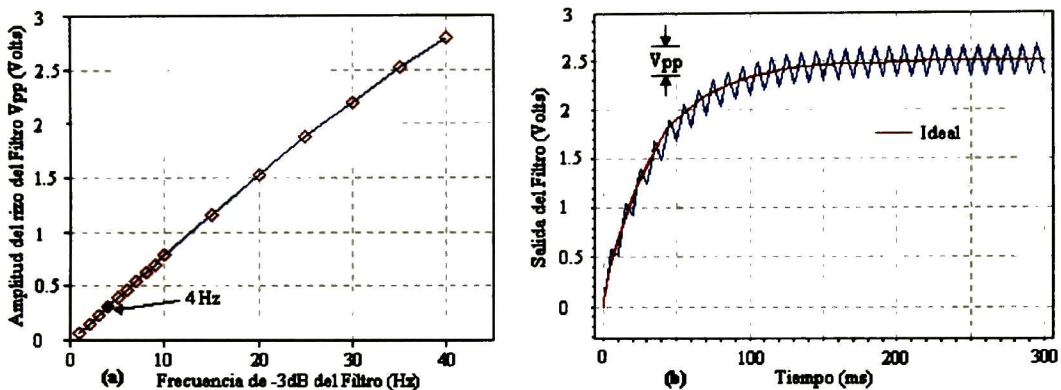


Figura 1.5 (a) Relación Frecuencia a -3 dB del filtro vs. Amplitud de rizo de la señal procesada, (b) Respuesta del filtro con anchura de pulso del 50%.

1.4 Implementación Pasiva del Filtro

1.4.1. Discreta

La manera tradicional de diseño del filtro, es aquella que utiliza componentes discretos, capacitores y resistores en este caso. El resistor es de un valor muy alto ($4 \text{ G}\Omega$), el cual es un valor no comercial, por lo tanto, es necesario hacer un nuevo análisis para encontrar valores apegados a los comercialmente disponibles. Por tal motivo se opta por un valor de capacitancia de 400 nF , para el cual se requiere entonces un resistor de $100 \text{ k}\Omega$.

Existen diversas clases de resistores pasivos, los cuales están clasificados de acuerdo a características especiales a su aplicación, de los que se pueden mencionar los siguientes [5], [6]:

- Resistores de composición.*
- Resistores de baja tolerancia.*
- Resistores especiales.*

Los resistores denominados de *composición* son aquellos que están compuestos de partículas de carbón y son de los más solicitados en la industria electrónica, debido a su amplia tolerancia (5%, 10%, 20%), (ver Figura 1.6).

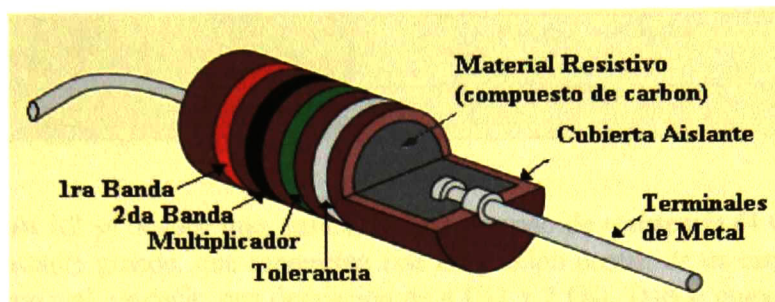


Figura 1.6 Resistor de composición

Tabla 1.1 Factores de multiplicación utilizados para encontrar valores resistivos.

Tolerancias	Números preferentes para bandas de colores.					
±5 %	10	15	22	33	47	68
	11	16	24	36	51	75
	12	18	27	39	56	82
	13	20	30	43	62	91
±10%	10	15	22	33	47	68
	12	18	27	39	56	85
±20%	10	15	22	33	47	68

Los valores de resistencia existentes en el mercado son mostrados en la Tabla 1.1, los cuales llegan a ser del orden de hasta 100 MΩ. Los de *baja tolerancia* son utilizados cuando se requiere poca variación del valor resistivo. Los hay de película de carbón, película metálica y devanados de alambre. Las tolerancias son de ±2 % y ±1%. Por lo tanto, sus valores son más exactos. Finalmente los resistores del tipo especial se clasifican como ultra precisos, de alto voltaje, y de gran resistencia (ver Figura 1.7 y Tabla 1.2). El circuito eléctrico equivalente de un resistor está definido como se muestra en la Figura 1.8.

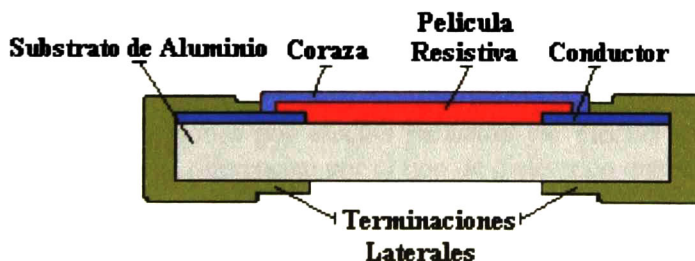


Figura 1.7 Corte longitudinal de un resistor de alta resistencia.



Tabla 1.2 Características de resistor de alta resistencia.

Tolerancia %		Rangos de Resistencia (Ω).
Símbolo	Tolerancia.	
K	$\pm 10\%$	$33 \times 10^6 \sim 128 \times 10^6$
M	$\pm 20\%$	$100 \times 10^6 \sim 680 \times 10^6$
N	$\pm 30\%$	
H	$\pm 50\%$	$1 \times 10^9 \sim 100 \times 10^9$

De la Tabla 1.2 se deduce que, para el valor requerido de resistencia ($4 \text{ G}\Omega$) existe una tolerancia bastante grande, que representa una fluctuación dentro de un rango de $\pm 2 \text{ G}\Omega$ en el valor nominal, es decir, una desviación de $4 \text{ G}\Omega \pm 2 \text{ G}\Omega$. Dando como resultado una imprecisión en el valor de la f_0 del filtro determinada.

En la Figura 1.8 se describe el circuito eléctrico equivalente del resistor, donde la impedancia queda definida por (1.2), de la que, R_{nom} es la resistencia nominal, y C_p es la capacitancia entre las terminales y los granos de carbón. [6].

$$Z_{\text{eq}} = \frac{R_{\text{nom}}}{\omega^2 \cdot R_{\text{nom}} \cdot C_p^2 + 1} - j \frac{\omega \cdot R_{\text{nom}}^2 \cdot C_p}{\omega^2 \cdot R_{\text{nom}} \cdot C_p^2 + 1} \quad (1.2)$$

Ésta última es de interés únicamente en aplicaciones de alta frecuencia, sin embargo, para la aplicación descrita en este documento, el valor de impedancia (1.2) queda reducido al valor de R_{nom} .

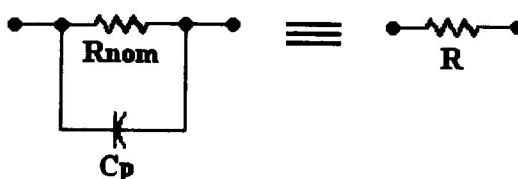


Figura 1.8 Circuito eléctrico equivalente del Resistor.

Por otro lado, para la selección del capacitor es necesario tomar en cuenta los siguientes factores: valor de capacitancia, tamaño físico, tolerancia o precisión, valor de Q (factor de calidad), variaciones por efectos parásitos y/o efectos ambientales, etc. En la práctica, los capacitores se diferencian por el tipo de dieléctrico que separa las placas que lo conforman.

En la Figura 1.9 se muestra el circuito eléctrico equivalente del capacitor estándar, donde se muestran los elementos parásitos que afectan su desempeño capacitivo. Aunque este modelo es radicalmente simple, es muy utilizado para modelar de manera precisa los capacitores montados superficialmente y comercialmente disponibles [7].

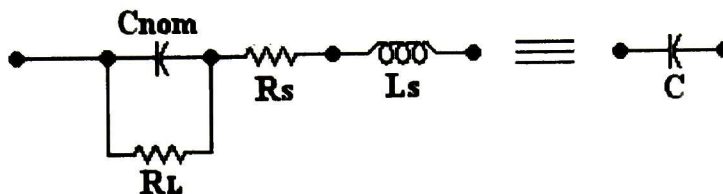


Figura 1.9 Circuito eléctrico equivalente del Capacitor.

Su impedancia está definida por (1.3), donde R_s representa las pérdidas del capacitor, L_s es la inductancia parásita ocasionada por las terminales, R_L la resistencia del encapsulado, y C_{nom} es la capacitancia nominal del dispositivo.

$$Z_{eq} = R_c + \frac{R_L}{\omega^2 \cdot C_{nom}^2 \cdot R_L + 1} - j\omega \left(\frac{R_L^2 \cdot C_{nom}}{\omega^2 \cdot C_{nom}^2 \cdot R_L + 1} - L_s \right) \quad (1.3)$$

Este resultado muestra que a bajas frecuencias denota un comportamiento cercano al ideal. Mientras que a medida que la frecuencia incrementa su valor, llega a un valor de frecuencia en el que la presencia de L_s es importante, ya que, el capacitor se aleja del desempeño capacitivo, y muestra entonces un comportamiento inductivo. Por lo tanto, a frecuencias bajas (4 Hz), el capacitor muestra pérdidas mínimas, por lo que, es posible decir que el comportamiento será puramente capacitivo.

Los dispositivos pasivos, son ampliamente utilizados en el diseño de los filtros de lazo en la gran mayoría de los DPLL, colocándolos de manera externa al chip, requiriendo del diseño de PCB (del Inglés Printed Circuit Board) adicional al demandado por el chip para su implementación.

Esto último se puede visualizar en el *set-up* mostrado en la Figura 1.10, donde el filtro y el PFD fueron implementados con dispositivos discretos [1], con la finalidad de cerrar el lazo y determinar los rangos de operación del bloque DPLL. Por lo tanto, hace de esta particularidad su principal desventaja.

Hoy en día, y debido al rápido avance de la tecnología de estado sólido, la tendencia de la miniaturización de diversos dispositivos y sistemas a nivel CI, es ya una necesidad. Por lo que se desea lograr una reducción importante de espacio y área ocupada por el sistema DPLL.

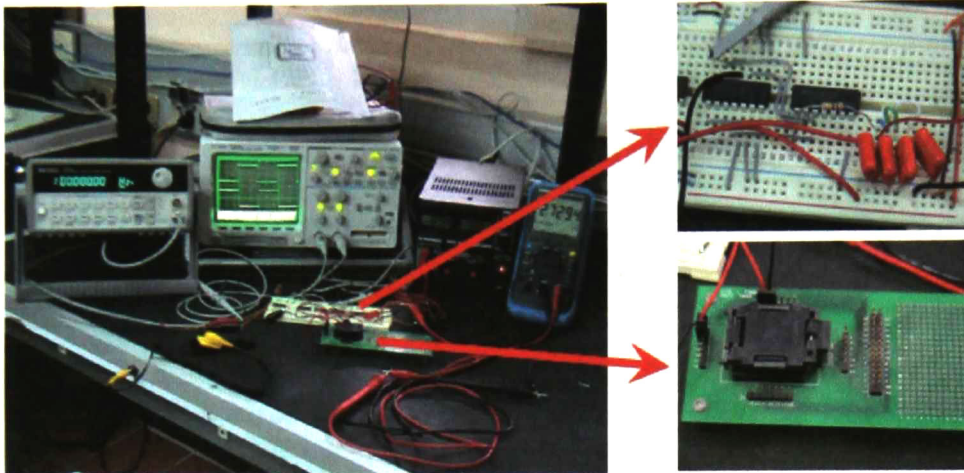


Figura 1.10 Set-up utilizado para la caracterización del bloque DPLL descrito en [1]. Donde el filtro y el PFD son realizados con componentes discretos, requiriendo de un espacio opcional al chip.

1.4.2 Completamente Integrada

Habitualmente en el diseño de dispositivos a nivel CI, el área de integración es un factor importante, ya que un dispositivo no debe ocupar la mayor parte del área total del chip. Esta restricción está ligada de manera directa con las especificaciones a cumplir en cualquier diseño, es decir, cada diseño podrá ser grande o pequeño dentro de un chip considerando el área disponible para implementar dicho dispositivo o bloque del sistema.

Retomando los valores resistivos y capacitivos, la implementación de un resistor a nivel CI puede llevarse a cabo utilizando diversos materiales como los que se muestran en la Tabla 1.3, donde, además, se muestra el área requerida para implementar el resistor de 100 k Ω .

El valor de resistencia está definido por (1.4), donde R es el valor del resistor a implementar, R_{CUADRO} es la resistencia por cuadro del material, L_R y W_R son la longitud y el ancho del material, respectivamente.

$$R = R_{\text{CUADRO}} \left(\frac{L_R}{W_R} \right) \quad (1.4)$$

Poly y Poly2 son obtenidos mediante el depósito de una película, la cual está aislada eléctricamente por Dióxido de Silicio (SiO_2), mientras que los demás materiales resistivos, son obtenidos impurificando el sustrato, y mantenidos eléctricamente aislados de él mediante una unión pn.



Tabla 1.3 Tabla representativa de materiales para la realización de resistores a nivel CI. Los valores área y resistividad están normalizados.

Materiales	Resistividad (Ω)	L_R/W_R	Área
Poly Resistor	1.17	10034	60.36
Poly2 Resistor	1	4672.6	70.8
N Diff Resistor	2.5	1869	28.31
P Diff Resistor	3.5	1333.3	20.2
N Well Resistor	70.6	66	1

En el diseño de resistores integrados el valor resistivo dista del valor calculado o esperado, debido a variaciones del proceso, y demás efectos parásitos ajenos al diseño del resistor. Por tal motivo es de vital importancia determinar de qué orden son los elementos parásitos que afectan el buen desempeño del resistor. De la Tabla 1.3, es posible deducir (1.5); donde R_E es el valor resistivo medido experimentalmente. Este valor incluye el valor propio del material utilizado para su fabricación, así como de sus contribuciones parásitas que afectan el valor resistivo teórico, como son; R_W que es la resistencia debida al alambrado; R_P ocasionada por las parásitas de las pistas metálicas del PAD; R_{PAD} es la contribución resistiva y es proporcional al área del PAD; R_{CON} es la resistencia de contacto; R_I es el valor ideal del resistor especificado por la tecnología utilizada para su fabricación y R_{PROC} , es la resistencia debida a la variación del proceso de diseño.

$$R_E = |R_I + R_W + R_P + R_{PAD} + R_{CON} + R_{PROC}| \quad (1.5)$$

El PAD comúnmente se construye de dos niveles metalización, los cuales tiene su propio valor resistivo [8]. Los PAD son utilizados como medios de interconexión con la circuitería externa, es decir, es por medio de ellos que el chip tiene comunicación con otros sistemas externos al circuito integrado. El tamaño típico de un PAD es de $100 \mu\text{m} \times 100 \mu\text{m}$.

Su contribución resistiva puede deducirse modificando (1.4) donde la R_{CUADRO} total estará definida por la suma de las resistencias por cuadro de cada uno de los materiales (Metal y Metal2) asumiendo que estos últimos tienen igual geometría. Su representación matemática queda definida por (1.6).

$$R_{PAD} = \left(R^{M1}_{CUADRO} + R^{M2}_{CUADRO} \right) \frac{L_R}{W_R} \quad (1.6)$$

En la Tabla 1.4 se muestran los valores de resistividad teórica, así como también los valores de resistividad experimental, obtenidos de la caracterización de resistores implementados en tecnología CMOS $1.2 \mu\text{m}$, al mismo tiempo se proporciona el valor de la resistencia parásita debida a las pistas conductoras que afecta el valor resistivo.



Tabla 1.4 Relación de valores teóricos y experimentales del diseño de resistores a nivel circuito integrado. Solo los valores de resistencia están normalizados.

Mat-eriales	Resistencia teórica (Ω)	Resistencia Experimental (Ω)	Resistencia parásita (Ω)	Resistencia de contacto (Ω)	L_R/W_R
Poly I	1.17	1.21	1	1.04	20
Poly 2	1	1	1.38	1	20
N Diff	2.43	2.7	1.45	1	19.48
P Diff	3.45	3.9	1.82	1.21	19.68

De acuerdo a datos de la Tabla 1.4, el material que proporciona una mejor estimación de la resistencia teórica respecto a la experimental es Poly2. Por lo cual, es buena opción para diseñar resistores cuando el área de integración no es un problema, o cuando el valor resistivo a implementar es pequeño ($\approx 1 \text{ k}\Omega$).

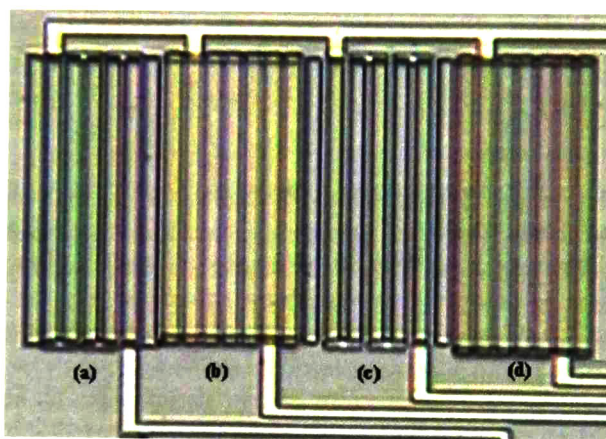


Fig. 1.11 Microfotografía de resistores integrados en tecnología CMOS 1.2 μm , (a) PDiff, (b) Poly II, (c) NDiff, (d) Poly I, respectivamente.

Las contribuciones resistivas debidas al alambrado y al proceso de fabricación son mostradas en la Tabla 1.5. Los cuales se deducen tomando como referencia los datos almacenados en la Tabla 1.4. Por lo general, la resistencia R_W es muy pequeña comparada con las demás contribuciones resistivas.

Tabla 1.5 Contribución resistiva debida al alambrado y variaciones del proceso en resistores integrados. Los datos mostrados están normalizados.

Materiales	Contribución Resistiva ($R_W + R_{\text{PROC}}$) (Ω).
Poly Resistor	1
Poly2 Resistor	1.53
N Diff Resistor	2.24
P Diff Resistor	4.54



Dichas contribuciones llegan a ser importantes cuando los valores resistivos implementados son pequeños, provocando una alteración al valor deseado.

Considerando el área ocupada por el resistor, se tiene que, para la implementación del capacitor a nivel CI, se debe tener presente el orden de la capacitancia, ya que los capacitores monolíticos son del orden de los picofaradios (pF). Para ordenes superiores se tiene que el área requerida sería demasiado grande, es decir, es práctica común utilizarlos de manera externa el circuito integrado [9].

La mayoría de los capacitores diseñados en CI están compuestos por dos placas paralelas, las cuales están separadas por un dieléctrico (SiO_2). El valor de capacitancia C para un capacitor de este tipo es calculada mediante

$$C = C_{\text{OX}} \cdot (W_C \cdot L_C) \quad (1.7)$$

donde $C_{\text{OX}} = \epsilon_{\text{OX}}/T_{\text{OX}} = 110.932 \text{ nF/cm}^2$ W_C y L_C son en ancho y el largo de la placa superior, C_{OX} es la capacitancia por unidad de área de la que ϵ_{OX} representa la permitividad del dióxido de silicio y T_{OX} el grosor del oxido existente entre las placas paralelas, respectivamente.

En tecnología CMOS, el polisilicio (comúnmente llamado Poly) es uno de los materiales más utilizados para fabricar capacitores. La placa inferior es poly1, mientras que la placa superior es poly2. Para un capacitor de 400 nF a nivel CI, inicialmente se debe obtener un estimado del área requerida empleando (1.7). Como se muestra en la Tabla 1.6, a medida que el valor de capacitancia se incrementa, la razón W_C/L_C llega a ser grande, por lo que, el capacitor se vuelve imposible de implementar. Como consecuencia, es elemental hacer uso de un orden de capacitancia mucho más pequeño que 400 nF, para que pueda ser implementado en un CI. Optando así por un valor de capacitancia de 10 pF (ver Tabla 1.6).

Tabla 1.6 Relación de geometrías para capacitor poly-poly integrado, con área normalizada.

Capacitancia (nF)	L_C/W_C	Área
400	40064916.6	40020.08
10	1001614.3	1005.50
0.100	10016.1	10
0.010	1001.6	1

El área requerida es considerablemente reducida. Ahora bien, recordando que es necesario que el filtro tenga una frecuencia de corte de 4 Hz., esta restricción hace necesario modificar el valor del resistor (anteriormente de 100 k Ω) utilizando (1). Tomando como referencia el valor de capacitancia seleccionado, se tiene que el resistor requerido es de 4 G Ω . En la Tabla 1.7 se muestra la estimación de área ocupada por el nuevo valor resistivo dado por (1.4).



Tabla 1.7 Tabla representativa de la razón L_R/W_R y área normalizada requerida de $4\text{ G}\Omega$. *Pdiff* requiere la menor área. Obsérvese la relación L/W para el resistor, es un área enorme!

Materiales	L_R/W_R	Área
Poly	159362549.6	2.98
Poly2	186915887.6	3.5
N Dic	74766355	1.4
P Dic	5333333.3	1

Por tal motivo se deduce que existe un compromiso entre el valor del resistor y el valor del capacitor que puedan ser integrable, ya que para esta aplicación, cuando uno de ellos es integrable, el otro se ve imposibilitado de integración.

Por consiguiente, el diseño del filtro pasa-bajas RC en forma pasiva no puede ser llevado a nivel CI como tal. Optándose así, por la búsqueda de diversas técnicas de filtrado que además de cumplir con las especificaciones impuestas en el diseño, tengan la cualidad de ser completamente integrables a nivel CI.

Estas limitaciones hacen prudente la consideración de diseños alternos para su implementación. Tal es el caso de los filtros activos, en los cuales al usar elementos tales como transistores MOS u OPAMP's, combinados con resistores y capacitores, ejecutan las funciones de filtrado requeridas. Con lo cual se espera que además de cumplir con los requerimientos antes descritos, el área requerida por ellos sea menor.



Referencias

- [1] “Diseño y Fabricación de Bloques Básicos para la Construcción de un DPLL”. Tesis de Maestría, Montoya-Suárez, CINVESTAV Unidad GDL, Octubre 2002.
- [2] “Diseño, Simulación y Caracterización de un DPLL”, E. Montoya-Suárez, Juan Santana-Corte, Federico Sandoval-Ibarra. IEEE CAS Tour Latinoamericano 2002 Tonantzintla, Puebla, México.
- [3] “Design of an ASIC core for DSP based real time data acquisition”, Ian A. Grout and Abdulhussain E. Mahdi, 5th World Multi-Conference on Systemics, Cybernetics and Informatics (SCI 2001), Orlando, Florida, USA, July 22nd-25th, 2001.
- [4] “CMOS Circuit Design, Layout, and Simulation“, R. Jacob Baker, Harry W. Li David E. Boyce, IEEE Press, Series of Microelectronics Systems, 1998.
- [5] “Electrónica Práctica, Tomo 1”, McGraw-Hill, 1988.
- [6] “Passive Electronic Component Handbook”, Charles A. Harper, McGraw-Hill, Junio, 1997.
- [7] “SPICE Practical Device Modeling”, Ron M. Kielkowski, McGraw-Hill, Inc., 1995.
- [8] “The Art of Analog Layout”, Alan Hastings, Prentice Hall, 2001.
- [9] “VLSI Design Techniques for Analog and Digital Circuits”, Randall L. Geiger, Phillip E. Allen, Noel R. Strader, McGraw-Hill, Series Electrical Engineering, 1989.



2 Conceptos Básicos

2.1 Introducción

Generalmente, todo sistema electrónico hace uso de filtros analógicos, aun cuando en la actualidad, la circuitería digital ha ganado terreno debido a la pequeña área requerida por sus sistemas, además de su gran rango dinámico, bajo costo y eficiente desempeño, haciendo con ésto que los procesadores digitales de señales (DSP, del Inglés Digital Signal Processing) sean muy atractivos para su implementación. Sin embargo, estos DPS's tienen que interactuar con el mundo analógico. Por tal motivo, interfaces del tipo analógico-digital y filtros de alto rango dinámico son indispensables.

Dichas restricciones de área son de vital importancia en el diseño de filtros pasabajas a muy baja frecuencia (del orden de los Hz), cuya implementación puede ser del tipo LR o RC. Donde los resistores forman parte de ambas redes. Repercutiendo grandemente su uso a muy baja frecuencia, ya que llegan a ser de un valor exageradamente grande a nivel CI ($G\Omega$), implicando con esto, un área de integración excesivamente grande [1].

Por tal motivo, es necesario incurrir en el campo de los dispositivos activos. Los cuales, usualmente ofrecen una reducción en requerimientos de área, a expensas de incrementar la no-linealidad y/o limitar el *swing* (excursión) de la respuesta, y en ocasiones de la compleja circuitería de polarización requerida por ellos [2].

Esta importancia hace que su desarrollo a nivel monolítico esté progresando enormemente desde los últimos años, generando un gran número de técnicas y propuestas por parte de investigadores, además de la cantidad de manufactureras de semiconductores, todos dedicados al desarrollo de filtros completamente integrados, tales como: Maxim, Burr-Brown y Linear Technology por mencionar algunas.

En tecnología CMOS, las técnicas de diseño de filtros analógicos pueden ser divididas en dos grandes técnicas: la primera denominada técnica en tiempo discreto, y la segunda conocida como técnica en tiempo continuo. La primera, toma muestra de la señal a procesar produciendo una salida válida al final de cada periodo de muestreo. De aquí surgen dos plataformas de diseño: Filtros SC (del Inglés Switched Capacitors) y Filtros SI (del Inglés Switched Current). La segunda técnica es conocida comúnmente como técnica en tiempo continuo debido a que las características de las señales de entrada y de salida son continuas. A esta categoría pertenecen los filtros activos RC, MOSFET-C, y OTA-C.

Para este trabajo de tesis donde los requerimientos de señal a procesar son del orden de hasta 5 V [1, 3], se tiene que la mejor opción es la de capacitores conmutados, ya que las



demás técnicas de diseño exhiben limitantes que tiene que ver con el correcto procesamiento de la señal. Un ejemplo de ello es la no-linealidad presente en las aproximaciones en tiempo continuo restringiendo su procesamiento a una excursión máxima del orden de los mV, por lo que llegan a ser mayormente utilizadas en aplicaciones médicas [4]. Por otro lado, se presenta la dificultad en el diseño de los resistores y los transistores MOS, debido a la geometría tan grande que llegan a tomar, las cuales en algunos casos son irrealizables en tecnología CMOS estándar.

En el presente capítulo se hace una descripción del principio de funcionamiento de los SC, y de las diferentes topologías básicas existentes para su implementación, así también se hace hincapié en las principales propiedades de la aproximación, y las no idealidades presentes en cada uno de los dispositivos que forma la red SC.

2.2 Principio de funcionamiento

El método SC no es algo nuevo ya que fue empleado por primera vez por James Clark Maxwell en 1873 [5], en su discusión sobre la equivalente resistiva de un capacitor conmutado de forma periódica. Desde entonces, diversos métodos fueron propuestos, los cuales retomaron el uso de interruptores y capacitores simulando el comportamiento de un resistor. La clave de su desarrollo y que lo llevó a una rápida evolución fue por el año 1972, el año en el que la tecnología permitió que los conceptos desarrollados podían aplicarse en tecnología MOS, lo que hizo posible la construcción de filtros con capacitores conmutados de manera monolítica. Esta realización fue seguida por un rápido desarrollo e implementación de técnicas de procesamiento de señales analógicas en tecnología CMOS. Hoy en día existe una gran diversidad de circuitos diseñados por medio de redes SC, por lo que son encontrados en una gran diversidad de productos, dentro de los cuales están incluidos los productos de Telecomunicación (Filtros Pasa-Bajas para PCM, y pasa-bandas para los MODEMS).

Haciendo hincapié en la dificultad de la implementación de resistores integrados, como el visto en la Figura 1.1(b), donde el orden del resistor a integrar llega a ser del orden de los $G\Omega$ e imposible de fabricar monolíticamente, se tiene que al hacer uso de los conceptos básicos de SC, los cuales dicen que es posible emular el comportamiento del resistor por medio de una red simple SC, y con ello prescindir de la implementación del resistor como tal.

Para comprender el principio de funcionamiento de la red SC, se toma como punto de partida el circuito mostrado en la Figura 2.1 (a), donde V_1 y V_2 son fuentes de voltaje de CD. Ahora, bajo la perspectiva de almacenamiento de carga y recordando que la carga en un capacitor Q_x , es generada por el producto del valor de la capacitancia C_x y de la diferencia de voltaje al cual está sometido, se tiene que:

$$Q_x = C_x V_x \quad (2.1)$$



Ahora, asumiendo que ϕ_1 y ϕ_2 son un par de señales cuyas fases son no traslapadas, es decir, cuando S_1 está activado (ϕ_1 está en alto), S_2 está desactivado (ϕ_2 está en bajo) y viceversa, como las mostradas en la figura 2.2. Durante la primera fase de reloj, C_1 será cargado a un potencial V_1 , luego cuando S_2 está activado, se tendrá una carga acumulada lista para ser transferida. Dicha carga queda definida por el intercambio de carga ΔQ entre el nodo V_1 y V_2 (en Coulombs) en cada periodo de reloj, pudiendo ser representado por:

$$\Delta Q = C_1(V_1 - V_2) \quad (2.2)$$

Ésta última, puede también redefinirse como una diferencia de cargas $Q_1 - Q_2 = C_1(V_1 - V_2)$.

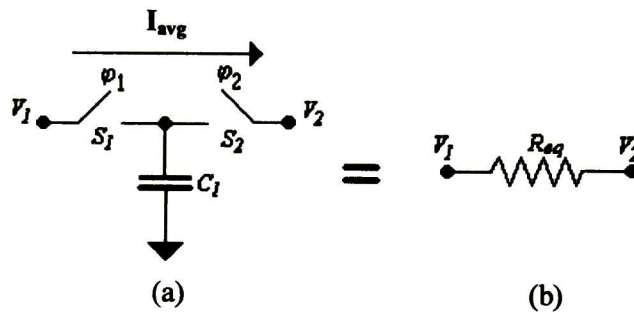


Figura 2.1 Equivalencia de un resistor con un capacitor conmutado. (a) Circuito con capacitor paralelo conmutado, (b) Equivalente Resistivo.

Ahora bien, ya que este intercambio de cargas ocurrirá de manera periódica durante cada ciclo de reloj T , es posible reproducir su equivalencia en corriente promedio debido principalmente a su comportamiento quasi-constante (ver EC. 2.3), donde la carga está definida como el flujo de corriente por unidad de tiempo.

$$I_{avg} T = C_1(V_1 - V_2) \quad (2.3)$$

De esta última se deriva una expresión cuyo valor resistivo R_{eq} queda definido por la razón del periodo de conmutación (T) y el capacitor (C_1):

$$R_{eq} = \frac{T}{C_1} = \frac{1}{C_1 f_s} \quad (2.4)$$

Esta última expresión es muy intuitiva, ya que a medida que la frecuencia de reloj es incrementada, la carga es transferida a una velocidad más rápida, haciendo que la corriente promedio sea alta. Por otro lado, Si el valor capacitivo de C_1 es incrementado, una gran

cantidad de carga es transferida en cada periodo, la cual debe también incrementar la corriente promedio. En resumen, incrementar la corriente promedio, es equivalente a disminuir el valor resistivo equivalente visto entre los dos nodos de voltaje, así también, la resistencia equivalente es inversamente proporcional al producto de la capacitancia y la frecuencia de reloj [6].

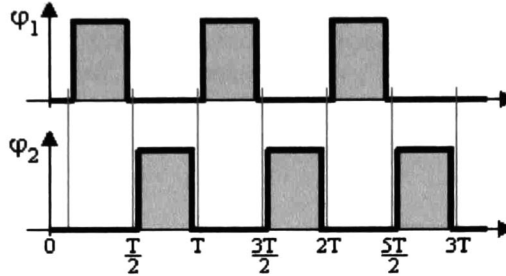


Figura 2.2 Fases de Reloj no traslapadas para la red de SC.

Tabla 2.1 Circuitos Básicos para emular resistores mediante redes de SC.

Circuito Emulador de Resistor con SC	Diagrama esquemático	Resistencia Equivalente R_{eq}
Paralelo		$\frac{T}{C_1}$
Serie		$\frac{T}{C_1}$
Serie-Paralelo		$\frac{T}{(C_1 + C_2)}$
Bilineal		$\frac{T}{4C_1}$



En la Tabla 2.1, se muestran las topologías básicas SC, que emulan el comportamiento de un resistor, donde se observa que la topología serie presenta un comportamiento similar respecto a la paralela, con excepción de las redes serie-paralelo y la Bilineal, ya que el valor resistivo obtenido con ellas es menor en comparación con las anteriores, aún cuando sus redes tienen más elementos de red.

Todas las topologías presentan una restricción muy importante, la cual se vuelve una regla de diseño en el caso donde los resistores serán sustituidos de manera directa por cualquiera de sus configuraciones. Esta restricción es llamada *aproximación de muestreo alto*, la cual dice que: la frecuencia de muestreo f_s o de conmutación de los interruptores debe ser mucho mayor que la máxima frecuencia a procesar, cumpliendo así con el criterio de muestreo de Nyquist [2, 8].

2.3 Precisión de circuitos con SC

Sin importar el dominio en el que se trabaje (frecuencia o tiempo), la precisión de un circuito analógico de procesamiento está directamente relacionada con la precisión de las constantes de tiempo del circuito.

Una de las principales ventajas de la metodología SC es su precisión. Para ver esta característica solo basta realizar una simple comparación del producto R_1C_2 involucrado en un filtro pasa-bajas de primer orden como el que se muestra en la Figura 2.3. Donde su producto define la constante de tiempo τ

$$\tau = R_1C_2 \quad (2.5)$$

La dependencia de la precisión de τ sobre R_1 y C_2 queda definida como:

$$\frac{d\tau}{\tau} = \frac{dR_1}{R_1} + \frac{dC_2}{C_2} \quad (2.6)$$

donde, dx/x define la precisión de x , siendo x R_1 o C_2 . En el peor caso la precisión de τ será la suma de las precisiones absolutas de R_1 y C_2 , la cual será muy pobre (del orden de $\pm 20\%$) para el caso donde R_1 y C_2 son implementados en tecnología MOS estándar [2, 5]. Teniendo como principal dependencia, el tipo de los componentes utilizados en su implementación y su tamaño físico. Dicha precisión no es suficientemente buena para aplicaciones de procesamiento de señales.

Pero si el resistor R_1 es reemplazado por una red SC paralela que contiene C_1 como el capacitor conmutado (ver Figura 2.4), donde el valor resistivo está definido por (2.4), entonces la constante de tiempo τ' estará descrita por:

$$\tau' = T \frac{C_2}{C_1} \quad (2.7)$$

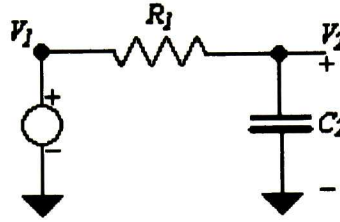


Figura 2.3 Filtro RC en tiempo continuo

En esta ecuación el producto RC es reemplazado por el producto de una razón de capacitancias y el periodo de muestreo. Por lo que, la precisión puede ser definida a través de:

$$\frac{d\tau'}{\tau'} = \frac{dT}{T} + \frac{dC_2}{C_2} - \frac{dC_1}{C_1} \quad (2.8)$$

En la que la precisión total depende de la diferencia de precisiones de las dos capacitancias y del periodo de conmutación. Haciendo que el error sea disminuido. Ahora, asumiendo que la frecuencia de reloj (f_s) será constante, entonces (2.8) queda reducida a:

$$\frac{d\tau'}{\tau'} \cong \frac{dC_2}{C_2} - \frac{dC_1}{C_1} \quad (2.9)$$

donde es claro que la precisión será buena, dando como resultado que las variaciones en la frecuencia de corte del filtro no sean tan importantes, pudiendo así tener un control más adecuado de ella.

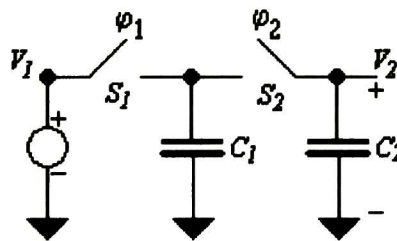


Figura 2.4 Sustitución del resistor por red paralela de SC.

Para ejemplificar lo anterior, se tiene que la precisión relativa de dos capacitores fabricados en tecnología CMOS estándar, en un mismo circuito integrado puede ser muy buena, generándose una precisión tan pequeña como 0.1% [9]. Lo cual representa una mejora respecto al definido por (2.7), es por ello que es uno de los factores de mayor importancia que contribuyen al éxito en la implementación de filtros SC en tecnología CMOS [2, 5].



2.4 No idealidades

Hoy en día, es práctica común la implementación de interruptores mediante el uso de transistores MOS. Estas dejan mucho que desear, ya que presentan efectos parásitos que afectan su correcto desempeño. De los que sobresalen: la inyección de carga, y el clock feedthrough. De igual forma ocurre con los capacitores, con la existencia de efectos parásitos que perturban su desempeño.

2.4.1 Interruptores

Los principales requerimientos que deben cumplir los interruptores en SC, están relacionados con la presencia de una resistencia muy alta cuando está en estado apagado (OFF), presentando una pequeña carga de fuga. De manera análoga, una resistencia muy baja cuando está en estado encendido (ON), reduciendo la magnitud de voltaje de offset introducido cuando está en estado ON.

La simbología del interruptor implementado con un transistor MOS se muestra en las Figuras 2.5. Para los casos (a), (b), y (c) se tiene que el rango de señal que pueden procesar es reducido. Para ejemplificar esta reducción se hace uso de un transistor del tipo n (ideal) como interruptor (ver Figura 2.5 (b)), el cual es utilizado en un circuito con alimentaciones de 0-5 V y un voltaje de umbral $V_{TH}=0.8$ V. El interruptor estará en estado OFF cuando el voltaje de compuerta sea menor a V_{TH} (para este caso los efectos presentes en estado subumbral no son tomados en cuenta), no obstante, cuando el interruptor está en estado ON su voltaje de compuerta será 5 V, por lo que, el interruptor solamente puede procesar voltajes V_1 y/o V_2 que sean menores que $(V_{DD} - V_{TH})$ alrededor de 4.2 V. Este principio es también aplicable en el caso de utilizar un transistor del tipo p (ver Figura 2.5 (c)), excepto que su señal a procesar será del rango de 1-5 V.

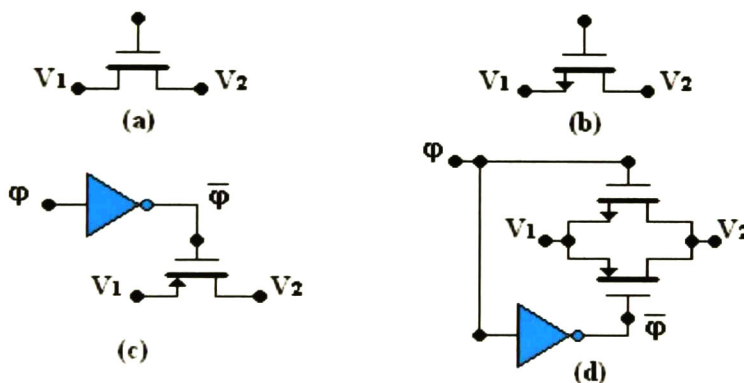


Figura 2.5 Simbología de interruptores con transistores: (a) Simbología de los Interruptores: ((b) NMOS, (c) PMOS, (d) TGCMOS (del Inglés Transmission Gate)).



Una mejora en el desempeño de los interruptores puede ser obtenida a través de la Figura 2.5 (d), la cual permite pasar de un estado lógico alto a un nivel lógico bajo, sin la presencia de la caída de voltaje debida a V_{TH} . Para todos casos, la señal ϕ corresponde a una señal con dos niveles lógicos que concierne al máximo y mínimo de las fuentes de alimentación. Por convención, cuando la señal de reloj ϕ está en alto el transistor NMOS estará en estado ON, y OFF cuando esté en bajo y viceversa para el caso del transistor PMOS.

En la Figura 2.6 se muestran los valores de la transconductancia en pequeña señal presente en los interruptores MOS, donde g_{DSn} , g_{DSp} , y $g_{DS_{tot}}$ de las Figuras 2.5(b), (c) y (d) representan la conductividad de los interruptores n, p y TG, respectivamente. $g_{DS_{tot}}$ nunca llega a un valor de conductancia cero, manteniéndose en estado encendido para el rango de voltajes V_{in} de hasta 5 V, mientras que g_{DSp} , y g_{DSn} pasan a un estado de conductancia cero cuando la magnitud de la señal se aproxima a 1.2 y 4 V respectivamente.

De la Figura 2.6, la topología TGCMOS presenta una conductancia del orden de 0.6×10^{-4} S, es por ello, que para los casos donde se desea procesar señales con magnitudes de hasta V_{DD} , es factible recurrir a ella [10].

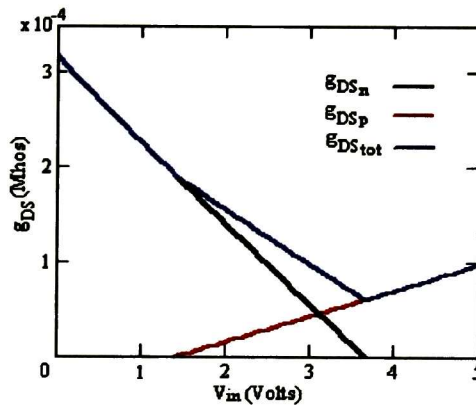


Figura 2.6 Conductividad de interruptores, para geometría de $1.8 \mu\text{m}$, con $V_{DD} = 5$ V, tomando como referencia parámetros de diseño para la tecnología CMOS $1.2 \mu\text{m}$.

La ecuación que rige el comportamiento del MOS como interruptor, es la mostrada en (2.10), la cual hace referencia a la región óhmica del dispositivo.

$$R_{ON} = \frac{1}{g_{DS}} = \frac{L}{\mu_n C_{OX} W (V_{GS} - V_{TH} - V_{DS})} \quad (2.10)$$

donde: μ_n es la movilidad de los portadores de carga.
 C_{OX} es la capacitancia del óxido.
 W y L son el ancho y largo del interruptor.
 V_{GS} describe al potencial de compuerta-fuente.



V_{TH} especifica al voltaje de umbral.
 V_{DS} define el voltaje de drenaje-fuente.

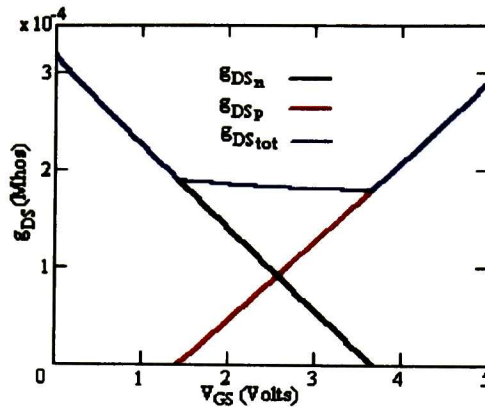


Figura 2.7 Conductividad de interruptores, para el caso donde $W_P = 3W_N$. Con $V_{DD} = 5$ V.

Como se muestra en la Figura 2.7, El uso de interruptores con geometrías distintas en los transistores NMOS y PMOS puede compensar el valor de la conductancia, reduciéndola hasta un 33%. Disminuyendo de esta manera la caída de tensión a través del interruptor TGMOS. No obstante, este aumento en la W del PMOS se traduce en un aumento del clock feedthrough, lo cual es nocivo en este tipo de diseños [11]. Un análisis más completo acerca de este fenómeno es analizado en secciones posteriores.

2.4.1.1 Inyección de carga

Ésta es debida principalmente a la cantidad finita de portadores móviles que son almacenados en el canal formado bajo el óxido de compuerta del transistor MOS [12]. Para comprender mejor este efecto, se hará hincapié en la Figura 2.8.

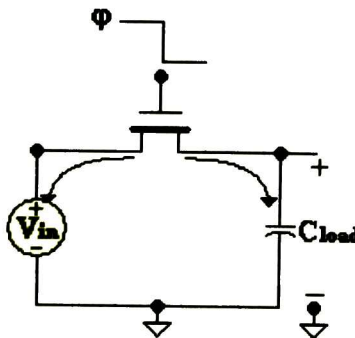


Figura 2.8 Inyección de carga en un interruptor NMOS.



Cuando el interruptor está en estado ON y el V_{DS} es pequeño, la carga resultante en el canal está definida por:

$$Q_{ch} = C_{OX}(V_{GS} - V(y)) \quad (2.11)$$

donde, $V(y)$ es el voltaje a una distancia y de la terminal *source* del MOS.

Cuando el MOS entra en su estado OFF se presenta un efecto de inyección de carga hacia las terminales de *Source* y *Drain*. La carga inyectada a través de la terminal *Source* no crea error ya que la fuente V_{in} será una fuente de baja impedancia, pero la carga inyectada a través de *Drain* es almacenada en C_{load} . Introduciendo un error en el voltaje almacenado.

Aunque este mecanismo es algo complejo, es necesario minimizar estos efectos. Diversos estudios han llevado a caracterizar y minimizar este efecto [13], en los que se demuestra que, cuando la señal de reloj va a un estado OFF de manera lenta, la carga almacenada en el canal se distribuye de forma equitativa entre los dos nodos adyacentes. De esta manera, el 50% de la carga del canal es almacenada en C_{load} . Pudiéndose simplificar (2.11) como la carga por unidad de área del canal invertido de la siguiente manera:

$$Q'_I = C_{OX}(V_{GS} - V_{TH}) \quad (2.12)$$

donde la carga total en el canal debe ser multiplicada por el área del canal, quedando lo siguiente:

$$Q_I = C_{OX} \cdot W \cdot L \cdot (V_{GS} - V_{TH}) \quad (2.13)$$

Por lo tanto, para el caso de un NMOS, la carga en voltaje a través de C_{load} queda descrita por:

$$\Delta V_{load} = -\frac{C_{OX} \cdot W \cdot L \cdot (V_{GS} - V_{TH})}{2 \cdot C_{load}} \quad (2.14)$$

la cual puede ser redefinida tomando en cuenta la señal de entrada v_{in} de la siguiente manera:

$$\Delta V_{load} = -\frac{C_{OX} \cdot W \cdot L \cdot (V_{DD} - v_{in} - V_{TH})}{2 \cdot C_{load}} \quad (2.15)$$

Ahora, se asume que las excursiones de la señal de reloj van de V_{DD} a V_{SS} , y sustituyendo V_{TH} en (2.15), se tiene que:

$$\Delta V_{load} = - \frac{C_{OX} \cdot W \cdot L \cdot (V_{DD} - v_{in} - [V_{TH} + \gamma \cdot (\sqrt{2 \cdot \phi_F} + v_{in} - V_{SS} - \sqrt{2 \cdot \phi_F})])}{2 \cdot C_{load}} \quad (2.16)$$

donde manteniendo una L y W constantes de valor mínimo, C_{load} se vuelve el parámetro importante, ya que entre más pequeño es, mayor es la influencia del voltaje inducido, como se puede ver en la Figura 2.9.

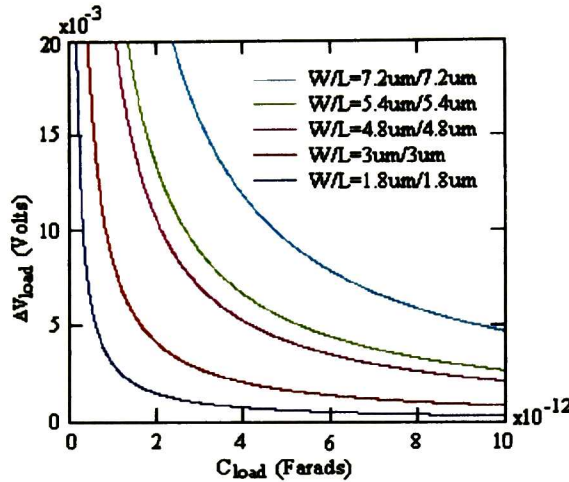


Figura 2.9 Magnitud de error debido a la inyección de carga presente en el arreglo de la Figura 1.8, para v_{in} de 5 V, $\phi_F = \gamma$ de 0.7, y C_{load} variable, para diferentes geometrías.

En Figura 2.9 se muestra que los problemas asociados con la inyección de carga para diversos valores de C_{load} , son del tipo no lineal respecto a v_{in} . Así también, la inyección de carga está ligada y es dependiente de la señal a procesar. No obstante, para este trabajo de tesis el orden de inyección de carga es despreciable, ya que las señales a procesar son de 5 V, es decir, para el caso de una capacitancia de 0.25 pF, el nivel alcanzado por la inyección de carga es de un 0.24% respecto a la señal de entrada.

2.4.1.2 Clock Feedthrough

Una de las limitaciones más serias de los interruptores usados en circuitos con SC es el debido al clock Feedthrough, el cual ocurre entre la señal de control del interruptor y las demás terminales. Dicho acoplo es realizado a través de las capacitancias parásitas existentes en el transistor MOS comúnmente conocidas como C_{GS} , y C_{GD} . Estas últimas son mostradas en la figura 2.10. Ahora bien, ya que la señal de reloj aplicada en la compuerta debe realizar transiciones grandes, esta señal puede fácilmente acoplarse a V_{CI} por medio de las terminales de *Source* y *Drain*.

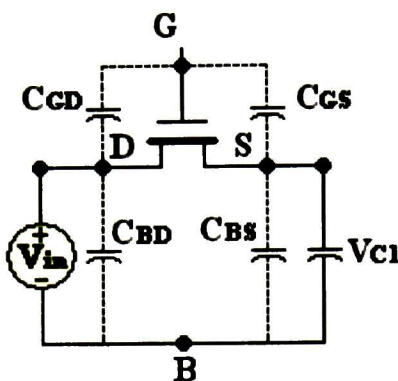


Figura 2.10 Ilustración de parásitas asociadas con el interruptor.

Los efectos de este fenómeno pueden ser observados siguiendo la secuencia de eventos que acontecen cuando la señal de control está en nivel alto, como se muestra en la Figura 2.11. Para ilustrar lo anterior se asume que C_{GS} y C_{GD} tienen valores de 2 fF y $C_1 = 1$ pF, con $V_{in} = 5$ V y, $V_{C1} = 0$. Ahora, siguiendo la convención que el potencial más bajo determina la terminal de *Source* de un transistor MOS, la terminal de fuente deberá estar conectada en el capacitor de carga.

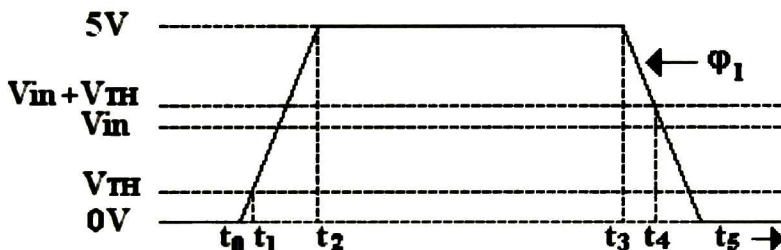


Figura 2.11 Forma de onda representativa del voltaje de control de interruptor.

Durante el intervalo de tiempo t_0 a t_1 , el interruptor está en estado OFF y el reloj es introducido a través de C_{GS} y C_{GD} , donde el efecto clock feedthrough vía C_{GD} no tendrá efecto alguno en la fuente de entrada V_{in} . Sin embargo, el clock feedthrough vía C_{GS} cambiará el potencial a través de C_1 . Ahora, asumiendo que el interruptor va a su estado ON en t_1 y conecta C_1 a V_{in} , cualquier Clock Feedthrough presente no tiene efecto alguno, debido al voltaje de la fuente V_{in} que está conectado a C_1 . El problema está presente cuando el interruptor vuelve al estado OFF. Por lo que, en el intervalo de tiempo (t_3-t_4) el interruptor es mantenido en estado ON, por consiguiente, cualquier Clock Feedthrough no cambiará el voltaje en C_1 . Sin embargo, en el intervalo t_4-t_5 , el interruptor entra al estado OFF, y el clock feedthrough se hace presente, ocasionando que el voltaje a través de C_1 se vea disminuido por debajo de V_{in} . Dicho clock feedthrough es aproximadamente ΔV_{C1} , el cual está definido por (2.17) [2].



$$\Delta V_{Cl} = \left(\frac{C_{GS}}{C_1 + C_{GS}} \right) (V_{in} - V_{TH}) \approx 0.002 \cdot V_{in} \quad (2.17)$$

En la figura 2.12 se muestra que la magnitud del offset representada por (2.17) es dependiente tanto del nivel de V_{in} como del valor de C_1 , así también es dependiente de la configuración de los interruptores, sus geometrías, y por ende, del tamaño de las capacitancias involucradas en el diseño.

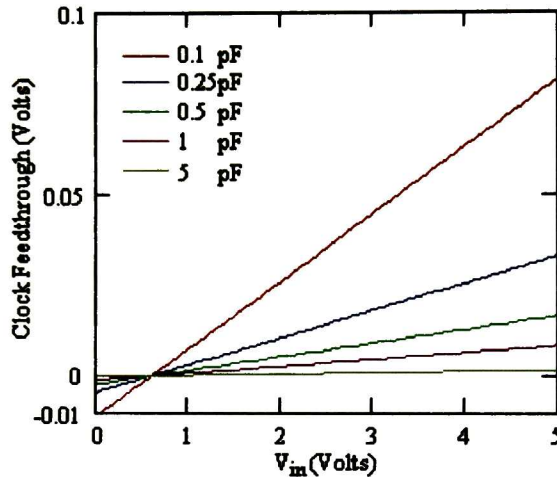


Figura 2.12 Clock Feedthrough generado para una geometría W/L de $1.8 \mu\text{m}/1.8 \mu\text{m}$, para diferentes valores de C_1 , para una señal V_{in} de 5 V. Para la aplicación, la carga a considerar será de 5 pF.

La forma más simple de eliminar algunos de los problemas presentes en los interruptores de un único transistor, es utilizando el interruptor TGCMOS mostrado en la Figura 2.5(d), la cual se utilizará en este trabajo. Cabe mencionar que no es la única opción para la minimización de este efecto, existen diversas configuraciones con transistores *dummy*, que colocados en las trayectorias de las señales de interés minimizan este perjudicial efecto [2, 7, 8].

2.4.2 Capacitores

En sistemas de filtrado con SC, los capacitores monolíticos MOS son ampliamente utilizados como bloque de diseño. Pueden clasificarse dependiendo de los materiales utilizados para su implementación. En el primer grupo están los capacitores formados sobre silicio cristalino altamente dopado, como se muestra en la Figura 2.13(a). El segundo grupo está conformado por los capacitores fabricados sobre silicio policristalino (Poly), como se muestra en la Figura 2.13(b).

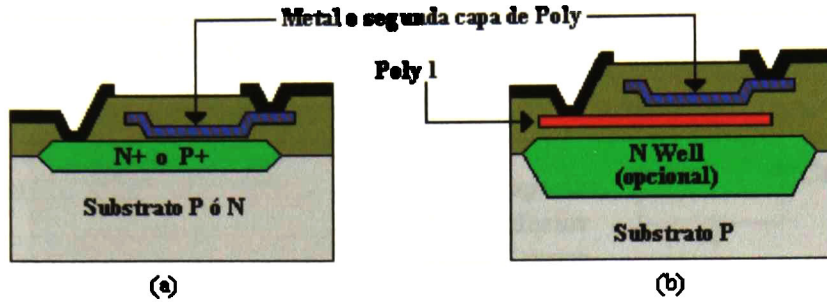


Figura 2.13 Tipos básicos de Capacitores. (a) Poly II o metal sobre capa una difundida altamente dopada, (b) Poly II o metal sobre Poly I.

Comúnmente el capacitor compuesto de material difundido no es muy utilizado como capacitor de precisión, ya que exhibe una considerable variación en el grosor del material difundido, provocando un pobre acoplamiento y efectos indeseables carga-voltaje.

Idealmente, el valor del capacitor monolítico está determinado por (2.18), donde la desviación estándar de su valor para el caso en el cual las variables involucradas sean estadísticamente independientes entre ellas, queda descrita por 2.19, donde generalmente, para la mayoría de los capacitores $(\delta W/W) \cong (\delta L/L)$, cuando $W \cong L$.

$$C = \frac{\epsilon_{OX}}{t_{OX}} \cdot W \cdot L \quad (2.18)$$

Aquí ϵ_{OX} es la permitividad del óxido que separa las regiones que conforman al capacitor, y t_{OX} es el grosor de dicho óxido.

$$\sigma_C = \left[\left(\frac{\delta \epsilon_{OX}}{\epsilon_{OX}} \right)^2 + \left(\frac{\delta t_{OX}}{t_{OX}} \right)^2 + \left(\frac{\delta W}{W} \right)^2 + \left(\frac{\delta L}{L} \right)^2 \right] \quad (2.19)$$

Los problemas básicos involucrados en el diseño de razones de capacitancias precisas hacen relación a (2.19). De la que, los errores asociados con el tercer y cuarto término son llamados *efectos de borde*.

Para el caso de capacitancias grandes, los efectos del óxido son dominantes, mientras que para las capacitancias pequeñas, los efectos de borde usualmente establecen la razón de la precisión [14]. Dentro de los tipos de capacitores utilizados para su implementación con SC están los formados de dos placas paralelas, ya sean de metal o Poly ya que tales capacitores presentan un comportamiento relativamente constante respecto a las señales de voltaje a procesar.

Visto lo anterior se tiene que, para realizar una capacitancia monolítica altamente lineal es necesario utilizar dos capas de polisilicio (capacitores de doble-Poly), como el que se muestra en la Figura 2.14 (a).

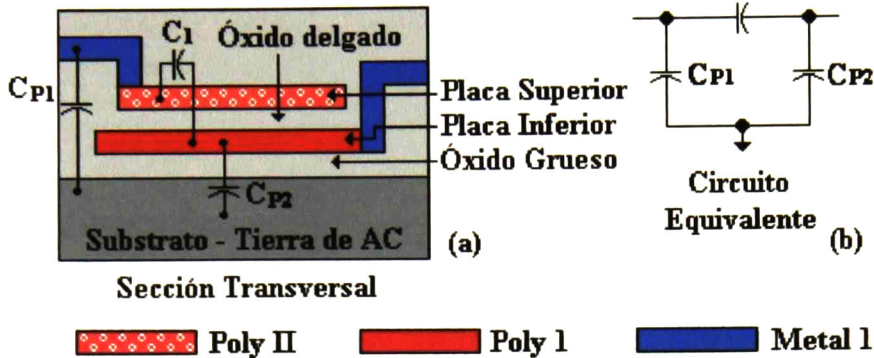


Figura 2.14 (a) Características de Capacitor doble-poly, (b) Modelo equivalente de capacitor de Poly

Mientras que la película de óxido delgado, sirve como aislante entre las capas conductoras, el óxido grueso es una capa aislante que sirve para separar la placa inferior del sustrato. La capacitancia deseada, C_1 , queda definida por la geometría de Poly2. Sin embargo, ya que el sustrato debajo del Poly1 es una tierra de CA (el sustrato está conectado a una tierra analógica o de la fuente de alimentación), existe también una capacitancia parásita C_{p2} , la cual es aproximadamente el 20% de C_1 . Esta capacitancia parásita es conocida como “de placa inferior”. Además, se tiene la influencia de una capacitancia de la placa superior, C_{p1} , dada principalmente por la interconexión de capacitancias, pero típicamente es mucho más pequeña (del orden del 1 al 5% de C_1). Por lo que, el modelo equivalente del capacitor de doble-Poly queda definido por tres capacitores como se muestran en la Figura 2.14 (b).

Visto lo anterior, se tiene que la mayor parte de los factores que alteran la precisión de los capacitores, tienen que ver con los procesos de fabricación, por lo que es práctica común hacer uso de arreglos de capacitores unitarios, los cuales mediante interconexiones entre ellos realizan el valor de capacitancia requerido, generando con ello un mejor acoplamiento. De esta manera, factores como efectos de borde que dan lugar a una variación en la capacitancia son minimizados, asimismo los problemas ocasionados por el crecimiento no uniforme del óxido entre placas, por lo que es necesario realizar centroide común en los arreglos de capacitores, para minimizar dichos efectos [15].

A manera de resumen, se indican las consideraciones que se aplicarán para diseñar:

1. Para los *interruptores*, se selecciona la topología TGCMOS debido su desempeño y los requerimientos de procesamiento de señales de hasta 5 V.



2. Los *capacitores* se diseñan en base a un valor de capacitancia unitario y configurándolos en centroide común se evitarán problemas de desacoplo entre ellos así como las variaciones del óxido, buscando siempre la optimización de área.



Referencias

- [1] "Diseño y Fabricación de Bloques Básicos para la Construcción de un DPLL", Tesis de Maestría, E. Montoya-Suárez, CINVESTAV Unidad GDL, Octubre 2002.
- [2] "VLSI Design Techniques for Analog and Digital Circuits", Randall L. Geiger, Phillip E. Allen, Noel R. Strader, McGraw-Hill Series Electrical Engineering. 1989.
- [3] "Design of an ASIC core for DSP based real time data acquisition", Ian A. Grout and Abdulhussain E. Mahdi. 5th World Multi-Conference on Systemics, Cybernetics, and Informatics (SCI 2001), Orlando, Florida, USA, July 22nd-25th 2001.
- [4] "A 60-dB Dynamic-Range CMOS Sixth-Order 2.4-Hz Low-Pass Filters for Medical Applications", Sergio Solís-Bustos, José Silva-Martínez, Franco Maloberti, and Edgar Sánchez Sinencio, , IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 47, No. 12, December 2000.
- [5] "CMOS Analog Circuit Design", P. E. Allen and D. R. Holberg, Holt, Rinehart and Winston, 1987.
- [6] "Analog Integrated Circuit Design", David A. Johns, Ken Martin, John Wiley & Sons, Inc., 1997.
- [7] "CMOS Circuit Design, Layout and Simulation", R. Jacob Baker, Harry W. Li, David E. Boyce. IEEE Press, 1998.
- [8] "Analog MOS Integrated Circuits for Signal Processing", Gabor C. Temes, R. Gregorian, Wiley Series on Filters, 1986.
- [9] "Potential of MOS Technologies for Analog Integrated Circuits", David A. Hodges, Paul R. Gray, Robert W. Brodersen, IEEE Journal Of Solid-Sate Circuits, Vol. SC-13, No. 3, June 1978.
- [10] "Design of Analog CMOS Integrated Circuits", Behzad Razavi, McGraw-Hill, 2001.
- [11] "Switched-Opamp: An Approach to Realize Full CMOS Switched Capacitor Circuits at Very Low Power Supply Voltages", Jan Crols and Michiel Steyaert, IEEE Journal Of Solid-State Circuits, Vol. 29, No. 8, August 1994.
- [12] "Measurement and Analysis of Charge Injection in MOS Analog Switches", Je-Hurn Shieh, Mahesh Patil, Bing J. Sheu, IEEE Journal of Solid-State Circuits, No.2, April 1987.
- [13] "Switch-Induced Error Voltage on a Switched Capacitor", Bing J. Sheu, Chenming Hu, IEEE J. Of Solid-State Circuits, VOL SC-19, No. 4, August 1984.
- [14] "Technological Design Considerations for Monolithic MOS Switched-Capacitor Filtering Systems", David J. Allstot, William C. Black, JR., Proceedings of the IEEE, Vol. 71, No. 8, August 1983.
- [15] "Diseño de un Convertidor Algorítmico", Tesis de Maestría, José de Jesús Macias Quijas, CINVESTAV Unidad GDL, Junio 2002.



3 Diseño Y Simulación.

3.1 Introducción

Como se describió en el capítulo 1, la implementación pasiva de un filtro monolítico Pasa-Bajas a muy baja frecuencia puede llegar a ocupar un área considerablemente grande, imposible de fabricar en tecnología CMOS estándar, por lo que se concluyó que la mejor opción es la aproximación con SC, la cual por medio de capacitores e interruptores controlados por un reloj, simulan el comportamiento de un resistor. Por lo cual es posible implementar el resistor de alto valor (del orden de los $G\Omega$), haciendo también factible la implementación del capacitor monolíticamente.

Como punto inicial en el diseño del filtro Pasa-Bajas monolítico, se tomaron los resultados de simulación y caracterización expuestos en [1], donde los principales parámetros de mayor interés son: la amplitud de la señal a procesar y la frecuencia de corte del filtro. En el presente capítulo se hace una revisión del comportamiento de las topologías de diseño con SC más utilizadas, para luego realizar la selección de la topología que presente el mejor desempeño para la aplicación.

3.2 Selección de Topología de Diseño

Tomando como referencia las topologías de la Tabla 2.1, se diseñaron filtros Pasa-Bajas de primer orden con una f_0 de 4 Hz. Donde los valores de $C_1 = C_2 = C$, C_L , capacitancia de conmutación y carga son: 0.125 y 5 pF, respectivamente. Cabe señalar que, para generar una f_0 de 4 Hz, con una C_L de 5 pF, un resistor de 7.96 $G\Omega$ es necesario (Filtro RC de primer orden). Ya definidos los valores de capacitancia, y sabiendo que ω_0 está dado por $1/RC$, se efectuó la sustitución de las ecuaciones que describen a R_{eq} (ver Tabla 2.1). Para luego, mediante procesos algebraicos encontrar los valores de f_s necesarios para emular una resistencia de 7.96 $G\Omega$. Como se muestra en la Tabla 3.1.

Tabla 3.1 Relación de frecuencias de conmutación necesarias para la implementación de un valor resistivo de 7.96 $G\Omega$ mediante implementaciones de SC.

Topología	Paralelo f_s (Hz)	Serie f_s (Hz)	Serie-Paralelo f_s (Hz)	Bilineal f_s (Hz)
f_0 (Hz)	$\left[\omega_0 \frac{C_L}{C_s} \right]$	$\left[\omega_0 \frac{C_L}{C_s} \right]$	$\left[\omega_0 \frac{C_L}{2C_s} \right]$	$\left[\omega_0 \frac{C_L}{4C_s} \right]$
4	1005	1005	502	250



De ésta última, es claro que para las topologías serie-paralelo y bilineal es necesario un incremento en f_s , ya que las señales a procesar son de 100 Hz [1], asegurando de esta manera que los errores de repetición de señales no estén presentes en la banda de paso del filtro. Un incremento de f_s implica un C_s de menor capacidad, o lo que es lo mismo un C_L más grande para un valor f_0 de 4 Hz. Este compromiso puede aclararse definiendo el valor de capacitancia mínima realizable por la tecnología CMOS, acotando el problema solamente en la elección de la f_s .

En la Figura 3.1 se muestran filtros de primer orden con las topologías de SC, a los cuales se les aplicó una señal cuadrada de 100 Hz, con amplitud de 5 V, con un ancho de pulso del 50%.

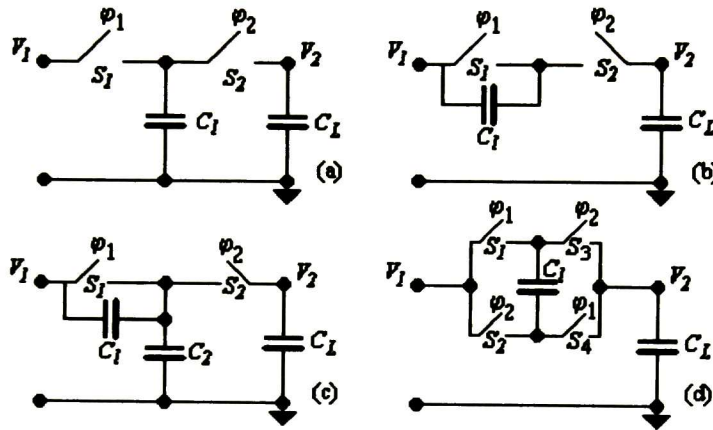


Figura 3.1 Topologías simples de SC: (a) paralela, (b), serie, (c) serie-paralela, (d) bilineal, para la implementación de filtros de primer orden. Los interruptores se diseñaron con transistores NMOS.

En la Figura 3.2 se muestran las respuestas en SPICE de cada una de las topologías de la Figura 3.1, con las f_s obtenidas en la Tabla 3.1.

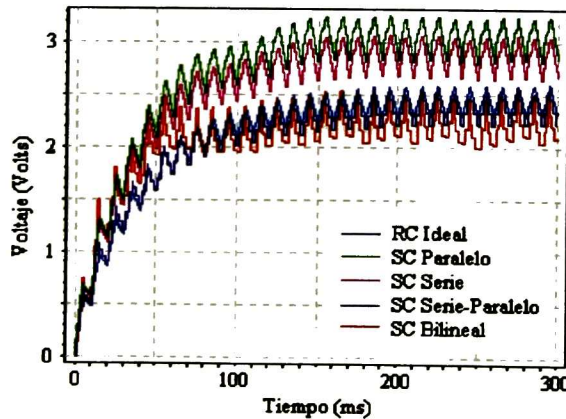


Figura 3.2 Comparación de respuestas en el dominio del tiempo de filtros SC de primer orden.



Como primera aproximación, se esperaría que los filtros implementados entreguen un promedio de la señal a procesar, es decir, 2.5 V (suponiendo que el ancho del pulso es del 50%). Pero como se observa en la Figura 3.2, el desempeño de las topologías simples no es adecuado. Cabe mencionar, que los problemas se hacen mayores cuando el ancho del pulso se incrementa. Esto ocasionado, esencialmente, por el comportamiento que exhiben los transistores NMOS cuando la señal a procesar se aproxima al valor de $(V_{dd}-V_{th})$ (aproximadamente 4 V, ver Figura 2.6), ya que el transistor pasa de un estado ON (baja resistencia) a un OFF (de alta resistencia), por lo que es imposible procesar dichas señales [2].

Visto lo anterior, se implementaron los interruptores TGCMOS, mostrando una mejora respecto al valor ideal buscado, como se muestra en la Figura 3.3.

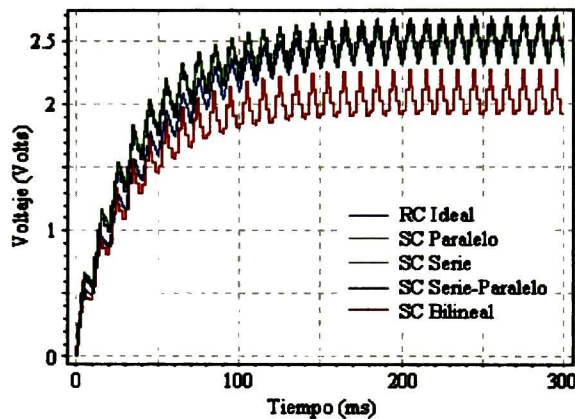


Figura 3.3 Gráfica comparativa en el dominio del tiempo de respuestas de un filtro de primer orden realizado con SC, con interruptores del tipo TGCMOS, y C_L de 5 pF.

El utilizar topologías TGCMOS representa incrementar en un 50% el número de transistores para cada red y al mismo tiempo, la incorporación de inversores adicionales para controlar los transistores complementarios, pero debido a los beneficios que brindan, el compromiso lo vale [5].

Para realizar la sustitución directa de los resistores por redes SC, se deben cumplir las siguientes condiciones:

1. $C_{load} \gg C_s$, para asegurar que la razón que involucra a la constante de tiempo sea mayor o igual a 20.
2. f_s debe ser mucho mayor a la máxima frecuencia a procesar y por ende de la f_0 del filtro.

Estas condiciones son descritas en la estructura básica utilizada en el diseño de redes con SC, la que se muestra en la Figura 3.4.

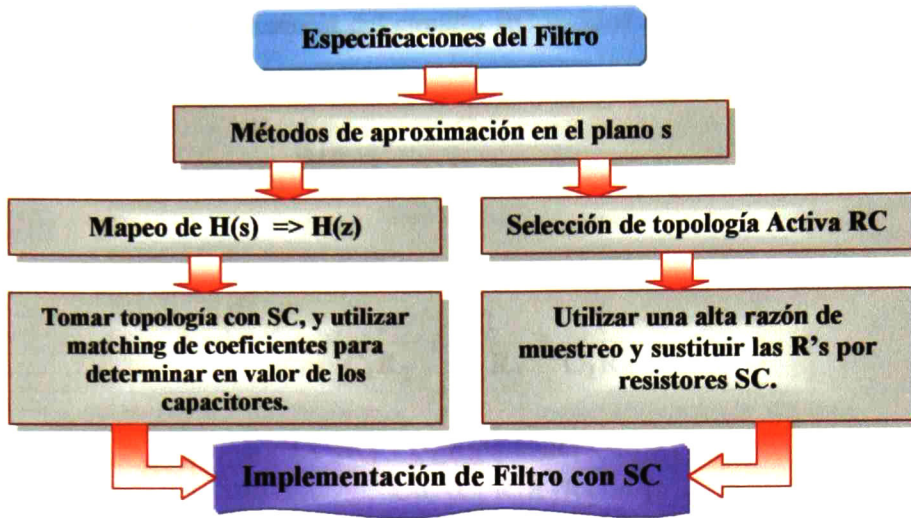


Figura 3.4 Estructura básica de Diseño con SC.

3.3 Diseño del Filtro

Dado lo sencillo del diseño, es posible incrementar el orden del filtro propuesto anteriormente con el propósito de minimizar, por un lado la amplitud del rizo de salida, y por otro la f_0 del filtro (ver Figura 1.3). Por lo que se propone una red del tipo escalera RC de tercer orden, en la que respetando las consideraciones de diseño de SC, es posible realizar la sustitución directa de los resistores por la aproximación paralela de SC, con interruptores TGCMOS, quedando como se muestra en la Figura 3.5.

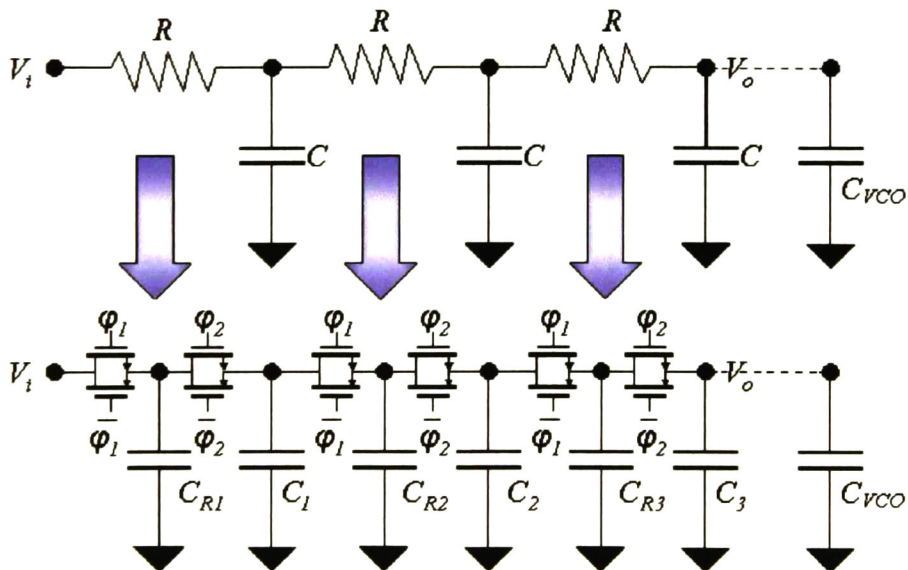


Figura 3.5 Filtro Pasa-Bajas de tercer orden RC y su contraparte con SC.



La función de transferencia del circuito RC tomando en cuenta C_{VCO} , está definida por:

$$\frac{V_o}{V_{in}}(s) = \frac{C}{s^3 + As^2 + Bs + C} \quad (3.1)$$

donde

$$A = \left(\frac{1}{C_1 R_1} + \frac{1}{C_1 R_2} + \frac{1}{C_L R_3} + \frac{1}{C_2 R_2} + \frac{1}{C_2 R_3} \right)$$

$$B = \left(\frac{C_2 R_2 + C_2 R_3 + C_L R_2 + C_2 R_1 + C_L R_1 + C_L R_1}{C_1 C_2 C_L R_1 R_2 R_3} \right)$$

$$C = \left(\frac{1}{R_1 R_2 R_3 C_1 C_2 C_L} \right)$$

$C_L = C_3 + C_{VCO}$ (C_{VCO} es la impedancia que verá el filtro, la cual es del orden de 1.2 pF [1]), y $R = T/C_R = R_1 = R_3 = R_3$. Para este caso, se optó por una $C_R = C_{R1} = C_{R2} = C_{R3}$ de 0.25 pF para una razón de capacitancia C/C_R de 20, requiriendo así un valor de capacitancia $C = C_1 = C_2 = C_3$ de 5 pF. Por lo que en el caso de analizar únicamente la red del filtro RC (sin C_{VCO}) la f_0 del filtro será 1.5 Hz. Ahora, introduciendo C_{VCO} como una carga adicional vista a la entrada del VCO, se tiene que el valor de f_0 se ve disminuido a 1.3 Hz, como se muestra en la Figura 3.6. Si bien es cierto que esto afecta el valor de f_0 del filtro, también es cierto que no representa un cambio significativo en el potencial en CD a proporcionar al VCO, reflejándose únicamente como un retraso adicional en el tiempo de respuesta del filtro.

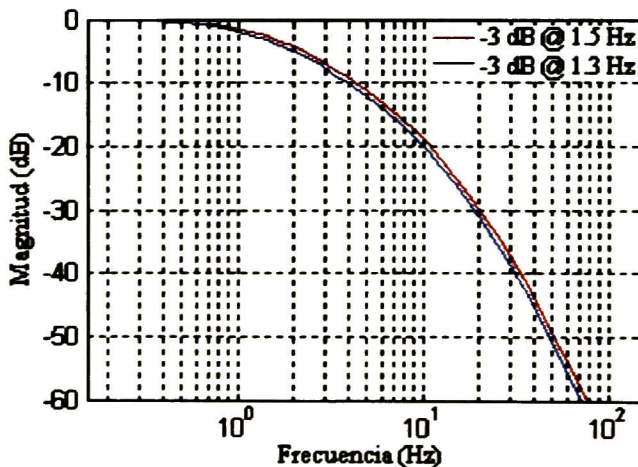


Figura 3.6 Gráfico de Bode donde se denota la f_0 del filtro RC de tercer orden, con y sin influencia de C_{VCO} , trazo azul y trazo rojo, respectivamente.



En la Figura 3.7 se muestra la respuesta en frecuencia del filtro con SC realizada en APLAC 7.8 (Student Version). Éste último permite efectuar análisis en frecuencia de redes con SC, mientras que la versión de Spice utilizada en este trabajo no lo permite. Aún cuando los interruptores son vistos de forma ideal, da una buena perspectiva respecto a la esperada (ver Figura 3.6 y 3.7).

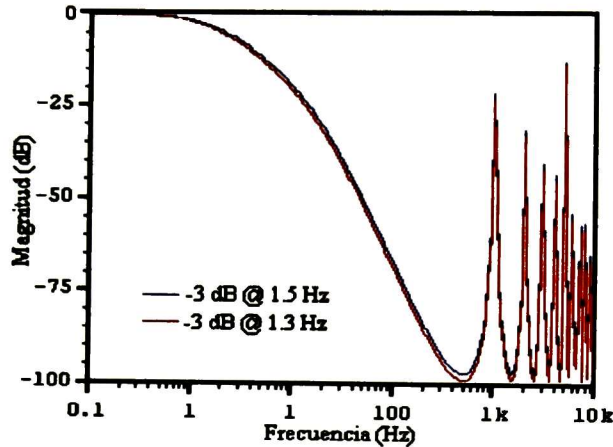


Figura 3.7 Respuesta en Frecuencia del filtro con SC. Las transiciones corresponden a la f_s de los interruptores la cual se repite en múltiplos enteros de f_s .

Comúnmente, cuando se parte de una red en el dominio de Laplace (s) y ésta se lleva a su realización con SC, es práctica común trasladarlo al dominio z . Para esto, es necesario hacer uso de la transformación bilineal. En la mayoría de los casos, dicha transformación suele introducir una distorsión en frecuencia (ver apéndice A).

Sustituyendo los valores de resistencia y de capacitancia, y aplicando la transformación bilineal, se obtiene la función de transferencia $H(z)$ descrita por (3.2).

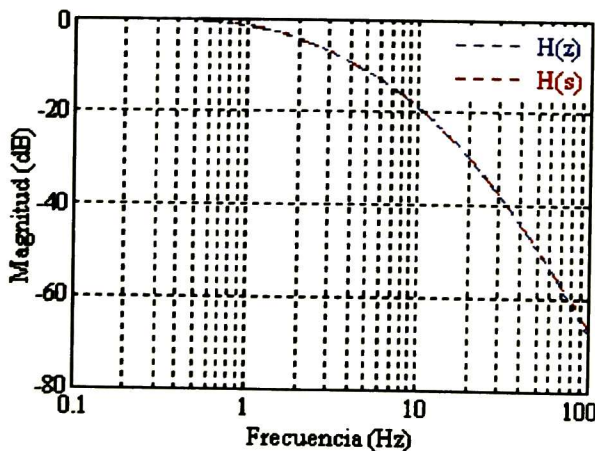


Figura 3.8 Comparación entre la frecuencia de corte de $H(s)$ y de $H(z)$.



$$H(z) = \frac{0.1384 \times 10^{-4} |1 + 3z^{-1} + 3z^{-2} + z^{-3}|}{1 - 2.7651z^{-1} + 2.5436z^{-2} - 0.7785z^{-3}} \quad (3.2)$$

cuyo comportamiento en frecuencia (MatLab) es mostrado en la Figura 3.8. De esta última es posible verificar que no existe distorsión alguna en el valor de la f_0 del filtro, por lo que, para los casos donde la $f_0 \ll f_c$ ambas respuestas tendrán la misma respuesta en frecuencia (ver apéndice A). Ahora, recordando que el filtro es requerido como un medio de acumulación de carga, la cual proporcionará un potencial de referencia en CD a la entrada del VCO, se generará una frecuencia proporcional a dicho potencial [1]; si se desea que oscile a la frecuencia central, en la entrada del filtro debe estar presente una señal modulada en ancho de pulso con el 50% en alto y 50% en bajo (esto para el caso ideal), pero según resultados de caracterización del chip de prueba mostrados en [1], se tiene que el potencial necesario para oscilar a la frecuencia de interés es de 2.7 V. Este último puede ser proporcionado por el filtro propuesto aquí.

En la Figura 3.9 se muestra el resultado de aplicar una señal senoidal de 1.5 Hz al filtro. A cuya respuesta se le aplicó una FFT.

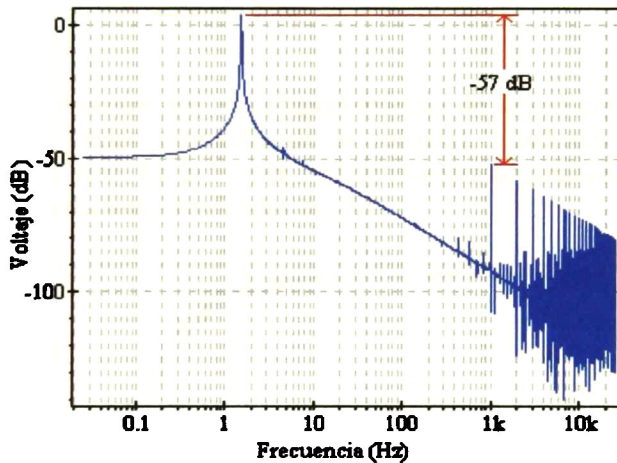


Figura 3.9 Análisis espectral obtenido de Spice aplicando una señal senoidal de 1.5 Hz.

En esta última al igual que en la Figura 3.7, se observa el efecto de f_s , donde es claro que su nivel no es significativo respecto a la señal de interés. La Figura 3.10 muestra la respuesta en el dominio del tiempo del filtro de SC de tercer orden mostrado en la Figura 3.5. Cabe señalar que la magnitud de ruido del circuito, fue resultado del promedio de las magnitudes presentes desde 1 kHz a 20 kHz, dando como resultado -103.02 dB. Luego, para determinar la razón señal a ruido (SNR, del inglés Signal To Noise Ratio), se realizó la conversión de esta magnitud y de la mostrada en f_0 , de dB a Volts, y mediante (3.3) se determinó que su magnitud es de 106.2 dB.

$$\text{SNR} = 20 \cdot \log \left[\frac{V_{x(\text{rms})}}{V_{n(\text{rms})}} \right] \quad (3.3)$$

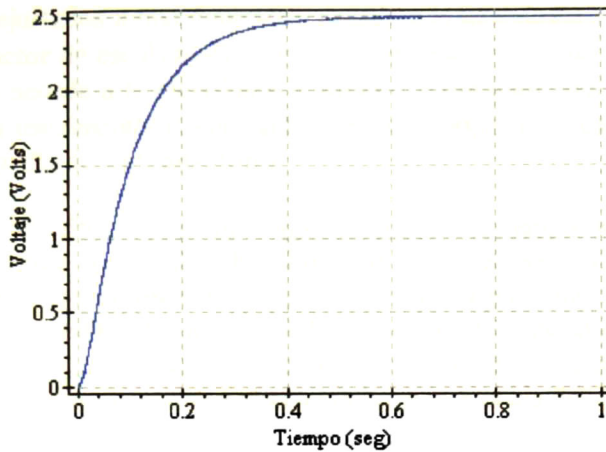


Figura 3.10 Respuesta del filtro para una señal de entrada cuadrada con amplitud de 5 V y un ancho de pulso del 50% en alto.

La Figura 3.10 muestra que el comportamiento de la red con SC alcanza el valor esperado en su salida (valor promedio de la entrada), y además hay una importante reducción en el nivel del rizo. En la Figura 3.11 se muestra un análisis Montecarlo del filtro donde el número de simulaciones realizadas fue 30.

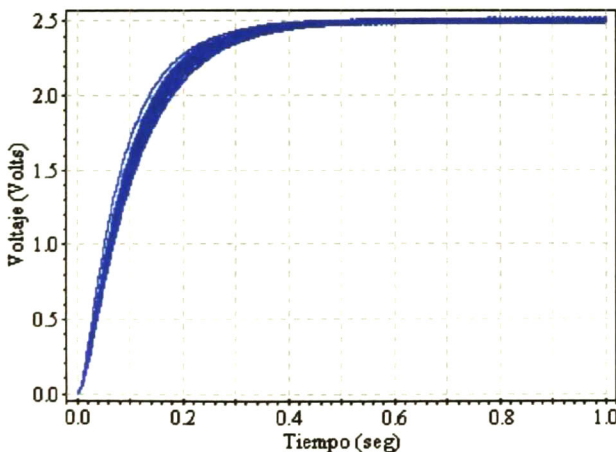


Figura 3.11 Análisis Montecarlo del filtro haciendo variar el valor de C y C_R un 10% y los interruptores un 16% de su valor nominal, respectivamente. Las geometrías de los interruptores son de W y L de 1.8 μm .



De esta última se tiene que una variación en las geometrías de los interruptores tiene una mayor repercusión respecto a la variación de C y C_R en la respuesta del filtro, ya que afecta directamente el nivel del potencial a entregar por el filtro, provocando que la oscilación del VCO sea diferente a la esperada. Por esta razón es recomendable que los interruptores sean ajustados a una dimensión acorde a la tecnología a manejar. Para esto es viable utilizar un factor de escalamiento (usualmente denotado como λ). Dicho factor toma un valor específico acorde a la tecnología (CMOS 1.2 μm para este trabajo, toma el valor de 0.6 μm). λ está usualmente acompañado por un múltiplo (por ejemplo 2λ , 5λ ,..., etc.), definiendo así el tamaño de los transistores.

En el diseño del filtro existe un compromiso entre el tiempo de respuesta del filtro y el nivel del rizo presente en la salida del filtro, por lo que es necesario preguntarse cuál de los dos factores tiene mayor relevancia para el diseño en particular. Para este trabajo, se desea un sistema donde el VCO sea más estable (que no esté variando su frecuencia para un voltaje de control "fijo"), entonces dicho sistema será más lento, caso contrario, se tendrá un sistema más rápido pero mayor será el nivel del rizo a la salida del filtro.

3.4 Generador de Fases no Traslapadas

Para alimentar los interruptores es necesario un bloque adicional al filtro, el cual realice la generación de fases de reloj, ya que ellos determinan la transferencia de carga en el filtro, y además, asegurar que determinados interruptores no estén activados al mismo tiempo, evitando con ello que la carga no sea perdida, o simplemente degrade el desempeño total del filtro.

Este bloque es el Generador de Fases no traslapadas. Este circuito por medio de una señal de reloj puede generar dos señales iguales en frecuencia pero cambiadas en fase por la acción de los retardos (*Delays*), haciendo con esto que no se presente un traslape entre ellas, es decir, que no estén al mismo nivel al mismo tiempo. Este circuito es ampliamente utilizado en redes de SC. Un circuito de este tipo se muestra en la Figura 3.12.

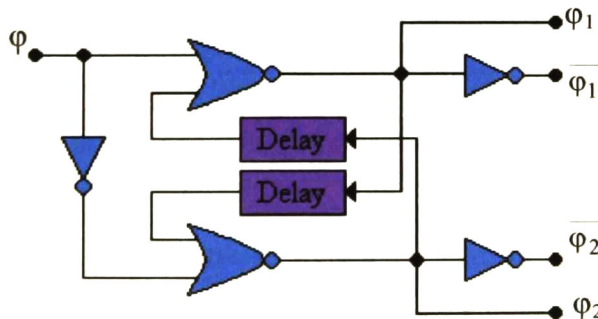


Figura 3.12 Circuito Generador de Fases no traslapadas.



De las señales proporcionadas por este generador $\overline{\varphi_1}$ y $\overline{\varphi_2}$ son el complemento de φ_1 y φ_2 respectivamente (ver Figura 3.13). El diseño de este dispositivo fue tomado de [11], el cual ya fue caracterizado, mostrando un comportamiento adecuado para la utilización en este filtro.

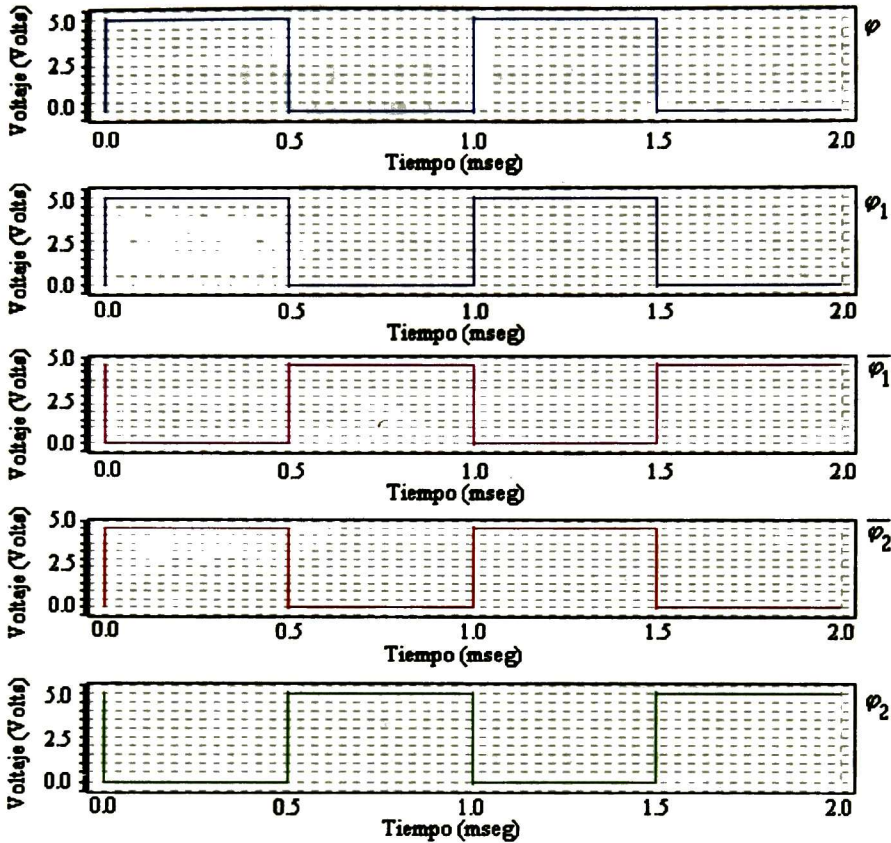


Figura 3.13 Resultados de simulación para una señal de entrada φ con frecuencia de 1000 Hz. Con carga de 2 pF.

El área requerida por este bloque es de $360 \mu\text{m} \times 144.9 \mu\text{m}$. Esta última no es tan importante comparado con la implementación de un resistor integrado.

3.5 Consideraciones de Layout para el Filtro

Existe un compromiso entre velocidad de procesamiento de la señal y el tiempo de respuesta del filtro, por lo que, para el diseño del layout se tomó la decisión de tener una magnitud de rizo pequeña a expensas de un tiempo de respuesta relativamente grande comparado con la respuesta que generaría un filtro de primer orden a 4 Hz (ver Figura 3.2 y 3.3). Los valores de las capacitancias seleccionadas fue de 0.25 y 0.25 pF, para C y C_R ,



respectivamente, con geometrías para todos los interruptores de $1.8 \mu\text{m}$ para L y W. Como primera aproximación, la selección de las capacitancias fue partir de la configuración simple de primer orden, la cual fue diseñada para una f_0 a 4 Hz y mediante (1.1) deducir los valores de R y C, para luego sustituir la R por su equivalente SC. Luego, como forma de reducción del rizo de salida del filtro de primer orden, es necesario bajar la f_0 del filtro o lo que es lo mismo, aumentar el valor de las variables R o C, se concluyo implementar etapas del tipo escalera de la misma red, generando una disminución en la f_0 además de una reducción muy importante del rizo de la señal procesada por el filtro. Por lo que los valores propuestos, fueron seleccionados respetando las consideraciones en el diseño con SC.

Mientras la mayoría de los dispositivos digitales están exentos a la sensibilidad de los arreglos físicos e interconexiones, los dispositivos analógicos son la excepción, por lo que es necesario realizar un óptimo layout, y más cuando se trata de capacitores conmutados. Los principios básicos de su implementación se deben seguir aún cuando el circuito sea simple, algunos de estos principios son:

1. Inyección de ruido de las líneas de alimentación, del reloj y de tierra.
2. Inyección de ruido del sustrato.
3. Clock feedthrough.
4. Precisión de elementos acoplados.
5. Sensibilidad a variaciones del proceso.

Para minimizar el primer punto es recomendable utilizar líneas de alimentación separadas para la circuitería digital y la analógica, o si es posible recurrir al uso de PADS dedicados únicamente para cada una de estas líneas, conectados a la misma terminal exterior, así también haciendo uso de capacitores externos de desacoplo de la impedancia entre las líneas digitales y analógicas, minimizando así los *spikes* generados por la circuitería digital. Para reducir la inyección de ruido por las líneas de reloj, en ocasiones se tienen que crear líneas adicionales de metal y polisilicio en rededor de la línea del reloj, todas puestas a la referencia general del chip [10]. Una técnica empleada para separar los elementos ruidosos (generadores de ruido) de los elementos sensibles, es por medio de *anillos de guarda* (ver Figura 3.14).

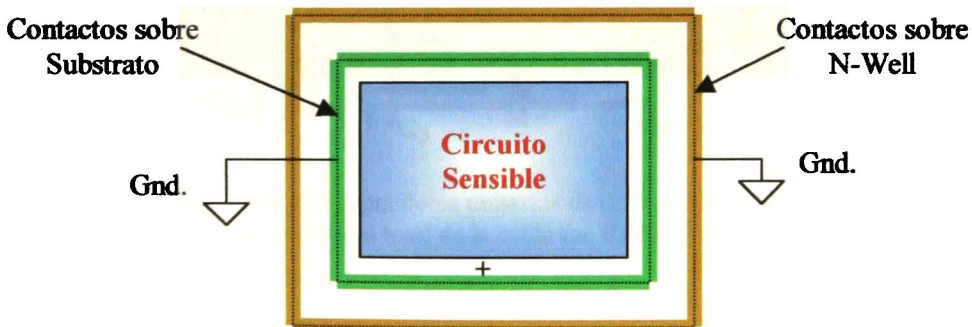


Fig.3.14 Anillos de guarda utilizados como protección de circuitería sensible. Las impurezas del anillo interior son del tipo p (Boro), mientras que en el anillo exterior son del tipo n (Arsénico).



El ruido generado por un elemento ruidoso es propagado por el sustrato, ya que debido a su baja resistencia crea varias trayectorias de acoplo entre los dispositivos, teniendo mayor repercusión en los elementos más sensibles (generalmente dispositivos analógicos). Un anillo de guarda puede ser simplemente un anillo continuo del sustrato que rodea al circuito, proporcionando así una trayectoria de baja impedancia a tierra para la corriente de los portadores de carga circundante por el sustrato. El pozo N puede también incrementar la operación de anillo de guarda frenando las corrientes de ruido que fluyen cerca de la superficie [2].

Para el segundo punto y en aplicaciones de alta frecuencia (del orden de los MHz.), es aconsejable la definición de un pozo N debajo de todas las capacitancias para aislarlas de la capacitancia inferior. La celda consta de 64 capacitores unitarios de 0.25 pF, con una separación de 6 μm entra cada uno de ellos. Para obtener las capacitancias de 5 pF, se realizó la interconexión de 20 capacitores unitarios como lo muestra la Figura 3.15.

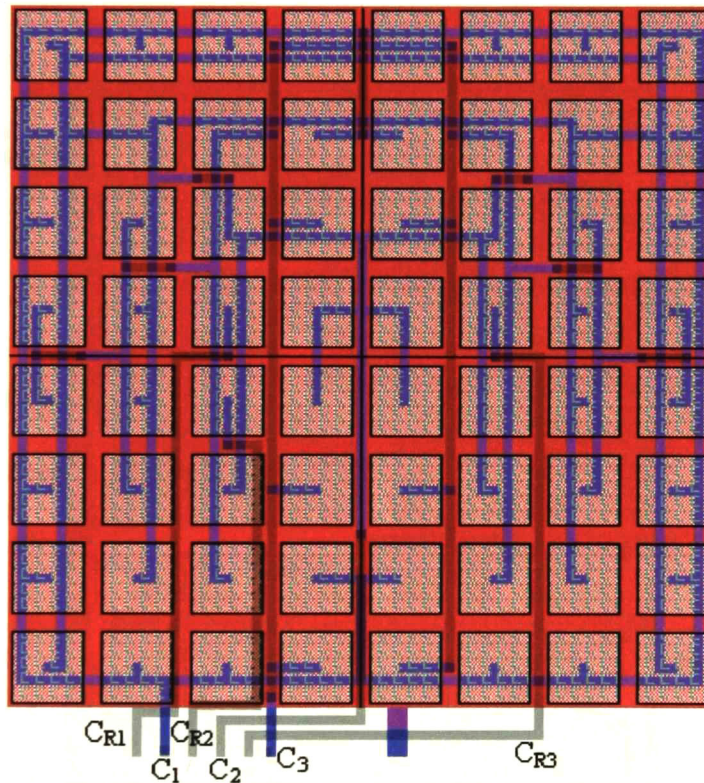


Figura 3.15 Layout de la celda con capacitores unitarios de 0.25 pF. El layout se diseñó con LEdit, la geometría total de la celda fue 0.051 mm².

La Figura 3.16 muestra el layout de los interruptores configurados como TGCMOS, conectados interdigitalmente y, en la Figura 3.17, muestra el layout del DPLL con la incorporación de las celdas reportadas en [1] y el filtro diseñado en este trabajo.

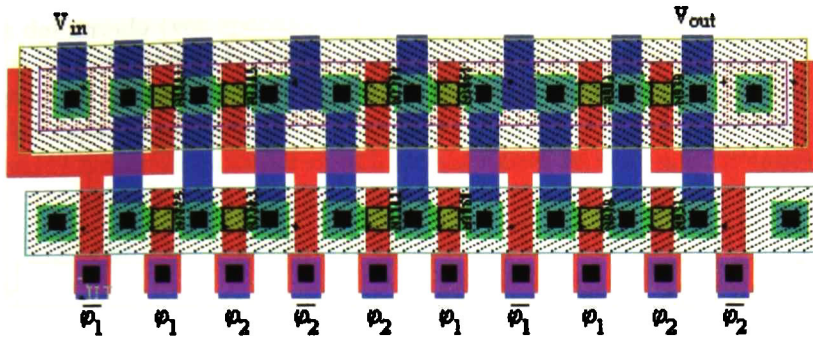


Figura 3.16 Layout de Interruptores TGCMOS. Las conexiones inferiores pertenecen a los relojes, y las superiores corresponden a las señales a procesar y a las capacitancias C y C_R .

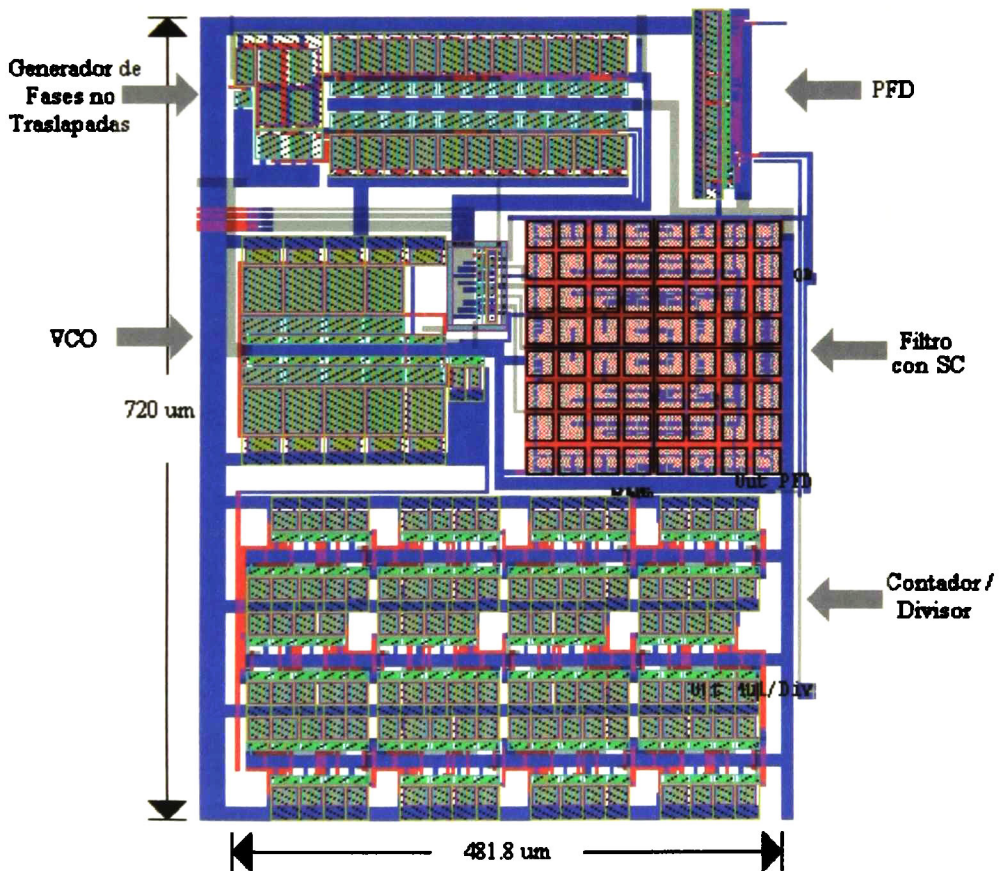


Figura 3.17 Layout de la Celda DPLL ya incluidos el filtro y el PFD.



Cabe subrayar que algunas razones de capacitancia involucran a todos los capacitores del arreglo (ver apéndice A), es decir, que operan al mismo tiempo, por lo que es necesario que presenten la misma variación relativa, para hacer que la precisión que presenta este tipo de redes no se pierda. Por consiguiente, la configuración en centroide común de los capacitores unitarios resulta muy apropiada. La celda del Contador / divisor reportada en [1] fue modificada por cuestiones de ahorro en el área integración.

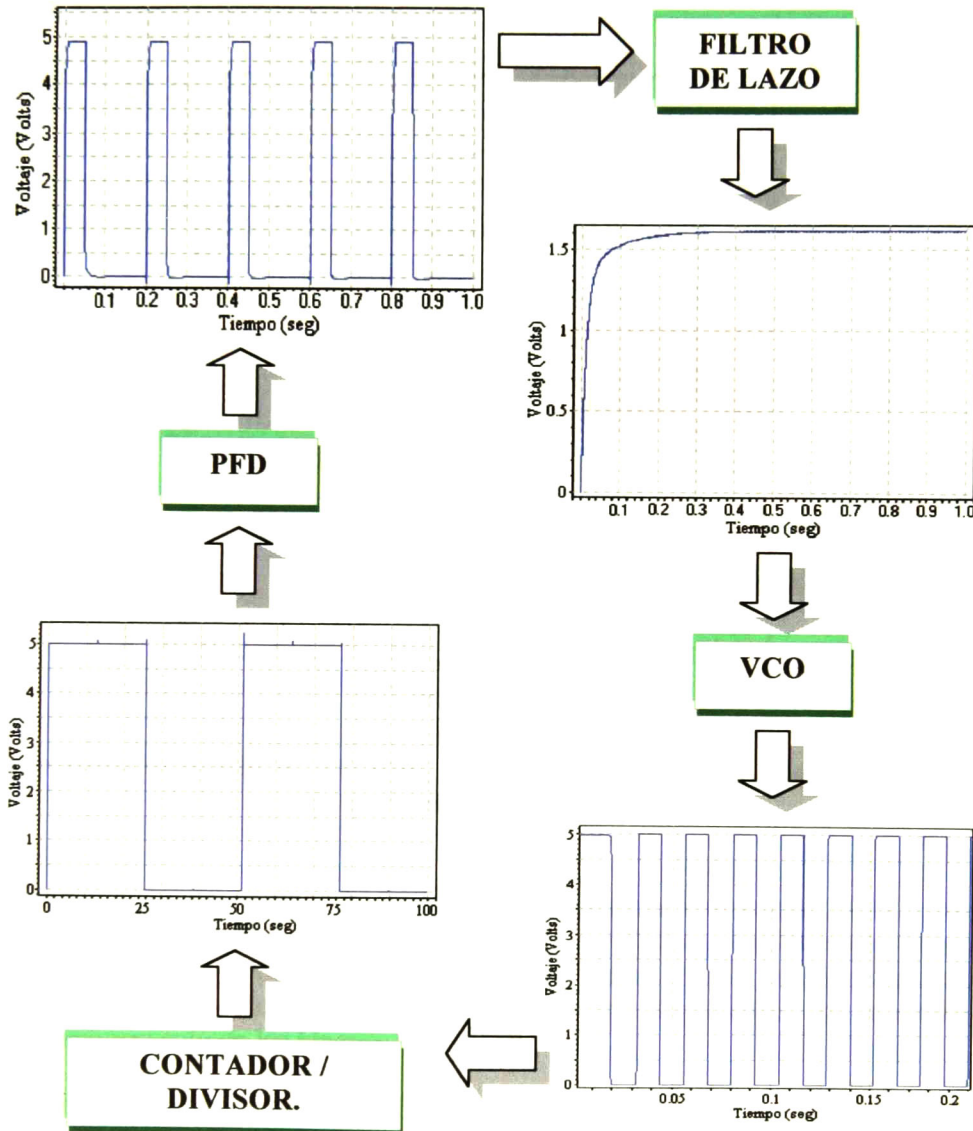


Figura 3.18 Diagrama a Bloques del DPLL. En el que se visualiza su funcionamiento por bloques.



En la Figura 3.18 se muestra el mecanismo funcional del bloque DPLL, del que se espera tenga el comportamiento mostrado. La simulación se realizó de esta manera ya que cuando se efectuó la simulación a lazo cerrado, los tiempos de simulación (tiempo máquina) resultaron muy largos, y no terminó la simulación, observándose solamente una saturación en los recursos del sistema. Por lo que es posible decir, que debido a las bajas frecuencias de operación del DPLL (100 Hz) la simulación del lazo cerrado no fue posible. Una forma de ejemplificar el tiempo de las simulaciones es por medio de la simulación del filtro de lazo, el VCO y el contador/divisor conectados entre sí. La cual es mostrada en la Figura 3.19.

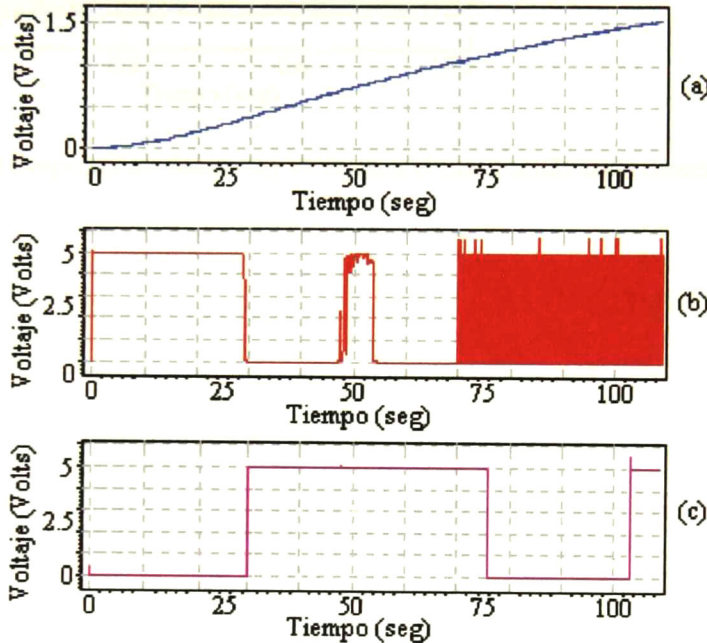


Figura 3.19 Respuesta del filtro (a), VCO (b) y Contador/Divisor (c), respectivamente. Para el caso de estar conectados entre si.

Cabe mencionar que esta simulación logró completar únicamente el 18.33%, es decir, no cumplió con el tiempo de simulación establecido (0.6 seg.) agotando los recursos del la PC, reflejándose con el bloqueo del sistema operativo. Por lo que fue necesario ir tomando muestras de la simulación, durante lapsos de tiempo donde se mostraba el adecuado funcionamiento de los bloques bajo prueba.

Adicionalmente se realizó la simulación mostrada en la Figura 3.20, la cual corresponde al filtro de lazo y al VCO interconectados entre si. Donde se observa que el filtro alcanza la respuesta esperada. El tiempo de simulación requerido para los 2 bloques fue de 3 días, mientras que para la simulación mostrada en la Figura 3.19 fue igualmente de 3 días, dejando inconcluso el tiempo de simulación señalado.

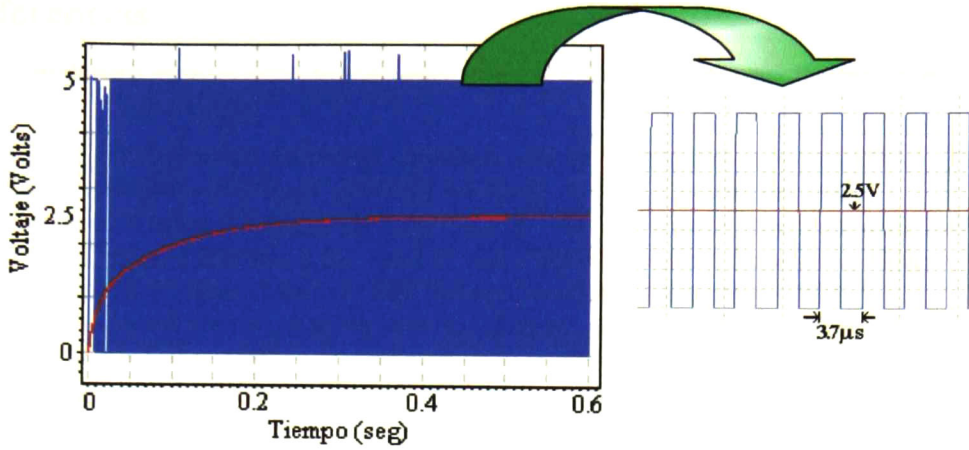


Figura 3.20 Respuesta del filtro y del VCO. Para el caso cuando están conectados entre sí.



Referencias

- [1] "Diseño y Fabricación de Bloques Básicos para la Construcción de un DPLL", Tesis de Maestría, E. Montoya-Suárez, CINVESTAV Unidad GDL, Octubre del 2002.
- [2] "Design of Analog CMOS Integrated Circuits", Behzad Razavi, McGraw-Hill, 2001.
- [3] "VLSI Design Techniques for Analog and Digital Circuits", Randall L. Geiger, Phillip E. Allen, Noel R. Strader, McGraw-Hill Series Electrical Engineering. 1989.
- [4] "CMOS Circuit Design, Layout and Simulation", R. Jacob Baker, Harry W. Li, David E. Boyce. IEEE Press, 1998.
- [5] "Analog Integrated Circuit Design", David A. Johns, Ken Martin, John Wiley & Sons, Inc, 1997.
- [6] "Tratamiento Digital de Señales, principios, algoritmos y aplicaciones", John G. Proakis, Dimitris G. Manolakis, Prentice Hall, Tercera Edición, 1998.
- [7] "Analog Sampled-Data Filters", David L. Fried, IEEE, Journal of Solid-State Circuits, August 1972.
- [8] "Technological Design Considerations for Monolithic MOS Switched-Capacitor Filtering Systems", David J. Allstot, William C. Black, JR., Proceedings of the IEEE, Vol. 71, No. 8, August 1983.
- [9] "Switched Capacitor Circuit Design", Roubik Gregorian, Kenneth W. Martin, Gabor C. Temes, Proceedings of the IEEE, Vol. 71, No. 8 August 1983.
- [10] "Analog MOS Integrated Circuits for Signal Processing", Gabor C. Temes, R. Gregorian, Wiley Series on Filters, 1986.
- [11] "Diseño y Fabricación de un Modulador Sigma-Delta en Modo Corriente Conmutada de 11 Bits para un Ancho de Banda de 20 Khz", Tesis de Maestría, Rosalino Rodríguez Calderón, CINVESTAV Unidad GDL, Agosto del 2002.



4 Conclusiones Y Trabajo Futuro.

4.1 Conclusiones

El implementar filtros monolíticos será siempre un campo de interés y de trabajo arduo para todo diseñador de circuitos analógicos, y más aún cuando se trata de procesar señales en baja frecuencia como fue éste caso, ya que las constantes de tiempo involucradas en el diseño son siempre grandes, lo que se traduce en dispositivos de gran tamaño y en ocasiones, imposibles de implementar en tecnología CMOS.

Para el diseño del filtro se seleccionó la aproximación con Capacitores Conmutados, ya que por medio de ella fue posible implementar los resistores de alta resistencia (del orden de los $G\Omega$), y por consiguiente el filtro pasa-bajas completo, listo para utilizarse como filtro de lazo junto con los bloques del DPLL (ya fabricados).

Para la implementación de un filtro de este tipo, se requirió de un bloque adicional al filtro que hace conmutar los interruptores, cuya área de integración requerida es muy pobre en comparación con la demandada por la implementación pasiva, y por otros sistemas que no cumplieran con el requerimiento de linealidad solicitado para la aplicación.

Mediante diversos resultados de simulación se corroboró que el filtro cumple con las especificaciones previstas en el inicio del diseño, aproximándose al valor esperado comparándolo con su implementación RC (ideal).

Para reducir el nivel de rizo a la salida del filtro y conseguir una buena aproximación al filtro ideal, se pagó con el tiempo de respuesta del filtro. Esto último para obtener un voltaje de control más estable para el VCO.

4.2 Trabajo Futuro

- ☞ Enviar a fabricar el filtro aquí propuesto y los bloques del DPLL antes fabricados.
- ☞ Realizar la medición y caracterización del filtro y del DPLL completo.



Transformación Bilineal.

La transformación Bilineal es una correspondencia que transforma el eje $j\omega$ en la circunferencia unidad del plano z sólo una vez, evitando el solapamiento de componentes de frecuencia. Donde todos los puntos en el semiplano izquierdo de s corresponden con el interior de la circunferencia unidad en el plano z y todos los puntos en el semiplano derecho de s corresponden con los puntos fuera de la circunferencia unidad del plano z . Es decir, realiza un mapeo del plano s ($H(s)$) en el plano z ($H(z)$), sustituyéndola de manera directa en $H(s)$. Dicha transformación es mostrada en la EC A.1.

$$s = \frac{2}{T} \left(\frac{1 - z^{-1}}{1 + z^{-1}} \right) \quad \text{A.1}$$

Esta última es aplicable para cualquier función de transferencia de orden N -ésimo en el dominio de s , haciendo uso de un poco de álgebra elemental. Pudiéndose entonces generalizar el concepto de la siguiente manera:

$$H(z) = H(s) \Big|_{s = \frac{2}{T} \left(\frac{1 - z^{-1}}{1 + z^{-1}} \right)} \quad \text{A.2}$$

Para hacer un bosquejo de las características de la transformación bilineal, sean $z = re^{j\omega T}$ y $s = \sigma + j\omega_a$, y sustituyendo el valor de z en A.2 se tiene que:

$$s = \frac{2}{T} \left(\frac{r^2 - 1}{1 + r^2 + 2r \cdot \cos(\omega T)} + j \frac{2r \cdot \sin(\omega T)}{1 + r^2 + 2r \cdot \cos(\omega T)} \right)$$

donde, si $r < 1$, entonces $\sigma < 0$, y si $r > 1$, entonces $\sigma > 0$. Consecuentemente, el semiplano izquierdo en s corresponde con el interior de la circunferencia unidad en el plano z y el semiplano derecho en s corresponde con el exterior de la circunferencia unidad (ver Figura A.1). Ahora, cuando $r = 1$, entonces $\sigma = 0$ y:

$$\omega_a = \frac{2}{T} \tan\left(\frac{\omega T}{2}\right) \quad \text{D.3}$$

donde, T es el recíproco de la frecuencia de muestreo f_s , ω_a denota la f_0 de la función de transferencia de $H(s)$, y ω es la f_0 del filtro digital, es decir, de $H(z)$.



Siempre es recomendable realizar un análisis de “Predistorsión”, con el cual es posible observar la variación en frecuencia que presentará la respuesta en frecuencia de $H(z)$ respecto a la obtenida en $H(s)$.

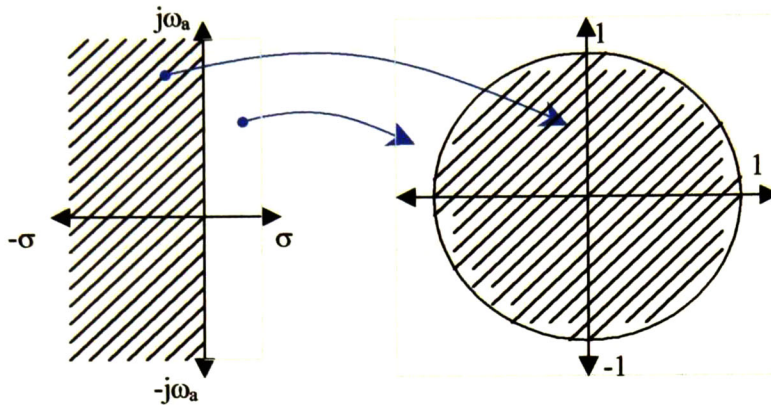


Figura A.1 La parte izquierda del plano s es mapeada dentro del círculo unitario, con el eje $j\omega$ mapeado en los límites del mismo en el dominio de z .

En la Figura A.2 se muestra la equivalencia entre las variables de frecuencia de $H(z)$ y $H(s)$, haciendo uso de la EC A.3.

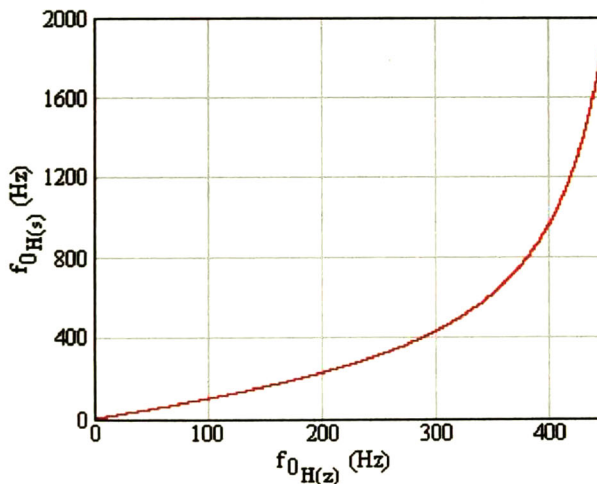


Figura A.2 Cuando la f_0 de $H(z)$ es grande, existe una relación no lineal respecto a su correspondencia con $H(s)$, observándose una compresión en frecuencia.

La deformación en frecuencia denotada en la Figura A.2 es debida a la no-linealidad de la función tangente involucrada en el análisis. Es importante mencionar, que dicha deformación es prácticamente nula cuando la frecuencia de $H(z)$ es muy pequeña



comparada con la frecuencia de muestreo, es decir, cuando el valor de $f_{0_{H(z)}}$ es mucho menor al de $f_s/2$. Por lo que, se puede decir que, $H(z) \approx H(s)$. Esta característica es visible en la Figura A.3. Ya que, cuando $f_{0_{H(z)}}$ toma el valor de $f_s/2$, $f_{0_{H(z)}}$ es infinito.

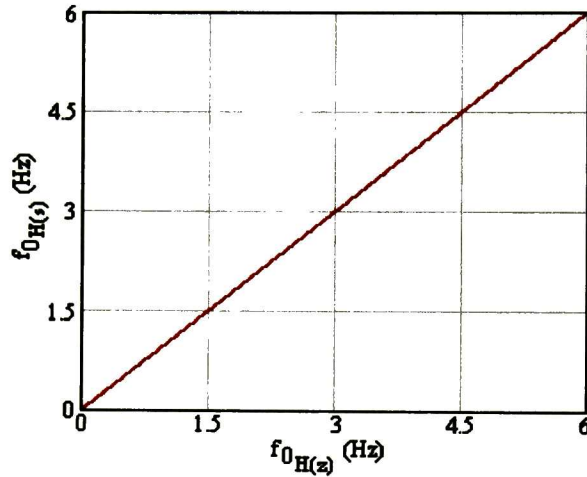


Figura A.3 Para pequeños valores de frecuencia en $H(s)$ y $H(z)$ el mapeo es casi lineal.

Visto lo anterior, se hace uso de la transformación Bilinear para hacer un mapeo del plano s al plano z , y ver la influencia que tendrá en la respuesta en frecuencia de la función de transferencia $H(s)$ mostrada en la EC 3.1, (sin la influencia de C_{VCO}) y rescrita a continuación:

$$\frac{V_o}{V_{in}}(s) = \frac{C}{s^3 + As^2 + Bs + C}$$

donde:

$$A = \left(\frac{1}{C_1 R_1} + \frac{1}{C_1 R_2} + \frac{1}{C_3 R_3} + \frac{1}{C_2 R_2} + \frac{1}{C_2 R_3} \right),$$

$$B = \left(\frac{C_2 R_2 + C_2 R_3 + C_3 R_2 + C_2 R_1 + C_3 R_1 + C_3 R_1}{C_1 C_2 C_3 R_1 R_2 R_3} \right),$$

$$y C = \left(\frac{1}{R_1 R_2 R_3 C_1 C_2 C_3} \right)$$

obteniéndose lo siguiente:



$$H(z) = \left(\frac{\left(\frac{1}{8A'+4\alpha+2\beta+1} \right) (1+3z^{-1}+3z^{-2}+z^{-3})}{1 + \left(\frac{-24A'-4\alpha+2\beta+3}{8A'+4\alpha+2\beta+1} \right) z^{-1} + \left(\frac{24A'-4\alpha-2\beta+3}{8A'+4\alpha+2\beta+1} \right) z^{-2} + \left(\frac{-8A'+4\alpha-2\beta+1}{8A'+4\alpha+2\beta+1} \right) z^{-3}} \right)$$

donde:

$$\alpha = B'+C'+D'+E'+F' \quad \beta = G'+H'+I'+J'+K'+L',$$

$$A' = \frac{C_1 C_2 C_3}{C_{R1} C_{R2} C_{R3}}, \quad B' = \frac{C_2 C_3}{C_{R2} C_{R3}}, \quad C' = \frac{C_2 C_3}{C_{R1} C_{R3}}, \quad D' = \frac{C_1 C_2}{C_{R1} C_{R3}}, \quad E' = \frac{C_1 C_3}{C_{R1} C_{R3}},$$

$$F' = \frac{C_1 C_3}{C_{R1} C_{R2}}, \quad G' = \frac{C_2}{C_{R2}}, \quad H' = \frac{C_3}{C_{R3}}, \quad I' = \frac{C_3}{C_{R2}}, \quad J' = \frac{C_2}{C_{R1}}, \quad K' = \frac{C_3}{C_{R1}} \text{ y } L' = \frac{C_1}{C_{R1}}.$$

Generando la siguiente función de transferencia H(z):

$$H(z) = \frac{0.1384 \times 10^{-4} [1 + 3z^{-1} + 3z^{-2} + z^{-3}]}{1 - 2.7651z^{-1} + 2.5436z^{-2} - 0.7785z^{-3}}$$

Como se muestra en la Figura A.4, el comportamiento en frecuencia es el mismo que su contraparte en el dominio de s.

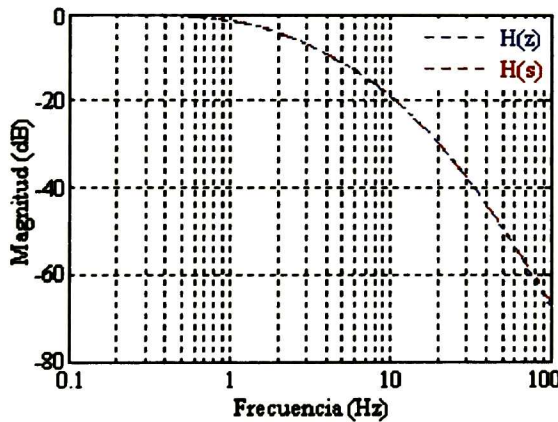


Figura A.4 Respuesta en frecuencia del filtro con SC en el dominio de z, y la red RC en el dominio de s.

Comprobándose de esta manera lo definido por la EC A.3 y las Figuras A.2 y A.3. Por esto, cuando se tenga una f_0 de filtro muy baja comparada con la f_s de los interruptores, se tiene la posibilidad de realizar la simple sustitución directa de las redes con SC por los resistores involucrados en la red.

B *Publicaciones*



Diseño de un Filtro Pasa-Bajas a 0.7 Hz

R. Chávez-Cuadras, F. Sandoval-Ibarra

Grupo de Diseño Electrónico, CINVESTAV-Unidad Guadalajara

ProL. López-Mateos Sur 590, 45235 Guadalajara, Jalisco, México

Tel: +52 (33)-3134-5570.

E-mail: rchavez@gdl.cinvestav.mx, sandoval@ieee.org

RESUMEN

En este trabajo se presenta el diseño de un filtro pasabajas de tercer orden, cuya característica principal es el procesado de señales cuadradas de 100 Hz con amplitudes de hasta 5 Volts. Este diseño no requiere de amplificadores operacionales de voltaje, sin embargo, el elemento resistivo requerido es de muy alto valor, por lo cual se consideró una aproximación con capacitores conmutados. El filtro pasabajas corresponde al filtro de lazo en un bloque DPLL, el cual forma parte de un ASIC orientado a la adquisición de datos en tiempo real. Del filtro pasabajas, se presentan resultados de simulación spice así como resultados experimentales del lazo DPLL, los cuales dieron lugar a las especificaciones del filtro a 0.7Hz.

Palabras claves: Simulación de Circuitos y Sistemas, Diseño de Circuitos Integrados

I INTRODUCCIÓN

La necesidad de un filtro analógico y la complejidad del diseño a bajas frecuencias ha llevado a buscar distintas estrategias de diseño que permitan la implementación de resistores del orden de los GΩ. Tradicionalmente la implementación del filtro es mediante un circuito pasivo RC (ver Fig. 1), cuya función de transferencia está dada por

$$\frac{V_o(s)}{V_i(s)} = \frac{\omega_0}{s + \omega_0} \quad (1)$$

donde ω_0 es la frecuencia de corte (llamada también de -3dB) determinada por el recíproco del producto RC. En la práctica, la señal V_i es resultado de la comparación de fase y frecuencia de una señal de referencia con la proveniente de un divisor por 2, los cuales forman parte de un DPLL (del Inglés *Digital Phase Locked Loop*), que será incorporado posteriormente como un módulo adicional en un ASIC. Este último será parte de una tarjeta de procesamiento de datos en tiempo real detallado en [1]. La descripción de los diversos bloques que forman el DPLL son descritos en [2].

La necesidad del filtro es la siguiente: El diagrama a bloques del sistema de adquisición de datos se muestra en la Fig. 2. La señal analógica es acondicionada para su procesamiento y, aún cuando no se muestre el proceso descrito, éste es realizado mediante un ADC. Los bloques de memoria sirven para almacenar resultados del procesamiento así como el programa del sistema, mientras que el DSP es el encargado de temporizar las diversas tareas y además es el medio a través del cual el usuario captura los datos resultantes del procesamiento. Es importante señalar que el DPLL permite el muestreo de la señal analógica en un intervalo de tiempo determinado por la señal de control, XF. En la práctica, XF es una señal de 100 Hz que excitará al DPLL e internamente éste generará 1024 pulsos de reloj durante 5ms. Un contador recibirá los pulsos y dividirá la frecuencia por 2 en cada una de sus 9 etapas. La necesidad del contador es fundamental debido a que sus salidas forman el bus de direcciones de la memoria para realizar la lectura/escritura de datos. Un circuito ± 2 asegura que el DPLL se amarre a la señal XF. El circuito integrado con bloques básicos, excepto el filtro de lazo, se fabricó en tecnología CMOS, 1.2μm, pozo N, 5V.

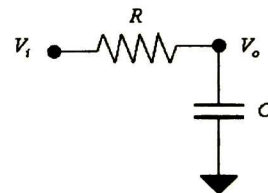


Fig.1 Filtro pasabajas pasivo de 1^{er} orden. Del punto de vista del diseño monolítico, y para aplicaciones de baja frecuencia es inadecuado el diseño del resistor debido a la enorme área de integración requerida.

Como resultado de la caracterización del CI y a partir de las características de operación del sistema, se requiere una frecuencia central para el VCO de 204.8 kHz a un potencial VREF de 2.7 V. Estrictamente hablando estas características pueden ser satisfechas con un filtro entonado a 4 Hz. Sin embargo, es prudente mencionar que la señal V_i es cuadrada con amplitud de 5V, por lo que V_o será un promedio de V_i ; esta condición es válida solo cuando el valor del producto RC sea mayor que el periodo de V_i , es decir, solo bajo esa condición se obtendrá un voltaje de control adecuado para el VCO. Caso contrario, se tendrá la presencia de rizados en V_o , cuya magnitud estará ligada de manera estrecha al valor de ω_0 , por tal razón conforme la frecuencia de corte sea menor, menor será la amplitud de los rizados (ver Fig. 3). Por lo anterior, el propósito de este documento es mostrar la técnica más viable para la implementación de resistores de alto valor resistivo ($G\Omega$), además de mostrar las consideraciones de diseño encaminadas a la optimización del área de integración requerida por el filtro y demás dispositivos necesarios para su correcto desempeño. La descripción del presente trabajo es la siguiente: la Sección II contempla los problemas de diseño para el desarrollo de filtros de lazo a muy baja frecuencia. La Sección III presenta el principio básico de funcionamiento de la técnica utilizada, posteriormente los resultados de simulación se muestran en la Sección IV, y finalmente en la Sección V se proporcionan las conclusiones del presente trabajo.

II. DISEÑO DEL FILTRO

Considerando la red mostrada en la Fig.1 y la información obtenida de la Fig.3, se requiere que el filtro tenga una frecuencia de -3dB pequeña. A partir de (1) se puede concluir que para una $\omega_0=8\pi$ y asumiendo un capacitor C del orden de 10pF, se requiere un resistor R equivalente a 3.97 G Ω , siendo éste un elemento no integrable. La razón de tal conclusión es la siguiente: asumir que el resistor se implementa mediante el procedimiento de generación de un pozo N (2300 Ω /CUADRO), la dimensión requerida para tal elemento se puede obtener del siguiente modelo

$$R = R_{\text{CUADRO}} \frac{L}{W} \quad (2)$$

donde L y W son el largo y ancho del resistor difundido, respectivamente [3]. Proponiendo una $W=18\mu\text{m}$, la longitud resultante es de 31m!.

Una técnica de diseño opcional utilizada para el desarrollo de filtros completamente integrados es usando OTAs (del Inglés *Operational*

Transconductance Amplifier), cuyo desempeño es adecuado pero su principal limitación es su restringido rango lineal de entrada, por lo que el OTA es útil, por ejemplo, en aplicaciones biomédicas, donde la amplitud de las señales es del orden de los mV [4]. Por otro lado, es posible sustituir el resistor mediante un transistor MOS operando en su región lineal. En esta situación, su dimensión se obtiene de

$$R \approx \frac{L'}{W'} \cdot \frac{1}{\mu_n C_{ox} (V_{GS} - V_{Tn})} \quad (3)$$

donde μ_n es la movilidad de portadores, C_{ox} es la capacitancia del óxido, V_{GS} es el voltaje de compuerta-fuente, V_{Tn} define el voltaje de umbral, L' y W' son el largo y ancho del transistor, respectivamente. Sin embargo, debido al alto valor resistivo a implementar, su fabricación monolítica es, también, imposible.

III. APROXIMACION CON CAPACITORES CONMUTADOS

Con esta aproximación es posible obtener una equivalencia al valor de R usando una red compuesta por capacitores e interruptores, (ver Fig.4); el concepto de la red es una transferencia de carga durante intervalos de tiempo grandes comparado al periodo de conmutación de los interruptores. Aquí, se asume que S_1 y S_2 estarán controlados por señales de voltaje independientes. Por lo que en el tiempo inicial S_1 estará activado (S_2 desactivado), y C_R será cargado al potencial V_1 . Luego, cuando S_2 está activado, la carga acumulada $C_R(V_1-V_2)$ será transferida; este procedimiento ocurrirá en cada periodo de reloj T, pudiéndose así representar un promedio del flujo de corriente dada por $C_R(V_1-V_2)/T$.

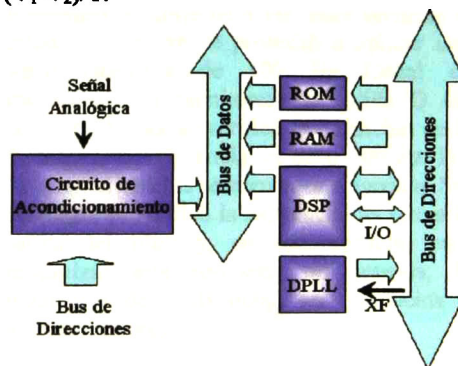


Fig. 2 Diagrama a bloques del sistema de adquisición de datos.

Considerando que la transferencia de carga Q ocurre durante el tiempo T , esta red opera como un resistor equivalente dado por

$$R \equiv \frac{T(V_1 - V_2)}{Q} = \frac{T}{C_R} \quad (2)$$

se puede ver que el capacitor C_R puede ser tan pequeño como la tecnología lo permita y, para ajustar el valor resistivo requerido, basta proponer el periodo de reloj necesario. Por supuesto, el circuito generador de las fases de reloj requiere área para su integración, sin embargo, ésta será mucho menor que la requerida por el resistor pasivo. Adicionalmente, usar transferencia de carga implica abandonar el procesamiento de señales en tiempo continuo por su contraparte en tiempo discreto.

Dado lo sencillo del diseño es posible incrementar el orden del filtro con el propósito de minimizar, por un lado la amplitud del rizo y, por el otro reducir la frecuencia de -3dB del filtro. Del punto de vista del diseño a nivel CI, este aumento no representa de ninguna manera un consumo importante del área de integración. La red resultante se muestra en la Fig. 5, donde los interruptores son sustituidos por transistores complementarios. Esta implementación permite procesar señales con amplitudes de hasta 5V, usando transistores de geometría mínima. Si bien es cierto que la inyección de carga debida al apagado de los interruptores constituye una no idealidad, también es cierto que el Δv generado es despreciable cuando este se compara con la amplitud de las señal a procesar [5].

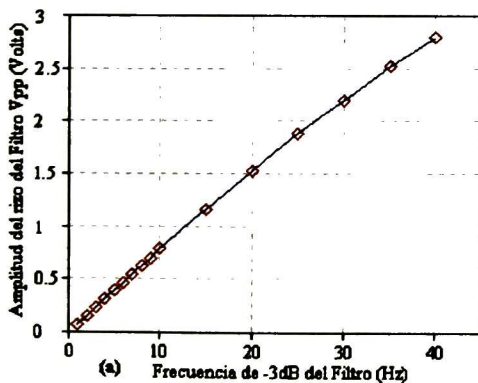


Fig.3 Frecuencia de corte (Hz) vs amplitud del rizo. Esta curva es resultado de simulaciones spice.

Por otro lado es prudente mencionar que si las señales a procesar son del orden de los mV, entonces el diseño propuesto en la Fig.5 no sería el mas adecuado

[6]. De manera analoga no idealidades como el clock feedthrough debido a las capacitancias de traslape no es importante, esto debido a la magnitud generada por ellas, y la magnitud de las señales a procesar.

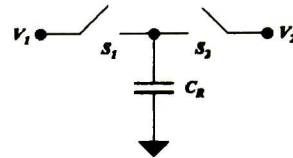


Fig.4 Capacitor conmutado. En esta aproximación las fases de reloj son señales complementarias.

IV. RESULTADOS DE SIMULACIÓN DEL FILTRO DE LAZO

Usando geometría mínima para los interruptores, se realizaron simulaciones spice para corroborar la operación del diseño. La respuesta del filtro, en el dominio del tiempo, se muestra en la Fig. 6, donde se observa que su desempeño es adecuado para la aplicación descrita. También se observa que, respecto a la respuesta con rizos, el nuevo diseño requiere un mayor tiempo de establecimiento, es decir, requiere del orden de 800 ms con lo cual se asegurará que el nivel de CD es de 2.5 V, valor útil para ajustar la frecuencia del VCO. En cuanto a la amplitud de los rizos, éstos no son de importancia ya que su efecto aparece más allá de las frecuencias de interés. La Fig. 7 muestra el resultado de aplicar una señal senoidal de entrada de 0.7 Hz, a cuya respuesta se le aplicó una FFT. La Fig. 8 muestra los resultados de simulación y experimental del VCO como función del voltaje de control.

Solo para propósitos de verificación, inicialmente se implementó el circuito de la Fig. 1 con elementos pasivos para obtener una frecuencia de corte de 4 Hz. Para verificar el estado de amarre se procedió a aplicar una señal cuadrada de 100 Hz (señal de referencia). Al monitorear la salida Q del contador/divisor se verificó la obtención de la frecuencia de referencia, es decir 100 Hz. Por lo tanto, el sistema se encuentra amarrado. Sin embargo, se verificó la existencia del rizo a la salida del filtro y, en consecuencia, para minimizar esta respuesta no deseada, la frecuencia de -3dB debió ser reducida a valores menores.

A manera de comparación, se sustituyó la topología simple SC mostrada en la Fig.4 y 5,

por la denominada insensible a las parasitas (Del Ingles Stray Insensitive) reportada en [7], [8], y se observa que la topología propuesta en la figura 5 presenta un mejor desempeño para esta aplicación, alcanzando el valor esperado de 2.5 V, mientras que la topología insensible a las parasitas exhibe una considerable caída de tensión (Ver Fig. 9). En la Fig.10 se muestra un análisis montecarlo realizado en Spice, donde variaciones en la geometría de los interruptores y valores capacitivos involucrados en el filtro.

V. CONCLUSIONES

Se han presentado las consideraciones de diseño y los resultados de simulación de un filtro de lazo pasabajas a 0.7 Hz, el cual forma parte de un DPLL orientado a la adquisición de datos en tiempo real. El diseño del filtro hace uso de la técnica de capacitores conmutados, el cual será fabricado en tecnología CMOS 1.2um estándar. Los bloques adicionales del DPLL ya han sido fabricados y caracterizados (ver Fig. 11), por lo cual el interés del presente documento es mostrar la viabilidad del diseño de un filtro con frecuencia de -3dB de baja frecuencia, el cual implica la implementación de un resistor del orden de GΩ.

VI. AGRADECIMIENTOS

Uno de los autores (R.Ch.) le agradece al CONACyT el apoyo otorgado a través de la Beca para estudios de Maestría # 165079. El chip de prueba fue fabricado bajo el auspicio del Programa Académico MOSIS. Esta investigación se realizó con financiamiento del CONACyT-Mexico (convenio 38951-A).

VII. REFERENCIAS

- [1] Grout, Ian A. and Abdulhussain E. Mahdi: "Design of an ASIC core for DSP based real time data acquisition", 5th World Multi-Conference on Systemics, Cybernetics, and Informatics (SCI 2001), Orlando, Florida, USA, July 22nd-25th 2001.
- [2] E. Montoya-Suárez, Tesis de Maestría, "Diseño y Fabricación de Bloques Básicos para la Construcción de un DPLL", Octubre 2002.
- [3] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout, and Simulation", IEEE Press Series on Microelectronics Systems, 1998.
- [4] Sergio Solís-Bustos, José Silva-Martínez, Franco Maloberti, and Edgar Sánchez-Sinencio, "A 60-dB Dynamic-Range CMOS Sixth-Order 2.4-Hz Low-Pass Filters for Medical Applications", IEEE Transactions on Circuits and Systems-II: Analog and

Digital Signal Processing, Vol. 47, No. 12, December 2000.

- [5] P.R. Gray, D.A. Hodges, and R. W. Brodersen, Eds., "Analog MOS Integrated Circuits", New York, IEEE Press 1980.
- [6] Bing J. Sheu, and Chenming Hu, "Switched-Induced Error Voltage On A Switched-Capacitor", IEEE Journal of Solid State Circuits, Vol, SC-19, No.4, August 1984.
- [7] Roubik Gregorian and Gabor C. Temes, "Analog MOS Integrated Circuits For Signal Processing", John Wiley & Sons, Inc., 1986.
- [8] Switched-Capacitor Circuit Design, Roubik Gregorian, Kenneth W. Martin, and Gabor C. Temes, Proc. IEEE, Vol. 71, No. 8, pp. 941-966, Aug, 1983.

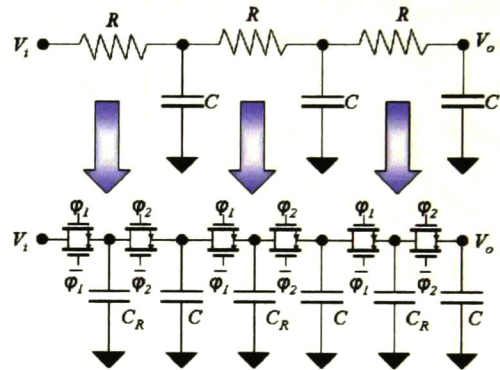


Fig. 5 Sustitución de resistores R por su representación en SC.

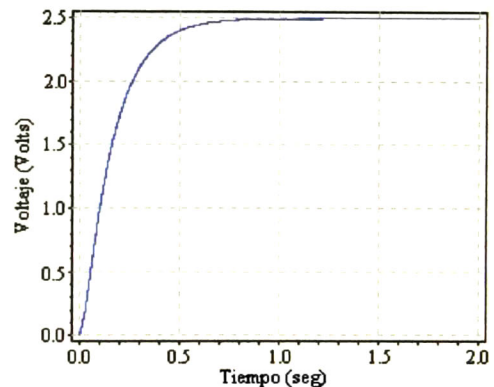


Fig.6 Simulación Spice que muestra la respuesta del filtro en el dominio del tiempo.

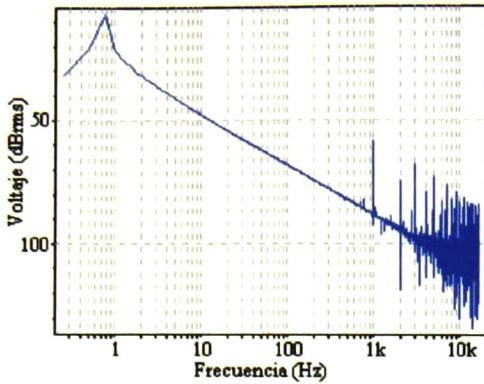


Fig.7 Análisis espectral obtenido de simulaciones en spice aplicando una señal senoidal de 0.7 Hz.

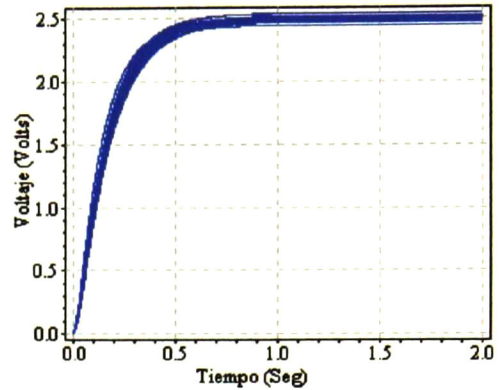


Fig.10 Análisis montecarlo, variando geometría de los interruptores y tamaño de capacitancia de C_R y C . Cabe mencionar que una variación en la geometría tiene mayor repercusión en la respuesta que la variación en las C_R y C .

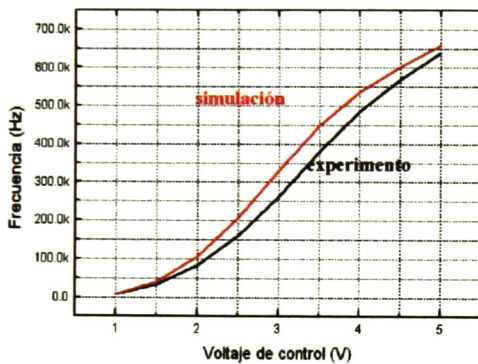


Fig.8 Respuesta del VCO como función del voltaje de control.

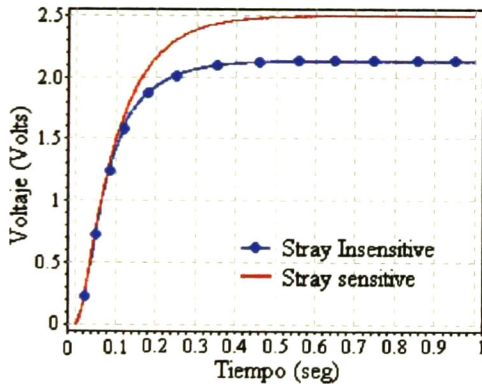


Fig.9 Comparación del desempeño de Respuestas de las topologías SC sensible e insensible a las capacitancias parasitas.

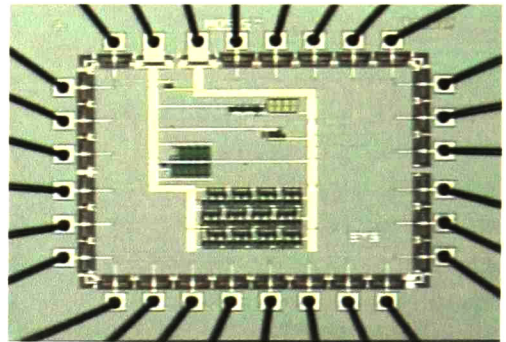
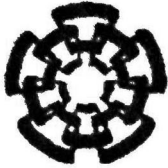


Fig.11 Microfotografía del chip de prueba, que incluye los bloques de DPLL (con excepción del filtro de lazo), en tecnología CMOS, 1.2um.



**Centro de Investigación y de Estudios Avanzados
del IPN
Unidad Guadalajara**

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional, aprobó la tesis:

**DISEÑO DE UN FILTRO PASABAJAS Y SU INCORPORACIÓN EN UN DPLL
INTEGRADO EN SILICIO**

del (la) C.

Ricardo Usiel CHAVEZ CUADRAS

el día 12 de Diciembre de 2003.


Dr. Federico SANDOVAL IBARRA
Investigador Cinvestav 3A
CINVESTAV GDL
Jalisco


Dr. Juan Manuel RAMÍREZ
ARREDONDO
Investigador Cinvestav 3A
CINVESTAV GDL
Jalisco


Mc. Enrique MONTOYA SUÁREZ
Profesor --
Universidad Autónoma de
Nayarit
Nayarit



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000007272