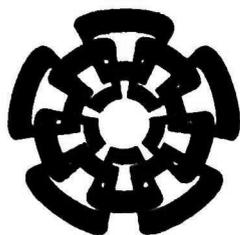




xx(122411, 1)



# CINVESTAV

Centro de Investigación y de Estudios Avanzados del I.P.N.  
Unidad Guadalajara

---

## **Metodología de Diseño Analógico Basada en Celdas de Geometrías Mínimas**

**CINVESTAV  
IPN  
ADQUISICION  
DE LIBROS**

Tesis que presenta:

**Alejandro Herrera Favela**

para obtener el grado de:

**Maestro en Ciencias**

en la especialidad de:

**Ingeniería eléctrica**

Director de Tesis

**Dr. Federico Sandoval Ibarra**

**CINVESTAV I.P.N.  
SECCION DE INFORMACION  
Y DOCUMENTACION**

Guadalajara, Jalisco, Septiembre del 2005.

CLASIF.: IK 165.68.H47/2005  
ADQUIS.: SSI - 354  
FECHA: 20-DIC-2005  
PROCED.: DOM. - 2005  
\$

J. D. 121921-2001

# **Metodología de Diseño Analógico Basada en Celdas de Geometrías Mínimas**

**Tesis de Maestría en Ciencias  
Ingeniería eléctrica**

Por:

**Alejandro Herrera Favela**  
Ingeniero en Electrónica

Instituto Tecnológico de Durango 1997-2002

Becario de CONACYT, expediente no. 172008

Director de Tesis  
**Dr. Federico Sandoval Ibarra**

CINVESTAV del IPN Unidad Guadalajara, Septiembre del 2005.

# Índice

<b>ÍNDICE</b>	<b>3</b>
<b>CAPÍTULO 1: MODELADO SIMPLE DEL TRANSISTOR MOS</b>	<b>5</b>
<b>1.1 ANTECEDENTES HISTÓRICOS</b>	<b>5</b>
<b>1.2 SITUACIÓN ACTUAL</b>	<b>6</b>
<i>1.2.1 MODELO PARA TRANSISTORES DE CANAL LARGO</i>	7
<i>1.2.2 EFECTOS DE CANAL CORTO</i>	10
<b>1.3 DESCRIPCIÓN DEL MODELO PROPUESTO.</b>	<b>14</b>
<i>1.3.1 POTENCIAL DE SATURACIÓN</i>	14
<i>1.3.2 CARACTERÍSTICA <math>I_{DS}</math>-<math>V_{DS}</math></i>	15
<b>1.4 CONCLUSIONES</b>	<b>18</b>
<b>REFERENCIAS</b>	<b>19</b>
<b>CAPÍTULO 2: CIRCUITO ACONDICIONADOR DE SEÑAL</b>	<b>20</b>
<b>2.1 INTRODUCCIÓN</b>	<b>20</b>
<b>2.2 EL TRANSISTOR MAGNÉTICO MAGFET</b>	<b>22</b>
<i>2.2.1 PRINCIPIO DE OPERACIÓN.</i>	22
<b>2.3 AMPLIFICADOR DIFERENCIAL (OTA)</b>	<b>24</b>
<i>2.3.1 MODELO IDEAL</i>	25
<i>2.3.2 PRINCIPIO DE OPERACIÓN.</i>	26
<b>2.4 ACONDICIONADOR DE SEÑAL.</b>	<b>32</b>
<i>2.4.1 DISEÑO DEL AMPLIFICADOR DIFERENCIAL (OTA).</i>	33
<b>2.5 CONCLUSIONES.</b>	<b>51</b>
<b>REFERENCIAS.</b>	<b>52</b>
<b>CAPÍTULO 3: LAYOUT DEL CIRCUITO ACONDICIONADOR DE SEÑAL</b>	<b>53</b>
<b>3.1 INTRODUCCIÓN</b>	<b>53</b>
<b>3.2 DISEÑO DEL LAYOUT</b>	<b>54</b>
<b>3.3 RESULTADOS DE LA SIMULACIÓN.</b>	<b>64</b>
<b>3.4 CONCLUSIONES</b>	<b>69</b>
<b>REFERENCIAS.</b>	<b>70</b>
<b>CAPÍTULO 4: CONCLUSIONES Y TRABAJO FUTURO</b>	<b>71</b>
<b>4.1 CONCLUSIONES</b>	<b>71</b>
<b>4.2 TRABAJO FUTURO</b>	<b>72</b>
<i>4.2.1 METODOLOGÍA DE MEDICIÓN</i>	72
<b>ANEXOS.</b>	<b>81</b>

<b>A1. CARACTERIZACIÓN DEL TRANSISTOR PATRÓN.</b>	<b>81</b>
<b>A2. PROGRAMAS TSPICE</b>	<b>84</b>
<i>A2.2 PROGRAMA DEL AMPLIFICADOR DIFERENCIAL EXTRAÍDO DEL LAYOUT</i>	<i>85</i>
<i>A2.3 PROGRAMA DEL CIRCUITO ACONDICIONADOR DE SEÑAL.</i>	<i>88</i>
<i>A2.4 PROGRAMA DEL CIRCUITO ACONDICIONADOR DE SEÑAL DEL CIRCUITO EXTRAÍDO DEL LAYOUT.</i>	<i>90</i>

# Capítulo 1

## MODELADO SIMPLE DEL TRANSISTOR MOS

### 1.1 Antecedentes Históricos

Según se registra en una serie de patentes presentadas en las décadas de 1920 y 1930. El Transistor de efecto de campo (FET) fue el primero en aparecer, aproximadamente 20 años antes, en comparación con sus competidores: el transistor bipolar de unión (BJT) y el transistor de compuerta aislada (IGBT). A principios del siglo XX algunos estudios demostraron que el efecto de modulación de conductividad de algunos materiales semiconductores podía ser posible gracias a algunas estructuras especiales como metal-semiconductor (MES) o metal-óxido-semiconductor (MOS).

En 1926 [1], [2] y 1928 [3] se recibieron en las oficinas de patentes de los Estados Unidos, tres solicitudes a nombre de Lilienfeld con el título de “Method and apparatus for controlling electric currents”, “Device for controlling electric current” y “Amplifier for electric currents”, las cuales fueron aceptadas en 1930, 1933 y 1932, respectivamente. En el primer documento Lilienfeld describía lo que hoy en día se conoce como transistor de efecto de campo metal semiconductor (MESFET), y en el segundo documento proporciona dos estructuras derivadas a partir del MESFET, en el que incorporaba una capa aislante entre el semiconductor y la compuerta metálica, resultando el transistor de efecto de campo metal-óxido-semiconductor (MOSFET) de agotamiento y el transistor rectificador con compuerta metal semiconductor (GMSRT). El tercer documento de Lilienfeld incluye dos estructuras más de transistores, además de diagramas eléctricos con las polarizaciones correctas para la operación como dispositivos amplificadores. A pesar de que Lilienfeld describió la fabricación de estos dispositivos, y que conocía perfectamente el fenómeno de modulación de conductividad, no se tienen registros de que haya podido construir exitosamente un prototipo. Más tarde, en 1935 Oskar Heil nativo de Alemania patentó en las oficinas de Inglaterra, la primera descripción de operación del MOSFET usando conceptos de electrones y huecos. Conceptos modernos para la época.

Los avances cronológicos del transistor MOSFET pueden ser divididos en tres fases: el descubrimiento del principio básico de operación de 1928 a 1958, el desarrollo de la tecnología, y la invención de nuevas estructuras durante los siguientes 10 años (de 1959 a 1968), y la fase de integración del transistor MOS y manufactura de circuitos integrados de 1968 a la fecha. La primera fase en realidad empezó alrededor de 1947 en los laboratorios Bell con Bardeen, Brattain y Shockley cuando la física básica del transistor fue claramente entendida y aplicada a nuevas estructuras de transistores [4]. Atalla, Tannenbaum y Scheibner iniciaron la segunda fase cuando lograron determinar un

método de pasivación para estabilizar la superficie del silicio utilizando dióxido de silicio ( $\text{SiO}_2$ ) crecido térmicamente y, finalmente, Noyce y Moore iniciaron la tercera fase en 1968. Primero, inventando el concepto del circuito integrado monolítico en 1960 y, posteriormente, iniciando la compañía manufacturera de circuitos integrados MOS Intel en 1968 [4].

## 1.2 Situación actual

En la actualidad los procesos de fabricación utilizados por los fabricantes de circuitos integrados han logrado integrar miles, incluso millones de transistores en un solo chip semiconductor gracias a los depurados métodos de litografía que han hecho posible fabricar transistores MOS de longitudes de compuerta menores a  $1\mu\text{m}$ , y con velocidades de respuesta de GHz. Características que dan paso a la integración de sistemas muy complejos y veloces en áreas muy reducidas.

El escalamiento del transistor MOS ha traído consigo, además de la reducción de consumo de potencia, costo, área de integración, también algunos efectos secundarios no deseados que afectan su funcionamiento en aplicaciones de electrónica analógica. Para transistores llamados de gran canal (algunos micrómetros de largo) se conocen plenamente todos los fenómenos y características asociadas a su funcionamiento eléctrico, como son el voltaje de encendido, el voltaje de saturación y su respuesta en saturación; para transistores con longitudes de alrededor de  $1\mu\text{m}$  algunas características o fenómenos dejan de ser despreciables y comienzan a jugar un papel importante en el desempeño de los sistemas diseñados, algunos de estos fenómenos son: la modulación de canal, la saturación de la velocidad de los portadores, y variaciones en el voltaje de saturación y de encendido[5].

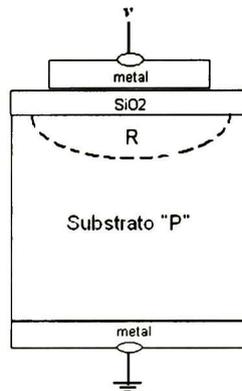
Desde los años treintas, con el descubrimiento del principio básico de operación del transistor MOS ha sido necesario desarrollar modelos eléctricos y/o expresiones matemáticas para describir el comportamiento de este dispositivo, por lo que, a la par de la miniaturización del transistor, también la complejidad de sus respectivos modelos han ido aumentando en complejidad. Programas CAD como **spice** y **bsim** han desarrollado modelos que se asemejan al comportamiento de dispositivos reales. En sus orígenes, alrededor de 1970 se contaba con modelos sencillos que aproximaban a los valores experimentales adecuadamente, pero, con el paso de los años han evolucionado y se han perfeccionando para satisfacer el desempeño de los sistemas por la alta densidad de integración. **Spice** ofrece varios modelos, entre ellos el nivel 3 es el más popular. Sin embargo, aún cuándo se pueda acudir a otros modelos posteriormente se verá que los modelos que se incorporan en herramientas CAD son tan amplias, como diversas las geometrías de los transistores en un mismo diseño.

Los modelos desarrollados para **spice** toman en cuenta muchos efectos y/o fenómenos aplicados a dispositivos de canal corto y ofrecen un resultado muy similar al obtenido en el laboratorio con dispositivos reales, en oposición con los modelos clásicos que solo ofrecen un valor estimado. En consecuencia, los modelos **spice** son muy

complicados y difíciles de usar para cálculos *a-mano*, es por ello, necesario proponer un modelo sencillo para su uso en el aula que, de manera fácil, proporcione resultados similares a los obtenidos por el propio **spice** y, de esta manera, proporcionar a quienes participan del diseño electrónico, una aproximación que permita verificar el desempeño del transistor MOS bajo ciertas condiciones de polarización. Esta aproximación es útil para el diseño de sistemas analógicos en el que, el uso de la característica  $I_{DS}$  vs.  $V_{GS}$  de segundo orden, permite determinar las geometrías de los transistores que satisfacen las especificaciones requeridas. Caso contrario ocurre en el diseño digital, en el que la geometría de los transistores es la mínima que permite la tecnología ya que, el desempeño del sistema, se basa en la correcta transmisión de 0s y 1s lógicos.

### 1.2.1 Modelo para transistores de canal largo

La Fig. 1.1 muestra el sistema MOS, donde se puede ver que si  $v$  es negativo, un campo eléctrico se creará a través de la capa de óxido, el cual atraerá cargas positivas (huecos) a la región **R** bajo el electrodo superior. Por lo tanto, cargas negativas serán inducidas en el electrodo superior y cargas positivas en **R**.



**Figura 1.1** Sistema MOS. Por simplicidad, el contacto a sustrato se muestra en la parte inferior de la estructura.

Por el contrario, si  $v$  es un voltaje positivo pequeño, el campo eléctrico ahora repelerá huecos; como resultado los iones fijos de carga negativa en **R** serán abandonados por los huecos móviles y, una región de carga negativa neta aparecerá en **R**, la cual es denominada *capa de agotamiento*. Si  $v$  incrementa más su valor, un nuevo efecto aparece. A partir de que la generación térmica de huecos y electrones ocurre continuamente en el semiconductor y, si el campo eléctrico creado por el voltaje  $v$  es suficientemente intenso, entonces el campo puede atraer electrones a la región **R** y “llevarlos” hacia la superficie. Considérese ahora la estructura MOS mostrada en la Fig. 1.2, dónde el potencial de compuerta se denotará como  $V_{GS}$ .

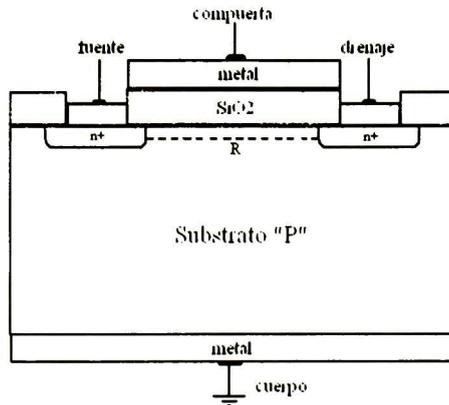


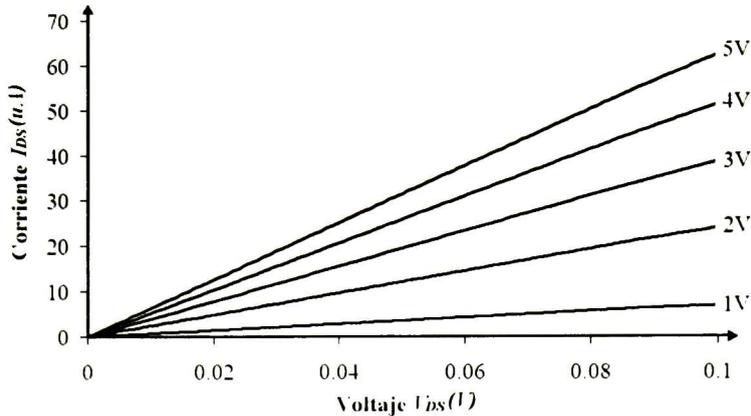
Figura 1.2 Transistor MOS de cuatro terminales.

Como el voltaje de compuerta  $V_{GS}$  aumenta, la región  $R$  se agotará y luego se invertirá. Cuando la región  $R$  esté agotada, la corriente  $I_{DS}$  será prácticamente nula. La situación cambia cuando  $V_{GS}$  es suficientemente grande, la inversión ocurre y por lo tanto  $R$  se “llena” de electrones. Ahora la *capa de inversión* o *canal de conducción* conecta la terminal de drenaje con la terminal de fuente y, una corriente  $I_{DS}$  será medible. El voltaje  $V_{GS}$  necesario para producir el canal es llamado *voltaje de encendido* y se denota por  $V_T$ .

Ahora bien, ya que existe una diferencia de potencial  $V_{DS}$  entre las dos terminales del canal, los electrones serán atraídos a la terminal de drenaje, por lo tanto en adición al movimiento térmico aleatorio de los electrones, un movimiento constante (llamado de arrastre) ocurrirá, lo cual causa que la corriente fluya. Para pequeños voltajes de  $V_{DS}$ , el canal se comportará como un resistor  $R$  y por ello  $I_{DS} \approx V_{DS}/R$ . Por lo tanto, para  $V_{DS} \ll (V_{GS} - V_T)$  la corriente  $I_{DS}$  está dada por

$$I_{DS} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (1.1)$$

donde (1.1) es una expresión comúnmente reportada en la literatura [8]. La Fig. 1.3 muestra resultados de simulación spice en la que el voltaje  $V_{DS}$  máximo es igual a 100mV, mientras que el voltaje de compuerta -referido a la terminal de fuente- varía de 1V hasta 5V en intervalos de 1V.



**Figura 1.3.** Característica i-v para un transistor NMOS de geometría ( $W/L = 4.2\mu\text{m}/1.8\mu\text{m}$ ) para diferentes voltajes  $V_{GS}$  desde 1V hasta 5V en intervalos de 1V.

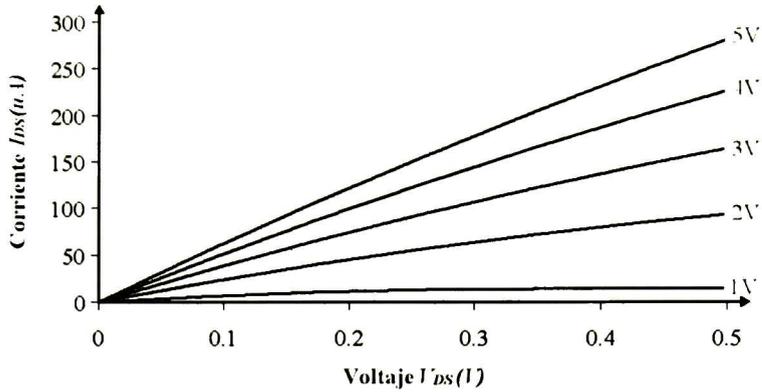
De este desempeño, se puede postular que el transistor opera como un resistor controlado por el voltaje  $V_{GS}$

$$R = \left[ \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T) \right]^{-1} \quad (1.2)$$

donde la geometría ( $W/L$ ) y el potencial de compuerta son los únicos parámetros bajo el control del diseñador. Luego, si  $V_{DS}$  aumenta aún más, entonces ya no es despreciable comparado con  $(V_{GS})$ , y el comportamiento obtenido en (1.2) será inexacto. Por consiguiente, el voltaje promedio entre la compuerta y el canal es aproximadamente  $(V_{GS} - V_{DS}/2)$ . Entonces, reemplazando  $V_{GS}$  por  $(V_{GS} - V_{DS}/2)$  en (1.1) se obtiene

$$I_{DS} = \mu_n C_{ox} \frac{W}{L} \left( (V_{GS} - V_T) - \frac{V_{DS}}{2} \right) V_{DS} \quad (1.3)$$

Este modelo proporciona una buena aproximación para  $V_{DS} < (V_{GS} - V_T)$  siempre que la característica i-v no presente una pendiente negativa. En la práctica, el potencial de drenaje a partir del cual la pendiente es negativa se denomina el voltaje de saturación y se denota por  $V_{DSAT}$ . Para  $V_{DS} < V_{DSAT}$  se tiene un rango de valores que caracteriza la llamada *región lineal* del transistor MOS. Por ejemplo, considerar la característica i-v del transistor mostrado en la Fig. 1.4 en la que, para los mismos potenciales de compuerta descritos con anterioridad, el potencial  $V_{DS}$  máximo es del orden de 500mV.



**Figura 1.4.** Característica i-v para un transistor NMOS ( $W/L= 4.2\mu m/1.8\mu m$ ) para  $V_{DS} \leq 500mV$  para diferentes voltajes  $V_{GS}$  desde  $1V$  hasta  $5V$  en intervalos de  $1V$ .

Del desempeño mostrado se puede observar que la linealidad del resistor se perderá conforme aumente el potencial  $V_{DS}$ . Ahora bien, el modelo simple del transistor asume que el *voltaje de saturación* está dado por:

$$V_{DSAT} = (V_{GS} - V_T) \quad (1.4)$$

Cuando  $V_{DS}$  es mayor que  $V_{DSAT}$  la corriente  $I_{DS}$  es independiente de  $V_{DS}$ , por lo que un modelo comúnmente usado para modelar el desempeño en la región de saturación es

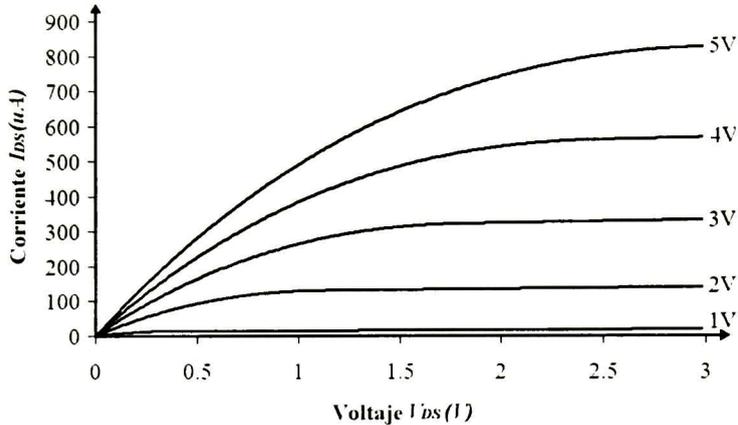
$$I_{DS} = \mu_n C_{ox} \frac{W}{2L} (V_{GS} - V_T)^2 \quad (1.5)$$

Obsérvese que (1.5) se obtiene al sustituir (1.4) en (1.3), es decir,  $V_{DSAT}$  es un parámetro del modelo que permite obtener la característica i-v para todo el rango de valores de  $V_{GS}$ . Sin embargo, el desempeño del transistor en la región de saturación dista mucho de ser una fuente de corriente constante (ver Fig. 1.5).

### 1.2.2 Efectos de canal corto

La característica i-v mostrada en la Fig. 1.5 corresponde a un transistor diseñado con una tecnología  $1.2\mu m$  de pozo N, mientras que los modelos descritos en (1.1)-(1.5) corresponden a transistores denominados *de gran canal*. Las causas que pueden producir un alejamiento del desempeño deseado del transistor de canal corto respecto al de canal largo caen dentro de alguna de tres categorías generales. En primer lugar, las diferencias entre la experiencia y la teoría sobre el canal largo pueden provenir simplemente por no ser ya aplicables las hipótesis utilizadas en el análisis sobre el canal largo. En segundo

lugar, algunas discrepancias respecto al comportamiento de canal largo provienen de fenómenos totalmente nuevos. Por último, la reducción de las dimensiones del dispositivo lleva automáticamente al aumento de ciertos efectos que se sabe ocurren, pero que son despreciables en dispositivos de canal largo. Algunos de estos efectos se describen a continuación.



**Figura 1.5.** Característica i-v de un transistor NMOS ( $W/L = 4.2\mu m/1.8\mu m$ ) para  $V_{DS} \leq 3V$  para diferentes voltajes  $V_{GS}$ . Obsérvese que para bajos voltajes de  $V_{GS}$  el transistor entra en la región de saturación.

### 1.2.2.1 Movilidad Efectiva

En el sustrato semiconductor, es decir, en un punto muy alejado de la superficie del semiconductor, las movilidades de los portadores suelen estar determinadas por la magnitud de la interacción con la red y por la interacción con las impurezas ionizadas, que tienen lugar en el material semiconductor. En cambio, el movimiento de portadores en un MOSFET tiene lugar en una capa de inversión superficial donde el campo eléctrico inducido por la compuerta actúa de manera que atrae portadores hacia la superficie. Por lo tanto, los portadores de la capa de inversión están sujetos a colisiones con la superficie del silicio que dificultan su movimiento, además de las colisiones con la red y con las impurezas ionizadas.

En relación con la dependencia de la movilidad efectiva ( $\mu_n$ ) respecto al voltaje aplicado a la compuerta, el aumento de la polarización de inversión atrae más portadores cerca de la interfaz óxido-semiconductor, e incrementa el campo eléctrico que actúa sobre los portadores. Esta combinación de efectos realza la interacción con la superficie y, por lo tanto, reduce la movilidad media de los portadores; así  $\mu_n$  disminuye cuando aumenta la polarización de inversión.

#### 1.2.2.2 Modificaciones del Voltaje de Umbral: canal corto

En transistores del tipo de enriquecimiento, el potencial de encendido  $|V_T|$  es monótonamente decreciente con la disminución de la longitud de canal  $L$ . Desde el punto de vista cualitativo, esa reducción del voltaje se puede explicar del modo siguiente: antes que se forme una capa de inversión primero debe vaciarse de portadores la región de subcompuerta. En un dispositivo de canal corto, la fuente y el drenaje cooperan en el vaciamiento, es decir, una parte significativa de la carga de la zona de vaciamiento queda equilibrada por la carga del otro extremo de las uniones **pn** de la fuente y del drenaje. Así, se requiere menos carga de la compuerta para alcanzar el comienzo de la inversión, y  $|V_T|$  decrece. Cuanto más pequeña sea  $L$ , mayor será el porcentaje de carga compensada por las uniones **pn** de la fuente y drenaje y mayor también la reducción de  $|V_T|$ .

#### 1.2.2.3 Modificaciones del Voltaje de Umbral: canal estrecho

El ancho  $W$  de un MOSFET, cuando se hace comparable al ancho de vaciamiento del canal, afecta también al valor del voltaje de umbral. En dispositivos de canal estrecho en modo de enriquecimiento, se tiene que  $|V_T|$  crece monótonamente con la reducción del ancho  $W$  del canal. Obsérvese que la dependencia de  $W$  del desplazamiento del voltaje de umbral es opuesta a la dependencia con  $L$ . Sin embargo, el efecto de canal estrecho se explica casi del mismo modo que el efecto de canal corto. La región de vaciamiento controlada por la compuerta se extiende hacia el costado, quedando en parte fuera del ancho  $W$  de la compuerta. En dispositivos de canal amplio, por el contrario, la carga controlada por la compuerta en la región lateral es por completo despreciable. En cambio, en dispositivos de canal estrecho la carga lateral se hace comparable con la carga que está directamente debajo del ancho  $W$  de la compuerta; hay un aumento de carga efectiva que está equilibrada por la carga de la compuerta. Entonces, se requiere una carga de compuerta adicional para alcanzar el comienzo de la inversión, y  $|V_T|$  aumenta en consecuencia.

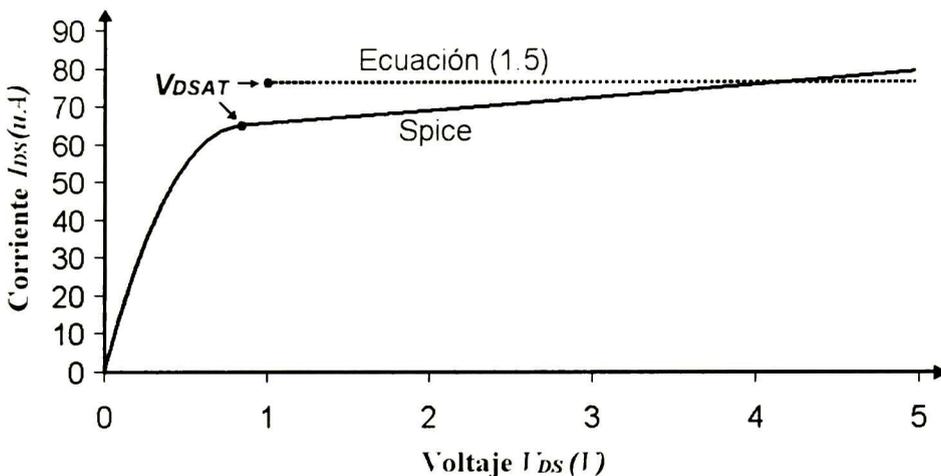
#### 1.2.2.4 Velocidad de Saturación

En el análisis convencional del MOSFET de canal largo no hay una limitación teórica de la velocidad que los portadores pueden adquirir en el canal de conducción. En realidad, las velocidades de desplazamiento de los portadores en silicio a  $300K$  alcanzan un valor máximo de  $V_{DSAT} \approx 10^7 \text{ cm/s}$  cuando el campo eléctrico acelerador excede  $\sim 3 \times 10^4 \text{ V/cm}$  para electrones y  $\sim 10^5 \text{ V/cm}$  para huecos. Por lo tanto, para transistores modernos de canal corto, si  $V_{DS} = 5V$  y  $L = 1 \mu\text{m}$ , es de esperar que habrá puntos en la superficie del canal del MOSFET en los cuales el campo acelerador sea mayor o igual que  $5 \times 10^4 \text{ V/cm}$ . Está claro que en dispositivos de canal corto hay posibilidad de limitación de corriente de canal por saturación de velocidad [6].

Ahora bien, ¿cómo afectan al diseño de circuitos los efectos de canal corto?. A manera de ejemplo, suponer que se requiere el diseño de un transistor NMOS con la capacidad de manejar una corriente  $I_{DS} = 75 \mu\text{A}$ . A partir de (1.4) y (1.5) es posible determinar la geometría necesaria asumiendo  $V_{DSAT} = 1.0V$  y los parámetros tecnológicos requeridos ( $\mu_n$ ,  $t_{ox}$  y eventualmente  $V_T$ ). Considerando que la tecnología usada en este documento es  $1.2 \mu\text{m}$ , con  $\lambda = 0.6 \mu\text{m}$ , a partir de (1.5) se deduce una relación geométrica  $W/L = 1.96$ , sin embargo dado que la longitud de canal es un parámetro bajo el control del

diseñador, la geometría seleccionada es la mínima permitida por la tecnología ( $L=1.8\mu\text{m}$ ), con lo que el ancho requerido es  $W=3.6\mu\text{m}$ , el cual es un valor redondeado a múltiplos de  $\lambda$ .

Los resultados de simulación **spice** para el transistor previamente dimensionado proporciona un  $V_{DSAT}=893\text{mV}$  y una corriente  $I_{DS,SPICE}=65.4\mu\text{A}$ . Estos resultados son diferentes a los obtenidos a partir de (1.5), como se puede ver en la figura 1.6. Tradicionalmente se procede de la siguiente manera: Si la corriente  $I_{DS,SPICE}$  es menor que la solicitada, se define un parámetro de ajuste  $\alpha_I$  dado por  $I_{DS}/I_{DS,SPICE}$  donde  $I_{DS}$  es la corriente solicitada. El valor obtenido es  $\alpha_I=1.14$ , es decir, la geometría obtenida de este ajuste es  $W=4.12\mu\text{m}$  y, ajustándolo a múltiplos de  $\lambda$ , el ancho del transistor es  $4.2\mu\text{m}$ . Usando esta geometría la simulación proporciona los siguientes resultados:  $I'_{DS,SPICE}=76.5\mu\text{A}$  y  $V'_{DSAT}=895\text{mV}$



**Figura 1.6.** Característica i-v para el transistor de  $W/L=2.4\mu\text{m}/1.8\mu\text{m}$  obtenida de **spice**, también se muestra la característica i-v obtenida de la ecuación (1.5). Nótese que el transistor MOS después de alcanzar la saturación se convierte en una fuente de corriente controlada por voltaje, en este caso  $V_{DS}$ .

Para el ejemplo descrito es posible que la deducción de un solo paso de ajuste sea necesario para determinar que tal corriente es aceptable para el diseño propuesto. Si no fuera el caso, un nuevo factor de ajuste deberá ser obtenido. Si este proceso es necesario para cada transistor de un sistema que incluya una gran cantidad de transistores, el tiempo de diseño "a mano" aumenta y fijar el punto de operación en los valores adecuados se complica. Por tal razón, es necesario proponer un proceso de diseño, a nivel transistor y para la tecnología seleccionada, que evite el diseño del tipo "prueba y error".

### 1.3 Descripción del Modelo Propuesto.

Los modelos **spice** son hoy día muy complicados y difíciles para realizar cálculos *a-mano*, es entonces necesario determinar un modelo sencillo para usarse en el aula y que proporcione de manera fácil resultados aproximados o similares a los obtenidos de **spice** y que permita, a quienes participan del diseño electrónico, conocer el desempeño del transistor MOS bajo ciertas condiciones de polarización con cálculos simples. El problema de fondo son los algoritmos con los que el simulador genera los parámetros del punto de polarización del transistor [7], es decir, hay un algoritmo asociado a cada transistor de geometría diferente, por lo que, para un diseño con diversas geometrías, el simulador usará tantos algoritmos como dimensiones diversas existan. Por lo anterior, si el propósito es reproducir, en buena medida, los resultados del simulador a través del trabajo *a-mano* que se realiza en el aula, es necesario definir un procedimiento que permita realizar tal tarea. Para ello en este documento se propone realizar todo diseño a partir de un transistor patrón, el cual estará definido por una relación  $(W/L)=1.8/1.8$ . En consecuencia, todo diseño posterior cuyos transistores resulten de gran geometría, estarán formados por la conexión en paralelo de tantos transistores patrón como sean necesarios. Del punto de vista del simulador, éste usará únicamente los algoritmos asociados al transistor patrón ya que la geometría requerida se ajustará a través del parámetro **M** de **spice**. Por lo anterior, el modelo que se propone está dado por (1.6), donde la obtención de  $V'_{DS}$ ,  $V_{DSAT-MOD}$ ,  $\lambda_{MOD}$  y  $\Pi$  se describirá en las siguientes secciones.

$$I_{DS,n} = \mu_n C_{ox} \frac{W}{2L} \Pi_n V_{DSAT-MOD}^2 \left[ 1 + \lambda_{MOD} V'_{DS} \right] \quad (1.6)$$

Como se mencionó con anterioridad, el voltaje de saturación determina la frontera entre la región lineal y de saturación del transistor MOS. Este potencial se denotará como  $V_{DSAT-MOD}$  y, en efecto, es un parámetro que es función del potencial compuerta-fuente  $V_{GS}$ . Por otro lado, para ser congruente con el efecto de modulación de canal, se define el potencial  $V'_{DS}$  que es función tanto del potencial de compuerta como de  $V_{DS}$ .

#### 1.3.1 Potencial de saturación

Para determinar una forma analítica simple para este potencial, se captura  $V_{DSAT-SPICE}$  para diversos potenciales de compuerta-fuente, de manera que con el conjunto de puntos mostrados en la Tabla 1 se procede a obtener una regresión potencial. De ello se deduce la siguiente expresión

$$V_{DSAT-MOD} = \Delta_n (V_{GS} - V_{Tn})^{\delta_n} \quad (1.7)$$

donde  $\Delta_n=0.9056$ ,  $\delta_n=0.7783$  y  $(V_{GS}-V_{Tn})$  es básicamente  $V_{DSAT-SIMPLE}$ . Aquí  $V_{GS}$  es un parámetro que está bajo el control del diseñador, mientras que  $V_{Tn}$  es un parámetro proporcionado por el fabricante.

$V_G$	$V_{DSAT-SIMPLE}$	$V_{DSAT-SPICE}$
1	0.3748	0.425
2	1.3748	1.13
3	2.3748	1.75
4	3.3748	2.31
5	4.3748	2.83

**Tabla 1.** Tabulación del potencial de saturación proporcionado por **spice** en función del potencial compuerta-fuente. Los valores en la columna intermedia son para propósitos comparativos.

### 1.3.2 Característica $I_{DS}-V_{DS}$

Para transistores de canal corto, operando en la región de saturación, el transistor MOS no solo es una fuente de corriente controlada por  $V_{GS}$  sino también por  $V_{DS}$ . Esta última dependencia es menor conforme el valor de  $V_{GS}$  sea menor, sin embargo, es prudente determinar esta característica para potenciales de hasta 5V.

Para  $V_{DS} \geq V_{DSAT-MOD}$  la característica  $I_{DS}-V_{DS}$  es aproximadamente una recta de pendiente  $m$ , de manera que existe un conjunto de valores  $\{m\}$  que son función de  $V_{GS}$ .

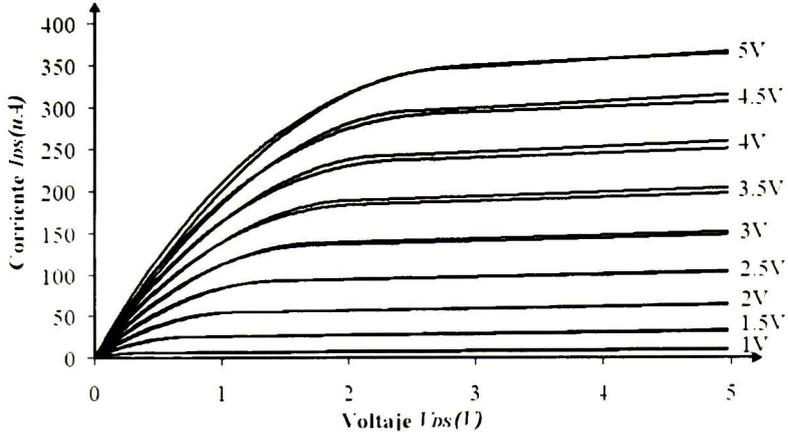
Para determinar una forma analítica simple que permita representar el efecto de la modulación de canal, se capturan las curvas obtenidas de **spice** para diversos potenciales de compuerta-fuente, de manera que con este conjunto de curvas se procede a obtener el ajuste correspondiente. De ello se obtiene la siguiente expresión.

$$\lambda_{MOD} = \frac{V_{GS}}{7} \left[ \frac{1}{35} + V_{GS}^{-3} \right] \quad (1.8)$$

En este resultado el segundo sumando es adecuado para ajustar la característica corriente-voltaje para potenciales  $V_{GS}$  de hasta 5V. Luego, el valor asociado a  ${}^n V'_{DS}$  es

$${}^n V'_{DS} = V_{DS} - \Delta_n (V_{GS} - V_{Tn})^{\delta_n} \quad (1.9)$$

Sin embargo, se sabe que para diferentes valores del potencial  $V_{GS}$ , la región de inversión experimenta diferentes niveles de dispersión, en otras palabras, la movilidad de portadores es función del nivel de inversión en la superficie del material semiconductor. Por esa razón, los simuladores asocian diversos valores de movilidad, cuya selección depende de las condiciones de polarización del transistor. Por lo tanto, para evitar en el trabajo *a-mano* tal dificultad, es que se introduce la constante  $\Pi_n$  cuyo valor aproximado es 7/6. La Fig. 1.7 muestra la característica  $I_{DS}-V_{DS}$  proporcionada por el simulador y la obtenida de (1.6) para el transistor patrón.



**Figura. 1.7** Gráfica comparativa de simulación spice para un transistor NMOS y del modelo del transistor patrón con geometría  $W=1.8\mu\text{m}$  y  $L=1.8\mu\text{m}$ .

Siguiendo un procedimiento análogo al descrito, el modelo propuesto para un transistor PMOS está dado por

$$I_{SD \cdot p} = \mu_p C_{ox} \frac{W}{2L} \Pi_p {}^p V_{DSAT-MOD}^2 [1 + {}^p \lambda_{MOD} {}^p V_{SD}] \quad (1.10)$$

$${}^p V_{DSAT-MOD} = \Delta_p (V_{SG} - V_{Tp})^{\delta_p} \quad (1.11)$$

$${}^p V_{SD} = V_{SD} - \Delta_p (V_{SG} - V_{Tp})^{\delta_p} \quad (1.12)$$

donde  $\Delta_p=0.8712$ ,  $\delta_p=0.9$ ,  $\Pi_p=7/6$  y  $(V_{SG}-V_{Tp})$  es básicamente  $V_{DSAT-SIMPLE}$ ,  $\mu_p$  es la movilidad para portadores de carga positiva y  $V_{Tp}$  es el potencial de encendido del transistor.

Pero existe un problema; el transistor patrón de dimensiones  $(W/L)= 1.8/1.8$  no puede conectarse en paralelo en un diseño de layout porque violaría las reglas de diseño, su forma se asemeja al llamado “hueso de perro”, lo cual ofrece muchas desventajas. Entonces las dimensiones del transistor patrón cambiarán a  $(W/L)= 4.2/1.8$ . Ver figuras (1.8) y (1.9). Esto no modifica todo el desarrollo anterior, solo es necesario cambiar  $\Pi_n$  y  $\Pi_p$  a una aproximación más exacta, ya que son dependientes del voltaje de compuerta y están dados por:

$$\Pi_n = -0.034V_{GS}^2 + 0.2522V_{GS} + 0.6985 \quad (1.13)$$

$$\Pi_p = -0.0411V_{SG}^2 + 0.2851V_{SG} + 0.5674 \quad (1.14)$$

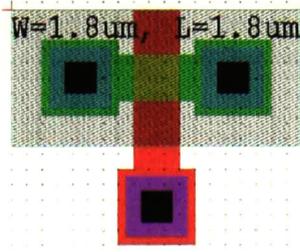


Figura 1.8. Detalle del transistor patrón  $W=1.8\mu\text{m}/L=1.8\mu\text{m}$ .

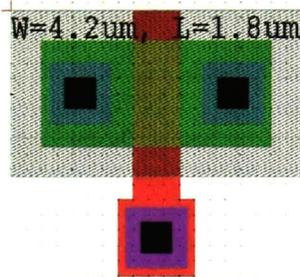


Figura 1.9. Nueva geometría del transistor patrón  $W=4.2\mu\text{m}/L=1.8\mu\text{m}$ .

En la figura (1.10) se muestra la característica i-v para el transistor patrón ( $W/L$ )= 4.2/1.8 donde se puede apreciar una mejora en el ajuste de las curvas para voltajes de compuerta bajos.

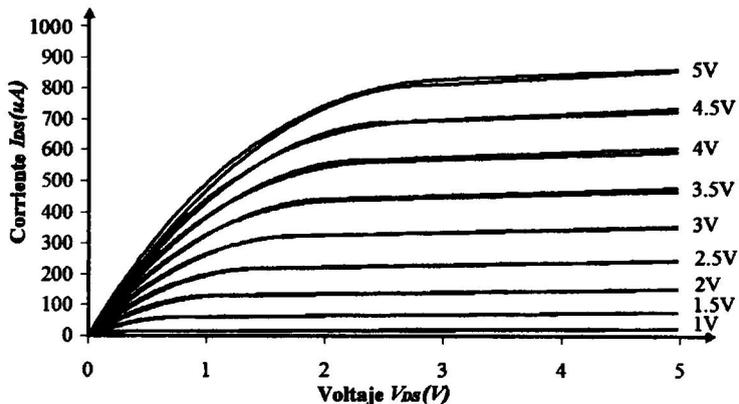


Figura. 1.10 Gráfica comparativa de simulación spice para un transistor NMOS y del modelo del transistor patrón con geometría  $W=4.2\mu\text{m}$  y  $L=1.8\mu\text{m}$ .

El modelo propuesto demuestra, como se puede apreciar en la respuesta (ver fig. 1.10), que con pocos parámetros de ajuste es posible obtener un modelo matemático para transistores asociados a la tecnología CMOS 1.2 $\mu$ m, en el que se incluyen fenómenos de reducción del voltaje de umbral y de la corriente de saturación; fácil de usar en cálculos a mano.

#### 1.4 Conclusiones

En el presente capítulo se describió la operación del transistor MOS, bajo ciertas condiciones de polarización, y se planteó la necesidad de un modelo matemático sencillo para su utilización en el aula con el cual se reproduzcan los resultados del punto de operación del transistor involucrado en el diseño sin la utilización de algoritmos o ecuaciones matemáticas complicadas. Entonces se desarrolló y explicó un procedimiento matemático donde se obtuvo un modelo que proporciona los mismos resultados que el simulador de circuitos **spice**. Este modelo toma en cuenta los efectos de segundo orden que se presentan en los transistores MOS debido a la miniaturización o dicho con otras palabras, reducción de las dimensiones del canal de conducción, estos efectos son: modulación de canal, saturación de la velocidad de los portadores, reducción del voltaje de saturación, entre otros. Además este modelo plantea un procedimiento de diseño, basado en un transistor patrón, que desde el punto de vista del simulador, éste solo tiene que utilizar los parámetros necesarios para este transistor y repetirlo tantas veces como sea necesario, y así evitar que el simulador acuda a diferentes parámetros dependiendo de las dimensiones de cada transistor. Es entonces necesario realizar conexiones en paralelo de transistores patrón hasta lograr la corriente deseada.

Se ha comprobado que de esta manera el tiempo invertido en el diseño se ve reducido notablemente, así también, el diseñador tendrá la seguridad de que los resultados en la simulación serán muy similares a los obtenidos en los cálculos *a-mano*.

## Referencias

- [1] J. E. Lilienfeld, "Method and apparatus for controlling electric currents", U. S. Patent 1745175, Application filed oct. 8 1926 granted jan. 18 1930.
- [2] J. E. Lilienfeld, "Device for controlling electric current", U. S. Patent 1900018, Application filed mar 28 1928 granted mar 7 1933.
- [3] J. E. Lilienfeld, "Amplifier for electric currents", U. S. Patent 1877140, Application filed dec 8 1928 granted sep 13 1932.
- [4] C. T. Sah, "Evolution of the MOS Transistor From Conception to VLSI", Proc. IEEE, 76, 1280, octubre 1988.
- [5] Dieter K. Schroder, *Advanced MOS Devices*, Arizona State University, Addison-Wesley publishing company, 1987.
- [6] Robert F. Pierret, *Field Effect Devices*, 2<sup>nd</sup> edition, Addison-Wesley publishing company, 1990.
- [7] Phillip E. Allen and Douglas R. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, New York, 2002.
- [8] Roubick Gregorian and Gabor C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, John Wiley & Sons, 1986.

# Capítulo 2

## CIRCUITO ACONDICIONADOR DE SEÑAL

### 2.1 Introducción

Muchas cantidades físicas son de interés para diversas aplicaciones, es por ello que su detección y acondicionamiento eléctrico son tareas básicas para tal propósito. Campo magnético, voz, luz, presión y temperatura son algunas variables físicas que, mediante el transductor adecuado, son convertidas a señal eléctrica con la máxima precisión y confiabilidad posible. Sin la precisión y confiabilidad de los transductores muchas de sus aplicaciones no serían posibles, simplemente porque el error sería tan grande que resultaría prácticamente imposible diferenciar entre la señal de interés y el ruido, lo cual causaría problemas de funcionamiento de los sistemas, falsas alarmas, errores de detección, etc. Es por eso que los transductores juegan un papel muy importante en los sistemas de detección y acondicionamiento. En lo que se refiere a la detección de variables magnéticas, hoy día se pueden encontrar transductores en muchas aplicaciones que incluyen controladores de motores eléctricos, sistemas de almacenamiento para computadoras, detectores de seguridad, aplicaciones automotrices, etc. [1]

Considerando las ventajas que ofrecen las tecnologías de circuitos integrados, una cantidad importante de microsensores integrados completamente en silicio y que incluyen circuitos de interfaz están, en la actualidad, reemplazando a los sensores discretos en vista de sus inherentes ventajas como son el bajo costo, alta confiabilidad y la capacidad de procesamiento "on-chip" [1]. Por lo anterior, es que en este trabajo se usarán y aprovecharán las capacidades de una tecnología CMOS, pozo N, dos metales y dos niveles de polisilicio, para el diseño de un circuito que acondicione la señal eléctrica proporcionada por un MagFET. Este último es el transductor que convierte señales magnéticas en señal eléctrica. La Fig. 2.1 muestra una vista superior del transductor, el que está basado en una estructura denominada "de dos drenajes" [2].

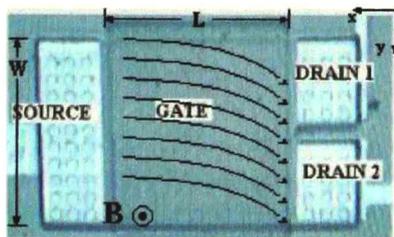
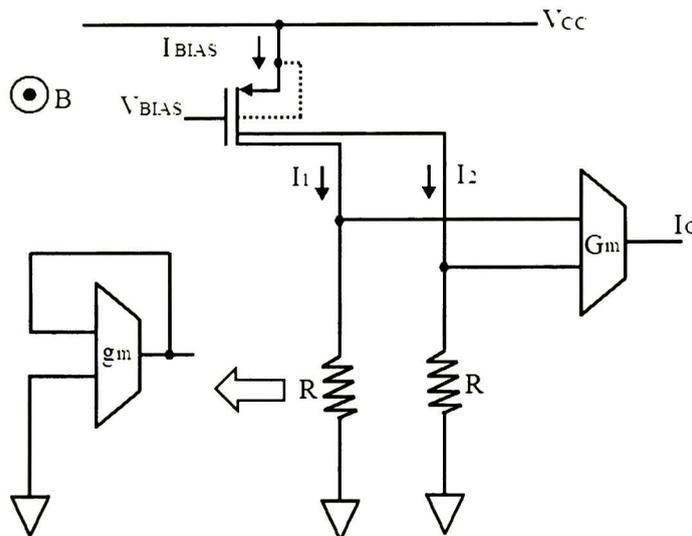


Figura 2.1. El transductor es un transistor MOS de dos drenajes. Las líneas de campo magnético  $B$  son perpendiculares al plano del transistor.

La idea del sistema acondicionador de señal se muestra en la figura 2.2, donde **B** representa una señal magnética que es perpendicular a la compuerta del transistor (MagFET). La corriente que colecta cada uno de los drenajes es convertida a voltaje por cada resistor **R**; el resistor se implementa con un OTA (amplificador de transconductancia) en retroalimentación. Este es un resistor equivalente, aterrizado, y su valor corresponde al recíproco de la  $g_m$  (transconductancia) del OTA. Este voltaje diferencial generado es una medida del campo magnético aplicado. Desde el punto de vista del MAGFET, éste es equivalente a dos MOSFETs con solo el 50% del ancho del MAGFET. Por lo tanto, las corrientes de los dos drenajes, idealmente son iguales si no existe campo magnético, y su magnitud será función solamente del voltaje aplicado a su compuerta. Bajo la influencia de un campo magnético perpendicular, ocurre un desbalance de corriente de los dos drenajes. Debido al efecto Hall, el dispositivo MOSFET con dos drenajes adyacentes aislados, puede sensar el campo magnético.

Un tercer OTA tomará la diferencia del voltaje de los dos drenajes del MAGFET y la convertirá en corriente de salida. Esta corriente amplificada podrá excitar circuitos posteriores. El uso del OTAs es justificado debido a la no linealidad de los resistores monolíticos cuyo desempeño depende en gran medida del proceso MOS. En el diseño del OTA es necesario satisfacer algunos requerimientos muy específicos y esto se verá mas adelante, donde se explicará con más detalle su diseño y funcionamiento.



**Figura 2.2.** Circuito Acondicionador de señal. Un factor para implementar un resistor usando un OTA es la no linealidad de los resistores monolíticos.

## 2.2 El transistor Magnético MAGFET

El MOSFET Magnético (MAGFET) es un tipo de sensor que puede sensar el campo magnético y convertirlo a su correspondiente señal eléctrica como voltaje, corriente, frecuencia, etc. En algunas aplicaciones el sensor Hall es más popular que el MAGFET, debido a que este último es más dependiente de la temperatura, tiene un offset mayor y es una fuente generadora de ruido.

A pesar de que la operación física de los dos dispositivos es similar, las señales resultantes de salida son muy diferentes. El sensor Hall es el transductor que convierte campo magnético en voltaje debido al efecto Hall. En cambio el MAGFET puede producir la correspondiente señal de corriente con respecto al campo eléctrico externo [3]-[4]. Cabe mencionar que en ausencia de campo magnético la operación del MAGFET es la misma que la de un MOSFET.

### 2.2.1 Principio de operación.

El efecto Hall es el principio básico de operación del MAGFET, este efecto es causado por la fuerza de Lorentz, la cual actúa sobre los portadores de carga móviles dentro de un campo magnético. La figura 2.3 muestra un campo eléctrico aplicado a lo largo del eje X y un campo magnético aplicado a lo largo del eje Z. Considere que se trata de una muestra de semiconductor tipo "P" La fuerza de Lorentz,  $q\mathbf{v}\mathbf{B}$  ( $=q\mathbf{v}_x\mathbf{B}_z$ ), debido al campo magnético ejercerá una fuerza promedio ascendente sobre los huecos fluyendo en la dirección X. La corriente en dirección ascendente causará una acumulación de huecos en la parte superior de la muestra, lo cual produce un campo eléctrico  $\varepsilon_y$  en dirección descendente. El establecimiento del campo eléctrico es conocido como el efecto Hall. El campo Hall  $\varepsilon_y$  es proporcional al producto de la densidad de corriente  $J_p$  y el campo magnético  $B_z$

$$\varepsilon_y = \left( \frac{J_p}{qp} \right) B_z = R_H J_p B_z \quad (2.1)$$

donde la constante de proporcionalidad  $R_H$  es el coeficiente Hall [13]. El campo Hall genera una diferencia de potencial  $V_H$  el cual es proporcional al valor de la corriente  $I$  y al campo magnético  $B$ .

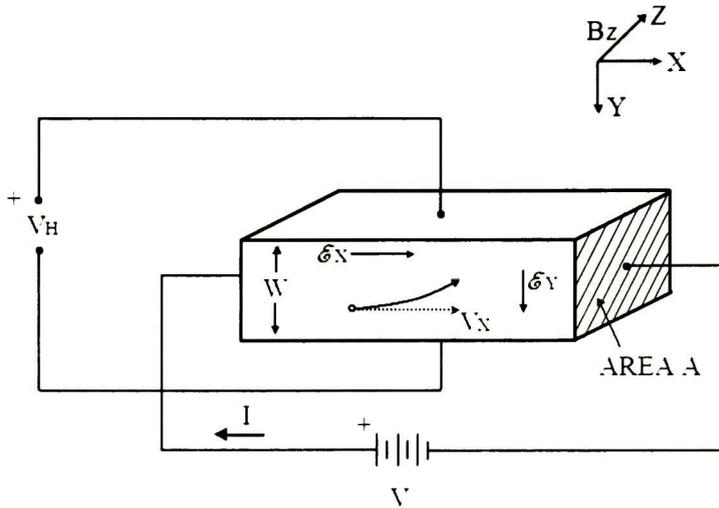


Figura 2.3. Efecto Hall en un semiconductor tipo “P”

Cuando la capa de inversión del MAGFET es formada, ésta actúa como la muestra de semiconductor tipo “P” de la figura 2.3; las principales diferencias entre el MAGFET y el sensor Hall recaen en que el grosor de la capa de inversión es muy pequeño (por ejemplo el grosor de la capa de inversión es de aprox.  $50 \text{ \AA}$ ), y que la movilidad de los portadores es menor en la superficie que en el sustrato debido a los defectos interfaciales y al campo eléctrico transversal [12]. La figura 2.4 muestra la estructura física del MAGFET con dos drenajes adyacentes D1 y D2. El circuito equivalente del MAGFET se muestra en la figura 2.5. La fuente de corriente controlada por la señal magnética en la figura 2.5 es usada para modelar la desviación de corriente causada por el campo eléctrico externo. El valor de la fuente dependiente es calculado por la sensibilidad relativa del MAGFET. Por ejemplo,

$$\Delta_i = S \cdot I_d \cdot B_z \quad (2.2)$$

donde  $I_d$  es la corriente de polarización del MAGFET,  $S$  es la sensibilidad relativa del MAGFET, y  $B_z$  es el campo magnético perpendicular [3].

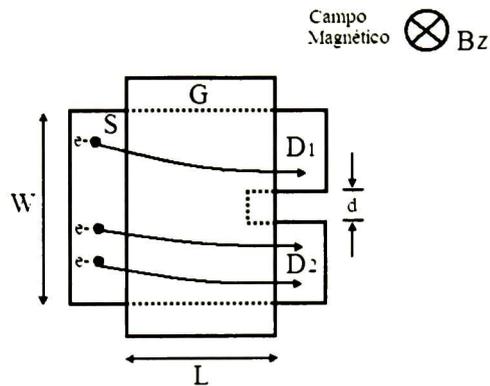


Figura 2.4. Layout del MAGFET de dos drenajes.

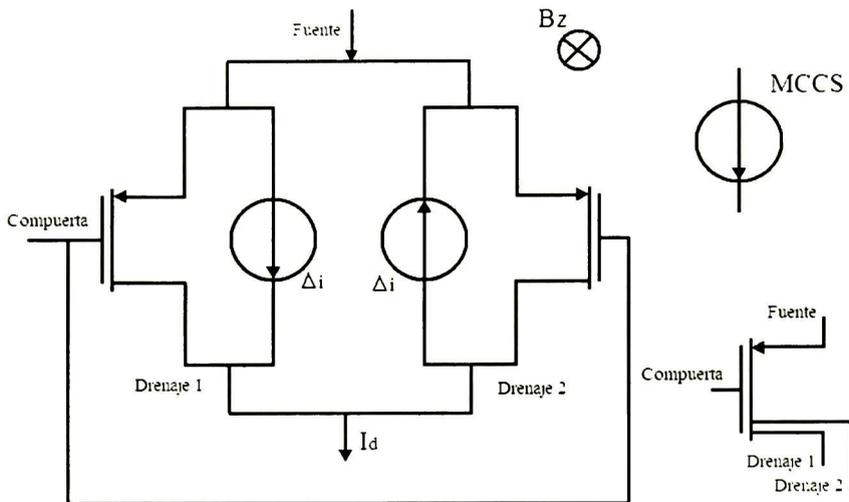


Figura 2.5. Modelo Spice para el MAGFET. Las fuentes de corriente  $\Delta_i$  se usan para modelar la desviación de corriente de los drenajes adyacentes, a causa del campo magnético aplicado.

### 2.3 Amplificador Diferencial (OTA)

El amplificador diferencial es un arreglo de transistores que permite amplificar la diferencia entre dos fuentes de señal, y la salida es proporcional a esta diferencia. El amplificador diferencial se ha convertido en un circuito muy útil debido a su compatibilidad con la tecnología de circuitos integrados, en adición a su habilidad para amplificar señales diferenciales. Un amplificador diferencial puede ser considerado un

OTA, si su impedancia de entrada y salida es muy alta, esto principalmente dependerá de las especificaciones de diseño y su aplicación. Generalmente un OTA está formado por un amplificador diferencial y una etapa de ganancia.

Un Amplificador Operacional de Transconductancia (OTA), también llamado elemento de transconductancia o transconductor, es un dispositivo que transforma voltaje de entrada diferencial en corriente de salida. La ganancia de transconductancia  $G_m$ , puede variar usualmente en un amplio rango, y es controlada por una corriente de DC externa  $I_B$  [5].

### 2.3.1 Modelo ideal

El símbolo del OTA se muestra en la figura 2.6, el modelo de pequeña señal para un OTA ideal es una fuente de corriente controlada por un voltaje diferencial de entrada (VCCS), con una impedancia de entrada y de salida infinita.

$$i_{out} = G_m (v^+ - v^-) \quad (2.3)$$

La figura 2.7 muestra algunos ejemplos de redes construidas con OTAS, la función de transferencia y fórmulas de impedancia para cada circuito pueden ser verificadas fácilmente sustituyendo el modelo ideal de la figura 2.6.

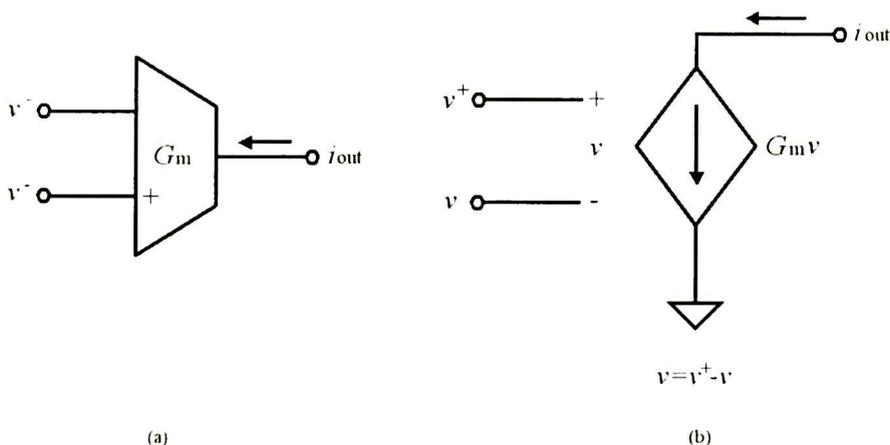
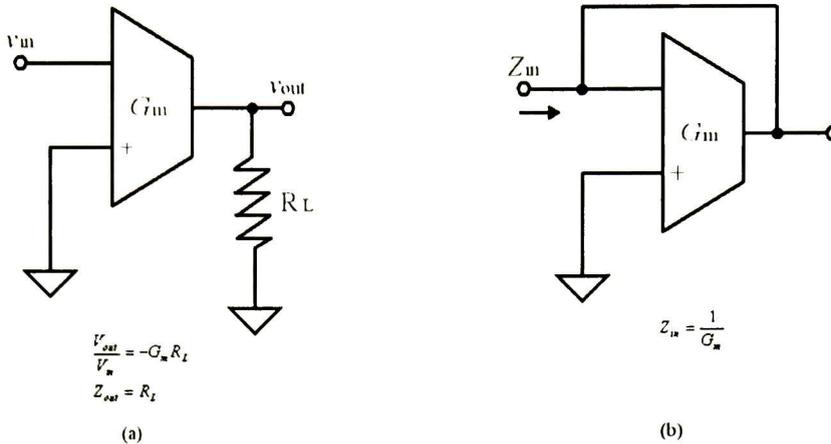


Figura 2.6. OTA: (a) Símbolo (b) Modelo ideal.

Las mayores limitaciones del comportamiento no ideal son la no linealidad y la alta variabilidad de  $G_m$ . Por ejemplo, para obtener una  $G_m$  suficientemente lineal (>80dB rango dinámico), la amplitud de la señal de entrada posiblemente será limitada a valores tan pequeños como 10-50mV pico a pico. Por esta razón esquemas de linealización son usualmente requeridos para lograr una operación lineal con señales de entrada prácticas, es decir  $\pm 1V$  o mayores [6].



**Figura 2.7.** Circuitos con OTAS: (a) Amplificador inversor de voltaje con carga  $R_L$ , (b) Resistencia controlada.

### 2.3.2 Principio de operación.

El objetivo del amplificador diferencial es amplificar solo la diferencia entre dos señales de entrada, sin importar el nivel en modo común de esas señales. El amplificador diferencial está caracterizado por su ganancia en modo diferencial así como también su ganancia en modo común. La razón entre la ganancia en modo diferencial y la ganancia en modo común es llamada la razón de rechazo en modo común (CMRR). Idealmente la CMRR debe ser tan grande como sea posible, esto significa que la ganancia en modo común, por lo tanto, debe ser lo más pequeña posible. Otra característica del amplificador diferencial es el rango de la señal de entrada en modo común, el cual especifica el rango de valores en modo común sobre los cuales el amplificador diferencial continúa sensando y amplificando la señal en modo diferencial.

Por ganancia en modo diferencial se entiende la capacidad que tiene el par diferencial de amplificar las señales de diferente fase en su entrada. La ganancia en modo común es la capacidad del par diferencial de rechazar o atenuar señales de la misma fase o polaridad aplicadas a su entrada. La figura 2.8 muestra el amplificador diferencial con entrada en modo común y entrada en modo diferencial.

En la figura 2.9 se muestra un par diferencial básico, que servirá como punto de partida para describir el funcionamiento del amplificador diferencial. El par diferencial utiliza una fuente de corriente  $I_{SS}$  para hacer a las corrientes de drenaje de los dos transistores, independientes del valor en modo común del voltaje de entrada, como se muestra en la figura 2.9. Si  $V_{in1} = V_{in2}$ , la corriente de drenaje de cada transistor es igual a  $I_{SS}/2$  y el nivel de la salida en modo común es  $V_{DD} - R_D I_{SS}/2$ .

Ahora supongamos que  $V_{in1}-V_{in2}$  varía desde  $-\infty$  hasta  $+\infty$ . Si  $V_{in1}$  es mucho más negativo que  $V_{in2}$ ,  $M_{n1}$  está apagado y  $M_{n2}$  está encendido, e  $I_{D2}=I_{SS}$ . Por lo tanto,  $V_{out1}=V_{DD}$  y  $V_{out2}=V_{DD}-R_D I_{SS}$ . Conforme  $V_{in1}$  se acerca más a  $V_{in2}$ ,  $M_{n1}$  gradualmente se enciende, derivando una fracción de  $I_{SS}$  por  $R_{D1}$  y por lo tanto bajando  $V_{out1}$ . A partir de que  $I_{D1}+I_{D2}=I_{SS}$ , la corriente de drenaje de  $M_{n2}$  decrece y  $V_{out2}$  aumenta. Como se muestra en la Figura 2.10(a), cuando  $V_{in1}=V_{in2}$ ,  $V_{out1}=V_{out2}=V_{DD}-R_D I_{SS}/2$ . Conforme  $V_{in1}$  aumenta y se hace más positivo que  $V_{in2}$ , por  $M_{n1}$  circula una corriente mayor que la que circula por  $M_{n2}$  y  $V_{out1}$  cae por debajo de  $V_{out2}$ . Para una cantidad suficientemente alta y positiva  $V_{in1}-V_{in2}$ , por  $M_{n1}$  circula toda la corriente  $I_{SS}$ , apagando al transistor  $M_{n2}$ . Como resultado,  $V_{out1}=V_{DD}-R_D I_{SS}$  y  $V_{out2}=V_{DD}$ .

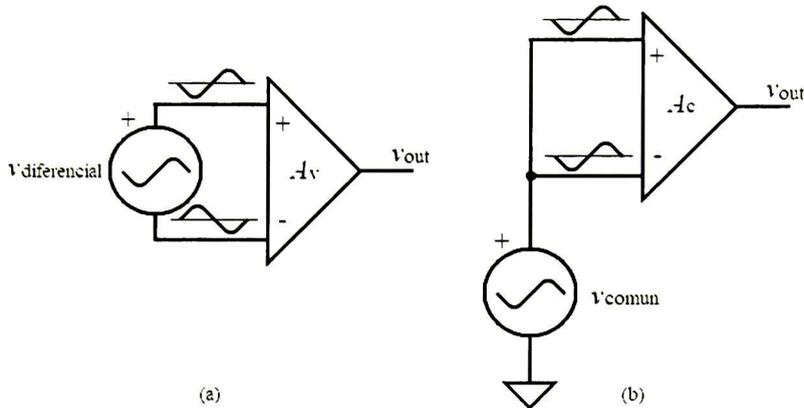


Figura 2.8. Amplificador con entrada: (a) modo diferencial y (b) modo común.

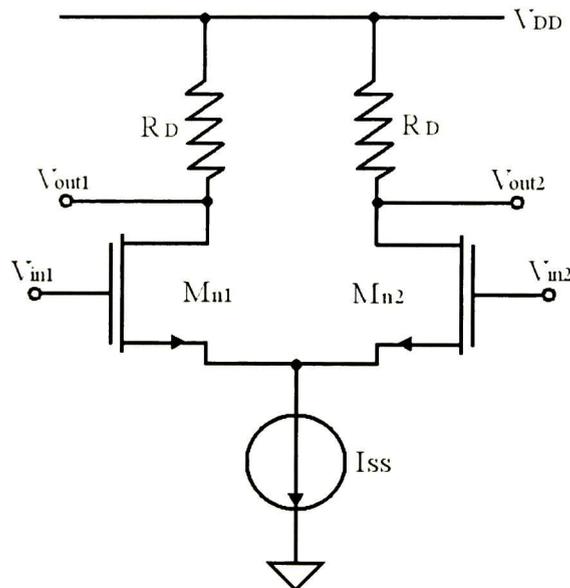


Figura 2.9. Par diferencial básico.

El análisis precedente revela dos atributos importantes del par diferencial. Primero, los niveles máximos y mínimos a la salida están bien definidos ( $V_{DD}$  y  $V_{DD}-R_D I_{SS}$ , respectivamente) y son independientes del nivel en modo común de la entrada. Segundo, la ganancia de pequeña señal  $g_m$  (la pendiente de  $V_{out1}-V_{out2}$  contra  $V_{in1}-V_{in2}$ , Figura 2.10(b)) es máxima cuando  $V_{in1}=V_{in2}$ , y gradualmente cae a cero conforme  $|V_{in1}-V_{in2}|$  se incrementa. En otras palabras, el circuito es más no lineal conforme el rango del voltaje de entrada aumenta [7].

$$g_m = 2\beta I_D = \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \quad (2.4)$$

El amplificador diferencial básico de la figura 2.9, es un circuito ideal y no es práctico integrarlo en un sistema, debido a que las resistencias de carga  $R_D$  y la fuente de corriente  $I_{SS}$  no pueden ser implementadas como tales, además de que la señal de salida es voltaje. En la Figura 2.11 se muestra un amplificador diferencial CMOS, con resistencias activas como carga y corriente como señal de salida.

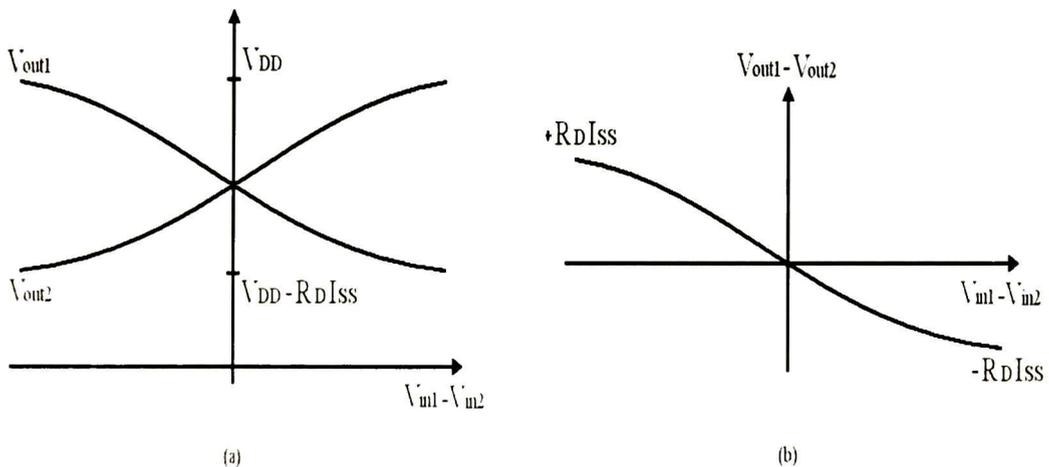
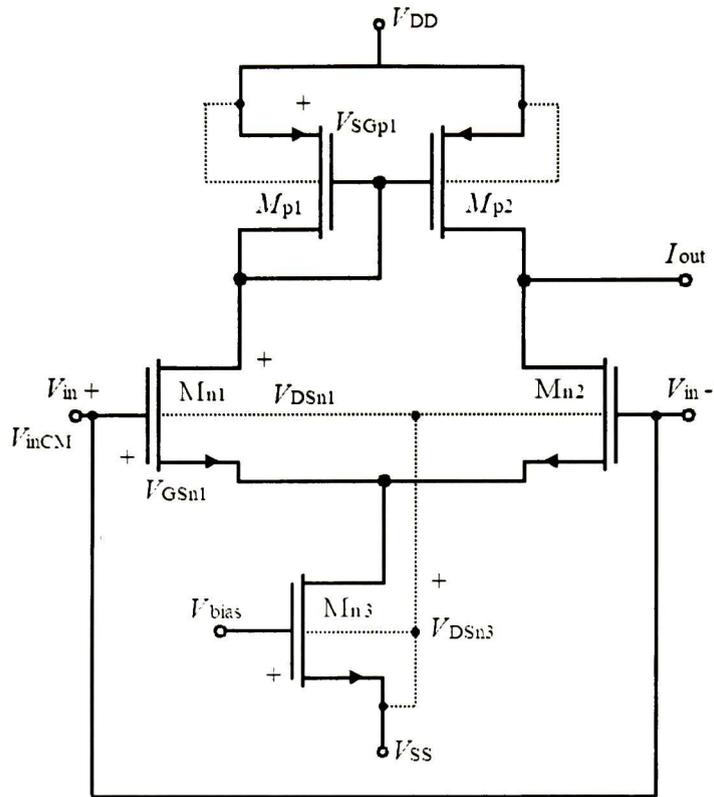


Figura 2.10. Características entrada-salida del par diferencial.



**Figura 2.11.** Amplificador diferencial CMOS.

Como se mencionó anteriormente, la fuente de corriente  $I_{SS}$  (el transistor  $M_{n3}$  en la Figura 2.11) tiene el propósito de hacer independiente el funcionamiento del amplificador diferencial, del valor en modo común del voltaje de entrada, pero, ¿puede funcionar correctamente el amplificador diferencial con cualquier valor de modo común a la entrada? Para responder a esta pregunta, se hará el análisis siguiente. Uniendo las terminales de entrada  $V_{in+}$  y  $V_{in-}$  y nombrando a este nodo  $V_{inCM}$ , como se muestra en la Figura 2.11. Si  $V_{inCM}$  comienza en cero y es llevado hacia  $V_{SS}$ , se alcanzará un punto donde  $M_{n3}$  va a entrar en la región de triodo. El voltaje  $V_{inCM}$  en este punto es el mínimo voltaje de entrada permitido para que el amplificador diferencial trabaje en la región de operación lineal ( $V_{inCMmin}$ ). Este voltaje mínimo está dado por la suma algebraica de los voltajes desde la entrada del amplificador diferencial hasta  $V_{SS}$ , ecuación (2.5).

$$V_{inCM\ min} = V_{SS} + V_{GSn1} + V_{DSn3} \quad (2.5)$$

Sustituyendo en la ecuación (2.5),  $V_{GSn1} = \sqrt{2I_{Dn1}/\beta_{n1}} + V_{Tn1}$ .

$$V_{inCM\ min} = V_{SS} + \sqrt{\frac{2I_{Dn1}}{\beta_{n1}}} + V_{Tn1} + V_{DSn3} \quad (2.6)$$

Para asegurar que  $M_{n3}$  esté en saturación,  $V_{DSn3}=V_{GSn3}-V_{Tn3}$ .

$$V_{inCM\ min} = V_{SS} + \sqrt{\frac{2I_{Dn1}}{\beta_{n1}}} + V_{Tn1} + \sqrt{\frac{2I_{Dn3}}{\beta_{n3}}} \quad (2.7)$$

El máximo voltaje de entrada permitido ocurre cuando  $V_{inCM}$  es llevado hacia  $V_{DD}$  y  $M_{n1}$  y  $M_{n2}$  entran en la región lineal ( $V_{inCMmax}$ ). Este voltaje está dado al igual que el voltaje  $V_{inCMmin}$ , por la suma algebraica de los voltajes desde  $V_{DD}$  hasta la entrada del amplificador diferencial, ecuación (2.8).

$$V_{inCM\ max} = V_{DD} - V_{SGp1} - V_{DSn1} + V_{GSn1} \quad (2.8)$$

Para que  $M_{n1}$  esté en saturación, el mínimo valor de  $V_{DSn1}=V_{GSn1}-V_{Tn1}$ .

$$V_{inCM\ max} = V_{DD} - V_{SGp1} - \left[ \left( \sqrt{\frac{2I_{Dn1}}{\beta_{n1}}} + V_{Tn1} \right) - V_{Tn1} \right] + V_{GSn1} \quad (2.9)$$

Sustituyendo  $V_{GSn1}=\sqrt{(2I_{Dn1}/\beta_{n1})}+V_{Tn1}$  en la ecuación (2.9) es fácil llegar a la siguiente expresión.

$$V_{inCM\ max} = V_{DD} - V_{SGp1} + V_{Tn1} \quad (2.10)$$

Finalmente sustituyendo  $V_{SGp1}=\sqrt{(2I_{Dp1}/\beta_{p1})}+V_{Tp1}$  en la ecuación (2.10).

$$V_{inCM\ max} = V_{DD} - \sqrt{\frac{2I_{Dp1}}{\beta_{p1}}} - V_{Tp1} + V_{Tn1} \quad (2.11)$$

Ahora bien tomando los resultados del análisis anterior, se puede decir que el rango de la señal de entrada en modo común, el cual especifica el rango de valores en modo común sobre los cuales el amplificador diferencial continúa sensando y amplificando la señal en modo diferencial está acotado por  $V_{inCMmax}$ , ecuación (2.11) y  $V_{inCMmin}$ , ecuación (2.7)[8]. Una característica importante del amplificador diferencial, como ya se mencionó, es su habilidad para rechazar señales en modo común; para el amplificador diferencial ideal, la salida debido a estas señales es cero, porque cuando se aplica superposición a la salida respecto a cada una de las entradas, la señales en los drenajes de los transistores  $M_{n1}$  y  $M_{n2}$  tienen la misma fase, y por lo tanto se cancelan. Esto aparentaría implícitamente que la ganancia en modo común es cero y que la CMRR es infinita. En la práctica, los transistores que forman el par diferencial no son idénticos, y las pequeñas diferencias en sus parámetros resultan en una pequeña señal de salida. Tomando el circuito del amplificador diferencial de la Figura 2.11, es fácil encontrar una ecuación que describa la ganancia en modo común  $A_{CM}$ .

$$A_{CM} = \frac{V_{out}}{V_{inCM}} = -\frac{g_{dsn3}}{2g_{mp2}} = -\frac{1}{2g_{mp2}r_{on3}} \quad (2.12)$$

La ganancia en modo común  $A_{CM}$ , ecuación (2.12) puede ser reducida incrementando la resistencia de salida de la fuente de corriente ( $M_{n3}$ ) [9]. Ahora, para ayudar a la visualización de la ganancia en modo diferencial, en la Figura 2.12 se muestran las corrientes en cada uno de los transistores en función del voltaje de entrada. La orientación de las flechas sirve como ayuda para suponer el flujo de corriente. Como se puede ver, la corriente en el nodo de salida (drenajes de  $M_{n2}$  y  $M_{p2}$ ) es:

$$i_{out} = \frac{g_{mn1}V_{in}}{2} + \frac{g_{mn2}V_{in}}{2} \quad (2.13)$$

Si los transistores de entrada  $M_{n1}$  y  $M_{n2}$  son iguales en dimensión, sus transconductancias por lo tanto también lo son y la ecuación (2.13) se puede simplificar.

$$i_{out} = g_{mn1,2}V_{in} \quad (2.14)$$

La resistencia  $R_{out}$  en el nodo de salida es:

$$R_{out} = r_{on2} \parallel r_{op2} = \frac{1}{g_{dsn2} + g_{dsp2}} \quad (2.15)$$

por lo tanto la ganancia de voltaje diferencial a circuito abierto es:

$$\frac{V_{out}}{V_{in}} = \frac{g_{mn1} + g_{mn2}}{2(g_{dsn2} + g_{dsp2})} = \frac{g_{mn1,2}}{g_{dsn2} + g_{dsp2}} = A_{DM} \quad (2.16)$$

En otras palabras, disminuyendo la corriente  $I_{SS}$  del par diferencial, y aumentando la resistencia de los transistores de salida  $M_{n2}$  y  $M_{p2}$ , la ganancia diferencial se puede incrementar al precio de sacrificar ancho de banda.

El parámetro más importante para el amplificador diferencial es CMRR, porque su habilidad para discriminar entre la señal requerida y la interferencia en modo común depende de este valor. Para una buena discriminación, la CMRR debe ser típicamente mayor a 80dB. Esto requiere un valor de ganancia en modo diferencial  $A_{DM}$  muy grande y un valor de ganancia en modo común  $A_{CM}$  muy pequeño [10].

$$CMRR = \frac{A_{DM}}{A_{CM}} = \frac{g_{mn1,2}(r_{on2} \parallel r_{op2})}{2g_{mp2}r_{on3}} \quad (2.17)$$

Otra característica que afecta el desempeño del amplificador diferencial es el offset. Cuando el voltaje diferencial de entrada es cero la salida puede no ser cero, esto debido al

offset sistemático y/o al offset aleatorio [11]. Técnicas de diseño de layout pueden ser usadas para minimizar los efectos de primer orden en el desacoplo o falta de coincidencia de los transistores MOS, debidas a los gradientes de óxido y variaciones de otros procesos [9]. En el siguiente capítulo se verá éste tema más a profundidad.

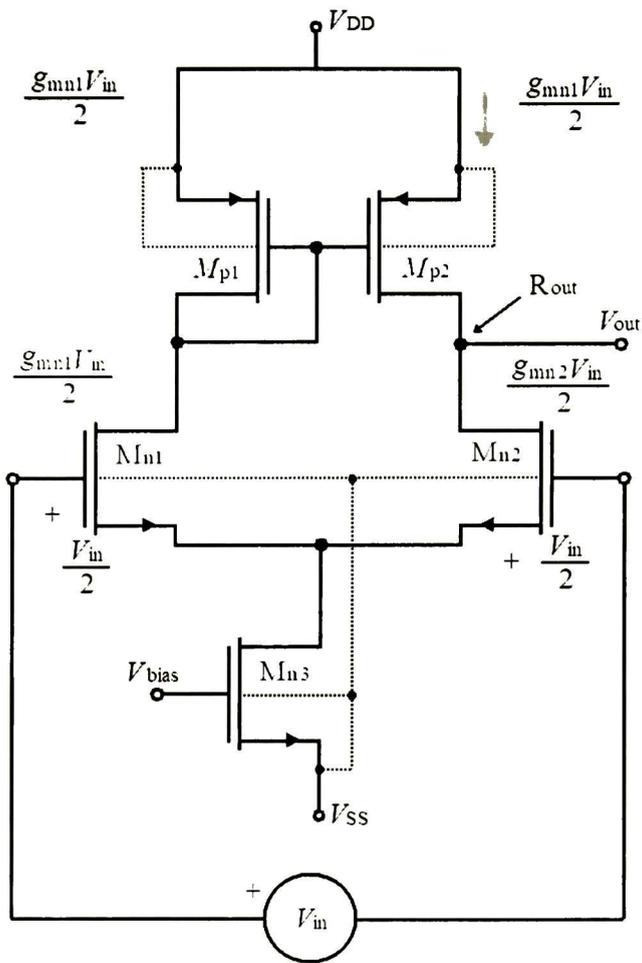


Figura 2.12. Amplificador diferencial CMOS con entrada diferencial.

## 2.4 Acondicionador de señal.

Como se mencionó al principio del capítulo, la pieza clave en el diseño del circuito acondicionador de señal es el amplificador diferencial (OTA), por lo que se han descrito también sus principales características, así como su funcionamiento. Durante el desarrollo

de este trabajo, se diseñó un amplificador diferencial, cumpliendo con especificaciones de diseño, como la transconductancia  $g_m$ , los voltajes de polarización  $V_{DD}$  y  $V_{SS}$ , la ganancia de voltaje en modo diferencial  $A_{DM}$ , sin descuidar la linealidad, la corriente  $I_{SS}$  y el punto de operación. Es necesario recalcar que el diseño se llevo a cabo con el modelo propuesto en el capítulo 1 para los transistores MOS desarrollados.

#### 2.4.1 Diseño del amplificador diferencial (OTA).

Tomando como punto de partida la ganancia de corriente en pequeña señal  $g_m$ , o dicho en otras palabras, la transconductancia del amplificador diferencial que por definición es:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \quad (2.18)$$

del modelo del transistor MOS descrito en el capítulo 1, se sabe que  $I_{DS}$ , es igual a:

$$I_{DS} = \frac{\beta}{2} \Pi (\Delta(V_{GS} - V_T)^\delta)^2 (1 + \lambda V_{DS}') \quad (2.19)$$

En este diseño  $\lambda \approx 1$  y  $V_{DS}' = 0$ , y la ecuación (2.19) se simplifica, por lo tanto  $I_{DS}$  se puede expresar como:

$$I_{DS} = \frac{\beta}{2} (\Delta(V_{GS} - V_T)^\delta)^2 \quad (2.20)$$

efectuando la derivada de  $I_{DS}$ , respecto  $V_{GS}$ :

$$\frac{\partial I_{DS}}{\partial V_{GS}} = \beta (\Delta(V_{GS} - V_T)^\delta) = g_m \quad (2.21)$$

despejando  $V_{GS}$  de la ecuación (2.21) resulta:

$$V_{GS} = \left( \frac{g_m}{\beta \Delta} \right)^{\frac{1}{\delta}} + V_T \quad (2.22)$$

tomando la ecuación (2.20) y despejando  $\Delta(V_{GS} - V_T)^\delta$  queda de la siguiente manera:

$$\Delta(V_{GS} - V_T)^\delta = \sqrt{\frac{2I_D}{\beta}} \quad (2.23)$$

Sustituyendo la ecuación (2.23) en la ecuación (2.21), se obtiene una expresión de  $g_m$  en función de la corriente de drenaje  $I_D$ .

$$g_m = \beta \sqrt{\frac{2I_D}{\beta}} = \sqrt{2\beta I_D} \quad (2.24)$$

A partir de la ecuación (2.24), ahora se procede a calcular la geometría (W/L) de los transistores de entrada  $M_{n1}$  y  $M_{n2}$ . Tomando en cuenta que el valor de la transconductancia deseado es  $g_m = 1mS$ .

$$\beta = \mu C_{ox} \frac{W}{L} \quad (2.25)$$

$$g_m = \sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_{n1,2} I_D} \cdot \left(\frac{W}{L}\right)_{n1,2} = \frac{g_m^2}{2\mu_n C_{ox} I_D} \quad (2.26)$$

$$\left(\frac{W}{L}\right)_{n1,2} = 26.14 \quad (2.27)$$

$\mu_n = 677.6 \text{ cm}^2/V.S$ ,  $C_{ox} = 112.9e^{-9} \text{ F/cm}^2$  de acuerdo al modelo nivel 3 de Spice y  $I_D = I_{SS}/2 = 250\mu A$ .

Según el modelo para el transistor MOS, descrito en el primer capítulo, donde se planteó la utilización de un transistor patrón como unidad de diseño principal, cuyas geometrías son:  $W/L = 4.2\mu m / 1.8\mu m$ , el valor de la ecuación (2.27) equivale a 11 transistores unitarios o patrón en paralelo. Ahora para poder determinar la geometría W/L del transistor  $M_{n3}$ , es necesario conocer su voltaje drenaje-fuente. Como se puede observar en la figura 2.13 el voltaje drenaje-fuente ( $V_{DS}$ ) del transistor  $M_{n3}$  es igual al voltaje de cuerpo-fuente ( $V_{BS}$ ) del transistor  $M_{n1}$ . A nivel de corriente directa se desea que el voltaje de la compuerta sea cero, como lo indican las líneas claras de símbolos de tierra unidos a las entradas en la figura 2.13. Entonces aplicando las leyes de Kirchoff, se obtiene la siguiente expresión.

$$V_{GSn1} + V_{DSn3} - V_{SS} = 0 \quad (2.28)$$

$$V_{GSn1} + V_{BSn1} = V_{SS} \quad (2.29)$$



vale la pena señalar que según la ecuación (2.30), si el voltaje  $V_{SB}=0$ , el voltaje  $V_T$ , será igual al  $V_{T0}$ . Sustituyendo la ecuación (2.30) en la ecuación (2.22), se puede deducir una expresión para conocer el voltaje  $V_{GS}$  en función del voltaje  $V_{BS}$ .

$$V_{GS} = \left( \frac{g_m}{\beta \Delta} \right)^{\frac{1}{\delta}} + V_{T0} + \gamma \left( 2\phi_F - V_{BS} - 2\phi_F \right) \quad (2.31)$$

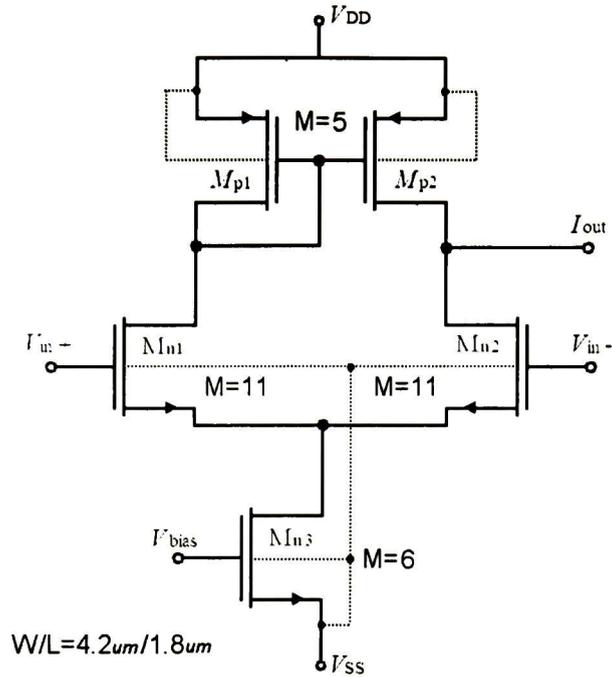
Resolviendo la ecuación (2.31) por método iterativo, se puede encontrar un valor para  $V_{GS}$  y para  $V_{SB}$ , que satisfaga la ecuación (2.29). Estos valores son:  $V_{GS}=1.43V$  y  $V_{SB}=1.07V$ . Como anteriormente se mencionó, el voltaje  $V_{SBn1}=V_{DSn3}$ , entonces con el resultado anterior se puede conocer la geometría del transistor  $M_{n3}$ . Tomando la ecuación (2.20) y despejando  $W/L$ , se obtiene la siguiente expresión, donde  $I_D=I_{S5}=500\mu A$ ,  $\Delta_n=0.9056$ ,  $\delta_n=0.7783$ .

$$\frac{W}{L} = \frac{2I_D}{\mu_n C_{ox} \left( \Delta_n (V_{GS} - V_T) \right)^{\delta_n}} = 14.55 \quad (2.32)$$

Ajustando a transistores patrón de  $W/L=4.2\mu m/1.8\mu m$ , resulta en 6 transistores patrón. Para los transistores  $M_{p1}$  y  $M_{p2}$ , solo es necesario conocer su voltaje compuerta-fuente, el cual se deduce de la Figura 2.13 y es del mismo valor que  $V_{DD}$ . Utilizando la ecuación (2.32), se puede obtener la geometría  $W/L$ .  $\Delta_p=0.8712$ ,  $\delta_p=0.9$ ,  $I_D=250\mu A$ .

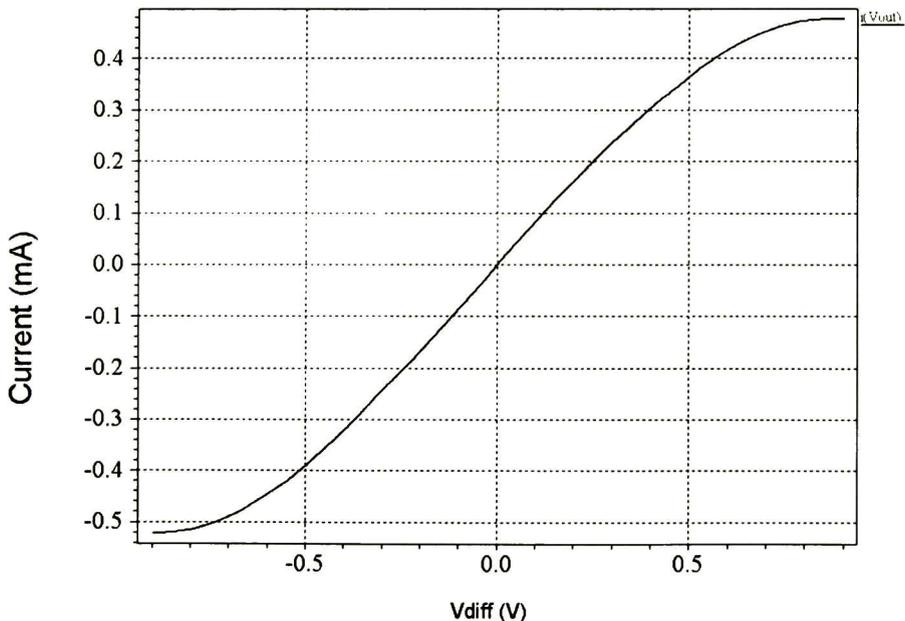
$$\frac{W}{L} = \frac{2I_D}{\mu_p C_{ox} \left( \Delta_p (V_{GS} - V_T) \right)^{\delta_p}} = 13.16 \quad (2.33)$$

Ajustando a transistores patrón de  $W/L=4.2\mu m/1.8\mu m$ , resulta en 5 transistores patrón.



**Figura 2.14.** Amplificador Diferencial diseñado, observe que todos los transistores tienen la misma geometría  $W/L$ , solo cambia el número de transistores  $M$  conectados en paralelo.

Los resultados de simulación obtenidos en Spice, del amplificador diferencial de la Figura 2.14, se muestran en las siguientes figuras.



**Figura 2.15.** Característica corriente-voltaje del amplificador diferencial diseñado.

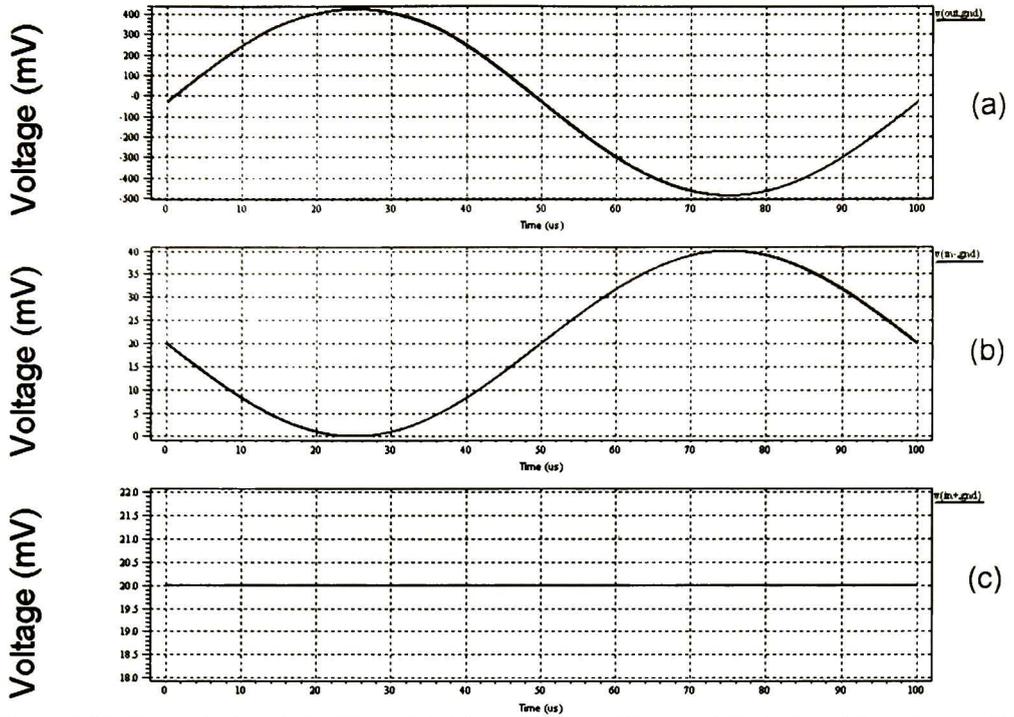


Figura 2.16. Ganancia de voltaje diferencial del amplificador diferencial diseñado. (a) Voltaje de salida. (b) Señal aplicada en la entrada negativa. (c) Señal aplicada en la entrada positiva.

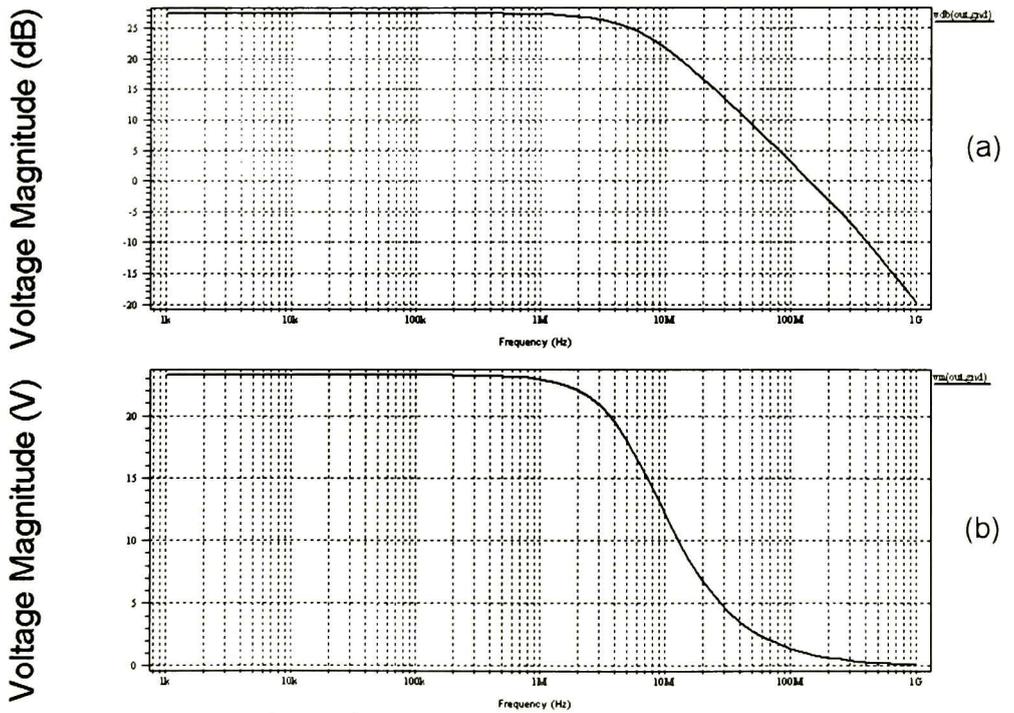


Figura 2.17. Respuesta en frecuencia del amplificador diferencial diseñado. (a) en  $dB$ . (b) en magnitud.

Como se puede ver en la Figura 2.15, el rango de linealidad para el amplificador diferencial es aproximadamente  $\pm 300mV$ , y la corriente de salida de aprox.  $500\mu A$ , que corresponde al valor que se tomó como especificación de diseño. La Figura 2.16 muestra la ganancia diferencial  $A_{DM}$  en ac del amplificador diferencial. En la terminal no inversora (in +) se aplica un voltaje de cd de  $20mV$ , Figura 2.16 (c) y en la terminal inversora se aplica una señal senoidal de  $40mV_{p-p}$ , Figura 2.16 (b), la salida que está dada por la ecuación (2.16), se muestra en la Figura 2.16 (a). La Figura 2.17 muestra la respuesta a la frecuencia del amplificador diferencial, con un capacitor de  $1pF$  como carga; la ganancia de voltaje es de  $27.3dB$  o de 23.3 veces en magnitud, la frecuencia de corte está localizada aprox.  $f_{3dB} = 6.2MHz$  y la frecuencia donde se tiene una ganancia unitaria está localizada aprox.  $f_{0dB} = 140.4MHz$ . Estas simulaciones se realizaron polarizando con un voltaje externo ( $V_{bias}$ ), la compuerta del transistor  $M_{n3}$  que funciona como fuente de corriente  $I_{SS}$ . En un circuito integrado esto no es posible y es entonces necesario diseñar redes divisoras de tensión para proveer las diferentes polarizaciones de todos los componentes internos del circuito. Esto se logra con componentes activos, como transistores conectados en configuración diodo. Una desventaja de este tipo de divisores de tensión es su dependencia directa a las variaciones de los voltajes de polarización, es decir  $V_{DD}$  y  $V_{SS}$ . Esto se verá posteriormente en los resultados del análisis Montecarlo.

#### 2.4.1.1 Diseño del circuito divisor de tensión.

Para conocer el valor de las geometrías  $W/L$  de cada uno de los transistores de la Figura 2.18 (b), solo es necesario conocer el voltaje  $V_{GS}$  y el voltaje  $V_T$ . De la figura se puede saber a simple vista cada uno de los voltajes  $V_{GS}$ , pero para conocer el voltaje  $V_T$  del transistor  $M_{Sn2}$ , es necesario utilizar la ecuación (2.30). A partir de la ecuación (2.19), y despejando  $W/L$  se tiene:

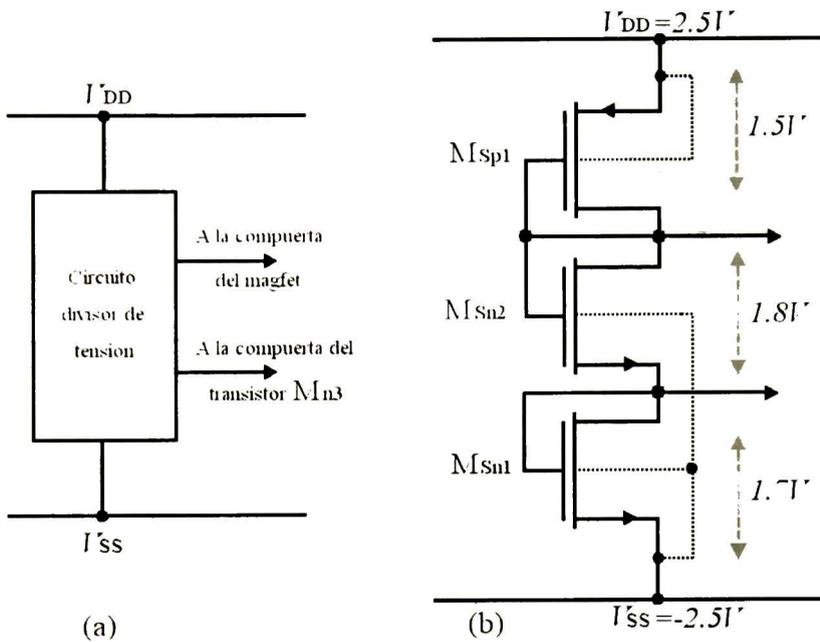
$$\frac{W}{L} = \frac{2I_D}{\mu_n C_{ox} \Pi_n (\Delta(V_{GS} - V_T)^{\delta_n})^2 (1 + \lambda_n V_{DS})} \quad (2.34)$$

$I_D = 200\mu A$ ,  $\Pi_n = (-0.034V_{GS}^2 + 0.2522V_{GS} + 0.6984)$ ,  $A_n = 0.9056$ ,  $\delta_n = 0.7783$ ,  $\lambda_n = (0.1428V_{GS}^2 + 0.00408V_{GS})$ . Sustituyendo estos valores, se obtiene la geometría  $W/L$ , del transistor  $M_{Sn1}$ , la cual equivale a 2 transistores patrón. Para el transistor  $M_{Sn2}$ , primero es necesario conocer su voltaje de encendido  $V_T$ , como se mencionó en el párrafo anterior, el cual se obtiene con la ecuación (2.30), y con este valor entonces calcular la geometría  $W/L$ . Sustituyendo en la ecuación (2.34), los valores de  $\Pi_n$ ,  $\lambda_n$ , en función de  $V_{GS}$ , y además  $V_T$ ,  $I_D$ ,  $A_n$ ,  $\delta_n$ , se obtiene un total de 3 transistores patrón en paralelo. De igual manera para el transistor  $M_{Sp1}$ , sustituyendo,  $A_p = 0.8712$ ,  $\delta_p = 0.9$ ,  $\Pi_p = (-0.0411V_{GS}^2 + 0.2851V_{GS} + 0.5674)$ ,  $\lambda_p = (0.02V_{GS} + 0.025)$ , se tiene un total de 27 transistores patrón en paralelo. Ahora con el circuito divisor de tensión diseñado, se puede obtener los voltajes de polarización para el transistor  $M_{n3}$  y para el MAGFET. En seguida se presentan los resultados obtenidos en Spice del amplificador diferencial incluyendo el circuito de polarización. También se presentan los resultados del análisis Montecarlo,

donde se concluye que el circuito sigue conservando la linealidad a pesar de las variaciones de los voltajes de polarización y las geometrías W/L.

**2.4.1.2 Análisis Montecarlo del amplificador diferencial con circuito de polarización.**

El análisis Montecarlo, se realizó variando los potenciales  $V_{DD}$ , y  $V_{SS}$  en un 5%, así como también variando L y W en un mismo porcentaje, por un total de 30 corridas, del circuito de la Figura 2.19.



**Figura 2.18.** Circuito divisor de tensión. (a) Esquema general. (b) Con transistores MOS en conexión diodo, observe las caídas de tensión en cada nodo.

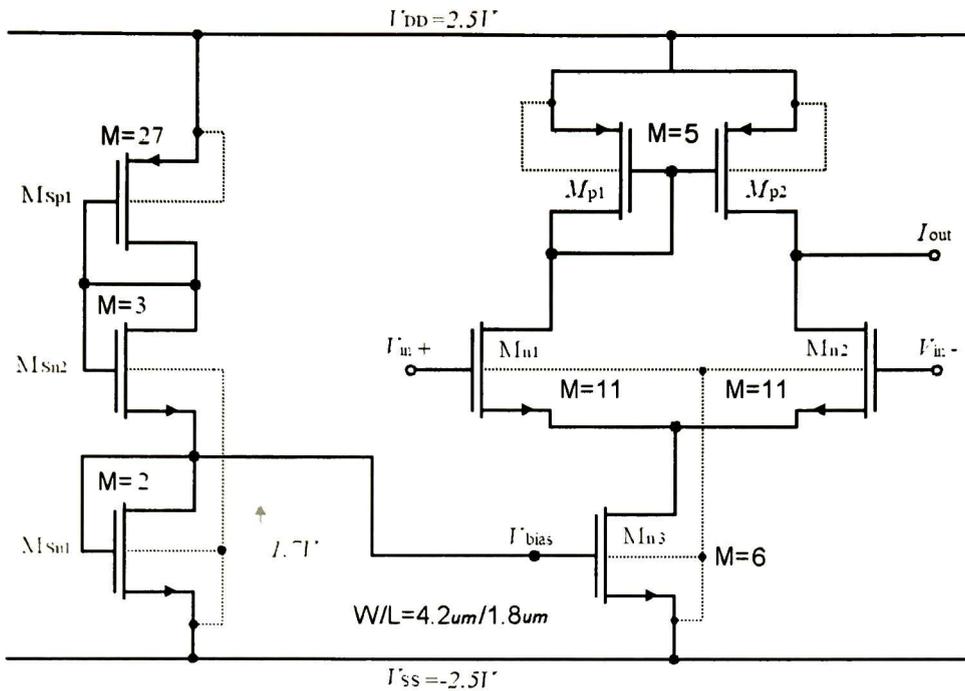


Figura 2.19. Amplificador diferencial con circuito de polarización.

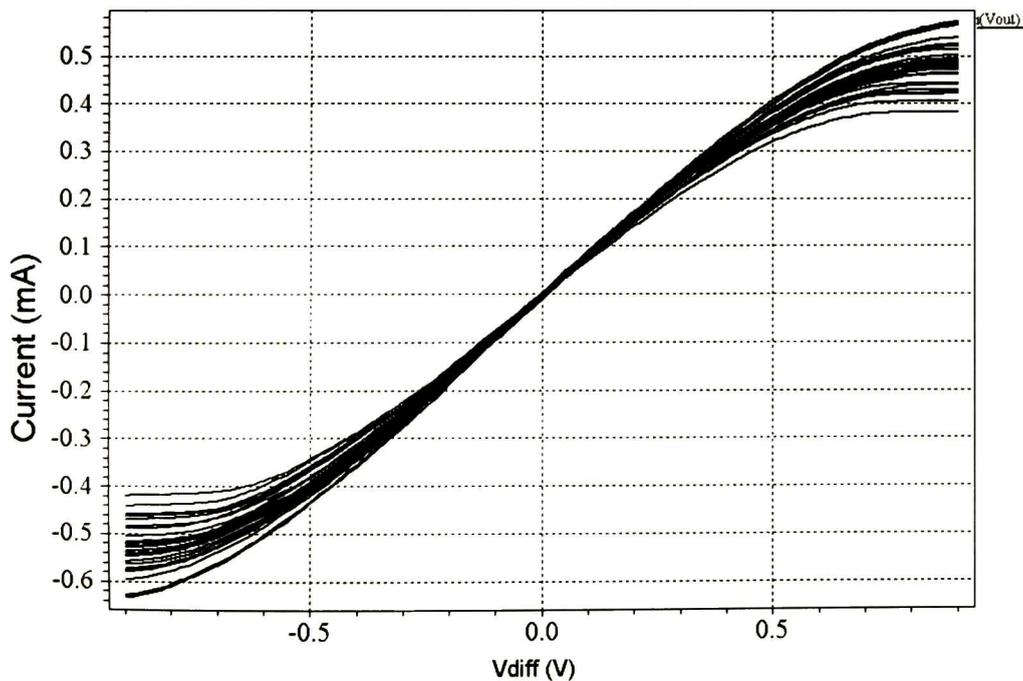


Figura 2.20. Resultados del análisis Montecarlo, variando  $V_{DD}$  y  $V_{SS}$ . Observe como el rango lineal útil de la característica corriente-voltaje se reduce a aproximadamente  $\pm 50mV$ .

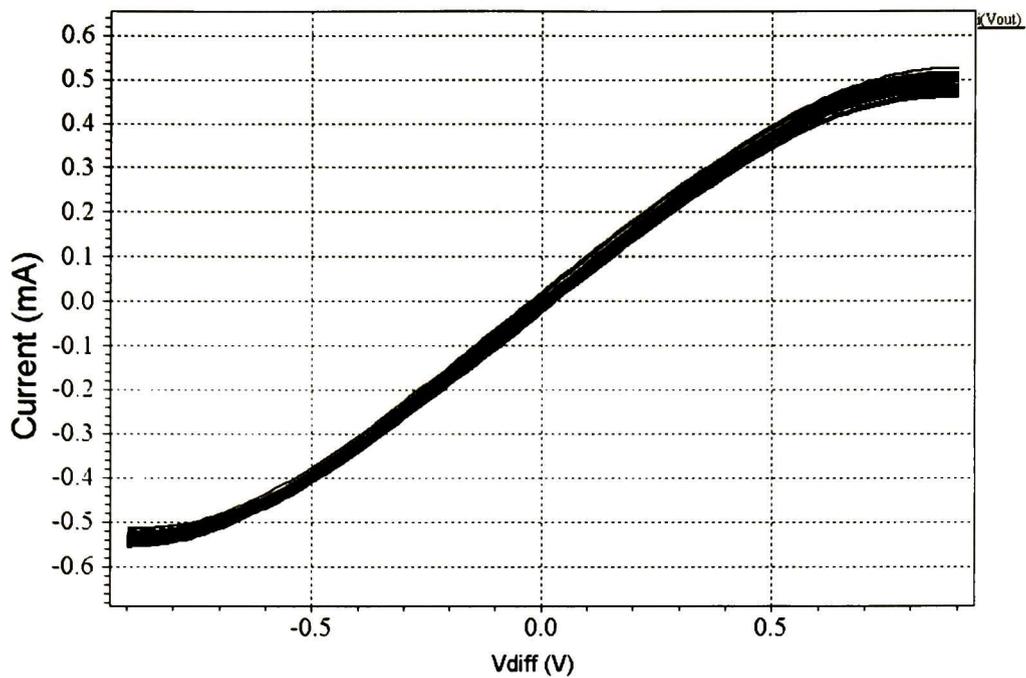


Figura 2.21. Resultados variando W.

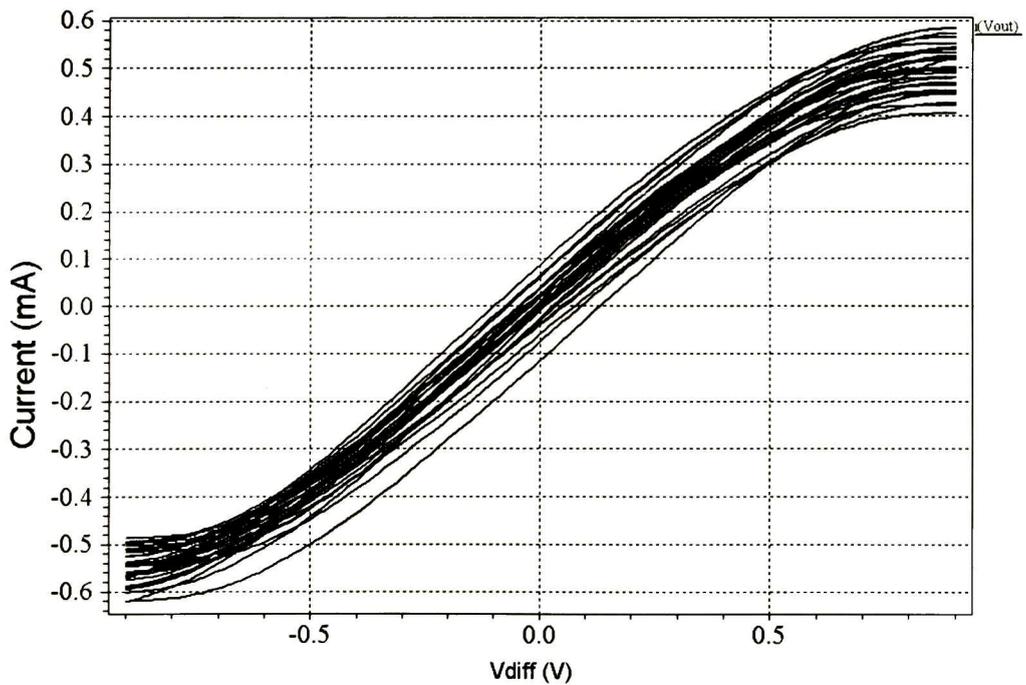
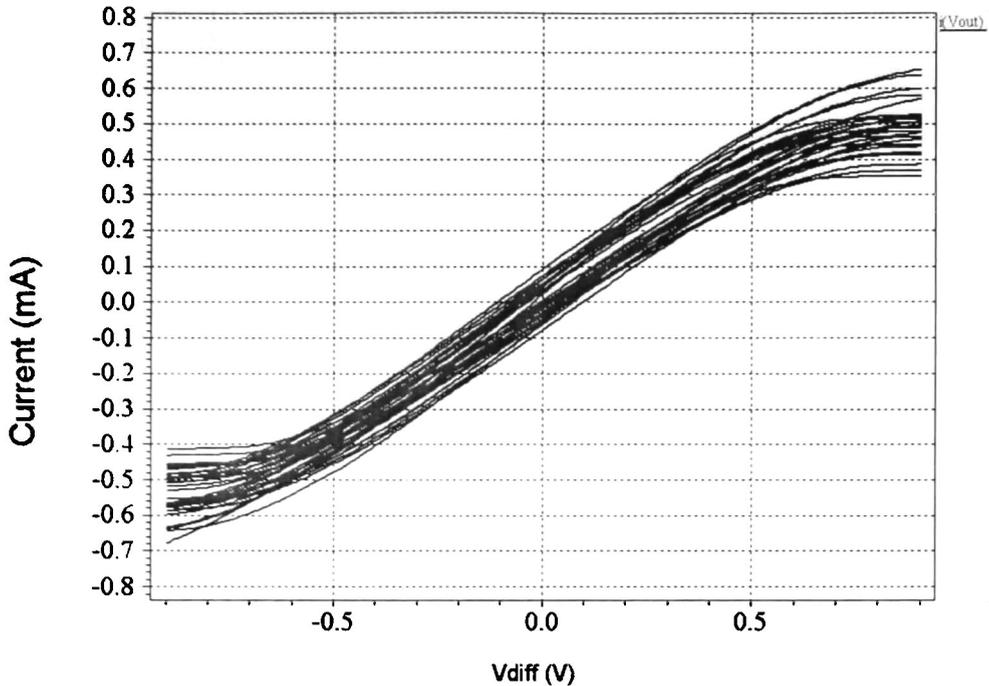


Figura 2.22. Resultados variando L.



**Figura 2.23.** Resultados del análisis Montecarlo, variando  $V_{DD}$ ,  $V_{SS}$ ,  $W$  y  $L$ .

Como conclusión del análisis Montecarlo, se puede decir que el circuito es muy sensible a variaciones de  $L$ , y es el parámetro de mayor importancia debido a que su valor es el mínimo fabricable en la tecnología CMOS pozo n ( $1.8\mu\text{m}$ ). Como se puede ver en la Figura 2.22, la variación del 5% en  $L$ , produce drásticos cambios en la característica corriente-voltaje del amplificador diferencial, en comparación con la Figura 2.21, donde la misma variación en  $W$  produce cambios de menor magnitud.

Finalmente, en la Figura 2.23 se muestran los resultados del análisis variando  $V_{DD}$ ,  $V_{SS}$ ,  $W$  y  $L$ , y donde por inspección visual se puede comprobar que es casi igual a la Figura 2.22, y por lo tanto se deduce que  $L$  es muy sensible a variaciones del proceso de fabricación.

Con un diseño de layout bien estructurado se puede desensibilizar en gran medida el desempeño del amplificador diferencial con respecto a variaciones de  $L$ , debido a gradientes de óxido y/o a los procesos de fabricación.



### 2.4.1.3 Circuito acondicionador de señal.

El esquema eléctrico completo del circuito acondicionador de señal se muestra en la Figura 2.24, la cual incluye el MAGFET y las fuentes de corriente  $I_{D1}$ ,  $I_{D2}$ , utilizadas para modelar el comportamiento del MAGFET bajo la aplicación de un campo magnético. Como se explicó anteriormente cuando el MAGFET no está bajo ningún campo magnético, su operación es idéntica a la de dos transistores MOSFET en paralelo de solo el 50% del ancho del canal de conducción  $W$  del MAGFET cada uno, y con las terminales de fuente unidas entre sí, como se muestra en la figura 2.4. La corriente de drenaje es función del voltaje aplicado en la compuerta. Cuando un campo magnético perpendicular a la compuerta es aplicado, los portadores de corriente en la región de inversión del MAGFET son desviados y debido a este efecto uno de los dos drenajes del MAGFET tendrá una mayor corriente que el otro. Este fenómeno puede ser emulado conectando una fuente de corriente en paralelo con las terminales fuente y drenaje del MOSFET, esta fuente de corriente es del tipo VCCS (fuente de corriente controlada por voltaje). El voltaje de control hará la misma función que el campo magnético, es decir, cuando el campo magnético es cero, también la fuente de corriente lo será, y el transistor MOSFET proporcionará una corriente de drenaje (en este caso de  $20\mu\text{A}$ ) regulada por su voltaje de compuerta. Conforme el campo magnético aplicado perpendicularmente a la compuerta del MAGFET se incrementa, también lo hará el voltaje de control aplicado a la fuente de corriente, provocando un incremento en la corriente y con ello un desbalance de la corriente en el drenaje del MOSFET.

Las corrientes de salida de cada uno de los drenajes del MAGFET, son convertidas a voltajes por las resistencias activas aterrizadas formadas por los amplificadores diferenciales (OTA), conectados en configuración de resistencia controlada, cuyo valor es  $1/g_m$ , como muestra la figura 2.7 (b). La transconductancia  $g_m$  del OTA es de aproximadamente  $1\text{mS}$ . Por lo tanto la resistencia que se opone al flujo de corrientes provenientes de los drenajes del MAGFET es de  $1\text{k}\Omega$ . Los voltajes son sensados por un tercer OTA, cuya ganancia de transconductancia está dada por la ecuación (2.14), y por lo tanto la corriente de salida será proporcional a la diferencia de los voltajes aplicados a su entrada. En la Figura 2.24 se muestra también el circuito de polarización para todos los OTA y para el MAGFET, de esta manera ya no es necesario utilizar una fuente de voltaje externa para polarizar los nodos internos.

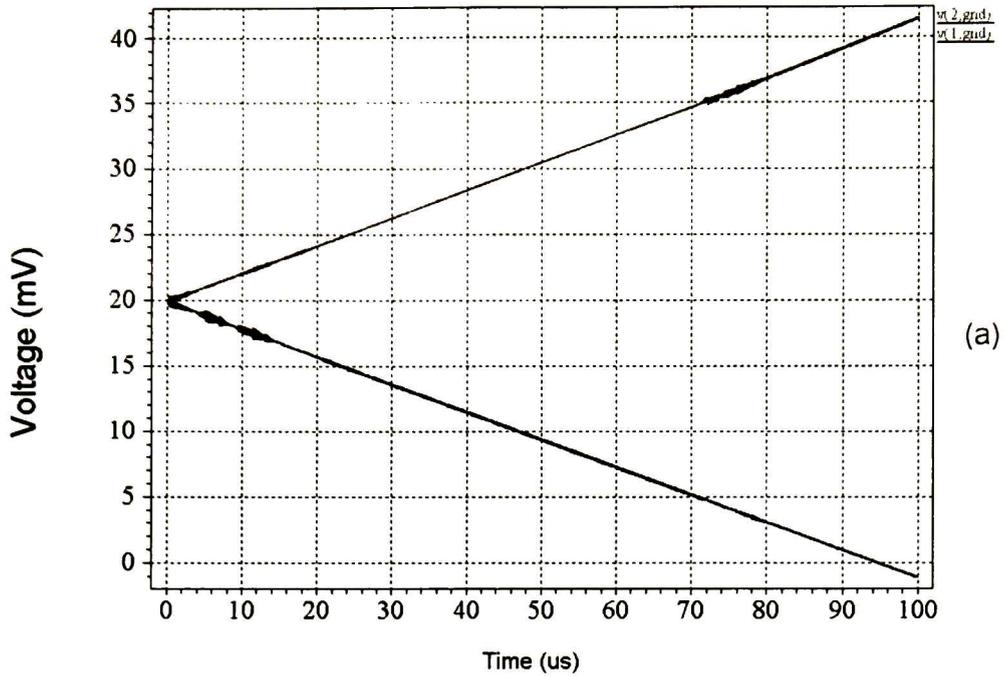
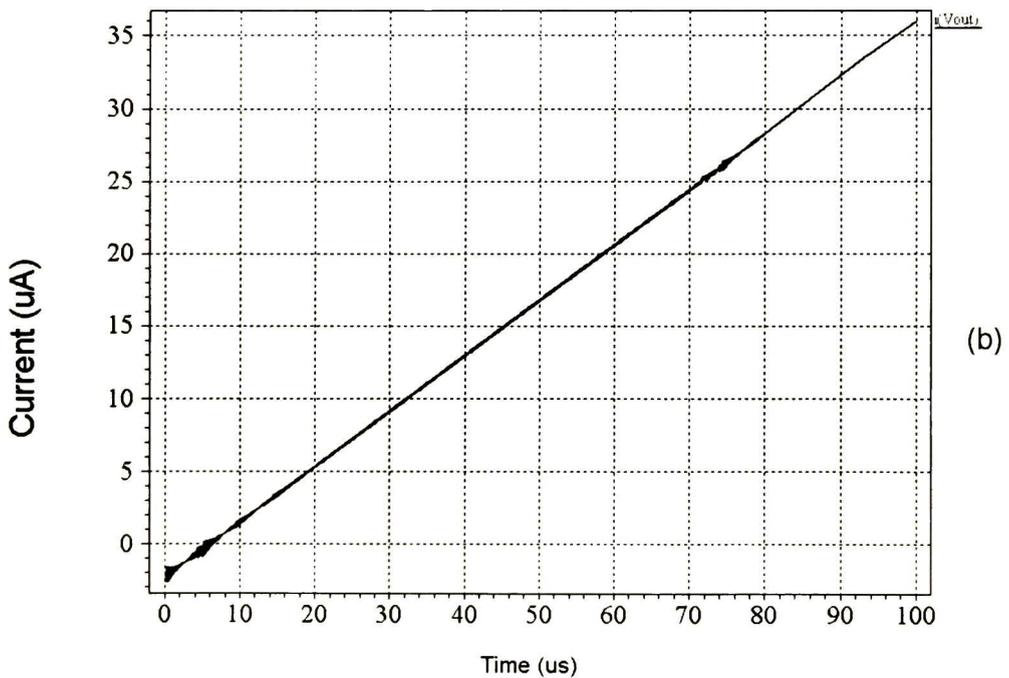


Figura 2.25. Simulación del circuito acondicionador. (a) Voltajes en las resistencias aterrizadas (nodo 1 y 2). (b) Corriente de salida.



#### 2.4.1.4 Resultados de simulación del circuito acondicionador de señal.

En la Figura 2.25 se muestra la simulación aplicando un campo magnético en modo de rampa positiva. En la Figura 2.25 (a) se muestra el voltaje debido a este campo

magnético en cada una de las resistencias activas aterrizadas (nodo 1 y 2), obsérvese cómo las señales están desfasadas  $180^\circ$  a causa del desbalance en las corrientes de drenaje del MAGFET. En la figura (2.25) (b) se muestra la corriente de salida del circuito acondicionador.

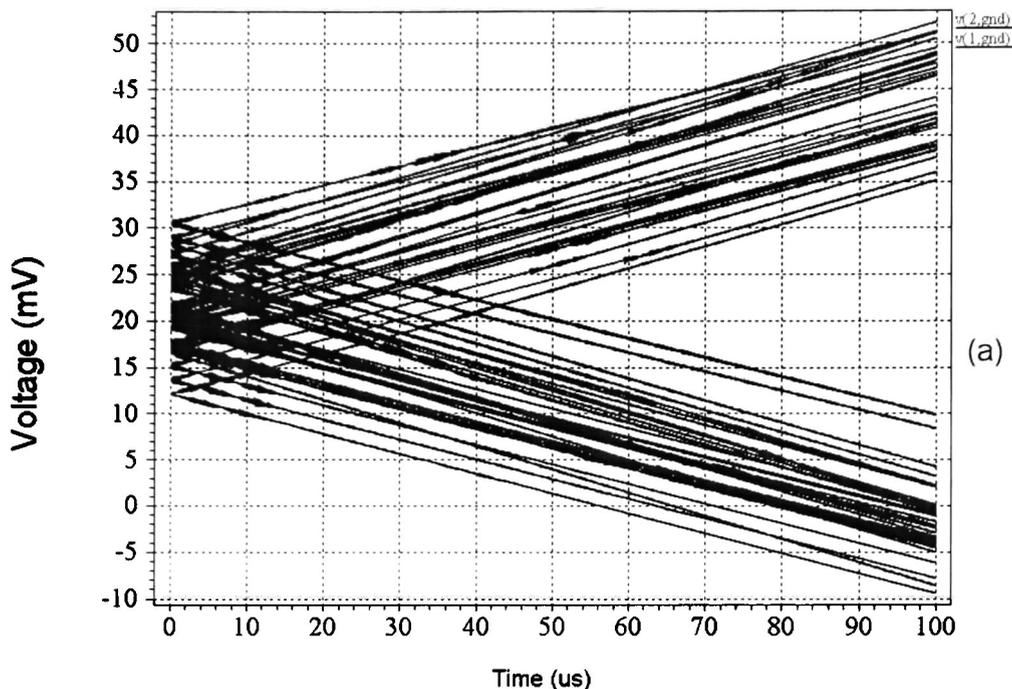


Figura 2.26a. Resultado del análisis Montecarlo del circuito de la Figura 2.24. Voltaje en los nodos 1 y 2.

A pesar de las variaciones en  $V_{DD}$  y  $V_{SS}$  de un 5%, el análisis montecarlo demuestra que el circuito sigue conservando la linealidad, ver figura 2.26. Luego, se muestra en la Figura 2.27, el comportamiento del circuito acondicionador de señal, operando bajo la influencia de un campo magnético senoidal de una frecuencia de 10KHz.

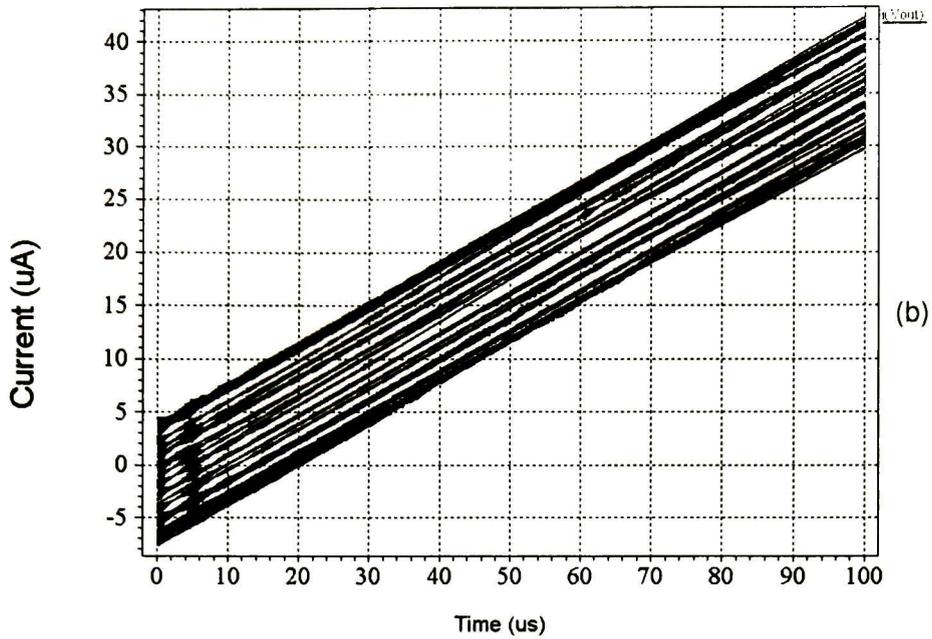


Figura 2.26b. Resultados del análisis Montecarlo del circuito de la Figura 2.24. Corriente de salida.

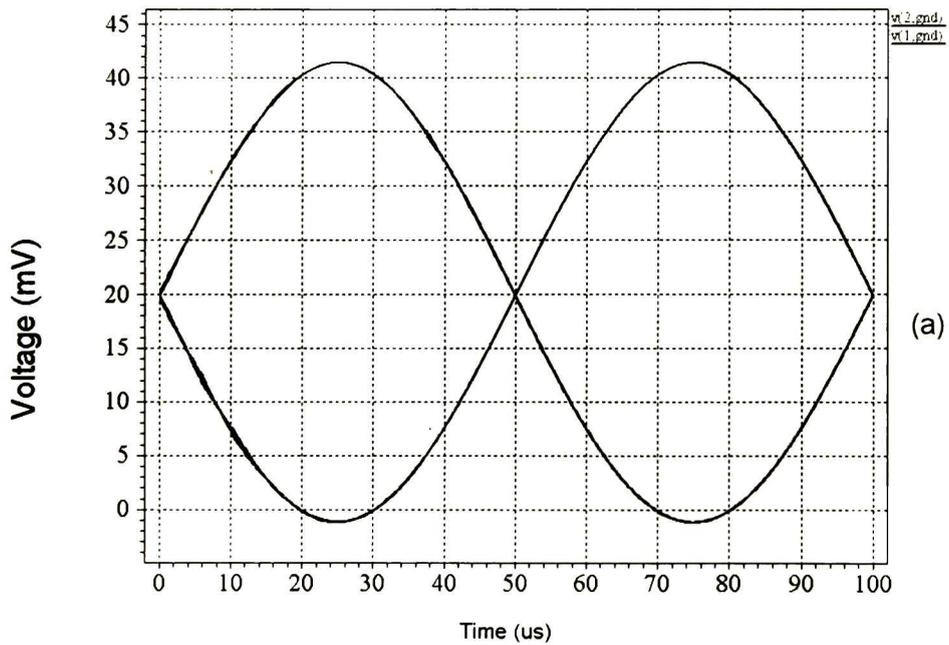


Figura 2.27a. Resultados de la simulación del circuito acondicionador bajo un campo magnético senoidal de 10KHz. Voltajes en los nodos 1 y 2 (ver Figura 2.24).

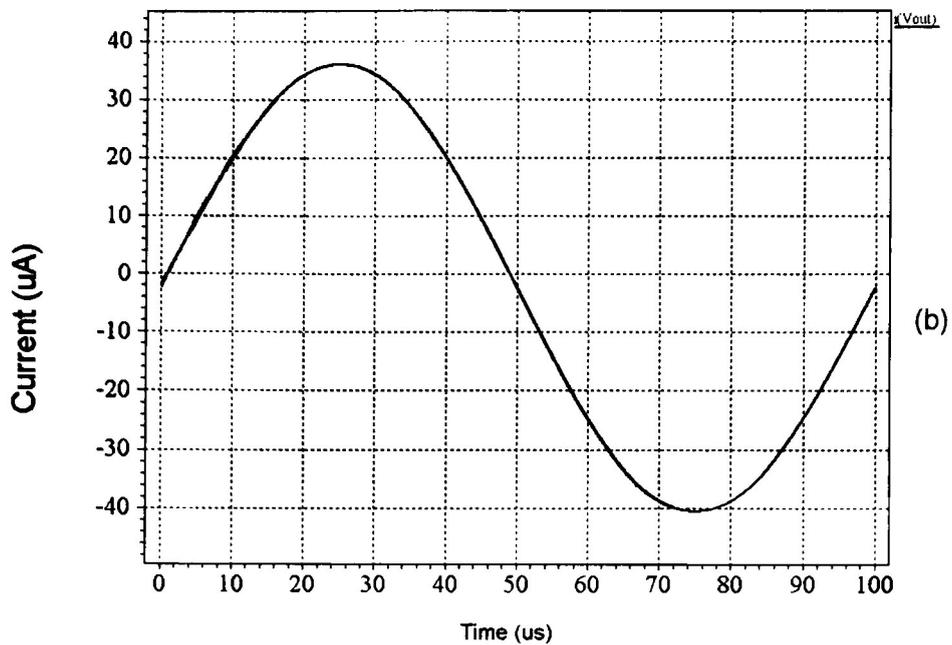


Figura 2.27b. Resultados de la simulación del circuito acondicionador bajo un campo magnético senoidal de 10KHz. Corriente de salida.

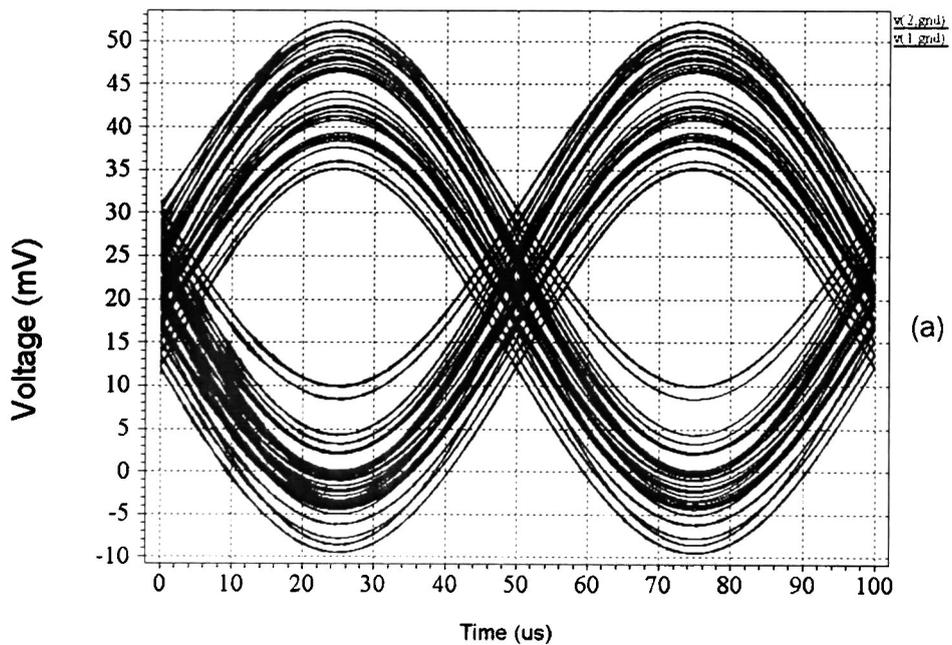
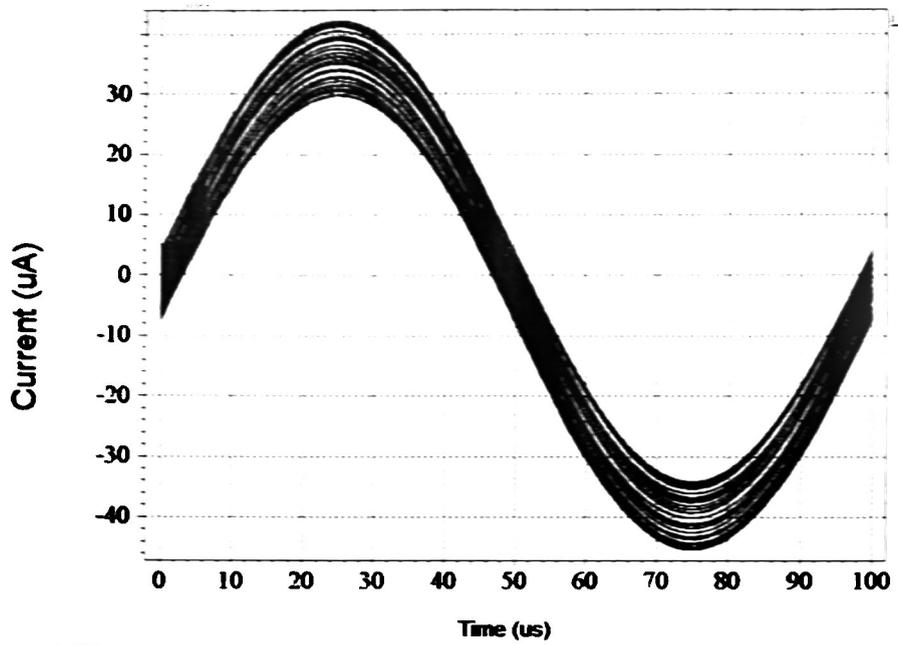


Figura 2.28a. Análisis Montecarlo del circuito acondicionador bajo un campo magnético senoidal de 10 KHz. Voltajes en los nodos 1 y 2 (ver Figura 2.24).



**Figura 2.28b.** Análisis Montecarlo del circuito acondicionador bajo un campo magnético senoidal de 10 KHz. (b) Corriente de salida.

## **2.5 Conclusiones.**

El diseño de circuitos analógicos requiere un profundo conocimiento de todos los factores que intervienen en el funcionamiento del circuito, desde los transistores, hasta el sistema en sí. Con esto se evitan problemas al momento de diseñar y de realizar la simulación y la caracterización.

Es por eso que en este trabajo, se desarrolló un estudio de los modelos que los simuladores de circuitos de propósito general como Spice, utilizan en la determinación de los parámetros de los transistores así como de los circuitos a simular. Tomando en cuenta, el modelo del capítulo 1, en éste capítulo se diseñó un circuito acondicionador de señal; este circuito consta principalmente de tres amplificadores diferenciales usados como amplificadores de transconductancia (OTA). El diseño del OTA estaba limitado por las especificaciones de diseño, es decir: corriente de dc, transconductancia, voltajes de polarización y área de trabajo.

El desempeño del OTA superó satisfactoriamente las expectativas, y su buen funcionamiento se corroboró con los resultados de las simulaciones, resultando en un diseño confiable y de buen desempeño aún bajo variaciones de sus voltajes de polarización. Estas variaciones fueron del 5% y según los resultados obtenidos por el análisis Montecarlo, el OTA sigue conservando su linealidad dentro de los límites de diseño impuestos.

También se realizaron simulaciones del circuito acondicionador con diferentes formas de onda, como senoidales, rampas positivas, triangulares, rectangulares, etc. Por cuestión de espacio solo se muestran los resultados con formas de onda senoidales y rampas positivas. El diseño del circuito acondicionador de señal no termina en esta etapa, es necesario hacer un buen diseño de layout para rescatar las ventajas y cualidades del amplificador diferencial. Si no fuera así, un mal diseño de layout ocasionaría incluso que el circuito no realizara su función.

## Referencias.

- [1] Chien-Hung Kuo, Shr-Lung Chen, Lee-An Ho, and Shen-Iuan Liu, *CMOS Oversampling  $\Delta\Sigma$  Magnetic-to-Digital Converters*, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 36, No.10, October 2001.
- [2] J.P. Garcia-Ramirez, F. Sandoval-Ibarra, and E. Gutierrez-Dominguez, *A Split-Drain MAGFET Sensing Device: Evaluation at 77K*, European Conference on Circuit Theory and Design ECCTD, pp. III-213-III-216, 1-4 September 2003, Kraków, Poland.
- [3] Shen-Iuan Liu, Jian-Fan Wei, and Guo-Ming Sung, *SPICE Macro Model for MAGFET and its Applications*, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-II: ANALOG AND DIGITAL SIGNAL PROCESSING, Vol. 24, No. 4, April 1999.
- [4] A. M. Ionescu, N. Mathieu and A. Chovet, *Drain and gate voltage influences on MAGFET offset and sensitivity: modeling and experiment*, LPCS/ENSERG, 23, rue des Martyrs, BP 257, Grenoble Cedex 1, France.
- [5] Kenneth R. Laker, Willy M. C. Sansen, *DESIGN OF ANALOG INTEGRATED CIRCUITS AND SYSTEMS*,
- [6] José Silva-Martínez, Michel S.J. Steyaert, and Willy M.C. Sansen, *A Large-Signal Very Low-Distortion Transconductor for High-Frequency Continuous-Time Filters*, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 26, No. 7, July 1991.
- [7] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill Series in Electrical and Computer Engineering, New York, 2001.
- [8] Phillip E. Allen, Douglas R. Holberg, *CMOS Analog Circuit Design*, OXFORD UNIVERSITY PRESS, New York 1987.
- [9] R. Jacob Baker, Harry W. Li, and David E. Boyce, *CMOS Circuit Design, Layout, and Simulation*, IEEE Press Series on Microelectronics Systems, New York, 1997.
- [10] Price T.E., *Analog Electronics: an integrated PSpice approach*, Prentice-Hall, Great Britain, 1996.
- [11] Paul R. Gray, and Robert G. Meyer, *MOS Operational Amplifier Design A Tutorial Overview*, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. SC-17, No. 6, December 1982.
- [12] Yannis P. Tsividis, *OPERATION AND MODELING OF THE MOS TRANSISTOR*, McGraw-Hill Electrical Engineering Series, Singapore 1988.
- [13] Sze, S. M., *Semiconductor Devices, Physics and Technology*, John Wiley & Sons, 1985.

# Capítulo 3

## LAYOUT DEL CIRCUITO ACONDICIONADOR DE SEÑAL

### 3.1 Introducción

El diseño de circuitos integrados y de sus layout ha evolucionado desde sus principios, y han aumentado en complejidad notablemente. Los procesos de fabricación antes muy lentos y con muchos errores han quedado atrás, y ahora los complejos procesos de fabricación con diferentes materiales como polisilicio y aluminio, así como implantaciones, difusiones, pozos N y P han permitido que circuitos de alta complejidad, alta velocidad y bajo voltaje sean fabricables con un alto índice de reproducibilidad y confiabilidad.

En este capítulo se describirá el trabajo realizado en el diseño del layout del circuito acondicionador de señal diseñado y visto en el capítulo anterior.

El diseño de layout con sus respectivas reglas de diseño consta de un conjunto de capas y procesos de los diferentes materiales que intervienen en la fabricación de un circuito integrado en silicio, es decir, cómo a partir de una oblea de silicio tipo P, difusiones, implantaciones de dopantes tipo P y N, metales, polisilicios, ventanas de contactos, etc, es posible definir patrones e integrar transistores MOS, capacitores y resistores de tal manera que realicen una función [1].

Hay quien dice que el diseño de layout más que una metodología es un arte que involucra ingenio e iniciativa. Ya que con la aplicación de algunas reglas de diseño, e imaginación se pueden diseñar layout que incrementen la confiabilidad y el desempeño de un circuito integrado.

Con un mal diseño de layout se puede acortar la respuesta en frecuencia de un circuito, por ejemplo, o aumentar las capacitancias parásitas, es decir se pueden perder todas las bondades de un buen diseño.

Un buen diseño puede convertirse en un circuito integrado de excelentes características eléctricas y funcionales si se pone énfasis en un muy buen diseño de layout [2].

En el diseño de layout de circuitos digitales, el propósito es aprovechar al máximo el área de silicio disponible, minimizando las geometrías de los transistores y aumentando su velocidad. En este tipo de diseño es más importante el tamaño de los transistores, que

algunos efectos asociados a ellos como las capacitancias parásitas, ruidos generados, o falta de coincidencia entre transistores.

En diseño digital un programa o software dedicado puede realizar casi todas las tareas de diseño del layout, solo es necesaria la intervención humana para indicarle dónde se requieren las entradas y dónde las salidas, dimensiones mínimas de conductores, etc. El programa decide la orientación y disposición de los transistores y automáticamente realiza todas las conexiones necesarias.

En el diseño del layout de circuitos analógicos, en cambio, lo que importa es su desempeño, no su tamaño. Es decir es preferible en ciertos casos, que un layout analógico ocupe una mayor área, pero que el offset sea mínimo, por ejemplo. Existen diferentes reglas y métodos de diseño para aumentar la confiabilidad y disminuir los defectos ocasionados por el proceso de fabricación.

En el diseño del layout del circuito acondicionador de señal se aplican algunas de estas reglas, y se comprueba por medio de resultados de simulación que el desempeño del circuito ante variaciones de voltajes de polarización de sus transistores no se deteriora y se siguen conservando sus características de respuesta en frecuencia.

### **3.2 Diseño del layout**

Para comenzar con el diseño del layout del circuito acondicionador de señal, es necesario primeramente contar con las reglas de diseño del proceso a utilizar, en este caso se utiliza el proceso AMIS ABN 1.2  $\mu\text{m}$ , que cuenta con dos metales, un polisilicio, y un pozo N [3].

Estas reglas de diseño dictan las distancias mínimas, los anchos de pista mínimos, así como dimensiones mínimas de las diferentes capas de materiales involucrados en el proceso de fabricación. En la bibliografía, se recomienda no utilizar estas dimensiones mínimas como base para diseño [2], sino que es más recomendable dejar un poco más de espacios, y de esta manera evitar posibles errores debidos a defectos de fabricación. Algunos de estos defectos pueden ser cortos circuitos y sobregabados de algunas capas.

El diseño del layout del circuito acondicionador de señal, de acuerdo a la metodología de diseño planteada en el presente trabajo, se basa en un elemento patrón que es un transistor NMOS o PMOS según sea el caso, de geometrías  $W/L=4.2\mu\text{m}/1.8\mu\text{m}$ .

El transistor NMOS está formado por un área activa, definida por un rectángulo verde cuya función es reservar un espacio o ventana dentro del óxido de campo para las áreas de fuente y drenaje. Perpendicularmente se traza un rectángulo que es el polisilicio y que hará la función de compuerta. Finalmente se define con un rectángulo color azul el área de implantación tipo  $N^+$ , que después de un proceso de horneado definirán las difusiones de fuente y drenaje (Ver figura 3.2).

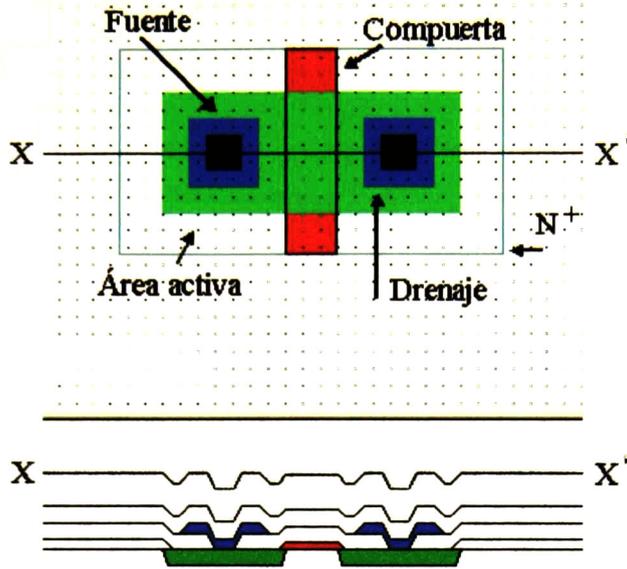


Figura 3.2. Layout y corte transversal de transistor NMOS patrón.

El transistor PMOS patrón al igual que el tipo NMOS, está formado por un área activa, polisilicio, pero la implantación de dopantes es del tipo P (boro o galio), todo dentro de un pozo N, como se muestra en la figura 3.3. También en esta figura se puede ver un corte transversal del transistor donde se aprecian las regiones de fuente y drenaje en el pozo N.

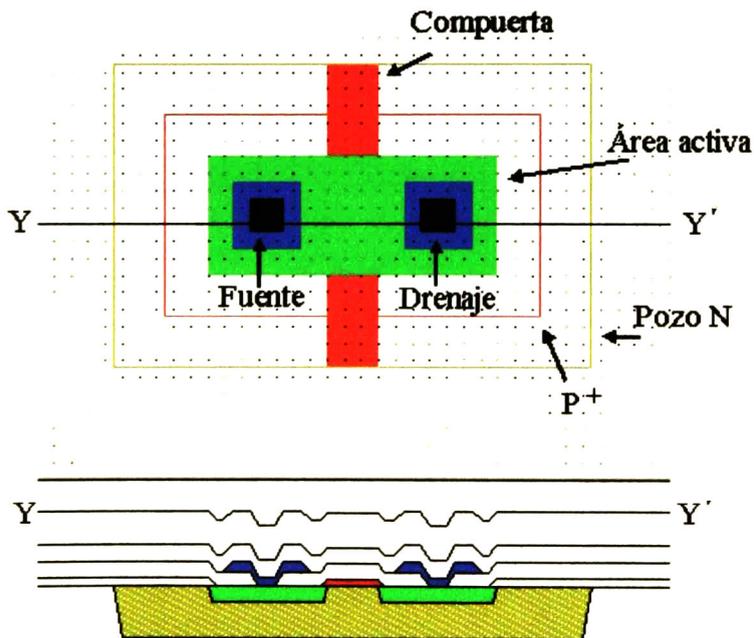


Figura 3.3. Layout y corte transversal de transistor PMOS patrón.



Una explicación detallada del proceso de fabricación y los pasos empleados para la construcción de un transistor en tecnología CMOS se puede consultar en [1].

Teniendo conocimiento de estas reglas y con el circuito esquemático del amplificador diferencial se comienza con el diseño de su layout.

Primero es necesario tener en cuenta las corrientes que circularán en el circuito, por ejemplo, si el ancho de pistas es el mínimo suficiente para manejar la corriente que circulará por ellas. Además, también es necesario considerar si algunos transistores necesitan un mejor acoplamiento o matching para disminuir el riesgo de diferencias en sus corrientes de drenaje, como es el caso del circuito de entrada del amplificador diferencial.

El circuito acondicionador de señal consta de tres amplificadores diferenciales, dos de ellos conectados como resistores activos, y un tercero que amplifica la diferencia entre dos potenciales generados a partir de la corriente inyectada por el magfet y que pasa a través de los resistores activos (Ver figura 3.1).

Tomando en cuenta lo anterior y analizando el circuito esquemático del amplificador diferencial de la figura 3.4, la corriente de diseño de la fuente de corriente es de 500uA aproximadamente. Esta corriente dependiendo de la polarización de entrada aplicada a las entradas del amplificador diferencial pasará en su totalidad a través del transistor Mn1 o a través del transistor Mn2, y a su vez a través de Mp1 o Mp2. Por lo tanto, estas pistas deben ser capaces de manejar ésta corriente sin dañarse.

Comúnmente se maneja una  $I_h$  (handling current) de 1mA/um, y como para la tecnología usada el mínimo ancho de pista del metal 1 ó 2 es de 3 lamdas (1.8um), entonces podemos hacer todas las pistas con el ancho mínimo. Veamos el siguiente cálculo.

$$I_h = 1\text{mA}/\text{um} \text{ (W)}$$

$$W_{\min} = 1.8\text{um}, \text{ por lo tanto}$$

$$I = 1\text{mA}(I_h) * 1.8\text{um}(\text{W}) = 1.8\text{mA}$$

Por lo tanto podrá manejar sin problema una corriente de 1.8mA, y como la corriente máxima es de 500uA, y es mucho menor que 1.8mA, no hay riesgo de daño por sobre corriente o electromigración.



y Mn1b en posición diagonal, es decir en la esquina inferior derecha. A su vez, Mn2a en la parte inferior izquierda y Mn2b en la esquina superior derecha.

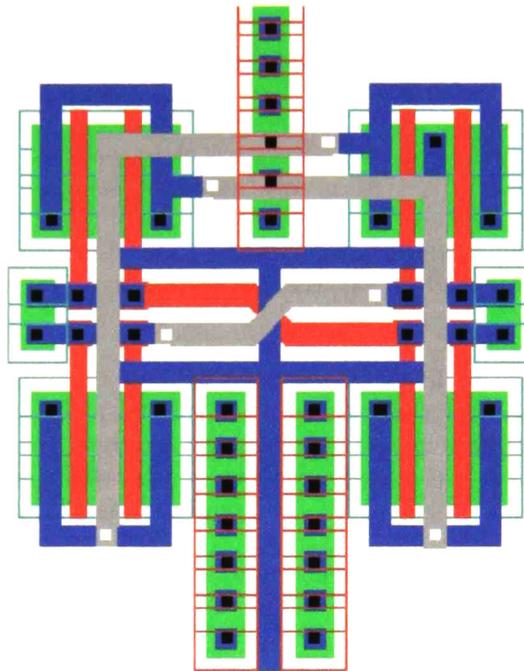


Figura 3.5. Layout de los transistores de entrada NMOS Mn1 y Mn2.

Es importante resaltar que es de vital importancia para el desempeño del circuito, que los transistores de entrada estén perfectamente emparejados o al menos lo más próximo posible entre sí, como se observa en la figura 3.5. Además nótese cómo la orientación de cada grupo de transistores es la misma, que existe simetría, y además el uso de diodos NAC, para evitar el efecto antena [5].

Estos diodos tienen la finalidad de proteger a la compuerta de los transistores MOS, ante la posible acumulación de iones que pueden incrementar el potencial y romper irreversiblemente el aislamiento del óxido de compuerta, durante el proceso de grabado del metal 1.

El grupo de contactos a sustrato que se muestra entre los transistores tiene la finalidad de asegurar que el potencial de sustrato de cada transistor se encuentre al potencial más negativo, en este caso  $V_{SS}$ , y además de evitar el fenómeno de latch-up entre transistores [4].

Las conexiones de compuerta de los transistores de entrada se encuentran convenientemente en el centro y a lo largo del eje X, para tener acceso a ellas desde los dos lados y realizar fácil y eficientemente las conexiones de entrada. A su vez las conexiones de fuente de todos los transistores están unidas en común y dirigidas hacia abajo porque ahí será fácil conectar el transistor Mn3 que es la fuente de corriente.

Las terminales de drenaje quedaron en la parte superior izquierda y derecha para posteriormente conectar las cargas activas.

En la figura 3.6, se muestra el layout de la entrada y la fuente de corriente. Esta fuente de corriente es el transistor Mn3, que también se dividió en dos partes para seguir con la simetría y buena distribución del layout.

Este transistor no necesita de técnicas especiales de emparejamiento, pero aún así sigue conservando la misma orientación y buena proximidad entre los demás transistores.

Nótese que también se agregaron diodos NAC a las compuertas, y que los contactos de sustrato se unieron con metal a  $V_{SS}$ .

También se conservó el contacto de compuertas a lo largo del eje X, para conectar el voltaje  $V_{bias}$  desde cualquiera de los dos lados.

Siguiendo con el diseño del layout y tomando como guía el circuito esquemático de la figura 3.4, solo faltan las cargas activas formadas por los transistores patrón tipo P, Mp1 y Mp2.

La figura 3.7 muestra el layout del transistor Mp1. El transistor Mp1 también se interdigitó en dos dedos para mejorar sus características eléctricas así como la distribución en el layout. Nótese cómo se encerró todo el transistor dentro de un anillo formado por contactos a sustrato, en este caso el pozo N y se conectó al riel de  $V_{DD}$ , que es el potencial más alto en el circuito.

La compuerta está unida al drenaje para conectar al transistor con configuración resistor activo.

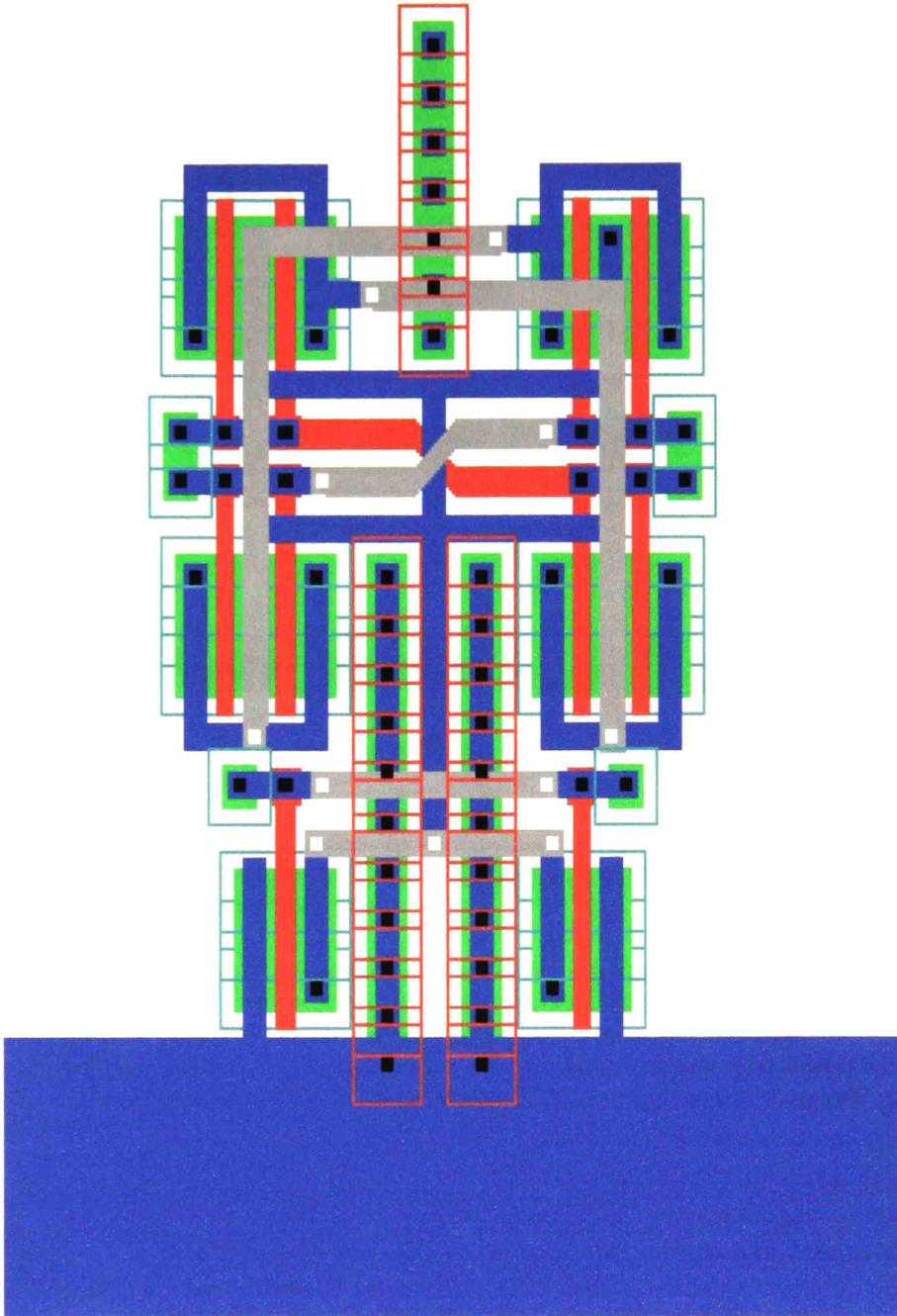
En la figura 3.8, se muestra el layout del amplificador diferencial completo, donde se puede observar que los transistores tipo P, Mp1 y Mp2, están encerrados por un doble anillo de contactos a sustrato, el anillo más interno es el que contacta el pozo N, que es el sustrato del transistor PMOS, al potencial más alto, en este caso  $V_{DD}$ . El anillo externo está formado por contactos a sustrato de todo el circuito, es decir a la oblea tipo P, y que se conectan al potencial más bajo, que es  $V_{SS}$ .

La conexión fuente de los dos transistores P, se realiza con metal 2 y sus respectivas vías.

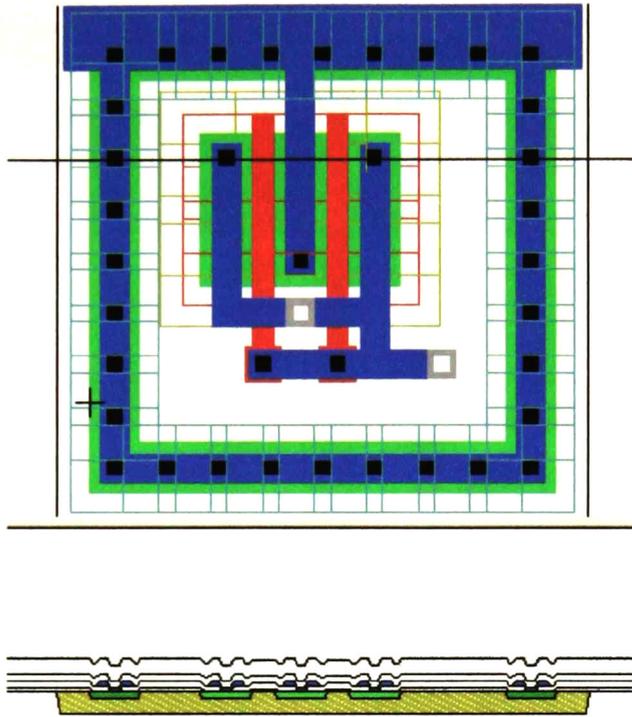
La salida se toma en la unión del drenaje del transistor Mp2 y el drenaje del transistor Mn2, como se puede corroborar en el circuito esquemático de la figura 3.4.

Las conexiones de compuerta de todos los transistores se conectaron a sustrato con diodos NAC como protección.

Al realizar la verificación de las reglas de diseño y comprobar que no se ha violado ninguna, se procede a realizar la extracción del circuito equivalente spice que incluye las capacitancias parásitas.



**Figura 3.6.** Layout de los transistores de entrada Mn1 y Mn2 y de la fuente de corriente formada por el transistor Mn3.



**Figura 3.7.** Layout del transistor PMOS Mpl, conectado como resistencia activa.

El circuito extraído revelará después de la simulación el buen desempeño del circuito ante variaciones en los voltajes de operación, gracias al cuidado en el emparejamiento de los transistores y la interdigitación.

Las capacitancias parásitas agregadas son pequeñas y tendrán un efecto casi nulo en la respuesta en frecuencia del amplificador diferencial, como se verá en la siguiente sección donde se simuló el circuito extraído incluyendo estas capacitancias.

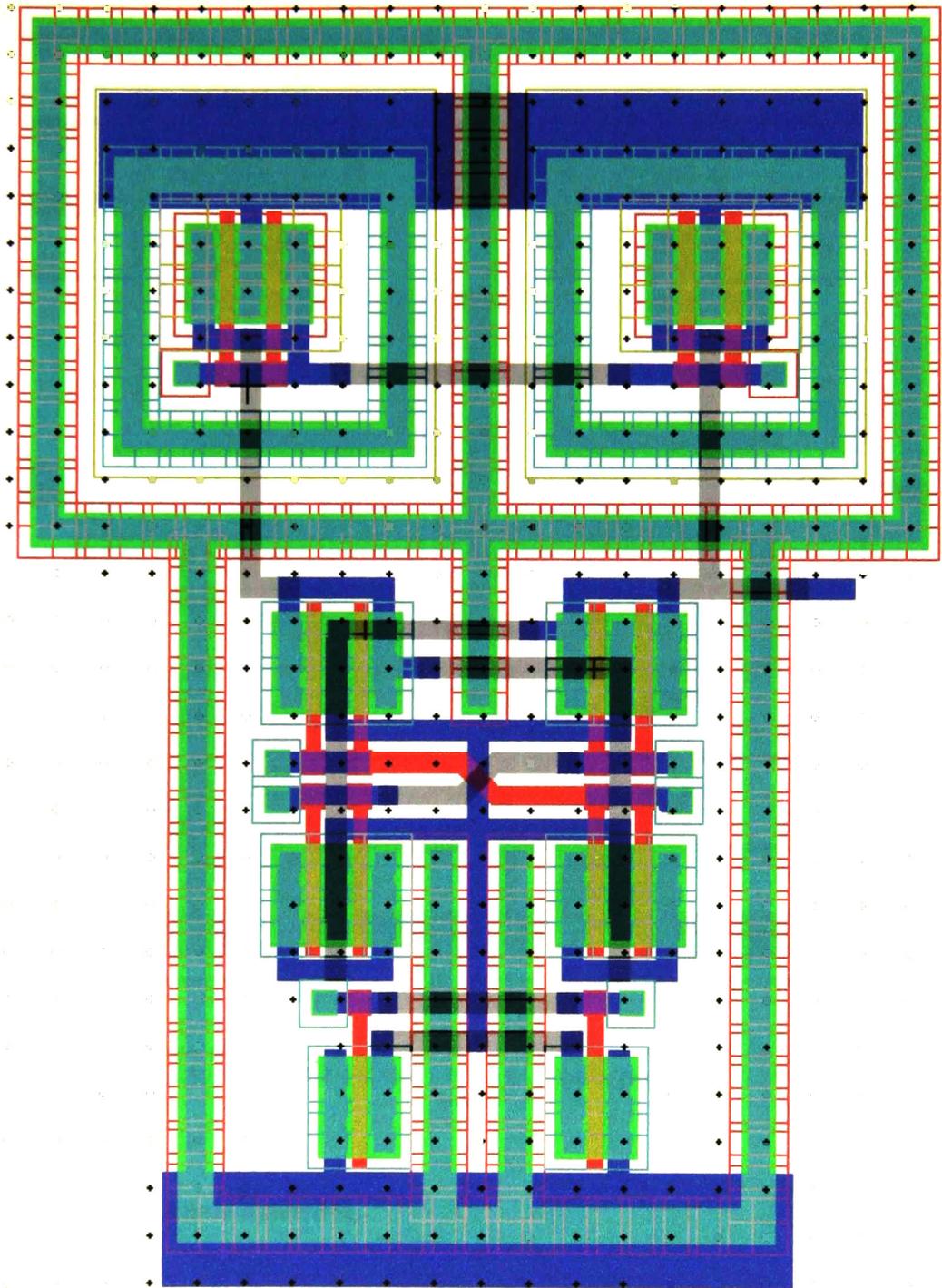
Una vez obtenido el layout del amplificador diferencial, se procede a interconectar tres de estos bloques para formar el circuito acondicionador de acuerdo al circuito de la figura 3.1.

Dos bloques de amplificadores diferenciales como el de la figura 3.8, se conectan como cargas activas, que recibirán como entrada la corriente proveniente del magfet, y la convertirán en voltaje. Entonces un tercer bloque amplificador diferencial tomará estas señales de voltaje y amplificará su diferencia.

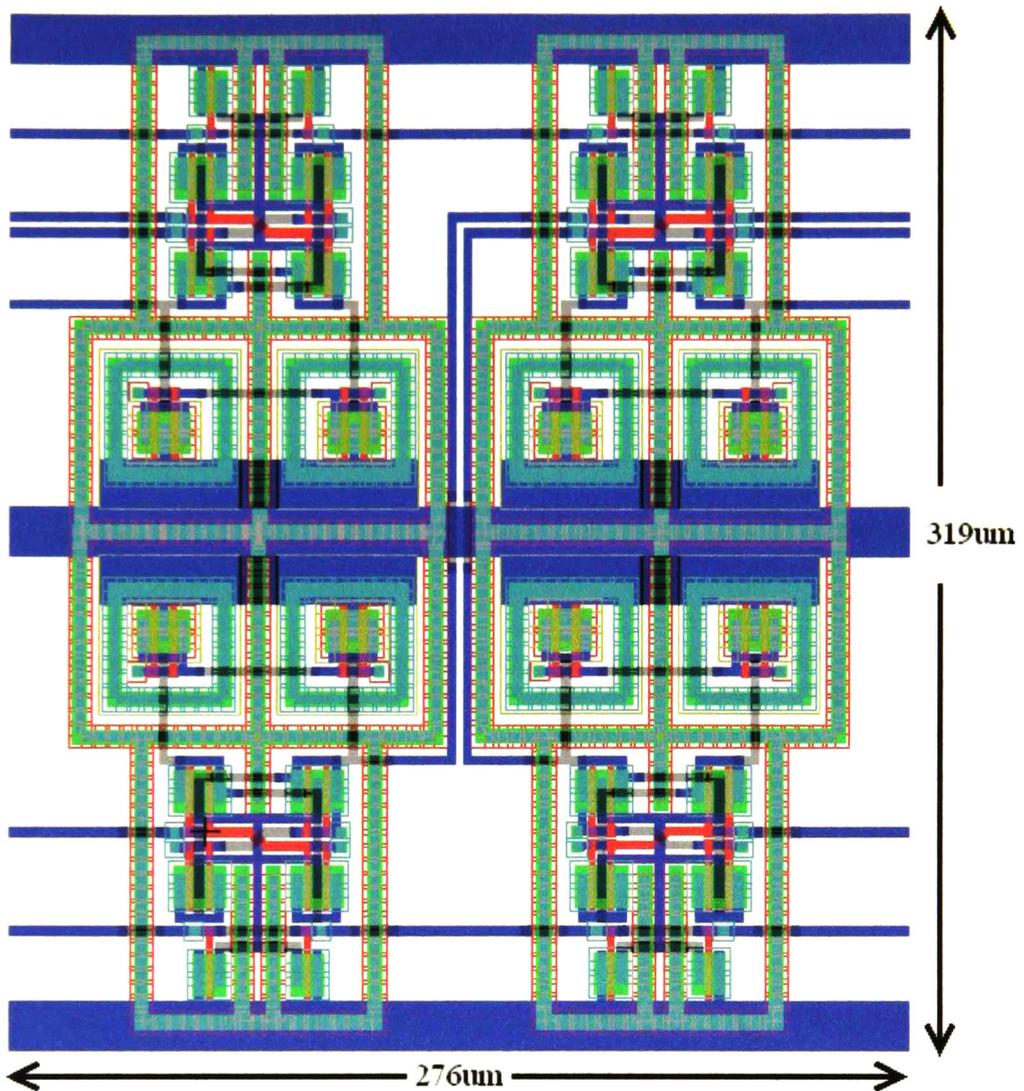
En la figura 3.9, se muestra el layout completo del circuito acondicionador de señal, y consta de tres bloques de amplificadores diferenciales, más un cuarto bloque para caracterización.

Note cómo las diferentes conexiones quedaron accesibles desde los extremos para una mayor comodidad al interconectar a los pads externos.

El resultado final es un layout compacto y bien organizado, siguiendo una misma orientación de los componentes y cuidado la simetría y el emparejamiento.



**Figura 3.8.** Layout del amplificador diferencial completo.



**Figura 3.9.** Layout del circuito acondicionador completo. Parte inferior cargas activas, parte superior izquierda amplificador diferencial para caracterización, parte superior derecha amplificador diferencial de salida.

### 3.3 Resultados de la simulación.

En este apartado se muestran los resultados de las simulaciones en TSpice, del circuito amplificador diferencial, y del circuito amplificador diferencial extraído del layout. De igual manera para el circuito acondicionador de señal y el circuito acondicionador de señal extraído a partir del layout.

En la figura 3.10, se muestra la curva de corriente de salida contra voltaje diferencial de entrada, las diferencias son mínimas y prácticamente no hay cambio en el desempeño del circuito.

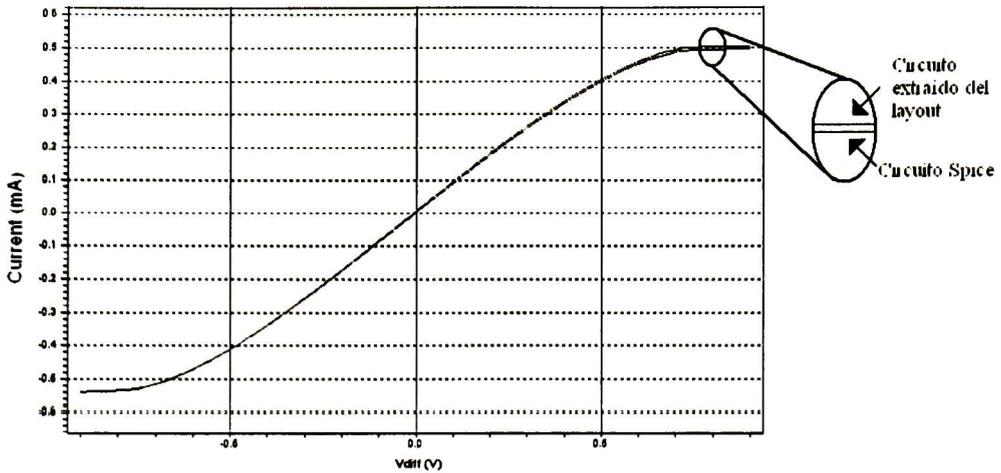


Figura 3.10. Curva voltaje diferencial de entrada, corriente de salida del amplificador diferencial Spice y del circuito extraído del layout.

En las figura 3.11 se muestra la respuesta en frecuencia en dB. Se puede observar que la respuesta es afectada en una fracción mínima y que no afecta para frecuencias bajas.

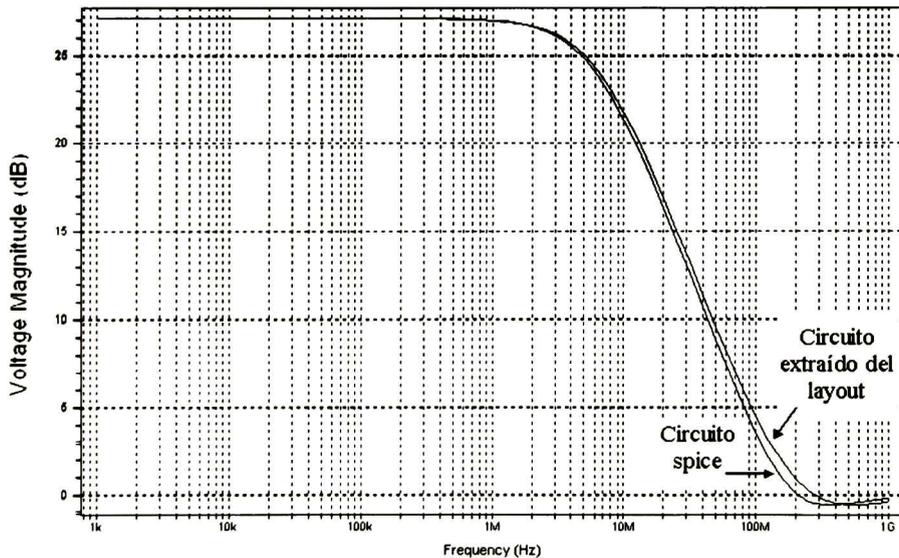
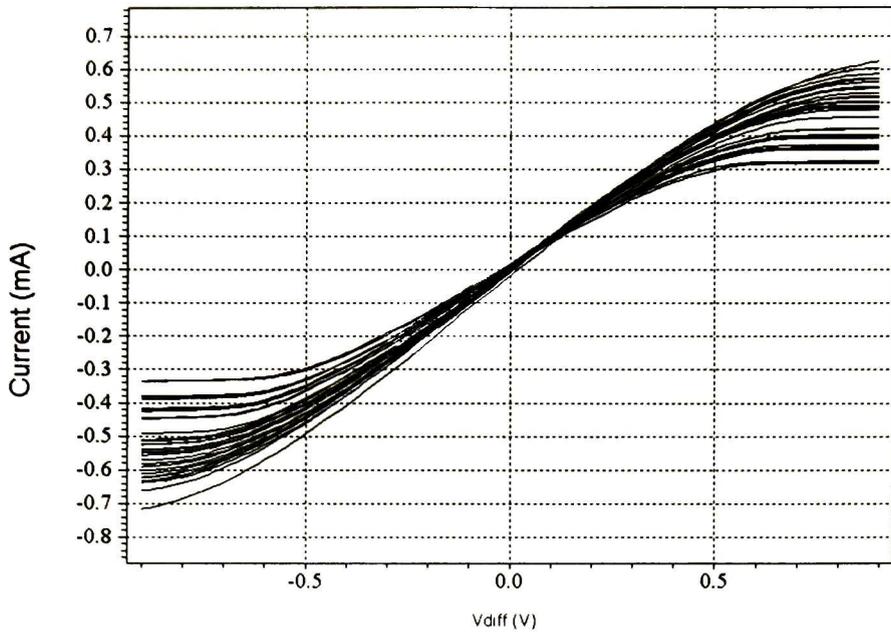
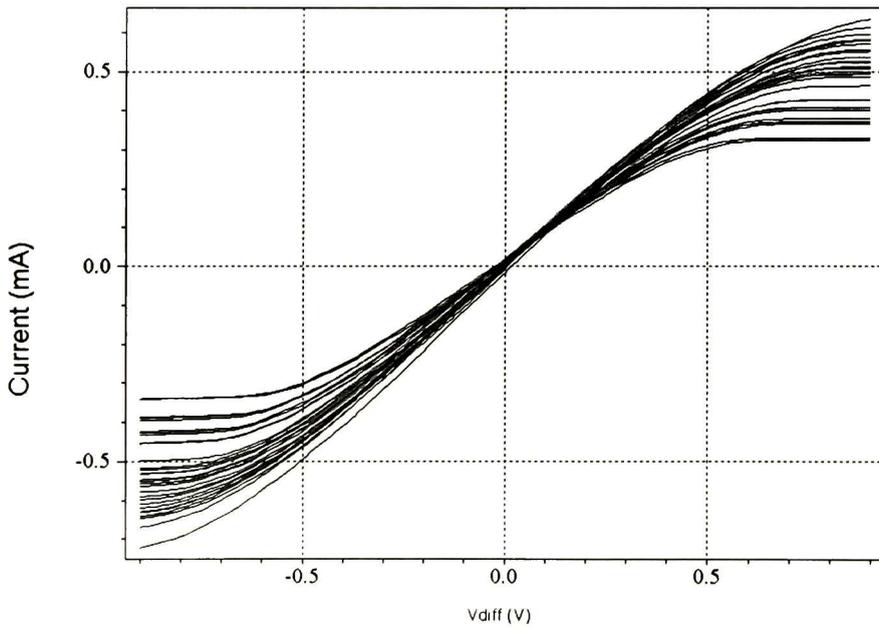


Figura 3.11. Respuesta en frecuencia del amplificador diferencial Spice y del circuito extraído del layout. Las capacitancias agregadas por el layout tienen una influencia mínima y no afectan al desempeño del amplificador.

Aplicando un análisis Montecarlo al amplificador diferencial, variando sus voltajes de polarización en un 5%, obtenemos las siguientes gráficas, donde se puede observar que las diferencias entre el circuito diseñado y el extraído del layout son mínimas, gracias al cuidado en el diseño del layout.

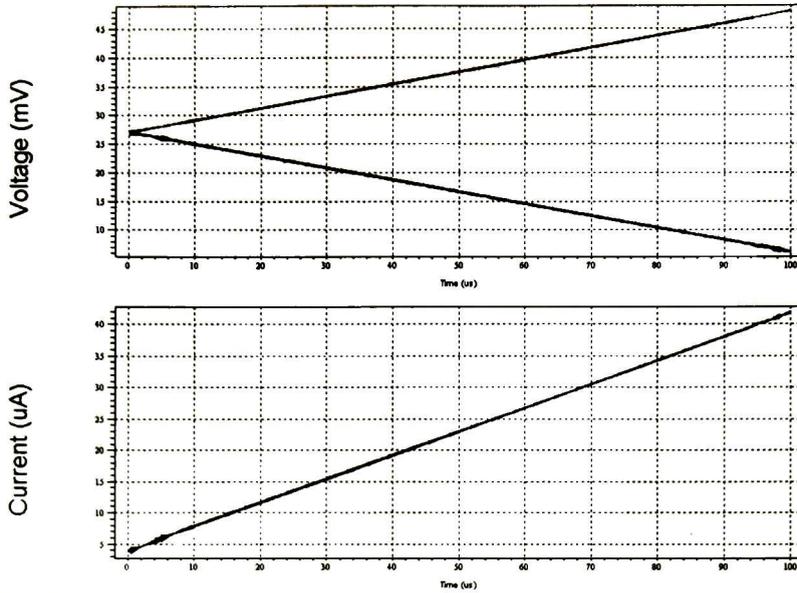


**Figura 3.12.** Curva voltaje diferencial de entrada, corriente de salida del amplificador diferencial del análisis Montecarlo.

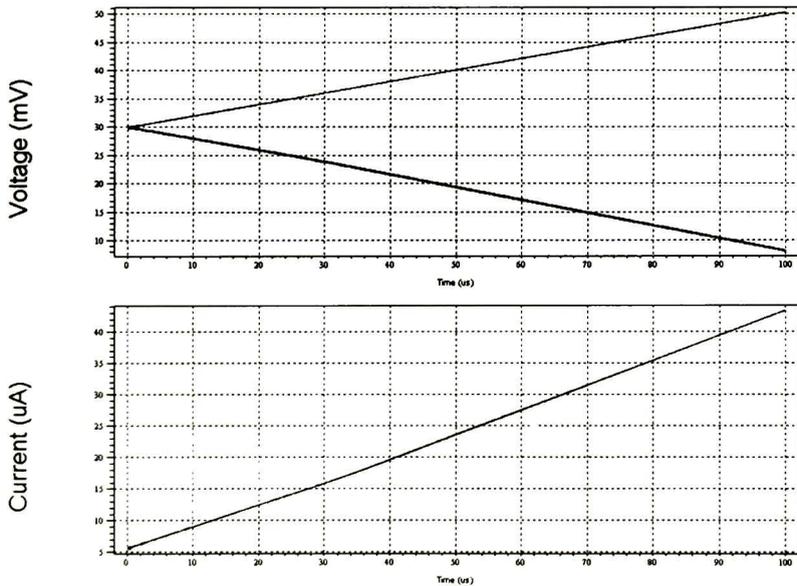


**Figura 3.13.** Curva voltaje diferencial de entrada, corriente de salida del amplificador diferencial extraído del layout del análisis Montecarlo.

Aplicando el mismo análisis precedente pero ahora para el circuito acondicionador de señal, obtenemos las siguientes figuras.



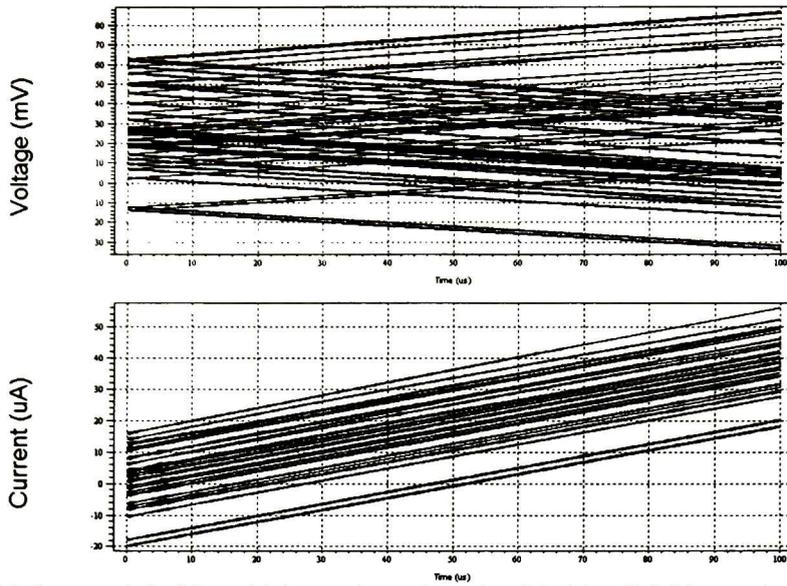
**Figura 3.14.** Voltaje diferencial de entrada y corriente de salida del tercer amplificador diferencial del circuito acondicionador de señal, a partir de una corriente de entrada de forma de rampa proveniente del magfet.



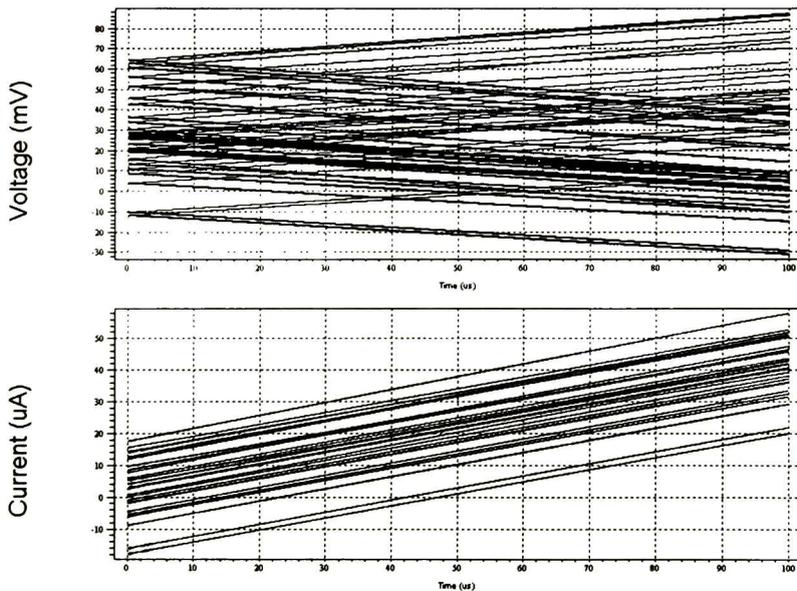
**Figura 3.15.** Gráficas de voltaje diferencial de entrada y corriente de salida del tercer amplificador diferencial del circuito acondicionador de señal extraído del layout, a partir de una corriente de entrada de forma de rampa proveniente del magfet.

A partir de las gráficas anteriores se puede ver que el circuito extraído introduce un pequeño voltaje de offset, pero también se puede apreciar que las señales del circuito extraído tienen menos ruido y son más nítidas. Si aplicamos el análisis Montecarlo variando igualmente los voltajes de polarización en un 5%, obtenemos las siguientes

figuras, donde se observa que aunque el voltaje de offset varía, la linealidad se sigue conservando.



**Figura 3.16.** Curvas voltaje diferencial de entrada, corriente de salida del análisis Montecarlo, al circuito acondicionador de señal variando los voltajes de polarizacion.



**Figura 3.17.** Curvas voltaje diferencial de entrada, corriente de salida del análisis Montecarlo, al circuito acondicionador de señal extraído del layout variando los voltajes de polarizacion.

### 3.4 Conclusiones

Para realizar un buen diseño de layout que conserve las bondades de un esquemático, no es necesario hacer complejos arreglos o aprenderse todas las reglas de diseño de memoria. Sino con un poco de imaginación y siguiendo las reglas básicas como conservar la misma alineación, mantener lo mas cerca posible los componentes y aplicar la interdigitación o centroide común.

En el presente capítulo se diseñó el layout del amplificador diferencial y del circuito acondicionador de señal, con muy buenos resultados y conservando el buen desempeño del circuito. Se destacó la aplicación de un arreglo de centroide común con interdigitación, el cual hizo más fácil las interconexiones y el trazado de líneas, además de reducir la resistencia de las compuertas de los transistores.

Se obtuvo un layout compacto, bien distribuido y balanceado que refleja en las simulaciones su buen desempeño. Las capacitancias parásitas agregadas fueron muy pequeñas del orden de femtofaradios, lo cual disminuyó mínimamente la respuesta en frecuencia del amplificador diferencial, notándose apenas un decremento mínimo que no afecta.

Por lo tanto, concluyo que el diseño del layout es de igual importancia que el diseño del circuito esquemático y es necesario poner especial atención en su diseño, de lo contrario el circuito pudiera no dar los resultados esperados o incluso no funcionar.

## Referencias.

- [1] Richard C. Jaeger, *INTRODUCTION TO MICROELECTRONIC FABRICATION*, volume V, second edition, Modular Series on Solid State Devices, Gerold W. Neudeck and Robert F. Pierret editors, Prentice Hall, Upper Saddle River, New Jersey 07458.
- [2] Christopher Saint, Judy Saint, *IC MASK DESIGN ESSENTIAL LAYOUT TECHNIQUES*, Mc Graw Hill, 2002.
- [3] The Mosis Service, *MOSIS Scalable CMOS (SCMOS) Design Rules*, Revision 7.2, 4676 Admiralty Way, Marina del Rey, CA 90292-6695.
- [4] Alan Hastings, *THE ART OF ANALOG LAYOUT*, Prentice Hall, Upper saddle River, NJ 07458.
- [5] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill Series in Electrical and Computer Engineering, New York, 2001.

# Capítulo 4

## CONCLUSIONES Y TRABAJO FUTURO

### 4.1 Conclusiones

Durante el desarrollo de la presente tesis, se planteó y presentó una metodología de diseño analógico basada en la caracterización y uso de transistores patrón unitarios, de dimensiones mínimas. Es decir, para cualquier diseño solo es necesario conectar tantos transistores patrón hasta obtener la corriente deseada, reduciendo con esto los tiempos de diseño y sus complejos cálculos. Además, se desarrolló un modelo matemático sencillo y fácil de realizar a mano, mediante el cual se pueden reproducir los resultados del punto de operación del transistor con los obtenidos de **spice**.

En el capítulo 1, se hizo un análisis para obtener un modelo matemático fácil de realizar con cálculos a mano y se comprobó que efectivamente reproduce los resultados obtenidos por **spice**. De esta manera el diseñador podrá comprobar sus diseños.

En el capítulo 2 se diseñó un circuito acondicionador de señal para un sistema sensor de campo magnético, tomando en cuenta la metodología de diseño planteada. Se presentaron resultados de simulación así como análisis Montecarlo.

Este diseño incluye 3 amplificadores diferenciales entrada tipo N, y cargas activas tipo P. Dos de estos amplificadores diferenciales están conectados como resistencias activas con valor  $1/g_m$  y un tercero como amplificador diferencial. Este circuito acondiciona la señal de corriente entregada por un magfet de dos drenajes, y entrega a su salida una corriente que es proporcional al campo magnético aplicado a éste.

Como parte del diseño, en el capítulo 3, se desarrolló el layout del amplificador diferencial y del circuito acondicionador de señal. Siguiendo reglas de diseño y métodos para reducir la variabilidad debido a gradientes de óxido durante la fabricación de los circuitos integrados. Se obtuvo un layout compacto y bien estructurado, cuyos resultados de simulación demostraron que se conservaron las buenas características del circuito.

Entonces a partir de este trabajo se puede implementar una metodología de diseño a seguir que facilita y disminuye los pasos para obtener un diseño analógico, reduciendo con esto el tiempo invertido, debido a que elimina el proceso de iteración comúnmente seguido en un diseño para obtener los resultados deseados.

## 4.2 Trabajo Futuro

Como trabajo futuro se tiene la fabricación y caracterización de un segundo circuito integrado de prueba: el circuito acondicionador de señal; diseñado en el capítulo 2 y cuyo layout se mostró en el capítulo 3.

A continuación se describirá la metodología de medición de este chip, su descripción de pines así como polarizaciones y señales a aplicarle.

### 4.2.1 Metodología de Medición

En la figura 4.1, se muestra el layout final del circuito acondicionador de señal, donde se puede ver la distribución de pines del empaquetado PLCC28.

Este circuito internamente contiene 4 amplificadores diferenciales, tres de ellos forman el circuito acondicionador de señal y uno de ellos es para caracterización.

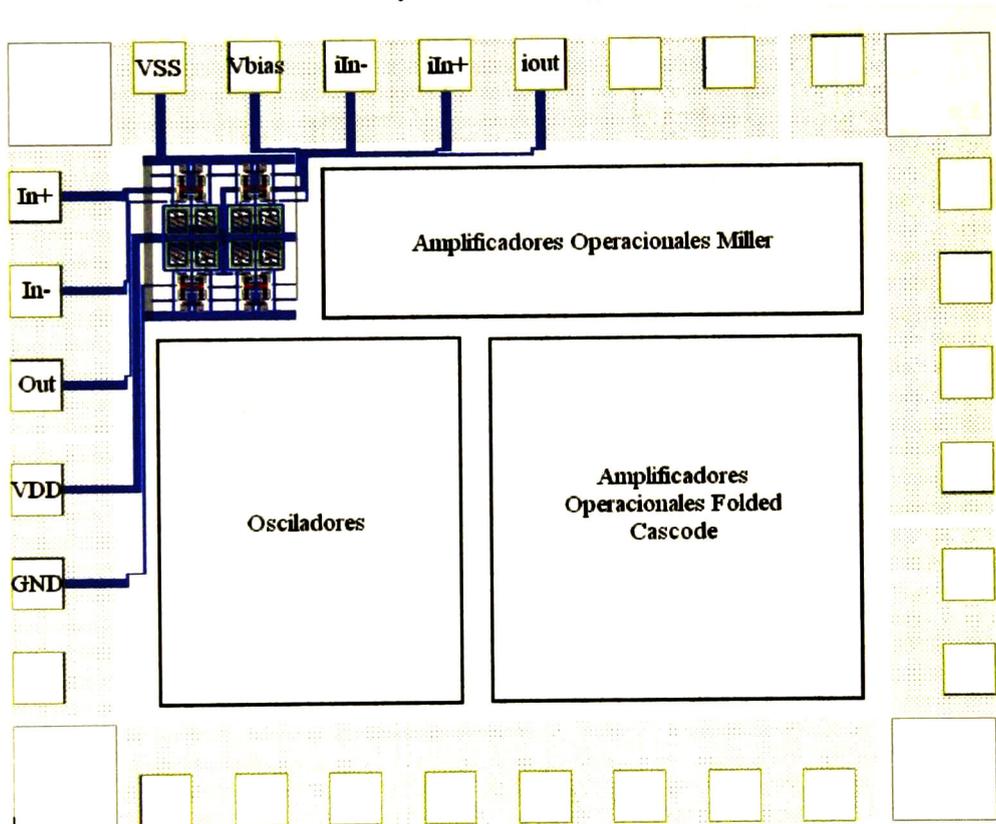


Figura 4.1. Layout del circuito acondicionador de señal y su conexión a PADS.

Para describir la metodología de medición del chip diseñado, se iniciará con la metodología de medición del amplificador diferencial.

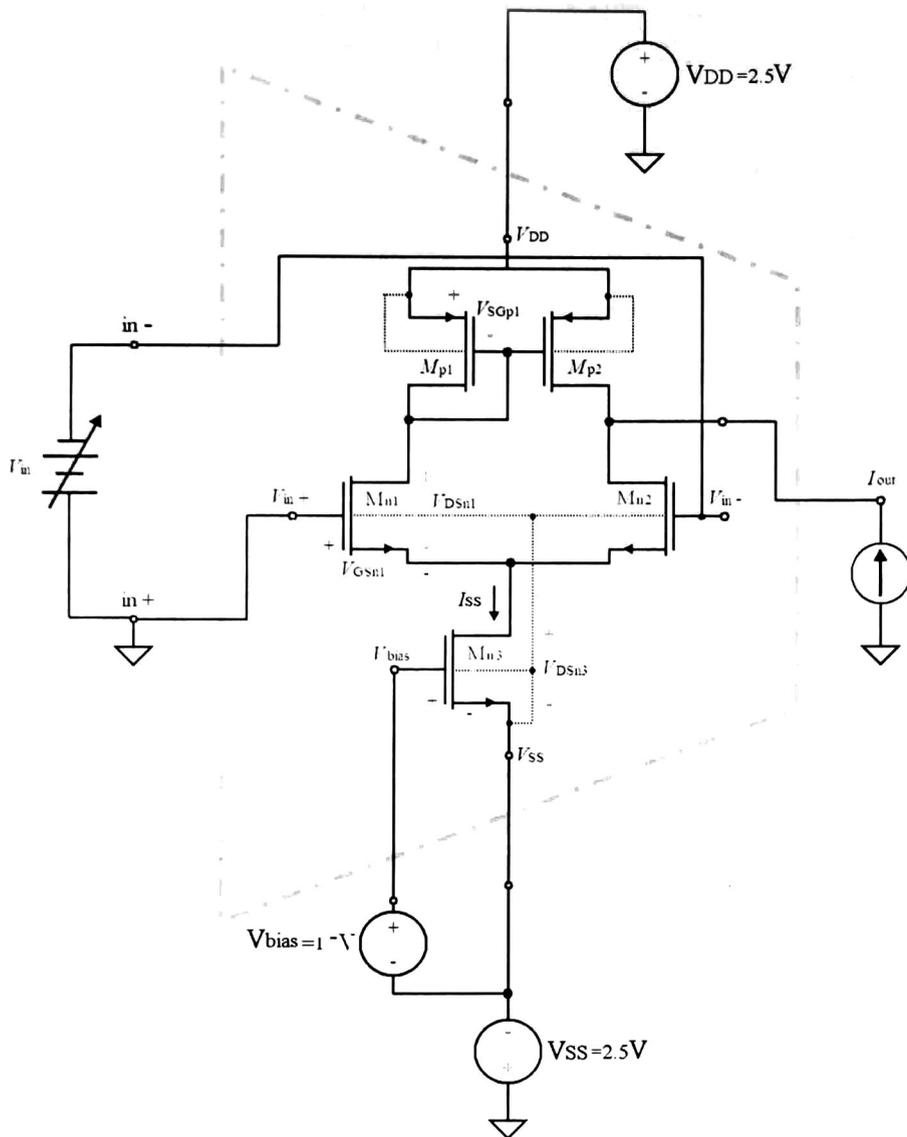
Su diagrama esquemático se muestra en la figura 4.2.



De acuerdo a la figura 4.1, el pad marcado con In+ es la entrada no inversora, el pad marcado In- es la entrada inversora, el pad marcado Out es la salida, el pad marcado  $V_{SS}$  es el voltaje de polarización negativo -2.5V, el pad marcado  $V_{DD}$  es el voltaje de polarización positivo +2.5V y el pad marcado  $V_{bias}$  es el voltaje de polarización -1.7V para la fuente de corriente  $I_{bias}$  del amplificador diferencial de la figura 4.2. Nótese cómo los voltajes de polarización  $V_{SS}$  y  $V_{DD}$  están referenciados a un nodo común que es tierra, pero el voltaje  $V_{bias}$  está referenciado a la terminal  $V_{SS}$ . Para evitar cortos circuitos y confusiones en las polaridades de las fuentes de tensión deben respetarse las polaridades del diagrama de la figura 4.2.

#### 4.2.1.1 Característica entrada-salida del amplificador diferencial

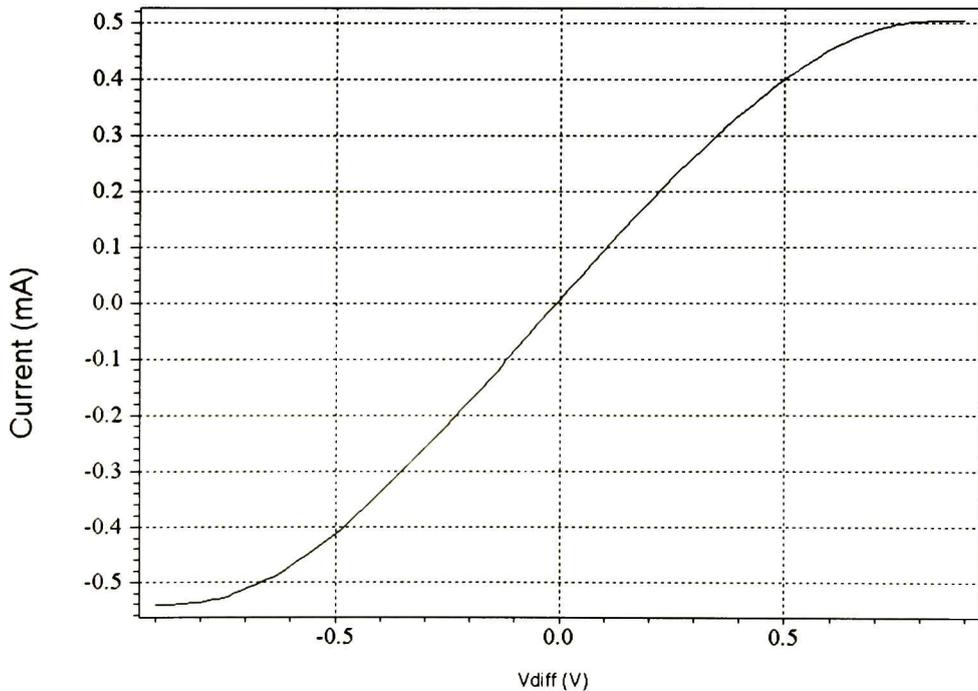
1. Conectar el amplificador diferencial del chip diseñado como se muestra en la figura 4.3.
2. Conectar un voltímetro de cd entre la terminal In- (punta positiva) y tierra (punta negativa).
3. Conectar un microamperímetro entra la terminal Out (punta positiva) y tierra (punta negativa).
4. Hacer un barrido de  $V_{in}$  desde -0.9V hasta +0.9V, en pasos de 0.1V y anotar en una tabla (ver figura 4.4) las mediciones de corriente en cada paso.
5. Con las mediciones capturadas en la tabla hacer una gráfica (ver figura 4.5).
6. Comprobar visualmente que el rango de linealidad del amplificador diferencial es de aproximadamente +/- 300mV, y que la corriente de salida es de +/-500uA para +/-0.7V aproximadamente. Esto deberá coincidir con los valores de diseño.



**Figura 4.3.** Amplificador diferencial y su conexión para análisis en dc.

Vdiff<V>	i(Vout)<A>
-9.0000e-001	-5.4179e-004
-8.0000e-001	-5.3739e-004
-7.0000e-001	-5.1822e-004
-6.0000e-001	-4.7309e-004
-5.0000e-001	-4.1172e-004
-4.0000e-001	-3.3891e-004
-3.0000e-001	-2.5820e-004
-2.0000e-001	-1.7234e-004
-1.0000e-001	-8.3580e-005
0.0000e+000	6.1050e-006
1.0000e-001	9.4928e-005
2.0000e-001	1.8114e-004
3.0000e-001	2.6293e-004
4.0000e-001	3.3821e-004
5.0000e-001	4.0444e-004
6.0000e-001	4.5815e-004
7.0000e-001	4.9400e-004
8.0000e-001	5.0238e-004
9.0000e-001	5.0347e-004

**Figura 4.4.** Ejemplo de tabla de voltaje diferencial de entrada-corriente de salida.



**Figura 4.5.** Curva de característica entrada-salida del amplificador diferencial.



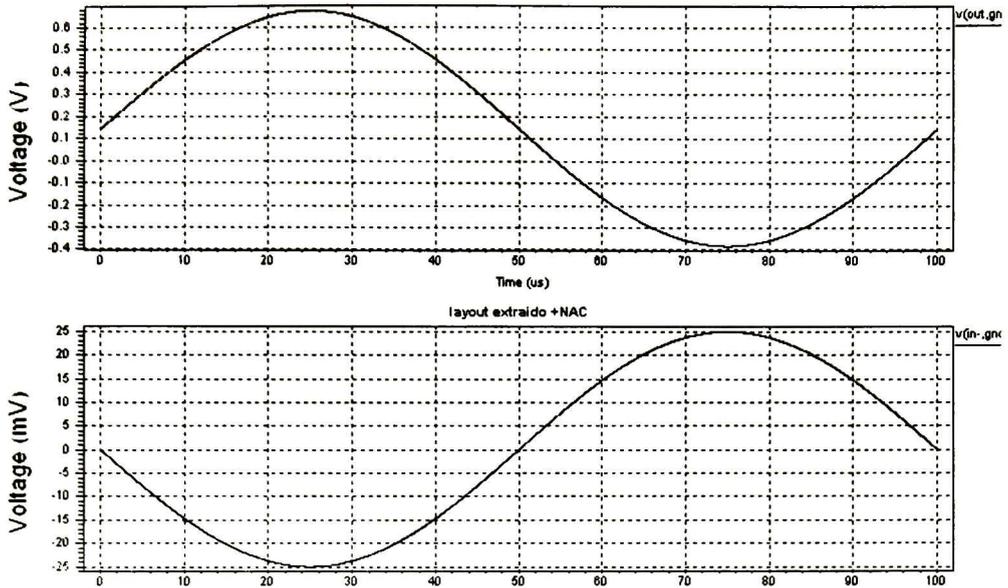


Figura 4.7. Señal de voltaje de entrada y salida del amplificador diferencial.

#### 4.2.1.3 Caracterización del circuito acondicionador de señal.

El circuito acondicionador de señal para el magfet como se explicó en el capítulo 2, consta de tres amplificadores diferenciales interconectados de tal manera de dos de ellos actúan como resistores activos y un tercero como amplificador diferencial. En la figura 2.2, se muestra su conexión y se vuelve a mostrar en la figura 4.8 para mayor comodidad.

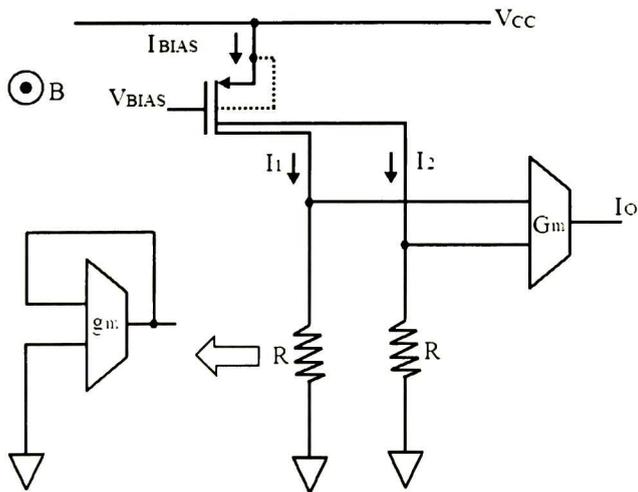


Figura 4.8. Circuito acondicionador de señal para el magfet.



## Anexos.

### A1. Caracterización del transistor patrón.

En el presente apartado se incluye la caracterización de un transistor NMOS fabricado a través del proceso AMIS ABN (1.5micrometros).

Este transistor corresponde a un arreglo en paralelo de 10 transistores patrón de geometrías 4.2um/1.8um. En el capítulo primero se planteó toda la metodología de diseño a partir de este transistor y que cualquier diseño puede ser posible haciendo un arreglo de tantos transistores patrón en paralelo como sea necesario.

En la figura A1, se muestra el layout del transistor patrón NMOS fabricado, y en la figura A2 se muestra una fotografía del chip fabricado.

El arreglo de transistores NMOS fabricados se puede observar en la figura A2, en la parte superior izquierda. En la figura A3 se muestra esta zona ampliada.

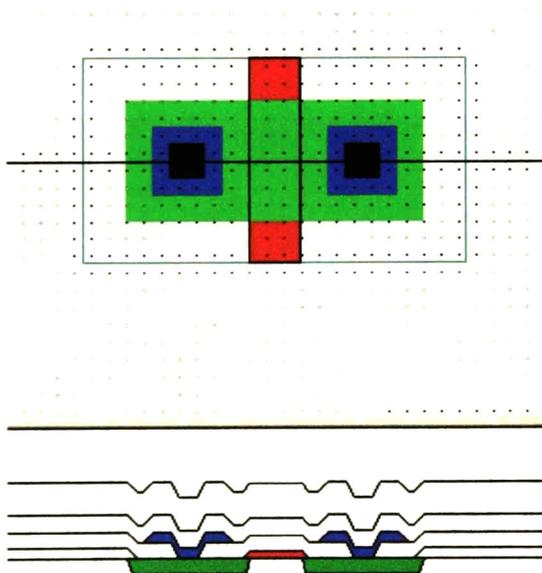
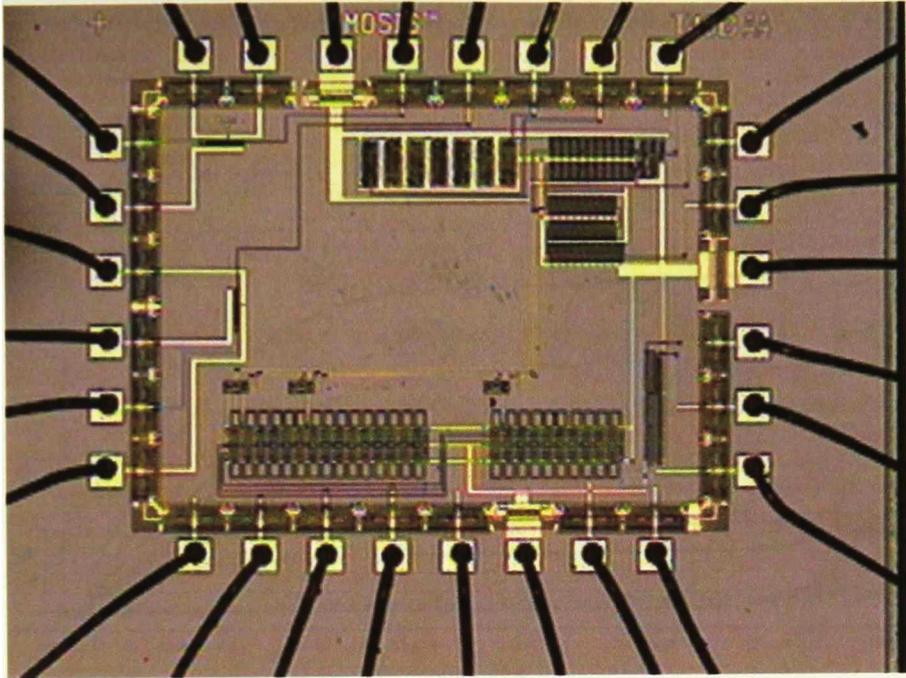
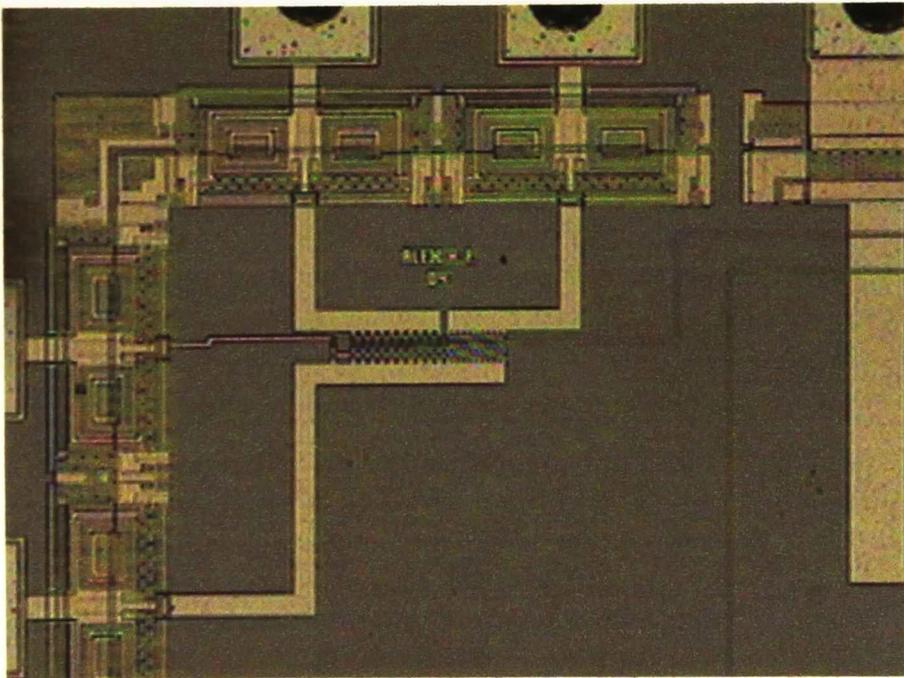


Figura A1. Layout y corte transversal del transistor NMOS patrón de geometrías 4.2um/1.8um.

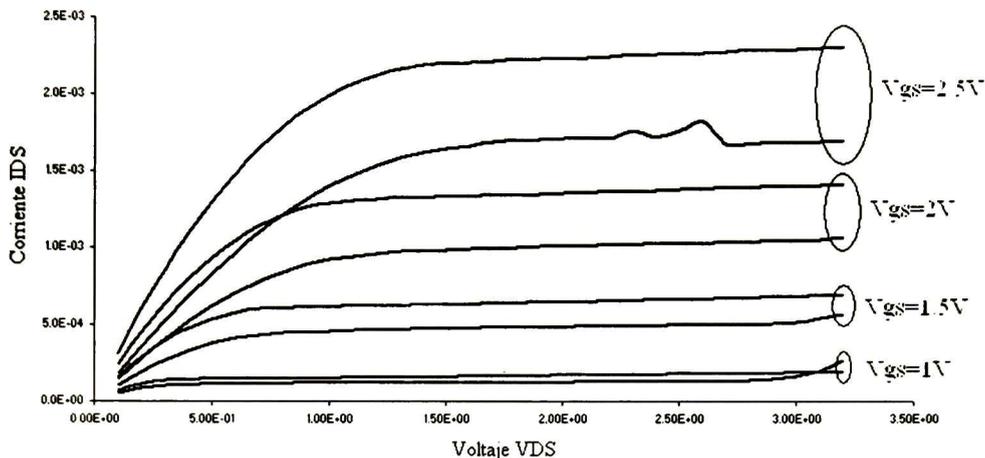


**Figura A2.** Microfotografía del chip donde se observa en la parte superior izquierda el arreglo de transistores NMOS.



**Figura A3.** Acercamiento del arreglo de transistores.

Tras la corrida de fabricación se caracterizó el arreglo de transistores y se obtuvieron sus curvas corriente-voltaje, para diferentes voltajes de compuerta: 1V, 1.5V, 2V y 2.5V (ver figura A4).



**Figura A4.** Curvas voltaje VDS-corriente IDS para diferentes voltajes de compuerta, donde se puede ver la comparación de la simulación TSpice con los datos obtenidos experimentalmente para un arreglo de 10 transistores patrón 4.2um/1.8um.

Esta diferencia entre el valor esperado por la simulación y el valor obtenido experimentalmente, es debida a efectos de canal corto. Ya que debido a las dimensiones tan reducidas de la compuerta, cualquier variación en el proceso de fabricación afecta enormemente al desempeño del transistor. Esto se demostró en el análisis Montecarlo efectuado al circuito, donde se vió que pequeñas variaciones del 5% del ancho del canal de conducción cambiaban significativamente el comportamiento del circuito.

## A2. Programas TSpice

A continuación se enlistan las líneas de comandos de los programas TSpice usados en las simulaciones.

### A2.1 Programa del amplificador diferencial.

\*Amplificador diferencial

\*con fuente de tensión y análisis Montecarlo

\*\*\*\*\* Transistores\*\*\*\*\*

***	Drain	Gate	source	Bulk	model	width	leng	multiplicity
M1	2	in+	1	vss	CMOSN	W=a	L=b	M=12
M2	out	in-	1	vss	CMOSN	W=a	L=b	M=12
M3	1	vbias	vss	vss	CMOSN	W=a	L=b	M=6
M4	2	2	vdd	vdd	CMOSP	W=a	L=b	M=6
M5	out	2	vdd	vdd	CMOSP	W=a	L=b	M=6

\*\* Modelos

.include modelos3.md

\*\* Constantes

.param v1=2.5 v2=-2.5 v3=0.8 a=4.2u b=1.8u

\*\* Fuentes de tensión para polarizacion

VDD vdd gnd dc v1

VSS vss gnd dc v2

\*\* Voltaje modo comun

Vcm in+ gnd dc 0m

\*\* Capacitancia de carga

Cout out gnd 1p

.op

\*\*\*\*\*

\*\*\*\* Fuente de tension para VBIAS

VBIAS gnd Vbias dc v3

\*\*\*\* Divisor de tensión como fuente de tensión para VBIAS

\*MSn1 vbias vbias vss vss CMOSN L=b W=a M=2

\*MSn23 3 vbias vss CMOSN L=b W=a M=3

\*MSp13 3 vdd vdd CMOSP L=b W=a M=27

\*\*\*\*\*

\*\*\*\*\*

\*\*\* Análisis Montecarlo\*\*\*

.step monte=30

.param v1=gauss(2.5,0.05,1)

```

*.param b=gauss(1.8u,0.05,1)
*.param a=gauss(4.2u,0.02,1)
.param v2=gauss(-2.5,0.05,1)
.param v3=gauss(0.8,0.05,1)
*****

```

```

**** Análisis en dc

```

```

Vout out gnd dc 0.0
Vdiff in+ in- dc 0.0
.dc Vdiff -0.9 0.9 0.01
.print dc I(Vout) $V(vbias)
*.print dc 'I(M1)-I(M2)'

```

```

/*

```

```

*** Análisis en ac

```

```

Vdiff in+ in- SIN (0.0 25m 10k 0 0 0)
.tran 1e-8 1e-4 start=0
.print tran v(in+,gnd) v(in-,gnd) v(out,gnd) $'v(in+,gnd)-v(in-,gnd)'
*/

```

```

/*

```

```

*** Análisis de frecuencia

```

```

Vdiff in+ in- 0 AC 1
.ac dec 10 1e3 1e9
*.tf V(out,gnd) Vcm
.print ac vdb(out,gnd) vm(out,gnd)
.acmodel {*}
*/

```

```

.end

```

## A2.2 Programa del amplificador diferencial extraído del layout.

\*Amplificador diferencial

\*con fuente de tensión y análisis Montecarlo extraído del layout

\*\*\*\*\* Capacitancias parasitas y transistores como se extrajeron del layout

```

**** nodo1 nodo2 valor
Cpar1 vdd gnd C=4.3753E-014
Cpar2 3 gnd C=1.44223E-014
Cpar3 vss gnd C=6.50477E-014
Cpar4 out gnd C=1.1633E-014
Cpar5 7 gnd C=1.16179E-014

```

```

*** Drain Gate Source Bulk Model leng width Area_Drain
Perimeter_Drain Area_Source Perim_Source
M14 vdd 3 out vdd CMOSF L=1.8E-006 W=1.26E-005 AD=2.646E-
011 PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $ (91 13 94 34)
M13 out 3 vdd vdd CMOSF L=1.8E-006 W=1.26E-005 AD=5.292E-
011 PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $ (101 13 104 34)
M12 3 3 vdd vdd CMOSF L=1.8E-006 W=1.26E-005 AD=5.292E-
011 PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $ (4 13 7 34)
M11 vdd 3 3 vdd CMOSF L=1.8E-006 W=1.26E-005 AD=2.646E-
011 PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $ (-6 13 -3 34)
M10 7 in- out vss CMOSN L=1.8E-006 W=1.26E-005 AD=2.646E-
011 PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $ (72.5 -69.5 75.5 -48.5)
M9 out in- 7 vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-
011 PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $ (82.5 -69.5 85.5 -48.5)
M8 3 in+ 7 vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-
011 PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $ (22.5 -69.5 25.5 -48.5)
M7 7 in+ 3 vss CMOSN L=1.8E-006 W=1.26E-005 AD=2.646E-
011 PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $ (12.5 -69.5 15.5 -48.5)
M6 vss vbias 7 vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-
011 PD=3.36E-005 AS=5.292E-011 PS=3.36E-005 $ (72.5 -163.5 75.5 -142.5)
M5 3 in+ 7 vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-
011 PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $ (82.5 -118.5 85.5 -97.5)
M4 7 in+ 3 vss CMOSN L=1.8E-006 W=1.26E-005 AD=2.646E-
011 PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $ (72.5 -118.5 75.5 -97.5)
M3 7 vbias vss vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-
011 PD=3.36E-005 AS=5.292E-011 PS=3.36E-005 $ (22.5 -163.5 25.5 -142.5)
M2 out in- 7 vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-
011 PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $ (22.5 -118.5 25.5 -97.5)
M1 7 in- out vss CMOSN L=1.8E-006 W=1.26E-005 AD=2.646E-
011 PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $ (12.5 -118.5 15.5 -97.5)

```

\*\*\* Modelos

```
.include modelos3.md
```

\*\*\* Constantes

```
.param v1=2.5 v2=-2.5 v3=0.8 $a=4.2u b=1.8u
```

\*\*\* Fuentes de tensión de polarizacion

```
VDD vdd gnd dc v1
```

```
VSS vss gnd dc v2
```

\*\*\* Voltaje modo comun

```
Vcm in+ gnd dc 0m
```

\*\*\* Capacitancia de carga

```
Cout out gnd 1p
```

```
.op
```

```
*****
```

```
**** Fuente de tension para VBIAS
VBIAS      gnd  Vbias dc    v3
```

```
**** Divisor de tensión como fuente de tensión para VBIAS
*MSn1vbias vbias vss  vss  CMOSN  L=b  W=a  M=2
*MSn23     3     vbias vss  CMOSN  L=b  W=a  M=3
*MSp13     3     vdd   vdd  CMOSP  L=b  W=a  M=27
*****
```

```
*****
*** Análisis Montecarlo****
.step monte=30
.param v1=gauss(2.5,0.05,1)
*.param b=gauss(1.8u,0.05,1)
*.param a=gauss(4.2u,0.02,1)
.param v2=gauss(-2.5,0.05,1)
.param v3=gauss(0.8,0.05,1)
*****
```

```
*** Análisis en dc
Vout out  gnd  dc    0.0
Vdiff in+ in-  dc    0.0
.dc  Vdiff -0.9  0.9  0.01
.print dc      I(Vout) $V(vbias)
*.print dc     'I(M1)-I(M2)'
```

```
/*
*** Análisis en ac
Vdiff in+ in- SIN (0.0 25m 10k 0 0 0)
.tran 1e-8 1e-4 start=0
.print tran v(in+,gnd) v(in-,gnd) v(out,gnd) '$v(in+,gnd)-v(in-,gnd)'
*/
```

```
/*
*** Análisis de frecuencia
Vdiff in+ in- 0 AC 1
.ac dec 10 1e3 1e9
*.tf V(out,gnd) Vcm
.print ac vdb(out,gnd) vm(out,gnd)
.acmodel {*}
*/
.end
```

### A2.3 Programa del circuito acondicionador de señal.

\*Circuito sensor completo, incluyendo los transistores para el magfet y análisis Montecarlo  
\* y circuito de polarizacion

\*\*\* Subcircuito del amplificador diferencial

```
.subcktota in+ in- out vbias1 vdd vss
M1 2 in+ 1 vss CMOSN W=a L=b M=12
M2 out in- 1 vss CMOSN W=a L=b M=12
M3 1 vbias1 vss vss CMOSN W=a L=b M=6
M4 2 2 vdd vdd CMOSP W=a L=b M=6
M5 out 2 vdd vdd CMOSP W=a L=b M=6
.ends
```

\*\* Modelos

```
.include modelos3.md
```

\*\* Constantes

```
.param v1=2.5 v2=-2.5 v3=0.79 v4=1.05 a=4.2u b=1.8u
```

\*\* Fuentes de polarizacion

```
VDD vdd gnd dc v1
VSS vss gnd dc v2
VBIAS gnd vbias1 dc v3
VBIAS2 vbias2 gnd dc v4
*Vcm in+ gnd dc 0.025
```

\*\* Capacitancia de carga

```
Cout 3 gnd lp
```

\*\*llamada a subckt

```
X1 gnd 2 2 vbias1 vdd vss ota
X2 gnd 1 1 vbias1 vdd vss ota
X3 2 1 3 vbias1 vdd vss ota
```

\*\*transistores del magfet

```
Mp1 2 vbias2 Vdd Vdd CMOSP L=b W=a M=3
Mp2 1 vbias2 Vdd Vdd CMOSP L=b W=a M=3
```

\*\*\*\*\*

/\*

\*\*\*\* Fuente de tensión para VBIAS

```
*VBIAS gnd Vbias dc 0.8
MSn1 vbias1 vbias1 vss vss CMOSN L=b W=a M=2
MSn2 vbias2 vbias2 vbias1 vss CMOSN L=b W=a M=3
MSp1 vbias2 vbias2 vdd vdd CMOSP L=b W=a M=27
```

\*\*\*\*\*

\*/

```

*****
*** Análisis Montecarlo*****
.step monte=30
.param v1=gauss(2.5,0.05,1)
*.param b=gauss(1.8u,0.05,1)
*.param a=gauss(4.2u,0.02,1)
.param v2=gauss(-2.5,0.05,1)
.param v3=gauss(0.79,0.05,1)
.param v4=gauss(1.05,0.05,1)
*****

.op
*** Análisis en dc
*.ic 3=0
*R 3 0 1k
Vout 3 0 dc 0
*****
GID1 1 vdd control 0 1m $fuentes de corriente
controladas por voltaje para emular la aplicación del
GID2 vdd 2 control 0 1m $campo magnético, las
corrientes son encontradas una respecto a la otra
Vtest control0 pw1(0 0 100u 20m)
*Vtest control0 pw1(0 0 20u 20m 40u 0 60u 20m 80u
0 100u 20m)
*Vtest control0 pw1(0 0 20u 0 21u 20m 30u 20m 31u
0 50u 0
*+51u 20m 60u 20m 61u 0 80u 0 81u 20m 90u 20m
91u 0))
*Vtest control0 dc 15m
*Vtest control 0 dc 0 SIN (0 20m 10k 0 0 0) AC 0 0
*****
*ID1 vdd 1 pw1(0 0u 100u -25u) $fuentes de corriente fijas
*ID2 vdd 2 pw1(0 0u 100u 25u)
*****
.tran 0.01u 100u
.print tran I(Vout) v(1,gnd) v(2,gnd) ; 'V(2,gnd)-V(1,gnd)'

*** Análisis de frecuencia
*ID1 vdd 1 0 AC 1
*ID2 vdd 2 0 AC 1
*.ac dec 10 1e3 1e9
*.tf V(3,gnd) ID1
*.tf V(3,gnd) ID2
*.print ac vm(3,gnd) vdb(3,gnd)
*.acmodel { * }

.end

```

#### A2.4 Programa del circuito acondicionador de señal del circuito extraído del layout.

\*Circuito sensor completo, incluyendo los transistores para el magfet y análisis

\*Montecarlo

\* y circuito de polarización del circuito extraído del layout

\*\* Subcircuito del amplificador diferencial, incluyendo capacitancias parasitas

```
.subckt ota          in+  in-  out  vbias  vdd  vss

Cpar1 vdd  gnd C=4.3753E-014
Cpar2 3    gnd C=1.44223E-014
Cpar3 vss  gnd C=6.50477E-014
Cpar4 out  gnd C=1.1633E-014
Cpar5 7    gnd C=1.16179E-014

M14 vdd 3 out vdd CMOS L=1.8E-006 W=1.26E-005 AD=2.646E-011
PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $(91 13 94 34)
M13 out 3 vdd vdd CMOS L=1.8E-006 W=1.26E-005 AD=5.292E-011
PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $(101 13 104 34)
M12 3 3 vdd vdd CMOS L=1.8E-006 W=1.26E-005 AD=5.292E-011
PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $(4 13 7 34)
M11 vdd 3 3 vdd CMOS L=1.8E-006 W=1.26E-005 AD=2.646E-011
PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $(-6 13 -3 34)
M10 7 in- out vss CMOSN L=1.8E-006 W=1.26E-005 AD=2.646E-011
PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $(72.5 -69.5 75.5 -48.5)
M9 out in- 7 vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-011
PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $(82.5 -69.5 85.5 -48.5)
M8 3 in+ 7 vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-011
PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $(22.5 -69.5 25.5 -48.5)
M7 7 in+ 3 vss CMOSN L=1.8E-006 W=1.26E-005 AD=2.646E-011
PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $(12.5 -69.5 15.5 -48.5)
M6 vss vbias 7 vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-011
PD=3.36E-005 AS=5.292E-011 PS=3.36E-005 $(72.5 -163.5 75.5 -142.5)
M5 3 in+ 7 vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-011
PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $(82.5 -118.5 85.5 -97.5)
M4 7 in+ 3 vss CMOSN L=1.8E-006 W=1.26E-005 AD=2.646E-011
PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $(72.5 -118.5 75.5 -97.5)
M3 7 vbias vss vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-011
PD=3.36E-005 AS=5.292E-011 PS=3.36E-005 $(22.5 -163.5 25.5 -142.5)
M2 out in- 7 vss CMOSN L=1.8E-006 W=1.26E-005 AD=5.292E-011
PD=3.36E-005 AS=2.646E-011 PS=1.68E-005 $(22.5 -118.5 25.5 -97.5)
M1 7 in- out vss CMOSN L=1.8E-006 W=1.26E-005 AD=2.646E-011
PD=1.68E-005 AS=5.292E-011 PS=3.36E-005 $(12.5 -118.5 15.5 -97.5)
.ends ota
```

\*\* Modelos

.include modelos3.md

\*\* Constantes

```

.param v1=2.5      v2=-2.5      v3=0.79      v4=1.05      a=4.2u      b=1.8u

** Fuentes de polarizacion
VDD      vdd      gnd      dc      v1
VSS      vss      gnd      dc      v2
VBIAS    gnd      Vbias1  dc      v3
VBIAS2   Vbias2  gnd      dc      v4
*Vcm     in+      gnd      dc      0.025

** Capacitancia de carga
Cout 3      gnd      1p

**llamada a subckt
X1      gnd      2      2      vbias1  vdd      vss      ota
X2      gnd      1      1      vbias1  vdd      vss      ota
X3      2      1      3      vbias1  vdd      vss      ota

**transistores del magfet
Mp1 2      vbias2  Vdd      Vdd      CMOSF      L=b      W=a      M=3
Mp2 1      vbias2  Vdd      Vdd      CMOSF      L=b      W=a      M=3

*****
/*
**** Fuente de tensión para VBIAS
*VBIAS      gnd      Vbias  dc      0.8
MSn1 vbias1 vbias1 vss      vss      CMOSN      L=b      W=a      M=2
MSn2 vbias2 vbias2 vbias1 vss      CMOSN      L=b      W=a      M=3
MSp1 vbias2 vbias2 vdd      vdd      CMOSF      L=b      W=a      M=27
*****
*/

*****
*** Análisis Montecarlo****
.step monte=30
.param v1=gauss(2.5,0.05,1)
*.param b=gauss(1.8u,0.05,1)
*.param a=gauss(4.2u,0.02,1)
.param v2=gauss(-2.5,0.05,1)
.param v3=gauss(0.79,0.05,1)
.param v4=gauss(1.05,0.05,1)

*****

.op

*** Análisis en dc

```

```

*.ic 3=0
*R 3 0 1k
Vout 3 0 dc 0
*****
GID1 1 vdd control 0 1m $fuentes de corriente
controladas por voltaje para emular la aplicación del
GID2 vdd 2 control 0 1m $campo magnético, las
corrientes son encontradas una respecto a la otra
Vtest control0 pwl(0 0 100u 20m)
*Vtest control0 pwl(0 0 20u 20m 40u 0 60u 20m 80u
0 100u 20m)
*Vtest control0 pwl(0 0 20u 0 21u 20m 30u 20m 31u
0 50u 0
*+51u 20m 60u 20m 61u 0 80u 0 81u 20m 90u 20m
91u 0))
*Vtest control0 dc 15m
*Vtest control 0 dc 0 SIN (0 20m 10k 0 0 0) AC 0 0
*****
*ID1 vdd 1 pwl(0 0u 100u -25u) $fuentes de corriente fijas
*ID2 vdd 2 pwl(0 0u 100u 25u)
*****
.tran 0.01u 100u
.print tran I(Vout) v(1,gnd) v(2,gnd) ; 'V(2,gnd)-V(1,gnd)'

*** Análisis de frecuencia
*ID1 vdd 1 0 AC 1
*ID2 vdd 2 0 AC 1
*.ac dec 10 1e3 1e9
*.tf V(3,gnd) ID1
*.tf V(3,gnd) ID2
*.print ac vm(3,gnd) vdb(3,gnd)
*.acmodel {*}

.end

```

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

Metodología de Diseño Analógico Basada en Celdas de Geometrías  
Mínimas

del (la) C.

Alejandro HERRERA FAVELA

el día 02 de Septiembre de 2005.



Dr. Juan Manuel Ramírez Arredondo  
Investigador CINVESTAV 3B  
CINVESTAV Unidad Guadalajara



Dr. Federico Sandoval Ibarra  
Investigador CINVESTAV 3A  
CINVESTAV Unidad Guadalajara



Dr. Félix Francisco Ramos Corchado  
Investigador CINVESTAV 2B  
CINVESTAV Unidad Guadalajara



CINVESTAV  
BIBLIOTECA CENTRAL



SS1T000008082