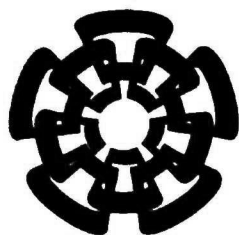


xx(124339,1)



CINVESTAV

Centro de Investigación y de Estudios Avanzados del I.P.N.
Unidad Guadalajara

Análisis y Diseño de un Doblador de Voltaje CMOS para Aplicaciones Portátiles

Tesis que presenta:

Edgar Javier Vargas Calderón

para obtener el grado de:

Maestro en Ciencias

en la especialidad de:

Ingeniería Eléctrica

CINVESTAV I.P.N.
SECCION DE INFORMACION
Y DOCUMENTACION

Director de Tesis

Dr. Federico Sandoval Ibarra

Guadalajara, Jalisco, Septiembre de 2005.

CINVESTAV
IPN
ADQUISICION
DE LIBROS

CLASS: TK165.58.V37 2005
ADDS: SSI - 373
FECH: 27 APRIL 2006
PROCED: DDN - 2006
\$ _____

J.D. 124230 - 2001

Análisis y Diseño de un Doblador de Voltaje CMOS para Aplicaciones Portátiles

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

Por:

Edgar Javier Vargas Calderón
Ingeniero Electrónico

Instituto Tecnológico de Morelia 1996-2000

Becario de CONACYT, expediente no. 182213

Director de Tesis
Dr. Federico Sandoval Ibarra

CINVESTAV del IPN Unidad Guadalajara, Septiembre de 2005.

Agradecimientos

A Dios, por ser quien me guía en todo momento.

A mis Padres, Javier Vargas Betancio y Justina Calderón Gasca por darme la vida, inculcarme valores, y por todo el apoyo recibido a lo largo de mi vida.

A mi asesor, el Dr. Federico Sandoval Ibarra por su gran apoyo durante la realización de este trabajo.

A CONACYT por el apoyo económico brindado a lo largo de mi estancia en la maestría.

A MOSIS por el apoyo para la fabricación del chip que fue resultado de esta investigación.

Prefacio

El objetivo de este trabajo es presentar el principio de funcionamiento, análisis y diseño de un doblador de voltaje con capacitores conmutados en tecnología CMOS. El doblador de voltaje aquí presentado tiene un voltaje de alimentación de 1.5 V, un manejo de carga de 1mA, frecuencia de conmutación de 250 kHz, se implementa en tecnología CMOS de 1.5 μm y está orientado a la aplicación en dispositivos portátiles.

La organización de este trabajo es como sigue: el capítulo 1 es una introducción que da un panorama general de los circuitos con capacitores conmutados. Describe el método usado para elevar el voltaje en este tipo de circuitos rescatando las ventajas que se tienen al usar este método y evitar el uso de inductores en los elevadores de voltaje. También, menciona dos topologías diferentes para la implementación de elevadores de voltaje y presenta las ventajas y desventajas de cada una.

El capítulo 2 se enfoca al diseño del doblador de voltaje en tecnología CMOS. Este capítulo presenta primeramente el funcionamiento del doblador usando transistores que realizan la función de interruptores para después continuar con el diseño de éstos. Después se realiza el diseño de cada uno de los diferentes módulos que forman parte de los circuitos de control del doblador y la simulación por separado de cada uno de ellos. Para finalizar, se presenta la simulación de la salida del doblador de voltaje y de cada una de las señales más importantes que intervienen en su funcionamiento.

El capítulo 3 presenta el diseño de cada uno de los módulos del doblador de voltaje a nivel layout. Al inicio del capítulo se muestra la distribución o floorplanning de los módulos y las dimensiones que éstos ocupan dentro del chip. Después, se muestra y describe el layout de cada bloque diseñado, resaltando los puntos que fueron tomados en cuenta para su diseño. El último tema del capítulo presenta el diseño final del chip y describe el método de prueba para realizar las mediciones experimentales.

Las conclusiones se presentan en el capítulos 4, se mencionan las ventajas y desventajas del diseño y se muestra una curva que ilustra la viabilidad del diseño propuesto. Uno de los módulos, el cual es alimentado directamente con el voltaje de la batería es presentado del punto de vista experimental. Al final del capítulo se presenta el trabajo futuro.

El Apéndice A describe el funcionamiento y principio de operación del doblador de voltaje a detalle y realiza el análisis completo del mismo. Primeramente se realiza un análisis bajo condiciones ideales para después incluir no idealidades con el fin de llegar a un modelo matemático más completo. Al final de este apéndice se realiza la comparación entre el modelo obtenido y simulación Tspice.

El Apéndice B presenta al transistor MOS utilizado como interruptor y llega a una ecuación para la resistencia de encendido del transistor. Por último, el Apéndice C muestra las publicaciones que han sido resultado de este trabajo.

Contenido

Prefacio	i
Capítulo 1 Introducción	1
Capítulo 2 Doblador de Voltaje CMOS	5
2.1 Introducción	5
2.2 Funcionamiento	5
2.3 Diseño del Doblador	7
2.4 Circuitos de Control	9
2.4.1 Generador de Señal de Reloj (GSR)	10
2.4.2 Elevador de Señal	15
2.4.3 Generador de Fases Sin Traslape (GFST)	17
2.4.4 Buffers P y N	18
2.5 Resultados de Simulación	21
Capítulo 3 Layout	26
3.1 Introducción	26
3.2 Floorplaning	26
3.3 Transistores	27
3.4 Generador de Señal de Reloj (GSR)	29
3.5 Elevador de Señal	30
3.6 Generador de Fases Sin Traslape (GFST)	32
3.7 Buffers P y N	32
3.8 Método de Prueba	33
Capítulo 4 Conclusiones y Trabajo Futuro	36
4.1 Conclusiones	36
4.2 Trabajo futuro	37

Apéndice A Análisis	38
A.1 Introducción	38
A.2 Doblador Ideal	39
A.3 Doblador no Ideal	43
Apéndice B El Interruptor MOS	50
Apéndice C Publicaciones Generadas	53
Bibliografía	58

Índice de Tablas

Tabla 2.1	V_{GS} para los transistores del doblador en estado de encendido	8
Tabla 2.2	Relación (W/L) para los transistores del doblador	9
Tabla 2.3	Diseño del GSR	14
Tabla 2.4	Número de etapas y de inversores por etapa para los Buffers N y P	20
Tabla 2.5	Comparación entre multiplicadores de voltaje	25
Tabla 3.1	Dimensión de los transistores del doblador	29
Tabla 3.2	Resistencia de hoja de diferentes materiales para tecnología MOS 1.5 μm	31
Tabla 3.3	Descripción de terminales	35

Índice de Figuras

Fig. 1.1	Diagrama básico de un elevador de voltaje con capacitores conmutados usando interruptores para la transferencia de carga	2
Fig. 1.2	Diagrama básico del elevador de voltaje con capacitores conmutados usando diodos para la transferencia de carga (Aproximación de Dickson)	3
Fig. 2.1	Doblador de Voltaje CMOS	6
Fig. 2.2	Tiempo de encendido simultaneo entre transistores p y n MOS	7
Fig. 2.3	R_{ON} vs. V_{OUT} . $V_B = 1.5$ V, $I_{OUT} = 1$ mA, $T = 4$ μ s, $C_1 = C_2 = 100$ nF	8
Fig. 2.4	Diagrama esquemático del Doblador de Voltaje incluyendo bloques de control	10
Fig. 2.5	Oscilador de anillo	10
Fig. 2.6	(a) Diagrama esquemático del VCO Current-Starved. (b) Conexión interna de los inversores del VCO	11
Fig. 2.7	Diagrama simplificado de una etapa del VCO	12
Fig. 2.8	Simulación TSpice del GSR para una $C_L = 25$ pF	14
Fig. 2.9	Diagrama a bloques del Elevador de Señal	15
Fig. 2.10	Diagrama esquemático del Elevador de Señal	16
Fig. 2.11	(a) Generador de Fases sin traslape. (b) Señales de salida.	17
Fig. 2.12	Inversores en cascada para el control de cargas capacitivas grandes	19
Fig. 2.13	Simulación TSpice del V_{OUT} del doblador	21
Fig. 2.14	Voltaje de Rizo del Doblador	22
Fig. 2.15	a) Modulo Generador de Señal de Reloj y b) Simulación Tspice	22
Fig. 2.16	a) Modulo Elevador de Señal y b) Simulación Tspice	23
Fig. 2.17	a) Salidas de los Buffers y b) Simulación Tspice	24
Fig. 2.18	Ampliación en el eje del tiempo de las fases sin traslape de la Fig. 3.19. a) Transición bajo a alto b) Transición alto a bajo	25
Fig. 3.1	Floorplannig	27
Fig. 3.2	Área ocupada por un transistor utilizando la técnica (a) convencional y (b) interdigitado	28

Fig. 3.3	Layout de M_1	28
Fig. 3.4	Layout del GSR	29
Fig. 3.5	Unión p-n (diodo) construido sobre pozo n	30
Fig. 3.6	Diodo construido sobre transistor pMOS	30
Fig. 3.7	Layout del diodo D_1	31
Fig. 3.8	Layout del Elevador de Señal	31
Fig. 3.9	Layout del GFST	32
Fig. 3.10	Layout de (a) buffer P y (b) buffer N	33
Fig. 3.11	Diseño final del chip	34
Fig. 4.1	Frec. de oscilación vs. V_{CON} para el VCO implementado en [10]	37
Fig. A.1	Doblador de voltaje con condiciones ideales	39
Fig. A.2	Fases de reloj complementarias	39
Fig. A.3	Circuito equivalente para Φ_1 del doblador cuando se conecta una carga a la salida	40
Fig. A.4	Circuito equivalente del doblador para Φ_2 cuando se conecta una carga a la salida	41
Fig. A.5	Simulación TSpice del doblador de voltaje ideal con $V_B = 1\text{ V}$, $T = 10\mu\text{s}$, $I = 1\text{ mA}$ y $C = 100\text{ nF}$. (a) V_{OUT} (b) V_{RIPPLE}	43
Fig. A.6	Doblador de voltaje-Condicionen no Ideales	44
Fig. A.7	Circuito equivalente del doblador para Φ_1	44
Fig. A.8	Circuito equivalente del doblador en la fase Φ_2	45
Fig. A.9	Descripción de la variación de voltaje en C_2	47
Fig. A.10	Caída de potencial (a) en los resistores durante Φ_2 y (b) en C_1 durante Φ_1	48
Fig. A.11	Comparación entre Modelo matemático y simulación TSpice. (a) V_{OUT} vs. R_{ON} (b) V_{RIPPLE} vs. R_{ON}	49
Fig. B.1	Modelo del interruptor no ideal	50
Fig. B.2	Transistor NMOS usado como interruptor	51

Introducción

En años recientes se ha registrado un incremento substancial en el uso de dispositivos portátiles, como son: reproductores mp3, relojes de mano, agendas electrónicas (palms), dispositivos de ayuda auditiva, etc. En todos estos productos es importante la vida útil de la batería, por lo que el diseño de circuitos analógicos y digitales orientado a dispositivos portátiles debe tener una alta eficiencia para lograr un bajo consumo de potencia e incrementar la vida útil de la batería.

En el diseño de circuitos integrados CMOS de bajo voltaje se prefiere que tanto los circuitos analógicos como los digitales sean alimentados de la misma fuente. Sin embargo, cuando se utiliza una batería para la alimentación de dichos circuitos el nivel de voltaje de alimentación será bajo, teniendo con esto diversas restricciones sobre todo para el diseño de circuitos analógicos [1]. El rango dinámico de las señales analógicas se verá reducido mientras menor sea el nivel de alimentación, por otro lado, existen circuitos digitales que necesitan voltajes mayores que los de la fuente de alimentación, un ejemplo de ello son las memorias EEPROM.

Una forma de incrementar los niveles de voltaje de alimentación mas allá del nivel de la fuente es el “bombeo de carga”. En la actualidad se ha combinado el uso de circuitos integrados junto con componentes pasivos para lograr la implementación de circuitos de bombeo de carga en diversas aplicaciones. En años anteriores, el uso de circuitos de bombeo de carga era considerado muy restringido y solo eran utilizados en aplicaciones que no demandaran gran precisión, con baja corriente de carga, alta tolerancia al ruido y una necesidad de eficiencia mínima. En este caso, la aplicación se veía beneficiada con un circuito de bombeo de carga de bajo costo, diseño simple, además de tener una operación libre de inductores.

Hoy en día se ha dado mayor aplicación a los circuitos de bombeo de carga porque estos han mejorado los requerimientos de los sistemas portátiles consiguiendo mayor precisión, mayores corrientes de salida, niveles de ruido aceptables y vida útil de la batería comparable a la de los diseños basados en inductores.

Hasta ahora se ha mencionado el termino “bombeo de carga” sin dar una descripción de éste. El bombeo de carga se refiere a un tipo de convertidor de voltaje dc-dc que para almacenar la energía usa capacitores y no inductores o transformadores. Los convertidores con bombeo de carga también son conocidos como convertidores con

capacitores conmutados los cuales incluyen una red de interruptores o diodos que cargan y descargan uno o más capacitores. Una de las mayores ventajas de un circuito de bombeo de carga es la ausencia de inductores.

Usualmente los inductores son indeseables en el diseño de circuitos integrados debido a que presentan diversas restricciones. Por ejemplo: existen mucho menor número de establecimientos dedicados a la venta de inductores, el tamaño y las especificaciones no siempre son estándar, el consumo de área es mayor, presentan más interferencia electromagnética (EMI), gran sensibilidad al diseño en layout y un mayor costo. Por otro lado, un circuito elevador con capacitores conmutados ofrece una operación satisfactoria aún cuando se utilizan capacitores de bajo costo [4].

Básicamente existen dos formas de implementación de circuitos de bombeo de carga o circuitos con capacitores conmutados. La primera es usando interruptores los cuales se encargan de llevar a cabo la conmutación de los capacitores. La segunda es usando diodos a través de los cuales se lleva a cabo la carga y descarga de capacitores.

La figura 1 muestra el diagrama básico de un circuito elevador con capacitores conmutados usando interruptores. La función principal del circuito es, primero cargar a C_1 con la fuente de voltaje y después transferir la carga de C_1 a C_2 . Finalmente, C_2 es el encargado de suministrar corriente hacia el nodo de salida (V_{OUT}).

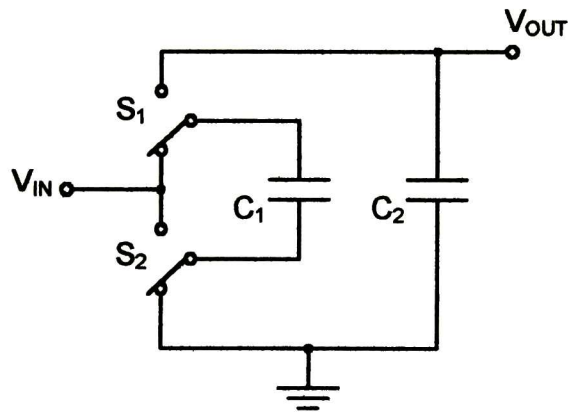


Fig. 1.1. Diagrama básico de un elevador de voltaje con capacitores conmutados usando interruptores para la transferencia de carga.

El funcionamiento del circuito se basa en la conmutación de los interruptores S_1 y S_2 que están sincronizados mediante una señal de reloj. En la primera fase, se carga C_1 al voltaje de entrada (V_{IN}) a través de S_1 y S_2 , en la fase opuesta S_1 y S_2 cambian de posición de tal forma que C_1 transfiere su carga a C_2 . Por lo tanto C_1 es el encargado del transporte de carga mientras que C_2 es el encargado de la acumulación de carga.

Por otro lado, la figura 2 muestra el uso de diodos para la implementación del circuito elevador de voltaje. El circuito consiste de dos fases de reloj complementarias, Φ_1 y Φ_2 . Los diodos operan como interruptores que encienden cada vez que se supera su voltaje de polarización directa.

Este circuito opera bombeando carga a lo largo de la cadena de diodos mientras los capacitores son cargados y descargados sucesivamente en cada ciclo de reloj. Cuando Φ_1 está en bajo, D_1 conduce hasta que el voltaje en el cátodo de D_1 alcanza el nivel de $V_{IN}-V_D$. Cuando Φ_1 cambia a alto, el voltaje en el cátodo de D_1 es $2V_{IN}-V_D$ (suponiendo que la amplitud de las fases de entrada es igual a la amplitud de V_{IN}). Esto provoca que D_2 conduzca hasta que el voltaje en su cátodo sea $2V_{IN}-2V_D$. Cuando Φ_1 regresa al nivel bajo, el voltaje en el cátodo de D_2 es $3V_{IN}-2V_D$. El incremento de voltaje se repite sucesivamente n veces, siendo n igual al número de diodos presentes en el circuito [3].

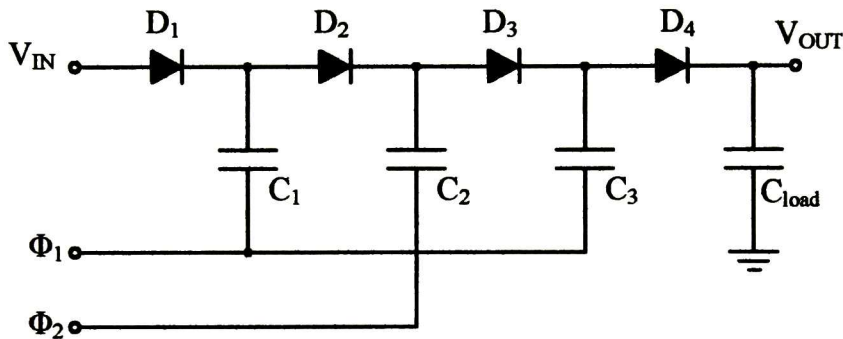


Fig. 1.2. Diagrama básico del elevador de voltaje con capacitores conmutados usando diodos para la transferencia de carga (Aproximación de Dickson).

De los dos circuitos mencionados, se derivan diversas topologías para la implementación de elevadores o multiplicadores de voltaje. La topología adecuada es elegida dependiendo de la aplicación, las especificaciones y restricciones que se tengan.

Aparte de las aplicaciones ya mencionadas, los circuitos de bombeo de carga son muy utilizados en la generación de voltajes para la programación de memorias flash. El bombeo de carga o elevador con capacitores conmutados, proporciona una solución para productos de tamaño reducido en donde se restringe la altura de los componentes sobre todo si se limita o elimina el uso de capacitores electrolíticos.

Comparado con otros tipos de convertidores de voltajes, los circuitos de bombeo de carga pueden tener un mejor desempeño en aplicaciones que procesan un bajo nivel de señal o que requieren operaciones con bajo nivel de ruido. Algunos circuitos de bombeo de carga han sido usados en algunas aplicaciones en donde la única solución factible había sido la implementación de reguladores lineales, obteniéndose resultados satisfactorios en la

regulación del voltaje de salida. Esto muestra que los circuitos con capacitores conmutados o circuitos de bombeo de carga siguen ganando terreno en diferentes aplicaciones.

Una de las mayores ventajas en los circuitos de bombeo de carga es la eliminación de interferencia electromagnética (EMI) y campos electromagnéticos que son producidos en los convertidores dc-dc que utilizan inductores o transformadores. Sin embargo, en los elevadores de voltaje con capacitores conmutados está presente una fuente de EMI, esta es producida por el enorme pico de corriente en el capacitor usado para transferencia de carga, ya sea cuando se conecta en paralelo con la fuente o cuando entrega carga a otro capacitor con un voltaje diferente. El pico de corriente instantánea es limitado por la resistencia de encendido de los interruptores la cual en algunos casos es menor a 5Ω . Este tipo de ruido producido por la alta razón di/dt puede ser eliminado si se agrega una etapa extra de filtrado o usando valores grandes de capacitancia [4].

Por lo anterior la tecnología CMOS está siendo muy utilizada hoy en día en diversas aplicaciones incluyendo los circuitos elevadores de voltaje con capacitores conmutados. Con esta tecnología se aprovecha el funcionamiento de los transistores MOS como interruptores ya que presentan una baja resistencia de encendido (R_{ON}) y muy alta resistencia de apagado (R_{OFF}) que para efectos prácticos puede ser considerada infinita. Por esta razón el interruptor MOS es muy usado en este tipo de circuitos, solo es necesario tener en cuenta el efecto que presenta R_{ON} en el desempeño final del circuito.

2

Doblador de Voltaje CMOS

2.1 INTRODUCCION

El diseño de circuitos integrados es el proceso creativo de desarrollar la solución a un problema. El objetivo de este diseño es transformar los requerimientos y especificaciones en circuitos que satisfagan dichas especificaciones y requerimientos.

Las tecnologías más populares usadas para el diseño de circuitos integrados son la tecnología bipolar y la tecnología MOS. La mayoría de los circuitos integrados digitales y analógicos han sido implementados en tecnología bipolar. Sin embargo, desde hace ya varios años, el uso de la tecnología MOS ha crecido ampliamente. Esto es debido en parte a que se tiene una mayor densidad disponible para los circuitos implementados en tecnología MOS [8].

En el apéndice A se presenta el principio de funcionamiento y análisis del doblador de voltaje usando interruptores ideales obteniendo al final un modelo matemático el cual se utiliza en éste capítulo para implementar el diseño.

En el presente capítulo se presenta el diseño del doblador de voltaje en tecnología CMOS de 1.5 μm . Primeramente se describe la forma de operación del doblador de voltaje y después se presenta el diseño de cada uno de los módulos involucrados en él.

2.2 FUNCIONAMIENTO

La implementación del doblador de voltaje con transistores MOS se realiza utilizando una topología conocida que es utilizada también en [5] y [6]. El diagrama del doblador se muestra en la figura 2.1, esta compuesto simplemente por 4 transistores MOS y un par de capacitores, básicamente es el mismo circuito mostrado en la figura 2.1, sustituyendo los interruptores por transistores.

Para describir el funcionamiento del circuito, supongamos que se aplica una misma señal de reloj a la compuerta de los transistores. En cada ciclo de reloj encienden alternadamente los transistores nMOS en un semiciclo y los pMOS en el otro. Cuando la

señal de reloj se encuentra en un nivel alto, encenderán M_2 y M_4 por lo tanto C_1 estará conectado directamente a la batería y se cargará al nivel de voltaje de ésta. Para el segundo semiciclo se tendrá un nivel de voltaje bajo en la señal de reloj, por lo tanto M_1 y M_3 estarán encendidos por lo que C_1 quedará conectado en serie con la batería a través de M_3 y al nodo de salida a través de M_1 logrando de esta forma que C_1 entregue carga a C_2 en este segundo semiciclo. La operación se repite cada ciclo de reloj mientras C_2 va adquiriendo mayor carga hasta llegar al nivel de estado estable para V_{OUT} .

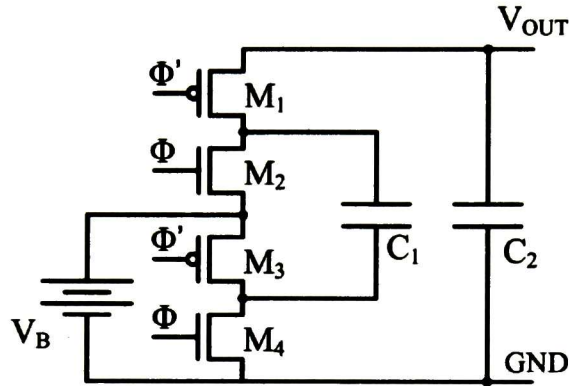


Fig. 2.1. Doblador de Voltaje CMOS.

Idealmente, el Doblador de Voltaje de la figura 2.1, solo requiere una fase de reloj (Φ) ya que se aprovecha la propiedad de encendido de los transistores complementarios, es decir, al aplicar un "1" lógico, encienden los transistores nMOS y los pMOS se apagan mientras que con "0" lógico los pMOS encienden y los nMOS se apagan. Sin embargo, si se toma en cuenta que los cambios de estado en la señal de reloj no son totalmente abruptos, sino mas bien en forma de rampa y que debido a las capacitancias parásitas se tiene un retardo en el encendido y apagado de los transistores MOS, entonces en cada ciclo de reloj habrá un instante en que los transistores complementarios estarán encendidos al mismo tiempo lo cual causará consumo extra de potencia en la batería. Este efecto se muestra en la figura 2.2. Como ejemplo, considerar los transistores M_3 y M_4 , si existe un instante de tiempo en el cual ambos están encendidos, entonces la terminal positiva de la batería encontrará una trayectoria de baja resistencia hacia tierra logrando con esto un consumo extra de potencia durante el instante de tiempo en que ambos transistores estén encendidos.

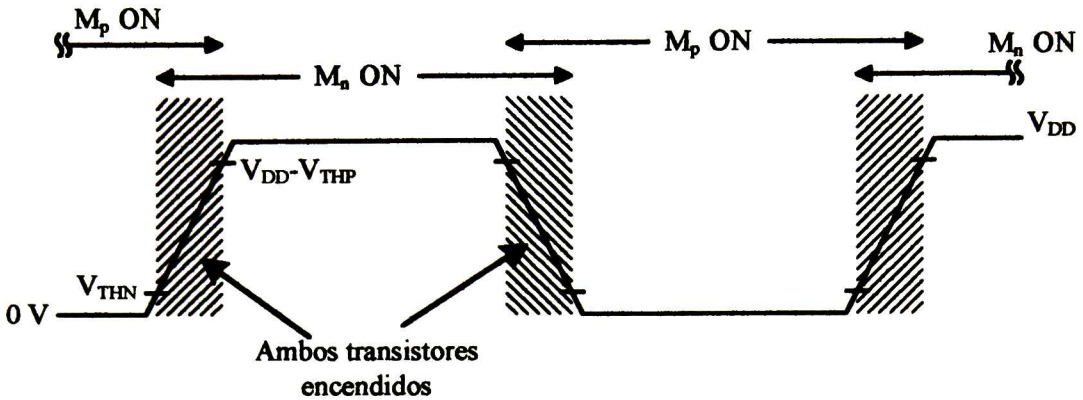


Fig. 2.2. Tiempo de encendido simultáneo entre transistores p y n MOS.

En la figura 2.2 se observa claramente el resultado de utilizar una misma señal de reloj para controlar las compuertas de los transistores pMOS y nMOS, el área sombreada muestra el tiempo en el cual ambos transistores se encuentran encendidos provocando el efecto ya mencionado. Para evitar que esto ocurra, será necesario incluir un retardo entre la señal de compuerta de los transistores nMOS y la de los pMOS, el circuito encargado de realizar este retardo será descrito en la sección 2.4.3.

2.3 DISEÑO DEL DOBLADOR.

Teniendo en cuenta tres parámetros de diseño importantes que son el voltaje de la batería ($V_B = 1.5 \text{ V}$), frecuencia del reloj ($F = 250 \text{ kHz}$), corriente de salida ($I_{OUT} = 1 \text{ mA}$) y seleccionado valores capacitivos comúnmente usados en este tipo de circuitos ($C_1 = C_2 = 100 \text{ nF}$)¹, es necesario encontrar las geometrías de los transistores del doblador, para ello se utiliza (A.37) que representa el voltaje de salida del circuito, en dicha ecuación se involucran los parámetros ya mencionados para los cuales se tiene un valor conocido y la resistencia de encendido de los transistores.

A partir de (A.37), se realiza la gráfica R_{ON} vs. V_{OUT} mostrada en la figura 2.3 para determinar el valor de resistencia de encendido adecuado. En esta figura se observa que usando $R_{ON} = 20 \Omega$, se tiene un $V_{OUT} = 2.82 \text{ V}$.

Una vez seleccionado el valor de R_{ON} , es necesario determinar el valor de las geometrías de cada uno de los transistores que conforman el doblador de voltaje, para esto se utiliza (B.4). Esta ecuación se presenta en el Apéndice B el cual desarrolla el análisis del interruptor MOS.

¹ Estos serán componentes externos.

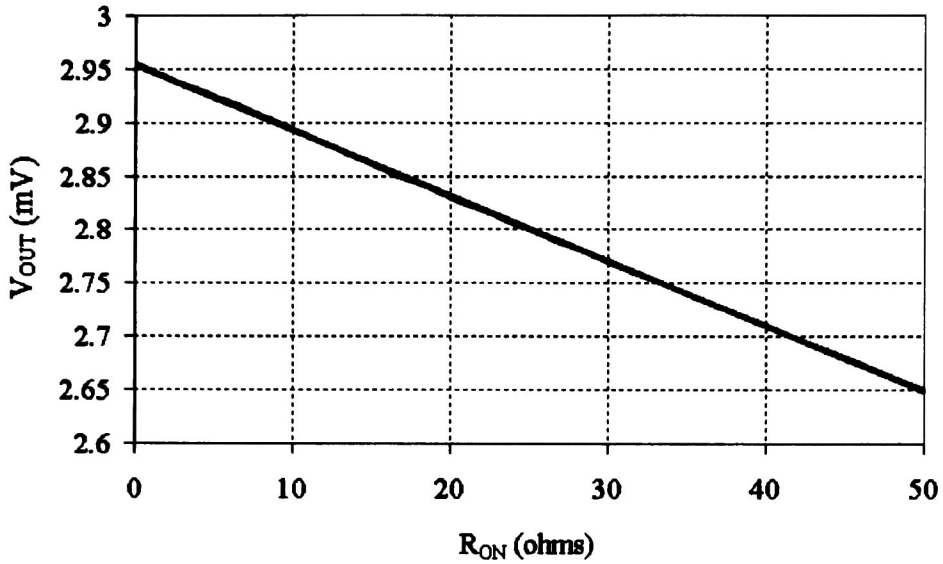


Fig. 2.3. R_{ON} vs. V_{OUT} . $V_B = 1.5\text{ V}$, $I_{OUT} = 1\text{ mA}$, $T = 4\ \mu\text{s}$, $C_1 = C_2 = 100\text{ nF}$.

Los parámetros tecnológicos (μ_o , C_{ox} y V_T) en (B.4), son parámetros conocidos, solo es necesario determinar V_{GS} para cada uno de los transistores del doblador de voltaje de la figura 2.1.

A manera de ejemplo, se determina el V_{GS} de M_2 , se observa de la figura 2.1 que la terminal de fuente de M_2 está a un potencial de 1.5 V (voltaje de la batería) mientras que cuando el transistor está encendido, la compuerta está a un potencial de 2.82 V, que es el V_{OUT} del doblador en estado estable, por lo tanto el voltaje V_{GS} del transistor M_2 es $V_{GSM2} = 1.32\text{ V}$. De la misma forma se determina el voltaje para el resto de los transistores. Para esto se emplean las ecuaciones (2.1) a (2.4). La tabla 2.1 muestra el valor de V_{GS} para cada uno de los transistores.

$$|V_{GSM1}| = V_{OUT} \tag{2.1}$$

$$|V_{GSM2}| = V_{OUT} - V_B \tag{2.2}$$

$$|V_{GSM3}| = V_B \tag{2.3}$$

$$|V_{GSM4}| = V_{OUT} \tag{2.4}$$

Transistor	$ V_{GS} $ (V)
M ₁	2.82
M ₂	1.32
M ₃	1.50
M ₄	2.82

Tabla 2.1. V_{GS} para los transistores del doblador en estado de encendido.

Una vez que se conoce el V_{GS} de cada uno de los transistores, se puede determinar el valor de las geometrías de los transistores usando (B.4), para esto se toma en consideración la movilidad efectiva, que esta dada por

$$\mu_e = \frac{\mu_0}{1 + \theta \cdot (V_{GS} - V_T)} \quad (2.5)$$

donde θ es la modulación de la movilidad y está dado en V^{-1}

Haciendo uso de (B.4) y (2.5) se realiza el cálculo de las geometrías de los transistores. Finalmente la relación (W/L) para cada uno de los transistores se resume en la tabla 2.2.

Transistor	Geometría (W/L) (μm)
M ₁	2172/1.8
M ₂	3380.4/1.8
M ₃	5700.6/1.8
M ₄	650.4/1.8

Tabla 2.2. Relación (W/L) para los transistores del doblador.

2.4 CIRCUITOS DE CONTROL

La figura 2.4 muestra el doblador de voltaje, los bloques de control necesarios para su funcionamiento, la interconexión entre módulos y voltaje de alimentación al que está conectado cada uno de los bloques.

Todos los bloques son alimentados del voltaje de salida (V_{OUT}) excepto el Generador de Señal de Reloj (GSR) el cual se alimenta directamente de la batería ya que, en un tiempo cero ($t = 0$), V_{OUT} no ha alcanzado el estado estable y la frecuencia de oscilación podría ser muy elevada al inicio si se alimentara a GSR con V_{OUT} . Una frecuencia demasiado elevada no es deseable ya que los transistores, por ser de geometrías grandes no responderían a dichas frecuencias.

Como se aprecia en la figura 2.4, cada módulo se encuentra enmarcado por un recuadro punteado. A la salida de cada módulo se agrega un buffer (bloques sombreados), los cuales se componen solamente de dos ó tres etapas y son utilizados para el manejo de carga del siguiente bloque y de la carga capacitiva que surge por el traslape entre diferentes pistas del layout.

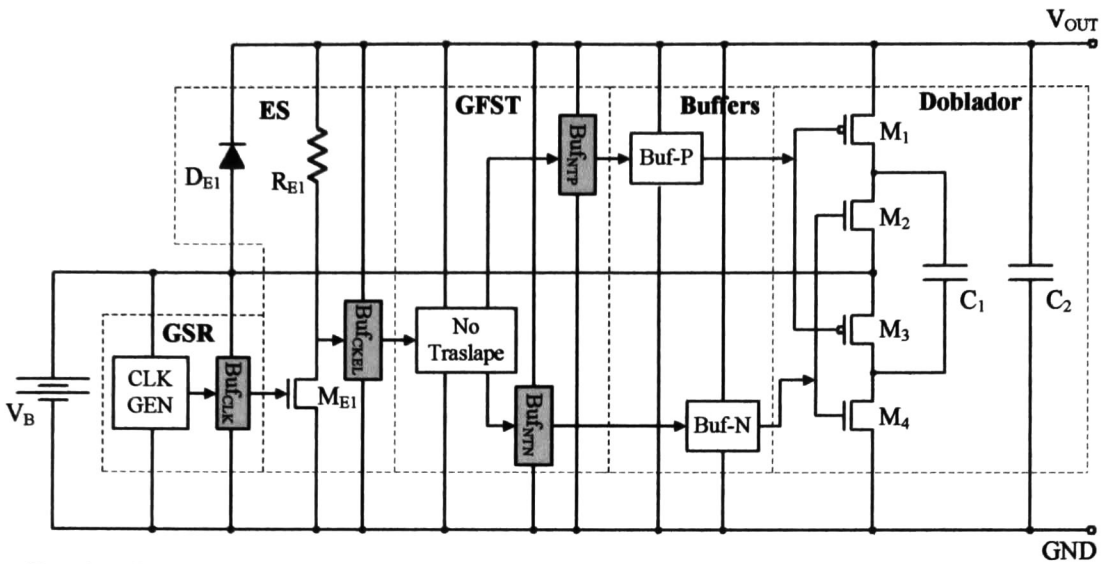


Fig. 2.4. Diagrama esquemático del Doblador de Voltaje incluyendo bloques de control.

2.4.1 GENERADOR DE SEÑAL DE RELOJ (GSR)

El circuito doblador de voltaje requiere de una señal de reloj para encender y apagar los transistores utilizados como switches, esta señal debe ser de una frecuencia de 250 kHz la cual es generada internamente mediante el GSR. A continuación se presentan un par de propuestas comúnmente utilizadas para la generación de ondas cuadradas.

Oscilador de anillo

Una opción para la implementación del circuito GSR es el diseño del oscilador de anillo, éste tiene la ventaja de ser un circuito simple el cual sólo involucra la conexión de inversores en serie y la retroalimentación de la salida del último inversor con la entrada del primero. El número de inversores debe ser impar para lograr la oscilación del circuito. La Fig. 2.5 muestra la conexión de inversores para formar un oscilador de anillo.

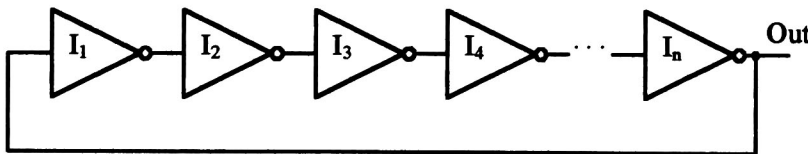


Fig. 2.5. Oscilador de anillo.

La frecuencia de oscilación de este circuito está dada mediante [12]

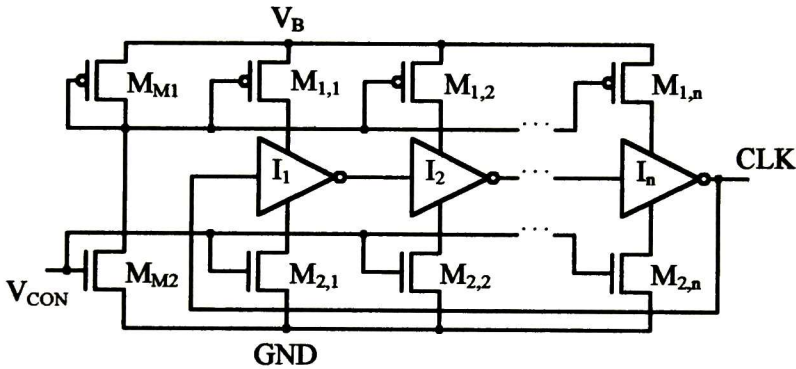
$$f_{osc} = \frac{1}{n \cdot (t_{PHL} + t_{PLH})} \tag{2.6}$$

donde n es el número de inversores del oscilador, mientras que t_{PHL} y t_{PLH} son los tiempo de propagación de alto a bajo y bajo a alto, respectivamente. Estos tiempos son medidos a partir del 50% del valor final de la entrada hasta el 50% del valor final de la salida. t_{PHL} se mide en la transición de bajada de la salida mientras que t_{PLH} se mide en la transición de subida.

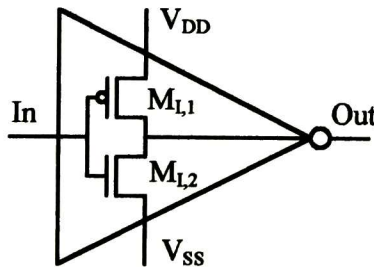
Si se desea generar una frecuencia de 250 kHz con una alimentación de 1.5 V_{DD} con este circuito utilizando geometrías mínimas, sería necesario utilizar una cadena mayor a 150 inversores. Por esta razón, se descarta la implementación del oscilador de anillo como generador de señal de reloj.

Oscilador Controlado por Voltaje (VCO) Current-Starved.

Un circuito más apropiado es el VCO Current-Starved [7]. El diagrama esquemático de este circuito se muestra en la figura 2.6a. La figura 2.6b muestra la conexión de los transistores que componen cada inversor utilizado en el VCO.



a)



b)

Fig. 2.6. (a) Diagrama esquemático del VCO Current-Starved. (b) Conexión interna de los inversores del VCO.

La operación del VCO Current-Starved es similar a la operación de un oscilador de anillo. Como se observa en la Fig. 2.6a, se tiene la misma conexión entre las entradas y salidas de los inversores que el oscilador de anillo de la Fig. 2.6, sin embargo en esta configuración se controla la corriente máxima de carga y descarga del inversor a través de los transistores $M_{1,x}$ y $M_{2,x}$ (el subíndice “x” indica la etapa en que se encuentra el transistor). Si se limita la corriente de carga y descarga de los inversores, se estará también limitando la frecuencia de oscilación, de esta forma se podrá obtener una frecuencia de salida de 250 kHz con un número de etapas menor a las necesarias utilizando un oscilador de anillo.

El control de corriente en los transistores $M_{1,x}$ y $M_{2,x}$ se realiza mediante el voltaje de control (V_{CON}) que se aplica al espejo de corriente formado por M_{M1} y M_{M2} , de esta manera se tendrá la misma corriente para ambos transistores y por tanto la señal de reloj será simétrica, es decir, se tendrán los mismos tiempos en alto y en bajo.

Para determinar las ecuaciones de diseño del VCO Current-Starved, considerar el diagrama simplificado de una etapa del VCO mostrado en la figura 2.7. La capacitancia total en los drenes de $M_{1,1}$ y $M_{1,2}$ esta dada por

$$C_{tot} = C_{out} + C_{in} \tag{2.7}$$

donde

$$C_{out} = C'_{ox} (W_p L_p + W_n L_n) \tag{2.8}$$

$$C_{in} = \frac{3}{2} C'_{ox} (W_p L_p + W_n L_n) \tag{2.9}$$

por lo tanto la capacitancia total es

$$C_{tot} = \frac{5}{2} C'_{ox} (W_p L_p + W_n L_n) \tag{2.10}$$

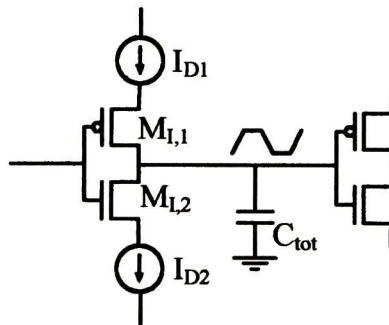


Fig. 2.7. Diagrama simplificado de una etapa del VCO.

El tiempo necesario para cargar C_{tot} de cero a V_{SP} está dado por

$$t_1 = C_{tot} \frac{V_{SP}}{I_{D1}} \quad (2.11)$$

mientras que el tiempo que toma para descargar C_{tot} de V_{DD} a V_{SP} esta dado por

$$t_2 = C_{tot} \frac{V_{DD} - V_{SP}}{I_{D2}} \quad (2.12)$$

donde V_{SP} es el voltaje en el punto de conmutación, este es el punto en el cual el voltaje de entrada es igual al voltaje de salida del inversor.

Debido a que se utiliza el espejo de corriente formado por M_{M1} y M_{M2} , las corrientes I_{D1} e I_{D2} de la Fig. 2.6 serán iguales ($I_{D1} = I_{D2} = I_D$). Por lo tanto, la suma de t_1 y t_2 es simplemente

$$t_1 + t_2 = \frac{C_{tot} \cdot V_{DD}}{I_D} \quad (2.13)$$

y la frecuencia de oscilación del VCO Current-Starved para un número de etapas N (numero impar ≥ 5) es

$$f_{osc} = \frac{1}{N(t_1 + t_2)} = \frac{I_D}{N \cdot C_{tot} \cdot V_{DD}} \quad (2.14)$$

La corriente promedio disipada por el VCO es

$$P_{avgVCO} = V_{DD} I_{avg} \quad (2.15)$$

donde I_{avg} está dada por:

$$I_{avg} = I_D = N \cdot \frac{V_{DD} \cdot C_{tot}}{T} = N \cdot V_{DD} \cdot f_{osc} \quad (2.16)$$

Si se incluye la potencia disipada por el espejo de corriente M_{M1} y M_{M2} , la potencia promedio disipada será el doble.

$$P_{avg} = 2 \cdot V_{DD} I_{avg} \quad (2.17)$$

Entrada		Salida		Geometrías	
Parámetro	Valor	Parámetro	Valor	Transistor	W/L (μm)
Alimentación (V_B)	1.5 V	Amplitud (V_{PP-CLK})	1.5 V	$M_{M1}, M_{1,X}$	3/1.8
Voltaje de control (V_{CON})	0.7425 V	Frecuencia	250 KHz	$M_{M2}, M_{2,X}$	10.2/1.8
		Potencia (P_{avg})	$3.3\mu\text{W}$	$M_{1,1}$	12/1.8
				$M_{1,2}$	31.2/1.8

Tabla 2.3. Diseño del GSR.

Una vez que se tiene el análisis del VCO Current-Starved, se realiza el diseño y simulación del mismo. La tabla 2.3 muestra los resultados obtenidos del diseño y la figura 2.8 muestra los resultados de simulación del circuito en donde se aprecian los dos parámetros más importantes del voltaje de salida del GSR, la amplitud (1.5 V) y el período ligeramente superior a los $4\mu\text{s}$ (250 kHz). Para la simulación se utiliza una carga capacitiva de 25 pF.

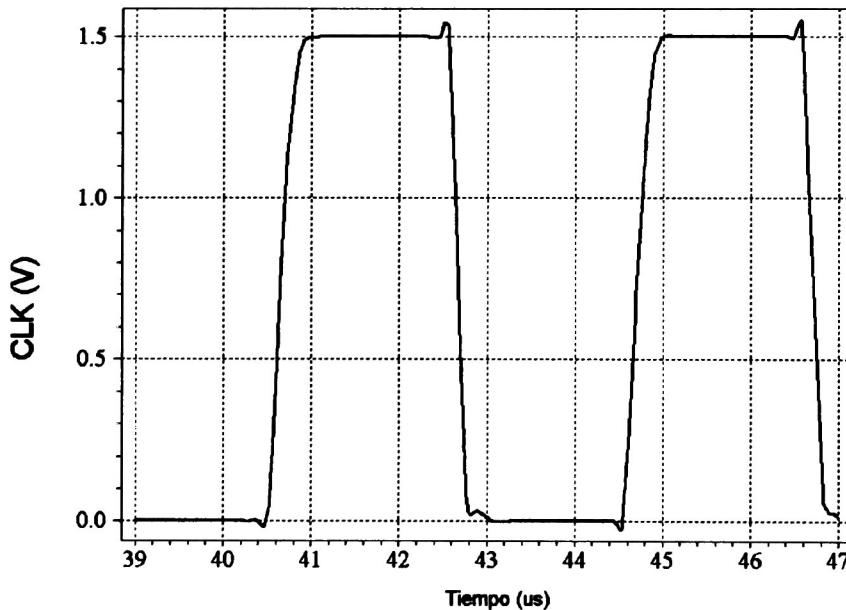


Fig. 2.8. Simulación TSpice del GSR para una $C_L = 25\text{ pF}$.

De la Tabla 2.3 (Diseño del GSR) y de la Fig. 2.8 (simulación TSpice) se observa que la amplitud del voltaje de salida del GSR (CLK) es 1.5 V, si se intenta utilizar esta amplitud para encender los transistores del Doblador, Fig. 2.1, M_2 no podrá ser encendido, debido a que no se logrará superar su V_{TH} . Como se aprecia en la Fig. 2.1, M_2 tiene fijo un

voltaje en su terminal de fuente de 1.5V, si se desea encender este transistor con la señal de salida del GSR, se aplicará a su compuerta 1.5 V por lo tanto el V_{GS} de M_2 será 0 V y no sería posible encenderlo.

Para resolver este problema, es necesario implementar un circuito que amplifique la amplitud del GSR. Este circuito es llamado “Elevador de Señal” y se presenta en la siguiente sección.

2.4.2 ELEVADOR DE SEÑAL (ES)

El circuito elevador de señal, es un módulo clave para el funcionamiento del doblador de voltaje, ya que resuelve el problema de bajo nivel de V_{GS} en los transistores. Como ya se mencionó, la amplitud de salida del GSR no es suficiente para obtener el V_{GS} mínimo necesario para encender M_2 . Por esta razón es indispensable la incorporación de este módulo.

Idealmente, en estado estable se tendrán dos diferentes niveles de voltaje en el circuito, el voltaje de la batería (1.5 V) y el voltaje de salida del Doblador (3 V aprox.) éste último sería suficiente para encender a M_2 . Si se tiene idealmente una señal de reloj de 3V de amplitud alimentando las compuertas de los transistores, el V_{GS} de M_2 sería aproximadamente 1.5 V que es mayor al V_{THn} logrando así encender este transistor.

La figura 2.9 muestra el diagrama a bloques del Elevador de Señal. Se utiliza el voltaje de salida del Doblador para realizar la elevación de señal del GSR. Como se observa en la Figura 2.9, el Elevador de Señal tiene dos terminales de alimentación que son la batería (V_B) y la salida del doblador (V_{OUT}). La entrada del circuito es la señal que entrega el GSR, y la salida es la señal amplificada conservando la misma frecuencia de entrada pero con una amplitud igual al nivel del V_{OUT} del Doblador.

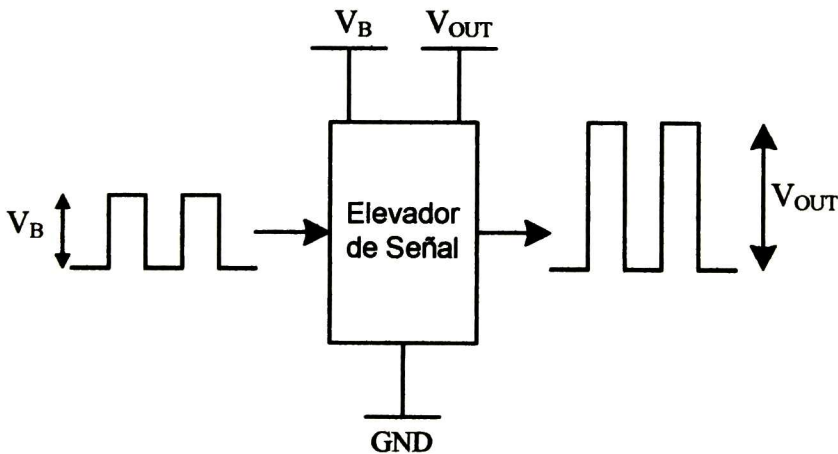


Fig. 2.9. Diagrama a bloques del Elevador de Señal.

La figura 2.10 muestra el diagrama esquemático del Elevador de Señal, se utiliza un transistor nMOS (M_{E1}) y un resistor de pull-up (R_{E1}). Cuando la señal de reloj es cero, ($CLK = "0"$) M_{E1} está en la región de corte y por tanto se comporta como circuito abierto permitiendo que a través de R_{E1} esté presente V_{OUT} en la salida CK-EL. Mientras que cuando $CLK = "1"$, M_{E1} tiene un $V_{GS} = 1.5 \text{ V}$ suficiente para encender el transistor y permitiendo que en la salida CK-EL este presente un voltaje igual a GND (cero volts) a través del canal del transistor.

El diodo D_{E1} es usado para lograr el "arranque" del doblador, su función es permitir que al inicio ($t = 0^+$), exista un potencial en la terminal de salida del Doblador (V_{OUT}), para lograr el encendido de M_1 y M_3 y con esto comenzar la transferencia de carga hacia C_2 .

En los primeros ciclos de reloj, D_{E1} está polarizado directamente permitiendo que C_2 del Doblador (Fig. 2.1) se cargue a un potencial igual al voltaje de la batería menos la caída de potencial en D_{E1} , esto es 0.8 V aproximadamente. Aunque este potencial es ligeramente menor al V_{TH} de los transistores pMOS (M_1 y M_3), es suficiente para lograr que estos transistores operen en la región de Subumbral, o en la llamada región de moderada inversión. Se sabe que la corriente que fluye a través de un transistor en la región de moderada inversión es pequeña y depende de la geometría del transistor. Sin embargo, durante el "arranque" del doblador, esta corriente es suficiente para cargar algunas centésimas de volt extra a C_2 logrando así que V_{OUT} incremente y con esto se incrementa también V_{GS} de M_1 y M_3 , por tanto la corriente que carga a C_2 se incrementará repitiéndose cíclicamente el proceso hasta lograr que V_{OUT} sea lo suficientemente grande para que M_1 y M_3 pasen de moderada a fuerte inversión o estado de encendido.

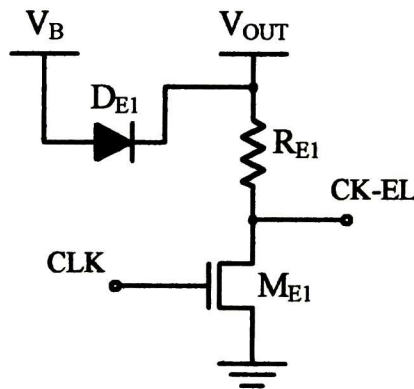


Fig. 2.10. Diagrama esquemático del Elevador de Señal.

El valor resistivo de R_{E1} y los parámetros W/L de M_{E1} fueron seleccionados de tal forma que se tuviera un equilibrio entre la corriente de carga y descarga que se suministra a la etapa de salida. La corriente a través de R_{E1} proporciona la corriente de carga mientras que M_{E1} proporciona la corriente de descarga. Otra consideración es la potencia disipada por R_{E1} , esto lleva a seleccionar un valor resistivo grande. Sin embargo, el valor resistivo se debe limitar para que no implique un retraso en la señal de salida debido a la baja

circulación de corriente a través de R_{E1} . Es necesaria la implementación de un resistor pasivo debido a la dificultad que presenta el encendido de un transistor en esta parte del circuito con un resistor activo. Finalmente, los parámetros seleccionados son: $R_{E1} = 70 \text{ k}\Omega$ y (W/L) de $M_{E1} = (50/1.8) \mu\text{m}$.

2.4.3 GENERADOR DE FASES SIN TRASLAPE (GFST)

Al inicio de esta sección se mencionó que es necesario un retardo entre la señal que controla los transistores pMOS y la que controla los nMOS del Doblador de Voltaje (Fig. 2.1). El circuito que introduce dicho retardo es llamado Generador de Fases Sin Traslape. Es un circuito sencillo y muy utilizado para este tipo de aplicaciones. La Fig. 2.11a muestra el diagrama esquemático del GFST el cual es básicamente un Flip-Flop RS con un inversor entre sus entradas, el circuito es construido con compuertas NOR al cual se le han insertado un par inversores entre las salidas de las compuertas NOR y la retroalimentaciones con el fin de lograr el retardo deseado entre ambas señales (Φ y Φ'). Se sabe que las salidas de un circuito de este tipo son normalmente salidas complementarias, es por eso que se agrega un inversor adicional a una de las salidas, logrando con esto que ambas señales tengan la misma fase.

Un bosquejo de las señales de salida se muestra en la figura 2.11b, aquí se observa que tanto Φ como Φ' tienen la misma fase de reloj y se muestra también el retardo que debe existir entre el comienzo de una señal y otra.

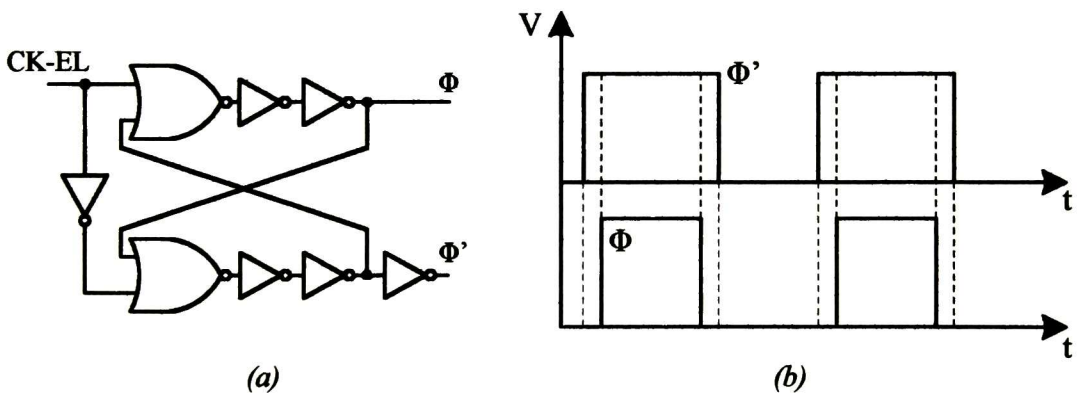


Fig. 2.11. (a) Generador de Fases sin traslape. (b) Señales de salida.

La entrada de este circuito es la señal de salida (CK-EL) del módulo Elevador de Señal (Fig. 2.10) por lo tanto los niveles de voltaje de alimentación son V_{OUT} del Doblador (3 V aprox.) y GND. Con esto se mantiene el mismo nivel de voltaje en Φ y Φ' , el cual es necesario para encender los transistores del Doblador (Fig. 2.1).

El GFST resuelve el problema de tener los transistores complementarios encendidos al mismo tiempo, sin embargo aún no es posible controlar las compuertas de los transistores del Doblador con esta señal. A partir de la tabla 2.2 sabemos que las geometrías de los transistores del Doblador son grandes por lo que la capacitancia de entrada de cada uno de ellos será también grande. Por esta razón será necesario diseñar un par de buffers que permitan el manejo de carga necesario para cada una de las salidas de este circuito.

2.4.4 BUFFERS P y N

En la sección 2.1 se realizó el análisis para el cálculo de las geometrías que presentan los transistores usados como switches del Doblador de Voltaje (Fig. 2.1) resultando valores de W bastante grandes como se resume en la tabla 2.2. Por lo que se puede asumir que la capacitancia de entrada de estos transistores será también de un valor considerable e imposible de manejar por el circuito de control encargado de encender y apagar estos transistores que es el GFST. Por esta razón, la presente sección está orientada a realizar el diseño de un par de Buffers encargados de controlar las compuertas de los transistores del Doblador, un primer buffer (Buffer N) será el que se encargue del manejo de la capacitancia formada por los transistores nMOS y el segundo será el que maneje la capacitancia formada por los pMOS.

Existen diversas formas y topologías para la implementación de circuitos que manejan grandes cargas capacitivas, una de las más sencillas y fáciles implementar es presentada en [7], aquí se describe el manejo de capacitancias de carga haciendo uso de cadenas de inversores donde el tamaño (W/L) de cada inversor es más grande que el inversor anterior.

Para entender el funcionamiento de este circuito, considerar la cadena de inversores mostrada en la figura 2.12, la cual controla la capacitancia de carga C_{load} . Si un solo inversor controlará C_{load} , el retardo de tiempo sería

$$t_{PHL} + t_{PLH} = (R_n + R_p) \cdot (C_{out} + C_{load}) \quad (2.18)$$

Si se colocan N inversores en cascada entre la carga y el primer inversor, y W de cada inversor es más grande que el inversor anterior por un factor A , se obtendrá entonces un retardo mínimo siempre y cuando se escojan correctamente los valores de A y N . De acuerdo a lo anterior, la capacitancia de entrada de cada inversor es también más grande que la capacitancia del inversor anterior por el mismo factor A . Si C_{load} es igual a la capacitancia de entrada del último inversor multiplicado por A , se tiene entonces

$$C_{load} = C_{in1} \cdot A^N \quad (2.19)$$

donde C_{in1} es la capacitancia de entrada del primer inversor y está dada por

$$C_{in1} = \frac{3}{2} C_{ox} (W_p L_p + W_n L_n) \tag{2.20}$$

Despejando A de (2.19) se obtiene la expresión

$$A = \left[\frac{C_{load}}{C_{in1}} \right]^{\frac{1}{N}} \tag{2.21}$$

En [7] se realiza un sencillo análisis para el cálculo del retardo total de la cadena de inversores, y se proporciona una expresión para N con la que se obtiene el retardo mínimo de la cadena

$$N = \ln \left[\frac{C_{load}}{C_{in1}} \right] \tag{2.22}$$

Utilizando (2.21) y (2.22) es posible diseñar una cascada de inversores para controlar grandes cargas capacitivas como las que presentan los transistores del doblador de voltaje.

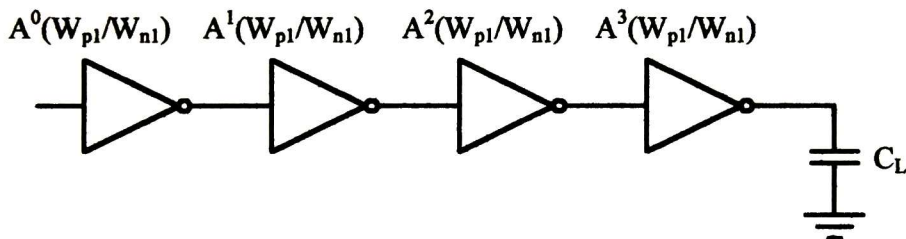


Fig. 2.12. Inversores en cascada para el control de cargas capacitivas grandes.

Basándonos en las ecuaciones de diseño anteriores para el cálculo de ambos Buffers, es necesario determinar los valores de la capacitancia de entrada del primer inversor C_{in} y de la capacitancia de carga C_{load} . Para el cálculo de C_{in1} se utiliza (2.20) y se obtiene

$$C_{in1} = 21.52 \text{fF.}$$

Para obtener el valor de la capacitancia de carga C_{load} para cada uno de los Buffers, es necesario calcular primero la capacitancia de entrada para cada uno de los transistores del Doblador, la cual está dada por

$$C_{in} = \frac{2}{3} \cdot C_{ox} \cdot W \cdot L \tag{2.23}$$

Una vez que tenemos el valor de C_{in} para cada transistor, la suma de las capacitancias de entrada de los transistores nMOs será la capacitancia de carga n (C_{loadn}) y la suma de C_{in} de los transistores pMOs será la capacitancia de carga p (C_{loadp}). Los valores de las capacitancias de carga respectivas son:

$$C_{loadn} = 5.35 \text{ pF}$$

$$C_{loadp} = 10.5 \text{ pF}$$

Para tener un margen de tolerancia en el diseño de cada uno de los buffers y tomando en cuenta que es importante tener una lectura de las señales de control de los switches (transistores) una vez que el chip sea fabricado, se incrementará en un 50% cada una de las capacitancias de carga para lograr con esto que los buffers puedan tener el manejo de carga suficiente para la entrada de los transistores y la capacitancia de los pads de salida. Haciendo estas consideraciones, el nuevo valor de capacitancia de carga para los buffers será:

$$C_{loadn} = 8 \text{ pF}$$

$$C_{loadp} = 15 \text{ pF}$$

Utilizando (2.21), (2.22) y los valores de capacitancia obtenidos, se realiza el cálculo para cada uno de los Buffers. La tabla 2.4 muestra el número de inversores que forman la cadena y el número de inversores conectados en paralelo en cada etapa de la cadena para formar cada uno de los Buffers.

Número de inversores en la Cadena (N)	Número de inversores conectados en paralelo en cada etapa (A^N)	
	Buffer P (A=2.54)	Buffer N (A=2.68)
1	1	1
2	3	3
3	7	8
4	17	20
5	43	52
6	108	139
7	274	---
total	453	223

Tabla 2.4. Número de etapas y de inversores por etapa para los Buffers N y P.

2.5 RESULTADOS DE SIMULACION

En esta sección se presenta la simulación del voltaje de salida y de diferentes señales que son principalmente las salidas de cada uno de los módulos diseñados con la finalidad de mostrar el desempeño de los mismos cuando han sido incorporados al Doblador de Voltaje.

La simulación TSpice del nodo de salida del Doblador de Voltaje (V_{OUT}) es mostrada en la Fig. 2.13. Mediante una resistencia de 2800Ω , se logra la demanda de corriente de 1mA al circuito. En estado estable V_{OUT} es de 2.82 aproximadamente, y el circuito tarda $250 \mu\text{s}$ en alcanzar el estado estable. Si se observa el desempeño del circuito antes del estado estable se puede notar la acumulación de carga que C_2 está logrando. Recordar que al arranque, C_2 solo tiene un voltaje de aproximadamente 0.8 V y a partir de este voltaje se inicia la transferencia de carga de C_1 a C_2 en cada ciclo de reloj.

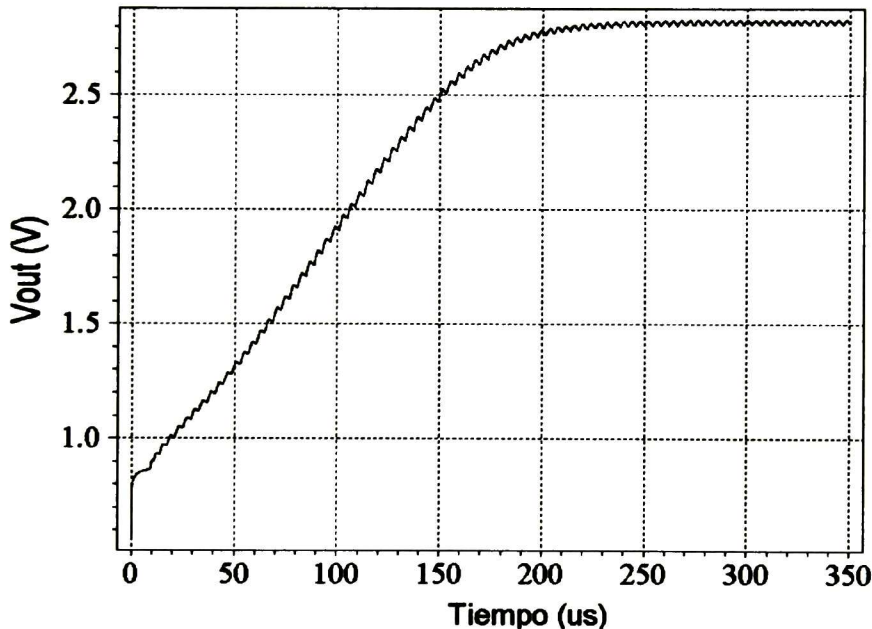


Fig. 2.13. Simulación TSpice del V_{OUT} del doblador.

De la Fig. 2.13 también notamos que el V_{OUT} presenta un rizo de voltaje debido a la descarga en C_2 provocada por la corriente de salida y a la carga proporcionada por C_1 . Sin embargo en esta figura no es posible tener una buena visualización del voltaje de rizo, por esta razón, la Fig. 2.14 muestra una ampliación del V_{OUT} en estado estable. Aquí se aprecia de mejor manera que el voltaje promedio de salida es 2.82 V , mientras que el nivel de voltaje de rizo es de aproximadamente 22 mV .

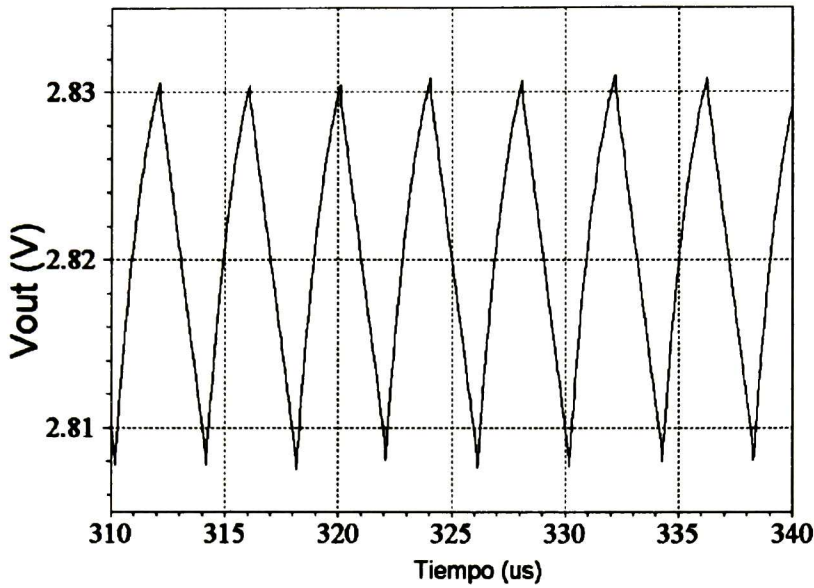


Fig. 2.14. Voltaje de Rizo del Doblador.

La figura 2.15b muestra la simulación TSpice del GSR. Como se indica en la Fig. 2.15a, la señal es tomada después del buffer. Recordar que la señal en la entrada o en la salida del buffer es básicamente la misma, la única función del buffer es el manejo de la carga que presenta la compuerta del transistor M_{E1} así como de las capacitancias parásitas que se presentan en el Layout. Los parámetros importantes en esta señal son, la amplitud (1.5 V) y la frecuencia (250 kHz).

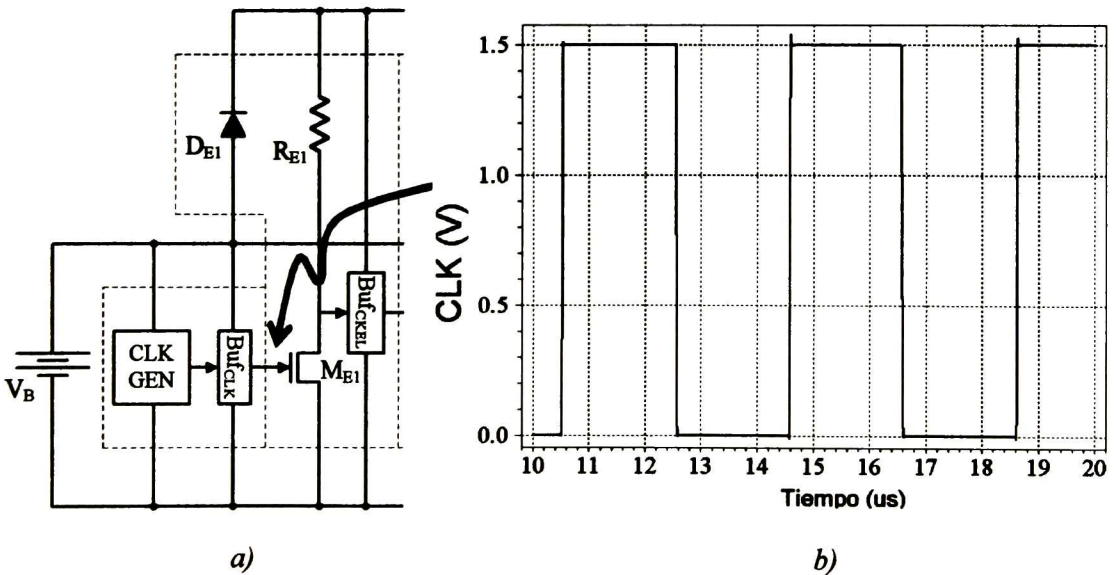


Fig. 2.15. a) Módulo Generador de Señal de Reloj y b) Simulación Tspice.

La simulación del módulo Elevador de Señal es mostrada en la figura 2.16b, la entrada a este circuito es la salida del GSR mostrada en la Fig. 2.15. La amplitud de salida es de aproximadamente 2.82 V que es el nivel del voltaje de salida (V_{OUT}), notar que el pulso en alto de la señal de salida del Elevador (CK-EL) no es totalmente plano sino que tiene una pendiente, esto es debido al nivel de voltaje de rizo que presenta el V_{OUT} del doblador ocasionado por la carga y descarga de C_2 . Sin embargo, esto no representa ningún problema ya que esta señal será utilizada únicamente para el control del encendido y apagado de los transistores y cumple adecuadamente su función.

Otras dos señales importantes en el doblador de voltaje son las que controlan directamente la compuerta de los transistores del doblador, estas son las señales sin traslape, la cuales deben tener la misma fase de reloj pero con un retraso suficiente para eliminar la posibilidad de que los transistores complementarios estén encendidos al mismo tiempo. La Fig. 2.17 muestra la simulación de dichas señales, aquí se puede ver que ambas señales tienen la misma fase de reloj, sin embargo el retraso entre una señal y otra no se aprecia debido a la escala de tiempo de la simulación y a que el retraso entre ellas es muy pequeño. Es por esta razón que en la figura 2.18 se muestran estas señales pero con una ampliación en la escala del tiempo. Si se observa en la figura 2.17a, las señales no son tomadas directamente del modulo GFST, sino que son tomadas de la salida de los Buffers N y P utilizados para el control de la carga generada por la capacitancia de compuerta de los transistores. Recordar que la señal no se ve afectada en mayor medida cuando pasa a través de un Buffer.

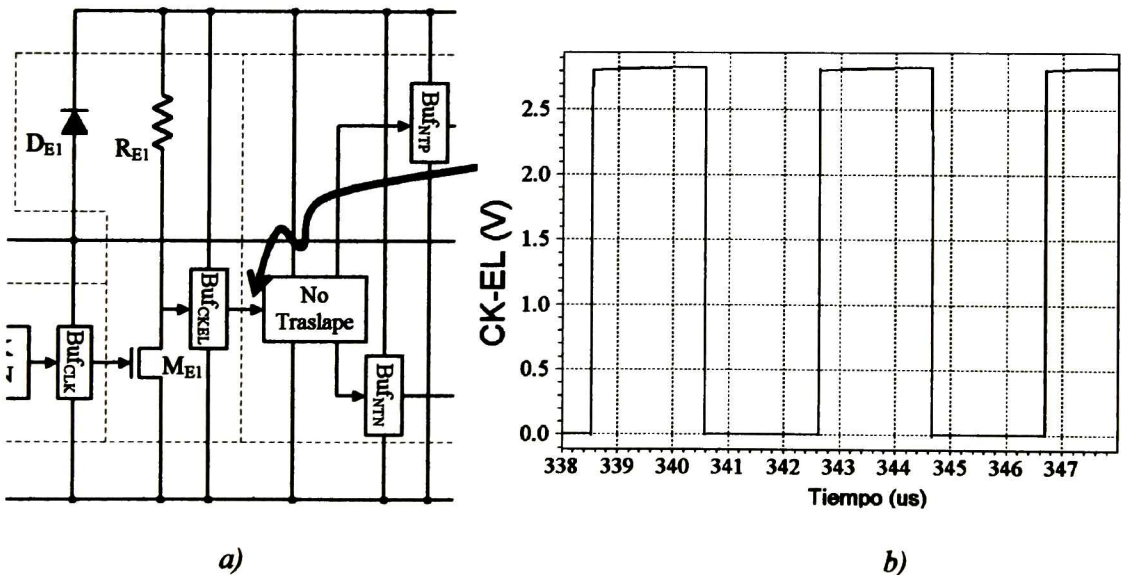


Fig. 2.16. a) Módulo Elevador de Señal y b) Simulación Tspice.

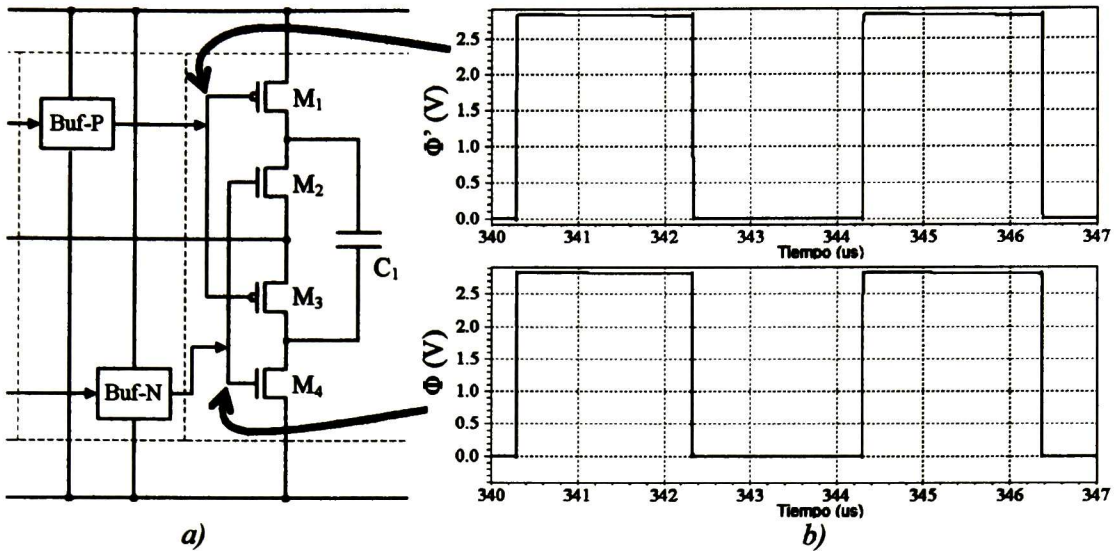


Fig. 2.17. a) Salidas de los Buffers y b) Simulación Tspice.

En la figura 2.18 se observa el retardo existente entre las fases sin traslape. En la Fig. 2.18a, se aprecia que Φ' es la fase que alcanza primero al nivel alto. Esta es la señal que se aplica a los transistores pMOS, por lo tanto estamos asegurando que se apaguen los transistores pMOS antes de encender los nMOS. Mientras que en la Fig. 2.18b, se aprecia que la fase que primero alcanza el nivel bajo es Φ y esta es la señal aplicada a los transistores nMOS, con esto aseguramos que los transistores nMOS estén apagados antes de encender los pMOS. De acuerdo a las graficas de simulación, el retardo existente entre el encendido y el apagado de los transistores es de aproximadamente 0.7 ns. Este tiempo es medido a partir del tiempo en que V_{GS} de un transistor (pMOS por ejemplo) queda por debajo de su V_{TH} y hasta que el V_{GS} de otro transistor (nMOS por ejemplo) supera su V_{TH} .

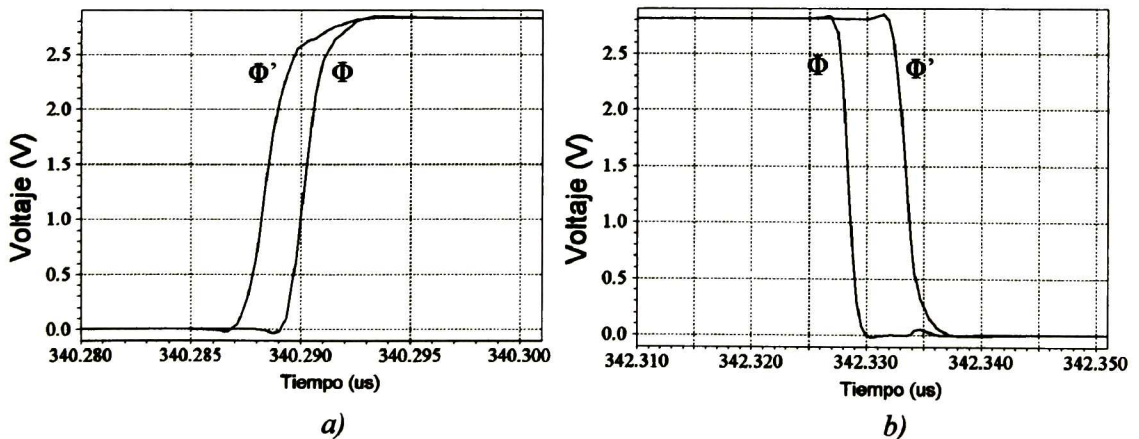


Fig. 2.18. Ampliación en el eje del tiempo de las fases sin traslape de la Fig. 2.17.
 a) Transición bajo a alto b) Transición alto a bajo.

Finalmente se realiza una comparación del desempeño obtenido en este diseño con otros 3 diseños anteriormente presentados [11], [2] y [5]. El último es el diseño de un triplicador de voltaje. En [11] se presentan resultados de simulación de su propuesta, resaltando que la mayor ventaja del circuito es la presencia mínima de voltaje de rizo a la salida. Por el contrario, en [2] se presenta una propuesta para mejorar la eficiencia en la topología del doblador de voltaje, logrando una mejora en la eficiencia del 2% aproximadamente. Sin embargo, esta topología solo es útil para I_{OUT} mayores a 20 mA ya que la eficiencia cae por debajo del 85% para corrientes menores a 10 mA. Finalmente, en [5] se presenta el diseño de un triplicador de voltaje utilizando un voltaje de entrada bajo (1.3 V). La topología utilizada en éste trabajo es similar a la que [5] presenta en su triplicador.

	Este Diseño	Silva Martínez [11]	Hoy Lee [2]		Callias (Triplicador) [5]
$V_{in} (V_B)$	1.5 V	1.5 V	1.8 V		1.3 V
V_{OUT}	2.82 V	2.25 V			3.5 V
Eficiencia	94 %	75 %	<85 %	95%	90 %
I_{out}	1 mA		<10 mA	>20mA	500 μ A
Frecuencia	250 kHz	50 kHz	500 kHz		30 kHz
Número de Capacitores	2	4	3		3
Número de Transistores	4	8	8		7

Tabla 2.5. Comparación entre multiplicadores de voltaje

La eficiencia del doblador es calculada despreciando las perdidas de los circuitos de control y esta dada por [6]

$$\eta = \frac{V_{OUT}}{2 \cdot V_m} \tag{2.24}$$

Idealmente el consumo de potencia del doblador de voltaje es $2 \cdot I_{out} \cdot V_B$. Sin embargo debido a las no idealidades y la incorporación de todos los módulos de control, el consumo de potencia se incrementa. De acuerdo a resultados de simulación, el consumo de potencia total del circuito es 3.19 mW.

3

Layout

3.1 INTRODUCCION

El diseño a nivel layout es parte importante en el diseño de circuitos integrados. Si no se toman en cuenta las diferentes componentes parásitas que aparecen en el diseño a nivel layout, es posible que el sistema presente problemas en su desempeño final. Las componentes parásitas que comúnmente se presentan en el diseño a nivel layout y que causan mayores problemas son las capacitancias y resistencias parásitas, las primeras formadas por el traslape de dos capas diferentes por ejemplo polisilicio y metal, polisilicio y pozo, etc., la resistencia parásita se presenta normalmente cuando se tienen líneas de interconexión demasiado largas. Es por esta razón que gran parte del tiempo de diseño de un circuito integrado es dedicado al diseño del layout.

En este capítulo se presenta primeramente el “*floorplaning*” del doblador de voltaje para después presentar el diseño a nivel layout de cada uno de los bloques de éste. Al final del capítulo se presenta una descripción de la metodología que será usada para la medición y pruebas del chip.

3.2 FLOORPLANING

Una vez que se tienen los valores y geometrías de cada componente que forma parte del circuito bajo diseño, se debe realizar el diseño a nivel layout. Sin embargo, el floorplanning es indispensable antes de comenzar con el diseño de layout ya que éste dará la pauta para el acomodo de los bloques en el chip.

La figura 3.1 muestra el “*floorplaning*” del doblador, debido a la restricción de área que se tiene dentro del chip se cuenta con una altura máxima para el diseño de 1130 μm y un ancho máximo de 1500 μm . Por la forma en que se diseña el “*floorplanning*”, la altura es la mayor restricción, sin embargo se observa que la altura del diseño no excede la altura máxima permitida dentro del chip y aún se tiene espacio suficiente para la colocación de líneas de metal necesarias para la conexión entre los bloques y los pads de salida.

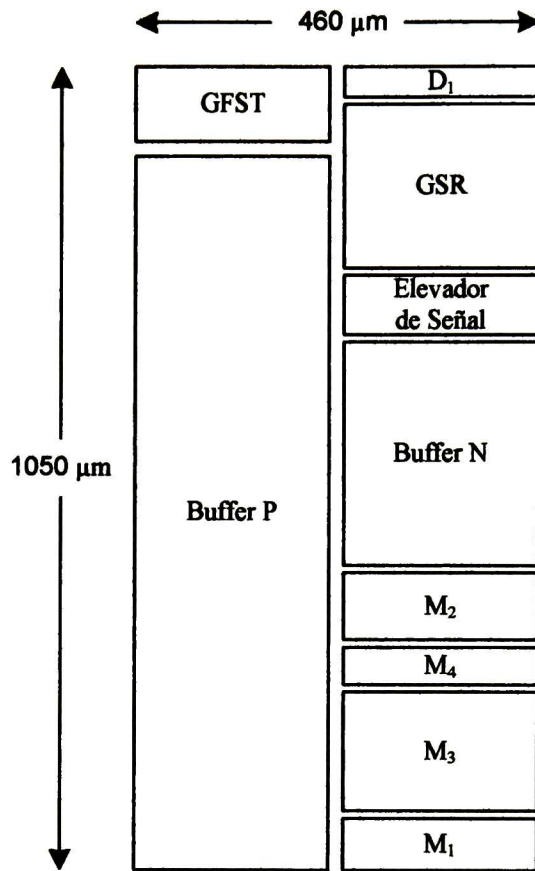


Fig. 3.1. Floorplanning.

3.3 TRANSISTORES

El diseño de un transistor a nivel layout es bastante simple cuando la geometría de éste es pequeña, sin embargo, cuando el ancho del transistor es de cientos de micrómetros, es necesario implementar una técnica conocida como interdigitado. Esta técnica consiste en dividir al transistor en secciones también llamadas “dedos” del transistor. De esta forma se logra que el área del transistor sea mayormente cuadrada y no un rectángulo de algunos micrómetros de largo por cientos de micrómetros de ancho.

La figura 3.2 ilustra la diferencia entre el área ocupada por un diseño simple y un diseño interdigitado para un transistor. Los $800\ \mu\text{m}$ que tiene en el eje “y” el transistor de la figura 3.2a se pueden optimizar diseñando un transistor interdigitado como se muestra en la figura 3.2b.

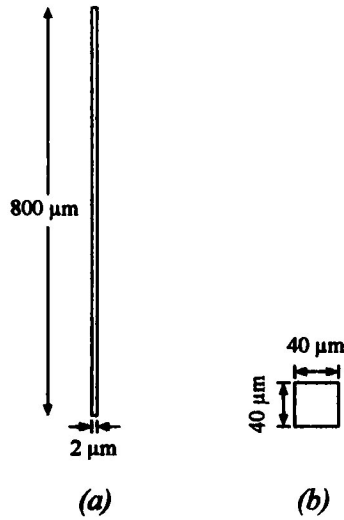


Fig. 3.2. Área ocupada por un transistor utilizando la técnica (a) convencional y (b) interdigitado.

Los cuatro transistores que componen el doblador de voltaje son de geometrías grandes. Por esta razón el diseño a nivel layout de cada uno será interdigitado. Las geometrías de los transistores están dadas en la tabla 3.2. El tamaño de cada una de las secciones o dedos de los transistores será diferente a fin de obtener un mismo tamaño en “x” para todos.

Las figura 3.3, muestra el layout de M_1 . Se indican las terminales de compuerta, drenaje y fuente. El layout del resto de los transistores (M_2 , M_3 y M_4) es similar excepto que la fuente de M_2 no lleva conexión a sustrato; la fuente de ese transistor no se encuentra conectada a tierra (ver figura 2.1). El área de cada uno de los transistores se resume en la tabla 3.1.

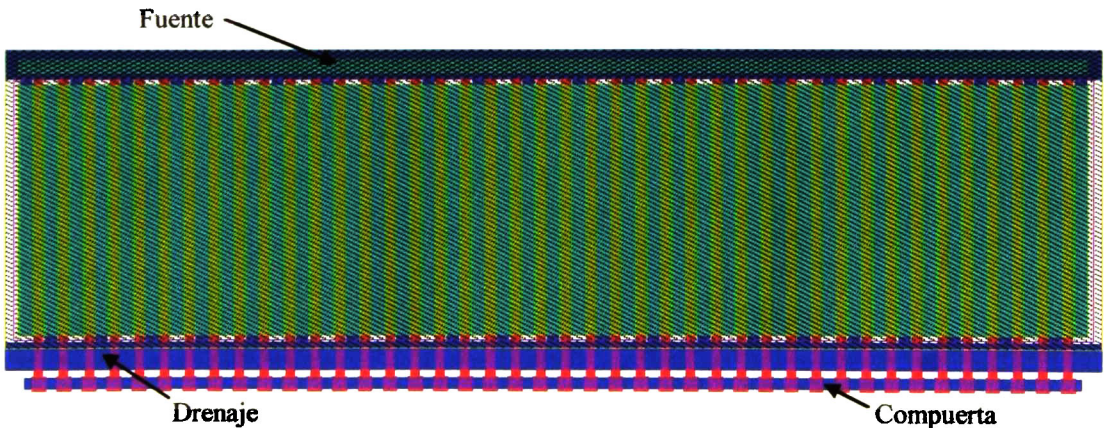


Fig. 3.3. Layout de M_1 .

Transistor	Dimensión (μm^2)
M ₁	232 x 75
M ₂	232 x 100
M ₃	232 x 200
M ₄	232 x 36

Tabla 3.1. Dimensión de los transistores del doblador.

3.4 GENERADOR DE SEÑAL DE RELOJ (GSR)

La figura 3.4 muestra el layout del GSR, se indican, la entrada V_{CON} y salida CLK, también dentro de un recuadro punteado es mostrada una de las 43 etapas que componen el oscilador, en la parte superior e inferior de cada etapa se encuentra los transistores que componen el espejo de corriente mientras que el inversor está en el centro geométrico del arreglo.

En la parte inferior de la figura, también enmarcado dentro de un recuadro punteado, se encuentra el buffer (buff_{CLK}) usado para manejar la carga a la salida del GSR. Finalmente, las líneas horizontales más gruesas (metal 1) son usadas para alimentar al circuito. Las medidas de este bloque son: $243 \mu\text{m} \times 231 \mu\text{m}$.

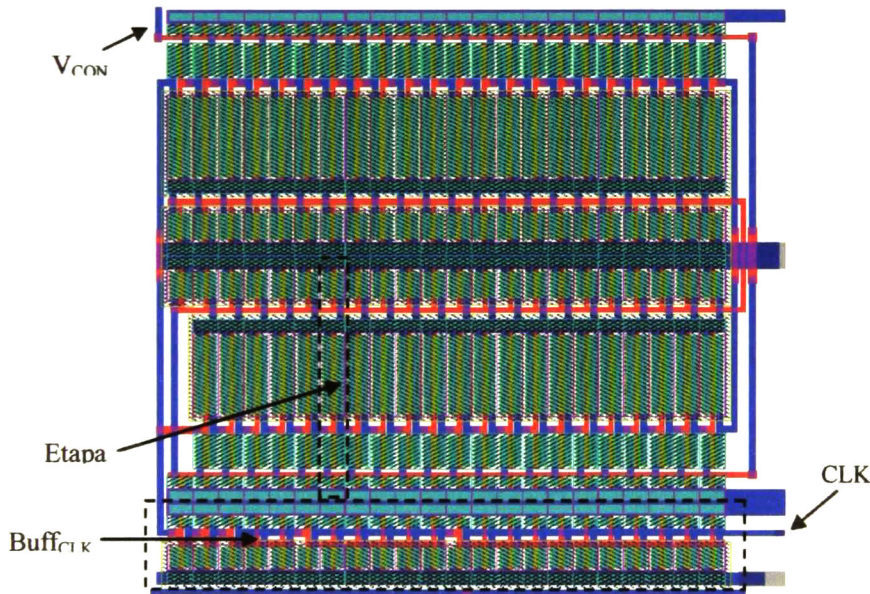


Fig. 3.4. Layout del GSR.

3.5 ELEVADOR DE SEÑAL

El Elevador de Señal se compone básicamente por un transistor nMOS, un resistor pasivo y un diodo como se muestra en la fig. 2.10. A continuación se describe la forma en que se diseña el layout del diodo y el resistor pasivo; se omite el diseño del transistor por ser un dispositivo que se describe con frecuencia.

Un diodo es la unión de un material p y un material n, en tecnología MOS, esta unión puede ser realizada mediante un pozo n (NWell) y una difusión altamente dopada tipo p⁺ como se ilustra en la figura 3.5.

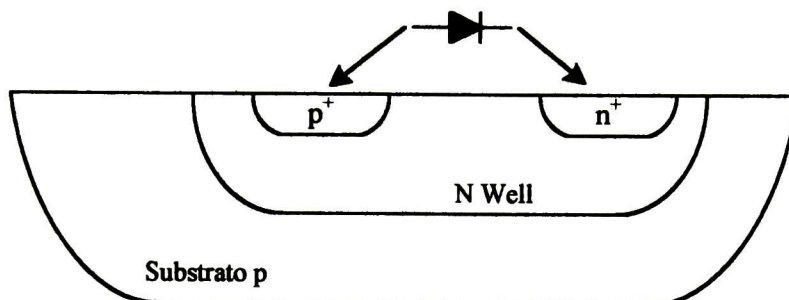


Fig. 3.5. Unión p-n (diodo) construido sobre pozo n.

Con el fin de conseguir que el diodo sea extraído sin problemas, el dispositivo diseñado en layout fue un transistor pMOS, de esta forma no se tendría ningún problema en la extracción de este dispositivo. Un transistor pMOS se diseña sobre un pozo y tiene dos difusiones p⁺ que son las regiones de fuente y drenaje y una región n⁺ que es la conexión a pozo. El diodo se toma solamente de la conexión a pozo y la región de fuente tal como se ilustra en la figura 3.6 dejando las terminales de drenaje y compuerta sin conexión.

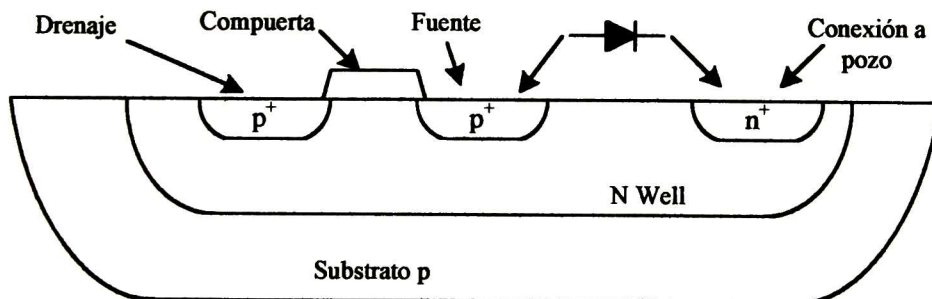


Fig. 3.6. Diodo construido sobre transistor pMOS.

La figura 3.7 muestra el layout de D_{E1} , observar que es un transistor pMOS y solo se hace uso de la terminal de fuente y la conexión a pozo. Se usa una W grande para que el manejo de corriente en él sea también grande, por esta razón, el ancho del diodo es el mismo que el ancho de todos los demás bloques del sistema como se muestra en el floorplannig (Fig. 3.1). La dimensiones son $230.4 \mu\text{m} \times 21 \mu\text{m}$.

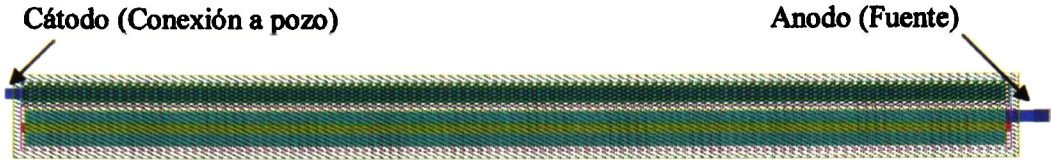


Fig. 3.7. Layout del diodo D_1 .

Para el diseño en layout de R_{E1} se pueden usar diferentes materiales, los más comunes son: polisilicio, pozo n, n^+ y p^+ . La tabla 3.2 muestra la resistencia de hoja normalizada para cada uno de los materiales usados en ésta tecnología.

Material	Resistencia de hoja normalizada (Ω /Cuadro)
P+	2596.6
N+	1816.6
Poly 1	900.0
Metal 1	1.6
Metal 2	1.0
Pozo N	52713.3

Tabla 3.2. Resistencia de hoja de diferentes materiales para tecnología CMOS 1.5 μ m.

Debido a que el valor resistivo de R_{E1} es grande (70 $k\Omega$), el material usado para su diseño es el pozo n ya que éste tiene la resistencia de hoja más elevada, con lo que se logra un ahorro de área. El valor resistivo deseado se consigue con una implantación de pozo n de 8.4 μ m x 188 μ m.

La figura 3.8 muestra el layout del Elevador de Señal, aquí se aprecia la forma dada a R_{E1} . Con el fin de hacer un diseño más compacto se ha dividido en dos partes sin que esto afecte su valor resistivo, el recuadro punteado de la derecha muestra el diseño de la resistencia.

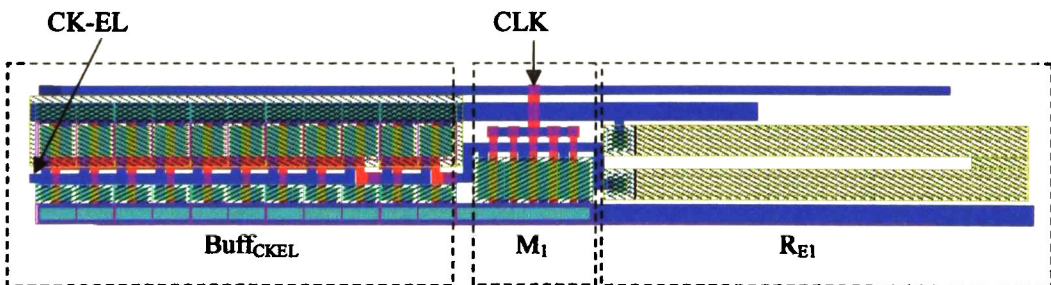


Fig. 3.8. Layout del Elevador de Señal.

Las señales de entrada (CLK) y salida (CK-EL) también son mostradas en la figura 3.8. El recuadro punteado de la izquierda muestra el buffer usado para el manejo de carga de este bloque ($\text{Buff}_{\text{CKEL}}$). Las medidas son: $270 \mu\text{m} \times 40 \mu\text{m}$.

3.6 GENERADOR DE FASES SIN TRASLAPE (GFST)

Este bloque está compuesto solamente por compuertas lógicas como se observa en la fig. 2.11a, por esta razón, es fácil implementar su layout el cual se muestra en la figura 3.9. Al centro de la figura se encuentra el GFST compuesto por 2 compuertas NOR y 5 inversores. Cada una de las salidas tiene un buffer para el manejo de carga de salida (Buf_{NTP} y Buf_{NTN}). Se muestra también la entrada y salidas complementarias del circuito. Las medidas son: $147 \mu\text{m} \times 74 \mu\text{m}$.

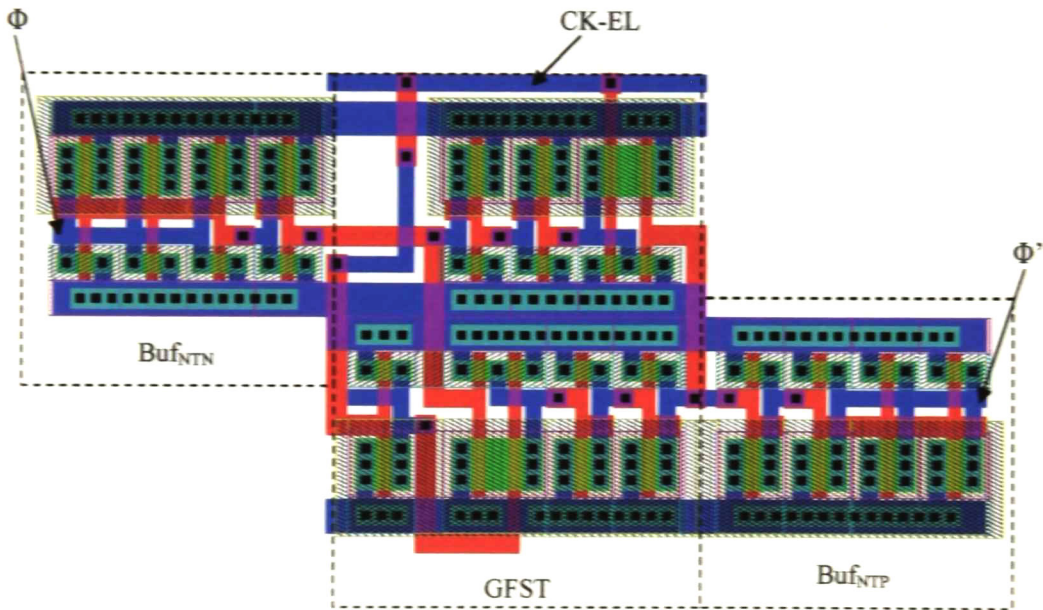


Fig. 3.9. Layout del GFST.

3.7 BUFFERS P y N

De acuerdo a la sección 2.4.4, cada uno de los buffers que controlan las compuertas de los transistores P y N está compuesto por una cadena de inversores de un determinado tamaño cada inversor. La cadena del buffer P está compuesta por 7 etapas, mientras que la del buffer N se compone de 6 etapas como se muestra en la tabla 2.3 donde también se muestra el número de inversores por cada etapa. Teniendo en cuenta estos resultados se realiza el diseño a nivel layout para cada uno de los buffers y se ilustra en la figura 3.10. Se

indica la entrada y salida de cada uno de los buffers siendo las dimensiones para el buffer P de $162\ \mu\text{m} \times 990\ \mu\text{m}$ y para el buffer n de $236\ \mu\text{m} \times 330\ \mu\text{m}$.

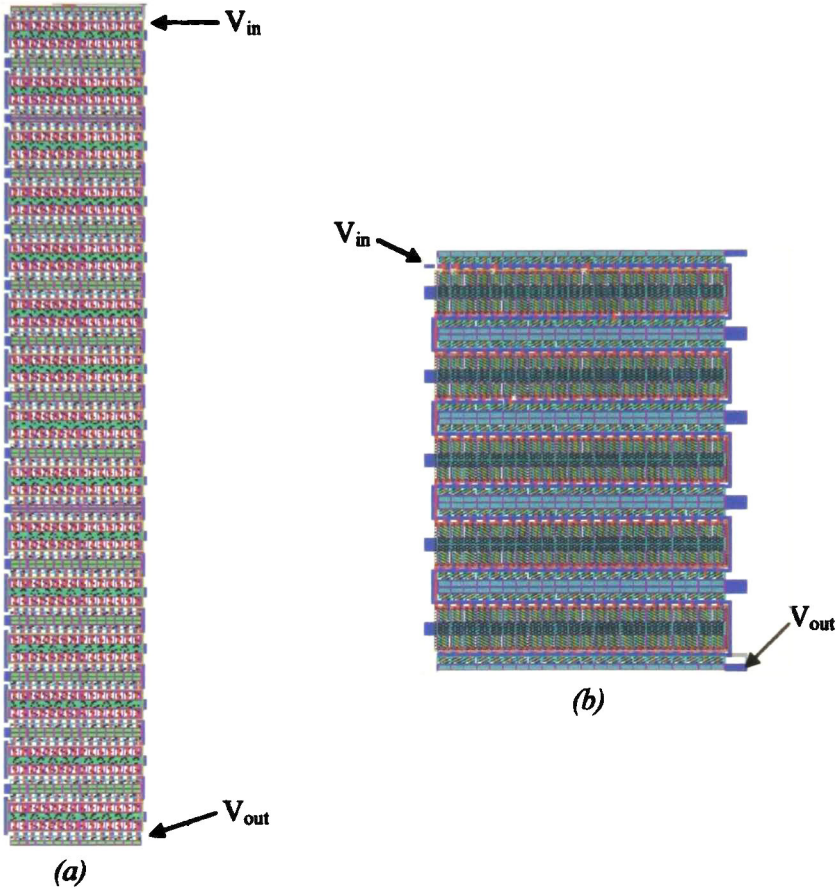


Fig. 3.10. Layout de (a) buffer P y (b) buffer N.

3.8 CARACTERIZACIÓN

Esta sección presenta el arreglo final del doblador en el chip y describe los pasos a seguir para realizar las pruebas experimentales al circuito. El chip fabricado incluye dos diseños, el primero es el doblador de voltaje descrito a lo largo de este trabajo. El segundo es un circuito de acondicionamiento para un MAGFET que no será descrito aquí. La figura 3.11 muestra el diseño final del chip, el circuito de la izquierda es el doblador de voltaje. Cada uno de los pads está referenciado a la tabla 3.3 en donde se indica el nombre y tipo (entrada o salida) de la señal y el módulo al que pertenece.

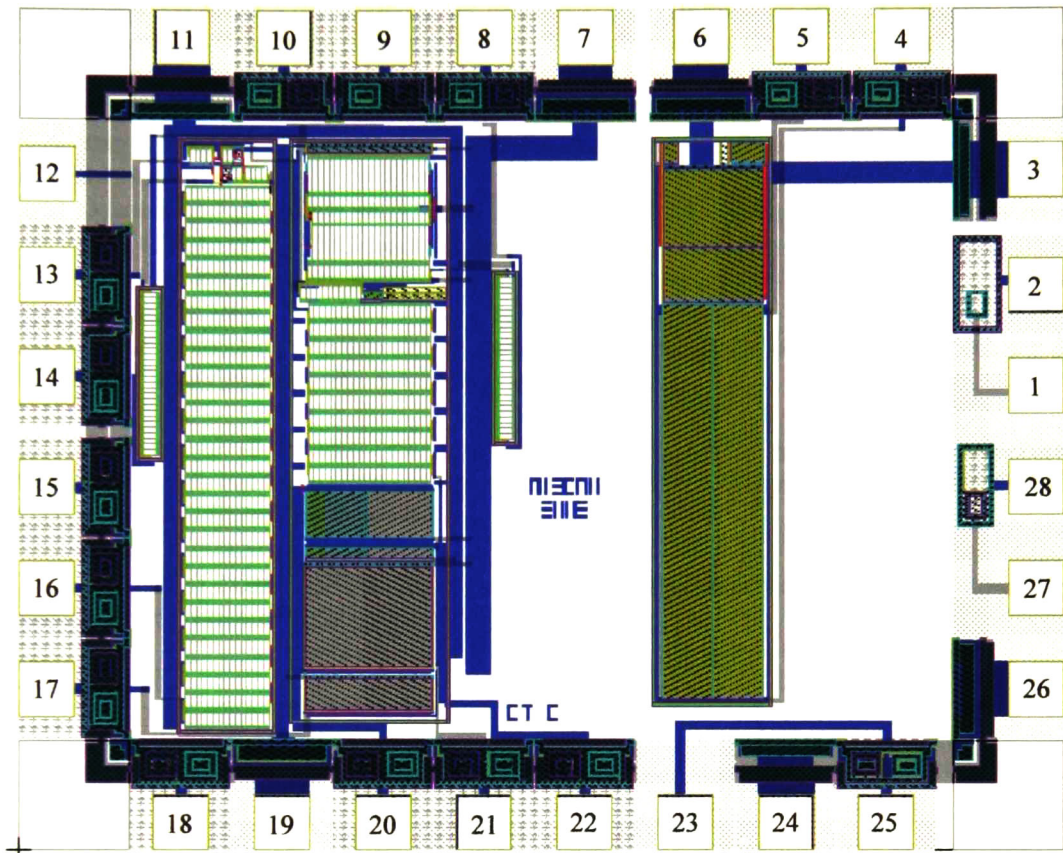


Fig. 3.11. Diseño final del chip.

A continuación se describen los pasos a seguir para realizar las pruebas y mediciones experimentales del circuito.

1. Conectar las terminales de alimentación; terminal 7 a 1.5 VCD, terminal 11 a tierra.
2. Aplicar el voltaje de control del GSR en la terminal 9. Este debe ser de aproximadamente 0.75 V.
3. Medir la señal de salida del GSR en la terminal 8, esta debe ser una señal cuadrada con una amplitud de 1.5 V y una frecuencia de 250 kHz. Si no se obtiene la frecuencia deseada, ajustar el voltaje de control (V_{CON}) hasta obtener los 250 kHz.
4. Conectar un voltaje de 3 VCD a la terminal 19. Este paso es solamente para probar el módulo Elevador de Señal y el GFST, una vez que hayan sido probados, este voltaje debe ser desconectado.
5. Interconectar las terminales 8 y 10. Con esto se aplica la señal de entrada al Elevador de Señal.
6. Medir la señal de salida del módulo Elevador de Señal (terminal 14). Esta debe ser una señal cuadrada con amplitud de 3V y frecuencia de 250 kHz.

7. Interconectar las terminales 13 y 14. Con esto se aplica la señal de entrada al GFST.
8. Medir las señales de salida de los Buffers P y N (terminales 16 y 21). Ambas deben ser señales cuadradas con amplitud de 3V y frecuencia de 250 kHz. Debe haber un tiempo de separación entre ambas señales de aproximadamente 1 ns. Notar que no existe un punto de prueba para las salidas del GFST esto debido a que las salidas van directamente a las entradas de los buffers e idealmente la señal debe ser la misma.
9. Desconectar el voltaje de 3 VCD de la terminal 19 que había sido conectado en el paso 4. Este voltaje NO tendrá que ser conectado nuevamente.
10. Conectar los capacitores externos de 100 nF. C_1 en las terminales 20 y 22, C_2 en las terminales 19 y 11.
11. Medir el voltaje de salida del doblador en la terminal 19, este voltaje deberá ser de 2.8 V aproximadamente con un V_{RIPPLE} de 22mV.

Una vez que el circuito está funcionando correctamente, se pueden tomar lecturas nuevamente en los puntos de prueba que son todos aquellos marcados como “salida” en la columna “Tipo de Señal” de la tabla 3.3.

Aunque no existe una restricción en el tipo de capacitores que deben ser utilizados, es recomendable utilizar capacitores con bajo ESR [9].

Terminal	Señal	Tipo de Señal	Módulo
7	V_B	Alimentación	
8	CLK	Salida	GSR
9	V_{CON}	Entrada	GSR
10	CLK	Entrada	Elevador de Señal
11	GND	Alimentación	
12	N.C.	-----	
13	CK-EL	Entrada	GFST
14	CK-EL	Salida	Elevador de Señal
15	N.C.	-----	
16	Φ'	Salida	Buffer P
17	Φ	Entrada	M_2, M_4
18	Φ'	Entrada	M_1, M_3
19	Vout	Salida	Doblador de Voltaje
20	$C_1 (+)$	Conexión C_1	
21	Φ	Salida	Buffer N
22	$C_1 (-)$	Conexión C_1	

Tabla 3.3. Descripción de terminales.

Conclusiones y Trabajo Futuro

4.1 CONCLUSIONES

El presente trabajo describió el análisis, funcionamiento y diseño de un doblador de voltaje con capacitores conmutados en tecnología MOS 1.5 μm con manejo de 1mA y una frecuencia de operación de 250 kHz. Este diseño está orientado principalmente a aplicaciones portátiles de bajo consumo de potencia.

Aunque en el análisis del doblador de voltaje se simplifican algunos términos con el fin de hacerlo más simple y tener un modelo matemático sencillo, la utilidad del modelo no se ve afectada, esto es comprobado realizando una comparación entre el modelo y simulación TSpice en donde se obtiene una desviación máxima del 2%.

El doblador de voltaje fue diseñado para un voltaje de entrada de 1.5 VCD. Existen en el mercado baterías con voltajes menores, un ejemplo son las baterías planas que proporcionan 1.3 VCD. Si se intenta alimentar al circuito con este voltaje, los transistores no lograrán ser encendidos al arranque y el circuito no funcionará. Sin embargo, este problema puede ser resuelto si el diodo integrado D_1 es sustituido por un diodo externo de germanio con un $V_D = 0.3$ V. De esta manera se lograría un V_{GS} suficiente para encender los transistores.

Los diferentes autores ([2], [5], [6] y [11]) que presentan dobladores de voltaje omiten el diseño del circuito de arranque (Elevador de Señal). Este circuito, su diseño y funcionamiento son presentados en este trabajo, además de presentar una metodología completa para el diseño del doblador de voltaje, facilitando la implementación de cualquier doblador de voltaje independientemente de las especificaciones y requerimientos que se deban cumplir.

La etapa final de este trabajo es el diseño a nivel layout del doblador de voltaje, este diseño se encuentra bajo fabricación. Por otro lado, el Generador de Señal de Reloj (GSR) es el único bloque que es alimentado con un voltaje bajo (1.5 V). Para probar el funcionamiento de este circuito con niveles de alimentación tan bajos, se tiene físicamente un circuito integrado [10] el cual contiene un bloque similar que fue diseñado usando la misma topología (VCO tipo current starved). Este último fue caracterizado alimentándolo con 3 diferentes voltajes, 1, 2 y 3 V respectivamente obteniéndose resultados satisfactorios para cada uno de ellos.

Los resultados obtenidos se ilustran en la figura 4.1 donde se muestra la gráfica V_c vs. Frecuencia del VCO para tres diferentes voltajes de alimentación. Se observa que incluso cuando se tiene una alimentación de 1 V, el circuito logra la oscilación para todo el rango de voltaje de control. Es claro que el circuito probado fue diseñado para una aplicación diferente, por esta razón, la frecuencia de salida no alcanza los 250 kHz necesarios para el doblador de voltaje, sin embargo, con esto se determina que es viable la implementación de este bloque con un voltaje de alimentación tan bajo como 1.5 V.

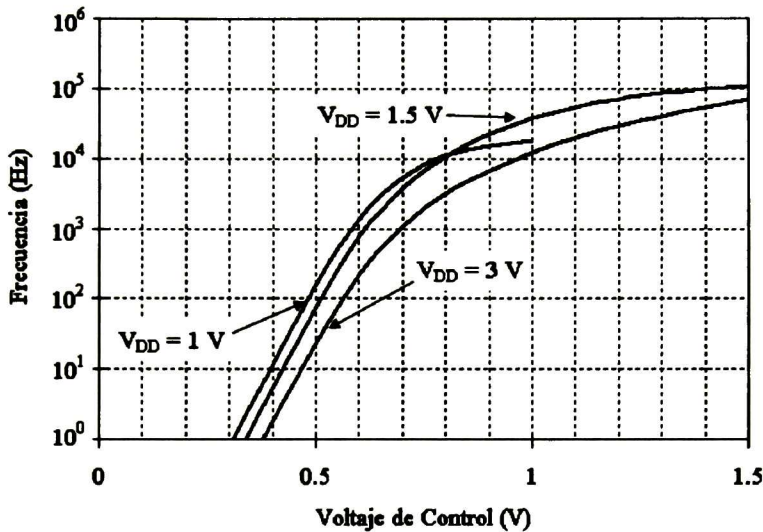


Fig. 4.1. Frec. de oscilación vs. V_{CON} para el VCO implementado en [10].

4.2 TRABAJO FUTURO

Hasta este punto, el diseño ha sido probado mediante resultados de simulación TSpice, obteniéndose resultados satisfactorios. El último paso de este trabajo será realizar las pruebas experimentales del diseño y compararlas con los resultados de simulación una vez que se reciba el chip que se encuentra bajo fabricación. Estas serán realizadas de acuerdo al procedimiento descrito en el capítulo 4. También se deberá caracterizar el circuito para diferentes voltajes de entrada y corrientes de carga.



Análisis

A.1 INTRODUCCION

En general, el diseño de circuitos CMOS ya sea analógico o digital está basado en ecuaciones que ayudan a determinar los parámetros de los dispositivos que serán implementados en el diseño. Estos parámetros son determinados dependiendo de diversas restricciones como pueden ser corriente, voltaje, frecuencia de operación, etc.

Cuando no existe una ecuación que gobierna el comportamiento de cierto circuito o topología, el diseñador se ve en la necesidad de determinar los parámetros de diseño de acuerdo a su experiencia y en muchas ocasiones, parte del diseño es realizado “a prueba y error” lo cual implica un desperdicio de tiempo y es una práctica no recomendable.

Por esta razón es importante tener ecuaciones que auxilien en el diseño del circuito ayudando a determinar parámetros como la longitud (L) y ancho (W) del canal además de valores de diversos componentes que formen parte del circuito. Por otro lado, cuando se cuenta con modelos matemáticos es fácil determinar qué parámetro debe ser variado a fin de conseguir el desempeño deseado.

Este capítulo se enfoca al análisis del doblador de voltaje. Se comienza analizando el doblador ideal, introduciendo después no idealidades para llegar finalmente a ecuaciones de utilidad para la implementación del doblador en tecnología CMOS. Se presenta también el análisis del transistor MOS utilizado como interruptor para determinar la ecuación de la resistencia de encendido (R_{ON}) en función de parámetros tecnológicos y geometrías del transistor.

A.2 DOBLADOR IDEAL

Un método simple para entender el funcionamiento de un doblador de voltaje se ilustra en la figura A.1. Son necesarios dos capacitores, 4 interruptores y dos fases de reloj complementarias como se muestra en la figura A.2. Durante la fase 1 (Φ_1) los interruptores S_2 y S_4 se cierran, permitiendo así que C_1 se cargue al nivel de voltaje de la batería (V_B). Durante la fase 2 (Φ_2), los interruptores S_1 y S_3 se cierran, por lo que C_1 y V_B son conectados en serie permitiendo que C_1 entregue carga a C_2 , el cual acumula la carga que le es entregada y después de algunos ciclos de reloj se tendrá el doble del voltaje de la batería en el nodo de salida (V_{OUT}).

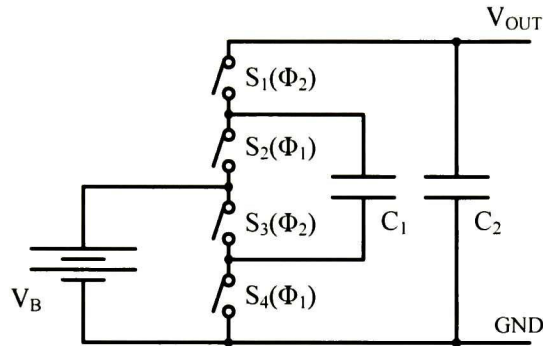


Fig. A.1. Doblador de voltaje con condiciones ideales.

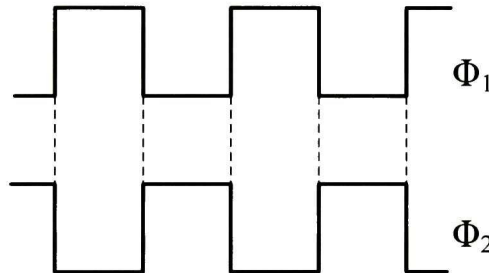


Fig. A.2. Fases de reloj complementarias.

Haciendo uso del teorema de muestreo y transformada de Laplace se describe a continuación el procedimiento matemático para obtener el valor de V_{OUT} en función de V_B considerando el uso de interruptores ideales (cero resistencia serie) y valores de capacitancia iguales ($C_1 = C_2$).

Durante $\Phi_1=1$ (interruptores S_2 y S_4 cerrados) la carga en los capacitores es

$$Q_{C1}[(n-1)T] = C_1 V_{BIAS} [(n-1)T] \quad (\text{A.1})$$

$$Q_{C2}[(n-1)T] = C_2 V_{OUT} [(n-1)T] \quad (\text{A.2})$$

donde T es el periodo de reloj.

Durante $\Phi_2=1$ (interruptores S_1 y S_3 cerrados) la carga en los capacitores está dada por

$$Q_{C_1}[nT] + Q_{C_1}[(n-1)T] = C_1(V_H[nT] - V_{BIAS}[nT]) \quad (A.3)$$

$$Q_{C_2}[nT] + Q_{C_2}[(n-1)T] = C_2V_{OUT}[nT] \quad (A.4)$$

Tomando en cuenta que $Q_{C_1} + Q_{C_2} = 0$, entonces

$$C_1V_{OUT}[nT] - C_1V_{BIAS}[nT] - C_1V_{BIAS}[(n-1)T] = -C_2V_{OUT}[nT] + C_2V_{OUT}[(n-1)T] \quad (A.5)$$

Usando la transformada de Laplace tenemos

$$V_{OUT}(s) [C_1 + C_2(1 - e^{-sT})] = C_1V_{BIAS}(1 + e^{-sT}) \quad (A.6)$$

Considerando que la frecuencia de muestreo es mucho mayor que la frecuencia de conmutación ($\omega_{sample} \gg \omega_{switch}$) entonces $sT \ll 1$ y por lo tanto

$$V_{OUT} \approx 2V_{BIAS} \quad (A.7)$$

Si se considera ahora que se tiene un circuito conectado a la salida del doblador el cual demanda una corriente constante I , entonces se tendrá un circuito diferente para cada fase. El circuito equivalente para Φ_1 es el que se muestra en la figura A.3.

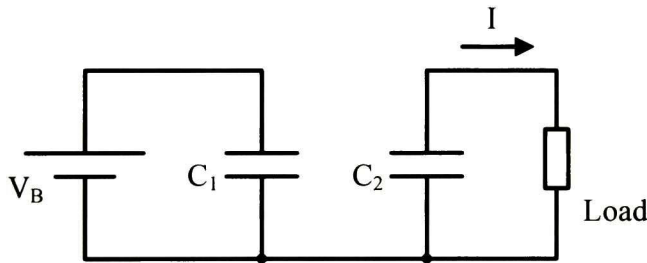


Fig. A.3. Circuito equivalente para Φ_1 del doblador cuando se conecta una carga a la salida.

Teniendo en cuenta que $C_1 = C_2 = C$ y que la duración de Φ_1 es igual a $T/2$, entonces la variación de voltaje del capacitor C_2 durante Φ_1 estará dada por (A.8); es de notar que se considera una corriente de salida constante I .

$$\Delta V_{C_2}(t) = \frac{IT}{2C} \quad (A.8)$$

Por otro lado, el circuito equivalente para Φ_2 es el que se muestra en la figura A.4. En esta fase se realiza la transferencia de carga de C_1 a C_2 . Las corrientes $i_1(t)$ e $i_2(t)$ se consideran variantes en el tiempo debido a la carga y descarga de los capacitores que se traduce en variación tanto de corriente como de voltaje.

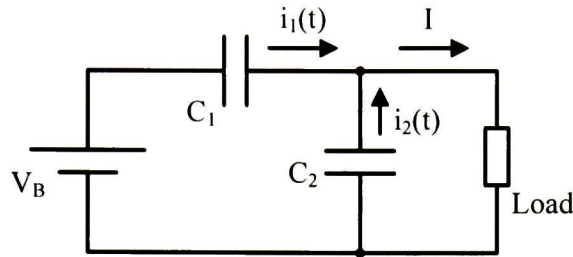


Fig. A.4. Circuito equivalente del doblador para Φ_2 cuando se conecta una carga a la salida.

En esta situación la variación de voltaje en C_2 durante Φ_2 estará dada por [6],

$$\phi_2 \Delta V_{C_2}(t) = \frac{i_2(t) \cdot T}{2C} \quad (\text{A.9})$$

donde $i_2(t)$ en función de la variable de Laplace es,

$$I_2(s) = \frac{\frac{1}{sC_1} I}{\frac{1}{sC_1} + \frac{1}{sC_2}} = \frac{\frac{1}{sC_1} I}{\frac{C_1 + C_2}{sC_1C_2}} = \frac{C_2 I}{C_1 + C_2} \frac{1}{s} \quad (\text{A.10})$$

Usando transformada inversa de Laplace se tiene

$$i_2(t) = \frac{C_2}{C_1 + C_2} I \quad (\text{A.11})$$

Se puede corroborar que la corriente que se entrega es constante. Teniendo en cuenta que $C_1 = C_2 = C$, entonces $i_2(t)$ queda expresada de la siguiente manera

$$i_2(t) = \frac{I}{2} \quad (\text{A.12})$$

Sustituyendo (A.12) en (A.9) se encuentra la variación de voltaje en C_2 en función de la corriente de salida

$$\phi_2 \Delta V_{C_2}(t) = \frac{IT}{4C} \quad (\text{A.13})$$

La variación de voltaje total en C_2 está dada por la suma de (A.8) y (A.13)

$$\Delta V_{C_2}(t) = \frac{3IT}{4C} \quad (\text{A.14})$$

Durante Φ_2 , C_1 debe suministrar la carga que C_2 perdió durante Φ_1 , por lo tanto la variación de voltaje en C_1 es igual a

$$\Delta V_{C_1}(t) = \frac{3IT}{4C} \quad (\text{A.15})$$

En el siguiente ciclo de reloj durante Φ_1 , C_1 volverá a ser cargado al valor de la fuente para después transferir nuevamente carga a C_2 durante Φ_2 repitiéndose cíclicamente este proceso. El valor del voltaje de rizo estará dado con el valor total de la variación de voltaje de C_2 como se muestra en (A.16), ya que como se aprecia en la figura A.1, C_2 está siempre conectado al nodo de salida.

$$V_{RIPPLE} = \frac{3}{4} \cdot \frac{IT}{C} \quad (\text{A.16})$$

y el voltaje promedio a la salida del duplicador estará dado por (A.7), menos la descarga de voltaje total de C_1 , menos el valor promedio de la descarga de C_2 :

$$V_{OUT} = 2V_B - \frac{3}{4} \cdot \frac{IT}{C} - \frac{3}{8} \cdot \frac{IT}{C} \quad (\text{A.17})$$

Simplificando

$$V_{OUT} = 2V_B - \frac{9}{8} \cdot \frac{IT}{C} \quad (\text{A.18})$$

Para comprobar las ecuaciones anteriores se proponen valores de I , C , T y se calcula el V_{OUT} y V_{RIPPLE} para después comparar los resultados obtenidos con resultados de simulación. Los valores propuestos son: $V_B = 1 \text{ V}$, $I = 1 \text{ mA}$, $T = 10 \text{ } \mu\text{s}$, $C = 100 \text{ nF}$.

Utilizando (A.19), (A.17) y los valores propuestos se tiene

$$V_H = 1.8875 \text{ V}$$

$$V_{RIPPLE} = 0.075 \text{ V}$$

Los resultados del modelo se comparan con simulación TSpice del doblador con interruptores ideales utilizando los mismos parámetros propuestos para el modelo matemático. La figura A.5 muestra esta comparación.

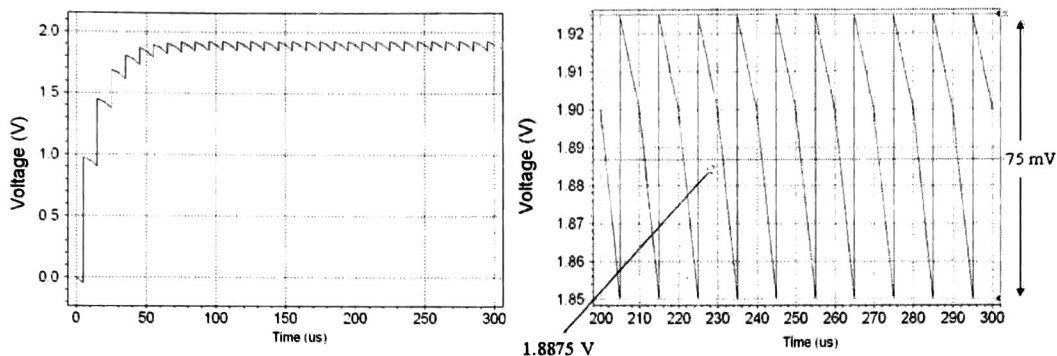


Fig. A.5. Simulación TSpice del doblador de voltaje ideal con $V_B = 1\text{ V}$, $T = 10\mu\text{s}$, $I = 1\text{ mA}$ y $C = 100\text{ nF}$. (a) V_{OUT} (b) V_{RIPPLE} .

Se aprecia de la figura A.5 $V_{OUT} = 1.8875\text{ V}$ y $V_{RIPPLE} = 75\text{ mV}$ lo que comprueba la validez del modelo para el doblador de voltaje ideal. En la siguiente sección se realiza el análisis del doblador agregando la resistencia de encendido de los interruptores con el fin de obtener un modelo matemático más adecuado.

A.3 DOBLADOR NO IDEAL

El análisis anterior da un panorama general del funcionamiento de un doblador de voltaje utilizando la técnica de capacitores conmutados, sin embargo, si se desea implementar dicho circuito en tecnología MOS, se debe tomar en cuenta que un transistor MOS tiene una resistencia de encendido, por tanto, se debe dejar a un lado las condiciones ideales del circuito. Con este propósito se añade una resistencia serie a cada uno de los interruptores. La figura A.6 muestra el doblador de voltaje con las no idealidades incluidas.

El funcionamiento del circuito es el mismo que el descrito para la Fig. A.1, sin embargo las expresiones tanto para V_{OUT} como para V_{RIPPLE} serán diferentes, el análisis del circuito se describe a continuación.

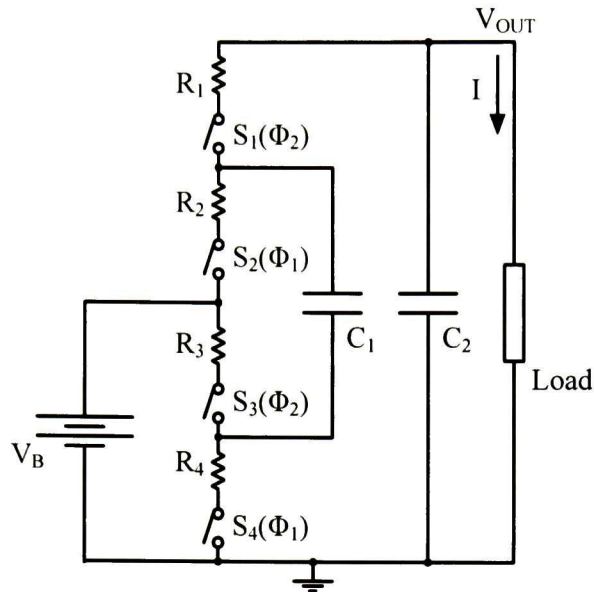


Fig. A.6. Doblador de voltaje-Condiciónes no Ideales.

El circuito equivalente del doblador de voltaje no ideal para Φ_1 es el que se muestra en la figura A.7.

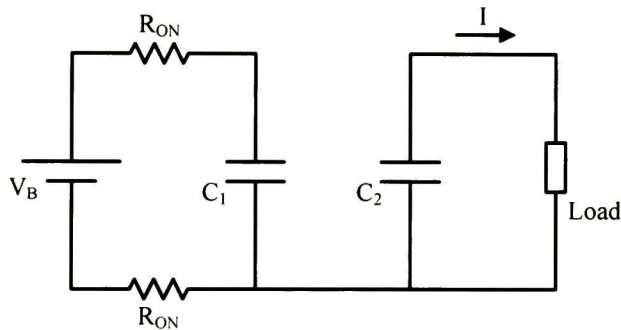


Fig. A.7. Circuito equivalente del doblador para Φ_1 .

Teniendo en cuenta nuevamente que $C_1 = C_2 = C$, que la duración de Φ_1 es igual a $T/2$ y que se tiene una corriente de salida constante, entonces la variación de voltaje en C_2 durante Φ_1 está dada por

$${}^a \Delta V_{C_2}(t) = \frac{IT}{2C} \quad (\text{A.19})$$

El circuito equivalente para Φ_2 es el que se muestra en la figura A.8. nuevamente la duración de Φ_2 es igual a $T/2$.

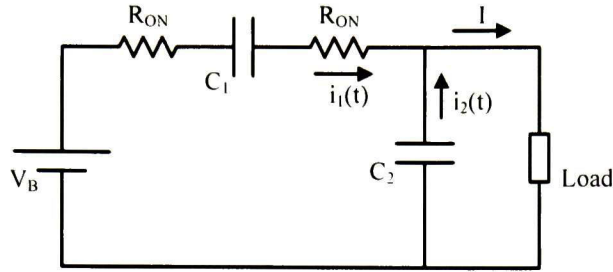


Fig. A.8. Circuito equivalente del doblador en la fase Φ_2 .

Para encontrar la variación de voltaje en los capacitores durante esta fase, se determinan primero las corrientes $i_1(t)$ e $i_2(t)$.

En el dominio de la variable de Laplace se tiene para I_1

$$I_1(s) = \frac{\frac{1}{sC}}{\frac{2sR_{ON}C + 2}{sC}} \cdot \frac{I}{s} = \frac{1}{2sR_{ON}C + 2} \cdot \frac{I}{s} \quad (\text{A.20})$$

Reacomodando los términos mediante fracciones parciales,

$$I_1(s) = \frac{I}{2} \left(\frac{1}{s} - \frac{1}{s + \frac{1}{R_{ON}C}} \right) \quad (\text{A.21})$$

Mediante transformada inversa de Laplace encontramos la expresión de I_1 en el dominio del tiempo.

$$i_1(t) = \frac{I}{2} \left(1 - e^{-\frac{t}{RC}} \right) \quad (\text{A.22})$$

Finalmente tomando en cuenta que para Φ_2 el tiempo total es el 50% del periodo, ($t=T/2$).

$$i_1(t) = \frac{I}{2} \left(1 - e^{-\frac{T}{2RC}} \right) \quad (\text{A.23})$$

Se calcula ahora $i_2(t)$, usando transformada de Laplace se tiene la expresión

$$I_2(s) = \frac{2sRC + 1}{\frac{sC}{2sRC + 2}} \cdot \frac{I}{s} = \frac{2sRC + 1}{2sRC + 2} \cdot \frac{I}{s} \quad (\text{A.24})$$

Reacomodando mediante fracciones parciales,

$$I_2(s) = \left[\frac{1}{s + \frac{1}{RC}} + \frac{1}{2} \left(\frac{1}{s} - \frac{1}{s + \frac{1}{RC}} \right) \right] I \quad (\text{A.25})$$

utilizando transformada inversa de Laplace se obtiene la ecuación de $I_2(s)$ en el dominio del tiempo

$$i_2(t) = \left(e^{-\frac{t}{RC}} + \frac{1}{2} - \frac{1}{2} e^{-\frac{t}{RC}} \right) I = \left(\frac{1}{2} + \frac{1}{2} e^{-\frac{t}{RC}} \right) I \quad (\text{A.26})$$

Tomando en cuenta nuevamente que para Φ_2 el tiempo total es el 50% del periodo ($t=T/2$).

$$i_2(t) = \frac{I}{2} \left(1 + e^{-\frac{T}{2RC}} \right) \quad (\text{A.27})$$

La variación de voltaje en C_2 durante Φ_2 está dada por

$$\phi_2 \Delta V_{C_2}(t) = \frac{I_1 T_2}{2C} \quad (\text{A.28})$$

donde T_2 es la porción de tiempo de Φ_2 durante la cual C_2 entrega carga al circuito de salida como se ilustra en la figura A.9, este tiempo está dado por

$$T_2 = \frac{T}{2} e^{-\frac{5RC}{T/2}} = \frac{T}{2} e^{-\frac{10RC}{T}} \quad (\text{A.29})$$

La variación total de voltaje en C_2 estará dada por la suma de las variaciones en cada fase. esto es:

$$\Delta V_{C_2}(t) = \phi_1 \Delta V_{C_2}(t) + \phi_2 \Delta V_{C_2}(t) \quad (\text{A.30})$$

Sustituyendo (A.20) y (A.29) en (A.30) se tiene

$$\Delta V_{C_2}(t) = \left(\frac{IT}{2C} + \frac{IT_2}{2C} \cdot \left(1 - e^{-\frac{t_2}{RC}} \right) \right) = \frac{I}{2C} \left(T + T_2 \cdot \left(1 - e^{-\frac{T_2}{RC}} \right) \right) \quad (\text{A.31})$$

La variación de voltaje en C_1 está dado como la suma de $\Delta V_{C_2}(t)$ más el voltaje que C_1 entrega al circuito de salida durante T_3 .

$$\Delta V_{C_1}(t) = \frac{I}{2C} \left(T + T_2 \cdot \left(1 - e^{-\frac{T_2}{RC}} \right) \right) + \frac{IT_3}{C} \quad (\text{A.32})$$

donde T_3 es el la porción de tiempo de Φ_2 durante la cual C_1 entrega carga a C_2 como se ilustra en la figura A.9, este tiempo está dado por

$$T_3 = \frac{T}{2} - T_2 = \frac{T}{2} \left(1 - e^{-\frac{10RC}{T}} \right) \quad (\text{A.33})$$

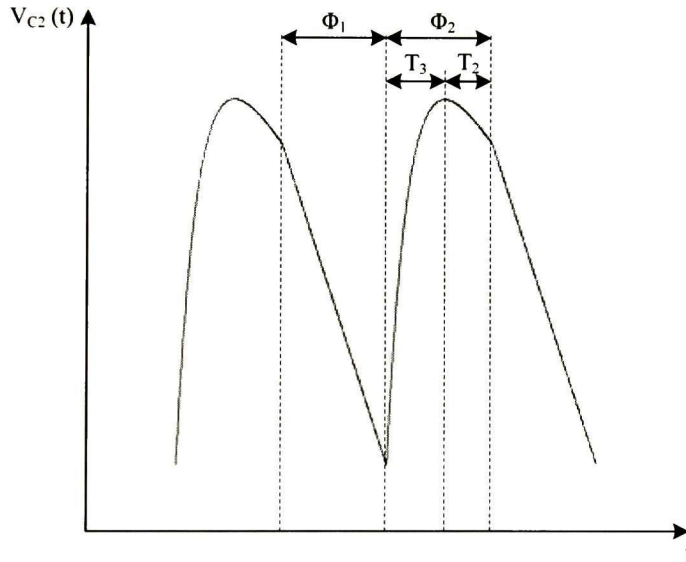


Fig. A.9. Descripción de la variación de voltaje en C_2 .

Una descripción de la variación de voltaje en C_2 se muestra en la figura A.9. Aquí se ilustran los tiempos T_2 y T_3 a los que hace referencia las ecuaciones (A.29) y (A.33). Como se observa, durante Φ_1 existe siempre una disminución de voltaje debido a que en esta fase C_2 está siempre entregando carga al circuito de salida. Por otro lado, durante Φ_2 ocurren los tiempos T_3 y T_2 , el primero ocurre cuando el voltaje en C_2 aumenta, y tiene duración solo mientras C_2 recibe carga de C_1 , siendo este último el único que suministra carga al circuito de salida. En esta misma fase se llega a un instante en el cual las cargas en C_1 y C_2 alcanzan

el equilibrio, por lo que a partir de este instante C_2 también proporciona carga al circuito de salida. Este tiempo es el llamado T_2 . Por otro lado, el voltaje de rizo estará dado como la variación de voltaje en C_2 :

$$V_{\text{RIPPLE}} = \frac{I}{2C} \left(T + T_2 \cdot \left(1 - e^{-\frac{T_2}{RC}} \right) \right) \quad (\text{A.34})$$

Esta ecuación muestra la dependencia de V_{RIPPLE} con la corriente de salida, se observa que a mayor I se tendrá un V_{RIPPLE} más grande. Sin embargo, esto puede ser compensado incrementando el valor capacitivo. Por otro lado, el voltaje de salida promedio estará dado por el doble producto del voltaje proporcionado por la batería menos las diferentes caídas de voltaje que ocurren en el circuito. Estas no idealidades son: la variación de voltaje en C_1 (ΔV_{C_1}), el valor promedio de la variación de voltaje en C_2 (ΔV_{C_2}), la caída de voltaje en los resistores durante Φ_2 ($2IR$) y la diferencia de voltaje entre el potencial en C_1 y V_B en Φ_1 ($(4RC/T) \cdot \Delta V_{C_1}$). Este último se produce cuando C_1 no alcanza su valor final (V_B) debido a que la duración de Φ_1 ($T/2$) no es suficiente para llevar a C_1 al valor requerido. Por último, (A.35) representa el voltaje de salida promedio del doblador de voltaje no ideal.

$$V_{\text{OUT}} = 2V_B - \Delta V_{C_1}(t) - \frac{\Delta V_{C_2}(t)}{2} - 2IR - \frac{4RC}{T} \Delta V_{C_1}(t) \quad (\text{A.35})$$

Se puede ver que, con la intención de facilitar el análisis y obtener un modelo sencillo, (A.35) incluye una expresión simplificada que representa la caída de voltaje en los resistores durante Φ_2 . Más adelante se mostrará una comparación entre el modelo y simulación TSpice para verificar que tal simplificación no afecta la utilidad del modelo como herramienta de diseño. La figura A.10 ilustra la caída de potencial en los resistores para Φ_2 ($2IR$) y la diferencia de potencial entre el valor alcanzado y valor final de C_1 durante Φ_1 ($(4RC/T) \cdot \Delta V_{C_1}$).

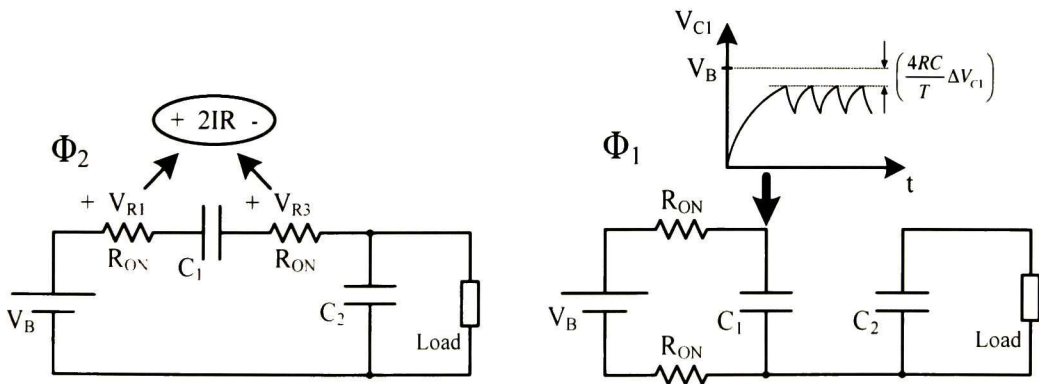


Fig. A.10. Caída de potencial (a) en los resistores durante Φ_2 y (b) en C_1 durante Φ_1 .

La ecuación (A.35) puede ser simplificada para obtener una expresión de la siguiente forma

$$V_{OUT} = 2V_B - \Delta V_{C_1} \left(1 + \frac{4RC}{T} \right) - \frac{\Delta V_{C_2}}{2} - 2IR \quad (\text{A.36})$$

Sustituyendo (A.31) y (A.32) en (A.36) y agrupando términos semejantes se llega finalmente a la expresión

$$V_{OUT} = 2V_B - \frac{I}{4C} \left(3 + \frac{8RC}{T} \right) \left(T + T_2 \left(1 - e^{-\frac{T_2}{RC}} \right) \right) - \frac{IT_3}{C} \left(1 + \frac{4RC}{T} \right) - 2IR \quad (\text{A.37})$$

la cual, en conjunción con (A.29) y (A.33), corresponde al voltaje de salida promedio del doblador de voltaje en función de parámetros de diseño. Lo mismo es cierto para (A.34) que representa el voltaje de rizo. Para verificar la utilidad de estas ecuaciones, se realiza una comparación entre los resultados que arroja el modelo obtenido contra resultados de simulación Tspice.

La Figura A.11 muestra las gráficas V_{OUT} vs R_{ON} y V_{RIPPLE} vs R_{ON} respectivamente, en cada una de ellas se hace una comparación entre los resultados del modelo matemático y la simulación Tspice para valores de $C_1 = C_2 = C = 100$ nF, $F = 250$ kHz, y una corriente de salida de 1mA.

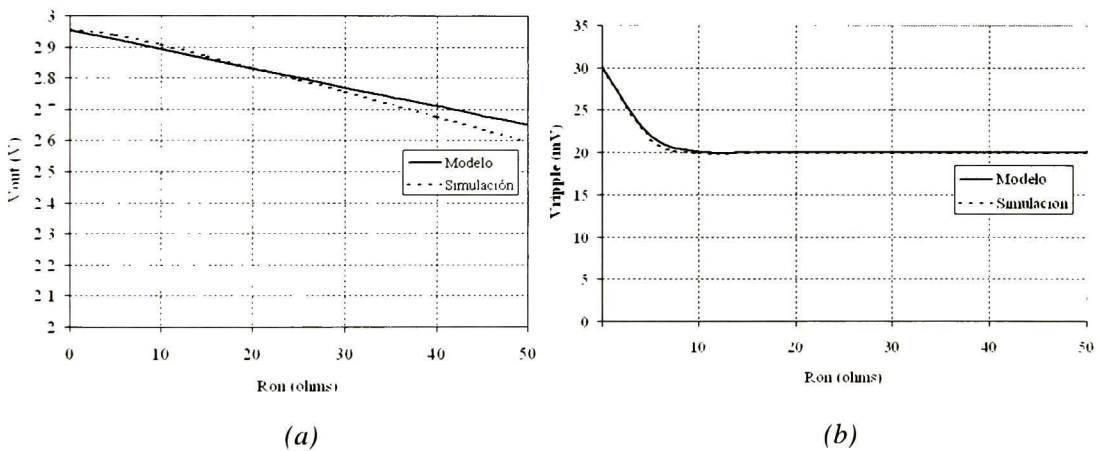


Fig. A.11. Comparación entre Modelo matemático y simulación TSpice. (a) V_{OUT} vs. R_{ON}
(b) V_{RIPPLE} vs. R_{ON}

Se aprecia en la Fig. A.11a que la mayor desviación que existe entre el modelo matemático y la simulación TSpice se tiene para valores grandes de R_{ON} . Sin embargo para valores pequeños de R_{ON} el modelo ajusta satisfactoriamente. Por otro lado, no es deseable tener valores de R_{ON} grandes ya que entre mayor R_{ON} mayor será el consumo de potencia del doblador y menor el voltaje de salida entregado. La máxima desviación entre modelo y simulación de la Fig. A.11a es del orden de 2%.

B

El Interruptor MOS

El transistor utilizado como interruptor tiene hoy en día un gran campo de aplicación en el diseño de circuitos integrados, ya sea en aplicaciones de circuitos digitales o analógicos. Ejemplos de ello son los capacitores conmutados los cuales son de gran utilidad en circuitos analógicos con el fin de ahorrar área de integración y disipación de potencia. En circuitos digitales se utiliza ampliamente como compuerta de transmisión logrando una gran flexibilidad en la implementación de circuitos la cual no se lograría con circuitos lógicos estándar [7]. A continuación se mencionan las características y el desempeño del interruptor implementado con transistores MOS.

Un interruptor controlado por voltaje tiene varias componentes que lo hacen un interruptor no ideal, sus características se muestran en la figura B.1 que es el modelo equivalente del interruptor MOS [8]. V_C controla el interruptor y determina si el interruptor ideal se encuentra abierto o cerrado. El interruptor controlado por voltaje es una red de tres terminales, dos de las cuales (A y B) componen el interruptor mientras que C es la terminal mediante la cual se aplica el voltaje de control. Las características más importantes del interruptor son su resistencia de encendido (R_{ON}) y su resistencia de apagado (R_{OFF}). Idealmente R_{ON} es cero y R_{OFF} es infinito.

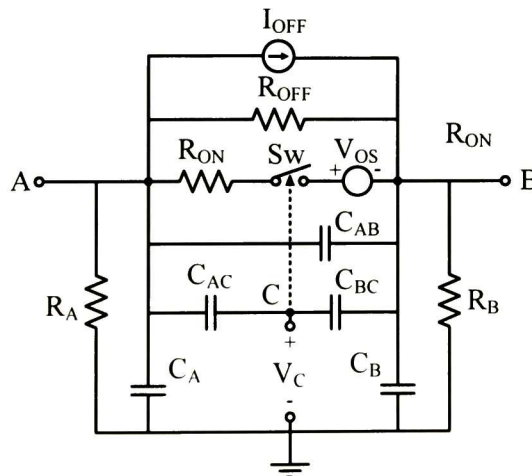


Fig. B.1. Modelo del interruptor no ideal.

La mayoría de los interruptores tienen alguna forma de voltaje de offset, el cual está representado por V_{os} . Este es un voltaje del orden de mV que puede existir entre las terminales A y B cuando el interruptor está cerrado y no existe corriente circulando a través de él. I_{OFF} representa la corriente de fuga que puede fluir cuando el interruptor está abierto o apagado. Los capacitores parásitos son una consideración importante en aplicaciones de muestreo de datos y en general en cualquier aplicación que implique una frecuencia de conmutación elevada. Los capacitores C_A , C_B y C_{AB} son capacitancias parásitas asociadas con las terminales A, B y tierra. Los capacitores C_{AC} y C_{BC} son capacitancias parásitas que pueden existir entre la terminal de voltaje de control C y las terminales del interruptor A y B. Estas capacitancias contribuyen a un problema llamado feedthrough en donde una porción del voltaje de control aparece en las terminales del interruptor A y B.

La implementación de un interruptor no ideal en tecnología MOS es muy sencilla, la figura B.2 muestra la forma de implementar un transistor MOS como interruptor, su desempeño puede ser determinado comparando la figura B.1 con el modelo de pequeña señal del transistor MOS. Se observa que las terminales de drenaje y fuente del transistor MOS representan las terminales A y B del interruptor. La resistencia de encendido consiste de la combinación serie de r_D y r_S y cualquier resistencia de canal existente.

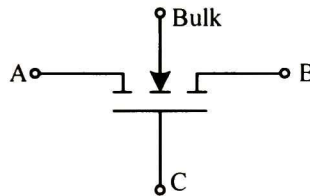


Fig. B.2. Transistor NMOS usado como interruptor.

La resistencia de encendido del transistor MOS se puede determinar teniendo en cuenta que en estado de encendido, la caída de voltaje entre las terminales del interruptor (V_{DS}) es pequeña, y el voltaje de control (V_{GS}) es grande. Considerando estas dos condiciones, el transistor estará en la región de no-saturación. Por lo que su corriente de drenaje estará representada por

$$i_D = \frac{\mu_o C_{ox} W}{L} \left[(V_{GS} - V_T) - \frac{V_{DS}}{2} \right] V_{DS} (1 + \lambda V_{DS}) \quad (B.1)$$

donde:

μ_o = movilidad en la superficie del canal para el dispositivo NMOS o PMOS ($\text{cm}^2/\text{volt}\cdot\text{segundo}$)

C_{ox} = capacitancia por unidad de área del óxido de compuerta (F/cm^2)

W = anchura efectiva del canal

L = Longitud efectiva del canal

λ = modulación de la longitud del canal (volts^{-1})

si se considera que no existe modulación de la longitud de canal ($\lambda = 0$) entonces la corriente de drenaje estará representada por

$$i_D = \frac{\mu_o C_{ox} W}{L} \left[(V_{GS} - V_T) - \frac{V_{DS}}{2} \right] V_{DS} \quad (B.2)$$

Si V_{DS} es pequeño y menor que $(V_{GS} - V_T)$ pero mayor a cero, entonces el término de segundo orden (V_{DS}^2) que resulta de (B.2) es despreciable por lo tanto

$$i_D = \frac{\mu_o C_{ox} W}{L} (V_{GS} - V_T) V_{DS} \quad (B.3)$$

Finalmente, si se asume que no existe voltaje de offset, la resistencia de canal del transistor es

$$R_{ON} = \frac{1}{\frac{\partial i_D}{\partial V_{DS}}} = \frac{L}{\mu_o C_{ox} W (V_{GS} - V_T)} \quad (B.4)$$

Después del análisis realizado tanto en esta sección como en el apéndice A, las ecuaciones (B.4), (A.37) y (A.34) que representan la resistencia de encendido, voltaje de salida y voltaje de rizo respectivamente, son las que permitirán realizar el diseño del doblador de voltaje usando tecnología MOS que es presentado en el capítulo 2 de este trabajo.



Publicaciones Generadas

A Switched Approach for a Voltage Generator

E. VARGAS-CALDERON and F. SANDOVAL-IBARRA

Electronics Design

CINVESTAV-Guadalajara Unit

Prof. López-Mateos Sur 590, 45235 Guadalajara Jalisco

MEXICO

evargas@gdl.cinvestav.mx sandoval@ieee.org <http://www.gdl.cinvestav.mx>

Abstract: - In this paper, the design of a voltage generator (VG), realized with the switched-capacitor (SC) approach, is presented. The VG is primarily intended for low-power portable applications, where the proposed circuit is supplied by a single 1.5V battery. This approach allows to obtain a $\times 2$ -VG driving an output current of 1 mA and can be easily extended to a $\times 3$ design. Simulation results verify the usefulness of the proposed design.

Key-Words: DC-DC power conversion, charge pump, CMOS integrated circuits.

1 Introduction

Nowadays the most important device in modern microelectronics is the MOSFET that is being used in the most demanding applications of low power products operated by a single battery; portable products where the battery lifetime must be as high as possible. In practice a voltage level higher than the battery voltage is preferred to supply analog circuits because of the dynamic range. According that, this paper deals with the design of the voltage-generator block depicted in Fig. 1, where the block diagram represents our portable measuring system (PMS) under design. Description of each block, but the voltage-generator, will not be treated here because it can be found elsewhere [1]-[5].

This paper presents a CMOS voltage generator biased with a battery of 1.5V. In section 2, Basics on VG are presented. The effect of the increment of the switch resistance, as well as its design considerations using a MOS approach, are also presented in this section. A SC analysis of the proposed generator is presented in section 3, where simulation results for a $\times 2$ verify its MOS viability. Finally, some conclusions are given.

2 Basics on VG

The simplest VG is the $\times 2$ -design depicted in Fig. 2. Using transistors as ideal switches ($R_{ON} \rightarrow 0\Omega$) and two equal capacitors, C_1 and C_2 , a *doubler* is easily designed by connecting C_1 to the battery during Φ_1 through S_2 and S_4 . Then, disconnecting it and then stack C_1 on top of the

battery in such a way that C_2 is parallel connected with the stack during Φ_2 through S_1 and S_3 .

Assuming a zero ON-resistance for each switch, it's easy to demonstrate that the voltage V_{OUT} on the top of C_2 is ideally $2V_{BIAS}$. However in order to analyze the effect of the non-zero ON-resistance on the VG performance the model depicted in Fig. 3 must be used.

2.1 Non-zero ON-resistance approach

When the effect of R_{ON} and discharge current I is taken into account V_{OUT} is not $\times 2$ because losses are function on the charge and discharge time of the capacitors. These times depend on the R_{ON} , $C_{1,2}$ and the operating current (I). Assuming $R_1=R_2=R_3=R_4=R_{ON}$, and $C_1=C_2=C$ the output voltage V_{OUT} is given by

$$V_{OUT} = 2V_B - \frac{I}{C} \left(T_1 + T_2 \cdot \left(1 - e^{-T_2/RC} \right) \right) \cdot \left(\frac{3}{4} + \frac{e^{-T_1/4RC}}{2} \right) - \frac{IT_3}{C} \left(1 + e^{-T_1/4RC} \right) - IR \left(3 + e^{-T_3/RC} \right) \cdot \frac{2T_3}{T} \quad (1)$$

Even when (1) is not accurate at all, this result is an approximated method to describe the V_{OUT} behavior. Eq. (1) is accurate when $2RC \leq \frac{1}{2}T$ is satisfied. The magnitude of the undesirable ripple is given by

$$V_{RIPPLE} = \frac{I}{2C} \left(T_1 + T_2 \cdot \left(1 - e^{-T_2/RC} \right) \right) \quad (2)$$

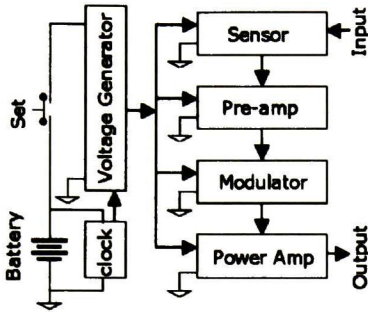


Fig. 1. Block diagram of the PMS under design.

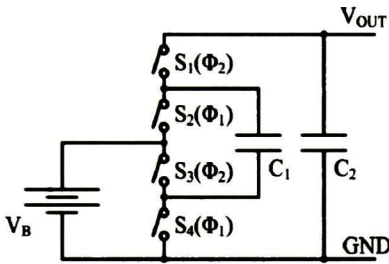


Fig. 2. Conceptual approach of a x2 voltage generator.

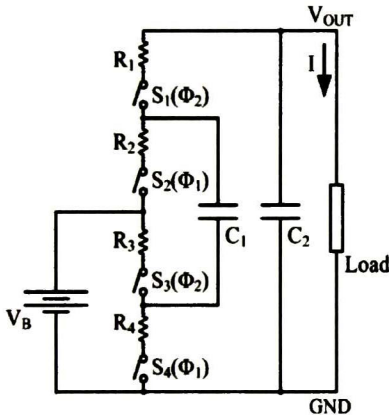


Fig. 3. A x2 voltage generator including switch's series resistance

where T_2 is the portion of time in which C_2 delivers charge to the load and is given by

$$T_2 = \frac{T}{2} e^{-(10RC/T)} \quad (3)$$

Finally, T_3 is the portion of time in which C_2 gets charge from C_1

$$T_3 = \frac{T}{2} (1 - e^{-(10RC/T)}) \quad (4)$$

To probe how accurate these equations are, a comparison between simulation results and deduced equations is done. Results are shown in Fig. 4.

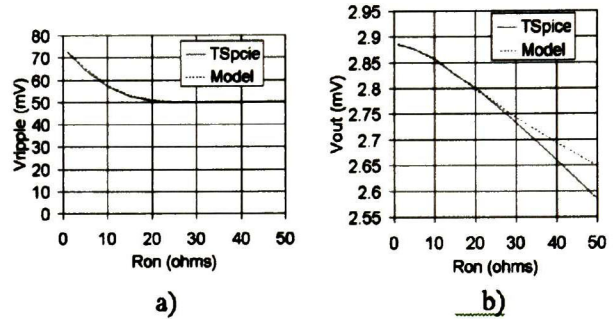


Fig. 4. (a) V_{RIPPLE} ; (b) V_{OUT} with R_{ON} as variable.

2.2 The MOS switch

This device behaves like a resistor in the ON-state and like an open circuit in the OFF-state. The important parameters of the MOS transistor from the standpoint of switched approach are the ON-resistance and its voltage threshold. It is a common practice assuming that transistor can be modeled as a non-zero resistor R_{ON} during the ON-state. However the effect of R_{ON} on the operation of the doubler represents a loss of efficiency because of the voltage drop on it. In other words, the time to charge the capacitors increases with the increment of R_{ON} . For a single MOS transistor, R_{ON} is approximately given by

$$R_{ON} = \frac{L}{\mu_0 C_{ox} (V_{GS} - V_T)} \cdot \frac{1}{W} = R'_{ON} \cdot \frac{1}{W} \quad (5)$$

where μ_0 , C_{ox} and V_T are technological parameters, while R'_{ON} is the normalized ON-resistance.

2.3 The CMOS doubler

In order to develop a voltage doubler with minimum components we are proposing a design by using complementary transistors, this way, one clock phase (Φ) and a non-overlapping phase (Φ') will be needed. Φ' has the same phase than Φ but it has a short delay in order to avoid high current flow through complementary transistor when they are switched. The doubler is shown in Fig. 5, where just four MOS transistors and two capacitors are needed. Every transistor will substitute each ideal switch with its series resistance, so we expect the same behavior between the circuit shown in Fig. 5 and that shown in Fig.

3. When $\Phi=1$, nMOS transistors will be on while pMOS transistor will be off, this way C_1 will be connected to V_B . When $\Phi=0$ - nMOS transistors off and pMOS on, so C_1 will be connected in series with V_B and it will deliver charge to C_2 .

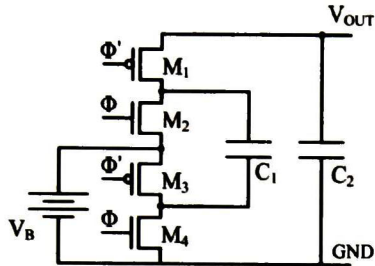


Fig. 5. The proposed CMOS $\times 2$ VG.

The clock phases Φ and Φ' are internally generated by using a VCO-based clock generator (CKG). The used topology is that reported by Baker [9]. The CKG, shown in Fig. 6, is directly fed by the battery V_B . The circuit generates a 250 kHz clock phase with amplitude equal to V_B (1.5V), and the control voltage is fixed to $V_C = 765$ mV.

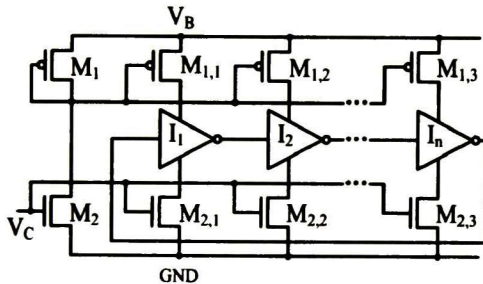


Fig. 6. Block diagram of the Voltage Controlled Oscillator.

According to [9], the oscillation frequency is given by

$$f_{osc} = \frac{I_D}{N \cdot C_{tot} \cdot V_{DD}} \quad (6)$$

where C_{tot} is the total capacitance of each single inverter and is given by

$$C_{tot} = \frac{5}{2} C'_{ox} (W_p L_p + W_n L_n) \quad (7)$$

As was already said, the value of I is given by V_C as well as by geometrical parameter -mainly M_2 -. As can be seen, pMOS transistors form current mirrors so that the charge

current can be the same than the discharge current for each inverter.

Once we have a 250 kHz and 1.5 V_{pp} clock phase, it will be necessary to increase the amplitude of this signal in order to feed every gate in the voltage doubler (see Fig. 5). That is true because M_2 won't turn on when we apply 1.5V to its gate. The reason is simple, the gate-to-source voltage will be zero ($V_{GSM2} = 0$). In order to overcome such difficulty we have designed a circuit called "signal booster" (see Fig. 7).

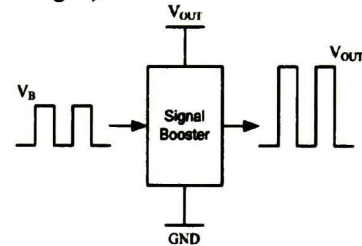


Fig. 7. Block diagram of the signal booster

2.4 Voltage doubler design

Knowing just two designing parameters ($V_B=1.5V$ and $I_{output}=1mA$), and selecting common values for capacitors ($C_1=C_2=100nF$), we have used the deduced mathematical model to select an appropriate ON-resistance value for each transistor. It was found that using an $R_{ON} = 20 \Omega$ we could get $V_{OUT} = 2.85 V$ and $V_{RIPPLE} = 20$ mV. Once we have selected the value of R_{ON} , we must determine the size of transistors by using (5). Firstly, it will be necessary to get the V_{GS} values for each transistor (see Fig. 5). Taken into account that we will have an output voltage $V_{OUT}=2.85V$, the gate to source voltages for each transistors are $V_{GSM1} = V_{GSM4} = 2.85 V$ and $V_{GSM2} = V_{GSM3} = 1.35 V$. Then using technological parameters we can get the corresponding size which are summarized in Table 1.

	(W/L) (μm)
M_1	(2172/1.8)
M_2	(3380.4/1.8)
M_3	(7555.2/1.8)
M_4	(650.4/1.8)

Table 1. The transistors' size.

3 Simulation Results

Spice results are shown in Fig. 8, where the doubler performance can be seen. The initial voltage is approximately 0.8 V that is the result of the battery voltage minus the voltage drop across the diode in the signal booster.

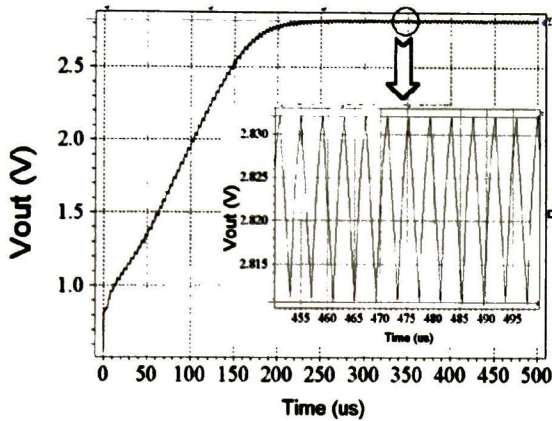


Fig. 8. The time response of the voltage doubler with an output current of 1mA.

The voltage takes several microseconds to reach its stable-state because the output level of the signal booster is always V_{OUT} . Then this voltage level is applied to each transistors' gate, so R_{ON} will be high until V_{OUT} reaches its final value. Zoom of Fig. 8, shows $V_{OUT}=2.8216V$ and $V_{RIPPLE}=21.38mV$.

4 Conclusions

The design of voltage generator realized with the switched-capacitor approach was presented. The design uses technological parameters of a $1.2\mu m$ CMOS process, N-well, two poly levels. This circuit is primarily intended to use it in portable applications. A 1.5V battery supplies the proposed circuit, which allows obtaining a $\times 2$ -voltage generator. In order to minimize the effect of parasitic capacitors, external capacitors with high capacitance and low ESR were selected. The difference between deduced equations and TSpice simulation for V_{OUT} was less than 30mV (which is about 1% of difference). This design is easily extender to develop higher voltage generators. During the Conference some experimental data will be presented as well as additional results.

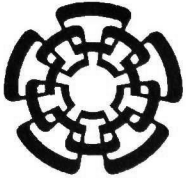
Acknowledgments. One of the authors, E.V.C. thanks the scholarship given by CONACyT-México. The financial support from CONACyT-México (under grant 38951-A) is gratefully appreciated.

References:

- [1] P. J. García-Ramírez, F. Sandoval-Ibarra, "Measuring Magnetic Fields at Low Temperature", Proc. of the 4th Electronic Circuits and Systems Conference ECS'03, pp. 143-146, September 11-12, 2003, Bratislava, Slovakia
- [2] F. Sandoval-Ibarra, E. J. Vargas, J. A. Herrera and J. M. González, "The Linear Differential Pair: A Case of Study", PROC. OF THE International Conference on Electronic Design, Nov. 17-19, Veracruz, Mexico, 2004
- [3] F. Sandoval-Ibarra, R. Rodríguez-Calderón, "Explaining the Unexpected Performance of a Switched-Current $\Sigma\Delta$ Modulator", Proc. of the 4th Electronic Circuits and Systems Conference ECS'03, pp. 127-130, September 11-12, 2003, Bratislava, Slovakia
- [4] E. Montoya-Suárez y F. Sandoval-Ibarra, "A Review of VCO's, X Workshop IBERCHIP, March 10-12, Cartagena, Colombia, 2004 (in Spanish)
- [5] J.O. Cano-Gómez and F. Sandoval-Ibarra, "The CMOS Class-E Amplifier", Proc. of the 4th Int. Congress on Electric and Electronics Engineering Research, Nov. 15-19, Aguascalientes, Mexico, 2004
- [6] Alexandre Ternes Behr *et al*, "Harmonic Distortion Caused by Capacitors Implemented with MOSFET Gates", IEEE. Solid-State Circuits, vol. 27, no. 10, pp. 1470-1475, 1992
- [7] Louis S. Y. Wong *et al*, "A Very Low-power CMOS Mixed-Signal IC for Implantable Pacemaker Applications", IEEE J. of Solid-State Circuits, vol. 39, No. 12, pp. 2446-2455, 2004
- [8] Robert W. Brodersen, Paul R. Gray, and David A. Hodges, "MOS Switched-Capacitor Filters", Proc. IEEE, vol. 67, pp. 61-75, 1979
- [9] Baker R. Jacob, "CMOS circuit design, layout, and simulation", IEEE PRESS, pp. 384-386, Piscataway, NJ USA, 1998.
- [10] J. Silva-Martínez, "A Switched capacitor Double Voltage Generator", Proc. of the IEEE Midwest Symposium on Circuits and Systems, pp. 177-180, Lafayette USA, 1994

Referencias

- [1] Jieh-Tsorng Wu, et al., "1.2V CMOS Switched-Capacitor Circuits", in IEEE Int. Solid-State Circuits Dig. Tech. Papers, Feb.1996, pp. 388–389.
- [2] Hoi Lee and Philip K. T. Mok, "Switching Noise and Shoot-Through Current Reduction Techniques for Switched-Capacitor Voltage Doubler", IEEE Journal of Solid-State Circuits, Vol. 40, No 5, May 2005.
- [3] Louie Pylarinos, "Charge Pumps: An Overview", Edward S. Rogers Sr. Department of Electrical and Computer Engineering University of Toronto. <http://www.eecg.toronto.edu>.
- [4] <http://japan.maxim-ic.com>.
- [5] François Callias, François H. Salchli and Dominique Girard, "A set of Four IC's in CMOS Technology for a Programmable Hearing Aid", IEEE Journal of Solid-State Circuits, Vol. 24, No 2, April 1989.
- [6] Harry Neuteboom, Ben M. J. Kup, and Mark Janssens, "A DSP-Based Hearing Instrument IC", IEEE Journal of Solid-State Circuits, Vol. 32, No 11, November 1997.
- [7] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout, and simulation", IEEE Press, pp. 384-386, NJ, USA, 1998.
- [8] Phillip E. Allen, Douglas R. Holberg, "CMOS Analog Circuit Design", Oxford University Press, pp 198-202, Oxford, England 1987.
- [9] E. Vargas-Calderón and F. Sandoval-Ibarra, "A Switched Approach for a Voltage Generator", WSEAS Transactions on Circuits and Systems, Issue 4, Vol. 4, Rio de Janeiro, Brazil, April 2005.
- [10] Montoya-Suárez, "Diseño y Fabricación de Bloques Básicos para la Construcción de un DPLL", Tesis de Maestría, CINVESTAV Unidad GDL, Octubre 2002.
- [11] J. Silva-Martínez, "A Switched capacitor Double Voltage Generator", Proc. of the IEEE Midwest Symposium on Circuits and Systems, pp. 177-180, Laffayette USA, 1994.
- [12] Rabaey Jan M., "Digital Integrated Circuits: A Design Perspective", Pearson Education, Upper Saddle River, NJ, USA, 2003.



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

**Análisis y Diseño de un Doblador de Voltaje CMOS para
Aplicaciones Portátiles**

del (la) C.

Edgar Javier VARGAS CALDERÓN

el día 23 de Septiembre de 2005.

Dr. José Luis Leyva Montiel
Investigador CINVESTAV 3B
CINVESTAV Unidad Guadalajara

Dr. Federico Sandoval Ibarra
Investigador CINVESTAV 3A
CINVESTAV Unidad Guadalajara

Dr. Sergio Solis Bustos
Design Engineer, Sr.
Intel



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000008265