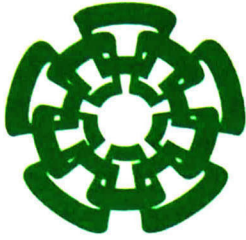


XX(132 609.1)



CINVESTAV

Centro de Investigación y de Estudios Avanzados del I.P.N.
Unidad Guadalajara

Diseño de un Convertidor DC-DC en Tecnología CMOS 0.5 μ m

CINVESTAV I.P.N.
**SECCION DE INFORMACION
Y DOCUMENTACION**

Tesis presentada por:
Omar Ulises Corona Murguía

para obtener el grado de:
Maestro en Ciencias

en la especialidad de:
Ingeniería Eléctrica

Director de Tesis:
Dr. Juan Luis Del Valle Padilla

Guadalajara, Jalisco, Diciembre de 2006

CLASIF.:	K115.58.0679006
ADQUIS.:	SSI-425
FECHA:	5-VII-2007
PROCED.:	DON-2007
	\$ _____

I.D. 131888-2001

Diseño de un Convertidor DC-DC en Tecnología CMOS 0.5 μ m

**Tesis para Obtener el Grado de:
Maestría en Ciencias con Especialidad en
Ingeniería Eléctrica**

Por:

Omar Ulises Corona Murguía

Ingeniero en Electrónica

Instituto Tecnológico Superior, Unidad Zapopan,
1999-2004

Becario de CONACYT, No. 191372

Director de Tesis:

Dr. Juan Luis Del Valle Padilla

Agradecimientos

A mi Padre, Ing. Luis Corona como un ejemplo a seguir en la lucha por la vida.

A mi Familia quien me apoyo en todo momento y me indicó el camino correcto.

A Magda por su confianza y motivación para seguir adelante durante los momentos difíciles.

A mis asesores, el Dr. Juan Luis Del Valle Padilla, al Dr. Federico Sandoval Ibarra y al Dr. Amner Israel Ramírez Vázquez por su gran apoyo durante la realización de este trabajo.

A CINVESTAV por la oportunidad de cursar una maestría y desarrollarme profesionalmente.

A mis maestros por brindarme sus conocimientos y ser guías en el camino de la investigación.

A CONACYT por el apoyo económico brindado a lo largo de mi estancia en la maestría.

A MOSIS por el soporte tecnológico para la fabricación del chip que fue resultado de esta investigación.

DC-DC Converter Design in 0.5 μ m CMOS Technology

Summary:

Based on the tendency of electronic systems to reduce their size and to extend their capacity, the use of portable devices fed by batteries has been increased. Most of these equipments require different voltages from the given one by the batteries, for this reason the use of low consumption DC-DC power converters is necessary, which have scaling advantages and offer stable voltages.

An integrated DC-DC converter is designed in 0.5 μ m CMOS technology; this converter is implemented with MOS transistors working like switches, besides it includes signals control stages to commute the transistors.

A methodology is developed to find the transistors' geometries as well as the models and techniques established for its layout design; the DC-DC converter final design is presented, as well as the methodology for its characterization.

Finally the conclusions and contributions of the work as described, as well as future work propose.

Contenido

Capítulo 1 Introducción General	- 1 -
1.1 Introducción.....	- 1
1.2 Propuesta de Investigación.....	- 3 -
Capítulo 2 Doblador de Voltaje: Antecedentes	- 5 -
2.1 Introducción.....	- 5 -
2.2 Operación Básica de un convertidor DC-DC.....	- 5 -
2.3 Circuitos de Control.....	- 7
2.4 Resultados experimentales del Diseño Previo (DP).....	- 7
2.4.1 Generador de Señal de Reloj (GSR).....	- 8 -
2.4.2 Elevador de Señal (ES).....	- 10 -
2.5 Conclusiones.....	- 14 -
Capítulo 3 Consideraciones de Diseño	- 15 -
3.1 Generador de Señal de Reloj (GSR).....	- 15 -
3.1.1 Oscilador de Anillo.....	- 15 -
3.1.2 Oscilador Current-Starved.....	- 16 -
3.2 Elevador de Señal (ES).....	- 19 -
3.3 Diodo de Arranque.....	- 21
3.4 Generador de Fases sin Traslape (GFT).....	- 23 -
3.5 Buffers P y N.....	- 25 -
3.6 Capacitores.....	- 27 -
3.7 Transistores.....	- 30 -
3.8 Resultados de Simulación.....	- 30 -
3.9 Conclusiones.....	- 32 -
Capítulo 4 Diseño en Silicio	- 33 -
4.1 Introducción.....	- 33 -
4.2 GSR: Propuesta.....	- 33 -
4.3 Elevador de Señal (ES): Propuesta CMOS.....	- 36 -
4.4 Diodo Schottky.....	- 36 -
4.5 GFT (Generador de Fase sin Traslape).....	- 37 -
4.6 <i>Buffer</i> del GFT.....	- 38 -
4.7 Interruptores.....	- 39 -
4.8 Capacitores.....	- 40 -
4.9 Circuito Doblador de Voltaje.....	- 41 -
4.10 Conclusiones.....	- 43 -

Capítulo 5 Resultados Experimentales	- 45 -
5.1 Introducción	- 45 -
5.2 Caracterización	- 46 -
5.3 Resultados de las mediciones	- 47
5.3.1 GSR.....	- 47
5.3.2 Capacitores de almacenamiento C_1 y C_2	- 49 -
5.3.3 Diodo Schottky.....	- 51
5.3.4 Doblador de Voltaje	- 52 -
Capítulo 6 Conclusiones y Trabajo Futuro	- 55 -
6.1 Conclusiones.....	- 55 -
6.2 Trabajo Futuro	- 56 -
Apéndice A Diseño de Celdas	- 57
A.1 Introducción.....	- 57 -
A.2 Compuerta NOT	- 58 -
A.3 Elevador de Señal (ES)	- 59 -
A.4 Transistores de conmutación.....	- 60 -
Apéndice B Publicaciones Generadas	- 61 -
Referencias	- 67 -

Capítulo 1

Introducción General

El avance de la tecnología ha generado un incremento en el uso de sistemas portátiles comerciales y de uso personal. Cada día estos sistemas incorporan nuevas funciones que implican la operación correcta con idénticos niveles de alimentación que sus predecesores. En consecuencia existe una búsqueda constante de soluciones que permitan generar diferentes niveles de alimentación que soporten los requerimientos que cada aplicación demanda. Una de las soluciones es incorporar convertidores DC-DC que además de multiplicar la tensión de una batería, proporcione la corriente que el sistema le solicita. Por lo anterior, este capítulo presenta el panorama de aplicación de los convertidores DC-DC relacionado a sistemas de bajo consumo de potencia y describe el objetivo general del presente trabajo de tesis.

1.1 Introducción

DEBIDO a que en la actualidad se ha incrementado en gran manera el uso de sistemas portátiles y de uso personal (laptops, teléfonos celulares, relojes, memorias USB, calculadoras, etc.), hay necesidad del manejo adecuado de energía, es decir, el mercado requiere que el tiempo de operación de los sistemas portátiles y el tiempo de vida operativa de las baterías se vea incrementado. El ejemplo más claro es la telefonía celular. Una revisión rápida a este mercado permite observar que los teléfonos celulares no son solamente dispositivos para transmitir voz, ahora son un sistema que transmite imágenes, transmite y permite reproducir música, ofrece servicio de correo electrónico, cuenta con agenda, entre muchas otras capacidades.

Incorporar nuevas funciones en un equipo electrónico, frecuentemente significa agregar circuitería al diseño previo, la cual pudiera operar con diferentes niveles de alimentación. Por ejemplo, un sistema podría incluir un circuito integrado (CI) o más que operen con tensiones

de 12V y otros que funcionan con 1.8V, 3.3V ó 5V. Esta característica genera la necesidad de producir diferentes voltajes de alimentación con una sola fuente de energía. Adicionalmente, hay que tomar en cuenta que el consumo eficiente de potencia se ha convertido en una de las principales demandas del mercado. Por lo anterior, los ingenieros de diseño buscan constantemente soluciones que permitan manejar las diferentes tensiones de alimentación que cada tecnología o CI requiere, de la manera más eficiente -eléctricamente hablando- y procurando requerir el menor espacio posible de material semiconductor, lo que ha impulsado el desarrollo de la tecnología de convertidores DC-DC. Como su nombre lo indica, los convertidores DC-DC son dispositivos que generan, de manera eficiente, voltajes mayores a los de una batería general de alimentación (V_B).

En la práctica, existen diversos tipos de convertidores DC-DC en el mercado. Unas propuestas utilizan bobinas o transformadores, otras usan mayoritariamente capacitores, y otros están basados en arreglos con diodos. Cada convertidor presenta ventajas y limitaciones, respecto a sus contrapartes, que se relacionan con la *eficiencia*, con la *potencia* de consumo, con la capacidad de carga, costo y/o volumen. Sin embargo, cuando la solución que se busca tiene el requerimiento de ser monolítico, las propuestas con transformadores y bobinas se descartan.

Un sistema de conversión DC-DC susceptible de ser integrado en silicio es aquel basado en el *bombeo de carga*, el cual almacena energía en capacitores. Estos convertidores, también son conocidos como convertidores conmutados porque incluyen diodos y una red de interruptores que *cargan* y *descargan* uno o más capacitores. Un convertidor tipo bombeo de carga que no usa diodos es llamado convertidor DC-DC con capacitores conmutados. Uno de esos convertidores se muestra en la Fig. 1.1, donde el uso de dos capacitores es indicativo de ser un circuito Doblador de Voltaje ($\times 2$). La operación básica del circuito es la siguiente. Primero se carga C_1 al potencial de la fuente de voltaje, mientras que se asume que C_2 permanece sin carga. Luego C_2 se carga a la suma de potenciales debidos a la conexión serie de V_B y C_1 . El potencial en el capacitor de salida es V_{OUT} .

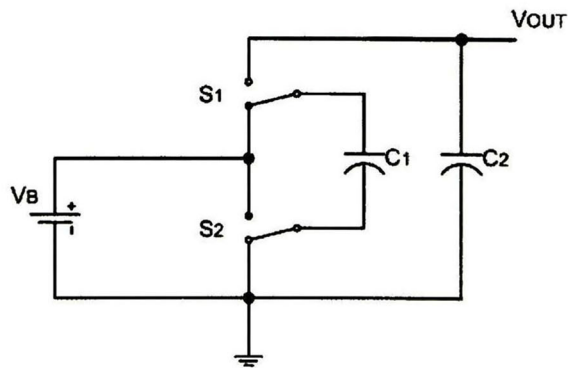


Fig. 1.1 Diagrama básico de un doblador de voltaje con capacitores conmutados.

El funcionamiento del circuito se basa en la conmutación de los interruptores S_1 y S_2 que están sincronizados mediante señales de reloj complementarias. Una de las mayores ventajas en los circuitos de bombeo de carga es la eliminación de interferencia electromagnética (EMI) que son producidos en los convertidores DC-DC basados en inductores o transformadores. Sin embargo, en los multiplicadores de voltaje con capacitores conmutados está presente un pico de corriente debido al proceso de conmutación.

Este tipo de ruido producido por la alta razón di/dt puede ser eliminado si se agrega una etapa extra de filtrado o usando valores grandes de capacitancia. Por lo anterior, la tecnología CMOS está siendo muy utilizada hoy en día en diversas aplicaciones incluyendo circuitos elevadores de voltaje con capacitores conmutados. Con esta tecnología se aprovecha el funcionamiento de los transistores MOS como interruptores ya que pueden diseñarse para presentar baja resistencia (R_{ON}) durante el periodo de *encendido*, y presentar una muy alta resistencia (R_{OFF}) durante el *apagado*.

Las ventajas descritas del transistor MOS hacen posible estimar la factibilidad de fabricar transistores de baja resistencia de encendido, en el entendido, que existe el compromiso inherente del área de fabricación.

E. Vargas en su trabajo de maestría [1] presenta no sólo el diseño de un DC-DC en tecnología CMOS, $1.5\mu\text{m}$, pozo N, sino también propone un modelo analítico que permite incorporar parámetros bajo el control del diseñador (R_{ON} , C, V_B , frecuencia de conmutación, y corriente demandada) para estimar el voltaje de salida de la red de conversión. En esa propuesta los capacitores son componentes externos y satisfacen $C=C_1=C_2=500\text{nF}$. Los resultados preliminares que reporta indican que, al igual que el modelo propuesto, el voltaje de salida es del orden de 2.7V para una fuente $V_B=1.5\text{V}$ y proponiendo $R_{ON}=20\Omega$. Satisfacer ese valor resistivo requirió diseñar transistores con anchos de canal del orden de mm . Tal dimensión parece no ser descabellada si se compara con resultados de convertidores similares [2]-[5].

1.2 Propuesta de Investigación

El **objetivo general** de este trabajo de tesis es, por un lado, realizar la caracterización eléctrica del convertidor DC-DC reportado en [1] y, por el otro, usar el modelo analítico descrito como herramienta de diseño para estimar la factibilidad de obtener un convertidor DC-DC completamente integrado, es decir, se realizará un estudio para determinar las condiciones de frecuencia de conmutación, de resistencia de encendido y de corriente demandada para obtener valores de capacitancia integrables. Para tal objetivo la tecnología de diseño será submicrométrica, es decir, se usarán las facilidades tecnológicas de un proceso de fabricación CMOS, $0.5\mu\text{m}$, pozo N. La organización del trabajo de tesis es el siguiente:

En el capítulo 2 se presentan resultados experimentales de recaracterización del convertidor DC-DC diseñado en tecnología CMOS ($1.2\mu\text{m}$, pozo N, 5V), al cual se le denotará como diseño previo (DP). Los resultados son comparados con aquellos obtenidos del modelo analítico propuesto en [1] de modo que, con los ajustes adecuados, pueda ser usado nuevamente como herramienta de diseño y proponer el escalamiento a una tecnología submicrométrica. Adicionalmente, se describe una metodología para obtener los valores experimentales del bloque que genera la señal de control y del factor de conversión DC-DC.

En el capítulo 3 se da una breve explicación del funcionamiento de cada bloque del Doblador de Voltaje (DV) así como su importancia dentro del diseño, se presenta además el análisis para el desarrollo de las diferentes etapas del DV, así como la ventaja de usar otras topologías diferentes a las propuestas en el Diseño Previo. Como resultado del análisis de la celda, se muestran las diferentes geometrías que integran a cada bloque o compuerta, proponiendo técnicas para su implementación y diseño de su *layout*.

El capítulo 4 muestra la descripción del *floorplanning* sobre el nuevo diseño, con las dimensiones del Doblador de Voltaje y una comparación de área con el Diseño Previo, mostrando la gran reducción en el consumo de área, además del layout de cada bloque y/o celda incluyendo sus dimensiones y el layout del chip multiproyecto que se mandó fabricar.

La metodología de medición y los resultados experimentales son mostrados en el capítulo 5, aquí se analizan los resultados obtenidos y se comparan con los resultados en simulación, identificando diferencias si es que las hay, pero principalmente con el objetivo de verificar el desempeño de este trabajo.

Las conclusiones se presentan en el capítulo 6, en el que se define un resultado en base a las mediciones experimentales realizadas y a su comparación con los resultados en simulación y Diseño Previo, encontrando así las ventajas y desventajas en la integración y el escalamiento del diseño propuesto. Este capítulo concluye con sugerencias de diseño y la presentación de trabajo futuro.

Capítulo 2

Doblador de Voltaje: Antecedentes

El doblador de voltaje previamente diseñado fue fabricado en tecnología CMOS, 1.5 μ m. Ese doblador fue diseñado con la técnica de capacitores conmutados, utiliza transistores MOS como interruptores y capacitores externos como componentes de almacenamiento de carga. El propósito de este capítulo es mostrar los antecedentes de la topología del circuito previo así como la recaracterización experimental de sus bloques más importantes con el objetivo de ganar experiencia en la filosofía del diseño.

2.1 Introducción

PARA la elaboración de cualquier sistema o dispositivo, es básico cumplir tres etapas para proceder al diseño en silicio: su análisis matemático, su viabilidad y su simulación. Un parámetro importante para el análisis es el conocimiento de la tecnología a usar. En la actualidad la tecnología CMOS es de las más utilizadas por su madurez, bajo costo y bajo consumo de potencia en los circuitos fabricados. Estas características tecnológicas mejoran día a día y se logra mayor densidad de integración. Ejemplo de ello son los sistemas actuales de comunicación móvil y otros dispositivos *wireles* como ayudas auditivas o marcapasos. Todos ellos tienen un común denominador y es el consumo eficiente de energía, aspecto base que se soporta en adecuadas técnicas de diseño, bajo consumo de potencia, menor área y adecuados niveles de conversión DC-DC.

2.2 Operación Básica de un convertidor DC-DC

Existen varias propuestas de convertidores DC-DC. Una de ellas, basada en capacitores conmutados, es la utilizada en este trabajo. De acuerdo con el circuito mostrado en la Fig. 2.1 cada interruptor es sustituido por dos transistores MOS, de los cuales uno es tipo NMOS y el otro PMOS (ver Fig. 2.1b). El arreglo de transistores que se muestra permite utilizar la misma

señal de reloj porque aplicando un nivel *alto* a las compuertas se activará únicamente el transistor NMOS (M_2) permitiendo una conducción a través de la trayectoria B-C, mientras que si el nivel aplicado es *bajo* se activará el transistor PMOS (M_1) habiendo conducción a través de la trayectoria A-B.

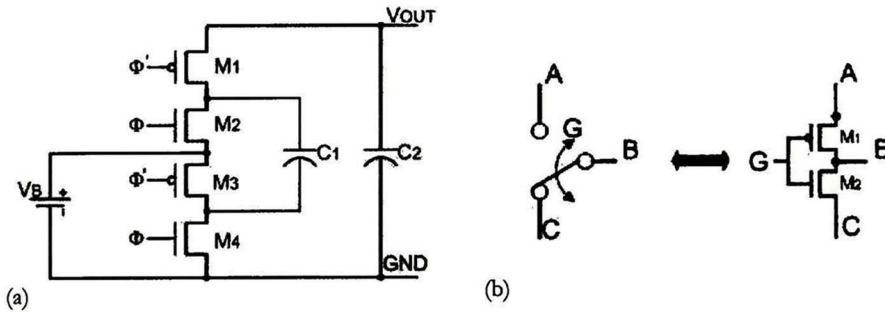


Fig. 2.1 Doblador de voltaje CMOS (a) e interruptores MOS equivalentes (b).

Debido al funcionamiento de los transistores N y P, es necesaria únicamente una fase de reloj. Con ello es posible que enciendan alternadamente los nMOS en un semiciclo y los pMOS en el otro. Durante el nivel alto de la señal de reloj, encenderán M_2 y M_4 , por lo tanto C_1 estará conectado directamente a la batería y se cargará al nivel de voltaje de ésta mientras que el capacitor C_2 estará alimentando a la carga (no mostrada en la figura). Para el siguiente semiciclo se tendrá un nivel de voltaje bajo en la señal de reloj, por lo tanto M_1 y M_3 estarán encendidos; C_1 quedará conectado en serie con la batería a través de M_3 y al nodo de salida a través de M_1 . Durante este periodo V_{OUT} es el voltaje en C_1 más el debido a V_B , donde este nivel de voltaje es transferido al capacitor C_2 y, al mismo tiempo, alimenta a la carga manteniendo un voltaje constante en la salida de aproximadamente $2V_B$. La operación se repite cada ciclo de reloj manteniendo un voltaje estable con un pequeño rizo en la respuesta. Desde el arranque del circuito, C_2 almacena carga durante cada ciclo de reloj hasta llegar al máximo valor, éste denotado por V_{OUT} .

Como se sabe, un cambio de estado, ya sea durante un flanco de *subida* o de *bajada*, presenta un retraso entre un estado a otro, lo que significa que durante ese tiempo se presenta un problema en los transistores de conmutación, esto es, hay un pequeño periodo en el que los cuatro transistores están encendidos, este efecto se muestra en la Fig. 2.2.

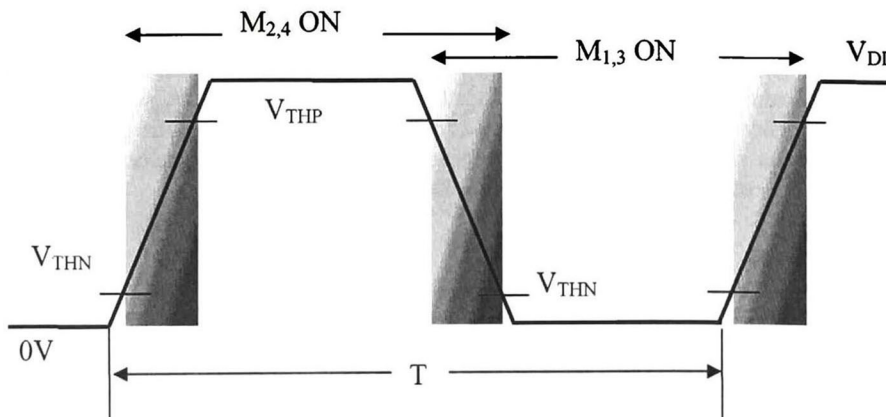


Fig. 2.2 Señal de entrada a los transistores de conmutación.

La parte sombreada, durante los flancos de subida y bajada, es el tiempo en el que los transistores están encendidos. Este efecto provoca un consumo extra de potencia demandada a la batería. Otro problema es la descarga de C_1 y C_2 al existir una transferencia de carga y consumo de potencia a través de R_{ON} , es decir, se pierde un porcentaje de la carga almacenada en los capacitores; disminuye la eficiencia del circuito. Para evitar esos efectos se requieren dos fases de reloj, una para los transistores nMOS y otra fase para los pMOS. La característica que se busca es incorporar un retraso para lograr apagar los transistores tipo N antes de encender los tipo P, y viceversa.

2.3 Circuitos de Control

Como en cualquier sistema conmutado siempre son necesarios bloques de control con funciones específicas, en el Doblador de Voltaje las señales de control son fases de reloj aplicadas a los transistores de conmutación; las fases de reloj son generadas y acopladas por otros bloques internos. El diagrama del doblador se muestra en la Fig. 2.3, constituido por 5 bloques básicos, GSR (Generador de señal de Reloj), ES (Elevador de Señal), GFT (Generador de Fase sin Traslape) y el Doblador de voltaje. La mayoría de los bloques son alimentados con el voltaje de salida (V_{OUT}) excepto el generador de señal de reloj (GSR) que es alimentado directamente de la batería. Sin embargo, porque en $t=0$ no hay voltaje almacenado en C_2 el GSR no opera. La solución fue el uso del diodo de arranque. Como se aprecia en el diagrama, cada bloque incluye un *buffer* para soportar la carga capacitiva, presente en el proceso de caracterización, donde en operación normal, este buffer sería de menor capacidad de carga.

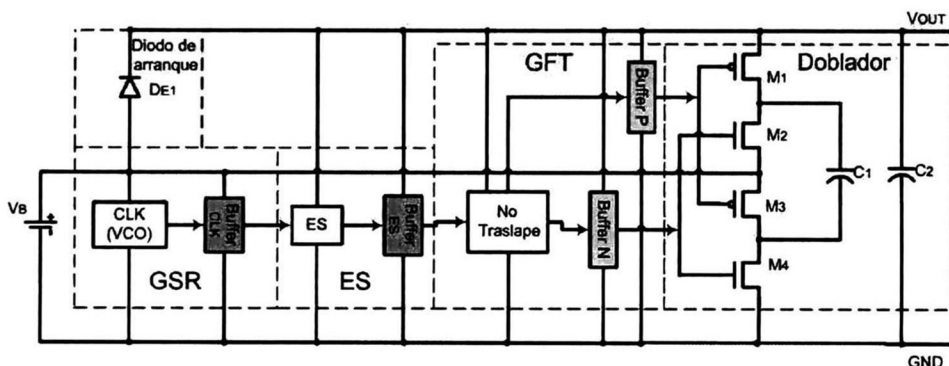


Fig. 2.3 Diagrama esquemático del Doblador de Voltaje incluyendo bloques de control.

2.4 Resultados experimentales del Diseño Previo (DP)

El convertidor DC-DC fabricado en tecnología CMOS, $1.5\mu\text{m}$, denotado de aquí en adelante como diseño previo (DP) fue caracterizado experimentalmente de acuerdo al *setup* mostrado en la Fig. 2.4. Los resultados obtenidos permiten evaluar el desempeño del DP. Caso contrario, será útil la información experimental para hacer los ajustes necesarios al modelo. La Fig. 2.5a muestra una imagen del chip fabricado, donde se identifica el Doblador de Voltaje en el Diseño Previo. El circuito integrado (o chip) se encapsuló en una unidad LCC28, facilitando así la conexión con fuentes de alimentación, instrumentos de medición y con capacitores de almacenamiento de carga (ver Fig. 2.5b). Para el barrido en voltaje de $V_{CONTROL}$ y V_B se utilizan fuentes variables, y un osciloscopio de señal mezclada para capturar las formas de onda resultantes.

2.4.1 Generador de Señal de Reloj (GSR)

Considerando que cada etapa incluye un PAD de salida, hay un *buffer* para el manejo de la carga capacitiva. La Fig. 2.6a muestra la respuesta obtenida del GSR en el dominio del tiempo. La señal es de frecuencia equivalente a 250kHz con 1.5V de amplitud para una polarización $V_B=1.5V$. La frecuencia de operación fue ajustada con $V_{CONTROL}=0.78V$. La señal presenta un tiempo de subida de 200ns y de bajada del orden de 100ns. Cabe señalar que el ajuste de $V_{CONTROL}$ fue manual y se usó una fuente de voltaje marca BK PRECISION Modelo 1670. La Tabla 2.1 muestra las características de la fuente de alimentación.

Voltaje (V)	Corriente(A)	Resolución
+5	0 - 2.5	-
+12	0 - 2.5	-
0 - 30.5	0 - 2.5	10mV

Tabla 2.1 Características de la fuente de voltaje utilizada.

Los tiempos de subida y bajada fueron obtenidos con ayuda de un osciloscopio de señal mezclada marca Agilent modelo 54622D. La Tabla 2.2 muestra las características principales del osciloscopio.

Características Técnicas
Frecuencia máxima 100MHz
Display de alta definición
2+16 canales lógicos
4MB de MegaZoom
25 millones vectores/s
Puerto paralelo y RS-232
Impedancia de entrada: 1M Ω -14pF

Tabla 2.2 Características del osciloscopio de señal mezclada.

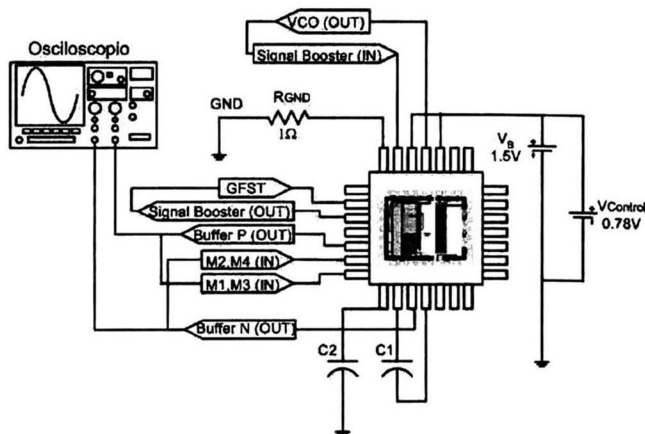


Fig. 2.4 Setup propuesto para evaluar el desempeño del DP.

La Tabla 2.3 muestra una comparación entre datos SPICE y experimentales. Por otro lado, la Fig. 2.6b muestra un barrido de $V_{CONTROL}$ para modificar la frecuencia del oscilador y caracterizar el bloque GSR; la frecuencia varía de algunas decenas de Hz hasta los MHz. Si se aumenta más el $V_{CONTROL}$, la señal se distorsiona y ya no es útil. En la propuesta original, la frecuencia deseada era de 250kHz a un potencial $V_{CONTROL}=0.78V$. De la información experimental se puede observar que la frecuencia de oscilación es directamente proporcional a $V_{CONTROL}$ en el rango $0.7 < V_{CONTROL} < 1.5$. En la obtención de esa curva experimental se siguió el siguiente procedimiento: Se revisó la calibración de las puntas del osciloscopio utilizando la señal cuadrada del mismo equipo como señal de referencia, posteriormente se procede a calibrar las fuentes de voltaje, una para alimentar el GSR y la otra como el $V_{CONTROL}$, ajustando un paso de 0.1V por medición, tomando lectura de la frecuencia, la amplitud y los tiempos de subida y bajada del tren de pulsos, señal que controlará al DV. Los datos son capturados manualmente y descargados a un ordenador para analizar el desempeño mostrado (todo este proceso, desde la calibración de los equipos hasta la obtención de las gráficas toma un tiempo de 3 horas aproximadamente, donde se hace una revisión del equipo y de la información medida como precaución en el proceso de adquisición de datos).

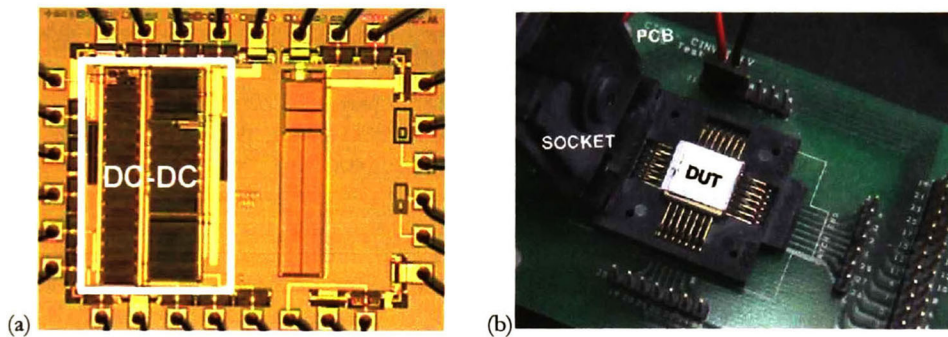


Fig. 2.5 Doblador de voltaje en tecnología $1.5\mu m$ (a) y base del encapsulado (b).

Parámetro	SPICE	Datos experimentales
$V_{DD}(V)$	1.5	1.5
$V_C(V)$	0.765	0.78
$f(kHz)$	250	251.3
$V_{AMP}(V)$	1.5	1.504

Tabla 2.3 Comparación entre valores SPICE y datos experimentales del Diseño Previo.

La Fig. 2.6a muestra el ruido incorporado al potencial de referencia o tierra. Este ruido digital aparece únicamente caracterizando el bloque oscilador y, el interés de su mención, es para resaltar la importancia de aislar bloques digitales y analógicos para evitar que estos últimos vean afectado su desempeño. La captura de este ruido fue con ayuda de un resistor de 1Ω conectado entre la tierra del chip y la tierra de las fuentes de voltaje, midiendo con el osciloscopio el voltaje en este resistor. La principal fuente de ruido son los picos de voltaje generados durante las transiciones o cambios de estado, que son medidos en este resistor de tierra y tiene una amplitud de 4mV aproximadamente.

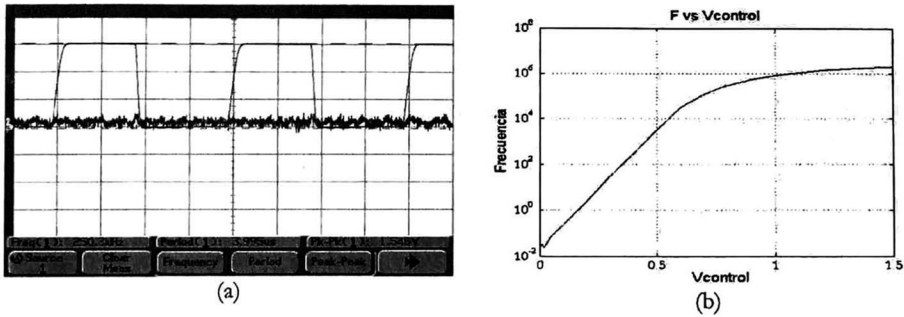


Fig. 2.6 Respuesta experimental del GSR para $V_{CONTROL} = 0.78V$ (a)
Frecuencia vs. $V_{CONTROL}$ (b).

2.4.2 Elevador de Señal (ES)

Otro bloque que se caracterizó fue el elevador de señal mostrado en la Fig. 2.7. La figura muestra una comparación entre la respuesta del GSR y la debida al ES. Se observa una diferencia de fase de 180° entre señales porque el ES opera en modo inversor. En el análisis de este circuito se asume que el voltaje de salida proporcionado por el DV ya alcanzó su máximo valor. En otras palabras, el ES se polarizó con una fuente equivalente a 3V. Finalmente, en la Fig. 2.8 se presentan ambas fases, Φ y Φ' . Se esperó que el tiempo en alto de la señal Φ' fuera mayor que el de Φ para asegurar que no ocurriera el encendido simultáneo de los interruptores. Además, considerando ambas fases resulta que no existe el retraso propuesto entre Φ y Φ' , durante el flanco de subida, sino que se presenta un *adelanto*. Esta diferencia de tiempos es debida a un error en el cálculo de las etapas de salida en el buffer, ocasionando una diferencia en los tiempos de retardo. En la práctica esta última no es posible, en todo caso el retraso debe verse entre Φ' y Φ , sin embargo es un resultado inesperado que se traduce en consumo de potencia (existe un pequeño intervalo de tiempo en el que los interruptores están encendidos, consumiendo carga a la batería y consumiendo la carga de los capacitores de almacenamiento) y es, en consecuencia, un caso de estudio para el diseño a realizar en otra tecnología. El consumo de potencia se traduce en una disminución a la eficiencia del circuito.

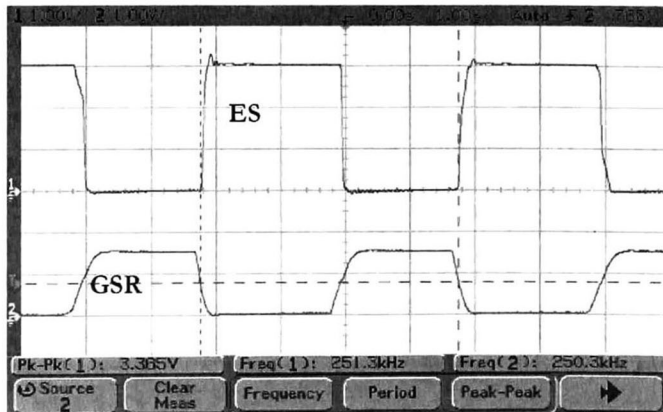


Fig. 2.7 Respuesta del GSR y ES.

En general, el retardo entre la salida y la entrada de cualquier bloque digital depende de las dimensiones de la celda, del voltaje de alimentación y de la carga aplicada. En consecuencia y considerando los resultados previos, se concluye que se presentan diferentes características en cada fase, siendo la carga experimental diferente a la carga calculada; ello modifica el retraso entre fases ocasionando un adelanto de 35ns de Φ con respecto a Φ' (ver Fig. 2.9). Es importante mencionar que en el DP la diferencia se debe a que el número de etapas que forman los buffer son diferentes, modificando con ello la carga equivalente.

La Fig. 2.10 muestra el nivel de voltaje de salida en DC y la señal de 1.5V generada por el oscilador. Como puede observarse, los cambios de nivel introducen ligeras transiciones, generadas fundamentalmente por la carga y descarga de los capacitores de almacenamiento C_1 y C_2 .

Debido a la conmutación de los circuitos digitales, se genera *ruido de tierra* o *ground bounce* que al fluir por sustrato puede afectar otros circuitos, en especial los bloques analógicos. La Fig. 2.11 muestra ese ruido y su efecto en el voltaje de salida, V_{OUT} . La mayor amplitud del ruido ocurre durante los flancos de subida y bajada; la amplitud máxima observada fue durante los flancos de subida y correspondió a una amplitud de 35mV.

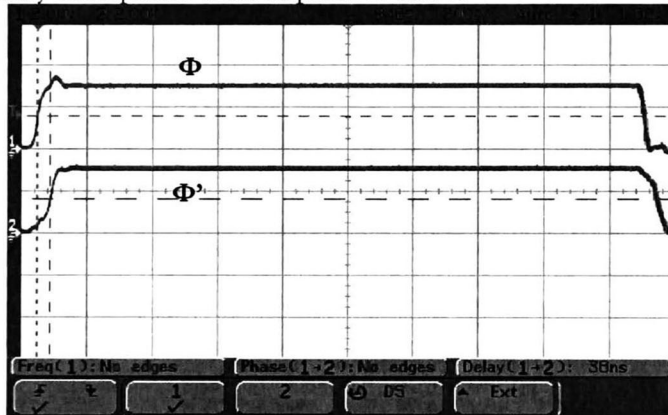


Fig. 2.8 Señales del GFST.

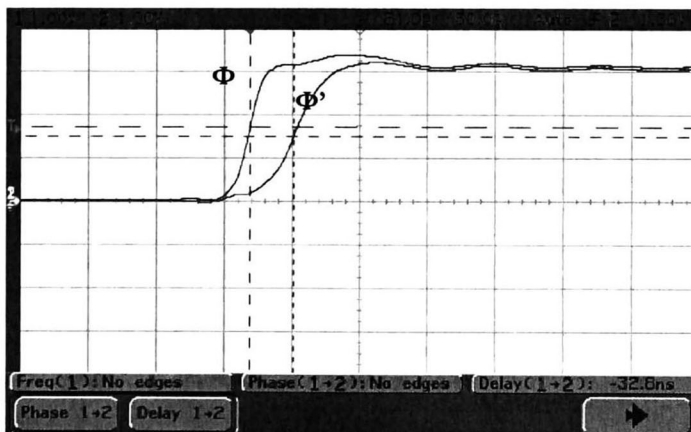


Fig. 2.9 Flanco de subida para las fases Φ y Φ'

Idealmente, el circuito doblador debe ser capaz de multiplicar x2 el voltaje de entrada, sin embargo debido a las pérdidas que ocurren (conmutación y resistencias de encendido) es importante hacer notar que el DV tiene limitaciones respecto al voltaje V_B que será capaz de *doblar*, siendo el voltaje mínimo a doblar de 1.2V y un máximo de 2.7V. La Tabla 2.4 muestra una comparación de resultados de simulación SPICE y los datos experimentales.

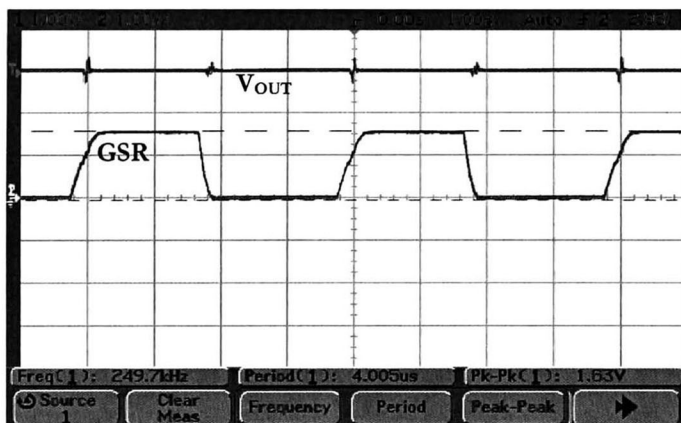


Fig. 2.10 Respuesta del GSR y del doblador de voltaje.

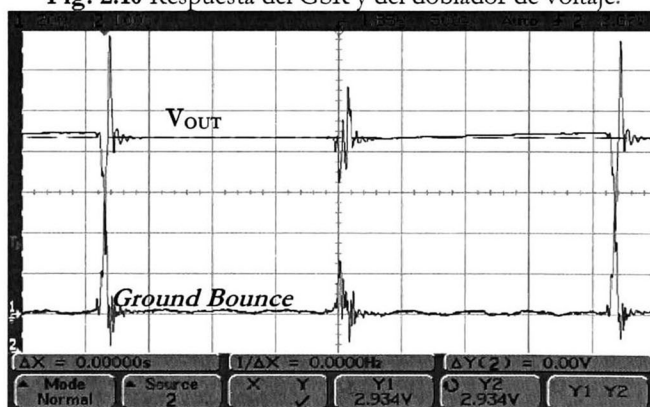


Fig. 2.11 Ruido de sustrato y su efecto en la respuesta del circuito doblador.

Parámetro	SPICE	Datos experimentales
$V_{OUT}(V)$	2.82	2.72
$V_{RIPPLE}(V)$	0.022	0.028
Eficiencia del DV	91%	90%

Tabla 2.4 Comparación entre resultados SPICE y resultados experimentales

La respuesta experimental del doblador al voltaje de entrada V_B se muestra en la Fig. 2.12, donde se aprecia la respuesta lineal de conversión de voltaje DC-DC excepto en las fronteras, ya que si el circuito se alimenta con un $V_B < 1.2V$ el circuito no cumple la función de *doblar* el voltaje. Por el contrario, si se alimenta con un voltaje mayor de 2.7V la salida del circuito se satura a 5V debido a los diodos de protección incorporados en los PADs del circuito.

Un resultado importante en esta clase de circuitos es su eficiencia, definida como

$$\eta = \frac{V_{OUT}}{2 \cdot V_{in}} \quad (2.1)$$

Aplicando una carga resistiva al circuito se induce una demanda de corriente que, para el proceso de evaluación, permite determinar la eficiencia. Con este procedimiento se evalúa la eficiencia de conversión que el circuito es capaz de entregar.

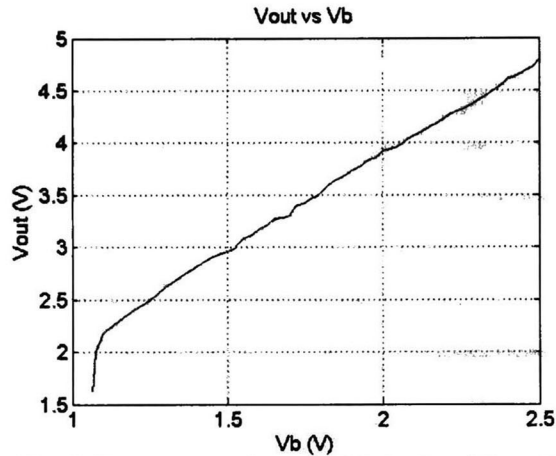


Fig. 2.12 Curva experimental Voltaje de salida vs. V_B

Otra característica a evaluar es la potencia que consume el circuito cuando no hay carga aplicada, es decir, cuando no hay demanda de corriente. La Fig. 2.13 muestra la curva experimental de la eficiencia del circuito. Un requerimiento de diseño fue la entrega de 1mA de corriente, esto para una carga de 2.35k Ω . Por otro lado, para la eficiencia del circuito doblador, mientras mayor sea la magnitud de la carga, menor corriente se demanda, permitiendo entregar un mayor voltaje de salida con una eficiencia máxima del 93% y un voltaje de salida máximo de 2.8V. Por lo cual, máxima eficiencia será la característica si el DV es la alimentación de circuitería de bajo consumo de corriente.

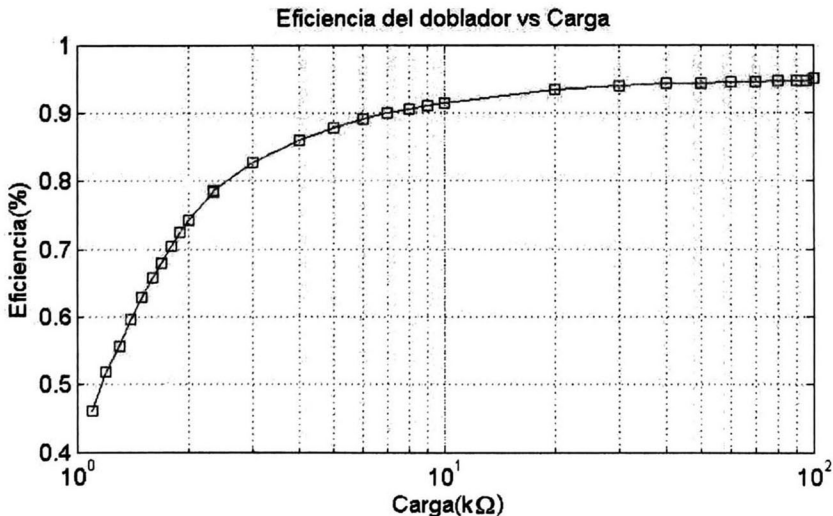


Fig. 2.13 Curva experimental para la eficiencia del DV en el diseño previo.

2.5 Conclusiones

Los resultados experimentales indican, por un lado, que el diseño previo se aproxima en buena medida a un doblador de voltaje, sin embargo, la eficiencia no es la esperada fundamentalmente por la existencia de un periodo de tiempo en el que interruptores N y P están en operación. Esa deficiencia del diseño previo debe ser corregida y, por otro lado, minimizar el área del oscilador de anillo por una topología económica y de idénticas o mejores prestaciones deberá ser propuesto con el fin de mejorar el desempeño del DV. Sin embargo, la selección de la frecuencia de operación será función del análisis realizado para la selección óptima de los valores capacitivos C1 y C2, porque en el nuevo diseño el DV será completamente integrado. Finalmente, dado que el voltaje de arranque puede ser mejorado incluyendo un diodo Schottky respecto al típico **np** usado en el DP, su incorporación en la nueva propuesta al igual que alguna variación del circuito ES será el propósito de los siguientes capítulos.

Capítulo 3

Consideraciones de Diseño

Se presenta el rediseño de circuitos básicos así como la propuesta de nuevas topologías para minimizar área de integración, consumo de potencia e incrementar la eficiencia de un convertidor DC-DC completamente integrado en tecnología CMOS 0.5 μm . La validación de resultados preliminares es a través del uso de simulaciones en SPICE, tanto en la fase inicial del diseño como del circuito eléctrico equivalente obtenido del diseño a nivel *layout*.

3.1 Generador de Señal de Reloj (GSR)

EXISTEN diversas opciones para implementar circuitos osciladores que generen una señal de reloj de periodo y amplitud estables; cristales de cuarzo, circuitos resonantes RLC, circuitos basados en amplificadores operacionales y redes RC y/o RLC, u osciladores de anillo basados en circuitos inversores o pares diferenciales [1]-[3] son algunas de ellas.

3.1.1 Oscilador de Anillo

Típicamente está constituido por un número impar de compuertas inversoras conectadas en serie y retroalimentando el nodo de salida con el nodo de entrada, como se muestra en la Fig. 3.1. El circuito utiliza las capacitancias parásitas para generar el retraso en la propagación de la señal. La frecuencia de oscilación está determinada por (3.1).

$$f_{osc} = \frac{1}{n(t_{PHL} + t_{PLH})} \quad (3.1)$$

donde n es el número de inversores, t_{PHL} y t_{PLH} son los retardos de propagación durante los flancos de bajada y subida, respectivamente. Estos retardos, dependientes las capacitancias intrínsecas, son medidos a partir del 50% del valor final de la señal de entrada a 50% del valor final en la señal de salida. Implementar el GSR con esta topología requiere 137 inversores para generar una señal de 3.2MHz a un voltaje de alimentación de 1.5V, lo que implica un consumo de área considerable.

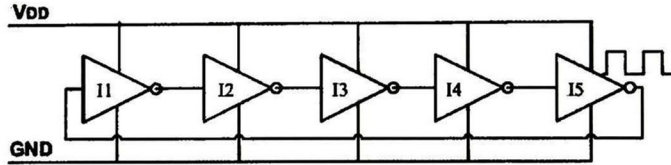


Fig. 3.1 Oscilador de anillo con $n=5$ etapas.

3.1.2 Oscilador Current-Starved

La operación del Oscilador Controlado por Voltaje (VCO) tipo *Current-Starved* es similar a un oscilador de anillo. Como se observa en la Fig. 3.2a, en esta configuración se controla la corriente de carga y descarga del inversor a través de $M_{1,x}$ y $M_{2,x}$ (el subíndice x indica la etapa en que se encuentra el transistor). Si se limita la corriente se estará limitando la frecuencia de oscilación [13]; de esta forma es posible obtener una frecuencia de oscilación de hasta 3.2MHz con un número menor de etapas respecto a las requeridas en un oscilador de anillo típico.

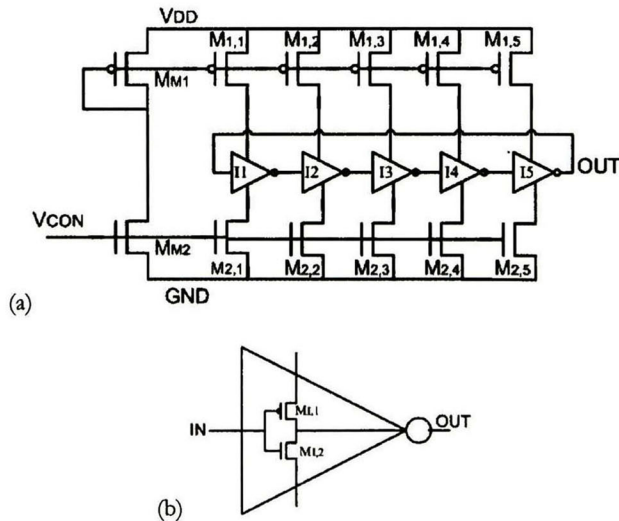


Fig. 3.2 VCO (a) y representación topológica del inversor (b).

El control de corriente en los transistores $M_{1,x}$ y $M_{2,x}$ se realiza mediante el voltaje V_{CON} que controla la operación del espejo de corriente formado por M_{M1} y M_{M2} , de esta manera conducirán la misma magnitud de corriente ambos transistores; esa característica permite que la señal de reloj sea simétrica. Para determinar la ecuación de diseño del VCO, considerar el diagrama esquemático simplificado de una etapa mostrada en la Fig. 3.3. La capacitancia total en el nodo de drenaje común ($M_{1,1}$ y $M_{1,2}$) está dada por

$$C_{tot} = C_{out} + C_{in} \quad (3.2)$$

donde

$$C_{out} = C'_{ox} (W_p L_p + W_n L_n) \quad (3.3)$$

y

$$C_{in} = \frac{3}{2} C'_{ox} (W_p L_p + W_n L_n) \quad (3.4)$$

Entonces, la capacitancia total está dada por

$$C_{tot} = \frac{5}{2} C'_{ox} (W_p L_p + W_n L_n) \quad (3.5)$$

donde C'_{ox} representa la capacitancia por unidad de área; el valor de C'_{ox} es proporcionada por el fabricante. Luego, el tiempo que se requiere para cargar al capacitor C_{tot} de cero a V_{SP} está dado por

$$t_1 = C_{tot} \frac{V_{SP}}{I_{D1}} \quad (3.6)$$

donde V_{SP} es el punto de voltaje de conmutación. En este punto ambos transistores del inversor operan en la región de saturación. Mientras que el tiempo necesario para descargar C_{tot} de V_{DD} a V_{SP} es dado por

$$t_2 = C_{tot} \frac{V_{DD} - V_{SP}}{I_{D2}} \quad (3.7)$$

Como el VCO incluye un espejo de corriente (M_{M1} y M_{M2}) 1:1, el resultado de la suma de t_1 y t_2 es

$$t_1 + t_2 = C_{tot} \frac{V_{DD}}{I_D} \quad (3.8)$$

Obsérvese la importancia de la corriente para minimizar o incrementar el retardo. La frecuencia de oscilación del VCO para N número de etapas es [1]:

$$f_{osc} = \frac{1}{N(t_1 + t_2)} = \frac{I_D}{N \cdot C_{tot} \cdot V_{DD}} \quad (3.9)$$

La cual es equivalente a (3.1), excepto que ahora se representa en términos de parámetros bajo el control del diseñador.

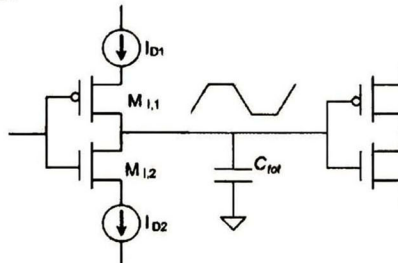


Fig. 3.3 Vista simplificada de una etapa del VCO *current-starved*

La ecuación (3.9) puede presentarse en forma simplificada como

$$f_{osc} = f_{center} \left(@V_{mVCO} = \frac{V_{DD}}{2} ; I_D = I_{Dcenter} \right) \quad (3.10)$$

En base a las expresiones obtenidas, se procede a determinar la geometría de los inversores y de las fuentes de corriente. En la Tabla 3.1 se resumen las características generales del VCO *current-starved*.

Entrada	V _B	1.5V
	V _{CON}	1.1V
Salida	Amplitud	1.5V
	Frecuencia	3.2MHz
Geometría	M _{M1} =M _{1,X} W/L	4.8/0.9 (μm)
	M _{M2} =M _{2,X} W/L	1.5/0.9 (μm)
	M _{I1} W/L	3/0.9 (μm)
	M _{I2} W/L	1.5/0.9 (μm)

Tabla 3.1 Características del VCO compuesto de 5 etapas.

Determinada la geometría de los componentes y las características deseadas del VCO, se realiza el diseño MOS y luego se simula el circuito eléctrico equivalente resultado de la extracción a nivel *layout*. Se observa en la Fig. 3.4 la respuesta del VCO y la obtenida de un *buffer*. Éste permite el manejo de una carga capacitiva C_L=110fF, y se observa que el *buffer* no modifica las características del tren de pulsos, la ventaja de usar un *buffer* para esta carga es que restablece las características de los flancos de subida y bajada, reduciendo el tiempo de transición. Al momento de extraer el circuito, hay una variación entre V_{CONTROL} en la simulación del GSR contra el circuito extraído. La Tabla 3.2 muestra la diferencia entre los datos del modelo teórico, es decir, la simulación esquemático vs. *Layout*.

Parámetro	SPICE Teóricos	SPICE Extracción
V _{DD} (V)	1.5	1.5
V _C (V)	1.04	1.11
f(MHz)	3.2	3.12
V _{AMP} (V)	1.5	1.5

Tabla 3.2 Comparación SPICE y extracción del *layout*.

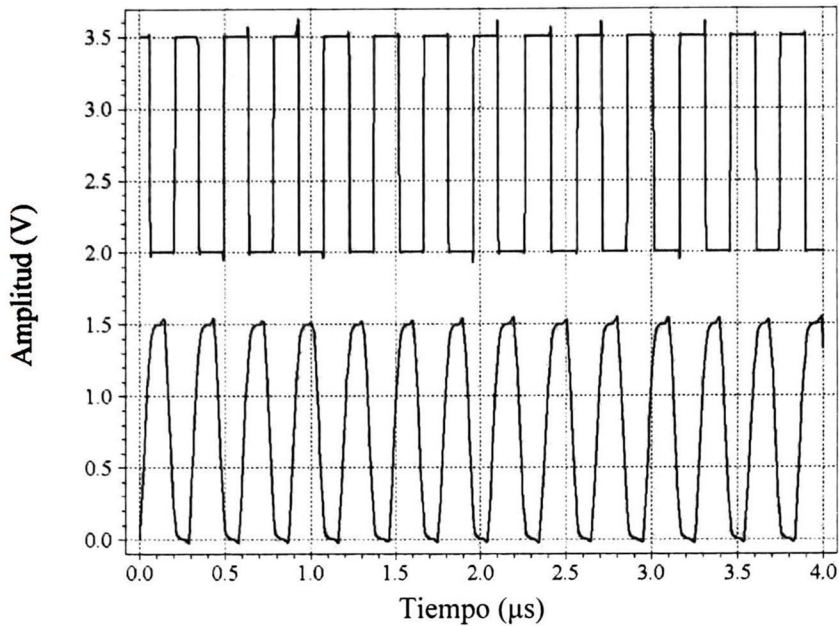


Fig. 3.4 Respuesta del GSR. La curva superior es la respuesta a la salida del buffer, la respuesta inferior es a la entrada del *buffer*.

La señal e reloj es la responsable de operar los interruptores, sin embargo la amplitud no es suficiente para conmutar al transistor M_2 . Para resolver esa deficiencia se necesita un tren de pulsos de amplitud mayor, es decir, se requiere del circuito *elevador de señal*.

3.2 Elevador de Señal (ES)

Para satisfacer requisitos de operación, el elevador de señal (ES) debe ser alimentado con un voltaje mayor al proporcionado por la batería (ver Fig. 3.5). En el DP el ES estaba compuesto por un resistor pasivo y un transistor NMOS de dimensiones moderadas, donde el circuito operaba como amplificador inversor, es decir, modificaba la fase de la señal 180° . Para eliminar el resistor pasivo se propone una modificación al ES, la cual corresponde a la topología mostrada en la Fig. 3.6.

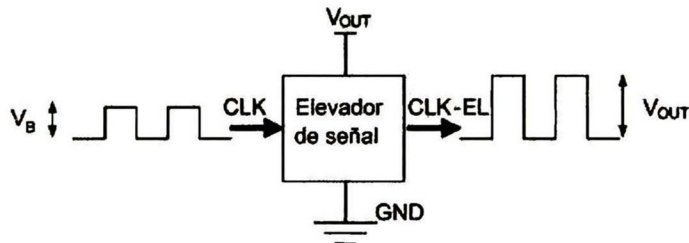


Fig. 3.5 Bloque Elevador de Señal

Los transistores M_{E1} y M_{E2} funcionan como cargas activas, las que generan una amplitud de los pulsos de reloj equivalente a V_{OUT} . El funcionamiento del circuito es muy similar al circuito del DP. Cuando la señal CLK con amplitud de 1.5V está en alto M_{E3} es encendido ya que $(V_{GS}=1.5) > (V_{TH}=0.65)$; el voltaje en la compuerta de M_{E2} idealmente es cero. M_{E2}

también es encendido teniendo una baja impedancia entre sus terminales de drenaje y fuente, de esta manera se define al voltaje CLK-EL como el potencial de salida V_{OUT} . Luego, si CLK está en bajo, M_{E4} está encendido y se tiene en el nodo de salida CLK-EL un 0 lógico debido a la baja impedancia entre las terminales de M_{E4} .

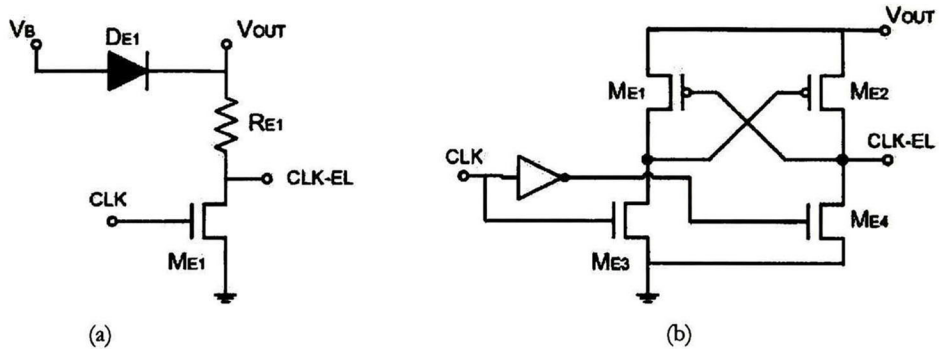


Fig. 3.6 Elevador de señal del DP (a) y propuesta puramente MOS (b).

Para el cálculo de la geometría de M_{E1} - M_{E4} , se requirió que la impedancia de los transistores P fuera al menos 10 veces mayor que la de los N. Esta relación permite que el retraso de la señal sea mínimo, de lo contrario la operación del circuito no sería el correcto. El cálculo de la dimensión de los transistores se obtiene utilizando la ecuación de diseño correspondiente a la transconductancia (gm) en un transistor MOS:

$$gm(P) = K_P \frac{W_P}{L_P} (|V_{GS}| - |V_T|), \text{ PMOS} \quad (3.11)$$

$$gm(N) = K_N \frac{W_N}{L_N} (V_{GS} - V_T), \text{ NMOS} \quad (3.12)$$

La Tabla 3.3 muestra la relación de geometrías obtenidas para cada transistor del circuito ES. Calculada la geometría se realiza el layout y posteriormente la simulación del circuito equivalente obtenido de la extracción. La respuesta se muestra en la Fig. 3.7, donde se aprecia la amplitud de ambas señales: de entrada (curva inferior) y de salida (curva superior).

Transistor	Geometría (W/L) (μm)
M_{E1}	1.8/0.6
M_{E2}	1.8/0.6
M_{E3}	3/0.6
M_{E4}	3/0.6

Tabla 3.3 Relación (W/L) para los transistores del ES.

La señal de salida del ES se obtuvo para una carga muy baja porque las dimensiones de los transistores son muy reducidas. Sin embargo, porque este circuito genera la señal de entrada para otros bloques básicos, el diseño de un buffer es necesario.

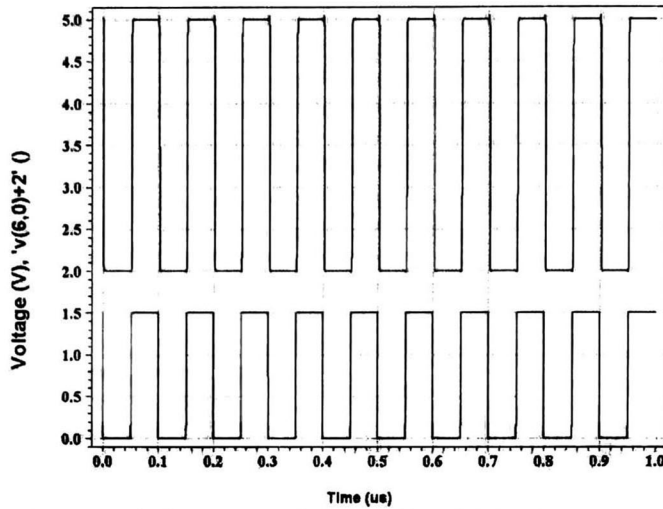


Fig. 3.7 Señal de entrada (inferior) y salida (superior) del circuito elevador ($C_L = 10\text{fF}$).

3.3 Diodo de Arranque

La función del diodo DE_1 es permitir que, al inicio del funcionamiento del ES ($t=0^+$), exista un potencial en la terminal de salida (V_{OUT}) para lograr el encendido de los transistores de conmutación. El potencial de arranque es equivalente a $V_B - V_{DE1}$. Con este voltaje inicial, almacenado en C_2 y alimentando los bloques de control, el circuito es capaz de iniciar su funcionamiento para luego ir aumentando el voltaje de salida hasta que el diodo alcance la polarización en inversa. Esta situación ocurre cuando $V_{OUT} > V_B$. Mientras los transistores no logren operar en fuerte inversión, operaran en la región de sub-umbral, llamada también de moderada inversión. Afortunadamente, aunque la corriente que circula a través de los transistores es pequeña (antes de lograr la inversión total de la superficie) es suficiente para almacenar carga en C_1 durante medio ciclo de reloj y luego representar un potencial en serie con la batería para alimentar a C_2 . Esta característica permite tener unas centésimas de voltio más que el voltaje inicial e incrementa V_{OUT} con cada ciclo de reloj hasta llegar a un voltaje que garantiza la saturación de los transistores. La Fig. 3.8 muestra la conexión del DE_1 en el DV.

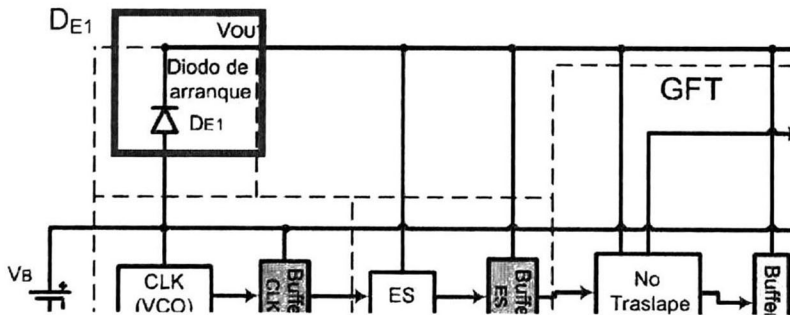


Fig. 3.8 Diodo de arranque entre niveles de voltaje $V_B - V_{OUT}$

Con el fin de reducir el tiempo de estabilización y garantizar un mejor funcionamiento durante el arranque del circuito, se incorporó al nuevo diseño un diodo Schottky que presenta una caída de voltaje V_D menor ($\approx 0.3V$) a la de un diodo convencional ($V_D \approx 0.7V$). Este diodo Schottky se diseñó usando ISE-TCAD para la simulación a nivel física de semiconductores, y software de simulación eléctrica de dispositivos (T-SPICE y L-EDIT de Tanner) [16].

La estructura del diodo, se muestra en la Fig. 3.9a. El diodo es construido sobre una oblea de silicio tipo P, en el cual se le agregan átomos contaminantes tipo N mediante implantación iónica; formando de esta manera el pozo N o *N-WELL*. Posteriormente las difusiones incorporadas permitirán la formación de contactos óhmicos para acceder al sustrato y al pozo N.

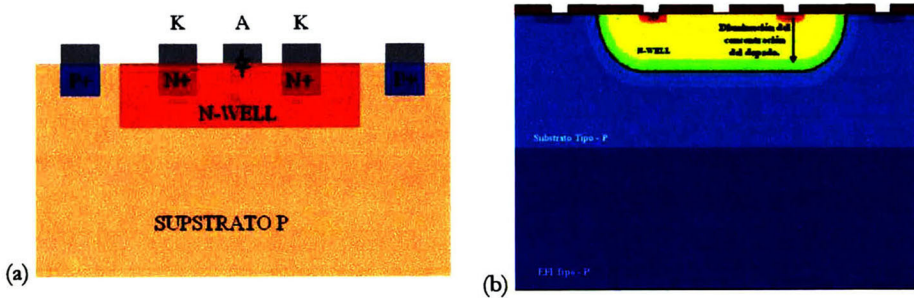


Fig. 3.9 Estructura del diodo Schottky (a) y distribución de dopados (b).
(Imágenes autorizadas por el autor).

La estructura anteriormente descrita, se diseña en M-DRAW, un programa de ISE, el cual a base de geometrías, es posible realizar una estructura mostrada como un corte transversal. De este esquema, en el cual parte un análisis vectorial donde en la intersección de una malla, donde se resuelven las ecuaciones del sistema, logrando así un comportamiento de acuerdo a lo representado. La Fig. 3.9b, muestra ese diseño en M-DRAW de ISE, con su distribución de dopados. La Fig. 3.10 muestra la curva I-V del diodo. La comparación entre los diferentes modelos y datos experimentales muestra cómo el voltaje de encendido es muy próximo a $0.3V$ a una corriente de $50\mu A$.

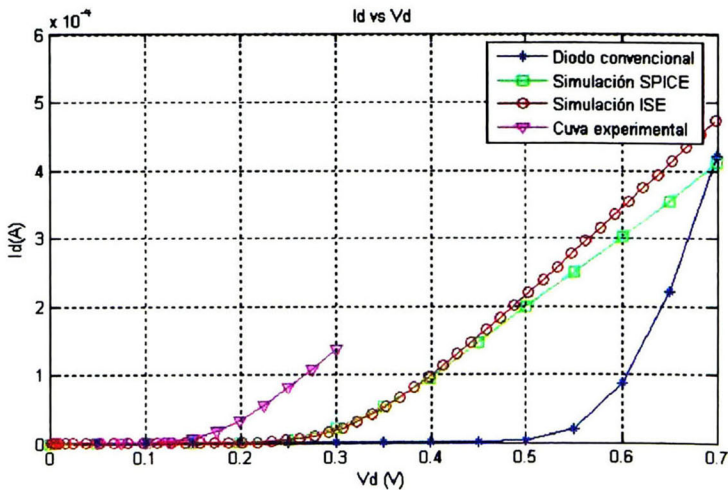


Fig. 3.10 Curvas I-V del diodo Schottky en SPICE e ISE y curva experimental [16].

3.4 Generador de Fases sin Traslape (GFT)

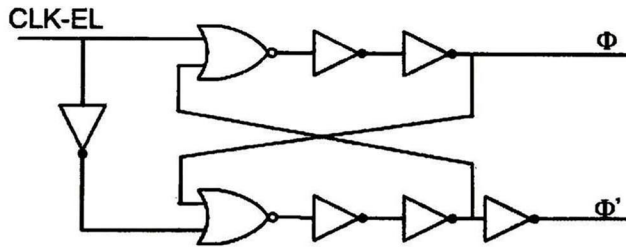
El circuito necesario para generar un retraso entre fases es el generador de fases sin traslape (GFT). Es un circuito similar a un *flip-flop* SR pero con inversores en las salidas que son responsables de generar el retraso deseado. Porque el circuito genera fases complementarias, es necesario agregar un inversor en una de la salida para recuperar la fase, pero manteniendo el retardo; esta señal es denotada Φ' . El GFT mantiene pares de transistores (complementarios) encendidos, eliminando la zona de traslape durante los flancos, como se muestra en la Fig. 3.11, reduciendo el consumo de potencia. El circuito encargado de excitar al GFT es el elevador de señal.

En la Fig. 3.11b se muestra que el tiempo en alto de Φ' es mayor que el tiempo en alto de Φ . Esto es interpretado como un retraso en Φ respecto a Φ' y, siendo aplicadas a los transistores de conmutación, evita que todos estén encendidos durante el retraso deseado. Durante el estado en bajo, conmutan M_1 y M_3 mientras que M_2 y M_4 permanecen apagados; cuando Φ' cambia a alto, M_1 y M_3 se apagan, mientras que M_2 y M_4 continúan apagados (garantizando que no haya pérdidas de potencia). Luego, cuando M_1 y M_3 han sido completamente apagados -después del retraso entre fases- se presenta la transición en alto de Φ , encendiendo M_2 y M_4 ; durante ese tiempo ambas fases en alto operan únicamente los transistores tipo N. Cuando Φ vuelve a cambiar a bajo, M_2 y M_4 se apagan mientras que M_1 y M_3 continúan apagados, dando el tiempo suficiente para apagar los transistores tipo N antes de encender los P. Lo anterior evita que todos estén encendidos durante cualquiera de las transiciones de las fases.

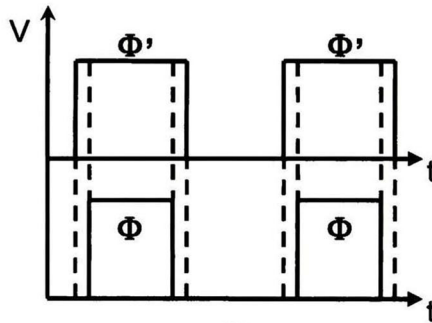
Las Fig. 3.12 y Fig. 3.13 muestran las fases para los transistores de conmutación durante un flanco de subida y bajada, respectivamente. Ambas señales presentan la misma fase, sólo hay un retardo entre señales, que es de aproximadamente 2.23ns durante el flanco de subida y de 2.27ns durante el flanco de bajada. Es posible apreciar también que Φ' permanece más tiempo en alto que Φ , tal y como se requiere. Una comparación de resultados entre valores de simulación (esquemático) y circuito extraído, son mostrados en la Tabla 3.4.

$\Delta t(\text{ns})$	SPICE Teórico	SPICE Extracción
Flanco \uparrow (ns)	1.55	2.23
Flanco \downarrow (ns)	1.27	2.27

Tabla 3.4 Comparación entre la simulación de datos teóricos y la extracción del GFT



(a)



(b)

Fig. 3.11 (a) Generador de fase sin traslape (a) y señales de salida esperadas (b).

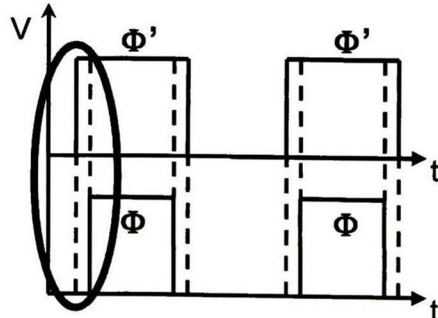
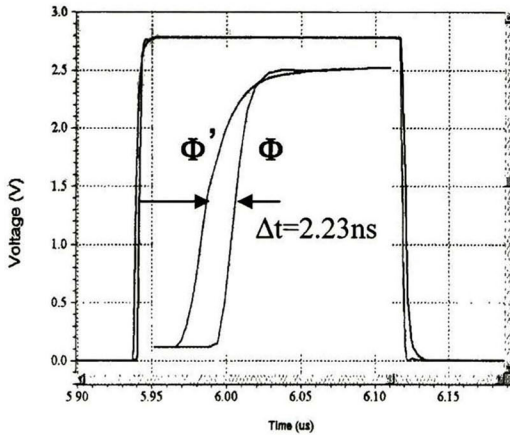


Fig. 3.12 Pulso de salida durante un flanco de subida.

Ya que el bloque GFT está compuesto únicamente por compuertas, y que el voltaje nominal de operación es de 3V, fue necesario diseñar las compuertas a ese voltaje y que fueran capaces de operar a un voltaje menor (por ejemplo durante el ciclo de arranque del doblador de voltaje). Utilizando el modelo de transconductancia (g_m) del transistor se puede calcular la geometría de la compuerta NOR: (3.11) y (3.12). Para el inversor o compuerta NOT, el modelo de diseño es el siguiente:

$$id_N = K_N \frac{W_N}{L_N} (V_{GS} - V_T)^2 = id_P = K_P \frac{W_P}{L_P} (|V_{GS}| - |V_T|)^2 \quad (3.13)$$

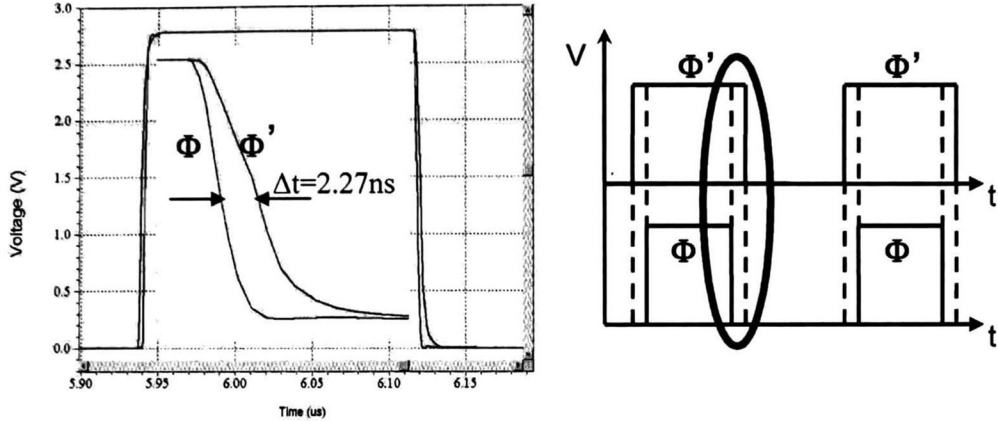


Fig. 3.13 Pulso de salida durante un flanco de bajada.

La geometría obtenida para los transistores NMOS y PMOS para las compuertas NOT y NOR se muestran en la Tabla 3.5, donde se puede observar que la geometría resultante es pequeña, es decir, las compuertas soportan cargas pequeñas, lo cual no es el caso de la capacitancia asociada a los interruptores, por lo que será necesario incorporar a las compuertas *buffers*.

NOT		NOR	
NMOS(μm)	PMOS (μm)	NMOS(μm)	PMOS(μm)
3/0.9	9.9/0.9	1.5/0.9	11.4/0.9

Tabla 3.5 Relación (W/L) para transistores en compuertas NOR y NOT.

3.5 Buffers P y N

Por la gran área que caracteriza a los transistores de conmutación, como se verá en la sección posterior, la capacitancia parásita C_{GS} equivalente es de un valor considerable y no fácil de manejar únicamente por el GFT. Por esa razón surge la necesidad de diseñar un par de *buffers*, denotados N y P, y que ello no implique generar retardos no deseados a las señales de interés. Una solución es utilizar cadenas de inversores, en el que un inversor j es de una geometría mayor que la debida al inversor $(j+1)$ y menor que la del inversor $(j-1)$ [1], como se muestra en la Fig. 3.14. Si la cadena fuera un sólo inversor con una carga C_{load} , el tiempo de retardo sería

$$t_{PHL} + t_{PLH} = (Rn + Rp) \cdot (C_{OUT} + C_{load}) \quad (3.14)$$

Entonces, si se implementa una cadena de n inversores en el que la geometría de cada inversor sea mayor que el anterior por un factor A , el retardo será mínimo siempre y cuando

se seleccionen correctamente los valores de **A** y **n**. Como es de esperar, la capacitancia de entrada de cada inversor también será mayor que la del inversor anterior por el mismo factor **A**. Si la capacitancia de carga es igual a la capacitancia de entrada del último inversor, entonces

$$C_{in-n} = C_{in1} \cdot A^n = C_{load} \quad (3.15)$$

donde C_{in1} es la capacitancia de entrada del primer inversor, o inversor *patrón*, y está dada por

$$C_m = \frac{3}{2} C_{ox} (W_n L_n + W_p L_p) \quad (3.16)$$

Reordenando (2.15) para obtener el valor del factor **A**, se tiene

$$A = \left[\frac{C_{load}}{C_{in1}} \right]^{\frac{1}{n}} \quad (3.17)$$

De los cuales uno de los parámetros de control del diseñador es C_{in1} , restando solamente calcular el valor óptimo para **A** que genere el menor retraso posible en relación directa con el número de etapas del buffer.

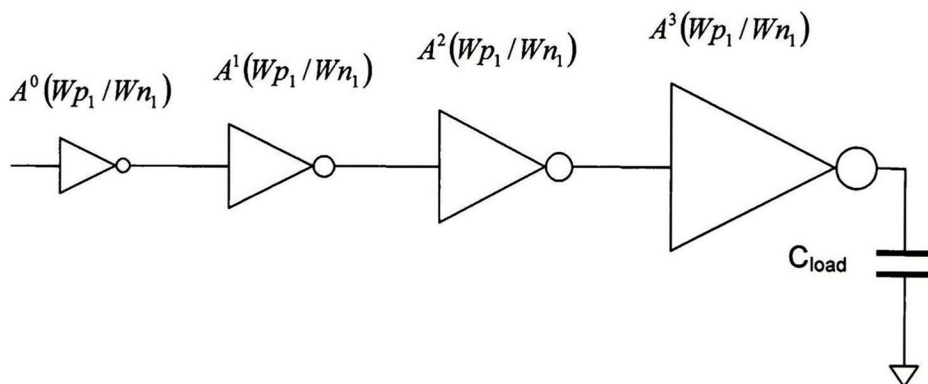


Fig. 3.14 Inversores en cascada para manejar grandes cargas capacitivas.

Considerando que el tiempo de retardo es pequeño, de 5.4ns se deduce que $A=e \approx 2.71$, mientras que el valor de **n** está dado por

$$n = \ln \left[\frac{C_{load}}{C_{in1}} \right] \quad (3.18)$$

La capacitancia C_{load} final, en el desarrollo propuesto, es la capacitancia parásita de dos transistores tipo N operados a una fase y dos transistores P operados con la otra, obteniendo las siguientes expresiones

$$C_{loadP} = \frac{2}{3} C_{ox} (W_{M1} L_{M1} + W_{M3} L_{M3}) \quad (3.19)$$

$$C_{load\ N} = \frac{2}{3} C_{ox} (W_{M2} L_{M2} + W_{M4} L_{M4}) \quad (3.20)$$

Los valores correspondientes a la capacitancia de entrada del inversor, así como la capacitancia parásita de los interruptores se muestran en la Tabla 3.6. Con esos valores, se calcula con (3.17) y (3.18) el número de etapas requeridas. En la Tabla 3.7 se muestran cuántas etapas se requieren y cuál el número de inversores por etapa del *buffer*.

Capacitancia de entrada C_{in}	Capacitancia transistores P C_{loadP}	Capacitancia transistores N C_{loadN}
53fF	$C_{M1}=1.29\text{pF}$	$C_{M2}=1.51\text{pF}$
	$C_{M3}=7.73\text{pF}$	$C_{M4}=0.38\text{pF}$
	$C_{M1-3}=9\text{pF}$	$C_{M2-4}=1.9\text{pF}$

Tabla 3.6 Capacitancias de entrada para el diseño de *buffers*.

Número de etapas (N)	Número inversores por etapa (A ^N)	
	<i>Buffer</i> N	<i>Buffer</i> P
1	1	1
2	3	3
3	7	7
4	---	20
Total	11	31

Tabla 3.7 Número de etapas y de inversores por etapa para *buffers* N y P.

El tamaño de los *buffer* es más reducido ya que no se implementaron conexiones a pads para la medición de las fases y conociendo la carga de la siguiente etapa, a diferencia del DP, lo que ocasionó el traslape de las fases al tener dos pads por cada fase, pads que no fueron caracterizados correctamente ocasionando un desequilibrio en la carga de los *buffer*.

3.6 Capacitores

Son elementos pasivos usados para el acoplamiento de señales de AC o para almacenamiento de energía. Generalmente los capacitores usados en circuitos integrados son placas paralelas, en los cuales su capacitancia depende del área de las placas y del grueso del óxido entre ellas. Estos capacitores muestran una variabilidad debido a variación en los procesos de fabricación; gruesos del óxido no uniformes, gradientes de dopaje, temperatura y estrés son ejemplo de no idealidades. Además, los capacitores integrados tienen parásitas significativas. Afortunadamente en tecnología CMOS, el capacitor de mejor desempeño es el de *poly-poly*. La Fig. 3.15 muestra un modelo simple para ilustrar las parásitas asociadas con un capacitor *poly-poly*. C_1 es el capacitor ideal y representa la capacitancia deseada, mientras que C_2 representa las parásitas entre el electrodo inferior y el sustrato. C_3 es la parásita asociada a la placa superior respecto a niveles superiores como metales. Esta capacitancia es usualmente mucho menor que C_2 y llega a ser significante solamente si otro conductor forma otra capacitancia con C_3 [15].

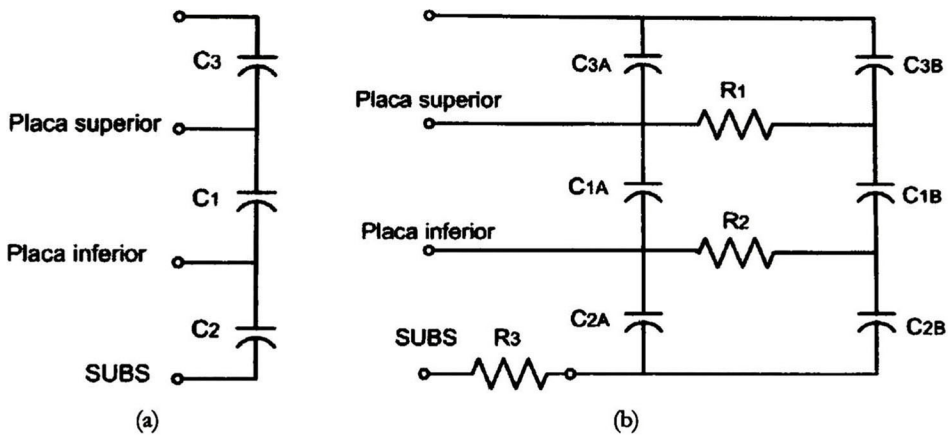


Fig. 3.15 (a) Modelo simple para capacitores poly-poly y (b) modelo que resulta incorporando resistencias parásitas en serie.

Las resistencias parásitas asociadas a las placas del capacitor son R_1 que modela la resistencia de la placa superior, mientras que R_2 modela la de la placa inferior. La resistencia R_3 representa la resistencia finita del sustrato, la cual es tan grande o mayor que la resistencia serie de cada placa del capacitor. Esta resistencia serie es sumada a la resistencia de encendido de los transistores (R_{ON}), lo cual implica pérdidas o consumo de potencia, que se verá reflejado en el voltaje de salida y el tiempo de vida útil de la batería. Además presenta un retraso al cargar los capacitores, con lo que habrá un cambio en la frecuencia de operación del circuito doblador ya que cambia la constante RC de la etapa de salida.

La Fig. 3.16 muestra otras opciones para implementar capacitores MOS, en el que el dieléctrico es dióxido de silicio. El electrodo inferior es formado por una difusión N⁺ (C_2), mientras que el electrodo superior es un depósito de polysilicio (C_1). La Fig. 3.17 muestra la construcción de un capacitor utilizando placas de polysilicio.

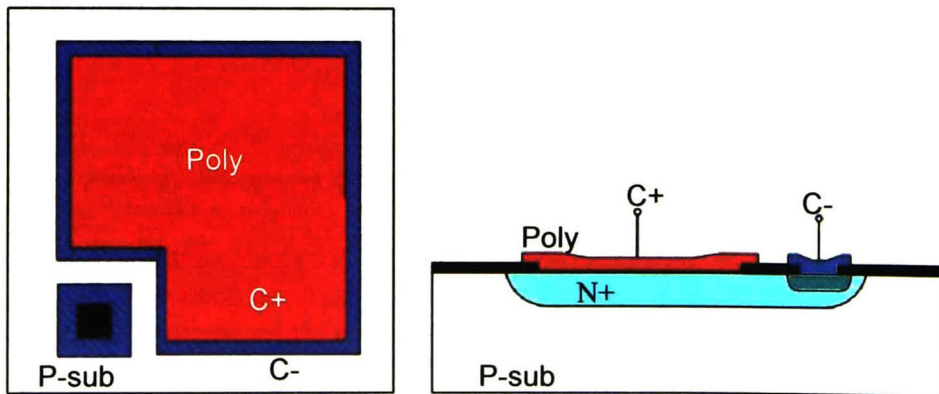


Fig. 3.16 Layout y sección transversal de una difusión N⁺ para la construcción de un capacitor MOS.

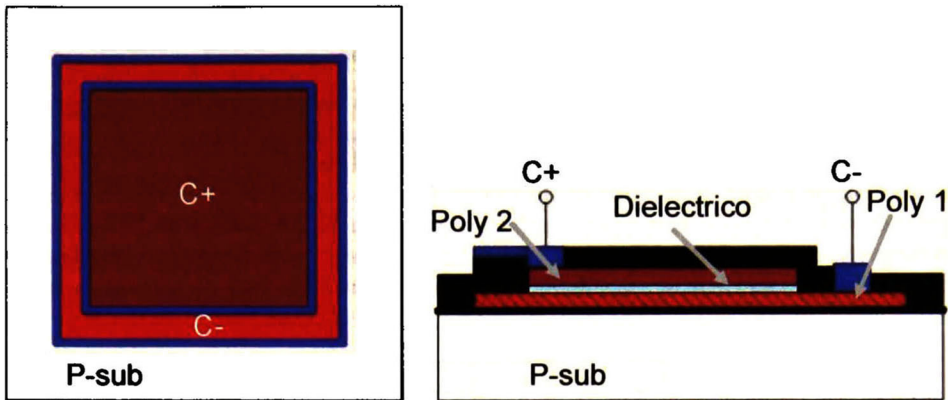


Fig. 3.17 *Layout* y sección transversal de un capacitor poly-poly.

Debido a que en el DP se utilizaron capacitores externos, la nueva propuesta incorpora capacitores integrados. La Tabla 3.8 muestra las dimensiones y el valor de capacitancia para cada elemento, donde el valor propuesto está referido al análisis que relaciona el voltaje de salida y área disponible de fabricación. De acuerdo a requerimientos del circuito doblador, se determinó que un valor de capacitancia de 500pF permite obtener un voltaje de rizo aceptable sin que ello degrade el desempeño de los circuitos que se conectarán al convertidor. La eficiencia estimada es del 93% con un consumo de área de poco más del 70% del área de fabricación disponible. Para la implementación de los capacitores, se utilizó un capacitor flotante poly-poly para C_1 , que es el componente de mayor área, y C_2 es un capacitor poly- N^+ por ser un capacitor aterrizado.

Capacitor	Área(μm^2)	C(pF)
C_1 (Poly-Poly)	$740 \times 740 = 547,600$	500
C_2 (Poly- N^+)	$452 \times 452 = 204,304$	500

Tabla 3.8 Valores de capacitores y área requerida.

Debido a la gran dimensión de los capacitores, cada uno se dividió en capacitores unitarios. La Fig. 3.18 muestra la implementación de un capacitor con base en capacitores unitarios.

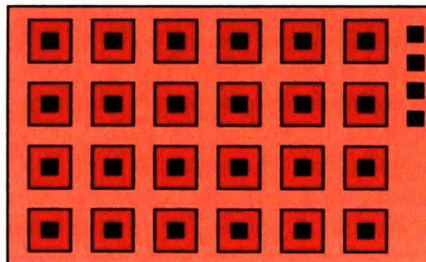


Fig. 3.18 Capacitor poly-poly utilizando capacitores unitarios conectados en paralelo.

3.7 Transistores

De acuerdo con la Fig. 2.1, son utilizados dos transistores tipo N (M_2 y M_4) y dos tipo P (M_1 y M_3) como interruptores. En base a las polarizaciones entre sus terminales fue posible determinar la geometría de cada transistor con la finalidad de que su resistencia de encendido sea equivalente a 20Ω . Este valor de resistencia permite tener mínimas pérdidas durante la operación del circuito doblador, pero también requiere mucha área para la implementación de los transistores. En la Tabla 3.9 se muestran los potenciales V_{GS} que son fundamentales para el cálculo de la resistencia de encendido. La geometría resultante se proporciona en la Tabla 3.10.

Transistor	$ V_{GS} $ (V)
M_1	2.8
M_2	1.3
M_3	1.5
M_4	2.8

Tabla 3.9 V_{GS} aplicado en los transistores de conmutación durante su fase de encendido.

Para optimizar el área de integración el diseño fue necesario dividir los transistores y hacer su conexión en paralelo, de forma tal que cada uno contribuya en el manejo de corriente. Esta técnica es llamada *interdigital* [1]-[15].

Transistor	Geometría (W/L)(μm)
M1	873.3/0.9
M2	1025.1/0.9
M3	5226.9/0.9
M4	255.6/0.9

Tabla 3.10 Geometrías de los transistores de conmutación.

El número de *dedos* o transistores en los cuales se dividieron los transistores de conmutación es de 38, obteniendo con este número una optimización de área.

3.8 Resultados de Simulación

El resultado de la simulación TSpice se muestra la

Fig. 3.19. Se observa cómo el circuito inicia con un voltaje 0, es decir, los capacitores de almacenamiento están completamente descargados. Luego inicia el proceso de carga a través del diodo de arranque hasta un voltaje $V_{OUT-V_{DE1}}$. Ya el circuito con un voltaje inicial importante, operará adecuadamente cargando ciclo a ciclo los capacitores C_1 y C_2 hasta lograr, después de varias unidades de μ -segundos, un voltaje quasi-estable. La variación en el potencial de salida es debido al proceso de conmutación. El voltaje de salida es de $2.84V \pm 1.5\%$, donde la variación es un rizo V_{RIPPLE} de magnitud del orden de 80mV. Estos resultados en simulación presentan características similares al diseño en $1.5\mu\text{m}$, excepto que en esta propuesta el diseño es totalmente integrado, y por reducir en valor de los capacitores se presenta un aumento en el voltaje de rizo respecto al DP.

El tiempo de estabilización es de $4\mu\text{s}$, mucho menor que el tiempo de estabilización del DP que fue de $250\mu\text{s}$. Este tiempo es medido cuando el voltaje de salida se estabiliza al 90% del V_{OUT} promedio. La razón para la reducción del tiempo de estabilización es por la frecuencia de operación y el valor de los capacitores seleccionados. La Tabla 3.11 muestra una comparación de datos correspondientes al voltaje de salida.

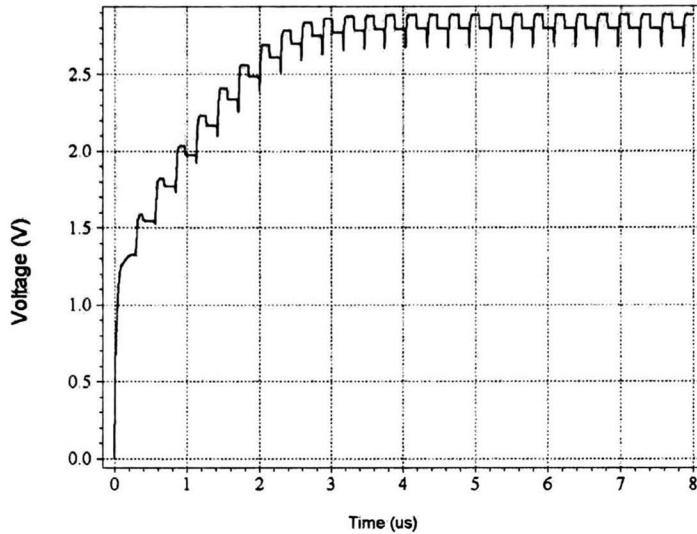


Fig. 3.19 Voltaje de salida del circuito doblador.

En general, se obtuvo un diseño compacto totalmente integrado que presenta mejoras respecto al diseño en la tecnología CMOS $1.5\mu\text{m}$.

Parámetro	SPICE Teórico	SPICE Extracción
$V_{\text{OUT}}(\text{V})$	2.84	2.87
$V_{\text{RIPPLE}}(\text{V})$	0.08	0.04
$V_{\text{CONTROL}}(\text{V})$	1	1.11
Eficiencia	94%	95%
Tiempo de estabilización(μs)	7	4

Tabla 3.11 Comparación de resultados del modelo teórico y resultados del circuito eléctrico equivalente obtenido de la extracción del diseño a nivel *layout*.

3.9 Conclusiones

Se presentó el principio de funcionamiento del doblador de voltaje y diversas ecuaciones de diseño, las cuales fueron utilizadas para determinar la geometría de los distintos transistores de cada circuito básico. Se describió también la importancia de los bloques de control y su implementación utilizando únicamente transistores MOS, presentando a nivel simulación las señales que manejarán la operación del doblador, además de los niveles de alimentación previstas para cada bloque.

En base al DP, se modificaron algunas características del funcionamiento, como el valor de los capacitores y la frecuencia de operación (parámetros muy dependientes uno del otro). Teniendo certeza en las mediciones, fue posible limitar el área de los *buffers*, ayudando con ello a reducir el consumo de área y corrientes del circuito, así como tomar en consideración el retraso producido por los *buffers* en las fases de conmutación para evitar el traslape de señales.

Capítulo 4

Diseño en Silicio

Se muestra el análisis para determinar la geometría de los transistores que forman las etapas del circuito doblador, incluyendo el cambio en el diseño del circuito ES, de la selección de la frecuencia de operación y de la integración de los capacitores de almacenamiento.

4.1 Introducción

CON BASE en los circuitos diseñados y simulados, se procede a conectar todos los bloques. Este parte del diseño presenta los ajustes necesarios para el acoplamiento correcto de impedancias, para fijar los niveles de voltaje y para corroborar los tiempos de respuesta. Todos los bloques del circuito doblador se ajustaron a las dimensiones necesarias para conectarlos directamente y minimizar el consumo de área, de la misma manera, las dimensiones de cada transistor de conmutación se ajusta para obtener un diseño regular y que facilite la conexión de todos los bloques. Se muestra en la Fig. 4.1 el floorplaning de los circuitos de control y los transistores de conmutación.

4.2 GSR: Propuesta

El diseño de este bloque está dividido en dos partes, uno es el diseño de la celda inversora, mostrada en la Fig. 4.2, y la otra es la obtención de la geometría de los transistores que operan como fuentes de corriente (M_{M1} , M_{M2} , $M_{1,X}$ y $M_{2,X}$) mostrado en la Fig. 4.3. La Fig. 4.2 muestran el layout de la compuerta inversora, sus terminales y su diagrama esquemático. La relación geométrica de la celda es $W_p=2W_n$ donde $W_n=1.5\mu\text{m}$ y $L_n=L_p=0.9\mu\text{m}$. La separación entre el transistor N y P es el mínimo necesario para no violentar reglas de diseño. La relación geométrica de las fuentes de corriente es $W_p=2.85W_n$ donde $W_n=1.5\mu\text{m}$ y $L_n=L_p=0.9\mu\text{m}$. Por otro lado, el VCO es una cadena de inversores de 5 etapas. Con ayuda del voltaje de

control se ajusta la frecuencia de oscilación a 10MHz, frecuencia necesaria para el funcionamiento correcto del circuito (ver Fig. 4.3). La frecuencia de control es dependiente de la carga que demanda energía al circuito doblador.

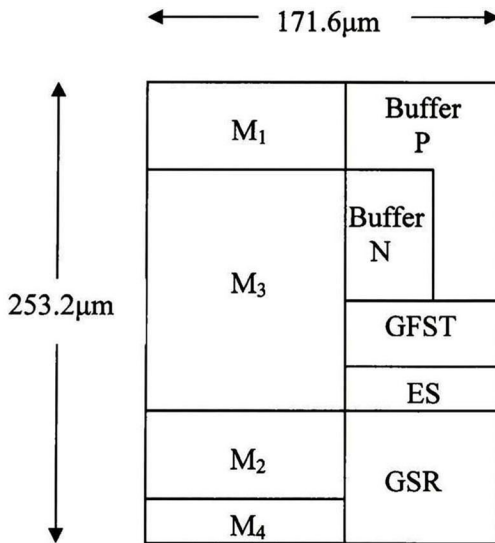


Fig. 4.1 Floorplaning del doblador de voltaje.

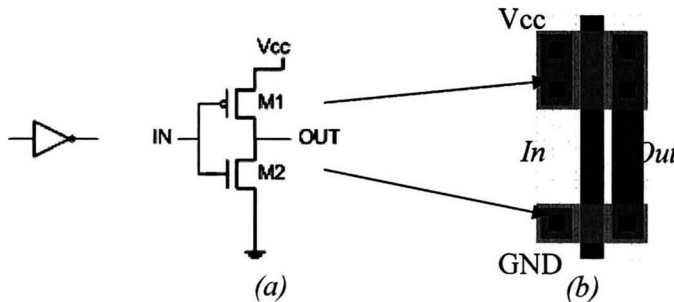


Fig. 4.2 Diagrama esquemático del inversor (a) y su layout (b).

El VCO está diseñado para operar con un voltaje de alimentación de 1.5V, pero puede ser alimentado con un voltaje mayor y seguir operando correctamente. En la Tabla 4.1 se describen los rangos de frecuencia máximo y mínimo, dependiente del voltaje de alimentación V_{CC} y $V_{CONTROL}$, así como el V_{CC} máximo (este limite de voltaje es un parámetro de fabricación de la tecnología) y mínimo para funcionar.

V_{CC}	$V_{CONTROL}$	f_{max} (MHz)	f_{min} (kHz)
0.88	0.875	-	31.47
0.88	0.88	0.033	-
1.5	0.78	-	9.6
1.5	1.5	43.3	-
5	0.78	-	2.3
5	5	373	-

Tabla 4.1. Rangos de frecuencia y voltaje de operación del VCO.

Como se muestra en la Fig. 4.3, el *layout* del VCO consiste en una cadena de 5 inversores, mientras que la Fig. 4.4 muestra el buffer que se conectará a la salida del VCO para restaurar la señal. Es un buffer de 3 etapas implementado con inversores y alimentado con el voltaje de la batería V_B .

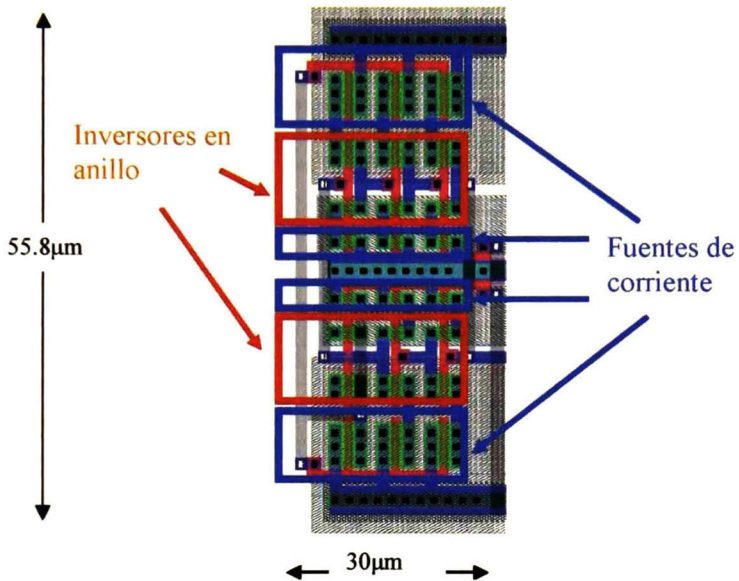


Fig. 4.3 *Layout* del VCO.

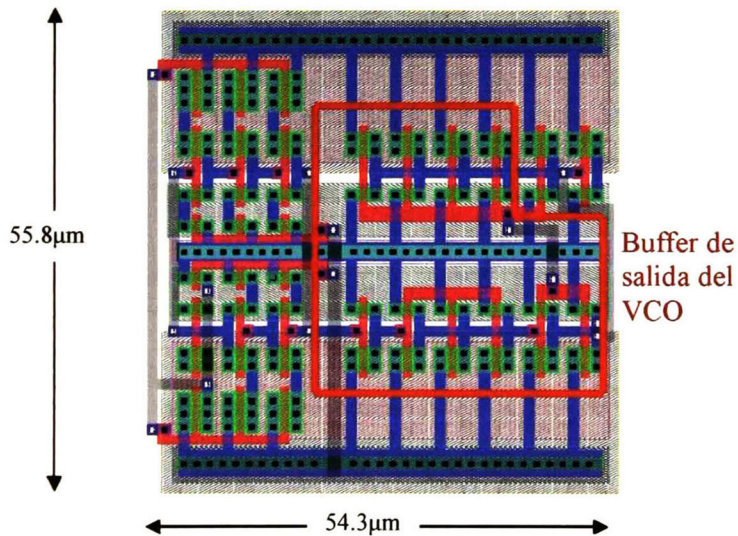


Fig. 4.4 *Layout* del VCO y buffer de salida. (Dimensiones $54.3\mu\text{m} \times 55.8\mu\text{m}$)

4.3 Elevador de Señal (ES): Propuesta CMOS

El cambio de diseño del circuito elevador, respecto al DP, permite tener un circuito de área mínima, aunque la potencia de consumo será de la misma magnitud. Por otro lado, para el cálculo de la geometría de M_{E1} - M_{E4} se requirió que la impedancia de los transistores P fuera 10 veces mayor que los transistores N. Esta relación permite que el retraso de la señal se reduzca, de lo contrario el circuito no trabajará adecuadamente. La relación geométrica de los transistores queda $W_N=2.13W_P$. En este diseño la terminal de fuente de los transistores P es compartida, asimismo para los transistores N, con esta característica el área de integración es mínima. El circuito elevador incluye un buffer, este se muestra en la Fig. 4.5 (recuadro verde). Se usan inversores para la implementación del buffer, sólo que éstos están diseñados para operar a 3V.

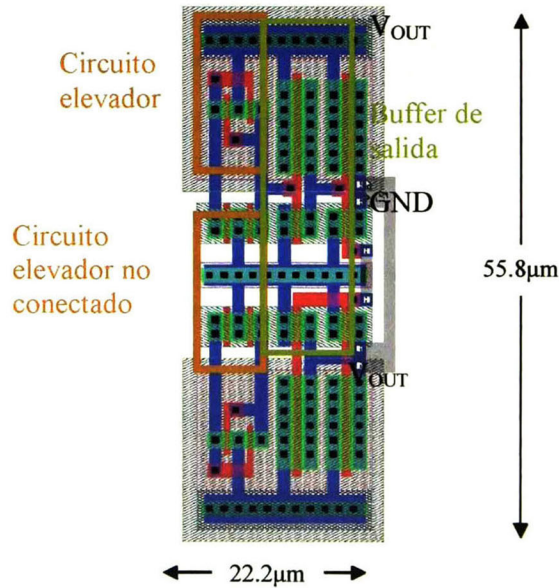


Fig. 4.5 *Layout* del elevador.

4.4 Diodo Schottky

En el diseño previo, el diodo fue implementado como se muestra en la Fig. 4.6. En la nueva propuesta se sustituye ese diodo por un Schottky, el cual tiene una caída de voltaje mucho menor al diodo convencional. El diodo Schottky se implementó utilizando las capacidades del proceso de fabricación, siendo necesaria la *violación* de una regla de diseño CMOS (Ver Fig. 4.7).

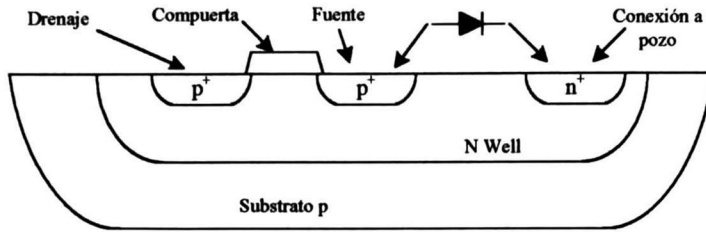


Fig. 4.6 Diodo construido sobre la base de un transistor PMOS (p^+nn^+).

En la Fig. 4.8 (corte transversal) se aprecia el contacto Metal-Semiconductor, así como los contactos al pozo (N+) y al sustrato (P+). En esta celda, cada difusión N+ para contacto al pozo, representa un diodo Schottky, por lo que se tienen dos cátodos y un ánodo. El diodo se realiza en una configuración multi-digitado porque se reduce la capacitancia y presenta un diseño más regular. Esta característica minimiza efectos causados por la fabricación. En esta configuración el diodo posee un número de cátodos igual al número de ánodos más uno.

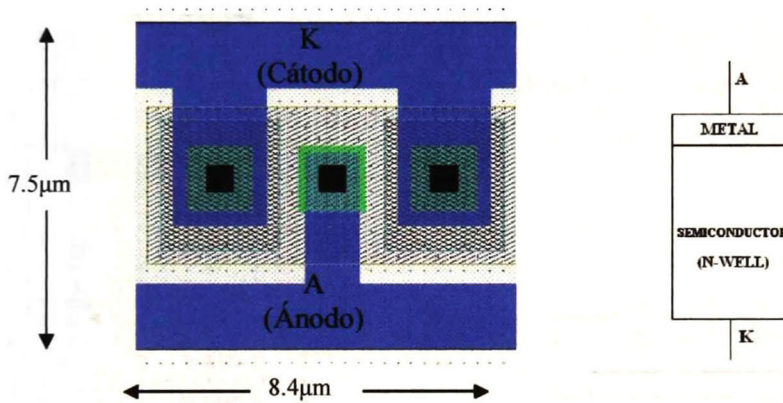


Fig. 4.7 Layout del diodo Schottky (Imágenes utilizadas con autorización del autor)

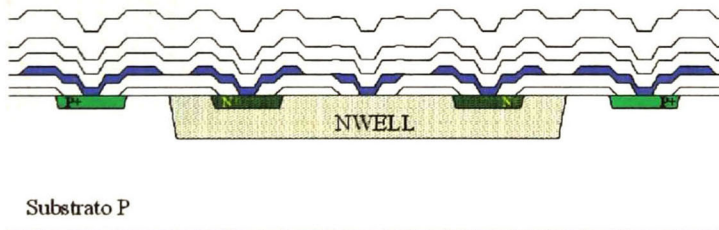


Fig. 4.8 Corte transversal del diodo. (Imágenes utilizadas con autorización del autor)

4.5 GFT (Generador de Fase sin Traslape)

Está formado únicamente por compuertas lógicas. Las dimensiones de esta celda varían del inversor utilizado para el VCO debido al voltaje de alimentación con el que cada celda trabaja. La relación geométrica para este inversor es $W_P=4.32W_N$ donde $W_N=3\mu m$ y $L_N=L_P=0.9\mu m$. Otra celda utilizada en el GFT es la NOR (ver Fig. 4.9). Las dimensiones de la compuerta se

determinan a partir de un arreglo resistivo utilizando la transconductancia gm de los transistores como elemento de diseño. La relación geométrica para los transistores es $W_P=7.26W_N$ donde $W_N=1.5\mu\text{m}$ y $L_N=L_P=0.9\mu\text{m}$. El *layout* mostrado en la Fig. 4.10 no incluye el último inversor para obtener la fase Φ' , porque éste está incluido en la etapa de los *buffers*. El inversor dentro del recuadro en la Fig. 4.10 no está conectado, es simplemente para conservar simetría en el *layout*, mientras que el inversor en la parte inferior, sí está conectado y representa la entrada inversora del reloj CLK de la compuerta NOR.

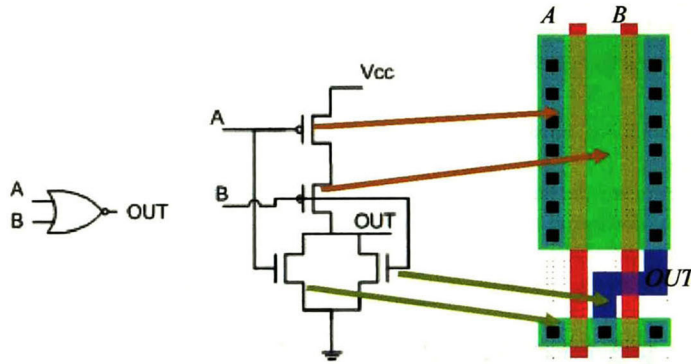


Fig. 4.9 Compuerta NOR.

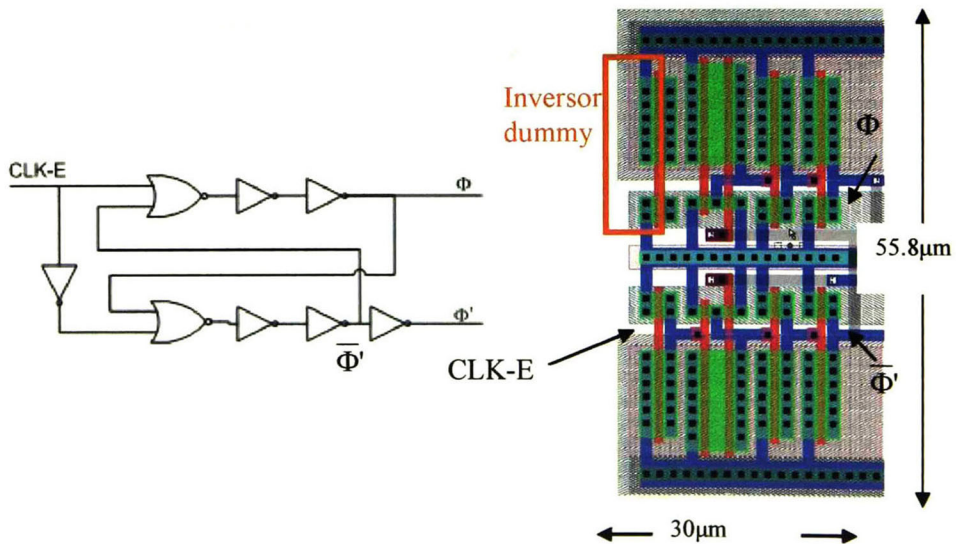


Fig. 4.10 Generador de fase sin traslape y *layout*.

4.6 Buffer del GFT

Debido a la gran dimensión de los interruptores, es necesario implementar un *buffer* para el manejo de la carga capacitiva que representan para el GFT. La Fig. 4.11 muestra el *layout* de los *buffers* tanto para los transistores N como para los P.

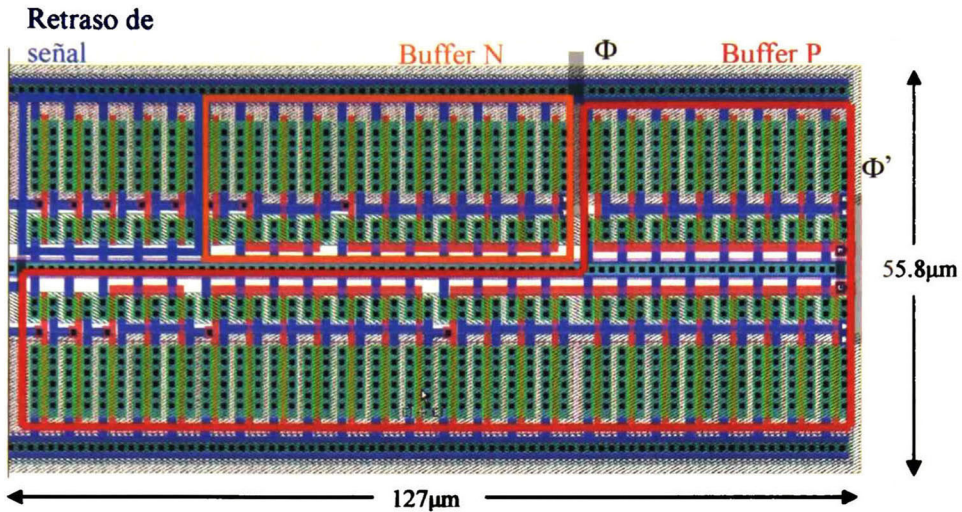


Fig. 4.11 *Layout* de los buffer P y N

Los inversores en el recuadro azul (ver Fig. 4.11) son necesarios para generar un retraso en las señales de los transistores N y P, ya que los *buffer*s son de distintas etapas, lo que ocasiona que el retraso para cada fase de reloj sea diferente. El *buffer* N está formado por tres etapas mientras que el *buffer* P es compuesto de 4 etapas.

La Fig. 4.12 muestra el GFT conectado al *buffer* P y N. El *layout* de las dos etapas facilita la conexión y arreglo, minimizando pérdidas de espacio por conexiones.

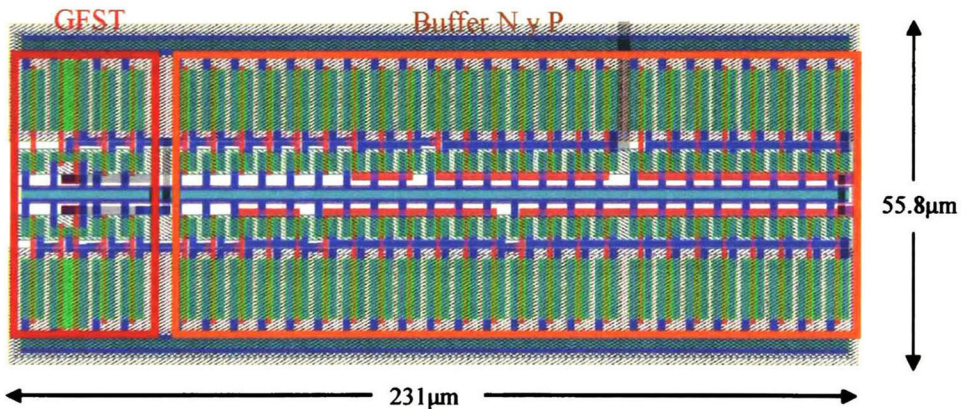


Fig. 4.12 *Layout* del GFT con *buffer* P y N.

4.7 Interruptores

Son utilizados dos transistores N (M_2 y M_4) y dos P (M_1 y M_3) como interruptores y permitir la carga y descarga de C_1 y C_2 . Para determinar las dimensiones de los transistores, se utilizan sus curvas características, es decir, conectando las polarizaciones correspondientes a cada terminal y calculando la geometría con la cual la resistencia de encendido (R_{ON}) de cada transistor sea equivalente a 20Ω . La Tabla 4.2 muestra la geometría de los transistores de

conmutación. Debido a que las geometrías son grandes no es factible su implementación como un sólo transistor, por lo que se utilizó la técnica interdigitada.

Transistor	Geometría (W/L)(μm)	Dimensión (μm^2)
M1	873.3/0.9	107.7 x 33.6
M2	1025.1/0.9	107.7 x 37.95
M3	5226.9/0.9	107.7 x 148.35
M4	255.6/0.9	107.7 x 18.15

Tabla 4.2. Geometrías de los transistores de conmutación

El área total requerida por este diseño es un 26% del área que requería el DP. Ejemplo de un transistor interdigitado es mostrado en la Fig. 4.13, que es la celda del transistor M_4 , siendo el de menor W.

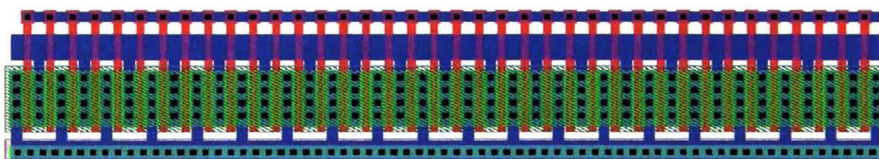


Fig. 4.13 Layout del transistor M_4

4.8 Capacitores

Aunque la tecnología $0.5\mu\text{m}$ permite fabricar capacitores, el valor de la capacitancia por unidad de área ($\text{F}/\mu\text{m}^2$) es relativamente pequeño en comparación con el valor de capacitancia utilizado en el DP, es decir, el área requerida para fabricar capacitores de 100nF como los utilizados en el DP es muy grande (ver Tabla 4.3). La Tabla 4.4 muestra el área requerida para cada capacitor en el nuevo diseño.

Capacitor	Área(μm^2)	C(nf)
C_1 (Poly-Poly)	$10,4560 \times 10,4560 = 109,409,190$	100
C_2 (Poly-N+)	$6,392 \times 6,392 = 40,866,367$	100

Tabla 4.3 Valores de capacitores y área requerida en el DP.

Capacitor	Área(μm^2)	C(pf)
C_1 (Poly-Poly)	$843 \times 843 = 710,775$	511.8
C_2 (Poly-N+)	$503.7 \times 503.7 = 253,714$	511.3

Tabla 4.4 Valores de capacitores y área requerida en el nuevo diseño.

Ambos capacitores fueron implementados con celdas unitarias, es decir, se diseñaron capacitores patrón que presentan, individualmente, un valor de 0.25pF. La Fig. 4.14 muestra el capacitor patrón utilizado en C_1 y C_2 .

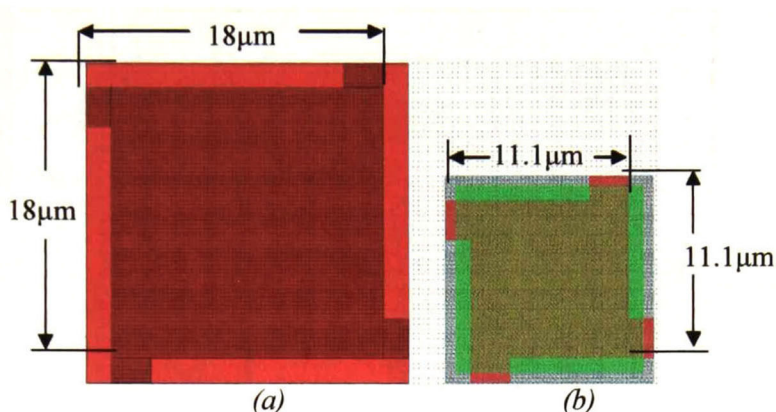


Fig. 4.14 Capacitores patrón (a) Poly-poly (b) Poly-N+.

La conexión de capacitores patrón en paralelo permite obtener el valor requerido. El objetivo de conectar celdas unitarias es minimizar los efectos de fabricación al no ser uniforme el depósito de materiales o crecimiento de óxidos, que se manifiestan en alto porcentaje al implementar un sólo capacitor de gran dimensión.

4.9 Circuito Doblador de Voltaje

La Fig. 4.15 muestra los bloques del circuito doblador. Debido a que incorpora circuitos digitales, fue necesario implementar un anillo de guarda para evitar que el ruido digital generado por el doblador afecte otros circuitos, principalmente a los circuitos analógicos.

La Fig. 4.16 muestra una comparación entre las dimensiones del DP y el diseño actual. Se observa una clara reducción en el área de integración, cumpliéndose el requerimiento de menor área. La tecnología ahora utilizada presenta grandes ventajas sobre tecnologías anteriores, aunque también presenta desventajas como el costo de fabricación, el cual aumenta al mejorar la tecnología y otros factores de cuidado como efectos de canal corto presentes en transistores con una longitud de canal menor a $1\mu\text{m}$. Esto implica mayor tiempo de análisis y diseño al cambiar el modelo utilizado del transistor MOS. Otras características que cambian son los parámetros de fabricación y las temperaturas de operación, ya que se tiene una mayor densidad de transistores en un área más reducida, con lo que los circuitos trabajarán a temperaturas más elevadas necesitando una mayor disipación del calor generado.

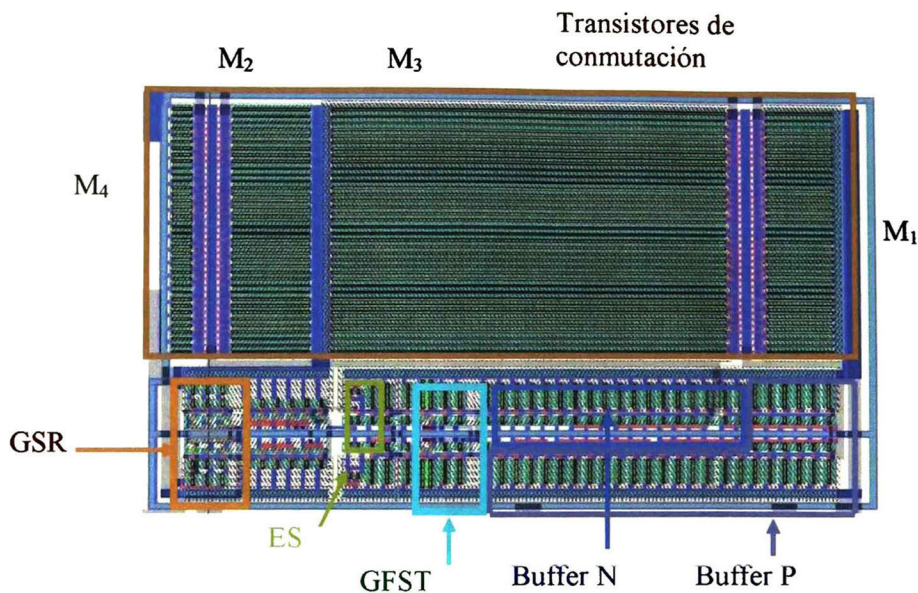


Fig. 4.15 Layout del circuito doblador.

La mayor reducción de área es en los *buffers* de los transistores de conmutación, ya que en el DP había una carga extra de los PADS de entrada y salida, necesitando hacer los *buffers* más grandes. En este trabajo la conexión de los buffer es directamente a los transistores. Lo anterior significa que este diseño no incorpora opción alguna para caracterización individual de los diferentes bloques del doblador de voltaje.

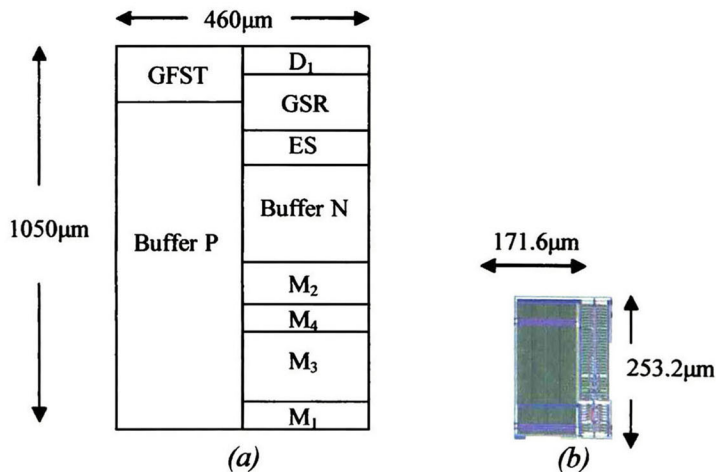


Fig. 4.16 Comparación de dimensión entre el diseño en tecnología (a) 1.5µm y (b) 0.5µm

Por último, en la Fig. 4.17 se muestran las dimensiones del circuito doblador con capacitores integrados, y su implementación en el chip de prueba. Puede observarse cómo el capacitor C_1 fue distribuido en el área disponible del chip, a diferencia del capacitor C_2 .

La distribución del circuito doblador y los capacitores, permitió una fácil conexión entre los distintos componentes y los PADS de entrada y salida. En general, se obtuvo un diseño

compacto que presenta grandes mejoras respecto al DP. Es operado únicamente con un voltaje de control V_{CON} y V_B .

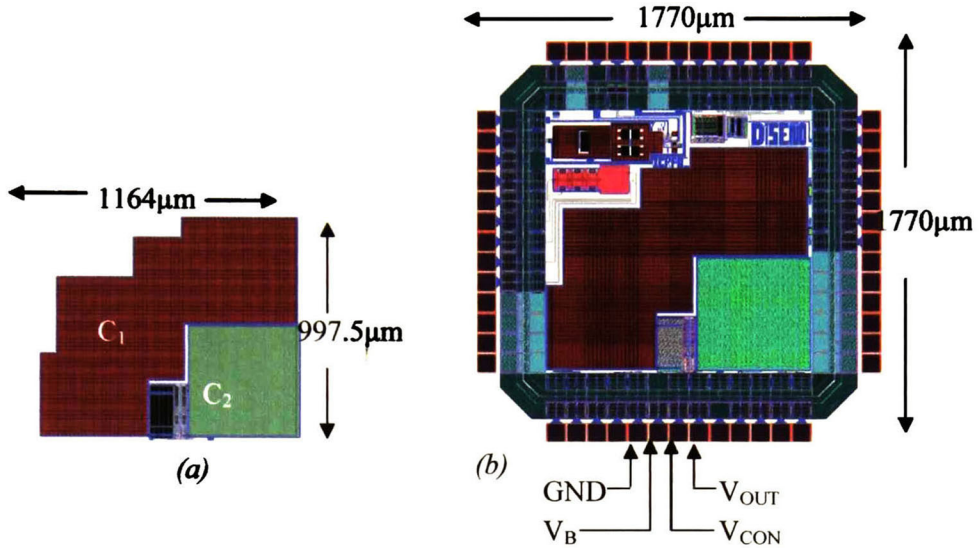


Fig. 4.17 (a) Layout del circuito doblador (b) Layout del chip de fabricación

4.10 Conclusiones

Cada una de las etapas fue diseñada como una celda, esto permite mejorar el circuito completo de manera sencilla, pues únicamente se reajustan los espacios en caso de algún cambio. El circuito doblador fue dividido en 5 bloques que fueron diseñados, extraídos, simulados y ajustados cuando fue pertinente, asegurando así que cada uno funcionaría adecuadamente. El ajuste de las celdas después del primer diseño permitió tener una adecuación de las señales, ya que algunos bloques no operaban adecuadamente durante el arranque del circuito doblador por no haber un voltaje estable y elevado a la salida, haciendo necesario hacer modificaciones en las geometrías y etapas de amplificación.

Después de tener las celdas diseñadas, se fueron incorporando en un sólo diseño cada uno de los bloques, conectando sus líneas de alimentación y señal. Al final resulta el circuito doblador como una sola celda adecuada para ser incluida al *core* final de fabricación.

Capítulo 5

Resultados Experimentales

Se muestran en este capítulo los resultados experimentales y de simulación tomados del DV. Además de la metodología para encontrar estas mediciones, el setup de conexión, el equipo utilizado características para la medición.

5.1 Introducción

COMO sabemos, una parte importante en el desarrollo de un sistema o dispositivo, es la parte de la experimentación. En esta etapa del proceso, podemos realizar ajustes de acuerdo a las mediciones encontradas, sobre todo en tecnologías donde es necesario implementar nuevos modelos que representen los parámetros y el comportamiento lo más fielmente posible a la realidad. Para esto es necesario hacer un sin número de experimentos donde se varíen parámetros y otros más donde los parámetros permanezcan constantes, para verificar la repetibilidad del proceso. Todos estos procesos arrojan resultados experimentales que definirán las características, comportamiento y limitaciones de un dispositivo o sistema.

En este capítulo se muestran los principales resultados de medición del circuito doblador de voltaje, así como una reseña de los resultados de cada gráfica o medición realizada, se muestra también la caracterización del circuito, los pasos a seguir para su conexión y medición, así como las recomendaciones necesarias en la alimentación de señales y/o voltajes de control.

5.2 Caracterización

Como se muestra en la Fig. 5.1, el circuito doblador opera básicamente con cuatros pads, además de usar un diodo Schottky que también fue fabricado en el chip, solo que de manera independiente, el cual debe ser conectado externamente.

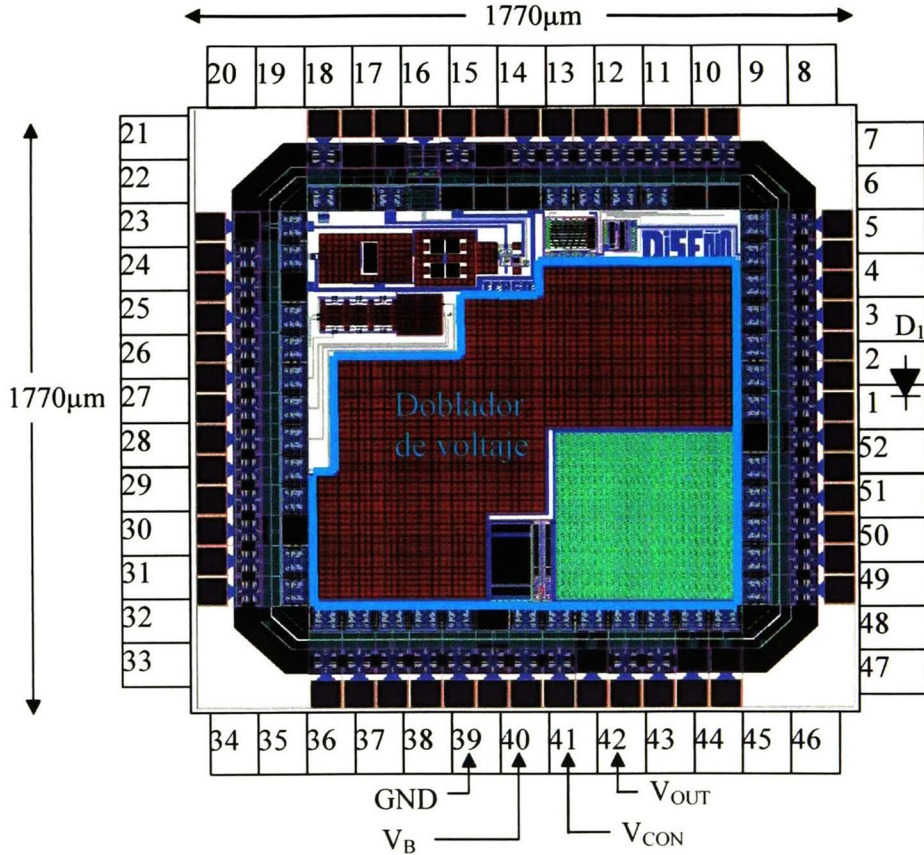


Fig. 5.1 Diseño final del chip

Para verificar la funcionalidad del circuito doblador es necesario realizar los siguientes pasos y mediciones experimentales:

- 1.- Conectar las terminales de alimentación V_B al pin 40 y GND al pin 39.
- 2.- Conectar el ánodo de D_1 (diodo de arranque) del pin 2 a V_B en el pin 40.
- 3.- Conectar el cátodo de D_1 (diodo de arranque) del pin 1 a V_{OUT} en el pin 42.
- 4.- Aplicar una señal de voltaje al pin 41 del V_{CON} de 1.1V.
- 5.- Medir el voltaje de salida entre el pin 42 V_{OUT} y el pin 39 GND. Este voltaje debe de ser aproximadamente de 2.8V con un V_{RIPPLE} de $\pm 50mV$.

Es posible medir la frecuencia de operación del circuito, encontrando la frecuencia del V_{RIPPLE} , donde será necesario ajustar el V_{CON} dependiendo de la carga aplicada a la salida del circuito doblador. Es operado únicamente con un voltaje de control V_{CON} además de sus terminales de V_B , V_{OUT} y GND.

5.3 Resultados de las mediciones

5.3.1 GSR

Una de las principales mediciones resulta de caracterizar de manera indirecta la etapa del GSR al encontrar la frecuencia del V_{RIPPLE} , usando el setup mostrado en la Fig. 5.2, lo que permite hacer una comparación con el diseño previo (el DP contaba con un PAD para la medición de la señal de reloj, y este diseño no cuenta con esas conexiones extra), en función de los voltajes de alimentación y el rango de frecuencias en los que puede operar, verificando así la frecuencia de operación al aplicar el $V_{\text{CONTROL}}=1.15\text{V}$. El ajuste de los voltajes de control fue de forma manual y se usó una fuente de voltaje marca BK PRECISION Modelo 1670, donde sus características son presentadas en la Tabla 2.1.

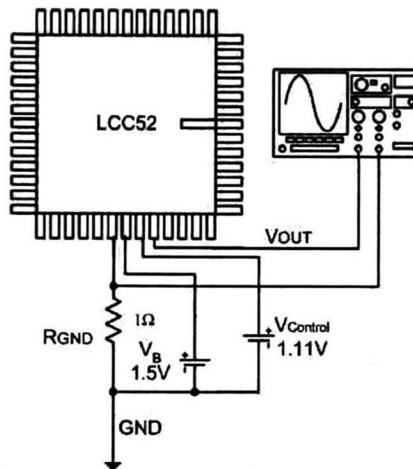


Fig. 5.2 Setup propuesto para evaluar el desempeño del DP.

La señal mostrada en la

Fig. 5.3 fue tomada con un osciloscopio de señal mezclada marca Agilent modelo 54622D (ver Tabla 2.2), la cual muestra el ruido incorporado al potencial de referencia o tierra. La captura de este ruido o señal fue usando un resistor de 1Ω conectado entre la tierra del chip y la tierra de las fuentes de voltaje, midiendo con el osciloscopio el voltaje en este resistor. La amplitud de este ruido de tierra es de 24mV .

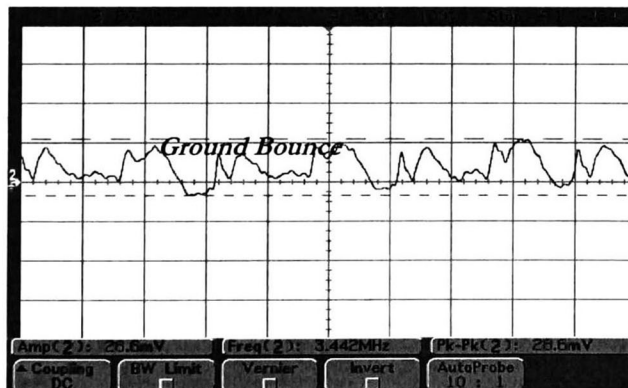


Fig. 5.3 Ruido de sustrato y su efecto en la respuesta del circuito doblador.

Es importante para la caracterización del bloque GSR la gráfica que nos muestra un barrido de $V_{CONTROL}$ que modifica la frecuencia del oscilador, donde es posible encontrar que la frecuencia varía de algunos cientos de Hz hasta los MHz. Hay una pequeña variación del 6% entre la frecuencia obtenida experimentalmente con la respuesta en simulación, mostrada en el capítulo 3. De la Fig. 5.4 se puede observar que la frecuencia de oscilación es directamente proporcional a $V_{CONTROL}$ en el rango $1.1 < V_{CONTROL} < 1.4$. Para la obtención de esa curva experimental se siguió el mismo procedimiento aplicado cuando se encontraron las características del GSR en el DP, que se resume en calibrar las puntas del osciloscopio, la calibración de los voltajes en las fuentes de alimentación y la toma de lecturas de forma manual utilizando un paso de 0.05V por medición. Posteriormente se descargan y analizan con ayuda de una PC. El proceso tiene una duración aproximada de 3 horas a partir de la calibración hasta la obtención de la gráfica.

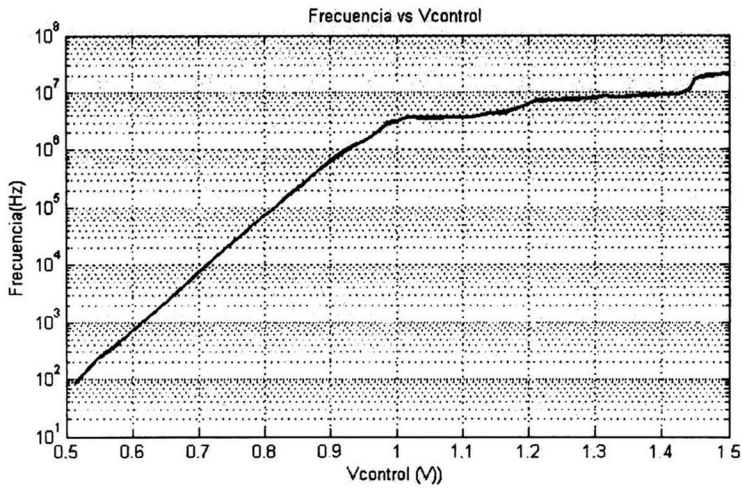


Fig. 5.4 Frecuencia vs. $V_{CONTROL}$ del GSR

Además de medir el desempeño del GSR en el voltaje nominal de 1.5V, también se aplicaron voltajes mayores y menores con el fin de conocer las capacidades del oscilador propuesto. La Tabla 5.1 muestra las características de voltaje y frecuencia máximo y mínimo con los que el GSR puede operar. Como se puede observar, mientras mayor sea el voltaje de alimentación con el que se trabaje, mayor será el rango de frecuencia con el que este oscilador podrá trabajar.

V_{CC}	$V_{CONTROL}$	f_{max} (MHz)	f_{min} (kHz)
0.9	0.9	0.213	213.6
1.5	0.55	-	0.25
1.5	1.5	20.8	-
5	0.63	-	0.422
5	5	90	-

Tabla 5.1. Rangos de frecuencia y voltaje de operación del VCO

5.3.2 Capacitores de almacenamiento C_1 y C_2 .

La Fig. 5.5 muestra el chip fabricado en la tecnología de $0.5\mu\text{m}$ dentro de un encapsulado LCC52. Los dos capacitores utilizados manejan diferentes topologías de fabricación, C_2 esta fabricado en base a un pozo y Poly-silicio, mientras que C_1 está fabricado con dos niveles de Poly-silicio. Ambos capacitores se muestran en la figura, siendo fácilmente identificables por el área requerida. El DV es mostrado dentro del recuadro rojo entre los capacitores C_1 y C_2 .

Ya que C_2 está conectado directamente al PAD de salida y tierra, se midió utilizando un analizador de impedancias marca Agilent Modelo 4192A de baja frecuencia (5Hz-13MHz), este rango es muy limitado pero suficiente para esta aplicación, ya que la frecuencia de operación del DV esta por debajo de los 13MHz de medición del equipo. Se realizó un barrido en frecuencia para encontrar la variación en la capacitancia de C_2 con respecto a la frecuencia de operación, la información fue capturada de forma manual y presentada en la Fig. 5.6. La respuesta presenta una variación debido a que la mayoría de las etapas está conectada a las terminales de V_{OUT} y GND, siendo la capacitancia de C_2 el elemento más significativo y responsable del valor de $C_{OUT} \approx 500\text{pF}$ en la terminal de V_{OUT} .

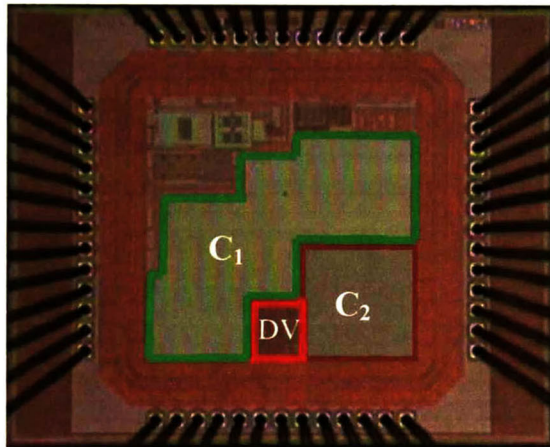


Fig. 5.5 Fotografía del chip fabricado donde el DV esta dentro del recuadro rojo.

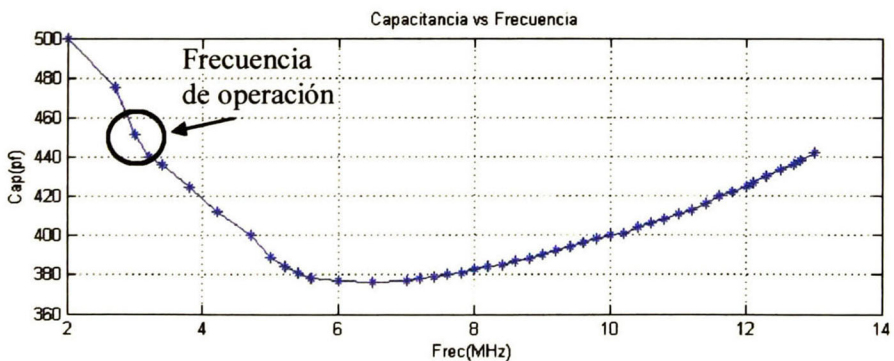


Fig. 5.6 Valor de capacitancia de C_2 sobre un rango de bajas frecuencias.

Respecto al capacitor C_1 cuya principal característica es que representa un capacitor flotante, que a diferencia de C_2 ninguna de sus terminales está conectada directamente al sustrato o tierra. Este capacitor se logró caracterizar a través un chip fabricado con estructuras de prueba (ver

Fig. 5.7) para medición directamente sobre la oblea. Utilizando la técnica de extracción de parámetros [17] fue obtenido el modelo eléctrico equivalente del capacitor unitario Poly-Poly con $C=0.253\text{pF}$ mostrado en la Fig. 5.8. El capacitor unitario presenta un desempeño adecuado a bajas frecuencias, que es el caso de esta aplicación.

Debido a la estructura de un capacitor Poly-Poly, cada una de sus placas presenta una capacitancia parásita referente a la terminal de tierra. El elemento parásito relacionado con la placa de Poly 2 puede ser despreciado a bajas frecuencias, y es mucho menor (en un 90%) que la parásita introducida por la placa de Poly 1, la cual es de consideración para la simulación y los resultados experimentales.

Este modelo eléctrico equivalente nos ayuda a tener en simulación un valor más exacto al valor final de C_1 , además de los efectos producidos por la capacitancia parásita C_{poly1} en el voltaje de salida del DV. Teniendo en cuenta que fueron usados 2000 capacitores unitarios (C_{UNIT}) para implementar C_1 , la parásita correspondiente a la placa inferior Poly-1 (tomando esta polarización para reducir sus efectos) tendrá un valor de 94pF .

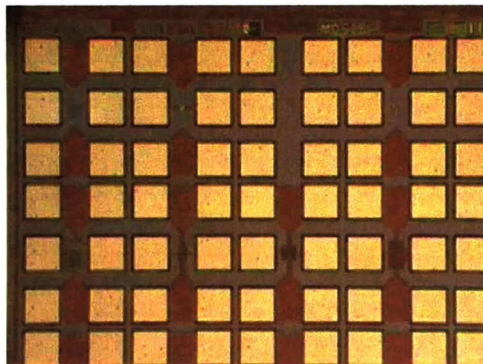


Fig. 5.7 Estructuras de prueba para mediciones *on-waffer*.

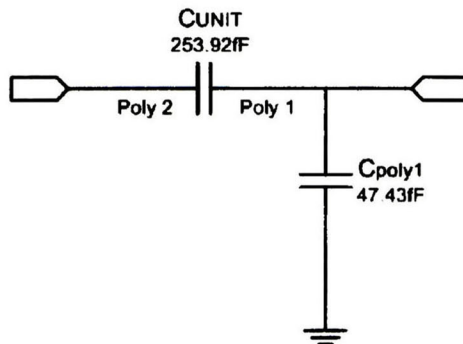


Fig. 5.8 Modelo eléctrico equivalente para un capacitor Poly-Poly.

5.3.3 Diodo Schottky

El diodo de arranque fue sustituido de un diodo convencional con un $V_D=0.7V$ por un diodo Schottky, el cual tiene una caída de voltaje $V_D=0.3V$. Esta reducción de voltaje permitiría incrementar el tiempo de estabilización del DV y garantizar su funcionamiento al momento de escalar el circuito a una nueva tecnología como CMOS $0.5\mu m$.

Para verificar el mejor desempeño del diodo utilizado, se realizó un conjunto de mediciones experimentales entre diferentes diodos además de una comparación con los modelos propuestos. La Fig. 5.9 muestra la comparación entre la respuesta de un diodo convencional, cuya caída de voltaje es $\approx 0.6V$, también se muestran la respuesta de un diodo Schottky comercial, donde su $V_D=0.18V$. Referente al diodo fabricado en la tecnología de $0.5\mu m$, se muestra la gráfica del modelo en el simulador ISE, la cual difiere del modelo SPICE por diferencias físicas como los dopados y/o distribución del dopado en la oblea. Los resultados experimentales son representados por la curva negra (Diodo Schottky) en el cual $V_D \approx 0.17V$, cumpliendo con el propósito de disminuir la caída de voltaje en el diodo y disminuir el tiempo de estabilización del voltaje de salida.

Los datos de la curva experimental del diodo fabricado se realizaron de manera automática sobre una estructura de medición on-wafer mostrada en la

Fig. 5.7, mientras que la curva experimental del diodo convencional y del diodo Schottky comercial fue utilizando un Trazador de Curvas Programable marca SONY-Tektronix Modelo 370, el cual tiene una resolución de $5mV$, haciendo una captura de datos manualmente para luego ser capturados y analizados utilizando una computadora. Este proceso requiere un tiempo de 2 horas en el cual se hace la calibración del rango de voltajes en los cuales se hará la medición, la captura, análisis y presentación de resultados.

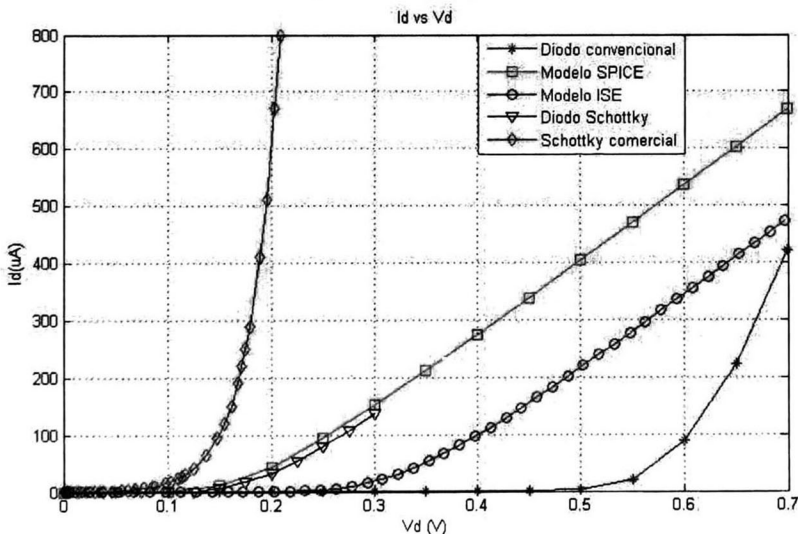


Fig. 5.9 Curvas experimentales y de simulación del diodo Schottky.

5.3.4 Doblador de Voltaje

El principal parámetro a medir en el DV viene a ser el V_{OUT} , donde idealmente tenemos un voltaje de salida $V_{OUT}=V_B \times 2$, pero debido a las pérdidas en las parásitas intrínsecas no es posible alcanzar este valor, donde el voltaje mínimo a doblar es 1V, aprovechando mejor el tiempo de vida útil de las baterías. Esta mejora es gracias a la caída de voltaje del diodo Schottky, el mayor voltaje que puede doblar es 2.6V antes de saturarse en 5V por los diodos de protección en los pads. La Fig. 5.10 muestra resultados de simulación del voltaje que entrega el DV, con un $V_{RIPPLE}= 94mV$. Debido a un error durante el diseño del layout en el chip, no es posible obtener resultados experimentales confiables, por lo que los resultados referentes al V_{OUT} se mostrarán de la simulación en SPICE, la cual incluye la extracción del DV, el modelo del diodo Schottky, los capacitores de almacenamiento con sus componentes parásitos respectivos, teniendo un modelo en simulación lo más aproximado posible al circuito fabricado, con esto es posible obtener resultados en simulación más aproximados a los experimentales y demostrar que el DV cumple con los objetivos propuestos.

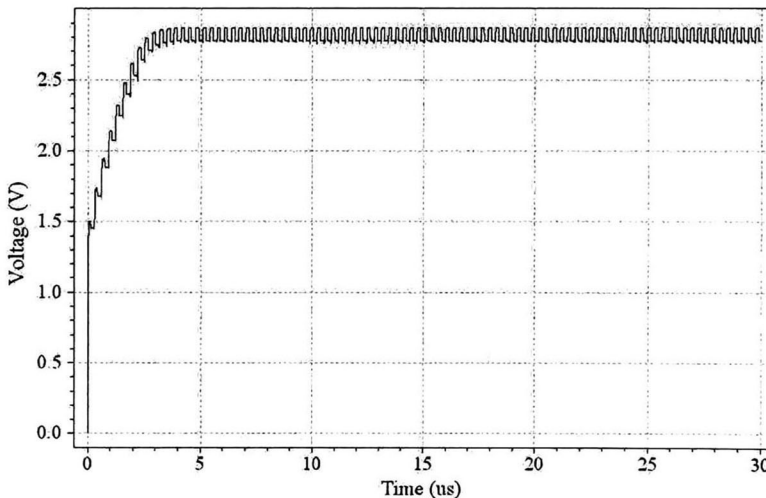


Fig. 5.10 Voltaje de salida obtenida de spice.

Es mostrada la respuesta del doblador al voltaje de entrada V_B en la Fig. 5.11, teniendo una respuesta lineal de conversión de voltaje DC-DC excepto en las fronteras, por lo que alimentando el DV con un $V_B < 1.2V$ el circuito no cumple la función de *doblar* el voltaje.

Otras mediciones realizadas ayudaron a calcular los valores de eficiencia del DV y la eficiencia en potencia, par determinar los puntos de operación donde se obtiene un mejor desempeño del doblador. Aplicando una carga resistiva al circuito se induce una demanda de corriente que, para el proceso de evaluación, permite determinar la eficiencia. Con este procedimiento se evalúa la potencia que el circuito es capaz de entregar.

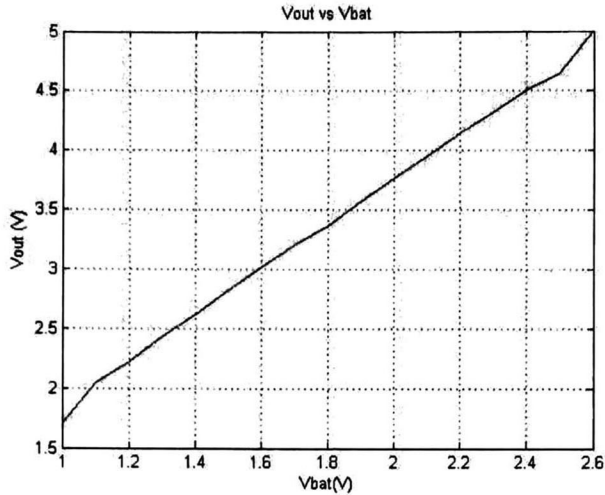


Fig. 5.11 Voltaje de salida vs. Voltaje de entrada

La

Fig. 5.12 muestra las curvas a partir de resultados de simulación de la eficiencia del circuito. Por otro lado, para la eficiencia del circuito doblador, mientras mayor sea la magnitud de la carga, menor corriente se demanda, permitiendo entregar un mayor voltaje de salida con una eficiencia máxima del 94% y un voltaje de salida máximo de 2.81V. Por lo cual, la máxima eficiencia será la característica si el DV es la alimentación de circuitería de bajo consumo de corriente.

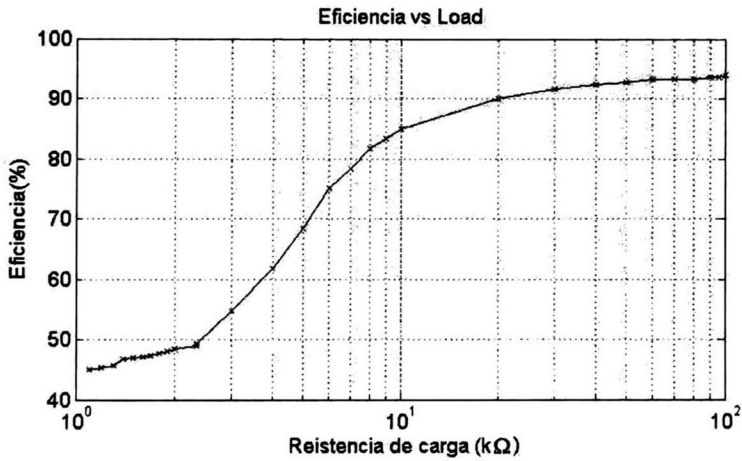


Fig. 5.12 Curva experimental para la eficiencia en potencia del doblador de voltaje

Capítulo 6

Conclusiones y Trabajo Futuro

6.1 Conclusiones

EN ESTE DOCUMENTO se describió el análisis, desarrollo, principio básico de operación y resultados de un circuito doblador de voltaje utilizando la técnicas de capacitores conmutados en una tecnología CMOS 0.5 μ m. El convertidor DC-DC fue diseñado para ser completamente integrado y satisfacer requerimientos de bajo consumo de corriente y de potencia.

El análisis realizado para la operación del DV, está basado en una alimentación de 1.5V y 3V, que son los voltajes de entrada. Estos potenciales, en la práctica son requeridos por diversos bloques del DV. Considerando que existen otros valores de voltaje utilizados en baterías, el DV es capaz de operar con voltajes menores a 1.5V gracias al uso de un diodo Schottky de baja caída de potencial, lo que permite un aumento del tiempo de vida útil de la batería (en aplicaciones portátiles).

En la propuesta son fabricados un par de capacitores de grandes dimensiones, los cuales fueron caracterizados para corroborar el valor de $C_{1,2}=500\text{pF}$. **Cabe señalar que, en el diseño del chip de prueba, se realizó una conexión anómala la cual interconecta los voltajes de alimentación de otros diseños, lo que afecta al resto de los circuitos además del DV, todos incluidos en el chip, motivo por el cual los resultados experimentales obtenidos, a nivel sistema, no corresponden a los resultados esperados, ocasionando el mismo efecto en los otros proyectos.** Esta conexión, de la cual sus efectos no fue posible eliminar, ha sido detectada como un error en el diseño del *core* y no es un error introducido por el diseño del convertidor. Ese error afecta la caracterización de otros proyectos.

El método utilizado para desarrollar el diseño del doblador de voltaje es comprobado gracias a los resultados de simulación, se cumplen los objetivos de diseñar un doblador de voltaje completamente integrado, además de obtener una reducción de área del 90%. A diferencia del diseño previo, el diseño actual no es capaz de proporcionar una corriente de 1mA al conectarse una carga de $2.35k\Omega$, ya que su capacidad de corriente es menor debido al valor de los capacitores, cuya capacidad de carga es menor que en el diseño previo.

6.2 Trabajo Futuro

Como ha sido detectada la conexión anómala, se recomienda someter a fabricación nuevamente el chip de prueba toda vez que se demuestre la conexión correcta de cada una de sus partes. Con lo anterior, será posible caracterizar adecuadamente y generar, en consecuencia, la correspondiente hoja de desempeño.

Apéndice A

Diseño de celdas

En este apéndice se muestra el análisis para encontrar las geometrías de los transistores MOS que integran cada celda. Se analizan diferentes desarrollos los cuales son aplicados a diferentes celdas dependiendo de sus características de polarización o de manejo de corriente.

A.1 Introducción

Como se sabe, el diseño de circuitos CMOS ya sea analógico o digital está basado en ecuaciones que ayudan a determinar los parámetros de los dispositivos que serán implementados en el diseño. Estos parámetros son determinados dependiendo de diversas restricciones como el voltaje, la corriente, la frecuencia de operación o la polarización de una red.

Gracias a su arquitectura, el transistor MOS presenta diferentes modos de operación, y puede ser usado como fuente de corriente, resistor activo, capacitor o diodo. En base en estas características, las principales ecuaciones que gobiernan el desempeño y las características de un transistor MOS son

$$i_D = K' \frac{W}{L} (V_{GS} - V_T)^2 \quad (\text{A.1})$$

$$id_N = K_N \frac{W_N}{L_N} (V_{GS} - V_T)^2 \quad (\text{A.2})$$

$$id_P = K_P \frac{W_P}{L_P} (|V_{GS}| - |V_T|)^2 \quad (\text{A.3})$$

De las cuales se derivan otras ecuaciones, que manejan parámetros como la transconductancia gm

$$gm(P) = 2K_P \frac{W_P}{L_P} (|V_{GS}| - |V_T|) \quad (\text{A.4})$$

$$gm(N) = 2K_N \frac{W_N}{L_N} (V_{GS} - V_T) \quad (\text{A.5})$$

Aplicando las ecuaciones anteriores, se realizan comparaciones entre niveles de corriente o ramas de polarización con la finalidad de encontrar una relación entre las geometrías de los transistores, además de utilizar los parámetros de fabricación durante el desarrollo de las fórmulas.

A.2 Compuerta NOT

En el siguiente procedimiento, se muestra el análisis para calcular la relación geométrica para una compuerta inversora. El diseño de la celda inversora nos permite utilizarla como una compuerta NOT digital ó, utilizando un arreglo de inversores, como un buffer para el manejo de carga.

Se diseña a partir de un voltaje de 5V, ya que la tecnología CMOS 0.5 μ m opera con este nivel de voltaje. Una vez que se tiene la celda diseñada, se hacen pequeños ajustes considerando que el circuito no trabajará con 5V, sino con 3 y 1.5V.

$$id_N = id_P \quad (\text{A.6})$$

$$K_N \frac{W_N}{L_N} (V_{GS} - V_T)^2 = K_P \frac{W_P}{L_P} (|V_{GS}| - |V_T|)^2 \quad (\text{A.7})$$

$$K_N \frac{W_N}{L_N} (V_{GS} - V_T)^2 = K_P \frac{W_P}{L_P} (|V_{GS}| - |V_T|)^2 \quad (\text{A.8})$$

Si

$$L_N = L_P \quad (\text{A.9})$$

$$K_N W_N (V_{GS} - V_T)^2 = K_P W_P (|V_{GS}| - |V_T|)^2 \quad (\text{A.10})$$

con las polarizaciones

$$V_{GS}(N) = 2.5V \quad (\text{A.11})$$

$$V_{GS}(P) = |2.5V| \quad (\text{A.12})$$

y los parámetros obtenidos de los procesos de fabricación

$$V_T(N) = V_{TH0} = 0.65V \quad (\text{A.13})$$

$$V_T(P) = V_{TH0} = -0.94V \quad (\text{A.14})$$

$$K_N = 57 \mu A / V^2 \quad (\text{A.15})$$

$$K_P = 18 \mu A / V^2 \quad (\text{A.16})$$

Sustituyendo los datos anteriores en la ecuación (A.10) se encuentra la relación geométrica entre W_N y W_P .

$$W_P = 4.324 W_N \quad (\text{A.17})$$

Por último, se busca un valor de W_N que nos permita tener una celda de dimensiones mínimas, que no sea sensible a pequeños cambios (mV) en los voltajes de alimentación o polarización de la celda y que las geometrías estén dadas en múltiplos de lambda (λ).

A.3 Elevador de Señal (ES)

Para el diseño de la celda ES, se utilizaron las ecuaciones (A.4) y (A.5), con las que podemos calcular una relación geométrica basada en la transconductancia de los transistores. Es importante la relación entre impedancias que se menciona en el capítulo 2, ya que permite que la celda trabaje adecuadamente.

$$R_P = 10 R_N \quad (\text{A.18})$$

$$g_{m_N} = 10 g_{m_P} \quad (\text{A.19})$$

$$K_N \frac{W_N}{L_N} (V_{GS} - V_T) = 10 * K_P \frac{W_P}{L_P} (|V_{GS}| - |V_T|) \quad (\text{A.20})$$

Si

$$L_N = L_P \quad (\text{A.21})$$

con las polarizaciones

$$V_{GS}(N) = 1.5V \quad (\text{A.22})$$

$$V_{GS}(P) = |-1.5|V \quad (\text{A.23})$$

y los parámetros obtenidos de los procesos de fabricación

$$V_T(N) = V_{TH0} = 0.65V \quad (\text{A.24})$$

$$V_T(P) = V_{TH0} = -0.94V \quad (\text{A.25})$$

$$K_N = 57 \mu A / V^2 \quad (\text{A.26})$$

$$K_P = 18 \mu A / V^2 \quad (\text{A.27})$$

Sustituyendo en la ecuación (A.20) se encuentra la relación geométrica entre los anchos W de los transistores N y P:

$$2.13 W_P = W_N \quad (\text{A.28})$$

A.4 Transistores de conmutación

Para encontrar la geometría de los transistores de conmutación se utilizó el análisis propuesto en [3], además de hacer un ajuste en las dimensiones usando el simulador T-SPICE, polarizando cada transistor de manera que se tuviera la conexión en el circuito DV, encontrando la W en base a su resistencia de encendido y a sus características I-V. La Fig. A.1 muestra el diagrama esquemático usado para encontrar el ancho W , las polarizaciones dependen de la conexión del transistor en el circuito.

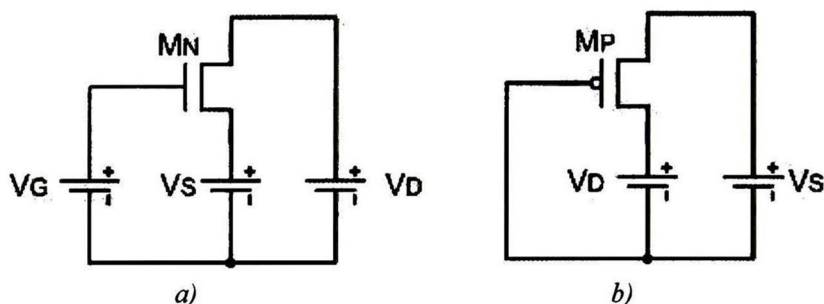


Fig. A.1 Circuitos de polarización para los transistores a) N y b) P.

Durante la simulación se hace un barrido para diferentes valores de W en el transistor, ajustando a un valor más cercano a $R_{on}=20\Omega$. La Fig. A.2 muestra un ejemplo de las gráficas realizadas para encontrar la relación W - R_{on} para los transistores de conmutación, esta gráfica presenta el comportamiento de R_{on} para el transistor M_4 , conforme el ancho del transistor aumenta, su resistencia disminuye, pagando con esta reducción de resistencia un área cada vez mayor para la implementación del transistor.

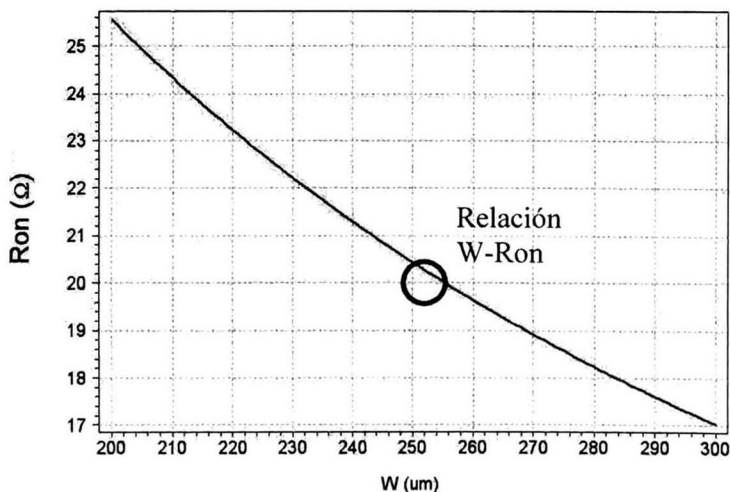


Fig. A.2 Gráfica de R_{on} vs. W para el transistor M_4 en el DV.

En el caso de la Fig. A.2, el punto donde la resistencia R_{on} alcanza un valor de 20Ω se tiene con una $W=255\mu m$, cuya dimensión será dividida en 38 transistores para implementarlo como un transistor interdigitado.

Apéndice B

Publicaciones Generadas

A Silicon-based Voltage Doubler: Preliminary Results

O. Corona-Murguía, F. Sandoval-Ibarra

CINVESTAV-Guadalajara Unit, Zapopan Jal., México

Phone +52 (33) 3770-3700, ext. 1057 Fax +52 (33) 3770-3709 E-mail: ocorona@gdl.cinvestav.mx

Abstract — This paper presents experimental results of a DC-DC converter based on the SC approach. In this design to power digital circuitry a 1.5V voltage source has been used to emulate the energy to be supplied by a single battery. The voltage source is useful also to start the $\times 2$ operation. In order to operate in a correct way the MOS switches a boost circuit based on a single NMOS gain stage was also integrated. A p-n diode in conjunction with the boost circuit define an initial condition $V_{OUT}(t=0)=V_{bi}$. The capacitors used are external components. This project has been designed according technological design rules of a $1.5\mu\text{m}$ CMOS process. From experimental results we can conclude that the error between experimental data and theory is of the order of 2%.

Keywords — MOS technology, switched-capacitors, DC-DC converters, lumped circuits.

I. INTRODUCTION

DISSIPATION is a limiting factor to increase the efficiency of DC-DC voltage converters, mainly for portable applications where current loads of few mA are commonly demanded. In order to determine how many parameters –under the designer control– are required to enhance the converter’s performance an analytical model to design a low-voltage DC-DC converter has been proposed in [1], where the switch ON-resistance $R_{ON}=20\Omega$ was incorporated as a design parameter. Since the SC-based DC-DC converter is oriented to portable applications, we have paid integration area to minimize power consumption due to the low ON-resistance requirements. On the other hand the DC-DC converter has been tested by adding external connections. Fig. 1 shows the test chip. It is easy to identify where the DC-DC converter is. The size of the converter is 1.1mm^2

Finally, in this design additional integration area was used because the converter is actually composed by several basic blocks and, to test each one, digital buffers were added to drive the total load capacitance. Fig. 2 depicts the DC-DC converter where four MOS transistors, a single battery V_B , non-overlap clock signals and a pair of capacitors are the circuit’s components to generate the $\times 2$ operation. In fact, the converter is driven by an integrated two-phase clock signal (Φ_1 and Φ_2) that is controlled by a square signal provided by a fully integrated VCO. Capacitors are the unique external components, $C_1=C_2=100\text{nF}$. Fig. 2 also shows the aspect ratio for each MOS switch. Probably this

fact is a DC-DC converter’s disadvantage, i.e. lower ON-resistance means higher integration area. In this design digital buffers consume more than 50% of the DC-DC converter area; however they are required to measure the performance of four internal nodes. For testing purposes each basic block is individually tested and then the whole DC-DC converter is formed by external connections to evaluate the performance.

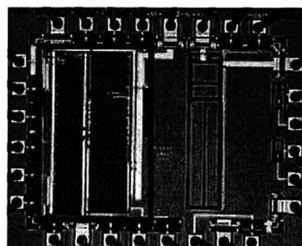


Fig. 1. The test IC was designed by using design rules of a 5V CMOS technology.

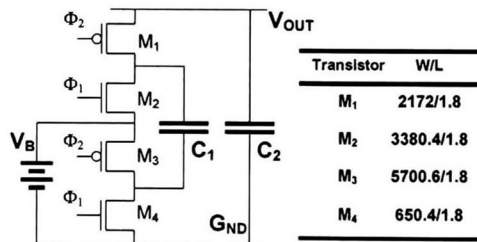


Fig. 2. The DC-DC converter. V_B is a battery of 1.5V.

This paper presents experimental results of the DC-DC converter reported in [1]. The body of the paper is organized as follows. Section 2 describes the setup and details of its electrical modeling for spice purposes. Experimental results of the clock signals are presented in section 3, where a short description of buffers and a boost circuit are also described. Section 4 presents a discussion as well as an analysis of experimental results. At the end of the paper, conclusions and future work are given.

II. SETUP DESCRIPTION

A basic guideline prior electrical simulation is that of the setup. This is basic because simulation process not only requires software and technological data but also an

equivalent lumped circuit to model both the PCB and the socket in which the test chip (or equivalently the device under test, DUT) is incorporated [3]. The deduced PCB-socket capacitive model, shown in Fig. 3, is a simplification of a general one analyzed widely in [4]. For the purpose of the converter we are not taken into account digital noise that could affect analog blocks. That is the reason why the lumped model omits noise sources and/or noisy components.

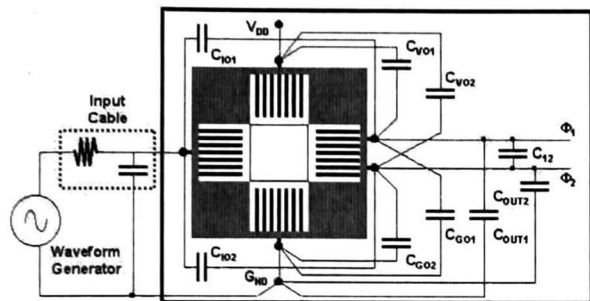


Fig. 3. Capacitive lumped circuit to model both the socket and the PCB.

Fig. 4 is a simplified representation of the experimental array to characterize basic blocks in the time domain. The setup includes the following:

- A pair of capacitors (100nF each one)
- Two voltage sources
- Multimeter
- Mixed-Mode Oscilloscope

III. CLOCK SIGNAL GENERATOR

It is a 43-stages VCO-based clock generator [5]. This circuit, shown in Fig. 5, is directly powered by a low-voltage source $V_B (=1.5V)$ to minimize the so-called short-circuit current. For characterization purposes the circuit includes two external voltage sources and an output buffer to drive the PAD's capacitance. One voltage source is the battery while the second one is the VCO's control voltage, V_C . Using an Agilent (54622D) Mixed-Signal Oscilloscope experimental data were captured at room temperature. Fig. 5 gives also a data comparison: spice vs experimental data. Analyzing the simplified circuit shown in Fig. 2 we can see that, at the time $t=0$, M_4 and M_3 are controlled by phases Φ_1 and Φ_2 , respectively because both transistors are powered by V_B . That is true also because the input signal of the two-phase clock generator is the VCO response shown in Fig. 5, i.e. the clock signal amplitude is that of 1.5V. However, that clock amplitude is not enough to control the operation of M_1 and M_2 because $V_{OUT}=0$ at $t=0$. As an example, the source voltage of M_2 is 1.5V, thus its minimum gate voltage to correct operation must be V_B+V_{Tn} , where V_{Tn} is the NMOS

voltage threshold. A solution is implementing a boost circuit to increase gradually the clock signal amplitude as V_{OUT} increases.

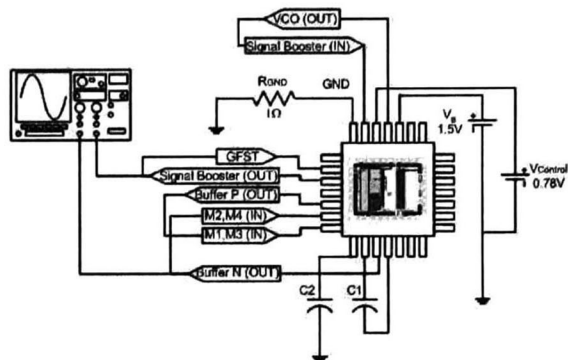


Fig. 4. Schematic of the setup. Here socket and PCB have been omitted.

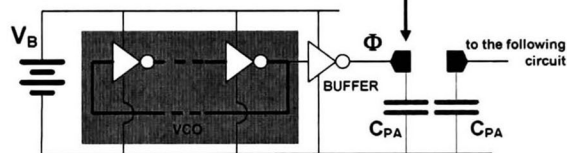
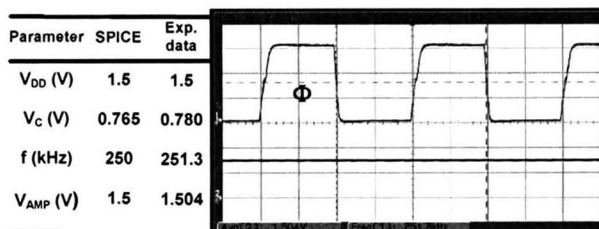


Fig. 5. Simulation results fit correctly the experimental values.

Fig. 6 shows the boost circuit, where the diode provides an output voltage $V_{OUT}(0^+)$ to start the $\times 2$ process as well as the correct operation of switches. The diode build-in voltage is $V_{bi}=800mV$. As we have seen in Fig. 6, the boost circuit is an inverter amplifier with passive load, R_E . That is the reason why the output response's phase is 180° . The aspect ratio of M_E is $50\mu m/1.8\mu m$ and the load is a $70k\Omega$ N-well resistor. This circuit also includes an output buffer to drive the PAD's capacitance.

A. TWO PHASE CLOCK GENERATOR

The circuit is based on a well-known OR gates array, where the non-overlap region is controlled by output inverters. The boost circuit provides a high amplitude clock signal ($>V_B$). As we have seen in Fig. 2 switches are NMOS- and PMOS-type, thus the clock signals have the same phase but different pulse width.

This characteristic means that firstly PMOS switches are turned-on (NMOS switches are turn-off), next they must be turned-off and few ns later NMOS switches must be turned-on. This clocking process, labeled ON-OFF, is shown in Fig. 7. The delay between signals defines the non-overlap region during the rise sequences.

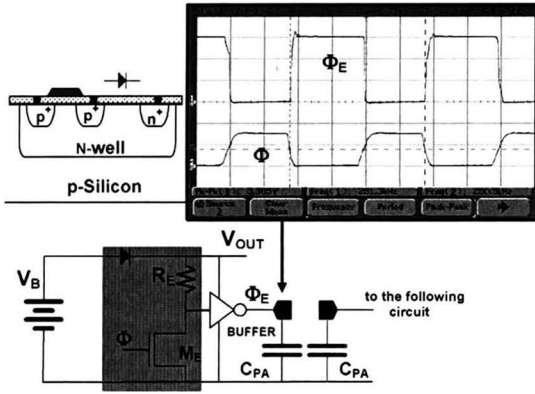


Fig. 6. The circuit response corresponds to the maximum V_{OUT} . It is illustrated how the diode was developed.

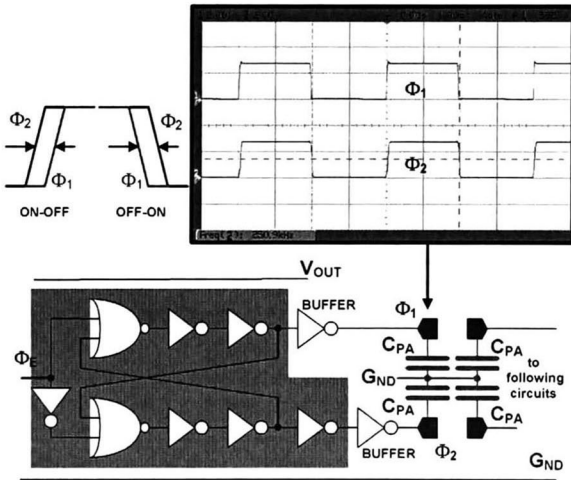


Fig. 7. The two-phase clock signals present different pulse width.

IV. THE DC-DC CONVERTER

Preliminary results indicate that an output voltage of 2.7V is obtained when a clock frequency of 250 kHz is applied. The clock frequency depends on the time constant RC, where V_{OUT} is approximate to $2V_{IN}$ when $2RC \leq \frac{1}{2}T$ [2]. Fig. 8 shows a comparison between spice and experimental results. By one side, we can see that the output ripple is

higher than the expected one. On the other hand, the output response is 100mV lower than spice prediction. In order to determine the reason of such an unexpected result we have concluded that an error in the width of clock signals has been the reason of that response. As Fig. 9b depicts there is not a non-overlap region during the ON-OFF clocking period. According experimental results firstly PMOS switches are turned-on (NMOS switches are turned-off); that is ok. Later, PMOS switches must be turned-off and then NMOS switches have to be turned-on. However, Fig. 9 shows that the later characteristic is not the case because PMOS switches are still turned-on and few ns later NMOS switches will be turned-on. Because there is a time Δt in which both switches are turned-on they generate a great short-circuit current, i.e. there is an undesirable power consumption. However, during the OFF-ON clocking period the operation of switches is well defined and the converter's performance is acceptable.

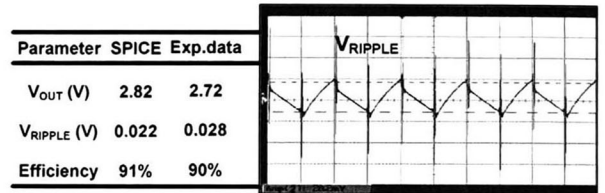


Fig. 8. Resume of experimental results and V_{RIPPLE}

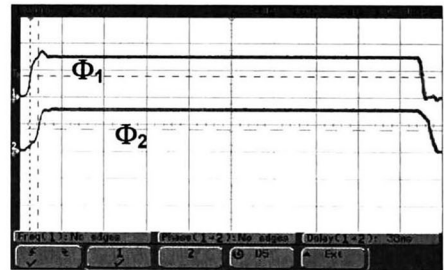


Fig. 9. Signals applied at the gate of switches (b).

It is clear that a deep analysis must be done to obtain a suitable non-overlap region at the rise regimen. However, in high percentage the performance of the DC-DC converter is as theory has predicted but the power consumption. In the following power consumption and integration area should be minimized because no buffers will be required but just one at the output node. We expect a better performance once capacitors are also integrated. In that sense poly-poly capacitor would be a suitable component to design the floating capacitor, while a poly-silicon component would be the grounded capacitor. From experimental results we have seen that high capacitance values provide better performance. In practice, we must still determine the maximum capacitance value to be integrated for reaching

two basic objectives: reduce the output ripple and the total integration area. That characteristic is by itself a trade-off and probably the solution is using another technology, where a $0.5\mu\text{m}$ CMOS process is a technological option. An important parameter to be analyzed is the power efficiency. That is calculated by using the relation between powers, i.e. the output power and the input one. The power efficiency of this circuit is shown in Fig. 10. When the load is set to $2.35\text{k}\Omega$, the circuit shows the best power efficiency, decreasing when the load increases.

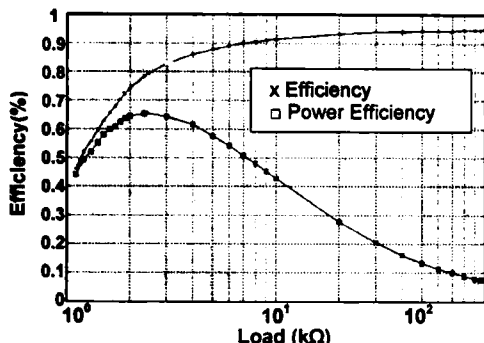


Fig. 10. Experimental data of the voltage doubler's power efficiency.

Finally, in order to minimize the DC-DC converter's settling time we must evaluate to consider a Schottky diode instead of the p-n structure. One of several advantages of Schottky diodes is the built-in voltage which would be designed to obtain approximately a barrier of 300mV [6].

V. CONCLUSIONS

In this paper experimental results of a DC-DC converter based on the switched-capacitor approach have been presented. A 1.5V voltage source was used to supply digital circuitry that is composed by several basic blocks. One of them is a two-phase clock generator required to operate MOS switches. Preliminary experimental results shown an unexpected output voltage ($V_{\text{OUT}}=2.72\text{V}$), which is 100mV lower than spice results. Analyzing the response of basic blocks we found that an overlap region between clock phases are responsible of dissipation because short-circuit currents increases. The overlap region has been measured (35 ns) and corresponds to the named ON-OFF period. Consequently we have also measured the ground bounce response and its effect at the output node. The first one presents a maximum voltage $V_{\text{GB,MAX}}=400\text{mV}$ and the second one is of the order of 60mV . According to these results an analysis on non-idealities and other effects is the following activity of this project.

ACKNOWLEDGMENT

This design was fabricated using the facilities of the MOSIS Academic program. G.C.M. thanks the scholarship given by CONACyT-México.

REFERENCES

- [1] E. J. Vargas-Calderón, *Analysis and Design of a CMOS Doubler Voltage for Portable Applications*, M.Sc. Thesis, CINVESTAV-Guadalajara Unit, Sep 2005 (in Spanish).
- [2] E. Vargas-Calderón and F. Sandoval-Ibarra, A Switched Approach for a Voltage Generator, *4th WSEAS Int. Conf. on Electronics, Signal Processing and Control*, 25-27 April 2005, Rio de Janeiro (Brazil).
- [3] Nishath K. Verghese, and David J. Allstot, Computer-Aided Design Considerations for Mixed-Signal Coupling in RF Integrated Circuits, *IEEE J. of Solid-State Circuits*, vol. 33, No. 3, pp. 314-323, 1998.
- [4] R. Rodríguez-Calderón and F. Sandoval-Ibarra, Explaining the Unexpected Performance of a Switched-Current $\Sigma\Delta$ Modulator, *4th Electronic Circuits and Systems Conference*, pp. 143-146, September 11-12, 2003, Bratislava, Slovakia.
- [5] Baker R. Jacob, *CMOS circuit design, layout, and simulation*, IEEE PRESS, pp. 384-386, New Jersey, USA, 1998.
- [6] O. Alonso-Herrera, J.L. del Valle-Padilla, *Diseño de un diodo discreto híbrido PIN/Schottky de 350V de voltaje de bloqueo*, Proc. of the X Iberchip Workshop, 10-12 MARCH 2004, Cartagena, Colombia.

Referencias

- [1] E. Vargas-Calderon, "Análisis y Diseño de un Doblador de Voltaje CMOS para Aplicaciones Portátiles", Tesis de maestría, CINVESTAV Unidad GDL, Octubre 2004.
- [2] Anantha Chandrakasan and Robert Brodersen, "Low-Power CMOS Design", IEEE Press, pp 129-136, NJ, USA, 1998.
- [3] E. Vargas -Calderon and F. Sandoval-Ibarra, "A switched Approach for a Voltage Generator", WSEAS Transactions on Circuits and Systems, Issue 4, Vol. 4, Río de Janeiro, Brazil, April 2005.
- [4] O. Corona-Murguía and F. Sandoval-Ibarra, "A Silicon-based Voltage Doubler: Preliminary Results", 3rd International Conference on Electrical and Electronics Engineering, Veracruz, Mexico, September 2006.
- [5] Janusz A. Starzyk, Ying-Wei Jan and Fengjing Qiu, "A DC-DC Charge Pump Design Based on Voltage Doublers", IEEE Transactions on Circuits and Systems, Issue 3, Vol. 48, March 2001
- [6] Jieh-Tsorng Wu and Kuen-Long Chang, "MOS Charge Pumps for Low-Voltage Operation", IEEE Journal of Solid-State Circuits, Issue 4, Vol. 33, April 1998.
- [7] Jieh-Tsorng Wu, Yueh-Huang Chang and Kuen-Long Chang, "1.2V CMOS Switched-Capacitor Circuits", ISSCC96, Issue24, Vol. 4. February 1996.
- [8] Shihab Al-Kuran, Norman Scheinberg and John van Saders, "GaAs Switched Capacitor DC-to-DC Converter", IEEE Journal of Sold-State Circuits, Issue 8, Vol. 35, August 2000.
- [9] Chi-Chang Wang and Jiin-chuan Wu, "Efficiency Improvement in Charge Pump Circuits", IEEE Journal of Solid-State Circuits, Issue 6, Vol. 32, June 1997.
- [10] Tonny A. F. Duisters and Eise Carel Dijkmans, "A -90-dB THD Rail-to-Rail Input Opamp Using a New Local Charge Pump in CMOS", IEEE Journal of Solid-State Circuits, Issue 7, Vol. 33, July 1998.
- [11] Pierre Favrat, Philippe Deval and Michel J. Declercq, "A High-Efficiency CMOS Voltage Doubler", IEEE Journal of Solid-State Circuits, Issue 3, Vol. 33, March 1998.
- [12] Jongshin Shin, In-Young Chung, Young June Park and Hong Shick Min, "A New Charge Pump Without Degradation in Threshold Voltage Due to Body Effect", IEEE Journal of Solid-State Circuits, Issue 8, Vol. 35, August 2000.
- [13] R. Jacob Baker, Harry W. Li and David E. Boyce, "CMOS Circuit Design, Layout and Simulation", IEEE Press, pp 201-220, 383-387, NJ, USA, 1998.

[14] Phillip E. Allen and Douglas R. Holberg, "CMOS Analog Circuits Design", Oxford University Press, pp 72-97, 113-124, NY, USA, 2002.

[15] Alan Hastings, "The ART of ANALOG LAYOUT", Prentice Hall, pp 194-212, NJ, USA, 2001.

[16] A. Navarro-Castellanos, "Generador de micro-potencia para tarjetas pasivas de RFID a 915MHz, empleando la tecnología CMOS ESTADAR de 0.5 mm", Tesis de maestría, CINVESTAV Unidad GDL, Diciembre 2006.

[17] Reydezel Torres-Torres, Roberto Murphy-Arteaga and J. Apolinar Reynoso-Hernández, "Analytical Model and Parameter Extraction to Account for the Pad Parasitics in RF-CMOS", IEEE Transactions on Electronic Devices, Issue 7, Vol. 52, July 2005.



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

Diseño de un Convertidor DC-DC en Tecnología CMOS 0.5um

del (la) C.

Omar Ulises CORONA MURGUÍA

el día 08 de Diciembre de 2006.

Dr. Juan Luis Del Valle Padilla
Investigador CINVESTAV 3C
CINVESTAV Unidad Guadalajara

Dr. Federico Sandoval Ibarra
Investigador CINVESTAV 3A
CINVESTAV Unidad Guadalajara

Dr. Amner Israel Ramírez Vázquez
Investigador CINVESTAV 3A
CINVESTAV Unidad Guadalajara



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000006593