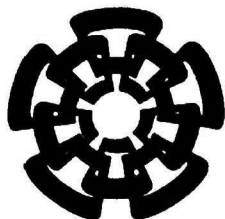


xx(132600.1)



CINVESTAV

Centro de Investigación y de Estudios Avanzados del I.P.N.
Unidad Guadalajara

Circuito Mezclador CMOS para Conversión de Frecuencia en Tecnología 0.5 μ m

CINVESTAV
IPN
**ADQUISICION
DE LIBROS**

Tesis que presenta:
Gabriel Regalado Silva

para obtener el grado de:
Maestro en Ciencias

en la especialidad de:
Ingeniería Eléctrica

Director de Tesis
Dr. Juan Luis del Valle Padilla

CINVESTAV I.P.N.
SECCION DE INFORMACION

Guadalajara, Jalisco, Diciembre del 2006.

CLASIF.: F165.58 .R44 2006
ADQUIS.: SSI-440
FECHA: 5-VII-2007
PROCED.: DON-2007
\$ _____

I.D. 132015-2001

Circuito Mezclador CMOS para Conversión de Frecuencia en Tecnología 0.5 μ m

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

Por:

Gabriel Regalado Silva

Ingeniero Electrónico en Computación
Centro de Enseñanza Técnica Industrial 1995-2000

Becario de CONACYT, expediente no. 191447

Director de Tesis
Dr. Juan Luis del Valle Padilla

Agradecimientos

A Dios, por darme la oportunidad de seguir adelante.

A mis Padres, con toda mi gratitud por el apoyo incondicional que siempre me han brindado.

A mis Maestros, el Dr. Juan Luis del Valle y el Dr. Federico Sandoval Ibarra, con respeto y admiración, quienes me proporcionaron su orientación en este trabajo de investigación.

Al Dr. Juan Manuel Ramírez, por sus aportaciones a mi trabajo y ser parte del jurado.

Al Dr. José Miguel Rocha, del INAOE, por su apoyo en la fabricación del *chip-on-board*.

Al la Dra. Ma. Del Carmen Maya y el Dr. Apolinar Reynoso, del CICESE, por sus valiosos comentarios y apoyo en mediciones *on-wafer*.

A mis Compañeros, por brindarme su amistad.

Al CONACYT, por el apoyo económico durante la estancia en la maestría.

CMOS Mixer Circuit for Frequency Conversion in 0.5 μm Technology

by

Gabriel Regalado Silva

December, 2006

Abstract

The CMOS technology is increasing in the design of RF applications due to the tendency of integrating electronic systems in a single chip. The design of transceivers for portable applications presents various challenging issues, due to the necessity of reducing the size, cost and power consumption. The actual tendency in the development of these systems is their integration in one or two chips. Nowadays, there are integrated transceivers, which contain low-noise amplifiers (LNAs), mixers, oscillators, A-D and D-A converters and digital circuitry. Mixers are frequency translating devices that convert input signals from one frequency to another by mixing these signals with another of known frequency. Mixers perform the mixing operation by multiplying the two input signals. The output, IF, is the product of the two signals RF and LO, and it contains the sum and difference of the two input frequencies. In receivers, the lower frequency component is the desired one.

This work describes the design of a CMOS double-balanced mixer for UHF applications. The mixer has been designed according with technological design rules of a 0.5 μm , N-well CMOS process. Since this design uses 4-transistors per current-branch and all transistors operate under strong inversion regimen the minimum power supply is 4.8V. In practice, the mixer power supply would be taken from the RF energy with help of a voltage multiplier. From simulation results a power consumption of 16mW was deduced. The mixer occupies an area of 92.4 \times 91.5 μm^2 .

This work also presents the design of two VCOs, one of them working at 20MHz and the other at 900MHz. In the other hand, a circuits' characterization methodology is described in order to take advantage of the Electronics Design Laboratory at Cinvestav Guadalajara.

This thesis is organized as follows: Chapter 2 presents the description of terms used in the design of RF circuits, like distortion, one-dB compression point, and third-order interception point. Chapter 3 presents different configurations of oscillators. In chapter 4, mixers are described. Chapter 5 describes the implementation and simulation of a mixer and two VCOs, as well as details of the designs like layouts. The different test strategies and experimental results are presented in chapter 6.

Thesis Supervisor: Dr. Juan Luis del Valle Padilla

Contenido

| | | |
|----------|---------------------------------------|-----------|
| 1 | Introducción | 1 |
| 1.1 | Antecedentes | 1 |
| 1.2 | Arquitecturas de Receptores | 2 |
| 1.2.1 | Receptor Superheterodino | 2 |
| 1.2.2 | Receptor homodino | 3 |
| 1.3 | Propuesta de Investigación | 3 |
| 2 | Terminología de RF | 5 |
| 2.1 | Introducción | 5 |
| 2.2 | Distorsión | 6 |
| 2.2.1 | Medida de la Distorsión | 6 |
| 2.2.2 | Punto de Compresión de 1dB (P-1dB) | 7 |
| 2.2.3 | Intermodulación | 8 |
| 2.2.4 | Punto de Intercepción de Tercer Orden | 9 |
| 2.3 | Figura de Ruido | 11 |
| 2.4 | Conclusiones | 12 |
| 3 | Circuitos Osciladores | 13 |
| 3.1 | Introducción | 13 |
| 3.2 | El oscilador no-Ideal | 14 |
| 3.3 | Osciladores en Transreceptores | 15 |
| 3.4 | Constante de Entonado y Linealidad | 15 |
| 3.5 | Consumo de Potencia | 16 |
| 3.6 | Relación Ruido de Fase-a-Portadora | 16 |
| 3.7 | Osciladores Integrados | 17 |
| 3.7.1 | Osciladores LC | 18 |
| 3.7.2 | Osciladores de Anillo | 18 |
| 3.8 | Osciladores de Anillo CMOS | 19 |
| 3.8.1 | OA de Salida Simple | 19 |
| 3.8.2 | OA Current-Starved | 21 |
| 3.8.3 | OA con Salidas en Cuadratura | 22 |
| 3.8.4 | OA Diferenciales | 23 |
| 3.9 | Conclusiones | 24 |
| 4 | Mezcladores | 25 |
| 4.1 | Teoría del Mezclador | 25 |

| | | |
|----------|---|-----------|
| 4.2 | Frecuencia Imagen | 27 |
| 4.3 | Arquitecturas de Rechazo de Imagen | 28 |
| 4.3.1 | Arquitectura Hartley | 28 |
| 4.3.2 | Arquitectura Weaver | 29 |
| 4.4 | Topologías de Mezcladores | 31 |
| 4.4.1 | Operación No-Lineal | 31 |
| 4.4.2 | Mezclador No-Balanceado | 32 |
| 4.4.3 | Mezclador Balanceado-Simple (<i>single-balanced</i>) | 32 |
| 4.4.4 | Mezclador Doblemente-Balanceado (<i>double-balanced</i>) | 33 |
| 4.4.5 | Mezclador Gilbert | 34 |
| 4.4.6 | Análisis de la celda MOS Gilbert | 35 |
| 4.5 | Conclusiones | 37 |
| 5 | Diseño en Tecnología 0.5μm | 39 |
| 5.1 | Mezclador Doblemente-Balanceado | 39 |
| 5.2 | Convertidor de Señal Simple-a-Diferencial | 41 |
| 5.3 | Convertidor de Salida Diferencial-a-Simple | 42 |
| 5.4 | Simulación y Layout | 43 |
| 5.4.1 | Layout | 43 |
| 5.4.2 | Punto de Compresión de 1dB | 45 |
| 5.4.3 | Punto de intercepción de Tercer orden | 45 |
| 5.5 | VCO de 4-etapas | 46 |
| 5.6 | VCO diferencial 3-etapas | 49 |
| 5.7 | Conclusiones | 51 |
| 6 | Resultados Experimentales | 55 |
| 6.1 | VCO <i>Current-Starved</i> de 4 Etapas | 55 |
| 6.1.1 | Frecuencia vs voltaje | 55 |
| 6.1.2 | Efecto de la Capacitancia de Carga | 56 |
| 6.2 | Caracterización <i>on-wafer</i> | 58 |
| 6.2.1 | <i>Setup</i> para Caracterizar el VCO Diferencial | 61 |
| 6.2.2 | <i>Setup</i> para Medición del Coeficiente de Reflexión S ₁₁ | 61 |
| 6.2.3 | <i>Setup</i> para Medición de IF y P _{1dB} | 62 |
| 6.2.4 | <i>Setup</i> prueba Medición de IP ₃ | 62 |
| 6.3 | Conclusiones | 63 |
| 7 | Conclusiones y Trabajo Futuro | 65 |
| 7.1 | Conclusiones y Contribuciones | 65 |
| 7.2 | Trabajo Futuro | 66 |
| A | Análisis celda Gilbert | 67 |
| B | Punto intercepción IP₃ | 71 |
| C | Publicaciones generadas | 73 |
| | Referencias | 79 |

Capítulo 1

Introducción

La tecnología CMOS está participando cada vez más en el diseño de aplicaciones de RF debido a la tendencia de integrar sistemas electrónicos en un sólo chip. El diseño de transmisores/receptores para aplicaciones portátiles presenta una serie de retos debidos, principalmente, a la necesidad de reducir el tamaño, costo y consumo de potencia. La tendencia actual en el desarrollo de estos sistemas es su integración en uno o dos chips. Hoy día existen transmisores/receptores integrados, los cuales contienen amplificadores de bajo-ruido (LNAs), mezcladores, osciladores, convertidores A-D y D-A, y circuitería digital. En lo referente a circuitos mezcladores, éstos son dispositivos que permiten la conversión de frecuencia, es decir, en un sistema de comunicación la señal de RF es la frecuencia de transmisión que es convertida a una frecuencia menor llamada frecuencia intermedia (IF) para permitir, en etapas posteriores de un receptor, una mejor selectividad en el filtrado y una implementación más fácil de bloques de amplificación de bajo ruido de alta ganancia. Porque es difícil que un convertidor A-D cuente con los bits suficientes para procesar información de MHz a GHz, el convertidor de frecuencia (*downconverter*) juega un papel importante en un circuito receptor.

1.1 Antecedentes

LAS COMUNICACIONES inalámbricas han experimentado un crecimiento global en la última década debido a la constante demanda de acceso a la información. Importantes investigaciones han sido enfocadas en áreas de aplicación, como telefonía celular, teléfonos inalámbricos domésticos, sistemas de posicionamiento global (GPS), y redes de área local (WLANs) que permiten al usuario acceder a Internet sin que exista una conexión física. Recientemente, la investigación se ha enfocado en implementaciones CMOS de sistemas de comunicación inalámbricos de bajo-coste y alto-rendimiento, principalmente debido al escalamiento de la tecnología, la cual ofrece la capacidad de integrar circuitería compleja de procesamiento de señal con costos más bajos comparando con otras tecnologías de circuitos integrados.

Porque la tecnología CMOS es la solución más efectiva en costo hoy día para aplicaciones de sistemas en chip (SoC), hoy día existen transmisores/receptores completamente integrados. De esta forma los equipos de comunicaciones son pequeños, más ligeros, y económicos. Sin embargo, el diseño de circuitos CMOS de RF es todavía un reto debido a compromisos en consumo de potencia y de ruido, los cuales imponen límites al diseño.

Por otro lado, los equipos de comunicaciones portátiles requieren de receptores de alto desempeño y bajo consumo de potencia. Esto ha motivado al diseño de bloques de un receptor como un mezclador y un oscilador local (LO) para conversión de frecuencia.

El mercado creciente de sistemas de comunicación inalámbrica ha guiado a esfuerzos en la industria de la información para mejorar el desempeño de los sistemas de comunicaciones inalámbricas. Las aplicaciones en este campo están aún en evolución, mientras que el mercado consumidor determinará la aceptación del precio del producto final basado en conveniencia, funcionalidad, y comparación con otros sustitutos. En conjunto con las técnicas de diseño de circuitos, las limitaciones de las tecnologías utilizadas determinan el desempeño que puede ser alcanzado en los dispositivos requeridos en un sistema. Afortunadamente, del punto de vista de la ingeniería, la tecnología de los semiconductores ha sido clave en el crecimiento de las comunicaciones inalámbricas en los últimos años, ofreciendo conveniencia y accesibilidad a través de ventajas en costo, tamaño y consumo de potencia. Un mejor entendimiento de cómo una tecnología de circuitos integrados afecta una serie de componentes que procesan una señal de RF, ayudará en el diseño de sistemas inalámbricos y en el desarrollo de tecnologías de proceso para las cada vez más complejas aplicaciones del futuro [1].

1.2 Arquitecturas de Receptores

En un sistema receptor, la señal de RF es recibida por una antena y las etapas posteriores realizan funciones de procesamiento de señal analógico en el cuál la señal es convertida en frecuencia, luego es amplificada, filtrada y digitalizada (ver Fig. 1.1).

1.2.1 Receptor Superheterodino

Esta arquitectura fue propuesta por E. H. Armstrong en 1917. Su principio de funcionamiento se basa en la mezcla de la señal de entrada con una señal de un oscilador local, y así realizar la conversión a una frecuencia menor, llamada frecuencia intermedia. En la práctica la señal recibida de RF es amplificada por un circuito de bajo ruido (LNA). Es importante amplificar la señal de RF en una etapa inicial para incrementar el nivel de la señal y minimizar el impacto de contribuciones de ruido de etapas posteriores. Entonces, aparece el problema de la frecuencia imagen, es decir, las bandas simétricamente localizadas *arriba y debajo* de la frecuencia del oscilador local LO son convertidas a la misma frecuencia central. El método más común para rechazar la imagen es por medio de un filtro de rechazo de imagen. Un LO de frecuencia variable, en conjunto con un mezclador, convierte la señal entrante a una frecuencia menor (*downconversion*) denominada frecuencia intermedia o IF. La señal IF es filtrada mediante un filtro de alta selectividad el cual rechaza los canales adyacentes no deseados. Sin embargo, los receptores superheterodinicos requieren filtros caros que, con las tecnologías existentes, no pueden ser integrados en el mismo chip que el receptor. Por lo tanto, arquitecturas que utilizan un número mínimo de componentes externos, como la arquitectura de conversión directa, se han vuelto populares [2].

1.2.2 Receptor homodino

Este receptor llamado también de conversión directa es favorable para receptores de baja potencia ya que convierte la señal de RF directamente a banda base, eliminando etapas extras de frecuencia intermedia y mezcladores. Existen dos importantes ventajas de la conversión directa que la hacen favorable para alta integración y bajo consumo de potencia. Primero, el problema de frecuencia imagen se evita debido a que $\omega_{IF}=0$. Como resultado, no se requiere filtro de imagen. Segundo, las etapas subsiguientes a la etapa de conversión de frecuencia en un receptor superheterodino, son reemplazadas por un filtro pasa-bajas el cual es fácil de integrar. Desafortunadamente la desventaja en la conversión directa es el aislamiento finito entre el puerto LO y las entradas del mezclador y del LNA, produciendo componentes de mezcla indeseados [3].

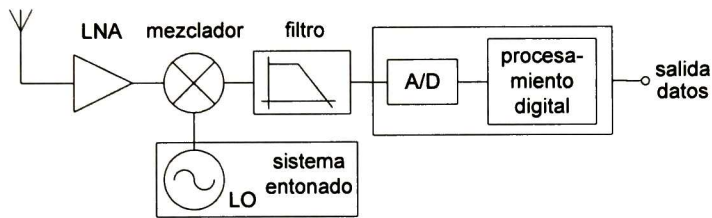


Fig. 1.1 Diagrama a bloques de un receptor homodino.

1.3 Propuesta de Investigación

Ha quedado establecido que un sistema receptor es fundamental para las comunicaciones de hoy día y, que la tecnología CMOS, es una opción para un desarrollo completamente integrado no sólo para satisfacer especificaciones de bajo costo, sino para ofrecer una opción de diseño a nivel bajo consumo de potencia. Por lo anterior, es propósito de este trabajo de tesis sentar las bases para el desarrollo de un sistema receptor completamente integrado a partir de las facilidades tecnológicas CMOS existentes en la Unidad Guadalajara. Las ventajas de este desarrollo son varias:

- Es un tema de investigación para incursionar en problemas de actualidad
- Permite conocer los principios físicos de operación a nivel componente, circuito y sistema.
- Es el medio para desarrollar sistemas completamente integrados e incursionar en técnicas de caracterización *on-wafer*.
- Las actividades multidisciplinarias propias del tema dan lugar a la generación de conocimiento.

Por lo anterior, el **objetivo general** de este trabajo de tesis es, por un lado, realizar el ciclo completo de diseño, en una tecnología CMOS-0.5 μ m, de dos bloques básicos: un circuito mezclador y un oscilador local para operación en el rango de 900MHz, así como otro VCO operando hasta 20MHz. Por el otro, ofrecer una metodología de caracterización de circuitos y componentes que permita aprovechar las facilidades de caracterización de circuitos integrados del laboratorio de Diseño de la Unidad Guadalajara. La organización del trabajo de tesis es la siguiente:

El capítulo 2 presenta una descripción de términos importantes utilizados en el diseño de circuitos de RF, como distorsión, punto de compresión de 1 dB, y el

punto de intercepción de tercer-orden. Parámetros éstos que determinan la calidad del diseño.

El capítulo 3 presenta distintas configuraciones de circuitos osciladores. Se describen ventajas/desventajas y se analiza la conveniencia de usar una u otra propuesta como oscilador local.

En el capítulo 4, se presenta el principio básico de operación de los mezcladores y se determinan qué consideraciones de diseño se deben satisfacer para proponer un diseño completamente monolítico.

El capítulo 5 describe la implementación y simulación de un circuito mezclador y de osciladores controlados por voltaje (VCOs), así como detalles del diseño a nivel *layout*.

Las distintas estrategias de prueba y resultados experimentales preliminares son presentadas en el capítulo 6.

Finalmente, en el capítulo 7 se presentan las conclusiones y se describen actividades a desarrollar como trabajo futuro.

Capítulo 2

Terminología de RF

El propósito de este capítulo es doble. Por un lado, se presentan conceptos básicos que son utilizados en el diseño de circuitos para sistemas de comunicaciones. Por el lado, la descripción sirve como referencia para la lectura de esta tesis y poner al lector en contexto. La razón es simple, con la alta demanda de sistemas de comunicaciones tanto transmisores como receptores actualmente necesitan el manejo de múltiples señales, algunas deseadas y otras no-deseadas. Cuando esas señales se presentan en la entrada de un circuito mezclador de señales, éstas generan armónicos y componentes de intermodulación. Eliminar o minimizar, bajo criterios o estándares establecidos los armónicos no deseados, es prioridad del diseñador.

2.1 Introducción

LA MAYORÍA de las figuras de mérito son expresadas como mediciones de potencia a diferencia de indicar una medición en voltaje o corriente. En sistemas de comunicaciones, la potencia es el término más importante porque la potencia de la señal de RF transmitida debe ser mayor que la potencia de ruido. Sólo así la señal puede ser recibida correctamente. El decibel (dB), término común en este campo de aplicación, expresa una medida logarítmica de una relación de potencias, corrientes o voltajes; ejemplo de ello es la ganancia o atenuación de una señal. El decibel puede ser descrito con ayuda de las siguientes expresiones:

$$\text{Razón de potencia :} \quad \text{dB} = 10 \text{ Log } P_2/P_1 \quad (2.1)$$

$$\text{Razón de voltaje :} \quad \text{dB} = 20 \text{ Log } V_2/V_1 \quad (2.2)$$

A diferencia del dB, el dBm es una medida de potencia absoluta y no una razón de potencia. La terminación *m* indica un nivel de potencia referido a un mili-watt [4], es decir

$$\text{dBm} = 10 \text{ Log } P_{(\text{mW})} \quad \text{y} \quad P_{(\text{mW})} = 10^{(\text{dBm}/10)} \quad (2.3)$$

donde $P (=V_{\text{rms}}^2/R)$ es la potencia, V_{rms} representa el voltaje eficaz o valor rms, y R es la resistencia (usualmente la impedancia característica del sistema, 50Ω). En sistemas de RF se prefiere describir cantidades en dBm. Entonces, 0dBm en un sistema con impedancia de 50Ω refiere un voltaje rms equivalente a $\sqrt{(PR)}=\sqrt{(0.001\text{W}\cdot 50\Omega)}=223.6\text{mV}$. Es claro que la unidad dBm puede referirse a potencia en todo sistema con cualquier impedancia. Además, un nivel de potencia puede incorporar otras cantidades de referencia y ser expresado en dB, por ejemplo dBW es un nivel de potencia con referencia a 1W [4].

2.2 Distorsión

Un amplificador simple debe proveer dos características básicas: proporcionar ganancia y proporcionarla linealmente. La *distorsión* es una medida del grado de no-linealidad y puede ser cuantificado a través de la medición del término armónico dominante no-deseado. En sistemas de RF la no-linealidad es descrita generalmente por el punto de compresión de 1dB ($P_{-1\text{dB}}$) y por el punto de intercepción denominado de tercer orden (IP3). En general, la no-linealidad de un dispositivo puede ser descrita por medio de una serie de potencias:

$$y(t) = c_0 + c_1x(t) + c_2x(t)^2 + c_3x(t)^3 + \dots \quad (2.4)$$

donde $x(t)$ representa la señal de entrada de un sistema (ver Fig. 2.1) y puede ser debida a una sola señal o a la combinación de varias.

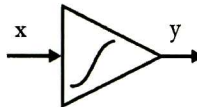
$$\begin{aligned} x(t) &= A \cos(\omega t) \\ x(t) &= A(\cos(\omega_1 t) + \cos(\omega_2 t)) \end{aligned}$$


Fig. 2.1 Representación de un circuito no-lineal.

Cuando la operación del circuito, dispositivo o sistema está gobernada por una función de transferencia no-lineal, se generarán indudablemente componentes armónicos. Por ejemplo, si existen dos señales excitando un sistema no-lineal, se obtendrán términos armónicos y de intermodulación. En (2.4) El término $C_1x(t)$ representa el término lineal del dispositivo bajo estudio y posee las características de la señal de entrada. Idealmente ese es el único término que debiera representar al dispositivo de acuerdo a (2.4), siendo C_1 la ganancia asociada. Luego, el término $C_2x^2(t)$ representa un nivel de dc, armónicos y productos de intermodulación de segundo orden. En ese tenor, el término $C_3x^3(t)$ incluye productos y armónicos de tercer orden, mientras que C_0 es un nivel de offset [4].

2.2.1 Medida de la Distorsión

El procedimiento establecido consiste en aplicar un tono puro a la entrada del sistema (ver Fig. 2.2) y medir la magnitud de los armónicos generados respecto al armónico fundamental. En el caso de aplicar una señal cosenoidal a la entrada de un circuito, la salida puede representarse mediante la siguiente aproximación:

$$v_0(t) = c_0 + c_1 \cos(\omega t) + c_2 \cos(2\omega t) + c_3 \cos(3\omega t) + \dots \quad (2.5)$$

Los coeficientes de distorsión armónica se definen como el cociente entre la amplitud del armónico que se desea cuantificar y la amplitud del armónico fundamental. Por ejemplo, el coeficiente de distorsión armónica de segundo y tercer orden están definidos, respectivamente, por

$$HD_2 = \left| \frac{c_2}{c_1} \right| \quad (2.6)$$

$$HD_3 = \left| \frac{c_3}{c_1} \right| \quad (2.7)$$

En general, el coeficiente de distorsión armónica de orden n se representa por

$$HD_n = \left| \frac{c_n}{c_1} \right| \quad (2.8)$$

Estos coeficientes se cuantifican en porcentaje y permiten, de forma sencilla, conocer cuantitativamente el comportamiento no lineal de un dispositivo, circuito o sistema.

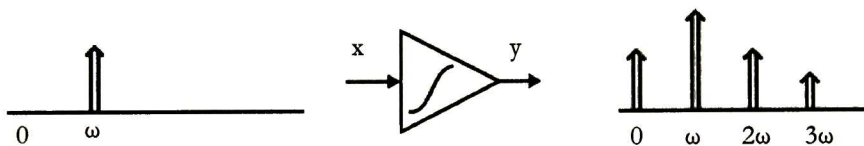


Fig. 2.2 Respuesta de un sistema no-lineal a una entrada de un tono.

Existe también un coeficiente llamado de distorsión armónica total (THD) que agrupa a todos los coeficientes de distorsión armónica. La definición estándar IEEE de THD es obtenido del cociente entre el valor cuadrático medio de la suma de las amplitudes de los armónicos de orden superior, entre la amplitud del armónico fundamental [5]:

$$THD = \frac{\sqrt{c_2^2 + c_3^2 + \dots + c_n^2}}{|c_1|} \quad (2.9)$$

2.2.2 Punto de Compresión de 1dB (P-1dB)

En un amplificador ideal, la salida *seguirá* a la entrada por un factor de escala. A través de la región lineal de un amplificador, los cambios de nivel a la entrada resultan en cambios de nivel equivalentes en la respuesta siempre que se asuma una ganancia fija. En la práctica, los amplificadores no cuentan con ganancia ideal para todo valor de la señal de entrada. Si esa señal incrementa la amplitud más allá de cierto valor, entonces la ganancia aparente disminuirá por debajo de aquella observada para señales de aceptable amplitud. En el punto en el cual la respuesta del amplificador es no-lineal, se dice que el amplificador opera en *compresión*. El punto de compresión de 1dB (P-1dB) es el punto en el que la ganancia del amplificador cae, respecto al valor esperado, 1dB [3]. Al igual que otras redes no-lineales, un circuito mezclador (o simplemente *mezclador*) es no-lineal por arriba de

cierto valor de potencia de entrada, dando resultado a una compresión de ganancia (ver Fig. 2.3).

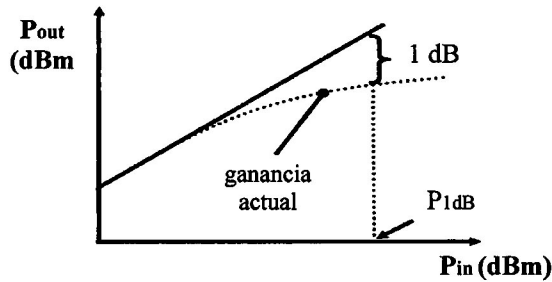


Fig. 2.3 Característica de compresión de ganancia para un amplificador/mezclador.

Por arriba del punto de compresión, el nivel de la señal de salida de frecuencia intermedia (IF) deja de seguir a la respuesta ideal. Un mezclador tiene el punto de compresión de 1dB especificado como un nivel de entrada. Se define como la señal de entrada de un tono simple en el cual la salida del mezclador cae 1dB por debajo del nivel esperado.

2.2.3 Intermodulación

En la práctica, a la entrada de un sistema no sólo existirá un tono puro en frecuencia, sino que existirán varios tonos. Un ejemplo es la existencia de canales adyacentes interferentes que aparecen a la entrada del sistema. La intermodulación ocurre cuando dos ó más tonos puros en frecuencia se aplican a un circuito no lineal. Como respuesta no sólo aparecen las componentes fundamentales y los armónicos de éstas, sino que también aparecen componentes que son resultado de combinaciones entre ellas. Estas últimas pueden ser nocivas porque los tonos generados caen dentro de la banda de interés, como se muestra en la Fig. 2.4. Los tonos armónicos fundamentales y las combinaciones presentes en la respuesta al aplicar dos tonos son los siguientes:

- Componente de dc y fundamental : $0, \omega_1, \omega_2$
- Armónicos segundo y tercer orden : $2\omega_1, 2\omega_2, 3\omega_1, 3\omega_2$
- Productos de intermodulación de segundo orden : $\omega_1+\omega_2, \omega_1-\omega_2$
- Productos de intermodulación de tercer orden : $2\omega_1+\omega_2, 2\omega_1-\omega_2, 2\omega_2+\omega_1, 2\omega_2-\omega_1$

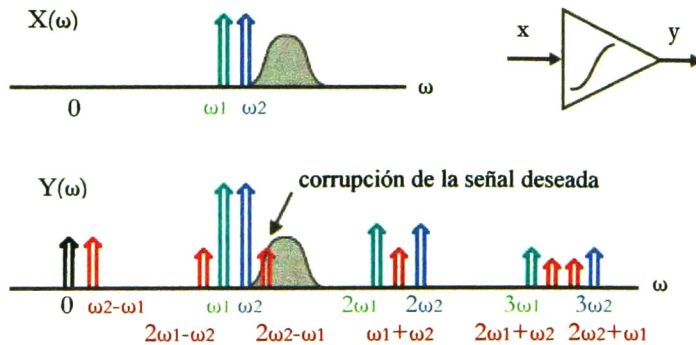


Fig. 2.4 Corrupción de la señal de interés debido a productos de intermodulación.

Es posible remover las componentes de frecuencia no deseadas por medio de técnicas de filtrado, como lo muestra la Fig. 2.5. Sin embargo, no es adecuado para el término de intermodulación de tercer orden (IM3) que coincide en la banda de frecuencia de la señal de interés. En consecuencia, es necesario conocer la magnitud de los productos de tercer orden y evitar que sean de mayor nivel que el debido a la señal de frecuencia fundamental.

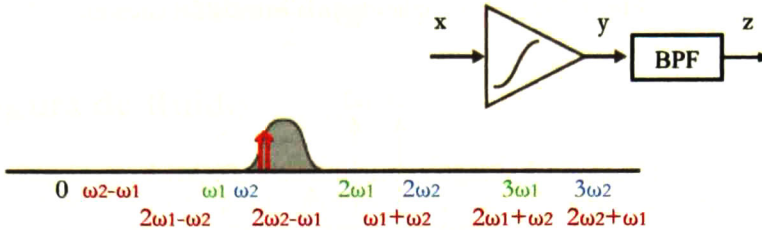


Fig. 2.5 Filtrado de componentes no-deseadas.

Los productos de tercer orden en el proceso de *mezclar* dos tonos espaciados cercanamente entre sí, con la frecuencia del oscilador local LO ocurren en las frecuencias $(2\omega_1 \pm \omega_2) \pm LO$ y $(2\omega_2 \pm \omega_1) \pm LO$. En el caso particular de un mezclador, los productos de tercer orden de interés son $(2\omega_1 - \omega_2) - LO$ y $(2\omega_2 - \omega_1) - LO$ porque se localizan cerca o dentro de la banda de frecuencia intermedia (IF), como lo muestra la Fig. 2.6.

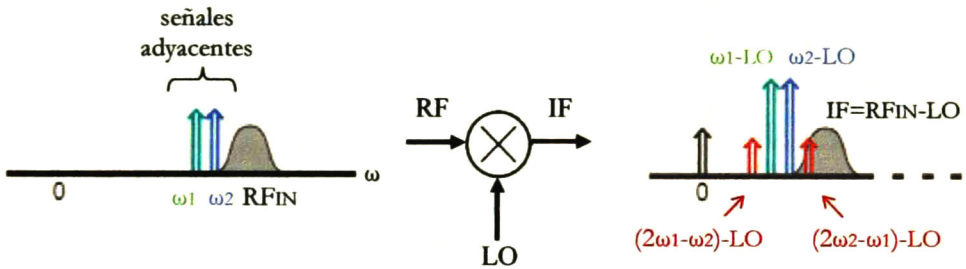


Fig. 2.6 Productos de intermodulación a la salida de un mezclador.

2.2.4 Punto de Intercepción de Tercer Orden

Cuando los niveles de la frecuencia fundamental y componentes de 3^{er} orden son graficados como función del nivel de entrada [6], teóricamente existirá un punto donde los niveles de 3^{er} orden intercepten a la fundamental. Este punto es conocido como punto de intercepción de tercer orden o IP3. Esta figura de mérito ofrece una indicación de la capacidad de manejo de señal del mezclador. En particular, se define como el valor que debe tener la amplitud de la señal de entrada para que, como respuesta, el término de tercer orden tenga la amplitud deseada. Es práctica común extrapolar o calcular el punto de intercepción a partir de datos tomados al menos 10dBm por debajo de P1dB. Se deben aplicar dos tonos de entrada espaciados cercanamente a frecuencias ω_1 y ω_2 (ver Fig. 2.7). Después, se miden los componentes de 1er y 3er orden como se indica en la Fig. 2.8.

Se debe tomar en cuenta que los productos de intermodulación de 3^{er} orden crecen 3 veces más rápido que la señal deseada de IF (ver Fig. 2.9). Es así que es posible calcular gráficamente IIP3 (nivel de entrada de IP3) y OIP3 (nivel de salida de IP3). Este proceso es conocido como prueba de dos-tonos.

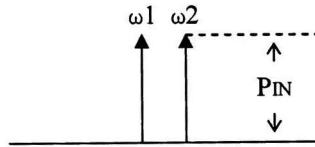


Fig. 2.7 Dos tonos aplicados a la entrada del circuito.

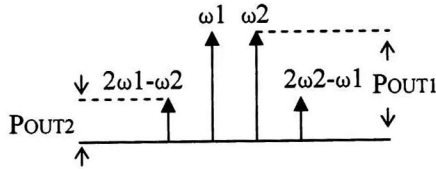


Fig. 2.8 Espectro de salida mostrando frecuencias fundamentales y productos IM3.

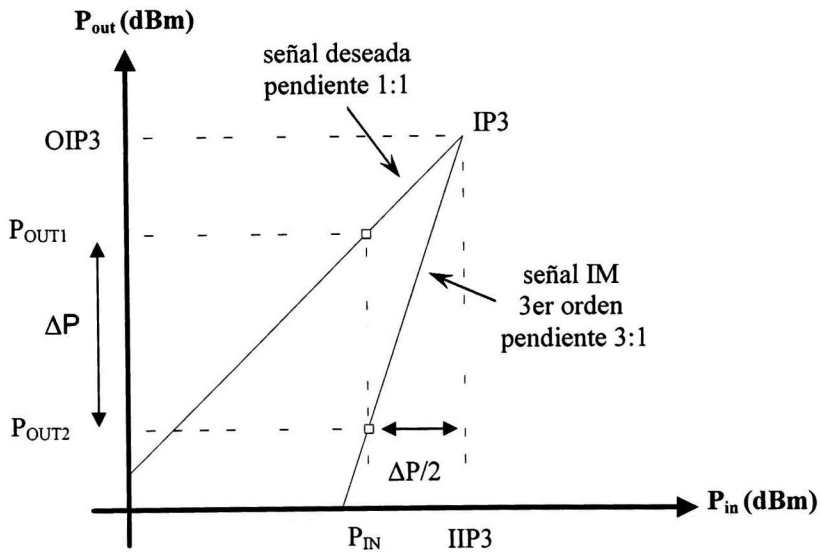


Fig. 2.9 Interpretación gráfica del punto de intercepción de tercer orden IP3.

Ya que la recta de la señal deseada tiene una pendiente 1:1 y la recta de los productos de intermodulación de 3er orden una pendiente equivalente a 3:1, el valor de OIP3 es calculado con ayuda de las siguientes relaciones [6]:

$$OIP3 - P_{OUT1} = IIP3 - RF_{IN} \quad (2.10)$$

$$OIP3 - P_{OUT2} = 3(IIP3 - RF_{IN}) \quad (2.11)$$

sustituyendo (2.11) en (2.10):

$$OIP3 - P_{OUT1} = \frac{1}{3}(OIP3 - P_{OUT2}) \quad (2.12)$$

entonces, OIP3 es

$$\text{OIP3} = \frac{3}{2} P_{\text{OUT1}} + \frac{1}{2} P_{\text{OUT2}} \quad (2.13)$$

e IIP3 está dado por

$$\text{IIP3} = \frac{\Delta P}{2} + P_{\text{IN}} \quad (2.14)$$

2.3 Figura de Ruido

Una medida importante del ruido de un sistema es un parámetro conocido como figura de ruido (NF) o factor de ruido (F). El factor de ruido de un sistema se define como la relación entre la razón de potencia señal-ruido a la entrada, con la razón de potencia señal-ruido asociada a la respuesta (llamada de aquí en adelante *la salida*):

$$F = \frac{(S/N)_{\text{in}}}{(S/N)_{\text{out}}} \quad (2.15)$$

La relación señal a ruido (S/N) es una relación matemática del nivel de la señal con respecto al nivel de ruido en un punto dado del circuito. La relación S/N puede expresarse como una relación de voltaje:

$$\text{SNR} = \left[\frac{\text{voltaje de la señal}}{\text{voltaje del ruido}} \right]^2 = \left(\frac{V_s}{V_n} \right)^2 \quad (2.16)$$

o equivalentemente en decibeles:

$$\text{SNR(dB)} = 20 \log \frac{V_s}{V_n} \quad (2.17)$$

La figura de ruido es el factor de ruido expresado en dB como se muestra en la siguiente expresión:

$$\text{NF} = 10 \text{ Log } F \quad (2.18)$$

La figura de ruido también puede ser descrita en términos de ganancia y de nivel de ruido. El ruido de entrada es N_i , el nivel de ruido de salida es N_o , el cual es la suma del ruido generado por el circuito y el ruido de entrada (amplificado por la ganancia G del circuito). La figura de ruido está representada por:

$$\text{NF} = \frac{S_i}{N_i} \frac{N_o}{S_o} \quad \text{donde, } S_o = (G)(S_i) \text{ y } N_o = (G)(N_i) \quad (2.19)$$

Entre más alta sea la relación señal a ruido mejor será el funcionamiento del sistema. De esta forma la figura de ruido de un sistema es el decremento o la degradación en la relación señal-ruido a medida que la señal viaja a través de la red. Un sistema perfecto libre de ruido mantendría la misma razón señal-ruido en su entrada y salida. Un sistema real, sin embargo, agrega ruido debido a sus propios componentes. Por lo tanto, una figura de

ruido baja significa que poco ruido es añadido por la red. Por ejemplo, si la razón señal-ruido (S/N) de entrada es 50dB, y la figura de ruido del circuito (NF) es 5dB, entonces la razón señal ruido de salida cae a 45dB.

Cuando en un sistema existe n número de bloques, como se muestra en la Fig. 2.10, el factor de ruido puede ser calculado utilizando la fórmula de Friis [7] para etapas en cascada:

$$F_{\text{tot}} = 1 + (F_1 - 1) + \frac{F_2 - 1}{A_1} + \dots + \frac{F_n - 1}{A_1 \cdots A_{n-1}} \quad (2.20)$$

donde F_{tot} es el factor de ruido total debido a la contribución de todas las etapas en cascada. F_1 es el factor de ruido de la primera etapa, A_1 es la ganancia de la primera etapa, F_n es el factor de ruido de la n ésima etapa, A_{i-1} es la ganancia de la etapa $(n-1)$. En esta ecuación, F y A son cantidades absolutas.

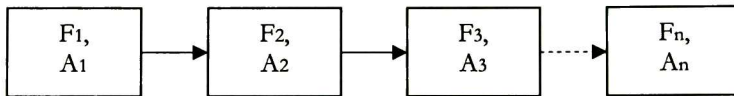


Fig. 2.10 Etapas en cascada.

2.4 Conclusiones

Se describieron conceptos utilizados en el diseño de RF, del cual el decibel (dB) es un parámetro fundamental en este campo de aplicación. También se describen conceptos relacionados con la distorsión, los cuales son medidas del grado de no-linealidad de un circuito. El punto de compresión de 1dB es útil para conocer la operación lineal de un circuito, aquí P_{1dB} es el punto donde la ganancia cae 1dB. La prueba de dos-tonos describe el nivel de los productos de intermodulación de tercer orden presentes a la salida, comparados con la frecuencia fundamental. Se describió gráficamente el procedimiento para obtener el punto de intercepción de tercer orden (IP3). Esta medida es útil para evitar que señales no-deseadas interfieran con la señal de interés. Finalmente se describió el concepto de ruido, así como su impacto en sistemas en cascada, como lo puede ser por ejemplo una arquitectura de receptor.

Capítulo 3

Circuitos Osciladores

Actualmente los transreceptores para comunicaciones inalámbricas cuentan con amplificadores de bajo-ruido o LNAs (del Inglés *Low Noise Amplifier*), amplificadores de potencia, mezcladores, osciladores controlados por voltaje (VCOs) y circuitería para procesamiento digital de señales, entre otros circuitos básicos. Por razones de costo y consumo de potencia, es deseable el diseño e integración de esos bloques en un sólo circuito integrado o *chip*. Algunos de los requerimientos en el diseño de VCOs, por ejemplo, para su integración monolítica es proveer la frecuencia de interés y requerir área razonable para su fabricación. Este capítulo presenta características de distintas topologías de VCOs, siendo los osciladores de anillo los más fácilmente integrables porque requieren la menor área de integración.

3.1 Introducción

LA FUNCIÓN básica de un circuito oscilador es generar una señal periódica con características bien definidas. Los osciladores pueden ser utilizados en numerosas aplicaciones en las cuales se requiere un tono de referencia. Por ejemplo, pueden ser utilizados como señal de reloj en circuitos digitales o como un oscilador local (LO) en transmisores. En receptores, en contraste, las formas de onda generadas por los osciladores son utilizadas como frecuencias de referencia para mezclar y realizar conversión de frecuencia de la señal recibida RF hacia una frecuencia intermedia IF o banda base. La respuesta de un oscilador ideal (ver Fig. 3.1a) de frecuencia angular ω_{osc} [rad/s] y amplitud $V_{carrier}$ [V] puede representarse con el siguiente modelo:

$$V_{out}(t) = V_{carrier} \cos(\omega_{osc}t) \quad (3.1)$$

En el dominio de la frecuencia ese modelo equivale a un armónico de valor $V_{carrier}$ situado en ω_{osc} . Esto significa que toda la potencia de la frecuencia portadora está localizada en un

ancho de banda infinitamente pequeño alrededor de ω_{osc} . Por otro lado, un oscilador ajustable en frecuencia (ver Fig. 3.1b) está modelado por

$$V_{out}(t) = V_{carrier} \cos(2\pi(K_{VCO} V_{tune} + f_{center})t) \quad (3.2)$$

El voltaje V_{tune} [V] controla la frecuencia de oscilación y la constante de entonado K_{VCO} [Hz/V] determina la razón de cambio frecuencia-voltaje. Finalmente f_{center} es la frecuencia central de oscilación.

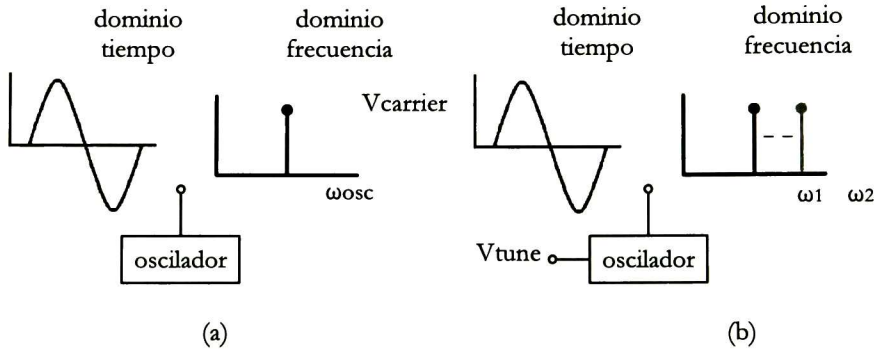


Fig. 3.1 Oscilador ideal de frecuencia fija (a) y VCO de frecuencia variable (b).

3.2 El Oscilador no-Ideal

En la práctica, existen variaciones en el desempeño de los circuitos debido a no-idealidades. El oscilador no es la excepción. Un oscilador tendrá variaciones en su frecuencia central requerida por variaciones en el proceso de fabricación y también por efectos de ruido. Por lo anterior, es necesario contar con un rango de entonado adicional al requerido. El ruido de la circuitería del oscilador y el ruido generado externamente (por ejemplo en la fuente de alimentación) corrompen la pureza espectral de la señal de un oscilador. Esto significa que la potencia de la frecuencia portadora es, en consecuencia, distribuida en un ancho de bando finito alrededor de ω_{osc} incluyendo sus armónicos.

La Fig. 3.2 muestra la frecuencia fundamental y los dos primeros armónicos de una onda cuadrada. La aplicación del oscilador determina si el efecto de esos armónicos que degrada el desempeño de la señal de salida del oscilador es en efecto no-deseados. Por ejemplo, si un oscilador es utilizado como generador de pulsos de reloj, los armónicos normalmente son deseados. Los mezcladores son implementados utilizando señales cuadradas (LO), de esta forma los transistores operaran lo más cercanamente posible como interruptores. La distinción más importante entre un oscilador ideal y un oscilador práctico son las bandas laterales de ruido de fase, como se ilustra en la Fig. 3.2. Aunque el mayor porcentaje de la potencia se localiza en ω_{osc} , otro porcentaje de potencia también está presente en pequeños offsets que están situados a izquierda y derecha de ω_{osc} . Estas bandas laterales de ruido de fase disminuyen al incrementar la frecuencia de offset a partir de ω_{osc} o sus armónicos. El ruido blanco (ruido en cualquier banda de frecuencias) es dominante a cierto offset de frecuencia. El nivel de ruido blanco puede originarse del oscilador pero también de otros circuitos. En el dominio del tiempo, el ruido de fase es conocido como *jitter* (ver Fig. 3.2).

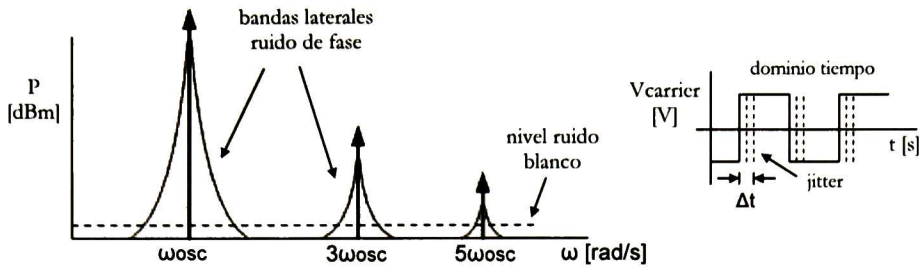


Fig. 3.2 Espectro de una onda cuadrada con bandas laterales de ruido de fase y efecto de las bandas laterales en el dominio del tiempo.

La expresión matemática de un oscilador ideal descrita por (3.1) puede extenderse para modelar esa variación de fase introduciendo la variable $\theta(t)$:

$$V_{out}(t) = V_{carrier} \cos(\omega_{osc}t + \theta(t)) \quad (3.3)$$

3.3 Osciladores en Transreceptores

Los osciladores son utilizados en distintas etapas de sistemas transreceptores de RF. La Fig. 3.3 ilustra con un diagrama a bloques un receptor de frecuencia intermedia-cero (zero-IF). El oscilador local (LO) en el sistema de entonado provee señales en cuadratura a los mezcladores, con una frecuencia igual a la frecuencia de la portadora recibida. Los mezcladores convierten la señal de entrada directamente a la banda base. Otro oscilador es necesario para proveer una señal de reloj a los convertidores A/D y para circuitería digital. En el proceso de transmisión, un oscilador en conjunto con un mezclador realiza la conversión de frecuencia a la banda base. La señal modulada es entonces procesada por un amplificador de potencia.

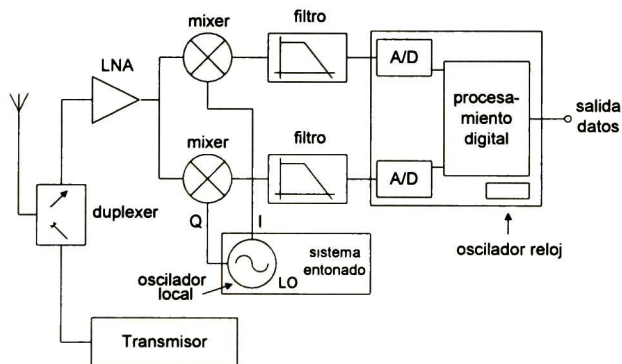


Fig. 3.3 Diagrama a bloques de un transreceptor.

3.4 Constante de Entonado y Linealidad

Un VCO (o CCO) tiene una constante de entonado K_{VCO} . Esta constante es llamada en ocasiones ganancia del VCO. Por ejemplo, si el rango de trabajo es de 2.4GHz a 2.483GHz (estándar Bluetooth) y el rango del voltaje de control es 2.7 V, la constante de

entonado o razón de cambio frecuencia-voltaje es de aproximadamente 30.7 MHz/V. La constante de entonado K_{VCO} no es fija en todo el rango de entonado. La Fig. 3.4 muestra una curva experimental frecuencia-voltaje de un oscilador [8]. En una gran parte del rango de entonado, K_{VCO} es igual a $\Delta f_1/\Delta V_1$. Sin embargo, al final del rango de entonado, donde las parásitas comienzan a dominar, K_{VCO} disminuye ($\Delta f_2/\Delta V_2 < \Delta f_1/\Delta V_1$).

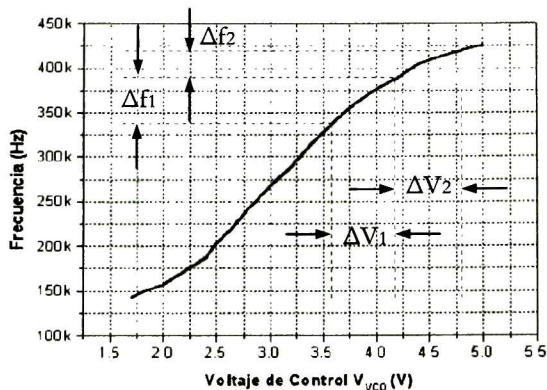


Fig. 3.4 Curva experimental frecuencia-voltaje obtenida en [8].

3.5 Consumo de Potencia

El diseño de bajo consumo de potencia es importante, especialmente para aplicaciones portátiles. Un bajo consumo de potencia también es importante porque el sistema se diseña para ser incorporado en un encapsulado específico con resistencia térmica definida. En esta situación, una baja disipación de potencia significa la posibilidad de un mayor grado de integración. El consumo de potencia de un oscilador se especifica en mW, o por la corriente proporcionada por la fuente de alimentación. El voltaje máximo de alimentación está en función de la aplicación o de la tecnología. También, una corriente adicional puede ser consumida debido al diseño de *buffers*, que son circuitos de interfase entre el oscilador y bloques subsiguientes como mezcladores y divisores. Mientras un sistema opere a mayores velocidades consumirá mayor potencia. Esta característica se puede ver en el siguiente modelo de disipación de potencia dinámica [9]:

$$P = V_{DD} I = \frac{V_{DD}^2 C_L}{T} = V_{DD}^2 C_L f \tag{3.4}$$

donde P es la potencia disipada en un nodo con capacitancia C_L oscilando a una frecuencia f con una amplitud de voltaje pico de V_{DD} .

3.6 Relación Ruido de Fase-a-Portadora

El ruido de fase de un oscilador es expresado por la relación ruido de fase de banda lateral simple (SSB)-a-portadora, $\mathcal{L}(f_m)$, a un offset de frecuencia f_m :

$$\mathcal{L}(f_m) = 10 \log \frac{P_{SSB}}{P_{signal}} \tag{3.5}$$

La Fig. 3.5 muestra la definición de $\mathcal{L}(f_m)$. Sus unidades son dadas en dBc/Hz, indicando ruido de fase en un ancho de banda de 1-Hz medido en decibeles con respecto a la portadora. Alternativamente, el ruido de fase de un oscilador puede ser caracterizado por la relación portadora-a-ruido ($\text{CNR}(f_m)$), que es simplemente $-\mathcal{L}(f_m)$.

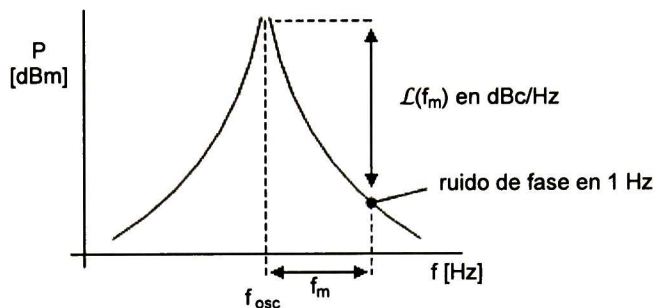


Fig. 3.5 Definición de ruido de fase $\mathcal{L}(f_m)$.

La gráfica típica que ilustra el ruido de fase de bandas laterales contra *offset* de frecuencia se muestra en la Fig. 3.6, donde el ruido blanco se caracteriza por presentar un espectro plano independiente de frecuencia.

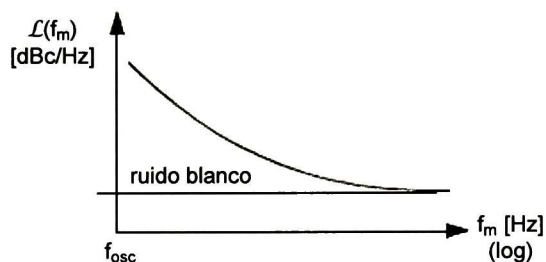


Fig. 3.6 Respuesta de ruido de fase.

3.7 Osciladores Integrados

Los VCOs integrados para aplicaciones de comunicaciones pueden ser implementados con base a redes LC (Fig. 3.7), arquitecturas de anillo (Fig. 3.8a) o circuitos de relajación (Fig. 3.8b). Los osciladores LC cuentan con buen desempeño en cuanto a ruido y frecuencia debido al uso de elementos pasivos resonantes con alto factor de calidad, Q . Los osciladores LC se han obtenido utilizando la inductancia parásita de los alambres de interconexión, inductores integrados, o inductores externos. Sin embargo, utilizar dispositivos externos eleva el costo del sistema e introduce otros inconvenientes como incremento de parásitas y aumento en consumo de potencia. Por lo tanto los diseños monolíticos son altamente deseados. Existen otros problemas relacionados con la utilización de alambres como inductor en un oscilador LC, tales como la falta de precisión en el valor inductivo. En procesos CMOS del estado-del-arte, es posible fabricar inductores integrados con moderado factor de calidad ($Q \sim 85$) [10]. Estos inductores pueden ser implementados monolíticamente al costo de agregar pasos de proceso que incrementan significativamente el costo y la complejidad del sistema. Además, los

inductores en-chip requieren gran área de silicio, típicamente de 200×200 a $300 \times 300 \mu\text{m}^2$ [11]. Por otro lado, los osciladores de anillo son adecuados para diseño de sistemas monolíticos utilizando cualquier proceso de fabricación CMOS. Los diseños de osciladores de anillo pueden requerir menor área de integración cuando son comparados con su contraparte LC. Sin embargo, el desempeño de ruido de fase de los osciladores de anillo es en general menor comparado con osciladores LC de alto-Q. Otras propiedades de los osciladores de anillo es la disponibilidad de múltiples fases de salida y el amplio rango de entonamiento; estas características pueden ser útiles para diversas aplicaciones. Esas características de los osciladores de anillo permiten concluir que son todavía importantes en los sistemas de comunicaciones actuales.

Otra propuesta de diseño de VCOs es el oscilador de *relajación*. Este oscilador, a diferencia de utilizar un inductor, usa un elemento capacitivo. Esto es en contraste con los diseños de oscilador de anillo, los cuales utilizan las capacitancias parásitas de los transistores MOS. Los osciladores de relajación pueden ser fabricados en procesos estándar CMOS. También, esta configuración es útil cuando la frecuencia central del VCO es establecida por un capacitor externo. Los osciladores de relajación no han sido populares en el diseño de RF. Esta configuración de oscilador no logra el desempeño de ruido de osciladores LC y de anillo debido a su bajo factor de calidad [12].

3.7.1 Osciladores LC

El núcleo de un oscilador LC es un circuito tanque resonante que es fabricado a partir de inductores y varactores integrados (*on-chip*). Este circuito determina la frecuencia de oscilación. Como se muestra en la Fig. 3.7, el tanque resonante se modela como el paralelo LC y la resistencia serie parásita (R_s) del inductor. El oscilador LC emplea circuitería activa para obtener oscilaciones constantes. La frecuencia de oscilación está dada por $\omega_{osc} = 1/\sqrt{LC}$ [13]. Sin embargo, la frecuencia de entonado de los osciladores LC (aproximadamente 10 al 20%) es relativamente bajo comparado con osciladores de anillo (>50%). Por lo tanto, la frecuencia de oscilación puede situarse fuera del rango deseado en presencia de variaciones de proceso. Además, el desempeño de ruido de fase depende altamente del factor de calidad de los inductores integrados. Para la mayoría de los procesos CMOS, es difícil obtener un factor de calidad $Q \gg 10$ [11].

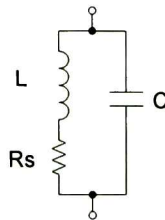


Fig. 3.7 Circuito tanque.

3.7.2 Osciladores de Anillo

Es la clase de oscilador más usado aun cuando no cuenta con control de la frecuencia de oscilación, excepto el número de retardos. Un oscilador de anillo (OA) básico consiste en un número impar N de etapas inversoras conectadas en un lazo de retroalimentación (ver Fig. 3.8a). Si un nodo es excitado, el pulso se propaga a través de todas las etapas e

invertirá el nodo inicial de excitación. La frecuencia de oscilación es $1/(2 \cdot n \cdot T_d)$ donde T_d es el retardo de propagación de una etapa inversora.

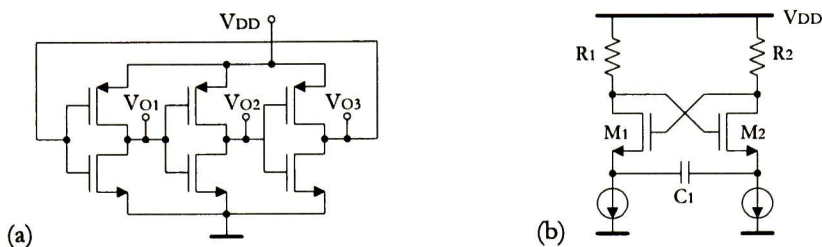


Fig. 3.8 Estructura básica de oscilador de anillo (a) y oscilador de relajación (b).

3.8 Osciladores de Anillo CMOS

Los OA se caracterizan por su alto nivel de integración y amplio rango de entonado. No requieren inductores y su implementación se realiza conectando el nodo de salida en lazo de retroalimentación con el nodo de entrada. En la práctica, existen topologías diversas que permiten tener control de la frecuencia de oscilación.

3.8.1 OA de Salida Simple

El diseño del OA básico utiliza una arquitectura de salida simple (*single-ended*), la cuál se muestra en la Fig. 3.9. Las estructuras de salida-simple son preferidas cuando la disipación de potencia es una consideración de diseño. La etapa de retardo básica del OA de salida-simple más usada es el inversor CMOS. Este diseño, sin embargo, no incluye algún medio para controlar su frecuencia de operación.

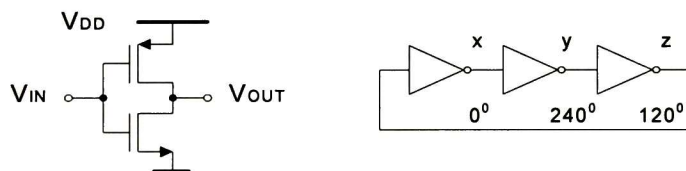


Fig. 3.9 Oscilador de anillo basado en inversores.

Supóngase que el circuito mostrado en la Fig. 3.9, para $t=0$, presenta en el nodo x una caída de potencial $V_X=V_{DD}$ (ver Fig. 3.10). Bajo esta condición, $V_Y=0$ y $V_Z=V_{DD}$. Entonces, V_X decrece hasta un potencial cero debido a que el primer inversor detecta una entrada en nivel alto, forzando de esta forma a V_Y a incrementar su nivel a V_{DD} después de un retardo de inversor, t_d , y V_Z a disminuir su nivel a $0V$ después de otro retardo. El circuito por lo tanto oscila con un período $T=6t_d$ [14]. La transición que viaja a través del circuito pasa a través de cada inversor dos veces para llegar al estado inicial. La frecuencia de oscilación, $f_{osc}=1/T$, está dada por

$$f_{osc} = \frac{1}{n(t_{PHL} + t_{PLH})} \quad (3.6)$$

donde t_{PHL} y t_{PLH} son el retardo de propagación de nivel alto-a-bajo y de bajo-a-alto, respectivamente, mientras que n es el número (impar) de inversores en el oscilador.

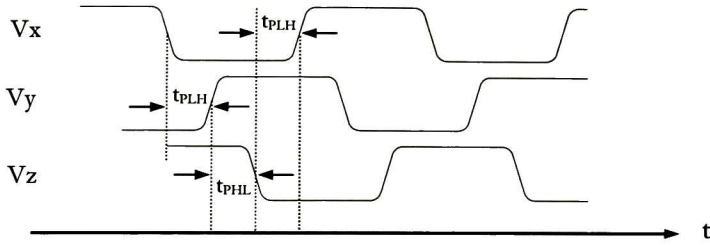


Fig. 3.10 Formas de onda de un oscilador de anillo de 3-etapas.

El tiempo de propagación se define como el tiempo requerido para que una señal de entrada se propague y manifiesta su respuesta lógica en el nodo de salida. Los tiempos de transito de una señal se muestran en la Fig. 3.10, y son medidos entre los tiempos en los que, entrada y salida, presentan un 50% de su valor final [15]. El retardo de propagación promedio, t_{delay} , está dado por

$$t_{\text{delay}} = (t_{\text{PHL}} + t_{\text{PLH}}) / 2 \quad (3.7)$$

Para aproximar el tiempo de propagación de nivel alto-a-bajo t_{PHL} en una etapa de retardo NOT, se asume que en $t=0^-$ el voltaje de entrada es igual a cero y la salida es igual a V_{DD} (nivel alto). En $t=0^+$, se asume que el voltaje de entrada efectúa una transición de 0 a V_{DD} . Entonces, el voltaje de salida decrece (ver Fig. 3.11). Como se definió antes, t_{PHL} se define como el tiempo que toma el capacitor de salida C_L en descargarse de V_{DD} a $1/2 V_{\text{DD}}$.

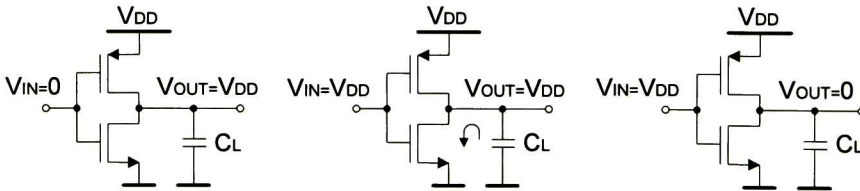


Fig. 3.11 Inversor representando el cambio de estado de nivel alto-a-bajo.

Tomando en cuenta lo anterior, es posible proponer un modelo para t_{PHL} . Éste está dado por

$$t_{\text{PHL}} = \frac{\frac{1}{2} \text{carga } C_L}{\text{corriente descarga}} = \frac{C_L \Delta V}{I_D} = \frac{C_L V_{\text{DD}} / 2}{K'_n \left(\frac{W}{L}\right) (V_{\text{DD}} - V_{\text{Tn}})^2} \quad \text{donde } K'_n = \frac{\mu_n C_{\text{ox}}}{2} \quad (3.8)$$

donde K'_n es denotado también por K_P y es un dato proporcionado por el fabricante. De la misma manera, el tiempo de propagación de nivel bajo-a-alto t_{PLH} , puede ser aproximado por:

$$t_{\text{PLH}} = \frac{\frac{1}{2} \text{carga } C_L}{\text{corriente carga}} = \frac{C_L \Delta V}{I_D} = \frac{C_L V_{\text{DD}} / 2}{K'_p \left(\frac{W}{L}\right) (V_{\text{DD}} - |V_{\text{Tp}}|)^2} \quad \text{donde } K'_p = \frac{\mu_p C_{\text{ox}}}{2} \quad (3.9)$$

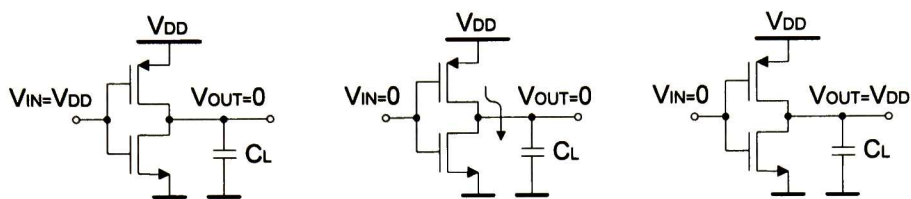


Fig. 3.12 Inversor representando el cambio de estado de nivel bajo-a-alto.

Para la verificación funcional del circuito y realizar un análisis con mayor precisión de la respuesta transitoria es necesaria la simulación eléctrica [15]. De acuerdo con las expresiones analíticas anteriores, se observa que hay parámetros bajo el control del diseñador que permiten disminuir los tiempos de transición. Incrementando V_{DD} , por ejemplo, la carga en el nodo de salida es mayor pero causa un aumento en la corriente, por lo que aumentará el consumo de potencia. Por otro lado, al disminuir la longitud L del transistor es posible disminuir los tiempos de propagación ya que la capacitancia de compuerta del dispositivo se reduce. Aquí cabe notar que el uso de una tecnología de menor L_{min} incrementará el costo de manufactura.

3.8.2 OA Current-Starved

Se pueden implementar distintos métodos de control para la frecuencia de oscilación tales como modificar el valor de constante RC intrínseca de cada etapa, modificar el voltaje de alimentación V_{DD} o programando la corriente del inversor. Aunque el control del voltaje de alimentación puede utilizarse en arquitecturas de anillo *single-ended* y diferenciales, el uso de un voltaje de alimentación bajo resulta en oscilaciones de amplitud equivalente al potencial de alimentación. Sin embargo, si bien es cierto que el consumo de potencia dinámica, que ocurre en inversores CMOS es durante la carga y descarga de las capacitancias, también es cierto que con menores potenciales de alimentación el consumo estático es reducido. Por lo anterior, el control de frecuencia se puede lograr limitando o programando la corriente a través de la cadena de inversores. La corriente puede ser aplicada para la transición de alto-a-bajo (ver Fig. 4.13a), para la transición de bajo-a-alto (ver Fig. 4.13b) ó ambas transiciones (ver Fig. 4.13c).

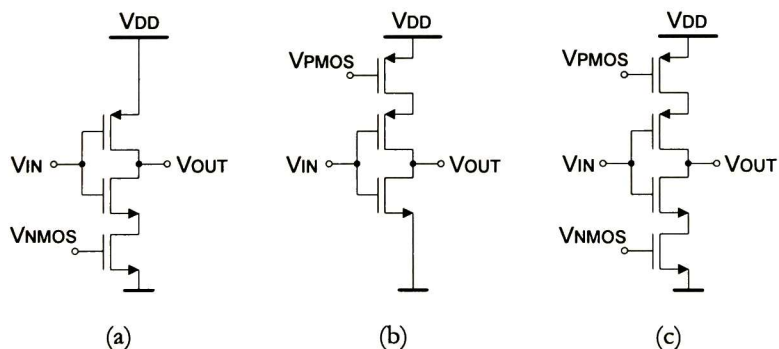


Fig. 3.13 Control de corriente en inversor CMOS para transición bajada (a), transición de subida (b) y ambas transiciones (c).

La Fig. 3.13c muestra la implementación en la que la corriente del inversor se controla agregando dos transistores más a la estructura. Esta configuración es llamada *current-starved* [16]. En la Fig. 3.14 los transistores M_2 y M_3 operan como un inversor, mientras que M_1 y M_4 operan como fuentes de corriente. Estas fuentes limitan la corriente disponible para el inversor formado por M_2 y M_3 . Las corrientes de drenaje de M_5 y M_6 son de igual magnitud y se ajustan usando un voltaje de control. La estructura formada por M_6 (corriente I_{REF}) y M_4 (corriente I_{OUT}) forman un espejo de corriente, de manera que es posible obtener la siguiente ecuación de diseño:

$$I_{OUT} = \frac{(W/L)_4}{(W/L)_6} I_{REF} \quad (3.10)$$

donde es practica común usar el mismo valor para toda longitud de canal.

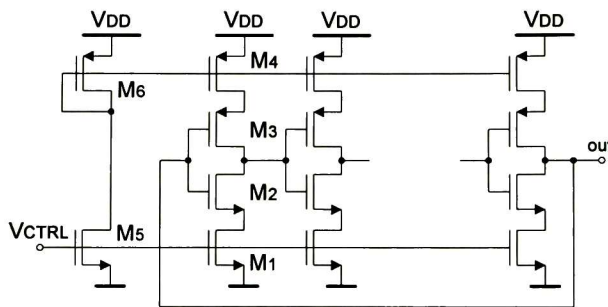


Fig. 3.14 Oscilador *current-starved*.

La frecuencia de oscilación de este VCO [16] está dada por

$$f_{osc} = \frac{I_D}{n \cdot C_{tot} \cdot V_{DD}} \quad (3.11)$$

La frecuencia máxima de operación es determinada por el valor de I_D para un voltaje de control equivalente a V_{DD} .

3.8.3 OA con Salidas en Cuadratura

En algunas aplicaciones es necesario contar con señales en cuadratura (diferencia de fase de 90° entre sus salidas), por ejemplo en receptores con arquitectura de rechazo-de-imagen ó también señales 0° y 180° en topologías diferenciales lo cual no es posible con un oscilador de número impar de etapas. Para obtener esa clase de respuesta se requiere una topología de anillo con un número par de etapas. Sin embargo un circuito con un número par, al contrario de oscilar, tiene una operación estable llamada *latch-up*, esto significa que en cada nodo del oscilador se mantendrá indefinidamente un estado lógico. Para evitar el *latch-up* en una topología con un número par de etapas, debe incorporarse circuitería adicional. En la Fig. 3.15 se presenta el concepto de agregar circuitería de retroalimentación en una topología de anillo con un número par de etapas [17]. Los inversores para retroalimentación son incluidos a un anillo de cuatro inversores principales entre nodos con fases opuestas. De esta forma, los inversores adicionales provocan los cambios de nivel en los nodos del circuito. El control de frecuencia, como en la topología

anterior, se logra modificando la corriente de cada celda de retardo. La frecuencia de oscilación del OA *single-ended* con salidas en cuadratura [17] está dada por

$$f_{osc} = \frac{1}{n \cdot t_{delay}} \quad (3.12)$$

donde t_{delay} es el ya mencionado retardo de propagación de cada etapa.

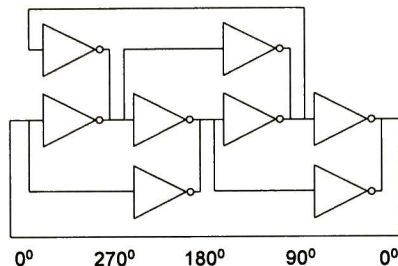


Fig. 3.15 Oscilador de anillo de 4-etapas con salidas en cuadratura.

3.8.4 OA Diferenciales

Las estructuras de OA de salida simple no son utilizadas en sistemas de comunicaciones de alta frecuencia. Las arquitecturas diferenciales presentan una mejor inmunidad al ruido en modo común. Los osciladores de anillo diferenciales se construyen ya sea con un número impar de etapas, o con un número par siempre y cuando se invierta una de sus conexiones de entrada (ver Fig. 3.16). Esta flexibilidad es otra ventaja de los VCOs diferenciales [14].

El número de etapas de un oscilador de anillo está determinado por varios requerimientos, incluyendo velocidad, disipación de potencia, inmunidad al ruido, etc. En la mayoría de las aplicaciones, tres a cinco etapas proveen un desempeño óptimo usando implementaciones diferenciales.

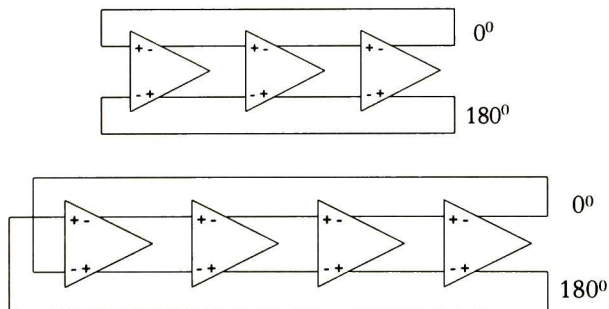


Fig. 3.16 OA diferencial de 3-etapas y 4-etapas.

Una de las etapas de retardo del OA diferencial más utilizada es el par diferencial con cargas activas. La Fig. 3.17 muestra la estructura diferencial, mientras que el control de frecuencia se efectúa a través del nodo de entrada $V_{CONTROL}$. El retardo de la etapa diferencial está dado por

$$T_D = \frac{C_L V_{p-p}}{I_{control}} \quad (3.13)$$

donde C_L es la capacitancia de carga total en cada nodo de salida, V_{pp} es el voltaje máximo de excursión, e $I_{control}$ es la corriente. Por lo tanto, la frecuencia de oscilación de un OA diferencial de n etapas es

$$f_{osc} = \left(2 * n * \frac{C_L V_{p-p}}{I_{control}} \right)^{-1} \quad (3.14)$$

De este resultado se puede observar que la frecuencia de oscilación puede ser controlada modificando sólo la corriente de control. Para un OA diferencial, la potencia total de consumo está dado por

$$P = n I_{DD} V_{DD} \quad (3.15)$$

donde I_{DD} es la corriente del par diferencial y V_{DD} es el voltaje de alimentación [18].

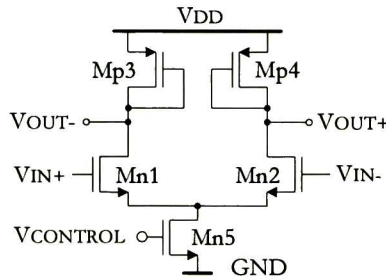


Fig. 3.17 Par diferencial con cargas activas.

3.9 Conclusiones

Se presentaron distintas configuraciones de osciladores que son utilizadas como métricas incluyendo el rango de entonado, linealidad de la característica frecuencia-voltaje de control y consumo de potencia. La relativa facilidad de integración y bajo costo motiva la selección de una topología de oscilador de anillo sobre una arquitectura de oscilación LC.

Se describieron distintas topologías, desde la básica (oscilador basado en inversores) hasta la propuesta diferencial. Una modificación a la primera estructura es el oscilador *current-starved* cuya celda incorpora dos transistores para controlar la corriente de la red. De esa forma es posible modificar la frecuencia de oscilación. Otra topología útil en distintas aplicaciones donde se requiere más de una fase de reloj (por ejemplo, arquitecturas de receptor de rechazo de imagen), es el oscilador con salidas en cuadratura. Esta estructura consta de un número par de celdas de retardo así como de celdas adicionales entre nodos para evitar *latch-up*. Finalmente, se describió una topología de anillo diferencial donde la celda de retardo es un par diferencial. Esta arquitectura ofrece mejor inmunidad al ruido que los osciladores *single-ended*.

Capítulo 4

Mezcladores

Estos circuitos se encuentran prácticamente en todos los sistemas inalámbricos de comunicación. Éstos convierten la frecuencia de una señal de entrada mezclándola con otra de frecuencia definida (generalmente es la señal de un oscilador local) [19]. Una razón por la cual la conversión de frecuencia es un proceso necesario en transmisiones inalámbricas es porque las señales de información, como voz o datos, son usualmente señales de baja frecuencia e inadecuadas para un canal de comunicación inalámbrica. Es por esta razón que en el proceso de recepción la señal de entrada es convertida a una frecuencia menor. Otra razón es porque los canales de comunicación son compartidos por varias señales y éstas deben ser separadas en diferentes rangos de frecuencia. Entre otras aplicaciones, la frecuencia de una señal es utilizada en sistemas de identificación. Este capítulo describe características del mezclador además de presentar distintas topologías para su implementación.

4.1 Teoría del Mezclador

LOS MEZCLADORES han sido utilizados en prácticamente todas las facetas de las aplicaciones de comunicaciones desde que los sistemas existen como tales. Estos circuitos han *encontrado* su lugar como convertidores de frecuencia (*up/down*) en muchos sistemas de comunicación inalámbricos de la actualidad. La función básica de un mezclador es multiplicar la señal de entrada de RF con una señal proveída por un oscilador local (LO). El proceso de *mezclado* es debido a que se aprovechan las propiedades no-lineales del dispositivo utilizado para producir una serie de productos o *mezclas* [20]. El símbolo de un mezclador se muestra en la Fig. 4.1, y representa un dispositivo que realiza la multiplicación de las señales aplicadas, RF_{IN} y LO_{IN} , resultando en una señal, IF_{OUT} , a la salida del mezclador. Esta multiplicación analógica de señales genera una señal que idealmente contiene dos componentes espectrales, una localizada en la suma de las frecuencias de RF_{IN} y LO_{IN} mientras que la otra está a una frecuencia dada por la diferencia de las frecuencias de entrada.

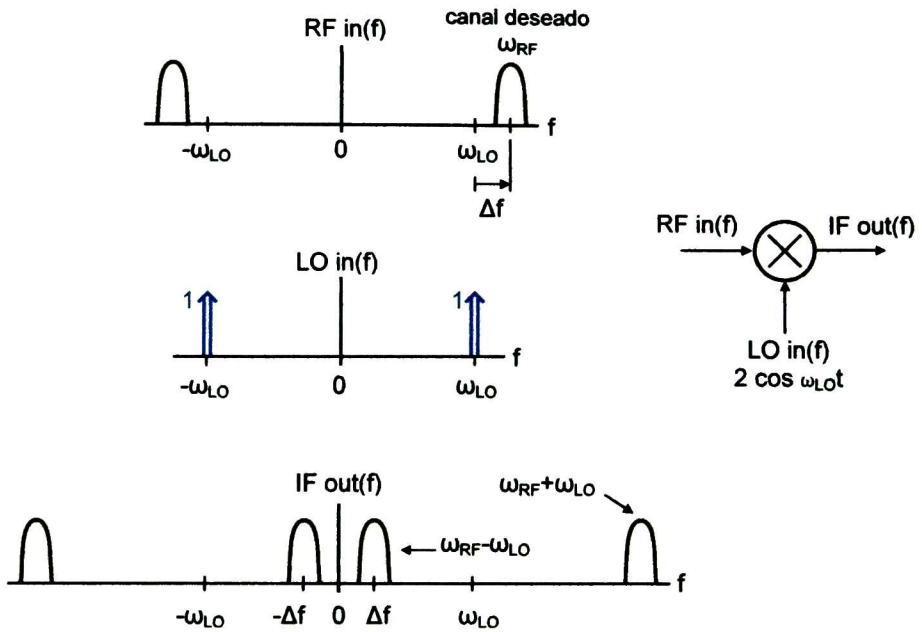


Fig. 4.1 Mezclador ideal.

La conclusión anterior se puede ver utilizando trigonometría para representar las señales de entrada como se muestra en la Fig. 4.1. Por ejemplo, suponer que $RF_{IN}(t)$ es una señal de alta frecuencia recibida de la antena de un receptor, mientras que $LO_{IN}(t)$ es la señal proveniente de un oscilador. Puede observarse que la señal entrante, $RF_{IN}(t)$, será trasladada en frecuencia por el proceso de multiplicar $RF_{IN}(t)$ y $LO_{IN}(t)$:

$$RF_{IN}(t) = A \sin \omega_{RF} t \quad (4.1)$$

$$LO_{IN}(t) = B \sin \omega_{LO} t \quad (4.2)$$

$$(A \sin \omega_{RF}) (B \sin \omega_{LO}) = \frac{AB}{2} [\cos(\omega_{RF} - \omega_{LO})t + \cos(\omega_{RF} + \omega_{LO})t] \quad (4.3)$$

Para propósitos de transmisión, una señal de baja frecuencia se aplica en el puerto de entrada (Fig. 4.1a), contando así con una frecuencia mayor en el puerto de salida (*up-conversion*).



Fig. 4.2 Representación de un mezclador para conversión *up/down*.

Así, la suma de frecuencias es utilizada para trasladar a una frecuencia mayor la banda deseada antes de ser aplicada a la antena para su transmisión [21]. De esa forma, en el caso

particular de un receptor, el proceso de conversión (*down-conversion*) se realiza utilizando la diferencia de frecuencias o frecuencia intermedia IF (Fig. 4.2b) para trasladar a una frecuencia menor el canal deseado; la componente resultado de la suma de frecuencias es *removida* por técnicas de filtrado. El hecho de contar con mezcladores para conversión de frecuencia (*up/down*) permite un considerable incremento en la integración de un transceptor a muy bajo costo.

4.2 Frecuencia Imagen

Enfocando la atención en la componente de conversión ($\omega_{RF}-\omega_{LO}$), existen dos bandas que potencialmente pueden ser trasladadas a la misma frecuencia intermedia [21]. Para el análisis, suponer que existen dos componentes espectrales, una de ellas localizada en $\omega_{RF}=\omega_{LO}+\omega_{IF}$ y otra en $\omega_{im}=\omega_{LO}-\omega_{IF}$, ambas en el puerto de entrada de RF del mezclador, esto es, las bandas están localizadas simétricamente con respecto a la frecuencia del LO. De (4.3) se puede deducir que ambas componentes espectrales serán trasladadas a la misma frecuencia intermedia (*down-converted*); esto se ilustra en la Fig. 4.3. Si la banda deseada a trasladar está por arriba de la frecuencia del oscilador local, ω_{LO} , entonces la otra banda trasladada en frecuencia a la misma IF- es referida como frecuencia imagen o banda de imagen (y viceversa). Es claro que sin un filtrado apropiado o cancelación de las señales presentes en la banda imagen, esta señal se presentará como interferencia en la banda deseada. Esta situación puede presentarse cuando la señal deseada en aplicaciones de un receptor es mucho más débil que las interferencias no-deseadas dentro de la banda imagen. Así, una supresión de imagen debe ser garantizada para las aplicaciones del receptor.

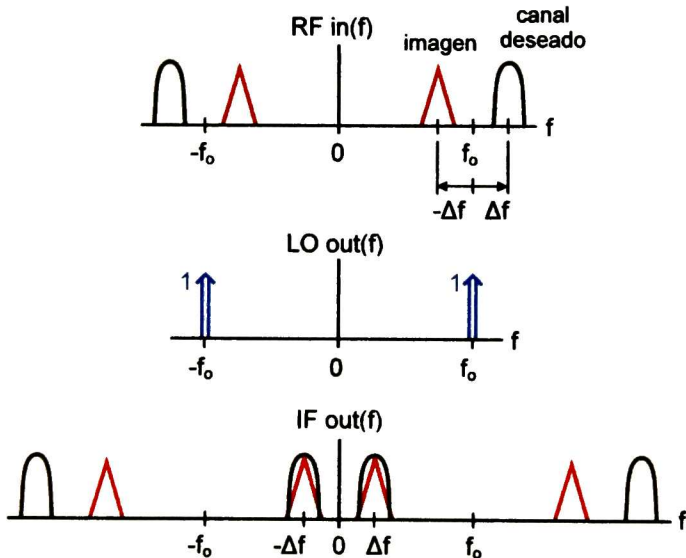


Fig. 4.3 Representación del problema de frecuencia imagen.

Prácticamente en todas las aplicaciones del receptor, que utilizan una arquitectura heterodina, el problema de frecuencia imagen puede ser eliminado utilizando uno de dos métodos básicos. Usar un filtro o algún otro método de cancelación de banda imagen utilizando corrimientos de fase entre dos trayectorias de señal paralelas. La técnica común para la supresión de la frecuencia imagen se realiza implementando un filtro antes del

mezclador [3] como se muestra en la Fig. 4.4. Debido al requerimiento de alto factor- Q para filtros de rechazo de imagen, la elección convencional para esta aplicación son filtros no-integrados (off-chip). Sin embargo, esto es un impedimento para el diseño de transreceptores completamente monolíticos, los cuales son altamente fomentados, ya que el mercado de productos inalámbricos está constantemente demandando sistemas más compactos a menor costo. En la siguiente sección se describen algunas opciones para resolver este problema en transreceptores monolíticos.

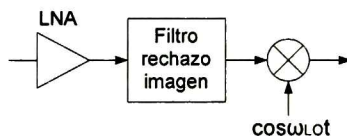


Fig. 4.4 Rechazo de imagen a través de un filtro.

4.3 Arquitecturas de Rechazo de Imagen

Un método alternativo para el rechazo de frecuencia imagen es el uso de estructuras de cancelación basadas en mezcladores [3]. El principio básico es generar dos trayectorias para la señal recibida. En estas trayectorias se realizan procesos de mezclado y de corrimiento de fase. La señal en una de las trayectorias tendrá una diferencia de fase de 180° respecto a la fase de la señal en la otra trayectoria, mientras que para la señal de la banda deseada no existirá diferencia de fase. En consecuencia, realizando la suma de los dos canales, la señal de banda imagen idealmente se cancela mientras que la señal deseada se mantiene. Las arquitecturas de rechazo de imagen en receptores, llamadas Hartley y Weaver son los métodos conocidos para implementar estructuras de rechazo de imagen.

4.3.1 Arquitectura Hartley

La propuesta se ilustra en la Fig. 4.5. Esta topología mezcla la entrada de RF con las fases en cuadratura del oscilador local, $\sin\omega_{LO}t$ y $\cos\omega_{LO}t$, posteriormente procesa las señales resultantes con filtros pasa-bajas, y aplica un corrimiento en fase 90° en una de ellas antes de sumar ambas señales.

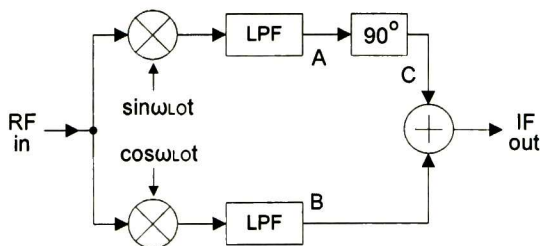


Fig. 4.5 Arquitectura Hartley de rechazo de imagen.

Para describir este principio, supóngase que la señal de entrada está dada por

$$x(t) = A_{RF} \cos \omega_{RF} t + A_{im} \cos \omega_{im} t \quad (4.4)$$

donde el primer término representa el canal deseado y el segundo la frecuencia imagen. Multiplicando $x(t)$ por las fases del oscilador local (LO) y descartando las componentes de

alta frecuencia (por el uso del filtrado), se obtienen las señales en los puntos **A** y **B** respectivamente:

$$x_A(t) = \text{LPF}(x(t) \sin \omega_{LO} t) = \frac{A_{RF}}{2} \sin(\omega_{LO} - \omega_{RF})t + \frac{A_{im}}{2} \sin(\omega_{LO} - \omega_{im})t \quad (4.5)$$

$$x_B(t) = \text{LPF}(x(t) \cos \omega_{LO} t) = \frac{A_{RF}}{2} \cos(\omega_{LO} - \omega_{RF})t + \frac{A_{im}}{2} \cos(\omega_{LO} - \omega_{im})t \quad (4.6)$$

Escribiendo (4.5) como

$$x_A(t) = -\frac{A_{RF}}{2} \sin(\omega_{RF} - \omega_{LO})t + \frac{A_{im}}{2} \sin(\omega_{LO} - \omega_{im})t \quad (4.7)$$

luego, convirtiendo $\sin(\omega t - 90^\circ) = -\cos \omega t$ se obtiene el punto C:

$$x_C(t) = +\frac{A_{RF}}{2} \cos(\omega_{RF} - \omega_{LO})t - \frac{A_{im}}{2} \cos(\omega_{LO} - \omega_{im})t \quad (4.8)$$

y una vez sumados los resultados $x_C(t)$ y $x_B(t)$, se obtiene una señal representada por

$$IF_{out} = A_{RF} \cos(\omega_{LO} - \omega_{RF})t \quad (4.9)$$

De esta forma, la señal de RF es convertida en frecuencia sin corrupción.

4.3.2 Arquitectura Weaver

En esta propuesta la conversión de frecuencia seguida por un corrimiento de fase (90°) produce en ambas trayectorias idéntica polaridad para la señal deseada y polaridad opuesta para la imagen. En la Fig. 4.6 se muestra la arquitectura Weaver, la cual reemplaza la etapa de corrimiento, 90° , por una operación de mezclado con osciladores en cuadratura.

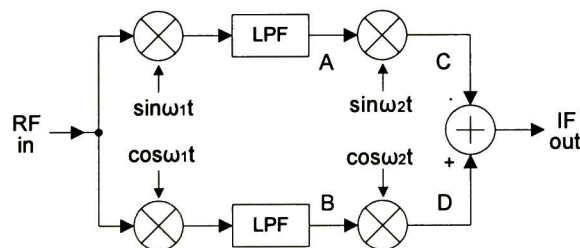


Fig. 4.6 Arquitectura Weaver de rechazo de imagen.

Por ejemplo, para el nodo de entrada se puede definir la siguiente aproximación:

$$x(t) = A_{RF} \cos \omega_{RF} t + A_{im} \cos \omega_{im} t \quad (4.10)$$

con lo cual es prudente hacer las siguientes definiciones:

$$\omega_R = \omega_{RF} - \omega_1 \quad (4.11)$$

$$\omega_I = \omega_1 - \omega_{im} \quad (4.12)$$

Luego, las señales en los puntos A y B están dadas por

$$x_A(t) = \text{LPF}(x(t) \sin \omega_1 t) = \frac{\Lambda_{RF}}{2} \sin(\omega_1 - \omega_{RF})t + \frac{\Lambda_{im}}{2} \sin(\omega_1 - \omega_{im})t \quad (4.13)$$

$$x_B(t) = \text{LPF}(x(t) \cos \omega_1 t) = \frac{\Lambda_{RF}}{2} \cos(\omega_1 - \omega_{RF})t + \frac{\Lambda_{im}}{2} \cos(\omega_1 - \omega_{im})t \quad (4.14)$$

Escribiendo 4.13 y 4.14 de como

$$x_A(t) = -\frac{\Lambda_{RF}}{2} \sin \omega_R t + \frac{\Lambda_{im}}{2} \sin \omega_I t \quad (4.15)$$

y

$$x_B(t) = \frac{\Lambda_{RF}}{2} \cos \omega_R t + \frac{\Lambda_{im}}{2} \cos \omega_I t \quad (4.16)$$

entonces, para el punto C

$$x_C(t) = x_A(t) \sin \omega_2 t = \left[-\frac{\Lambda_{RF}}{2} \sin \omega_R t + \frac{\Lambda_{im}}{2} \sin \omega_I t \right] \sin \omega_2 t \quad (4.17)$$

$$\begin{aligned} x_C(t) = & -\frac{\Lambda_{RF}}{4} \left[\cos(\omega_R - \omega_2)t - \cos(\omega_R + \omega_2)t \right] \\ & + \frac{\Lambda_{im}}{4} \left[\cos(\omega_I - \omega_2)t - \cos(\omega_I + \omega_2)t \right] \end{aligned} \quad (4.18)$$

y para el punto D

$$x_D(t) = x_B(t) \cos \omega_2 t = \left[\frac{\Lambda_{RF}}{2} \cos \omega_R t + \frac{\Lambda_{im}}{2} \cos \omega_I t \right] \cos \omega_2 t \quad (4.19)$$

$$\begin{aligned} x_D(t) = & \frac{\Lambda_{RF}}{4} \left[\cos(\omega_R - \omega_2)t + \cos(\omega_R + \omega_2)t \right] \\ & + \frac{\Lambda_{im}}{4} \left[\cos(\omega_I - \omega_2)t + \cos(\omega_I + \omega_2)t \right] \end{aligned} \quad (4.20)$$

Luego, restando C de D:

$$\text{IF}_{\text{out}} = \frac{\Lambda_{RF}}{2} \cos(\omega_R - \omega_2)t \quad (4.21)$$

De este resultado se observa que la imagen es cancelada, obteniendo la señal deseada sin corrupción.

4.4 Topologías de Mezcladores

Las diferentes topologías activas trabajan bajo la aplicación de una señal de un LO en uno de los puertos del mezclador, causando modulación de la señal de entrada (RF) y así obtener una frecuencia intermedia (IF). Si la entrada de la señal del oscilador local en un mezclador es diferencial pero la entrada RF es *single-ended*, la topología es llamada balanceada-simple (*single-balanced*). Si un mezclador opera con ambos puertos diferenciales, LO y RF, entonces es llamado doblemente-balanceado (*double-balanced*). La versión activa de esta topología es conocida como celda Gilbert que se emplea comúnmente en circuitos integrados.

4.4.1 Operación No-Lineal

Los mezcladores utilizan características no-lineales para generar la multiplicación (ver Fig. 4.7). Así, éstos también generan frecuencias de salida no-deseadas:

$$V_o(t) = a_0 + a_1 V_{in}(t) + a_2 V_{in}^2(t) + a_3 V_{in}^3(t) \quad (4.22)$$

Este resultado representa los productos generados de un dispositivo no-lineal. Cualquier diodo o transistor exhibirá no-linealidad en su característica de transferencia al aplicar una señal.

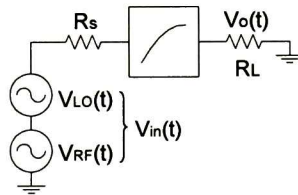


Fig. 4.7 Circuito no-lineal para generación de productos.

Se puede observar que la salida cuenta con un término de DC, términos de RF y LO, y términos localizados en todos los armónicos de las frecuencias de RF y LO. Solamente el producto de segundo-orden produce la salida deseada de mezclado. La idea básica en la implementación de un multiplicador se muestra en la Fig. 4.8. Dos señales, $v_1(t)$ y $v_2(t)$, son aplicadas a un circuito no-lineal, el cual puede ser caracterizado por una función polinomial. Como se describió anteriormente, esta función genera varios términos además del producto deseado $v_1(t)v_2(t)$. Entonces se requiere cancelar los componentes no-deseados. Esto es efectuado por una configuración de circuito de cancelación.

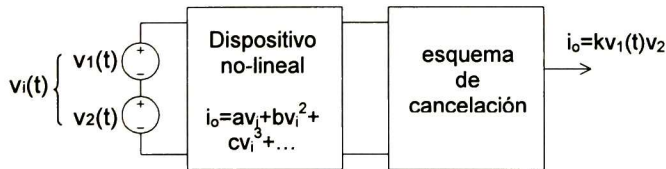


Fig. 4.8 Concepto básico de un multiplicador.

4.4.2 Mezclador No-Balanceado

Una señal balanceada se caracteriza por tener una componente de DC igual a cero. Las señales aplicadas en un mezclador no-balanceado son *single-ended*; no existe balanceo en este diseño. En la Fig. 4.9 el interruptor es operado por el oscilador local (LO). Si el oscilador es una onda cuadrada, con ciclo de trabajo del 50%, ésta puede ser representada por su serie de Fourier:

$$T(t) = \frac{1}{2} + \frac{2}{\pi} \left[\sin(\omega_{LO}t) + \frac{\sin(3\omega_{LO}t)}{3} + \frac{\sin(5\omega_{LO}t)}{5} \right] \quad (4.23)$$

Obsérvese que no existen armónicos de orden par en el espectro. Cuando la serie es multiplicada por una frecuencia simple $V_{in}(t) = V_R \cos(\omega_{RF}t)$ la suma y diferencia de frecuencias deseadas, $\omega_{RF} - \omega_{LO}$ y $\omega_{RF} + \omega_{LO}$, serán obtenidas a la salida a partir del producto de segundo orden:

$$V_o(t) = \frac{V_R}{2} \underbrace{\cos(\omega_{RF}t)}_{\text{Componente RF}} + \frac{2V_R}{\pi} \left[\underbrace{\cos(\omega_{RF}t)\sin(\omega_{LO}t)}_{\text{Producto 2o-orden}} + \underbrace{\frac{\cos(\omega_{RF}t)\sin(3\omega_{LO}t)}{3}}_{\text{Producto 4o-orden}} \right] \quad (4.24)$$

Los armónicos de orden impar asociados a la frecuencia del LO generan productos de orden par, con salidas en $n\omega_{LO} - \omega_{RF}$ y $n\omega_{LO} + \omega_{RF}$ donde n es un entero impar. También se obtiene una componente de la frecuencia de entrada ω_{RF} directamente a la salida. Ninguna de las componentes de la señal LO se presenta en la salida si el mezclador se comporta de acuerdo con esta representación, pero, si la señal de entrada de RF cuenta con un nivel de DC, existirá una componente de la frecuencia del LO presente a la salida. Esto no es inusual, ya que la mayoría de los mezcladores requieren un nivel de DC en su señal de entrada.

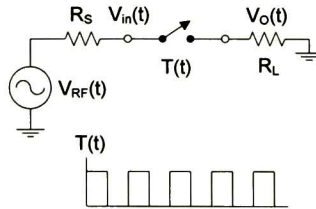


Fig. 4.9 Mezclador no-balanceado.

4.4.3 Mezclador Balanceado-Simple (*single-balanced*)

La componente de RF en la salida puede ser eliminada utilizando una salida diferencial IF y una señal de LO también diferencial (ver Fig. 4.10). Debido a que las señales aplicadas a los transistores requieren un nivel de DC (señal no balanceada), la señal de entrada RF en un mezclador balanceado-simple contiene una componente de DC (ver Fig. 4.11a), entonces en el proceso de mezclado con la señal del oscilador local LO (ver Fig. 4.11b) existen componentes del LO no-deseadas a la salida [22] (ver Fig. 4.11c). La componente de RF es cancelada al ser la salida tomada de ambas ramas. Estas componentes pueden eliminarse con filtrado, pero también es posible incorporando un nivel de DC igual a cero para la entrada de RF utilizando una topología doblemente-balanceada.

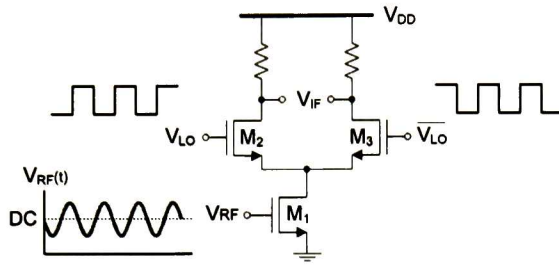


Fig. 4.10 Mezclador balanceado-simple.

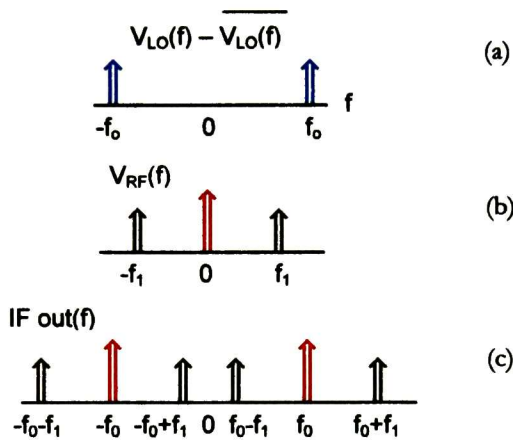


Fig. 4.11 Espectro del mezclador balanceado-simple.

4.4.4 Mezclador Doblemente-Balanceado (*double-balanced*)

En esta topología (ver Fig. 4.12) ambos puertos, LO y RF son balanceados (componentes de DC cero). Su espectro se muestra en la Fig. 4.13. De esta forma, los términos no-deseados de LO suman cero en el puerto de salida de frecuencia intermedia [4]. Esta implementación de mezclador es la preferida en la mayoría de los receptores. Para aprovechar las ventajas de este circuito se requieren circuitos o dispositivos para el manejo de señales diferenciales tanto en nodos de entrada como de salida, es decir, como transformadores o circuitos activos completamente diferenciales. Un convertidor de señal-simple a diferencial [23]-[24] puede ser implementado en la entrada del mezclador. Esta interfase es requerida para simplificar los requerimientos de prueba, debido a que la mayoría de los instrumentos de prueba no manejan señales diferenciales (puertos diferenciales). Si un circuito mezclador es implementado en un transreceptor (*transceiver*) esta interfase es necesaria en situaciones en que, la etapa anterior (por ejemplo un LNA), no cuente con una topología de salida diferencial, es decir que su salida sea no-balanceada. La salida diferencial del mezclador es usualmente seguida por un convertidor diferencial-simple, ya sea para propósitos de prueba o como interfase para una etapa posterior. Los mezcladores doblemente balanceados son menos susceptibles al ruido que los balanceados simples debido a la señal diferencial del puerto RF. Esta topología es conocida como celda Gilbert ó mezclador Gilbert.

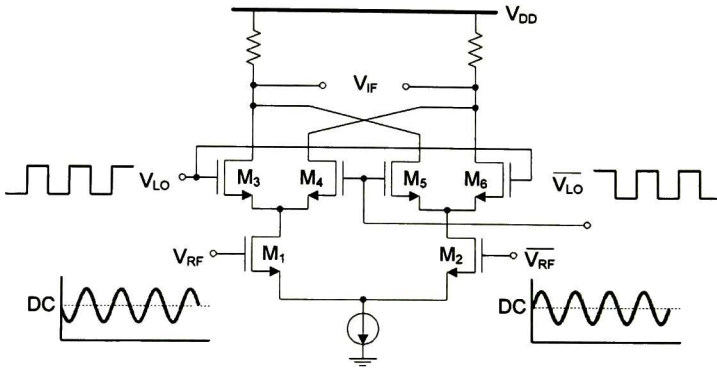


Fig. 4.12 Mezclador doblemente balanceado.

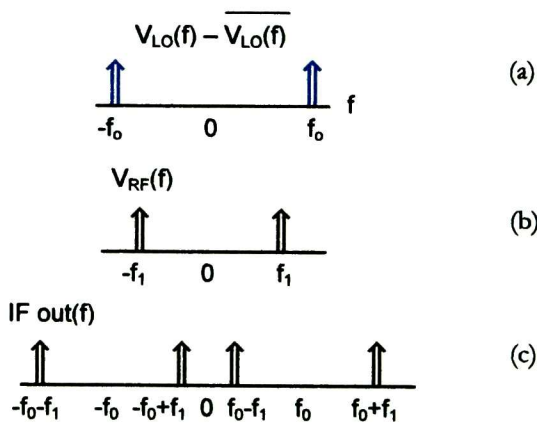


Fig. 4.13 Espectro de mezclador doblemente balanceado.

4.4.5 Mezclador Gilbert

Cualitativamente, un mezclador Gilbert consiste de un convertidor V-I, un bloque de interruptores de corriente, y un convertidor I-V. La Fig. 4.14 muestra una implementación del mezclador doblemente-balanceado utilizando tres pares diferenciales. Dos de ellos (M3-4 y M5-6) son utilizados como interruptores y el restante (M1-2) realiza la conversión V-I de la señal de entrada V_{RF} . Los interruptores son complementarios porque las señales VLO son aplicadas con esa característica. El convertidor V-I genera dos corrientes de entrada hacia los interruptores, los cuales están también 180° fuera de fase. Las corrientes I_{rf}^+ e I_{rf} generadas por M1 y M2 son entonces conmutadas a través de los otros pares diferenciales formados por los transistores M3-M6.

Asumiendo que VLO es una señal cuadrada, como la mostrada en la Fig. 4.15, esta conmuta a los transistores M3-6 a un estado de encendido cuando está en nivel lógico alto y, a un estado de apagado, cuando se tiene un nivel lógico bajo. En otras palabras, durante el tiempo ϕ_1 VLO es positivo, entonces M3 y M6 estarán encendidos, con corrientes de drenador igual a I_{rf}^+ e I_{rf} , respectivamente. M4 y M5 se encontraran apagados, por lo tanto su corriente de drenaje será cero. La corriente en el nodo de salida I_{if}^+ del mezclador, es la suma de corrientes de M3 y M5, por lo tanto $I_{if}^+ = I_{d3} + I_{d5} = I_{rf}^+ + 0 = I_{rf}^+$.

Análogamente, la corriente en el nodo de salida I_{if} del mezclador, es la suma de las corrientes de M_4 y M_6 , por lo tanto $I_{if} = I_{d4} + I_{d6} = 0 + I_{rf} = I_{rf}$.

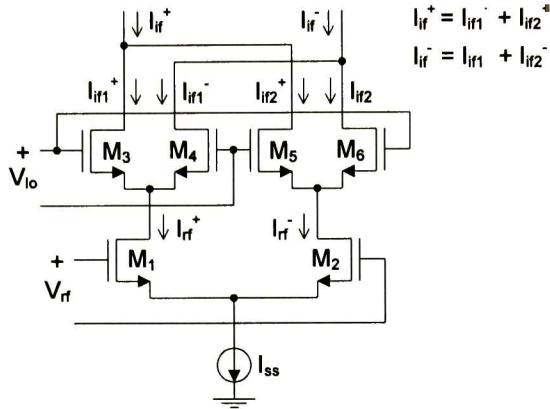


Fig. 4.14 Mezclador Gilbert.

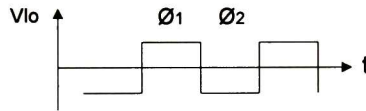


Fig. 4.15 Señal diferencial de control (V_{LO}^+)-(VLO⁻).

Después, VLO cambia de estado durante el tiempo $\text{Ø}2$ y ocurre exactamente lo contrario. Al ser VLO negativo significa que M_3 y M_6 están apagados. Por otro lado, M_4 y M_5 se encuentran encendidos. Debido a que el par de transistores encendidos cambiaron de estado, la corriente que circulaba a la salida ha sido también cambiada. Repitiendo el procedimiento, la corriente de salida del mezclador I_{if}^+ es la suma de las corrientes de drenador de M_3 y M_5 . Sin embargo, esta corriente es ahora la que circula por M_5 a diferencia de la que circula por M_3 en el caso anterior, $I_{if}^+ = I_{d3} + I_{d5} = 0 + I_{rf} = I_{rf}$. De igual forma, la corriente en el nodo de salida I_{if} del mezclador es la suma de las corrientes de drenador de M_4 y M_6 , pero ahora la corriente es aquella que circula por M_4 , a diferencia de la que circula por M_6 , por lo tanto, $I_{if} = I_{d4} + I_{d6} = I_{rf} + 0 = I_{rf}^+$. En resumen, las corrientes de salida han cambiado su polaridad en sincronía con la señal de entrada VLO y la mezcla ha ocurrido.

4.4.6 Análisis de la Celda MOS Gilbert

Para analizar el funcionamiento del mezclador Gilbert (desarrollo en Apéndice A), en inicio se debe examinar un bloque elemental llamado Par Diferencial, el cual se muestra en la Fig. 4.16. En la región de saturación de un transistor MOS, la corriente de drenaje puede ser descrita por la ley cuadrática [25]-[26]:

$$I_D = \frac{K}{2} [V_{GS} - V_T]^2 \quad (4.25)$$

donde I_D es la corriente que fluye por el dispositivo, $K = \mu C_{ox} W/L$ es el parámetro de transconductancia, μ es la movilidad de los portadores, C_{ox} es la capacitancia de compuerta por unidad de área, y W y L es en ancho y longitud de canal del dispositivo, respectivamente, V_{GS} voltaje de compuerta a fuente y V_T voltaje de umbral.

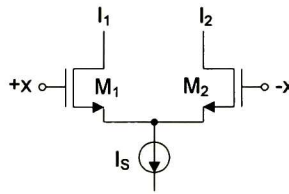


Fig. 4.16 Circuito par diferencial MOS.

En la Fig. 4.16 las fuentes de M_1 y M_2 (los cuales son llamados transistores del par diferencial) son conectadas a un nodo común. Si se asume que M_1 y M_2 cuentan con las mismas dimensiones ($K_1 = K_2 = K$), un par diferencial MOS operando en la región de saturación genera una corriente de salida diferencial dada por [26]:

$$I_{od} = I_1 - I_2 = I_S \left[\frac{K}{I_S} (2x)^2 - \frac{K^2}{4I_S^2} (2x)^4 \right]^{1/2} = 2\sqrt{KI_S} x \left[1 - \frac{K}{I_S} x^2 \right]^{1/2} \quad (4.26)$$

donde I_S es el valor de la fuente de corriente y $2x$ es el voltaje de entrada diferencial. En la topología mostrada en la Fig. 4.17, x es una señal de voltaje de entrada e I_y es una señal de corriente. Las corrientes diferenciales de salida de ambos pares diferenciales son restadas obteniendo:

$$I_o = I_{o1} - I_{o2} = 2\sqrt{K}x \left[\sqrt{I_{y1}} - \sqrt{I_{y2}} \right] \quad (4.27)$$

La corriente de entrada $\sqrt{I_{y1}} - \sqrt{I_{y2}}$ es generada por otro par diferencial (como se muestra en la Fig. 4.15). Esta diferencia de corrientes es dependiente del voltaje:

$$2y = \sqrt{\frac{2}{K}} \left(\sqrt{I_{y1}} - \sqrt{I_{y2}} \right) \quad (4.28)$$

donde $2y$ es el voltaje de entrada diferencial y K_3 es la constante de transconductancia de los transistores del tercer par diferencial.

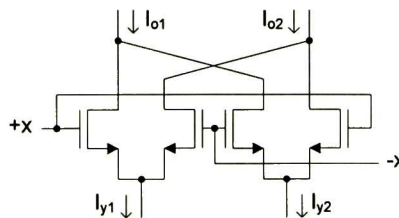


Fig. 4.17 Pares diferenciales generando una corriente de salida.

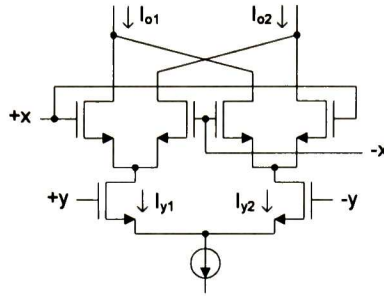


Fig. 4.18 Versión MOS de la celda Gilbert.

De esta forma, sustituyendo (4.28) en (4.27) es posible obtener una expresión para el circuito MOS Gilbert. La corriente de salida muestra la característica de un multiplicador

$$I_o = I_{o1} - I_{o2} = 2\sqrt{2KK_3}xy \quad (4.29)$$

donde x y y son señales de entrada. En consecuencia, la celda Gilbert es un circuito transductor voltaje-corriente.

4.5 Conclusiones

Se describió la función de conversión de frecuencia de un mezclador, de una señal típicamente ω_{rf} a otra frecuencia llamada frecuencia intermedia ω_{if} . Se presentaron alternativas para la cancelación de la frecuencia imagen (como el filtrado) así como distintas topologías mezcladores de rechazo de imagen las cuales son adecuadas para su integración. También, se describieron algunas topologías de mezcladores, en donde las más importantes destacan la estructura balanceada-simple, la cual cancela a la salida la componente no-deseadas de la frecuencia ω_{RF} ; y el mezclador doblemente-balanceado el cual idealmente cancela en su puerto IF las frecuencias de entrada ω_{RF} y ω_{LO} .

Se presentó la función de transferencia del par diferencial MOS. Algunas de las configuraciones descritas incluyen este conocido circuito. También se ha descrito la celda Gilbert como multiplicador. Esta estructura es utilizada en sistemas de comunicación.

Intencionalmente en blanco

Capítulo 5

Diseño en Tecnología 0.5 μ m

Un circuito mezclador tipo doblemente balanceado es muy utilizado en aplicaciones de RFIC. Es por ello que para el circuito DB que se propone se incorporan interfase diferencial-a-simple y simple-a-diferencial. A la par de esa propuesta se diseñan dos osciladores de anillo (VCO) para implementar convertidores de frecuencia. Una característica importante de los VCOs es contar con salida diferencial, y generar condiciones para aplicar ésta al puerto de entrada LO del circuito mezclador. Uno de los osciladores de anillo basa su operación en el control de corriente en compuertas NOT. De esta manera es posible obtener señales en cuadratura. El VCO genera una frecuencia máxima de 20MHz porque el propósito es verificar el concepto de mezclar señales en una aplicación de relativa baja frecuencia con ayuda de las facilidades de caracterización existente en el Laboratorio de Diseño. El segundo VCO, diseñado para caracterización *on-wafer*, basa su funcionamiento en celdas diferenciales y oscila en el rango de los 900MHz; su uso es para aplicaciones de transreceptores. Por lo anterior en este capítulo se presentan resultados de simulaciones y consideraciones de diseño para los circuitos descritos.

5.1 Mezclador Doblemente-Balanceado

UN MEZCLADOR CMOS doblemente balanceado (DB) está basado en la celda Gilbert (ver Fig. 5.1). Los transistores operan en la región de saturación bajo régimen de fuerte inversión. La tecnología de fabricación usada es AMIS 0.5 μ m, con parámetros del transistor MOS obtenidos del modelo BSIM3v3. Las ecuaciones de transconductancia de un transistor MOS canal-p y canal-n se están dada por

$$g_{mn} = 2\sqrt{K_n \frac{W}{L} I_D} \quad K_n = \frac{\mu_n C_{ox}}{2} \quad (5.1)$$

y

$$g_{mp} = 2\sqrt{K_p \frac{W}{L} I_D} \quad K_p = \frac{\mu_p C_{ox}}{2} \quad (5.2)$$

respectivamente. Estos resultados se obtienen de la *ley cuadrada* del transistor, por lo cual el valor de g_m para los transistores M_1 - M_6 en función de la corriente de polarización I_{BIAS} es la siguiente:

$$g_{mn1} = g_{mn2} = 2\sqrt{K_n \frac{W}{L} \frac{I_{BIAS}}{2}} \quad (5.3)$$

$$g_{mn3} = g_{mn4} = g_{mn5} = g_{mn6} = 2\sqrt{K_n \frac{W}{L} \frac{I_{BIAS}}{4}} \quad (5.4)$$

El circuito es alimentado con $V_{DD}=5V$. En la obtención de (5.3) y (5.4) se propuso un voltaje $\frac{1}{2}V_{DD}$ en los nodos de salida y lograr la máxima excursión de la señal. De igual manera se asumió un voltaje $\frac{1}{3}V_{DD}$ y $\frac{1}{6}V_{DD}$ en los nodos correspondientes al drenaje de M_{n1} y M_{n9} , respectivamente.

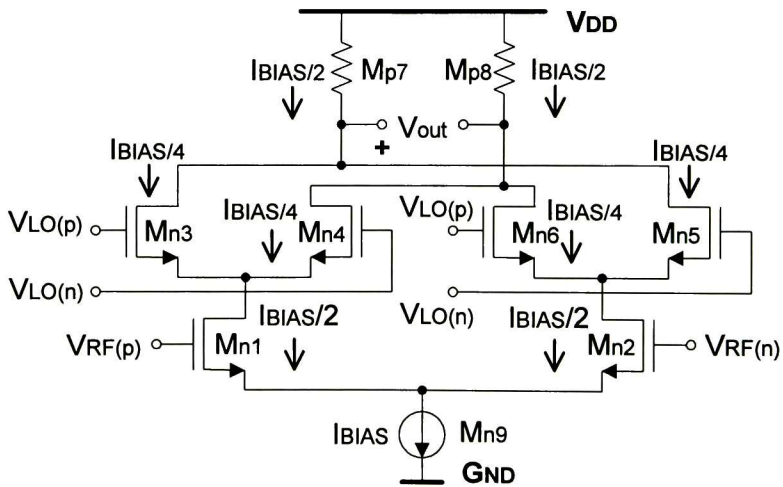


Fig. 5.1 Mezclador doblemente-balanceado.

La tecnología usada es CMOS de pozo N, es decir, se puede deducir de la Fig. 5.1 que hay transistores con potencial $V_{BS} \neq 0$, en consecuencia, fue necesario calcular su respectivo voltaje de encendido el cual está dado por [16]:

$$V_{THN} = V_{THN0} + \gamma \left(\sqrt{|2\Phi_F| + V_{SB}} - \sqrt{|2\Phi_F|} \right) \quad (5.5)$$

donde V_{THN0} es el voltaje de umbral a $V_{SB}=0$, γ es el coeficiente de efecto de cuerpo y Φ_F es el potencial electrostático del sustrato.

Los voltajes calculados se muestran en la Tabla 5.1, mientras que las dimensiones obtenidas para cada transistor se muestran en la Tabla 5.2.

Tabla 5.1 Voltajes de umbral o de encendido.

| Dispositivo | V_{TH} |
|----------------------------------|----------|
| M_{n1}, M_{n2} | 0.98 V |
| $M_{n3}, M_{n4}, M_{n5}, M_{n6}$ | 1.24 V |
| M_{p7}, M_{p8} | - 0.95 V |
| M_{n9} | 0.65 V |

Tabla 5.2 Dimensiones del circuito mezclador.

| Dispositivo | W | λ ($=0.3\mu\text{m}$) | L | λ ($=0.3\mu\text{m}$) |
|----------------------------------|---------------------|---------------------------------|-------------------|---------------------------------|
| M_{n1}, M_{n2} | 100.8 μm | 336 | 0.6 μm | 2 |
| $M_{n3}, M_{n4}, M_{n5}, M_{n6}$ | 100.8 μm | 336 | 0.6 μm | 2 |
| M_{p7}, M_{p8} | 25.2 μm | 84 | 0.6 μm | 2 |
| M_{n9} | 100.8 μm | 336 | 0.6 μm | 2 |

5.2 Convertidor de Señal Simple-a-Diferencial

La topología seleccionada es diferencial [24]. El circuito permite ser la interfase entre el mezclador y otra etapa como un LNA o algún instrumento de laboratorio (ver Fig. 5.2). Luego, a partir del circuito eléctrico equivalente de pequeña señal (ver Fig. 5.3) las ecuaciones asociadas a V_{RF+} y V_{RF-} pueden ser resueltas:

$$v_{o1}g_{mload} + (v_{o1} - v)g_{din} + g_{mi}(v_{in1} - v) = 0 \quad (5.6)$$

$$v_{o2}g_{mload} + (v_{o2} - v)g_{din} + g_{mi}(v_{in2} - v) = 0 \quad (5.7)$$

$$(v - v_{o1})g_{din} - g_{mi}(v_{in1} - v) + v g_{dbias} + (v - v_{o2})g_{din} - (v_{in2} - v)g_{mi} = 0 \quad (5.8)$$

Estas expresiones pueden ser simplificadas asumiendo que $g_m \gg g_{ds}$, lo cual es cierto para la operación del transistor en la región de saturación.

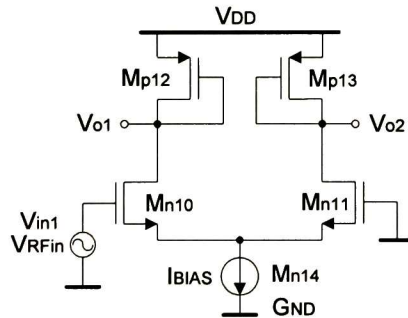


Fig. 5.2 Esquemático del convertidor CMOS de señal entrada simple a salida diferencial.

También se asume que el circuito es perfectamente simétrico, es decir, las características de desempeño de M_{n10} y M_{n11} son idénticas; lo mismo es cierto para los transistores M_{p12} y

M_{p13} . Una situación particular ocurre si la señal aplicada a uno de los transistores de entrada es nula, entonces la respuesta está dada por

$$v_{RF-} \approx -\frac{g_{mi}}{2g_{mload}} v_{RFin} \quad (5.9)$$

$$v_{RF+} \approx \frac{g_{mi}}{2g_{mload}} v_{RFin} \quad (5.10)$$

De este resultado se observa que v_{RF+} es aproximadamente igual en magnitud, pero de signo contrario, que v_{RF-} . Esta característica es propia de un circuito con salida diferencial. Las dimensiones de los transistores se muestran en la Tabla 5.3.

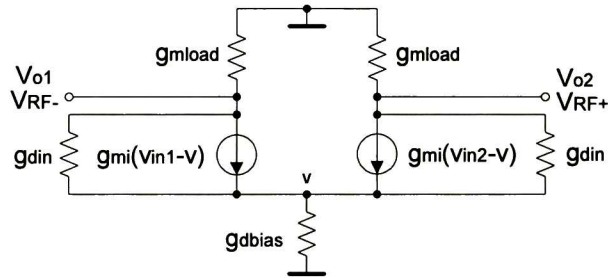


Fig. 5.3 Circuito equivalente de pequeña señal del convertidor señal entrada simple a salida diferencial.

5.3 Convertidor de Salida Diferencial-a-Simple

En una topología DB la salida diferencial del mezclador es utilizada por un convertidor diferencial-a-simple. Las señales de entrada V_{IF+} y V_{IF-} del circuito que se muestra en la Fig. 5.4 (las cuales son las señales de salida en el mezclador doblemente-balanceado) siguen distintas trayectorias hacia el nodo de salida [24]. Ésta es proporcional a la diferencia $(V_{IF+})-(V_{IF-})$. El ancho W calculado para los transistores se muestran en la Tabla 5.3, donde $L=0.6\mu m$ para todos ellos.

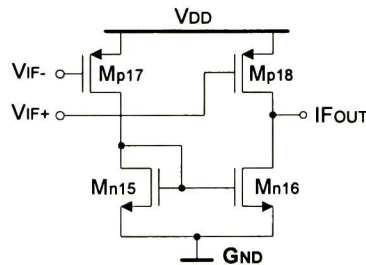


Fig. 5.4 Convertidor de señal diferencial a salida simple.

Tabla 5.3 Dimensiones de los transistores de los circuitos de interfase

| Dispositivo | W | λ ($=0.3 \mu\text{m}$) | L | λ ($=0.3 \mu\text{m}$) |
|-----------------------------|--------------------|----------------------------------|-------------------|----------------------------------|
| $M_{n10}, M_{n11}, M_{n14}$ | $50.4 \mu\text{m}$ | 168 | $0.6 \mu\text{m}$ | 2 |
| M_{p12}, M_{p13} | $10.5 \mu\text{m}$ | 35 | $0.6 \mu\text{m}$ | 2 |
| M_{n15}, M_{n16} | $12.6 \mu\text{m}$ | 42 | $0.6 \mu\text{m}$ | 2 |
| M_{p17}, M_{p18} | $33.0 \mu\text{m}$ | 110 | $0.6 \mu\text{m}$ | 2 |

5.4 Simulación y Layout

El circuito mostrado en la Fig. 5.5 fue simulado en T-Spice usando el nivel=49 para los transistores. La señal de RF aplicada es de 900MHz con una amplitud de 50mV. La señal diferencial aplicada en el puerto LO es de frecuencia $F_{LO}=800\text{MHz}$, con lo cual se espera una señal de frecuencia equivalente a 100MHz.

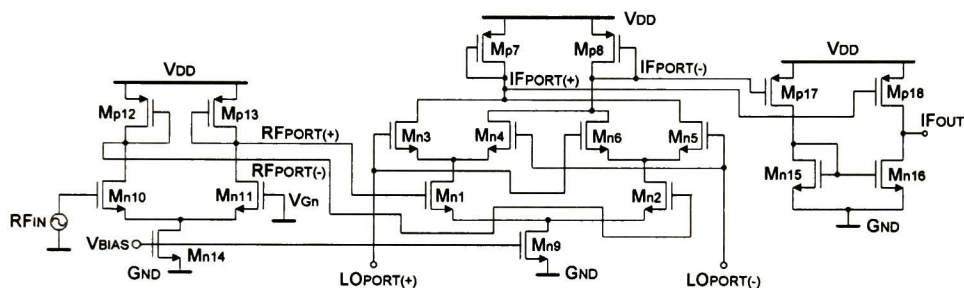


Fig. 5.5 Mezclador DB con entrada y salida *single-ended*.

La Fig. 5.6a muestra los resultados en el dominio del tiempo, donde una señal senoidal de baja frecuencia (100MHz) es claramente visible. También se puede observar en el espectro de salida (Fig. 5.6b) el resultado de sumar y restar las señales aplicadas en los puertos RF y LO, es decir 100MHz y 1.7GHz para (RF-LO) y (RF+LO), respectivamente.

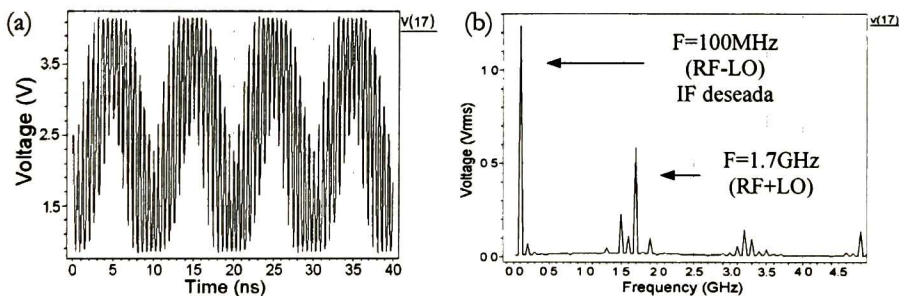


Fig. 5.6 Forma de onda en el puerto de salida de frecuencia intermedia IF ($V_{RF} \times V_{LO}$) obtenida en simulación (T-Spice) en el dominio del tiempo (a) y su espectro (b).

5.4.1 Layout

Una etapa básica en el diseño de circuitos analógicos de alta-velocidad, como mezcladores y VCOs, es el diseño físico o *layout*. Para cualquier diseño los cálculos teóricos y de

simulación (a nivel esquemático) pueden mostrar resultados adecuados. Sin embargo, los resultados a nivel CI pudieran no satisfacer las expectativas. Es por ello que en este trabajo, distintas técnicas de diseño de *layout* fueron utilizadas para asegurar que el diseño opere adecuadamente a nivel CI. Las técnicas aplicadas incluyen lo siguiente:

- Transistores interdigitales para reducción de parásitas
- Longitudes del *bus* mínimo para reducir tanto diferencias de fase como parásitas
- Anillos de guarda para prevenir *latch-up* y para aislamiento entre etapas del circuito.

El *layout* del mezclador se muestra en la Fig. 5.7, al cual luego le es *extraído* el circuito equivalente para simulación spice.

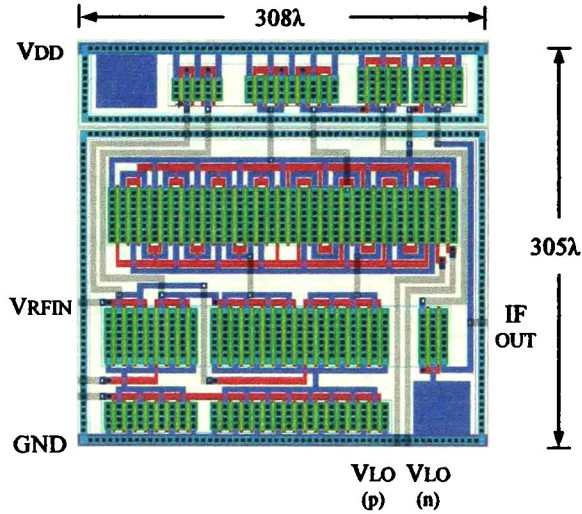


Fig. 5.7 Layout del mezclador DB. El área de la celda es $(92.4 \times 915)\mu\text{m}^2$.

La Fig. 5.8 muestra el espectro resultado de la simulación aplicando señales en los puertos RF y LO de 900MHz y 800MHz respectivamente. Ambas componentes espectrales son claramente observables (RF-LO y RF+LO). Debido a que la respuesta en frecuencia del circuito incluye las capacitancias parásitas extraídas, su efecto se presenta mayoritariamente en la componente (RF+LO), presentando una reducción en la amplitud.

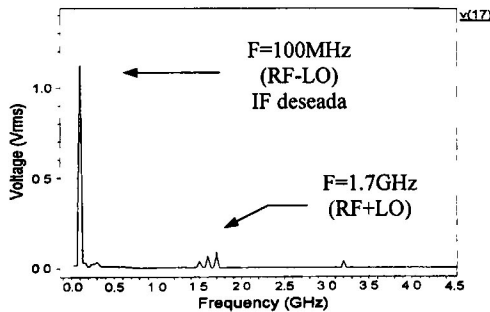


Fig. 5.8 Resultados de simulación en el dominio de la frecuencia considerando las parásitas del circuito.

5.4.2 Punto de Compresión de 1dB

Este valor asociado al mezclador DB fue obtenido de simulación. El diagrama a bloques se muestra en la Fig. 5.9, donde el valor de la impedancia propuesta de carga fue de 500Ω debido a que la mayoría de los filtros IF tienen una impedancia de entrada entre 500Ω y $1k\Omega$ [3]. Por otro lado, la potencia de RF de entrada fue con un barrido de -30dBm a -5dBm . En la Fig. 5.10 se puede observar la potencia de salida obtenida de simulación así como la potencia ideal. Se concluye que $P_{1\text{dB}} = -12\text{dBm}$. Este resultado puede compararse (tal como lo hace [27]) implementando una red de acoplamiento a la entrada, donde la ganancia de conversión es de 9dB y $P_{1\text{dB}}$ es de -24dB .

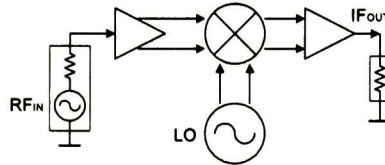


Fig. 5.9 Diagrama a bloques para la simulación del punto de compresión de 1dB.

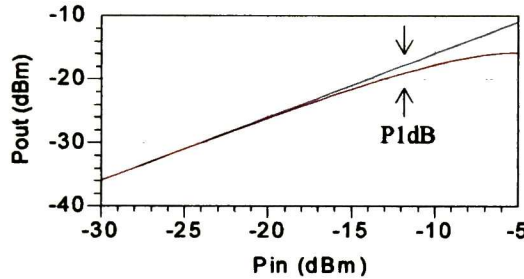


Fig. 5.10 Punto de compresión (1dB) ideal y obtenida de spice.

5.4.3 Punto de Intercepción de Tercer Orden

El esquemático mostrado en la Fig. 5.11 es la base del *setup* utilizado para simular la intermodulación de tercer orden. En la simulación, dos tonos son aplicados en el puerto RF. En la práctica, la no-linealidad del mezclador es responsable de generar productos de intermodulación de tercer orden. El espectro de salida muestra los productos de intermodulación localizados en las frecuencias intermedias $(2\omega_1 - \omega_2) - F_{LO}$ y $(2\omega_2 - \omega_1) - F_{LO}$.

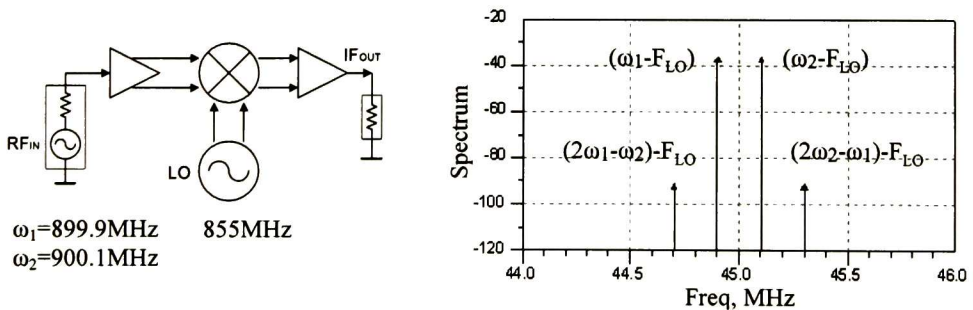


Fig. 5.11 Resultado de la simulación de prueba de dos tonos. Se pueden ver los términos de intermodulación de tercer-orden en $(2\omega_1 - \omega_2) - F_{LO}$ y $(2\omega_2 - \omega_1) - F_{LO}$.

Una vez que se obtienen los resultados para los tonos de entrada se procede a calcular IIP3 y OIP3 con ayuda de los modelos descritos en la sección 2.2.4, es decir,

$$IIP3 = \frac{\Delta P}{2} + P_{IN} = \frac{(-35.9\text{dBm}) - (-90\text{dBm})}{2} + (-30\text{dBm}) = -2.9\text{dBm} \quad (5.11)$$

$$OIP3 = \frac{3}{2} P_{OUT1} - \frac{1}{2} P_{OUT2} = \frac{3}{2}(-35.9\text{dBm}) - \frac{1}{2}(-90.6\text{dBm}) = -8.6\text{dBm} \quad (5.12)$$

La Fig. 5.12 muestra la extrapolación de los componentes fundamental y de 3er orden, como función del nivel aplicado a la entrada. El punto donde interceptan estas rectas es el punto de intercepción de tercer orden (IP3). Acoplado la entrada IIP3=-19dBm.

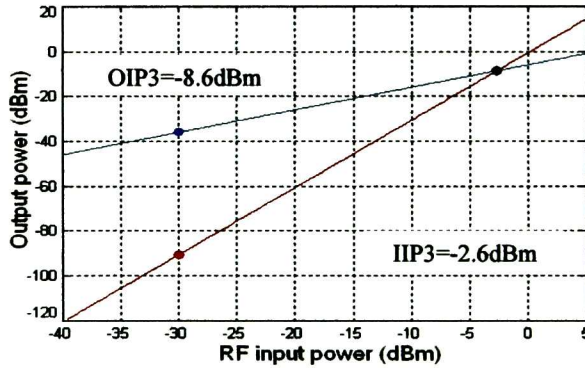


Fig. 5.12 Simulación del punto de intercepción de 3er orden extrapolando los resultados de dos tonos.

5.5 VCO de 4-etapas

Es un oscilador de anillo de 4-etapas basado en la celda de retardo descrita en el capítulo 3. La celda es formada por dos pares de transistores, donde el primer par M_2 - M_3 es utilizado como inversor, mientras que el segundo M_1 - M_4 se usa para controlar la corriente que circula por el inversor (ver Fig. 5.13a). El oscilador de anillo utiliza una arquitectura con salidas en cuadratura [17] (ver Fig. 5.13b), así es posible obtener dos señales fuera de fase 180° que son útiles para la operación del mezclador diseñado.

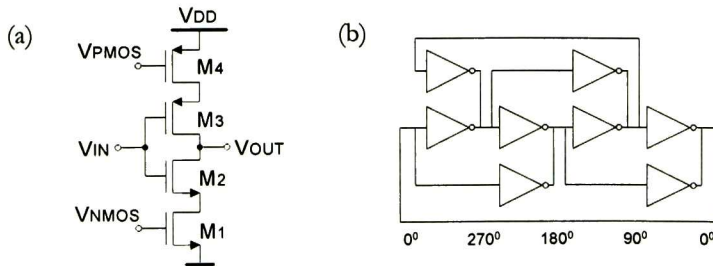


Fig. 5.13 Celda de retardo y oscilador de anillo de cuatro etapas.

La frecuencia de oscilación de esta topología está dada por (3.11), la cual se repite aquí por comodidad:

$$f_{osc} = \frac{I_D}{n \cdot C_{tot} \cdot V_{DD}} \quad (5.13)$$

Luego, considerando sólo una etapa del VCO, es posible estimar la capacitancia total asociada al nodo común de los drenajes de M_2 y M_3 . La capacitancia está dada por

$$C_{tot} = C_{out} + C_{in} = C_{ox} '(2W_p L_p + 2W_n L_n) + \frac{3}{2} C_{ox} '(2W_p L_p + 2W_n L_n) \quad (5.14)$$

la cual es en realidad, la capacitancia de salida de dos inversores sumada con la capacitancia de entrada de otros dos inversores. La Fig. 5.14a muestra el control de frecuencia utilizado en el oscilador. La estructura formada por M_6 y M_4 es llamada *espejo de corriente* [14]. La relación entre I_{out} e I_{ref} es dada por la relación de las dimensiones de los dispositivos, parámetro que puede ser controlada con razonable precisión por el diseñador. Su implementación se muestra en la Fig. 5.14b, donde la corriente que circula por M_5 y M_6 es de igual magnitud que la ya mencionada y es controlada por el voltaje de entrada V_{CTRL} .

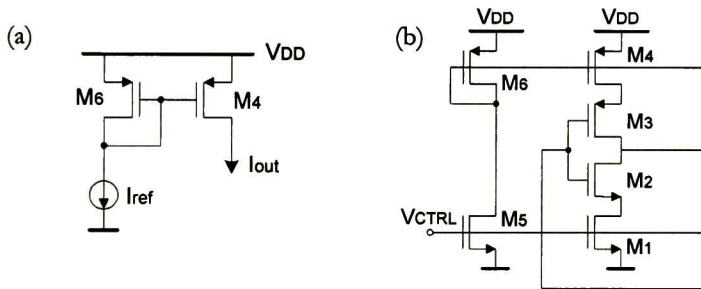


Fig. 5.14 Espejo de corriente e implementación en cada etapa para control de f_{osc} .

El espejo de corriente, incorporado en cada etapa del oscilador, está formado por transistores que operan en saturación, por lo tanto sus ecuaciones de diseño son las siguientes:

$$I_{ref} = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_6 (|V_{GS}| - |V_{TH}|)^2 \quad (5.15)$$

$$I_{out} = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_4 (|V_{GS}| - |V_{TH}|)^2 \quad (5.16)$$

Luego, para un espejo de corriente se obtiene la siguiente relación

$$I_{out} = \frac{(W/L)_4}{(W/L)_6} I_{REF} \quad (5.17)$$

donde, dependiendo de la razón geométrica, el circuito puede ser 1:1 o en general 1:n, con $n \geq 1$. La geometría obtenida para cada transistor de la celda de retardo se muestra en la Tabla 5.4.

La Fig. 5.15 muestra el *layout* del VCO *current-starved* con salidas en 0° y 180° . Se usan *buffers* en ambas salidas para analizar las señales usando el equipo de prueba sin efectos de capacitancias parásitas (PADs, encapsulado, PCB, punta de prueba, etc.)

Tabla 5.4 Dimensiones celda de retardo

| Transistor | W | λ ($=0.3\mu\text{m}$) | L | λ ($=0.3\mu\text{m}$) |
|------------|--------------------|---------------------------------|-----------------|---------------------------------|
| M_{n1} | 13.2 μm | 44 | 3 μm | 10 |
| M_{n2} | 27 μm | 90 | 3 μm | 10 |
| M_{p3} | 60 μm | 200 | 3 μm | 10 |
| M_{p4} | 39.6 μm | 132 | 3 μm | 10 |

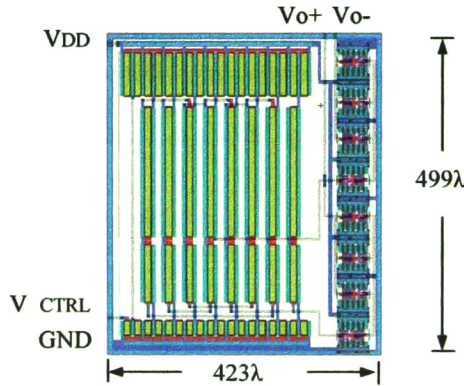


Fig. 5.15 Layout del oscilador de anillo *current-starved* con *buffers*.

La frecuencia central de operación está centrada alrededor de 11-MHz, incluyendo en las simulaciones los perímetros y áreas de regiones de drenaje y fuente, así como otras parásitas extraídas usando L-Edit. La Fig. 5.16 muestra las formas de onda obtenidas en salidas 180° fuera de fase.

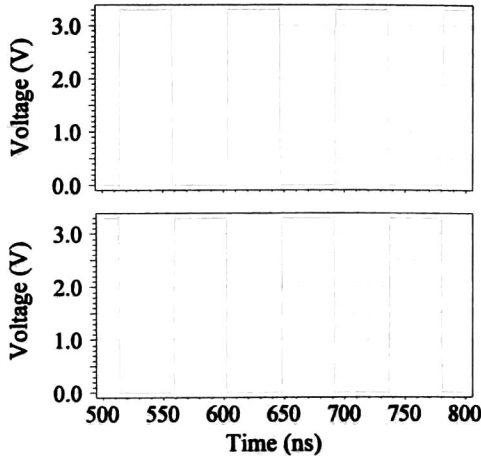


Fig. 5.16 Formas de onda en salidas de 0° y 180° del VCO de 4-etapas.

La característica frecuencia-voltaje del oscilador se muestra en la Fig. 5.17. Éste cuenta con un rango de operación lineal de 4.5MHz a 12.5MHz. El rango total de operación es desde 168KHz a 21.2MHz, mientras que el rango de sintonía es del 99% (relación entre el rango total de operación y la frecuencia máxima).

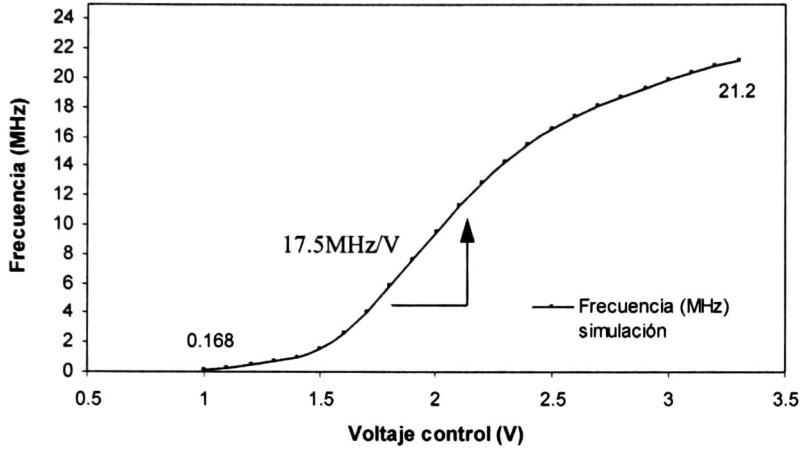


Fig. 5.17 Curva frecuencia vs. voltaje de control del oscilador de anillo current starved para una alimentación $V_{DD}=3.3V$.

La disipación de potencia del circuito es 0.71-5.45 mW dependiendo de la frecuencia de operación. El consumo de potencia vs frecuencia de operación se muestra en la Fig. 5.18.

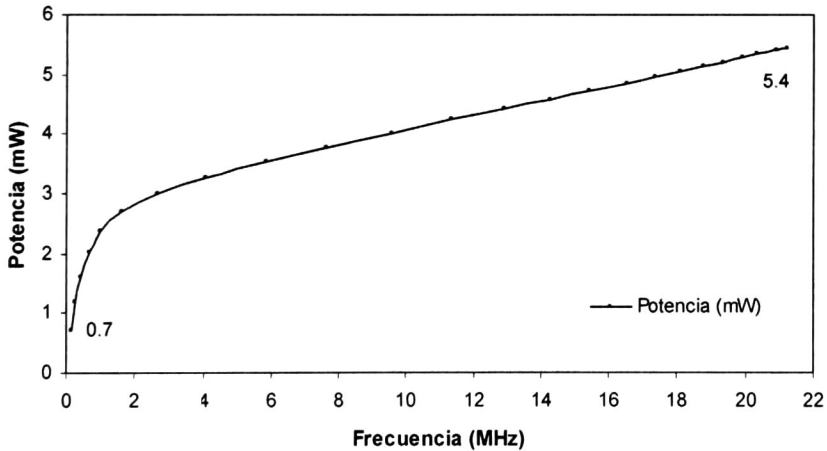


Fig. 5.18 Potencia consumida contra frecuencia de operación del oscilador *current-starved*.

5.6 VCO diferencial 3-etapas

Ya que este oscilador de anillo deberá operar a frecuencias alrededor de 900MHz, se propuso una arquitectura diferencial para aprovechar las ventajas inherentes respecto a

diseños *single-ended*. Este VCO diferencial de tres etapas [14] es idéntica topología a la celda de retardo descrita. La celda y la arquitectura diferencial del VCO se muestran en la Fig. 5.19. La frecuencia de oscilación es controlada variando la corriente I_D en el par diferencial (PD). En el diseño del PD, y para una corriente $I_D=2\text{mA}$, el VCO es capaz de oscilar en el rango de 900MHz. Las dimensiones de los transistores se muestran en la Tabla 5.5. El transistor M_{n5} es representado, en la Fig. 5.19, por una fuente de corriente.

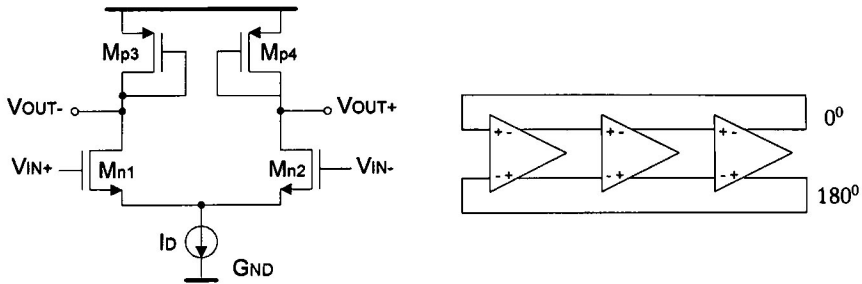


Fig. 5.19 Celda de retardo y VCO diferencial de 3-etapas.

Tabla 5.5 Anchos de canal para la celda de retardo base del VCO 3-etapas

| Dispositivo | W | λ ($=0.3\mu\text{m}$) | L | λ ($=0.3\mu\text{m}$) |
|------------------|--------------------|---------------------------------|-------------------|---------------------------------|
| M_{n1}, M_{n2} | $71.4 \mu\text{m}$ | 238 | $0.6 \mu\text{m}$ | 2 |
| M_{p3}, M_{p4} | $21 \mu\text{m}$ | 70 | $0.6 \mu\text{m}$ | 2 |
| M_{n5} | $56.4 \mu\text{m}$ | 188 | $0.6 \mu\text{m}$ | 2 |

Para lograr mejorar el desempeño del VCO, el *layout* del oscilador de anillo es diseñado con simetría para obtener un adecuado *matching*. El *layout* se muestra en la Fig. 5.20, el cual ocupa un área total de $108.45 \times 64.05 \mu\text{m}^2$.

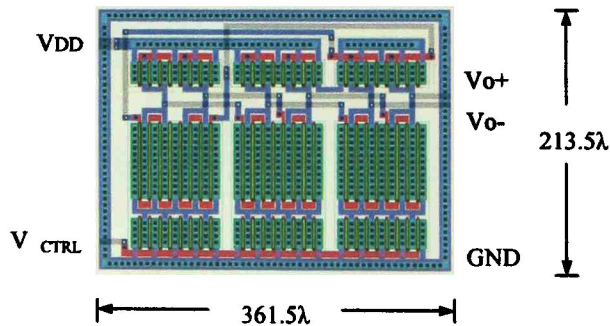


Fig. 5.20 Layout VCO diferencial de 3-etapas.

La Fig. 5.21 muestra el espectro de salida resultado de simular el circuito extraído del *layout* del VCO. Se puede observar que la operación es la correcta, es decir oscila a 900MHz. La característica frecuencia-voltaje del oscilador se muestra en la Fig. 5.22, mientras que el consumo de potencia, graficado en función de la frecuencia de operación, se muestra en la Fig. 5.23.

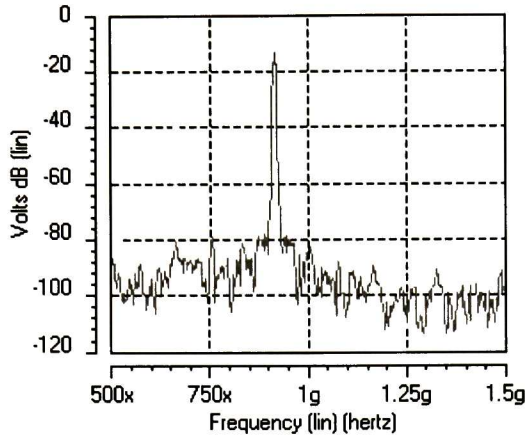


Fig. 5.21 Espectro de salida del oscilador de anillo diferencial obtenido de spice.

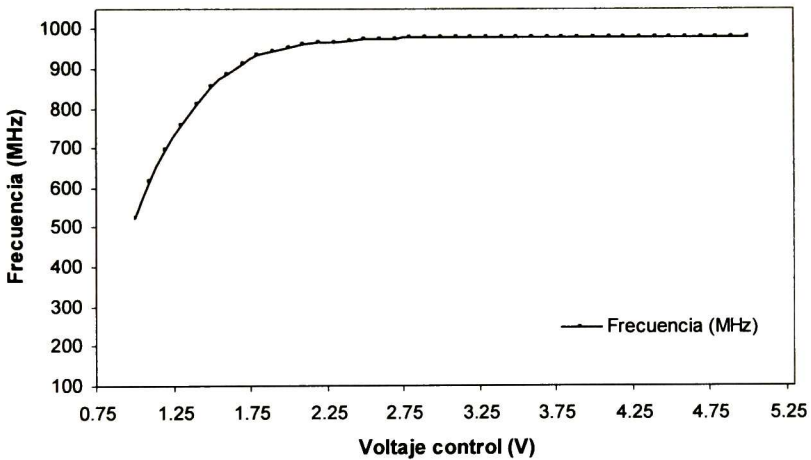


Fig. 5.22 Frecuencia vs. voltaje de control para el VCO diferencial de 3-etapas.

El espectro mostrado en la Fig. 5.25 es obtenido de simulación, es decir, se captura la respuesta en el puerto de salida de frecuencia intermedia (IF) del circuito mostrado en la Fig. 5.24. Éste es resultado de mezclar una señal RFIN de 900MHz con una señal proveniente del VCO de 975MHz. De esta forma, se observa que el circuito opera como convertor de frecuencia (*downconverter*) localizando la señal de interés en 75MHz.

5.7 Conclusiones

Se ha presentado el diseño de un mezclador DC (Gilbert) en tecnología CMOS 0.5 μ m, así como resultados de simulaciones que verifican su funcionamiento como convertidor de frecuencia. Al ser el mezclador una topología completamente diferencial, se implementaron circuitos como convertidores de señal en modo común a señal diferencial y viceversa, a la entrada y salida del bloque mezclador, respectivamente. Así, se elimina la necesidad de transformadores (*balun*) ya sea para caracterización en laboratorio con

instrumentos *single-ended* o para su incorporación con otros circuitos en un sistema transreceptor.

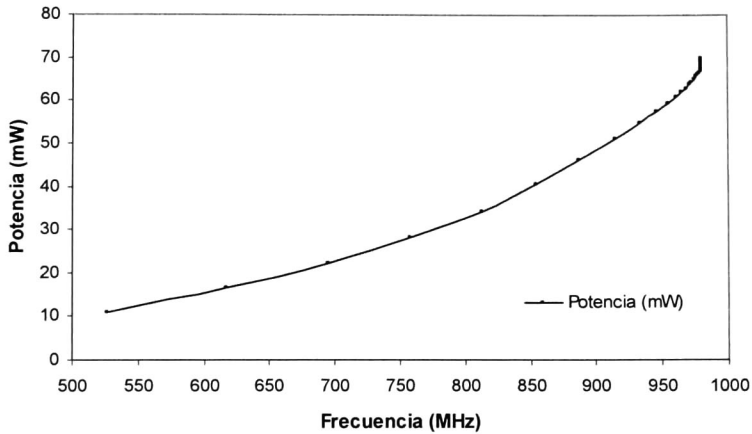


Fig. 5.23 Potencia consumida contra frecuencia de operación del oscilador de anillo diferencial de 3-etapas.

Se propusieron dos osciladores de anillo para proveer la señal necesaria al puerto de entrada LO diferencial del mezclador. Uno de estos VCOs genera respuestas en cuadratura (múltiplos 90°) y se diseñó para oscilar hasta una frecuencia del orden de 20MHz, mientras que el otro VCO es de arquitectura diferencial y oscila en el rango de los 900MHz.

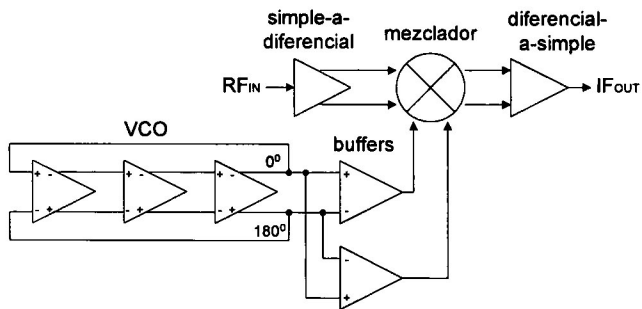


Fig. 5.24 Diagrama a bloques del *downconverter* incluyendo buffers.

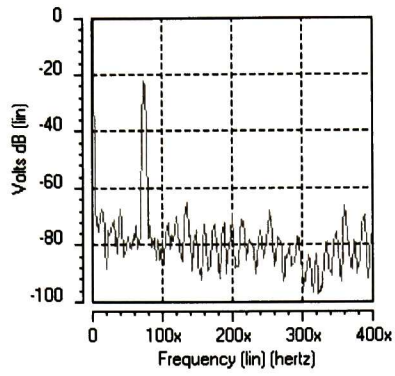


Fig. 5.25 IF (75MHz) obtenida de simulación. Las señales son de 900- y 975-MHz.

Intencionalmente en blanco

Capítulo 6

Resultados Experimentales

Se presentan resultados de medición de VCOs y se describen los *setups* para medición a nivel circuito integrado y caracterización *on-wafer*. Para este último el *setup* se desarrolló para hacer uso de las facilidades del Centro de Investigación Científica y de Educación Superior de Ensenada (CICESE)., en Ensenada, Baja California.

6.1 VCO *Current-Starved* de 4 Etapas

EL CHIP de prueba se muestra en la Fig. 6.1, encapsulado en un empaque LCC52. Este chip, diseñado para validar el concepto de varios circuitos básicos, es uno de dos que se fabricaron en tecnología CMOS, 0.5 μ m, pozo N. El chip presenta un área activa de 1.7 \times 1.7 mm², e incluyo circuitos del presente proyecto y otros relacionados con convertidores DC-DC, diodos Schottky, y demoduladores. Todos ellos no serán descritos en este documento. La Fig. 6.1 muestra la ubicación del VCO de anillo *current-starved* de 4-etapas.

6.1.1 Frecuencia vs Voltaje

El VCO fue eléctricamente caracterizado usando una fuente de alimentación (BK Precision 1670) ajustada a 3.3V. El ajuste de voltaje fue manual, mientras que la respuesta fue obtenida con ayuda de un osciloscopio de señal mezclada Agilent, 54622D con resolución 200MSa/s La curva experimental, frecuencia contra voltaje de control, se muestra en la Fig. 6.2, donde la comparación de resultados spice es incluida. Se puede observar una diferencia máxima de aproximadamente 10%. La razón de tal diferencia puede ser explicada. El chip de prueba, como ya se mencionó, incluye circuitos, dispositivos y sub-sistemas de 4 proyectos diferentes. En la práctica, y después de las primeras etapas de caracterización se encontró la conexión anómala de varios de los componentes descritos.

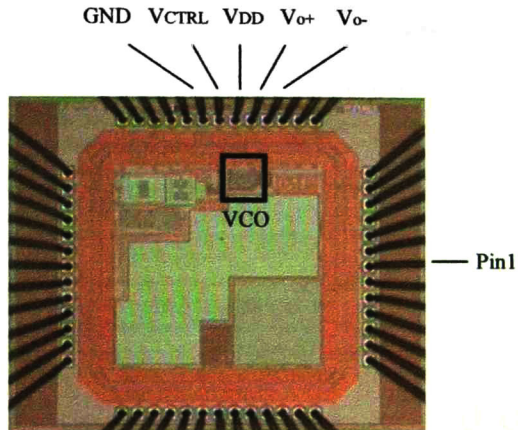


Fig. 6.1 Fotografía del chip de prueba y distribución de pines del VCO.

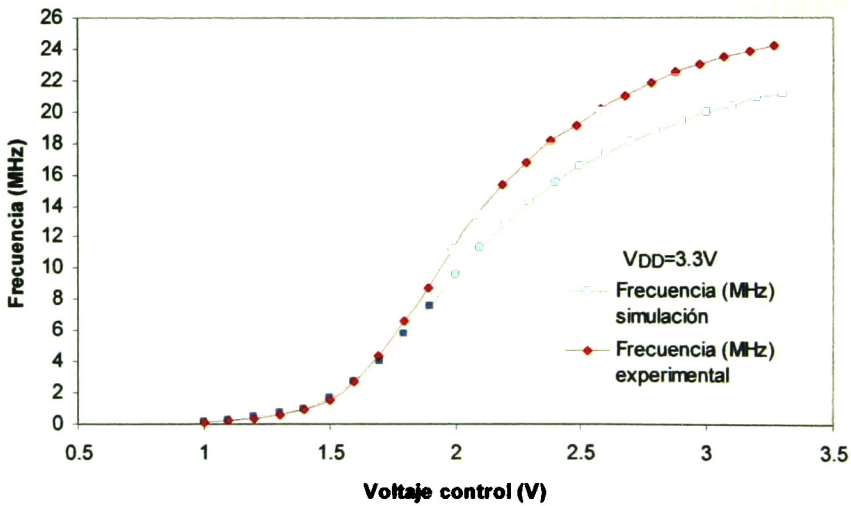


Fig. 6.2 Caracterización del VCO de anillo 4-etapas.

Es importante mencionar que, para obtener la curva frecuencia vs V_{CTRL} , el paso de voltaje aplicado $\Delta V=100mV$ fue a través del uso de un sistema automático de pruebas (ATE) y un osciloscopio de señal mezclada en modo *esclavo* [28]. De igual manera, a través del ATE se aplicó la alimentación V_{DD} requerida. El circuito fue también caracterizado bajo la aplicación de una alimentación $V_{DD}=5V$, obteniendo una frecuencia de operación máxima de 36MHz. La curva obtenida para todo el rango de voltaje se puede observar en la Fig. 6.3.

6.1.2 Efecto de la Capacitancia de Carga

La respuesta en el dominio del tiempo es como la que se muestra en la Fig. 6.4, donde la frecuencia del VCO es para un voltaje de control V_{CTRL} de 1.65V, es decir, corresponde al

50% de VDD. Se puede observar que las señales se encuentran fuera de fase 180° como se esperaba y como es requerido en un mezclador DB. El espectro correspondiente, mostrado en la Fig. 6.5, fue obtenido con ayuda de un analizador de espectros (Agilent 89410A).

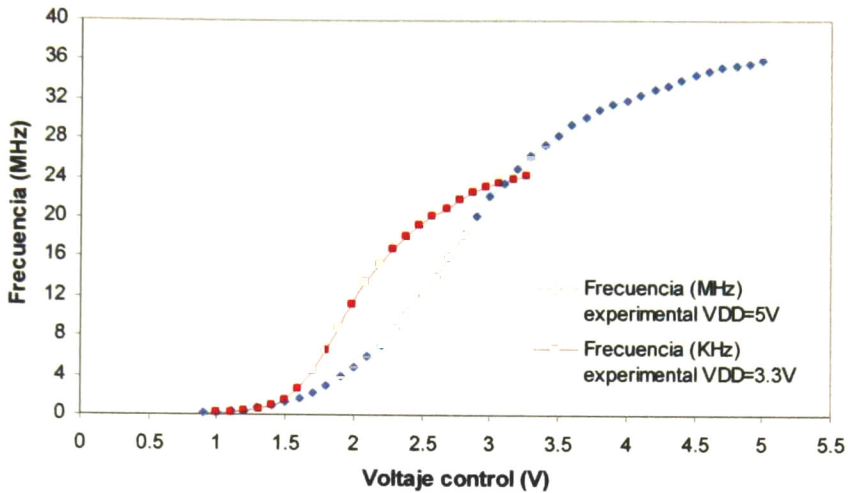


Fig. 6.3 Caracterización del VCO para VDD=3.3V y 5V.

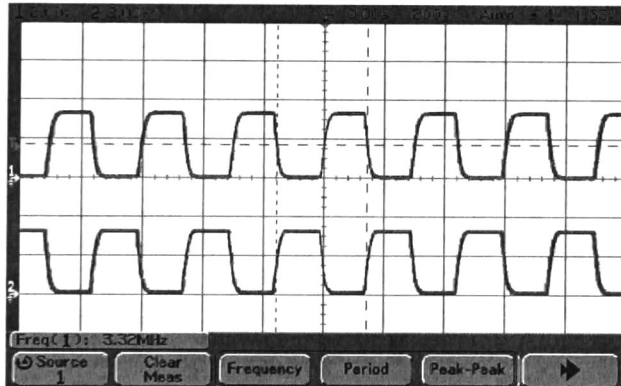


Fig. 6.4 Forma de onda del VCO de frecuencia 3.3MHz.

Luego, porque el tiempo de carga y descarga es función de la corriente que maneja cada etapa del VCO y de la capacitancia de carga, se caracterizó el oscilador para diversos valores de C_L . La Fig. 6.6 muestra los resultados experimentales y las líneas de tendencia para carga capacitiva baja. En la práctica, al tomar en consideración la capacitancia de la punta de prueba del osciloscopio se añaden aproximadamente 15pF al valor de la carga en la gráfica.

En el peor caso, el efecto de la capacitancia de carga C_L es tal que el nivel de salida en alto apenas logra alcanzar el valor VDD. En la descarga, de manera análoga, el nivel de salida apenas alcanza 0V (G_{ND}). Esta característica extrema ocurre para una carga de 97pF

incluyendo la contribución de la punta de prueba ($\approx 15\text{pF}$), en la que el tiempo de subida es de 101ns y el de bajada del orden de 91ns (Fig. 6.7).

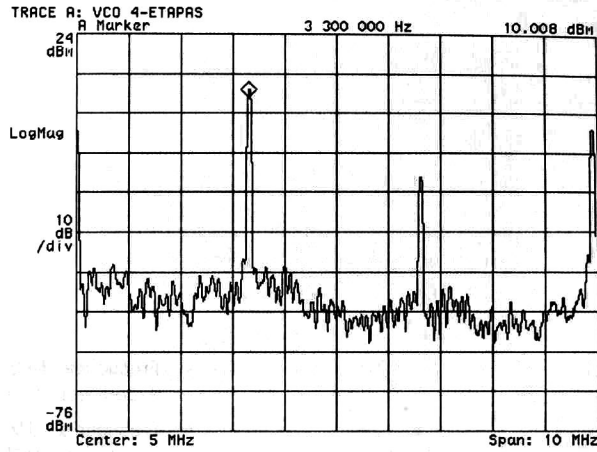


Fig. 6.5 Espectro de salida para el VCO con $V_{DD}=3.3\text{V}$ y $V_{CTROL}=\frac{1}{2}V_{DD}$.

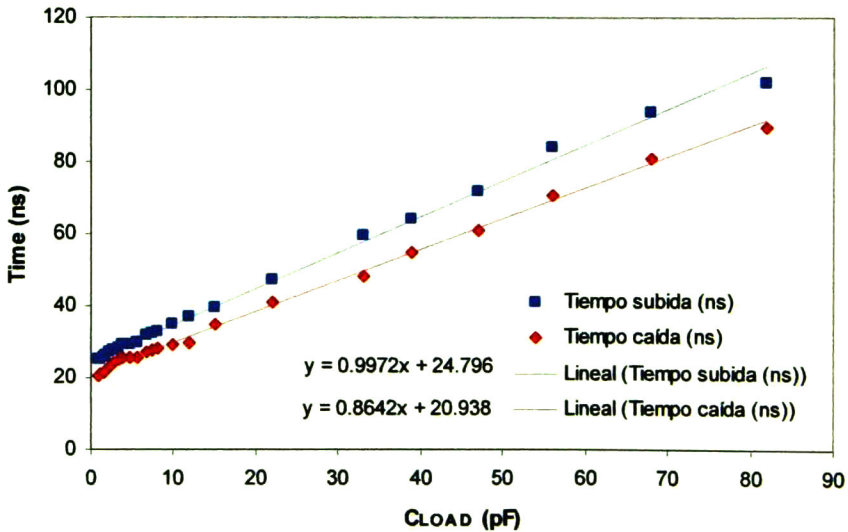


Fig. 6.6 Resultados experimentales de tiempos de subida y caída.

6.2 Caracterización on-wafer

Otro circuito integrado de prueba será evaluado usando las facilidades del CICESE, en Ensenada. Debido a que los circuitos requieren diversas polarizaciones de DC, se utilizará la técnica *Chip-On-Board* (COB) [21], es decir, se requiere desarrollar una conexión al circuito como la que se muestra en la Fig. 6.8, donde el circuito bajo prueba es adherido directamente a una tarjeta de prueba utilizando epoxy conductivo. Luego, aplicando *wire-bonding* se logra la comunicación hacia los PADS de polarización y al de tierra. En

consecuencia, las señales de entrada y respuesta se aplican y capturan a través de las puntas de prueba de la estación de prueba.

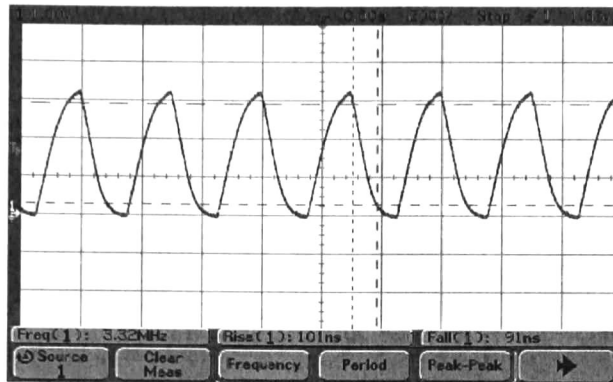


Fig. 6.7 Forma de onda de salida para el peor caso, $C_L=97\text{pF}$.

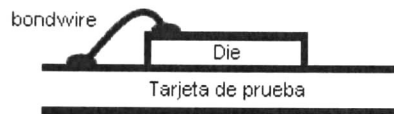


Fig. 6.8 Concepto de *Chip-On-Board*.

Varias son las reglas de diseño, a nivel *layout*, a considerar para los PADs de medición *on-wafer* [29], a saber:

- El tamaño mínimo de PAD de prueba para mediciones *on-wafer* de $25 \times 35 \mu\text{m}^2$.
- El tamaño mínimo recomendado de pad de prueba para uso general (colocación de puntas de prueba automática o semiautomática) es $50 \times 50 \mu\text{m}^2$.
- La distancia mínima entre pads centro-a-centro es $100 \mu\text{m}$. El mínimo recomendado es $150 \mu\text{m}$.
- El espacio mínimo de pads centro-a-centro para puntas de prueba localizadas de frente entre sí en renglones paralelos de PADs es $150 \mu\text{m}$.

La Fig. 6.9 muestra las estructuras de prueba para caracterización *on-wafer* del VCO diferencial y del mezclador, mientras que la Fig. 6.10 muestra una representación del layout y la fotografía correspondiente del prototipo experimental. El chip fue fabricado en un proceso $0.5\mu\text{m}$ CMOS. El área total del chip es $1.8 \times 1.5 \text{ mm}^2$.

El *Chip-on-Board* fue realizado en las instalaciones de INAOE, a través de las facilidades del Laboratorio de Microelectrónica, en Tonantzintla, Puebla.

El ruido en la fuente de voltaje de DC de control afecta la operación y las mediciones de los circuitos, principalmente debido a que la función del VCO es tomar cualquier variación del voltaje de control y trasladar esta en una variación de frecuencia. Por esta razón la fuente debe ser de bajo ruido. Para las líneas de polarización de DC necesarias se utilizaron reguladores de voltaje de bajo ruido REG104 [30] (Texas Instruments) alimentados por una batería de 9V.

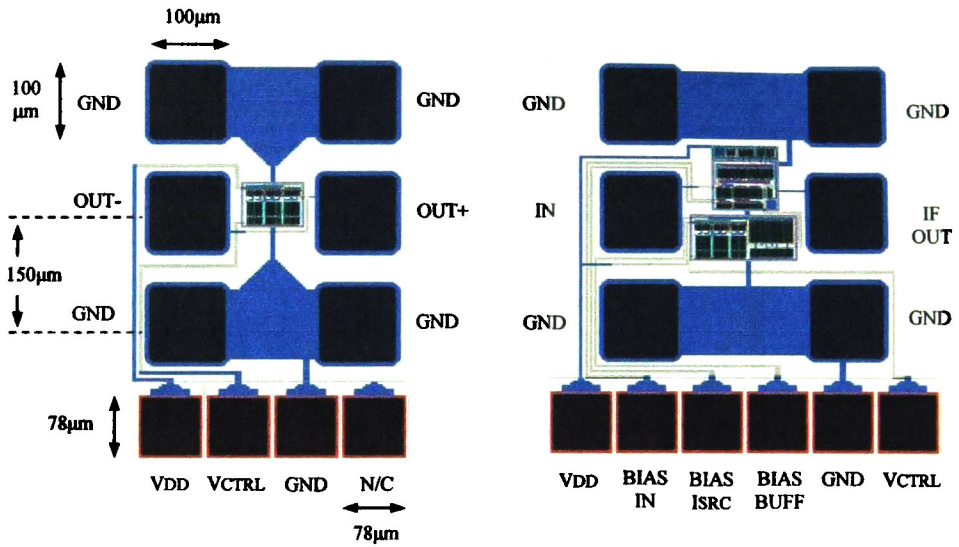


Fig. 6.9 *Layouts* para medición *on-wafer*.

En las líneas de alimentación de DC se requiere una baja resistencia a DC y una alta resistencia a altas frecuencias para asegurar que las señales no fluyan hacia estas líneas de alimentación. Las distintas polarizaciones para alimentación de los circuitos fueron implementadas con un inductor *choke* en serie. Este inductor rechaza cualquier señal de alta frecuencia, en otras palabras el circuito ve un circuito abierto hacia el inductor. Además, este *choke* es útil para la supresión de ruido proveniente de la fuente de alimentación. El dispositivo utilizado fue el ADCH-80+ [31] (Mini-Circuits).

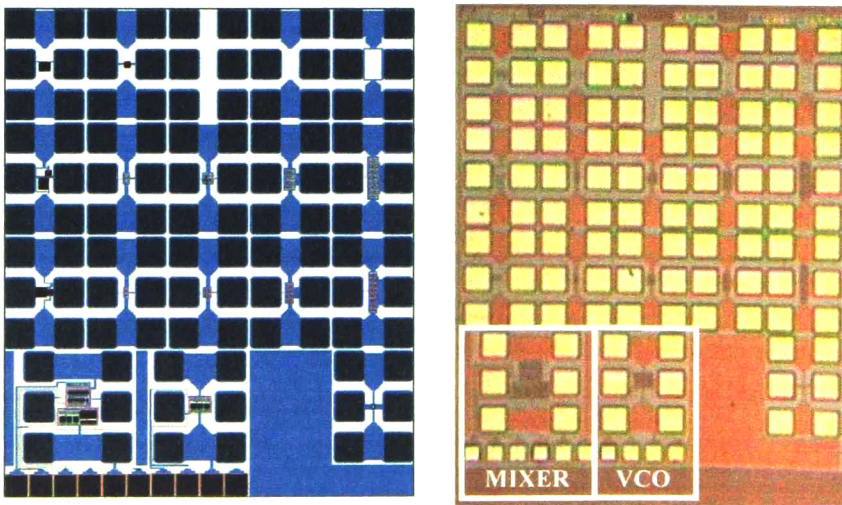


Fig. 6.10 *Layout* y fotografía del chip.

Cuando los circuitos conmutan, estos requieren corriente de la fuente de alimentación. La inductancia en serie hacia el módulo regulador de voltaje limita la corriente que pueda ser proveída durante el tiempo de switcheo. La inductancia se comportará como un circuito abierto durante transiciones rápidas y bloqueará el flujo de corriente. Subsecuentemente, el voltaje visto en los circuitos DUT se vera reducido debido a que el sistema de fuente de alimentación de DC no puede proveer la corriente requerida.

Para esto, la implementación de capacitores de desacoplo permite que estos sean cargados por el modulo regulador de voltaje y de esta forma actúen como baterías locales para la celda bajo prueba (DUT) [32]. Estos capacitores proveerán la carga suficiente durante las transiciones y preservaran la integridad de la señal (Fig. 6.11).

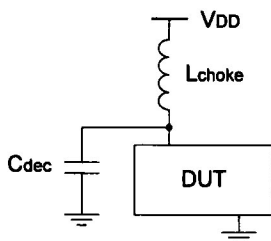


Fig. 6.11 Arreglo para polarización de los circuitos para medición on-wafer.

6.2.1 *Setup* para Caracterizar el VCO Diferencial

La Fig. 6.12 muestra el arreglo de prueba para caracterización del oscilador de anillo diferencial. Un analizador de espectro se utiliza para medir la frecuencia de la celda en función del voltaje de control. También, con este arreglo es posible medir el consumo de corriente del cual es función la frecuencia de operación.

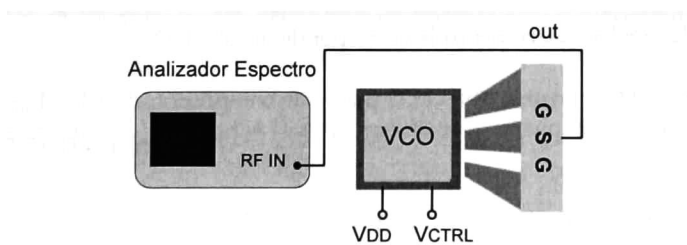


Fig. 6.12 Analizador de espectro utilizado para caracterización del VCO.

6.2.2 *Setup* para Medición del Coeficiente de Reflexión S11

La medición del coeficiente de reflexión de entrada se realiza con un analizador de redes vectorial (VNA). La Fig. 6.13 muestra el arreglo básico para la prueba. El coeficiente de reflexión es calculado de

$$\rho = \frac{V_{\text{reflected}}}{V_{\text{incident}}} = \frac{Z_t - Z_o}{Z_t + Z_o} \quad (6.1)$$

donde Z_o es la impedancia característica de la línea, y Z_t la impedancia de la terminación [32]. Entonces, una vez caracterizado S_{11} es posible conocer la impedancia de entrada del circuito a diferentes frecuencias de operación e implementar una red de acoplamiento.

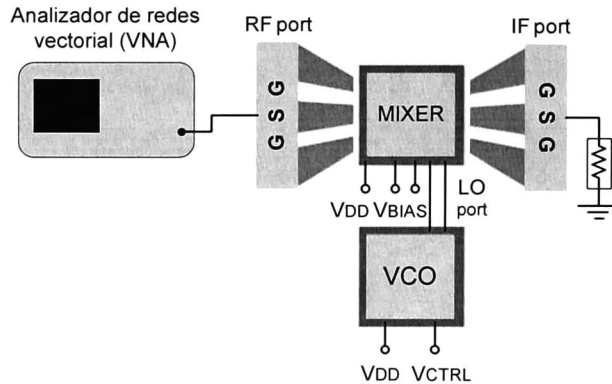


Fig. 6.13 VNA utilizado para medir el coeficiente de reflexión en el puerto RF del mezclador.

6.2.3 *Setup* Para Medición de IF y P1dB

Para verificar que el circuito opera como convertidor de frecuencia se utiliza el arreglo mostrado en la Fig. 6.14. Para ello se aplica un tono en la entrada del mezclador (puerto RFIN), observando en la salida (con ayuda de un analizador de espectro) la señal que muestre la obtención de una frecuencia intermedia IF, la cual es la diferencia de frecuencias de la señal aplicada menos la correspondiente al VCO.

Con este mismo *setup* es posible obtener el punto de compresión de 1dB (P_{1dB}) midiendo la potencia de salida en el puerto IF mientras se varía la potencia de entrada en el puerto RF.

6.2.4 *Setup* prueba Medición de IP3

Para la prueba de intermodulación se utiliza el arreglo mostrado en la Fig. 6.15. Se aplicarán dos tonos con frecuencias cercanamente separadas y se medirá la potencia de salida del tono fundamental y de intermodulación, esto se realiza para diferentes valores de potencia de entrada. Al extrapolar esos puntos será posible determinar el punto de intercepción de 3er orden.

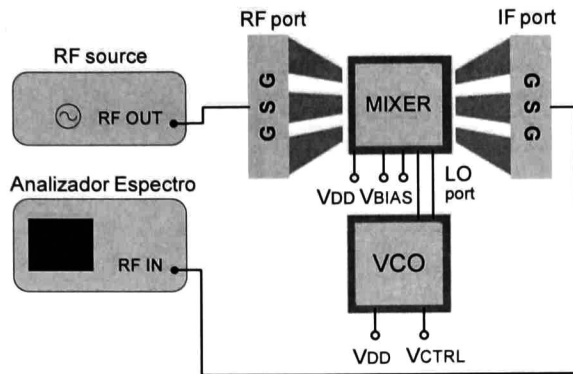


Fig. 6.14 Un analizador de espectro se utiliza para comprobar la operación del circuito y para obtener P1dB.

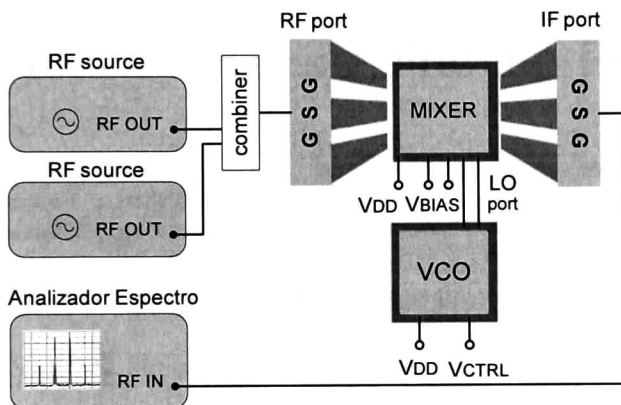


Fig. 6.15 Setup de prueba para medir los niveles de IF e intermodulación.

6.3 Conclusiones

Se han presentado resultados experimentales de un oscilador de anillo tipo *current-starved* con salidas en cuadratura. Se ha demostrado que el circuito es capaz de proveer 2 fases 180° fuera de fase, las cuales son de utilidad en un mezclador DB. También se presentaron resultados del espectro de salida y tiempos de subida y bajada para diferentes capacitancias de carga; la prueba permite determinar la carga que pueda manejar el buffer conectado a la salida del VCO. Esta topología de oscilador de anillo es una opción para ser diseñada a una frecuencia mayor. Finalmente se presentan *setups* para caracterizar el chip de prueba *on-wafer*.

Intencionalmente en blanco

Capítulo 7

Conclusiones Finales y Trabajo Futuro

Se presentan las conclusiones generales, las contribuciones de este trabajo y una descripción de tópicos a considerar como trabajos futuros para el complemento de la presente investigación.

7.1 Conclusiones y Contribuciones

SE DISEÑARON distintos circuitos para un sistema receptor incluyendo un mezclador y osciladores controlados por voltaje. La función del mezclador es operar como convertidor de frecuencia *downconverter*, en conjunto con un oscilador. Para el diseño del mezclador fueron analizadas distintas topologías, de las cuales se seleccionó la topología Gilbert. Debido a que los puertos de un mezclador DB son del tipo diferencial, en este trabajo se describieron y diseñaron circuitos de interfase de señal simple-a-diferencial y diferencial-a-simple; de esta forma es posible aplicar señales *single-ended* al circuito sin necesidad de circuitos externos como transformadores *balun*. El diseño del mezclador fue realizado utilizando modelos proveídos por MOSIS (www.mosis.com). Los resultados de simulación mostraron el proceso de conversión de frecuencia. Una contribución de este trabajo es una metodología de pruebas que se efectúan a RFICs y que incluye P_{1dB} e intermodulación. Se propusieron *setups* para medición a nivel circuito integrado y caracterización *on-wafer*.

Se diseñaron dos estructuras de osciladores para hacer la función de LO (oscilador local) en un sistema conversor de frecuencia. La característica principal de estos VCOs es que ofrecen dos señales 180° fuera de fase entre ellas y así ser aplicadas al puerto LO del mezclador doblemente-balanceado.

Uno de los osciladores propuestos es una topología de anillo con salidas en cuadratura. El circuito implementado en un chip prototipo tiene resultados experimentales que incluye una frecuencia máxima experimental de 25MHz, un consumo de 5.4mW de una fuente de alimentación de 3.3V y el rango de sintonía es del 99%. Esta estructura es una opción para

diseños a mayores frecuencias. Por otro lado, se diseñó un oscilador de anillo diferencial, cuyas etapas son compuestas por pares diferenciales. Una de las características atractivas de estos dos osciladores es el hecho de que las arquitecturas de anillo pueden ser implementadas en cualquier proceso CMOS. Los resultados sugieren que no es siempre necesario recurrir a redes LC integradas para el diseño de VCOs.

7.2 Trabajo Futuro

Esta sección describe algunas de las posibles investigaciones futuras que pueden basarse en este trabajo.

Las investigaciones futuras pueden enfocarse en la implementación de RFICs utilizando tecnologías de canal menores, y así alcanzar una frecuencia de operación mayor.

Otra actividad a ser realizada es un estudio de opciones para mejorar la linealidad del mezclador, como puede ser la técnica *degeneración de fuente*. Esta técnica también es aplicable a otro tipo de circuitos como LNAs.

Como se comentó en la sección anterior, el oscilador de 4-etapas basado en celdas inversoras es una opción para diseñarse en rangos de frecuencias mayores. Además de la frecuencia de oscilación de un oscilador, otra característica importante para analizar y medir es el del ruido de fase.

En la práctica, parásitas de encapsulados, variaciones en voltajes de polarización y otros detalles de instrumentos de medición tendrán un mayor impacto para determinar el desempeño de un mezclador u oscilador. Otra sugerencia para trabajo futuro es la implementación de redes de acoplamiento para caracterizar un chip encapsulado a frecuencias del orden de 900MHz o mayores.

Finalmente, es deseable que el trabajo realizado en este proyecto sea la base para otros desarrollos en el diseño de mezcladores y VCOs CMOS, u otros bloques RFICs de interés.

Apéndice A

Análisis celda Gilbert

El par diferencial es un bloque fundamental en el diseño de circuitos integrados analógicos. El par diferencial formado por los transistores M_1 y M_2 se muestra en la Fig. A.1. Se asume que M_1 y M_2 son transistores con idéntica dimensión, de esa forma $K_1=K_2=K$, donde $K = \mu C_{ox} W/L$ es el parámetro de transconductancia, μ es la movilidad de los portadores, C_{ox} es la capacitancia de compuerta por unidad de área, mientras que W y L es el ancho y longitud del canal del dispositivo, respectivamente. La corriente total que circula por el par diferencial es

$$I_S = I_{D1} + I_{D2} \tag{A.1}$$

Si los voltajes en las compuertas de M_1 y M_2 son V_{IN1} y V_{IN2} , es posible expresar el voltaje diferencial de entrada como

$$V_D = V_{IN1} - V_{IN2} = V_{GS1} - V_{GS2} \tag{A.2}$$

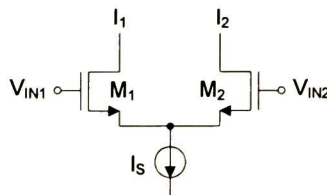


Fig. A.1 Circuito par diferencial.

Por otro lado, el transistor MOS en la región de saturación obedece la siguiente relación:

$$I_D = \frac{K}{2} [V_{GS} - V_T]^2 \quad (A.3)$$

donde V_{GS} es el voltaje de compuerta a fuente y V_T voltaje de umbral. A partir de (A.3), los voltajes de entrada son

$$V_{GS1} = \sqrt{\frac{2I_{D1}}{K}} + V_T \quad V_{GS2} = \sqrt{\frac{2I_{D2}}{K}} + V_T \quad (A.4)$$

Estas equivalencias permiten expresar el voltaje de entrada como una diferencia de voltaje:

$$V_D = V_{GS1} - V_{GS2} = \sqrt{\frac{2I_{D1}}{K}} - \sqrt{\frac{2I_{D2}}{K}} = \sqrt{\frac{2I_{D1}}{K}} - \sqrt{\frac{2(I_S - I_{D1})}{K}} \quad (A.5)$$

o equivalentemente

$$\begin{aligned} V_D^2 &= \frac{2I_{D1}}{K} - 2\sqrt{\frac{2I_{D1}}{K}} \sqrt{\frac{2(I_S - I_{D1})}{K}} + \frac{2(I_S - I_{D1})}{K} \\ V_D^2 &= \frac{2I_{D1}}{K} - \frac{4}{K} \sqrt{I_{D1}} \sqrt{(I_S - I_{D1})} + \frac{2(I_S - I_{D1})}{K} \\ V_D^2 &= \frac{2}{K} (I_{D1} - 2\sqrt{I_{D1}} \sqrt{I_S - I_{D1}} + I_S - I_{D1}) \\ \frac{KV_D^2}{2} &= I_S - 2\sqrt{I_{D1}} \sqrt{I_S - I_{D1}} = I_S - 2\sqrt{I_{D1}I_S - I_{D1}^2} \end{aligned} \quad (A.6)$$

Elevando a la segunda potencia (A.6):

$$\begin{aligned} \left(\frac{KV_D^2}{2} - I_S \right)^2 &= 4(I_{D1}I_S - I_{D1}^2) \\ I_{D1}^2 - I_{D1}I_S + \frac{1}{4} \left(\frac{KV_D^2}{2} - I_S \right)^2 &= 0 \end{aligned} \quad (A.7)$$

Y despejando para I_{D1} e I_{D2} :

$$I_{D1} = \frac{I_S}{2} \left[1 + \sqrt{\frac{KV_D^2}{I_S} - \frac{K2V_D^4}{4I_S^2}} \right] \quad (A.8)$$

$$I_{D1} = \frac{I_S}{2} \left[1 - \sqrt{\frac{KV_D^2}{I_S} - \frac{K2V_D^4}{4I_S^2}} \right] \quad (A.9)$$

es posible expresar la corriente de salida diferencial en términos del voltaje de entrada:

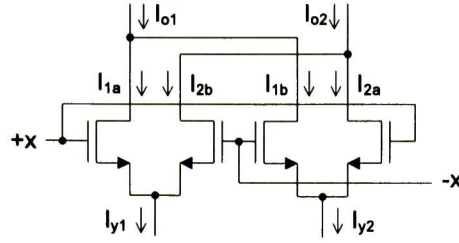


Fig. A.2 Dos pares diferenciales generando una corriente de salida I_{o1} - I_{o2} .

$$\begin{aligned}
 I_{OD} &= I_{D1} - I_{D2} \\
 &= \frac{I_S}{2} \left[1 + \sqrt{\frac{KV_D^2}{I_S} - \frac{K^2 V_D^4}{4I_S^2}} \right] - \frac{I_S}{2} \left[1 + \sqrt{\frac{KV_D^2}{I_S} - \frac{K^2 V_D^4}{4I_S^2}} \right] \\
 &= I_S \left[\frac{K}{I_S} (V_D)^2 - \frac{K}{4I_S^2} (V_D)^4 \right]^{1/2} \\
 &= \sqrt{KI_S} V_D \left[1 - \frac{K}{I_S} \left(\frac{V_D}{2} \right)^2 \right]^{1/2}
 \end{aligned} \tag{A.10}$$

donde I_S es el valor de la fuente de corriente y V_D es el voltaje de entrada diferencial. En el circuito de la Fig. A.2 x representa una señal de entrada (en voltaje) e I_y es una señal en corriente. Definiendo las corrientes de salida como I_{o1} e I_{o2} , es posible expresar la corriente diferencial de salida

$$\begin{aligned}
 I_o &= I_{o1} - I_{o2} \\
 &= (I_{1a} + I_{1b}) - (I_{2a} + I_{2b}) \\
 &= (I_{1a} - I_{2b}) - (I_{2a} - I_{1b})
 \end{aligned} \tag{A.11}$$

o lo que es lo mismo

$$\begin{aligned}
 I_o &= \sqrt{KI_{y1}} V_D \left[1 - \frac{K}{I_{y1}} \left(\frac{V_D}{2} \right)^2 \right]^{1/2} - \sqrt{KI_{y2}} V_D \left[1 - \frac{K}{I_{y2}} \left(\frac{V_D}{2} \right)^2 \right]^{1/2} \\
 &= \sqrt{K} V_D \left[\sqrt{I_{y1}} \sqrt{1 - \frac{K}{I_{y1}} \left(\frac{V_D}{2} \right)^2} - \sqrt{I_{y2}} \sqrt{1 - \frac{K}{I_{y2}} \left(\frac{V_D}{2} \right)^2} \right]
 \end{aligned} \tag{A.12}$$

Luego, si se toma en cuenta que

$$\frac{K}{I_{y1}} \left(\frac{V_D}{2} \right)^2 \ll 1 \quad \text{y} \quad \frac{K}{I_{y2}} \left(\frac{V_D}{2} \right)^2 \ll 1 \tag{A.13}$$

entonces la corriente de salida está dada por

$$I_o = \sqrt{K} V_D \left[\sqrt{I_{y1}} - \sqrt{I_{y2}} \right] \quad (\text{A.14})$$

donde la corriente de entrada $\sqrt{I_{y1}} - \sqrt{I_{y2}}$ es generada por otro par diferencial (ver Fig. A.3).

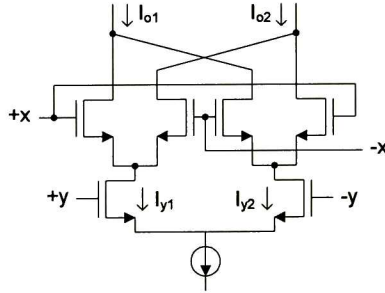


Fig. A.3 Circuito MOS Gilbert.

De (A.5) es posible obtener una expresión para la diferencia de corrientes:

$$2y = \sqrt{\frac{2}{K}} \left(\sqrt{I_{y1}} - \sqrt{I_{y2}} \right) \quad (\text{A.15})$$

$$\sqrt{I_{y1}} - \sqrt{I_{y2}} = 2y \sqrt{\frac{K}{2}} = \sqrt{2K_3} y$$

donde $2y$ es el voltaje diferencial de entrada y K_3 es la constante de transconductancia de los transistores del tercer par diferencial. Entonces, sustituyendo (A.15) en (A.14) se obtiene la corriente de salida para el circuito MOS Gilbert la cual muestra una característica de un circuito multiplicador:

$$I_o = I_{o1} - I_{o2} = \sqrt{K} V_D \left[\sqrt{I_{y1}} - \sqrt{I_{y2}} \right] = 2\sqrt{2KK_3} xy \quad (\text{A.16})$$

Apéndice B

Punto intercepción IP3

Con ayuda de Matlab se desarrolló el código necesario para representar el producto fundamental y el de intermodulación (IM3) de un circuito no-lineal. Si los niveles de la frecuencia fundamental y componentes de 3er orden se grafican como función del nivel de entrada, existe un punto para el cual los niveles de 3er orden intercepten la fundamental. Así, es posible calcular gráficamente IIP3 (nivel de entrada de IP3) y OIP3 (nivel de salida de IP3). Para realizar la prueba de dos tonos, se aplican igual número de frecuencias moderadamente cercanamente y de idéntica magnitud (variable *PinTest* en el código). Después, se miden los componentes de 1er y 3er orden (*Pout1* y *Pout2*). Entonces, esos resultados se grafican en función de la potencia de entrada aplicada. Se extrapolan los resultados para encontrar la intersección de los términos de 1er y 3er orden, donde los productos de intermodulación de 3er orden crecen 3 veces más rápido que la señal deseada de IF.

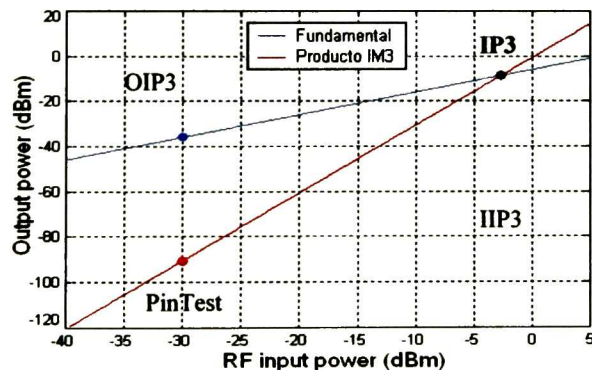


Fig. B.1 Representación del punto de intercepción de 3er orden.


```

clear

%%%%%%%%
%datos%
%%%%%%%%

PinTest=-30;           %Potencia aplicada
Pout1=-35.96;         %Potencia salida medida fundamental
Pout2=-90.6;          %Potencia salida medida producto IM3

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%cálculo punto intercepción 3er orden de entrada y salida%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

IIP3=((Pout1-Pout2)/2)+PinTest %Cálculo IP3 entrada
OIP3=(1.5*Pout1)-(0.5*Pout2)  %Cálculo IP3 salida

Pin=-35:0.1:5;             %Barrido Pin para gráfica

%Ecuación recta que pasa por dos puntos
%y=((y1-y2)/(x1-x2))*(x-x1)+y1
%punto1: punto intersección ambas rectas
%punto2: puntos tonos prueba entrada

EqnFund= ((OIP3-Pout1)/(IIP3-PinTest))*(Pin-IIP3)+OIP3 ;
EqnIM3=  ((OIP3-Pout2)/(IIP3-PinTest))*(Pin-IIP3)+OIP3 ;

plot(Pin,EqnFund,'b');    %Gráfica producto fundamental
hold on;
plot(Pin,EqnIM3,'r');    %Gráfica producto IM3
grid;

title('Representación IP3 en base a potencias de salida
medidas','fontsize',12);
xlabel('RF input power (dBm) ','fontsize',12);
ylabel('Output power (dBm) ','fontsize',12);
legend('Fundamental - 'Producto IM3',2);

```

Apéndice C

Publicaciones Generadas

Intencionalmente en blanco

Design of a Double-Balanced Mixer using a 0.5- μm CMOS Technology

G. Regalado¹, F. Sandoval-Ibarra

Department of Electronic Design, CINVESTAV-IPN, Guadalajara Jal., Mexico

Phone +52 (33) 3770-3700 Fax +52 (33) 3770-3709 E-mail: gregalad@gdl.cinvestav.mx

Abstract — This paper describes the design of a CMOS double-balanced mixer for UHF applications. The mixer has been designed according technological design rules of a 0.5 μm , N-well CMOS process. Since this design uses 4-transistors per current-branch, operating under the strong inversion regimen the minimum power supply required for correct operation is 4.8V. In practice, the mixer power supply would be taken from the RF energy with help of a voltage multiplier. From simulation results a power consumption of 16mW was deduced. The mixer occupies an area of 92.4 \times 91.5 μm^2 .

Keywords — Local oscillator, transceiver, active mixer

I. INTRODUCTION

Currently many applications for ultra-high frequency (UHF) are demanding low cost and small size products. That is the reason why, by one side, designs based on wireless procedures are mostly located in large companies. However, by the other side, to participate in such a product development it is well known that an important percentage of the UHF research is done in Universities and other academic institutions. Thus, collaborative research between both entities is basic for generating not only products for the market but also high quality human resources. In that sense the purpose of this paper is presenting preliminary results of the design of a 900MHz transceiver, from which a mixer is one of several basic blocks.

Since the transceiver design is a low-voltage project it has been developed with help of basic cells. These cells were designed to operate at 1.2-, 2.4-, 3.6- and 4.8-V. This bottom-up strategy has been divided in a sequence of stages that are illustrated in the Fig. 1, where the *fabrication* block represents the *foundry* activity. According to that the designer has a clear understanding of the capabilities of each block because the test process will provide the real performance of the basic component, digital/analog cell and/or mixed-mode circuitry. That is the reason why the IC design flow includes closed loops, i.e. taking into account experimental results it is possible enhance our design/simulation models.

This paper presents a double-balanced mixer based on the technological design rules of a three-metal two-poly 0.5 μm mixed-mode CMOS technology. Section II and III

describe the transceiver architecture and the design of the mixer, respectively. In Section IV simulation results and the effect of parasitic components are discussed in detail. Finally, conclusions of this work are given in Section V.

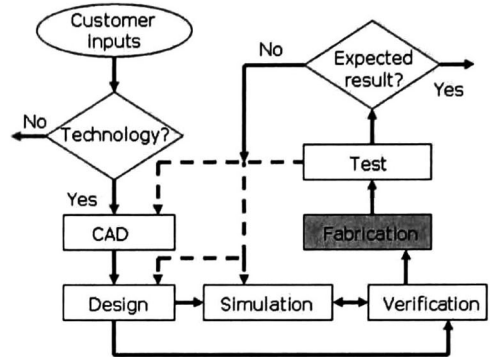


Fig. 1. Block diagram of the IC design flow [1].

II. TRANSCIEVER TOPOLOGY

A mixer is a receiver's basic circuit that is needed to up- or down-convert a well-defined frequency. The first/second conversion process is actually for transmission/reception purposes, where a power amplifier/demodulator processes the mixer's response. The class-E power amplifier and the low-power demodulator are currently under design.

Fig. 2a shows a basic diagram of the IC under design. Those blocks represent transceiver's circuits operating at a frequency of 915MHz. One of them, the mixer, uses a local oscillator (LO) to modulate the incoming radio frequency (RF) signal and, from the modulating process, obtaining an intermediate frequency (IF). The mixer is a double-balanced circuit that was designed from the resistive approach shown in Fig. 2b. In such an approach, let us suppose that the simplest current branch is a resistive circuit, where the power supply is V_{DD} . Then, since the potential at each node (from top to the bottom V_{DD} , V_A and V_B) and the dc current I_{DC} are parameters under the designer control the resistive value for each resistor can be calculated. Next, in the following resistive network the current is I_{DC} because the voltage on each node does not change i.e. voltages are the same as in previous current branch example. However, now we have twice current branches and each one drives a current $\frac{1}{2}I_{DC}$. As before, the resistive value for each component is known. The split current branch process can go on and, as we can see at the right-side resistive network

¹ G. Regalado is grateful for the economical support given by Conacyt-Mexico.

(see Fig. 2b), each upper component drives a current given by $\frac{1}{4}I_{DD}$. In order to minimize power consumption and satisfying the dc operation point of any network under design, the designer just calculate the correct component's size taking into account technological design parameters. In that sense, the simplest way to transform a resistive network from passive components to active devices is modeling via the MOS transistor square law:

$$I_{DC} = K_p \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (1)$$

where K_p , W/L , V_{GS} and V_{TH} are the factor gain, aspect ratio, gate-to-source voltage and threshold voltage of the transistor, respectively. Thus, calculating $\partial I_{DC}/\partial V_{GS}$ is possible to deduce the transistor's size for minimum dc current conditions without modify the operation point. The reason is simple, in an active MOS network the operation point is satisfied by calculating suitable aspect ratios between transistors.

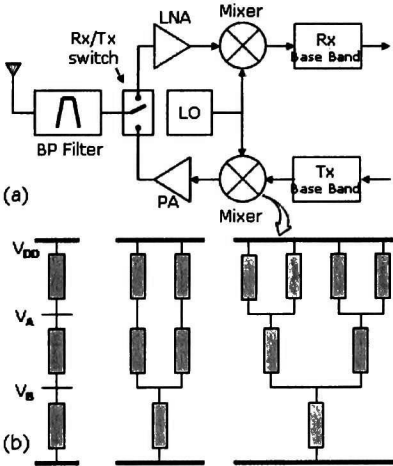


Fig. 2. Transceiver block diagram showing where the mixer is. The latest can be designed via a resistive approach.

The Fig. 3 shows a resistive network from which the mixer is firstly designed for correct operation point. In this design $R_C=R_{C1}=R_{C2}$, $R_A=R_{A1}=R_{A2}$, and $R_B=R_{B1}||R_{B2}=R_{B3}||R_{B4}$, where $R_{B1}=R_{B2}=R_{B3}=R_{B4}=2R_B$. Thus, $R_D=V_C/I_{DC}$ and the other components are given by

$$R_{C1} = 2R_D \left(\frac{V_B}{V_C} - 1 \right) \quad (2a)$$

$$R_{B1} = 4 \frac{R_D}{V_C} (V_A - V_B) \quad (2b)$$

$$R_{A1} = 2 \frac{R_D}{V_C} (V_{DD} - V_A) \quad (2c)$$

where $V_{DD} > V_A > V_B > V_C$. As we have seen the resistive values can be determined by knowing the value of R_D . Next, in order to transform the circuit from a passive network to an active one, we have substituted each component by a diode-connected MOS transistor.

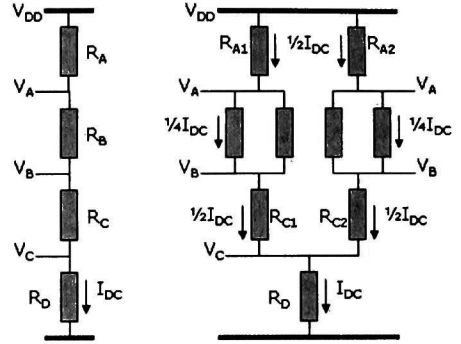


Fig. 3. The resistive approach based on resistive ratios to satisfy Q.

Now, let us suppose a diode-connected MOS transistor with a drain-to-source voltage higher than V_{TH} . If the bulk-to-source satisfy the condition $V_{BS} > 0$, the current-to-voltage characteristic is as Fig. 4 shows, where each intersection point represents the MOS operation point Q at which, the transistor operates as an active load. In the simplest "totem-pole" configuration shown in the Fig. 2b, just one PMOS transistor would be substituted instead the upper resistive component, whereas other would be NMOS transistors because of the lowest threshold voltages. If the voltage drop at each component is 1.2V, the minimum power supply is 3.6V, and 4.8V for the current branch in Fig. 3 and Fig. 4, respectively.

III. MIXER DESIGN

Fig. 5a shows to the mixer based on the equivalent diode-connected circuit. Due to the circuit's symmetry the active design shown in Fig. 5b is equivalent to that of the Fig. 5a. In this design V_C is a dc voltage. On the other hand, V_B represents actually a dc voltage and the RF signal (see Fig. 2a). In a similar way, if an equivalent voltage source V_A is used then that voltage would be supplied by a signal generator, i.e. the LO's response. Thus, the CMOS double-balanced mixer is shown in Fig. 6, where $V_A=V_{OUT}$ and $V_B=V_{RF}$. Table 1 and Table 2 show the threshold voltage of each transistor and the optimum bias value for each mixer's node, respectively. Taken into account the mathematical model to calculate the transistor's transconductance and satisfying (2), the size for each transistor was deduced (see Table 3). A single-ended to differential interface has been also designed and connected to the mixer's input. Finally, the mixer's output was connected to a differential-to-single-ended converter [2].

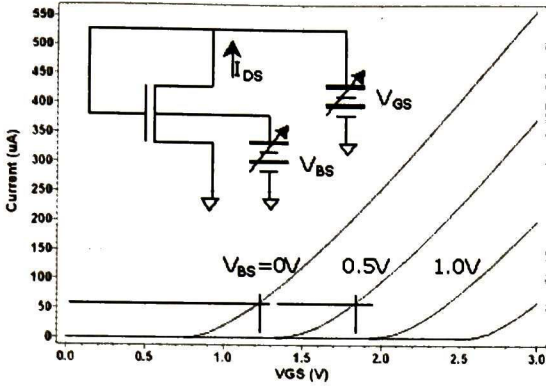


Fig. 4. Current-to-voltage characteristic for a diode-connected NMOS transistor. Here $W/L=5$.

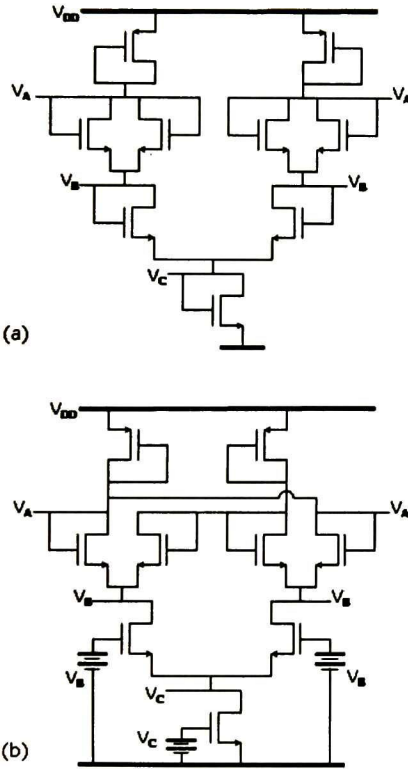


Fig. 5. Resistive network based on diode-connected MOS transistors (a) and its equivalent network (b). For illustrative purposes just some voltage sources were included.

IV. SIMULATION RESULTS

The mixer has been simulated in Spice LEVEL=49. The RF signal is a 30mV, 900 MHz sine signal. Fig. 7 shows the mixer's layout. It is important to underline that one of the

most challenging steps during the design of high-speed analog circuits, such as mixers and VCOs, is the physical design. For any integrated circuit design, the theoretical calculations and schematic level simulations may display good results, without having consideration of the layout. However, the silicon-level output may not meet the expectations. In this work different layout design techniques were used to insure the actual circuit operates as expected. Some of them are the following: fingered MOS to minimize parasitic capacitances; matched and minimized bus lengths to reduce phase mismatches between stages and also to reduce parasitic capacitances; guard-rings to prevent the so-called latch-up.:

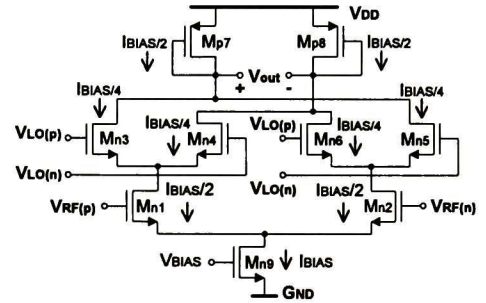


Fig. 6. Double balanced mixer. Here $I_{BIAS}=I_{DC}=3.2\text{mA}$.

TABLE I
THRESHOLD VOLTAGES

| Device | V_{TH} |
|----------------------------------|----------|
| M_{n1}, M_{n2} | 0.98 V |
| $M_{n3}, M_{n4}, M_{n5}, M_{n6}$ | 1.24 V |
| M_{p7}, M_{p8} | -0.95 V |
| M_{n9} | 0.65 V |

TABLE II
SUPPLY VOLTAGE AND BIASING

| Voltage | Value |
|-------------------------|-------|
| Supply voltage V_{DD} | 5 V |
| Bias port LO | 3.2 V |
| Bias port RF | 2.2 V |
| Bias current source | 1.2 V |

TABLE III
CHANNEL WIDTHS

| Device | W | λ ($=0.3\mu\text{m}$) |
|----------------------------------|---------------------|---------------------------------|
| M_{n1}, M_{n2} | 100.8 μm | 336 |
| $M_{n3}, M_{n4}, M_{n5}, M_{n6}$ | 100.8 μm | 336 |
| M_{p7}, M_{p8} | 25.2 μm | 84 |
| M_{n9} | 100.8 μm | 336 |

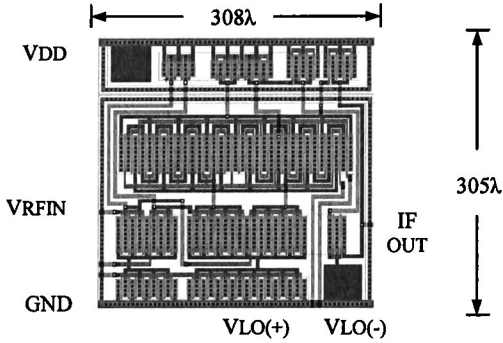


Fig. 7. Double balanced mixer layout. Cell area is $(92.4 \times 91.5)\mu\text{m}^2$.

Once the layout was obtained, the equivalent circuit was then extracted. In this process the size for each MOS is obtained as well as parasitic capacitances. Fig. 8 shows the IF output port's spectrum, where 900MHz and 800MHz signals were applied to the RF and LO ports respectively. Both components, (RF-LO) and (RF+LO), are identified by arrows.

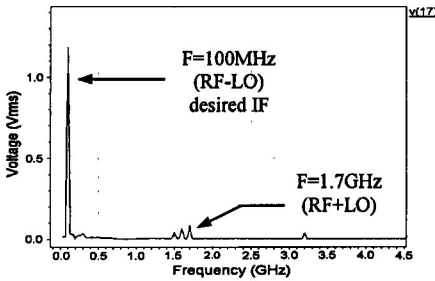


Fig. 8. IF output spectrum of extracted circuit from layout.

Fig. 9 shows the simulated and ideal IF output power. The load impedance has been set to 500Ω because most IF filters have an input impedance of 500 to 1000Ω [3]. Here the P_{1dB} is about -12dBm . This obtained performance is similar to that of the single-ended Gilbert cell reported in [4].

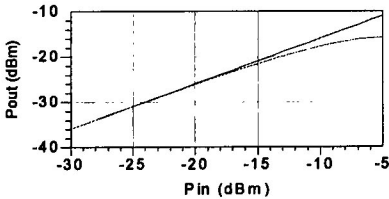


Fig. 9. One-dB compression-point simulation.

Fig. 10 shows the simulated mixer linearity characteristics. Two tones were applied with equal power levels at 899.9 and 900.1 MHz. The conversion gain (CG) obtained with help of a buffer connected at the IF output to convert the diff signal to a single-ended IF signal was 6dB.

Such a CG is unrealistic due to an ideal buffer is used. Fig. 11 shows the simulated CG using a differential-to single-ended CMOS converter [2] (-6dB).

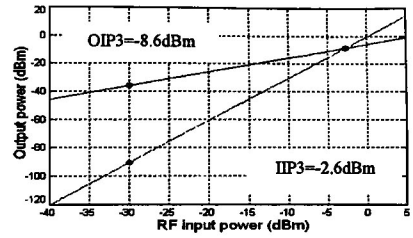


Fig. 10. Results of IP3 simulation.

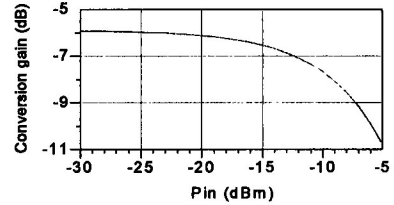


Fig. 11. Conversion gain.

V. CONCLUSION

As was mentioned at the beginning of this paper, the purpose is presenting preliminary results of an academic project oriented to the design of a transceiver for UHF applications. A double-balanced mixer with single-ended input and single-ended output was designed for frequency conversion purposes. The design was performed by calculating the ratios between transconductances by using MOS equations operating in the saturation region. The circuit behavior was verified operating as down-converter, achieving the desired multiplication of input signals in the output nodes (IF), so we can conclude that the analysis, Spice simulation results and layout design corroborate the usefulness of the resistive approach. The application of the down-converter, as described before, is in receiver systems. The following design step is the fabrication process as well as the corresponding test stage. During the conference, experimental results and a discussion of test procedures will be presented.

REFERENCES

- [1] F. Sandoval-Ibarra, "Using CAD, Electrical Modeling and Experimental Data to Develop Solutions," Proc. of the 7th CAIP, Vila Real, Portugal (In portuguese).
- [2] Roubik Gregorian and Gabor C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, Wiley, 1986.
- [3] Behzad Razavi, *RF Microelectronics*, Prentice Hall, 1998.
- [4] Glenn Watanabe, Henry Lau, "Integrated Mixer Design," Motorola Inc., Semiconductor Products Sector

Referencias

- [1] Donald A. Hitko, "Circuit Design and Technological Limitations of Silicon RFICs for Wireless Applications," PhD Thesis, MIT, 2002.
- [2] Jussi Ryyänen, "Low-Noise Amplifiers for Integrated Multi-Mode Direct-Conversion Receivers," PhD Thesis, Helsinki University of Technology.
- [3] B. Razavi, *RF Microelectronics*, Prentice-Hall, 1998.
- [4] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, Cambridge University Press, 1998.
- [5] Rockwell Automation, "Powermonitor II Tutorial," Publication 1403-1.0.2, 1996.
- [6] Minicircuits, "Figure of Merit of Mixer Intermod Performance," Application Note AN-00-001, 2001.
- [7] D. Leenaerts, J. van der Tang and C. Vaucher, *Circuit Design for RF Transceivers*, Kluwer Academic Publishers, 2001.
- [8] E. Montoya-Suárez y F. Sandoval-Ibarra, "Osciladores Controlados por Voltaje: Un Caso de Estudio," *X Workshop IBERCHIP*, Cartagena de Indias, Colombia, Marzo 2004.
- [9] A. Sedra and K. Smith, *Microelectronic Circuits*, Oxford University Press, 1998.
- [10] K. V. Schuylenbergh, C. Chua, D. Fork, J. Lu, and B. Griffiths, "On chip out-of-plane high-Q inductors," *IEEE Lester Eastman Conf. High Performance Devices*, CA, USA, pp. 364-373, Aug. 2002.
- [11] W. S. T. Yan and H. C. Luong, "A 900-MHz CMOS Low-Phase-Noise Voltage-Controlled Ring Oscillator," *IEEE Trans. Circuits Syst. II*, vol. 48, no. 2, pp.216-221, Feb. 2001.
- [12] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE J. Solid-State Circuits*, vol. 31, pp. 331-343, Mar. 1996.
- [13] J. Rogers, C. Plett, *Radio Frequency Integrated Circuit Design*, Artech House, 2003.
- [14] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001.

- [15] R. T. Howe and C. G. Sodini, *Microelectronics: an integrated approach*, Prentice-Hall, 1997.
- [16] R. J. Baker, H. W. Li, D. E. Boyce, *CMOS circuit design, layout and simulation*, Wiley InterScience, 1998.
- [17] M. Grözing, B. Philipp, M. Berroth, "CMOS Ring Oscillator with Quadrature Outputs and 100 MHz to 3.5 GHz Tuning Range," *29th European Solid-State Circuits Conference*, Estoril, Portugal, Sept. 2003.
- [18] R. J. Betancourt-Zamora and T. H. Lee, "Low phase noise CMOS ring oscillator VCOs for frequency synthesis," *2nd International Workshop on Design of Mixed-Mode Integrated Circuits*, Guanajuato, México, pp. 37-40, July 1998.
- [19] National Semiconductor, "Integrated LNA and Mixer Basics," Application Note 884, April 1993.
- [20] Motorola Semiconductor, "An IF Communication Circuit Tutorial," Application Note AN1539.
- [21] Jacques Christophe Rudell, "Frequency Translation Techniques for High-Integration High-Selectivity Multi-Standard Wireless Communication Systems," PhD Thesis, University of California at Berkeley, 2000.
- [22] Bosco Leung, *VLSI for Wireless Communication*, Prentice Hall Electronics and VLSI Series, 1999.
- [23] Sining Zhou and Mau-Chung Frank Chang, "A CMOS Passive Mixer with low Flicker Noise for Low-Power Direct-Conversion Receiver," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 5, May 2005.
- [24] Roubik Gregorian and Gabor C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, Wiley-Interscience publication, 1986
- [25] Zhenhua Wang, "A Four-Transistor Four-Quadrant Analog Multiplier Using MOS Transistors Operating in the Saturation Region," *IEEE Transactions on Instrumentation and Measurements*, vol. 42, no. 1, pp. 75-77, Feb. 1993.
- [26] Gunhee Han and Edgar Sánchez-Sinencio, "CMOS Transconductance Multipliers: A Tutorial," *IEEE Transactions on circuits and systems II*, vol. 45, no. 12, pp. 1550-1563, Dec. 1998.
- [27] P. J. Sullivan, B. A. Xavier, and W. H. Ku, "Low Voltage Performance of a Microwave CMOS Gilbert Cell Mixer," *IEEE Journal of Solid State Circuits*, vol. 32, no. 7, pp. 1151-1155, July 1997.
- [28] E. Montoya-Suárez e F. Sandoval-Ibarra, "Desenvolvimento de um Sistema Automático de Provas para Circuitos Integrados," *XI Workshop IBERCHIP*, Salvador Bahia, Brazil, Marzo 2005.
- [29] Cascade Microtech, "Mechanical Layout Rules for Infinity Probes," Application Note INFINTYRULES-APP-0104, 2004.

- [30] Burr-Brown Products from Texas Instruments, REG104 Low-Noise Regulator data sheet, 2005.
- [31] Mini-Circuits, ADCH-80+ RF Choke data sheet, Rev. C.
- [32] Stephen H. Hall, Garrett W. Hall and James A. McCall, *High-Speed Digital System Design-A Handbook of Interconnect Theory and Design Practices*, Wiley-Interscience Publication, 2000.



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

Circuito Mezclador CMOS para Conversión de Frecuencia en
Tecnología 0.5um

del (la) C.

Gabriel REGALADO SILVA

el día 08 de Diciembre de 2006.

Dr. Juan Luis Del Valle Padilla
Investigador CINESTAV 3C
CINESTAV Unidad Guadalajara

Dr. Juan Manuel Ramirez Arredondo
Investigador CINESTAV 3B
CINESTAV Unidad Guadalajara

Dr. Federico Sandoval Ibarra
Investigador CINESTAV 3A
CINESTAV Unidad Guadalajara



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000006608