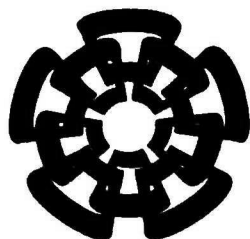


xx(132 603.1)



CINVESTAV

Centro de Investigación y de Estudios Avanzados del I.P.N.
Unidad Guadalajara

Diseño y Simulación de un Amplificador de Potencia Clase E con Líneas de Transmisión en RF utilizando Tecnología AMI CMOS 0.5 μ m

**CINVESTAV
IPN
ADQUISICION
DE LIBROS**

Tesis presentada por:
Ernesto Ruiz May

para obtener el grado de :
Maestro en Ciencias

en la especialidad de: **Ingeniería Eléctrica**
CINVESTAV I.P.N.
SECCION DE INFORMACION
Y DOCUMENTACION

Directores de Tesis:
Dr. Juan Luis Del Valle Padilla

Guadalajara, Jalisco, Diciembre de 2006.

CLASIF. TRU. 68 .R85 2006
ADQUIS.: SSI-443
FECHA: 5-VII-2007
PROCED.: DON-2007
\$

I.D. 132018-2001

Diseño y Simulación de un Amplificador de Potencia Clase E con Líneas de Transmisión en RF utilizando Tecnología AMI CMOS 0.5 μ m

**Tesis para Obtener el Grado de:
Maestría en Ciencias con Especialidad en
Ingeniería Eléctrica**

Por:
Ernesto Ruiz May
Ingeniero en Electrónica
Universidad Autónoma Metropolitana
1997-2002

Becario de CONACYT, expediente no. 191054

Directores de Tesis:
Dr. Juan Luis Del Valle Padilla

CINVESTAV del IPN Unidad Guadalajara, Diciembre de 2006.

A mis padres, Rosa y Ernesto
por su cariño, apoyo y enseñanzas
que me impulsan a seguir cada día adelante

Agradecimientos

A mis maestros, el Dr. Juan Luís del Valle Padilla y el Dr. Federico Sandoval Ibarra, con admiración y respeto, por compartirnos sus conocimientos y experiencias.

A la Dra. María del Carmen Maya y al Dr. Apolinar Reynoso, por su orientación y apoyo en las mediciones on-wafer

Al Dr. Raul Loo, por sus valiosos consejos acerca de teoría de RF

A mis Compañeros, por su amistad y apoyo

AL CICESE, por las facilidades brindadas en su centro de investigación.

Al CONACYT, por el apoyo económico brindado durante el período de maestría.

Resumen

Diseño y Simulación de un Amplificador de Potencia Clase E con Líneas de Transmisión en RF Utilizando Tecnología AMI CMOS 0.5 μ m

En este trabajo se presenta el diseño y simulación de un amplificador de potencia clase E utilizando tecnología AMI CMOS 0.5 μ m a una frecuencia de operación de 915MHz. A diferencia de otros trabajos publicados, el diseño del amplificador presentado parte desde el diseño del dispositivo transistor, tomando en consideración aquellos aspectos de layout que comúnmente se omiten en el diseño físico de dispositivos de baja frecuencia.

Para la tecnología AMI CMOS 0.5 μ m no existen modelos de distribución libre que representen el comportamiento del transistor a altas frecuencias. Por ello, en este trabajo se presenta el desarrollo un modelo simple que con tan sólo 20 parámetros representa muy bien el comportamiento de un transistor MOS tanto en altas frecuencias como en DC. La elaboración del modelo se llevo a cabo mediante el diseño, fabricación y medición de transistores en tecnología AMI CMOS 0.5 μ m.

Con el modelo desarrollado se diseñó y simuló un amplificador clase E a 915 MHz utilizando líneas de transmisión con la finalidad de disminuir las pérdidas que resultan al utilizar elementos concentrados. El amplificador diseñado presenta una potencia de salida de 176.6 mW con eficiencia del 54.3% y un PAE del 53.7%

Abstract

Design and Simulation of a RF class E power Amplifier
with Transmission Line using AMI CMOS 0.5 μ m Technology

In this work, it is shown the design and simulation of a 915MHz class E using power amplifier AMI CMOS 0.5 μ m technology. Unlike other works published, the design of the amplifier presented begins from the designing of the transistor, considering layout aspects that usually are omitted in the physical design of the low frequency devices.

There are not models for free distribution that represents the behavior of de amplifier at high frequency. For that reason in this work is presented the development of a simple model, with only twenty parameters, that predicts enough well the behavior of a MOS transistor at high frequency and DC. The model was made by designing, fabricating and measuring the transistor in the AMI CMOS 0.5 μ m process.

The model developed were designed and simulated at 915MHz for class E amplifier using transmission line with the intention to reduce the losses that results from using lumped elements. The amplifier designed presents an output power of 176.6 mW with an efficiency of 54.3% and a PAE of 53.7%.

Contenido

Capítulo 1 Introducción

1.1 Eficiencia de conversión en aplicaciones móviles	1
1.2 El amplificador clase E	2
1.3 El problema de diseño. Necesidad de un modelo no-lineal apropiado	3
1.4 Objetivo de la tesis	3
1.5 Descripción de los capítulos de la tesis	3

Capítulo 2 Análisis del Amplificador de Potencia Clase E

2.1 Introducción	5
2.2 Análisis del amplificador Ideal	8
2.3 Voltaje y Corriente Máxima en el Conmutador	12
2.4 Cálculo de la red de carga	13
2.4.1 Red de carga con elementos concentrados	13
2.4.2 Red de carga con líneas de transmisión	17

Capítulo 3 Transistor de Potencia

3.1 Introducción	23
3.2 Estructura	24
3.3 Implementación	24
3.4 Layout	29

Capítulo 4 Diseño, Caracterización y Modelado en RF

4.1 Introducción	31
4.2 Diseño de transistores de RF	
4.3 Caracterización del modelo	39
4.3.1 Pads de Prueba	39
4.3.2 Plataforma de prueba	41
4.4.3 Desincrustación	43

Capítulo 5 Análisis Experimental

5.1 Introducción	45
5.2 Desincrustación	46
5.3 Transistores de Alto Voltaje	52
5.3 Transistores de Bajo Voltaje	53
5.4 Modelo RF CMOS	54
5.4.1 Extracción de parámetros en DC	56
5.4.2 Extracción de resistencias	58
5.4.3 Extracción de capacitancias	64

Capítulo 6 . Diseño del amplificador Clase E

6.1 Introducción	69
6.1.1 Diseño del amplificador Clase E	70
6.2 Amplificador Clase E Ideal	73
6.2 Amplificador Clase E con RF CMOS	75
6.3 Amplificador Clase E con Elementos Distribuidos	80

Capítulo 7. Conclusiones y Trabajo Futuro

7.1 Conclusiones	83
7.2 Trabajo Futuro	85

Referencias	87
-------------	----

Apéndice A

Análisis Completo del amplificador Ideal	91
Voltaje y Corriente Máxima en el Conmutador	95

Índice de Figuras

Figura 2 1. Diagrama a bloques del Amplificador clase E	6
Figura 2 2. Amplificador clase E	7
Figura 2 3. Formas de onda del amplificador clase E	8
Figura 2 4. (a) Configuración C paralelo (b) Configuración L serie - C paralelo	17
Figura 2 5. Línea de transmisión con terminación resistiva	20
Figura 2 6. Red LC serie-paralelo con L	21
Figura 2 7. Red de carga con líneas de transmisión	21
Figura 3 1. Transistor de potencia	24
Figura 3 2. Implementación del drenaje ligeramente dopado	25
Figura 3 3. Definición de áreas activas	25
Figura 3 4. Implantes P-Tub y Channel stop	26
Figura 3 5. Field-oxide groth (LOCOS)	26
Figura 3 6. Depósito del polisilicio y crecimiento del óxido	27
Figura 3 7. Implantes de contacto de Source y Drain	27
Figura 3 8. Implantes de difusión contacto de Source y Drain	28
Figura 3 9. CVD	28
Figura 3 10. SiO ₂	28
Figura 3 11. Layout	29
Figura 3 12. Transistor de potencia	30
Figura 4 1. Transistor Interdigitado	33
Figura 4 2. Traslapes entre compuerta-drenador y compuerta-fuente	33
Figura 4 3. Pérdidas en el sustrato	34
Figura 4 4. Clusters para Layout en RF	35
Figura 4 5. Ejemplo de una estimación de R_d , R_s , y R_g	36
Figura 4 6. Transistores de prueba con 1 cluster	36
Figura 4 7. Transistores de prueba con 2 clusters	37
Figura 4 8. Transistores de prueba con 4 clusters	38
Figura 4 9. Transistores de prueba con 8 clusters	38
Figura 4 10. Puntas de Prueba modelo 50A-GSG-150-LP	40
Figura 4 11. Implementación de pad	40
Figura 4 12. Plataforma de prueba	41
Figura 4 13. Configuraciones para realizar la desincrustación de parámetros	42

Figura 4 14. Oblea de silicio con las estructuras de caracterización de los transistores	42
Figura 4 15. (a) Modelo General de los Pads	44
Figura 5 1. (a) Modelo General de los Pads	47
Figura 5 2. Mediciones de parámetros Y de la estructura Pad	48
Figura 5 3. Admitancias Y_i , Y_o y Y_f calculadas	49
Figura 5 4. Impedancias serie Z_1 , Z_2 y Z_3 calculadas	50
Figura 5 5. Admitancias internas Y_1 , Y_2 y Y_3 calculadas	51
Figura 5 6. Características I-V experimentales de los transistores de alto voltaje	52
Figura 5 7. Características I-V experimentales de los transistores de bajo voltaje	53
Figura 5 8. Curvas experimentales de parámetros S del transistor LV64F	54
Figura 5 9. Regiones de operación de un transistor RF MOS	54
Figura 5 10. Modelo propuesto RF CMOS	55
Figura 5 11. Extracción de parámetros de DC del transistor LV8F	58
Figura 5 12. Modelado del parámetro K	58
Figura 5 13. Extracción de resistencias y capacitancias	60
Figura 5 14. Extracción de resistencias del transistor LV8F	60
Figura 5 15. Efecto de r_{ds} sobre el parámetro S22	61
Figura 5 16. Resistencias de los puertos vs Número de dedos	62
Figura 5 17. Efecto del layout sobre R_g .	62
Figura 5 18. Modelado de R_g , R_d , R_s y R_{ds}	64
Figura 5 19. Modelado de capacitancias	66
Figura 5 20. Comparación entre el modelo y la simulación del transistor LV64F	67
Figura 6 1. Voltaje y corriente normalizada entre las terminales del dispositivo conmutador	70
Figura 6 2. (a) Configuración C paralelo (b) Configuración L serie - C paralelo	71
Figura 6 3. Características en DC	72
Figura 6 4. Modelo de las curvas de parámetros S	73
Figura 6 5. Esquemático amplificador clase E	74
Figura 6 6. Respuesta en frecuencia de la red de carga	74
Figura 6 7. Características Clase E ideal con $Q = 1$	75
Figura 6 8. Características Clase E ideal con $Q = 5$	75
Figura 6 9. Acoplamiento de la red de la fuente de excitación	76
Figura 6 10. Red de acoplamiento de entrada	76
Figura 6 11. Esquemático amplificador clase E con MOSRF	77
Figura 6 12. Características clase E MOS RF	77
Figura 6 13. Formas de onda típicas para un voltaje V_{ds} desintonado	78

Figura 6 14. Efectos del ajuste de los componentes de la red de carga	78
Figura 6 15. Características clase E MOS RF optimizadas	79
Figura 6 16. Curva ideal de corriente en el transistor y en el capacitor C_s	79
Figura 6 17. Corriente en el transistor	80
Figura 6 18. Amplificador clase E con líneas de transmisión	81
Figura 6 19. Características amplificador con líneas de transmisión	81
Figura 6 20. Características optimizadas del amplificador con líneas de transmisión	82

Capítulo 1

Introducción

En este trabajo se analiza el funcionamiento del amplificador clase E, comenzando con un enfoque ideal y terminando con su simulación con componentes reales. Se presenta una metodología generalizada para el diseño del amplificador tanto con elementos concentrados como con elementos distribuidos. Se propone el uso de tecnología CMOS estándar AMI 0.5 μ m para implementar transistores MOS canal N de potencia así como también se presenta un modelo básico de simulación para operar la tecnología a una frecuencia de 915 MHz.

1.1 Eficiencia de conversión en aplicaciones móviles

Aunque los dispositivos móviles en general han mejorado su desempeño con el tiempo, un parámetro clave que no ha tenido una mejora considerable es el tiempo de operación o tiempo de conversación en el caso de los celulares. Actualmente, el tiempo típico de conversación para un dispositivo móvil digital varía desde 1hr 25' hasta 5hrs mientras que para los dispositivos analógicos varía desde los 35' hasta unas 3hrs aproximadamente.

Los esquemas de codificación que actualmente se utilizan en los sistemas de comunicaciones digitales requieren que los transmisores sean extremadamente lineales, comparados con los sistemas analógicos. Por lo tanto, los dispositivos móviles transmisores deben ser optimizados principalmente para una mayor linealidad más que para una mayor eficiencia.

Sin embargo, las futuras generaciones de comunicaciones inalámbricas usarán frecuencias más altas, voltajes de baterías menores y, sino es que mas estricta, buena linealidad. Cada una de estas características, por si solas, están inversamente relacionadas con la eficiencia del transmisor y combinadas tendrán un serio impacto en detrimento de la eficiencia y por lo tanto un menor tiempo de conversación. Además, los consumidores demandan continuamente dispositivos más pequeños y livianos, lo cual requeriría la utilización de baterías más pequeñas y menos potentes. Es decir, además de transmisores con menor eficiencia, las futuras generaciones de dispositivos móviles operarían con baterías de menor potencia. A menos que exista una revolución en la tecnología de las baterías, las futuras generaciones de dispositivos móviles tendrán menores tiempos de conversación a menos que la eficiencia del transmisor sea mejorada.

Entonces es claro que la industria inalámbrica busque la manera de construir transmisores con una mayor eficiencia. Esto está evidenciado en diversos trabajos de investigación publicados [1]-[12], [19]-[20] sobre amplificadores de potencia de alta eficiencia, como es el caso del amplificador clase E.

1.2 El amplificador clase E

En las aplicaciones de nuestros días se requiere de amplificadores en el modo de conmutación con elevadas eficiencias de conversión de corriente directa a corriente alterna. Los amplificadores clase E son un ejemplo, con sus aplicaciones en RF y en fuentes conmutadas. Los amplificadores clase E logran una eficiencia significativamente mayor que los amplificadores convencionales clase B o C. En clase E, el transistor opera como un interruptor y la red de carga moldea las formas de onda de corriente y voltaje para prevenir simultáneamente un alto voltaje y una alta corriente en el transistor, con la finalidad de minimizar la disipación de potencia, especialmente durante las transiciones de conmutación. Al utilizar dispositivos activos como interruptores on/off, es posible alcanzar eficiencias mayores a las obtenidas por transistores que operan como fuentes de corriente de alta impedancia. Este incremento de eficiencia se debe a la reducción del voltaje entre las terminales del dispositivo cuando fluye corriente a través de él.

Existen varias configuraciones del amplificador clase E, en las cuales el elemento pasivo de almacenamiento de carga puede estar en serie o en paralelo y el elemento que almacena puede ser un capacitor o un inductor. La configuración que utiliza un capacitor en paralelo tiene la ventaja de aprovechar la capacitancia parásita propia de cualquier transistor MOS, para conformar la capacitancia en paralelo requerida por la red de salida. Las demás configuraciones no toman en cuenta la capacitancia parásita de salida y por lo tanto están sujetas a una disipación de potencia indeseable.

Teóricamente la eficiencia de conversión puede ser alta si se pueden establecer dos modos de operación nominales: la condición de voltaje de conmutación nulo y pendiente cero del voltaje en el conmutador, en el momento en que éste se cierra. Típicamente, los amplificadores clase E pueden operar con pérdidas de potencia pequeñas por un factor de 2.3, comparado con los

amplificadores convencionales clase B o C usando el mismo transistor a la misma frecuencia y potencia de salida. Un estudio detallado del amplificador clase E se presenta en el capítulo 2.

1.3 El problema de diseño. Necesidad de un modelo no-lineal apropiado

Hoy en día los dispositivos CMOS fabricados en substratos de silicio son usados en circuitos integrados de RF y Microondas. Como consecuencia, la industria requiere nuevos modelos que representen el comportamiento de un MOSFET a altas frecuencias. Además, los diseñadores de CI's requieren modelos para analizar sus circuitos tanto en DC como en RF.

A pesar de que ya ha sido lanzado BSIM4 (el cual es una extensión de BSIM3v3) este modelo sólo es recomendado para dispositivos sub-micrométricos (100nm), ya que toma en cuenta características avanzadas tal como corrientes de fuga en compuerta considerables. [21] Por otro lado, BSIM3/4 requieren varios cientos de parámetros, los cuales toman mucho tiempo extraerlos y es difícil saber cual parámetro afecta en el diseño del circuito.

Los modelos más sencillos como los Nivel 1, 2 y 3 no pueden expresar las recientes características de los dispositivos submicrométricos, como el efecto de la saturación de la velocidad de los portadores.

En este trabajo se desarrollara un modelo eléctrico equivalente, de apenas 20 parámetros pero que es lo suficientemente representativo para modelar el comportamiento de un transistor CMOS estándar.

1.4 Objetivo de la tesis

Realizar el diseño, simulación, y caracterización de un amplificador clase E a nivel simulación. Para ello se hará un análisis acerca del funcionamiento del amplificador y de los componentes que lo constituyen, se realizará el layout de algunos transistores para caracterizar su respuesta en frecuencia y se construirá un modelo adecuado a frecuencias de RF. Para evitar las pérdidas inherentes al funcionamiento en RF se hará uso de líneas de transmisión en la implementación de los componentes pasivos de la red de carga.

1.5 Descripción de los capítulos de la tesis

La tesis se desarrolla en siete capítulos, siendo el primero la introducción a la misma. Este trabajo cubre los temas del amplificador de potencia clase E y de sus componente como son el transistor de potencia y el diseño de los elementos de la red de carga utilizando líneas de transmisión operando a frecuencias de RF.

El capítulo 2 hace un análisis básico acerca de la operación del amplificador clase E, introduce la terminología usada comúnmente en el ámbito de los amplificadores de potencia. En este capítulo se deducen las ecuaciones de corriente y voltaje que rigen la operación del amplificador y se deducen las expresiones que permiten calcular la red de carga del amplificador con elementos concentrados tomando en cuenta la potencia deseada en la carga. Por último se presenta una técnica para pasar los elementos concentrados a elementos distribuidos con líneas de transmisión.

En el capítulo 3 se presenta una técnica para implementar un transistor de potencia haciendo uso de tecnología estándar de bajo voltaje. El transistor de alto voltaje es importante para lograr mayor potencia de salida en el amplificador. Se detalla como está constituido un transistor de potencia a nivel de silicio para luego describir cómo se hace el layout de dicho transistor.

El capítulo 4 trata acerca del funcionamiento y caracterización de un dispositivo MOS que opera a frecuencias de RF. Para la tecnología que se está utilizando (AMI 0.5 μ m) no se cuenta con un modelo de simulación apropiado para operación en RF. Aunque ya existen modelos como el BSIM4 y el EKV estos están diseñados para dispositivos de canal corto por lo que quedan fuera de nuestro alcance. Así pues, se propone un modelo sencillo que tome en cuenta tan solo las resistencias de los puertos del transistor ya que éstas son las que más impacto tienen en la frecuencia a la que se desea operar. También se dan los lineamientos para que el layout este optimizado de manera tal que los efectos parásitos del transistor se minimicen y sean escalables con la finalidad de poder extrapolar resultados de la caracterización del transistor y así poder construir un modelo sencillo pero confiable.

En el capítulo 5 se presenta el análisis de las mediciones realizadas y se desarrolla un modelo de simulación en RF para transistores CMOS de bajo voltaje. Así mismo, se presentan los resultados obtenidos al modificar la tecnología CMOS estándar para construir transistores de alto voltaje.

En el capítulo 6 se hace uso del trabajo realizado en los capítulos anteriores y se realiza el diseño de un amplificador clase E con una frecuencia de operación de 915 MHz. Se presentan los resultados de simulación señalando las discrepancias observadas respecto a la teoría, se analiza la causa de éstas y se presenta una manera de reajustar los parámetros para obtener las condiciones de operación del amplificador clase E.

Finalmente en el capítulo 7 se presentan las conclusiones a las que se llegó con el desarrollo del presente trabajo.

Capítulo 2

Análisis del Amplificador de Potencia Clase E

En este capítulo se analizará la operación idealizada de un amplificador de potencia ideal clase E. Se deducirán las ecuaciones de corriente y voltaje básicas que lo rigen y se presenta el diseño con componentes ideales distribuidos.

2.1 Introducción

En las aplicaciones de nuestros días se requiere de amplificadores en el modo de conmutación con elevadas eficiencias de conversión de corriente directa a corriente alterna. Los amplificadores clase E son un ejemplo, con sus aplicaciones en RF y en fuentes conmutadas. Los amplificadores clase E logran una eficiencia significativamente mayor que los amplificadores convencionales clase B o C. En clase E, el transistor opera como un interruptor y la red de carga moldea las formas de onda de corriente y voltaje para prevenir simultáneamente un alto voltaje y una alta corriente en el transistor, con la finalidad de minimizar la disipación de potencia, especialmente durante las transiciones de conmutación.

El amplificador clase E consta básicamente de cuatro bloques [1] tal y como se muestra en la Figura 2-1. La etapa de pre-amplificación se encarga de adecuar la señal de entrada según algún criterio de eficiencia, ganancia en potencia, minimización de pérdidas, etc. El dispositivo activo actúa como un interruptor cuando es controlado adecuadamente por la etapa de

preamplificación, la red de carga filtra el contenido armónico originado en la conmutación y condiciona la forma de onda para obtener alta eficiencia y finalmente se entrega a la carga la señal de entrada amplificada.

Comúnmente en un amplificador la mayor pérdida de potencia ocurre en los dispositivos activos, sin embargo es posible aminorar las pérdidas minimizando los siguientes aspectos:

1. El voltaje entre las terminales del dispositivo cuando fluye corriente a través de él
2. La corriente que fluye por el dispositivo cuando existe voltaje entre sus terminales
3. La duración de cualquier condición indeseable en la cual exista corriente y voltaje simultáneamente

Así pues, teóricamente la eficiencia de conversión puede ser alta si pueden establecerse dos modos de operación nominales: la condición de voltaje de conmutación nulo y la condición de conmutación suave. Típicamente, los amplificadores clase E pueden operar con pérdidas de potencia pequeñas por un factor de 2.3 [7], comparado con los amplificadores convencionales clase B o C usando el mismo transistor a la misma frecuencia y potencia de salida.

La condición de voltaje de conmutación nulo o ZVS por sus siglas en inglés (Zero Voltage Switching) se refiere a que las formas de onda de voltaje y corriente no se traslapen. Esta condición es suficiente y necesaria para obtener una eficiencia unitaria. La pendiente del voltaje al inicio de la conducción puede ser elegida arbitrariamente, sin embargo al permitir que la pendiente de voltaje tome cualquier valor puede exigir al transistor demandas de corriente considerables. Para evitarlo se establece el criterio de conmutación suave (soft-switching) el cual restringe la pendiente del voltaje en el conmutador a cero al momento que inicia la conducción.

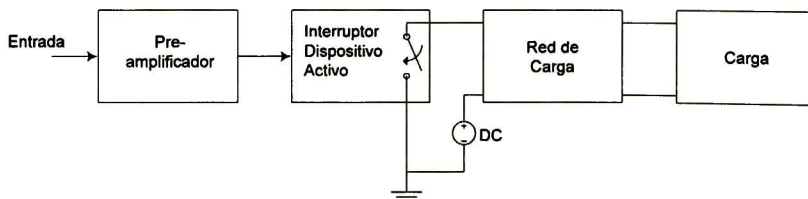


Figura 2-1. Diagrama a bloques del Amplificador clase E

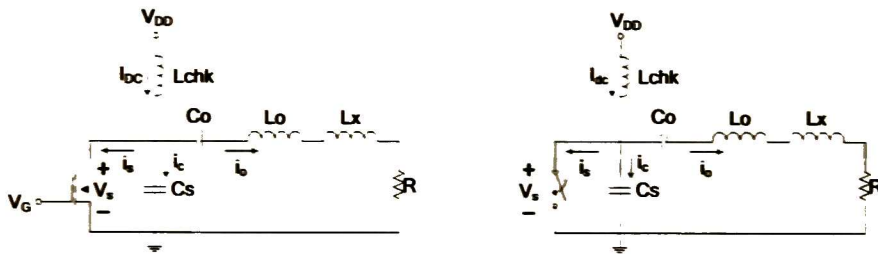
El circuito básico de un amplificador clase E y su circuito equivalente se muestra en la Figura 2-2 (a) y (b) respectivamente. El amplificador consiste de un transistor, una red de carga y un choke de RF. El transistor se opera de tal modo que actúa periódicamente como un interruptor con una frecuencia de operación igual a la del amplificador. Existen al menos cuatro tipos de configuraciones para el amplificador clase E [2][3][7], cuya diferencia radica en la ubicación del elemento pasivo de almacenamiento de carga, ya sea en serie o en paralelo y si el elemento es un capacitor o un inductor. De estas cuatro configuraciones, es de interés la de capacitor

paralelo ya que éste puede estar formado, en parte o totalmente, por el capacitor parásito de salida inherente al transistor. La capacitancia parásita del transistor es en realidad no-lineal, sin embargo es posible utilizar una capacitancia paralelo equivalente [10] con la que las condiciones de operación del amplificador clase E se cumplen. La configuración que utiliza un capacitor en paralelo tiene la ventaja de aprovechar la capacitancia parásita propia de cualquier transistor MOS, para conformar la capacitancia en paralelo requerida por la red de salida. Las demás configuraciones no toman en cuenta la capacitancia parásita de salida y por lo tanto están sujetas a una disipación de potencia indeseable.

Usualmente la inductancia choke de RF es lo suficientemente grande para hacer que la corriente de AC sea muy pequeña en comparación con la corriente de DC por lo que no se le toma en cuenta en el diseño. Kazimierczuk en [4] muestra que es posible alcanzar las condiciones para una operación óptima del amplificador para cualquier ciclo de trabajo y cualquier factor de calidad Q , sin embargo para obtener una potencia de salida máxima es necesario opera con un ciclo de trabajo de 0.5 [1][7].

La red de carga consiste en:

1. El capacitor paralelo C_s , el cual será considerado como elemento lineal e independiente del voltaje para el análisis ideal
2. Un circuito resonante LC entonado a la frecuencia de operación del amplificador
3. Un inductor L_x , necesario para alcanzar las condiciones de operación en clase E
4. La resistencia de carga R



a) Circuito Básico

b) Circuito equivalente

Figura 2-2. Amplificador clase E

Cuando el conmutador está cerrado el voltaje $v_s(\theta) = 0$, la corriente a través del conmutador es la suma de la corriente senoidal de salida $i_o(\theta)$ mas la corriente constante I_{DC} proveniente de la fuente de voltaje V_{DD} , esto es, $i_s(\theta) = i_o(\theta) + I_{DC}$. Cuando el conmutador está abierto, la corriente de carga del capacitor C_s es $i_c(\theta) = i_o(\theta) + I_{DC}$. El conmutador opera a la frecuencia de resonancia de L_o y C_o y la inductancia en exceso L_x , causa que $v_s(\theta)$ retorne a cero con una pendiente igual

a cero antes de que el conmutador se cierre [1]. Las formas de onda para la corriente y el voltaje en el interruptor se muestran en la Figura 2-3.

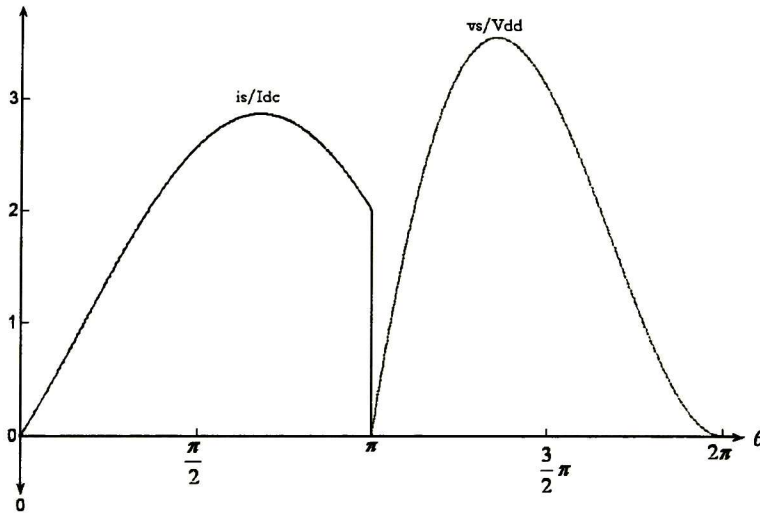


Figura 2-3. Formas de onda del amplificador clase E

En la figura se observa que la corriente en el interruptor alcanzará un valor pico de casi tres veces el valor de la corriente directa I_{DC} , mientras que el voltaje alcanzará un valor pico de aproximadamente tres y media veces el valor de la fuente de alimentación V_{DD} . Cuando se sustituya el interruptor ideal por un transistor se deberá cuidar que el voltaje de ruptura del transistor sea menor al voltaje pico V_s y que pueda soportar la corriente de operación que le será demanda durante la operación del dispositivo.

2.2 Análisis del amplificador Ideal

Hay varias consideraciones para el análisis del amplificador clase E ideal (El análisis completo se presenta en el Apéndice A). Asumiendo un ciclo de trabajo de 0.5, un factor de calidad Q alto, elementos concentrados ideales y un interruptor ideal, el análisis parte de la suposición que la corriente en la carga es puramente senoidal. Cuando el conmutador está cerrado la corriente a través del él es la suma de la corriente de salida $i_o(\theta)$ mas la corriente constante I_{DC} proveniente de la fuente de voltaje V_{DD} , esto es

$$i_s = i_o(\theta) + I_{dc} \quad 0 < \theta \leq \pi \quad (2.1)$$

Asumiendo que la corriente en la carga es senoidal, la ecuación anterior se puede escribir como:

$$i_s = I_0 \text{sen}(\theta + \varphi) + I_{dc} \quad 0 < \theta \leq \pi \quad (2.2)$$

donde I_{DC} es la componente de DC en la corriente del capacitor debida a la fuente de alimentación V_{DD} , I_0 es la amplitud de la corriente senoidal en la carga y φ es al ángulo de defasamiento introducido por la red de carga. Cuando el conmutador está abierto, la corriente de carga del capacitor C_s es:

$$i_c = i_o(\theta) + I_{dc} \quad \pi < \theta \leq 2\pi$$

es decir:

$$\omega C_s \frac{d}{d\theta} v_s(\theta) = I_0 \text{sen}(\theta + \varphi) + I_{dc} \quad \pi < \theta \leq 2\pi \quad (2.3)$$

donde $v_s(\theta)$ es el voltaje entre las terminales del interruptor. La operación del amplificador debe estar sujeta a las condiciones de voltaje de conmutación nulo y conmutación suave que se pueden expresar como:

Voltaje de conmutación nulo

$$i) \quad v_s(\theta) = 0 \quad 0 < \theta \leq \pi \quad (2.4)$$

$$(f) \quad \left\{ \begin{array}{l} ii) \quad v_s(\theta) \Big|_{\theta=2\pi} = 0 \end{array} \right. \quad (2.5)$$

$$(e) \quad \left\{ \begin{array}{l} iii) \quad \frac{d}{d\theta} v_s(\theta) \Big|_{\theta=2\pi} = 0 \end{array} \right. \quad (2.6)$$

integrando (2.3) y aplicado la condición (2.4) se puede encontrar el voltaje en el conmutador:

$$v_s(\theta) = \frac{1}{\omega C_s} \int_{\pi}^{\theta} [I_0 \text{sen}(\theta + \varphi) + I_{dc}] d\theta' \quad (2.7)$$

$$v_s(\theta) = \frac{1}{\omega C_s} [I_{dc}(\theta - \pi) - I_0(\cos(\theta + \varphi) + \cos \varphi)] \quad \pi < \theta \leq 2\pi \quad (2.8)$$

El valor pico normalizado de la corriente senoidal I_p se puede encontrar aplicando la primera condición de conmutación suave dada por (2.5):

$$v_s(\theta) \Big|_{\theta=2\pi} \frac{1}{\omega C_s} [\pi I_{dc} - 2I_0 \cos \varphi] = 0 \quad (2.9)$$

$$I_0 = \frac{\pi}{2 \cos \varphi} I_{dc} \quad (2.10)$$

mientras que φ se calcula a partir de (2.4):

$$\frac{d}{d\theta} v_s(\theta) = \frac{1}{\omega C_s} [I_{dc} + I_0 \text{sen}(\theta + \varphi)] \quad (2.11)$$

$$\frac{d}{d\theta} v_s(\theta) \Big|_{\substack{\theta=2\pi \\ I_p = \frac{\pi}{2 \cos \varphi} I_{dc}}} = \frac{I_{dc}}{\omega C_s} \left[1 - \frac{\pi}{2} \tan \varphi \right] = 0 \quad (2.12)$$

$$\varphi = \text{atan} \left(\frac{2}{\pi} \right) \quad (2.13)$$

Conociendo el valor del ángulo de defasamiento dado por la ecuación anterior se pueden encontrar las siguientes relaciones trigonométricas:

$$\cos \varphi = \frac{\pi}{\sqrt{\pi^2 + 4}} \quad (2.14)$$

$$\text{sen} \varphi = \frac{2}{\sqrt{\pi^2 + 4}} \quad (2.15)$$

Sustituyendo estas relaciones trigonométricas en (2.10), (2.8) y (2.2) se obtienen expresiones para el voltaje y la corriente en el interruptor independientes del ángulo de fase:

$$I_0 = \frac{\sqrt{\pi^2 + 4}}{2} I_{dc} \quad (2.16)$$

$$v_s(\theta) = \frac{I_{dc}}{\omega C_s} \left[\theta - \frac{\pi}{2} \cos \theta - \text{sen } \theta - \frac{3\pi}{2} \right] \quad (2.17)$$

$$i_s(\theta) = I_{dc} \left[1 + \frac{\pi}{2} \text{sen } \theta - \cos \theta \right] \quad (2.18)$$

La relación entre la corriente directa la fuente de alimentación se encuentra asumiendo que el voltaje promedio entre las terminales del conmutador es igual al voltaje de la fuente de alimentación:

$$V_{DD} = \frac{1}{2\pi} \int_0^{2\pi} v_s(\theta) d\theta = \frac{I_{dc}}{\pi\omega C_s} \quad (2.19)$$

$$I_{dc} = \pi\omega C_s V_{DD} \quad (2.20)$$

al multiplicar la ecuación anterior por V_{DD} se encuentra la expresión que describe la potencia disipada en DC:

$$P_{dc} = \pi\omega C_s V_{DD}^2 \quad (2.21)$$

El valor de la potencia disipada en RF se encuentra a partir de la corriente promedio de la corriente de salida:

$$P_{out} = \frac{1}{\omega T} \int_{\theta_0}^{\theta_0 + T} Ri_{out}^2(\theta) d\theta \quad (2.22)$$

La eficiencia de conversión de DC a RF (eficiencia de drenador) se encuentra a partir de la razón entre la potencia de salida (RF) a la potencia de entrada (DC):

$$\eta = \frac{P_{out}}{P_{dc}} \quad (2.23)$$

En los amplificadores de RF es común que tanto la entrada y la salida cuenten con una impedancia de acoplamiento con las respectivas líneas a las que están conectados, lo que significa que en realidad la entrada consume potencia. Así pues la eficiencia no es calculada basándose en la potencia total de salida, sino en la potencia de salida menos la potencia de entrada. Esta eficiencia es una figura de mérito que se llama Eficiencia de Potencia Añadida o PAE por sus siglas en inglés:

$$PAE = \frac{P_{out} - P_{in}}{P_{dc}} \quad (2.24)$$

2.3 Voltaje y Corriente Máxima en el Conmutador

Es de interés conocer tanto el voltaje como la corriente máxima en el conmutador por que estos parámetros servirán para diseñar el transistor que hará las veces de interruptor y que deberá ser capaz de soportar tales esfuerzos.

Derivando la ecuación (2.17) e igualándola a cero se puede encontrar el ángulo en el que ocurre el máximo:

$$\theta_m = 2\varphi + \pi \quad (2.25)$$

y el voltaje máximo es:

$$\begin{aligned} V_{max} &= 2\varphi\pi V_{DD} \\ V_{max} &\approx 3.562V_{DD} \end{aligned} \quad (2.26)$$

De la ecuación. (2.2) se observa que ocurre un máximo local cuando la función seno es unitaria, es decir:

$$i_{smax} = I_p + I_{dc} \quad (2.27)$$

sustituyendo el valor de I_p dado por (2.16) finalmente se obtiene que la corriente máxima es:

$$i_{s,max} = \left(1 + \sqrt{\frac{\pi^2}{4} + 1} \right) I_{dc} \quad (2.28)$$

$$i_{s,max} \approx 2.86 I_{dc} \quad (2.29)$$

Los resultados anteriores indican que el voltaje máximo en el interruptor será más de tres veces el voltaje de la fuente de alimentación., mientras que la corriente máxima será casi tres veces la corriente de directa.

2.4 Cálculo de la red de carga

Se pueden considerar varios enfoques de diseño para la red de carga, sin embargo por lo general se desea maximizar la potencia de salida a una frecuencia de operación específica, lo que implica mantener las condiciones óptimas de conmutación para minimizar las pérdidas en el amplificador.

Así pues, en este trabajo primero se presenta el diseño de la red de carga con elementos concentrados en función de la frecuencia de operación, la potencia de salida y la capacitancia parásita del transistor. Este enfoque es útil cuando se opera a frecuencias de algunos cuantos megahertz. Cuando la frecuencia aumenta los elementos concentrados presentan pérdidas debido a que sus elementos parásitos comienzan a tener efecto en el desempeño del amplificador. En este caso, es mejor utilizar elementos distribuidos ya que al reemplazar elementos concentrados por líneas de transmisión se pueden lograr mayores frecuencias de operación con menores pérdidas.

2.4.1 Red de carga con elementos concentrados

El cálculo de los componentes pasivos del amplificador parte del supuesto de que la forma de onda del voltaje y corriente en la carga es completamente sinusoidal. Así pues, la amplitud del voltaje en la carga sería la magnitud de la frecuencia fundamental del desarrollo en serie de Fourier, esto es:

$$\hat{V}_c = \frac{1}{\pi} \int_{\pi}^{2\pi} v_s(\theta) \sin(\theta + \varphi) d\theta \quad (2.30)$$

$$\widehat{V}_o = \frac{4}{\sqrt{\pi^2 + 4}} V_{DD} \quad (2.31)$$

Resistencia de carga

Se puede demostrar que la potencia disipada en una carga resistiva cuando se le aplica un voltaje senoidal es:

$$P_{out} = \frac{\widehat{V}_o^2}{2R} \quad (2.32)$$

Al sustituir (2.31) en la ecuación anterior y resolver para R se tiene:

$$R = \frac{8V_{DD}^2}{P_{out}(\pi^2 + 4)} \quad (2.33)$$

Capacitancia en paralelo

La potencia disipada en la carga también puede expresarse como:

$$P_{out} = \frac{\widehat{V}_o \widehat{I}_o}{2} \quad (2.34)$$

sustituyendo (2.16) y (2.31) en la ecuación anterior ésta se puede reescribir como:

$$P_{out} = V_{DD} I_{dc} \quad (2.35)$$

despejando la capacitancia paralelo de (2.20) se tiene:

$$C_s = \frac{I_{dc}}{\pi\omega V_{DD}} \quad (2.36)$$

sustituyendo el valor de I_{dc} se obtiene el valor de la capacitancia en paralelo en función de la potencia y el voltaje de la fuente de alimentación:

$$C_s = \frac{P_{out}}{\pi\omega V_{DD}^2} \quad (2.37)$$

Esta capacitancia en paralelo puede estar total o parcialmente formada por la capacitancia parásita presente en el puerto de salida del transistor

Inductancia Serie

El factor de calidad de un circuito resonante serie esta dado por:

$$Q = \frac{\omega L_o}{R} \quad (2.38)$$

sustituyendo el valor de R y resolviendo para L_o se obtiene:

$$L_o = \frac{8QV_{DD}^2}{\omega P_{out}(\pi^2 + 4)} \quad (2.39)$$

Capacitancia Serie

La frecuencia de resonancia para un circuito RLC serie es:

$$\omega = \frac{1}{\sqrt{L_o C_o}} \quad (2.40)$$

sustituyendo el valor de L_o y resolviendo la ec. anterior para C_o se obtiene:

$$C_o = \frac{P_{out}(\pi^2 + 4)}{8\omega QV_{DD}^2} \quad (2.41)$$

Inductancia en exceso

La amplitud del voltaje en la bobina L_x a la frecuencia fundamental estará dada por :

$$|V_L| = \omega L_x I_m = \omega L_x \frac{\hat{V}_o}{R} \quad (2.42)$$

sustituyendo el valor del voltaje en la carga dado por (2.31) en (2.42) se obtiene:

$$|V_L| = -\frac{\omega L_x}{R} \frac{4}{\sqrt{\pi^2 + 4}} V_{DD} \quad (2.43)$$

Por otro lado la ecuación de este voltaje no senoidal puede encontrarse de la fórmula de Fourier:

$$|V_L| = \frac{1}{\pi} \int_0^{2\pi} v_s(\theta) \cos(\theta + \phi) d\theta \quad (2.44)$$

donde $v_s(\theta)$ está dada por (2.17). Integrando (2.44) se obtiene:

$$|V_L| = V_{DD} \frac{1 - \frac{\pi^2}{2} + 2 \cos^2 \phi - \cos 2\phi}{-\pi \sin \phi} \quad (2.45)$$

Igualando las ecuaciones (2.43) y (2.45), sustituyendo el valor de R dado por (2.33) y utilizando las relaciones trigonométricas dadas por (2.14) y (2.15), se obtiene:

$$L_x = \frac{\pi V_{DD}^2 (\pi^2 - 4)}{2\omega P_{out} (\pi^2 + 4)} \quad (2.46)$$

2.4.2 Red de carga con líneas de transmisión

Conforme se opera a mayores frecuencias, todas las inductancias en los circuitos de acoplamiento son remplazadas por líneas de transmisión para minimizar pérdidas de potencia. Así pues, el circuito de acoplo puede estar compuesto por cualquier tipo de líneas de transmisión incluyendo stubs de circuito abierto o circuito cerrado para brindar el acoplamiento adecuado y condiciones de supresión de armónicos. La sección anterior presentó el diseño de una red de carga para una configuración serie de la red de filtrado, ésta es difícil de implementar con líneas de transmisión debido a la capacitancia serie del filtro [5]. Por esta razón la implementación del amplificador debe hacerse con un filtro L serie - C paralelo cuya respuesta sea idéntica a la configuración C paralelo (figura 2-4) y se asume que tanto el inductor de choque y el capacitor de bloqueo de DC no tienen efecto en la respuesta del circuito a la frecuencia de operación.

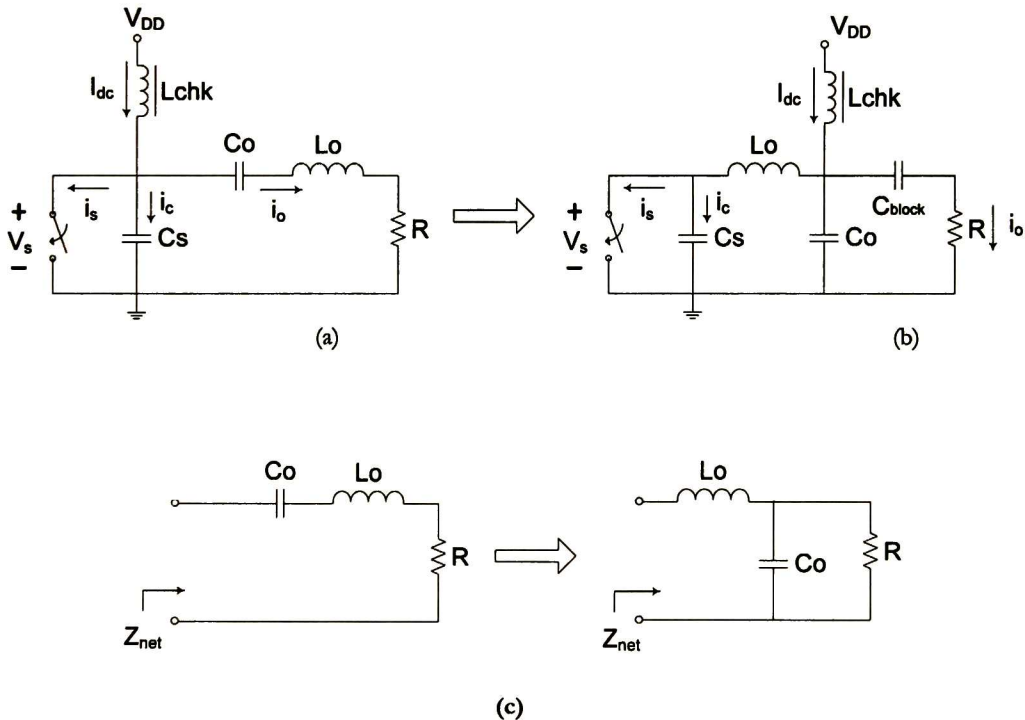


Figura 2-4. (a) Configuración C paralelo (b) Configuración L serie - C paralelo
(c) Impedancia de la red

Para obtener la misma respuesta que la configuración serie, la impedancia de ambas redes debe ser la misma. La impedancia de la red obedece a la relación corriente-voltaje de la red, la componente de la corriente en la carga es conocida, sin embargo falta por determinar la componente de voltaje, la cual se puede determinar usando series de Fourier. Así pues, la impedancia de la red esta dada por:

$$Z_{net} = \frac{V_{net}}{I_{net}} e^{j(\varphi_m - \varphi)} \quad (2.47)$$

de la red serie se sabe:

$$I_{net} = I_o \text{sen}(\theta + \varphi) \quad (2.48)$$

mientras que el voltaje de la red se encuentra dado por:

$$V_{net} = I_m \text{sen}(\theta + \varphi_m) \quad (2.49)$$

donde:

$$I_m = 2|K|I_{dc} = \left(\frac{1}{\omega C_s} \sqrt{\frac{\pi^2}{16} + \frac{4}{\pi^2} - \frac{3}{4}} \right) I_{dc} \quad (2.50)$$

$$\varphi_m = \frac{\pi}{2} + \arctan\left(\frac{2\pi}{8 - \pi^2}\right) \quad (2.51)$$

$$K = \frac{1}{\omega T_s} \int_{\pi}^{2\pi} v_s(\theta) e^{-j\theta} d\theta \quad (2.52)$$

asi pues, la impedancia de la red queda definida por:

$$Z_{net} = \frac{I_m}{I_o} e^{j(\varphi_m - \varphi)} \quad (2.53)$$

conociendo la impedancia de la red se impone que ésta sea igual a la impedancia de la configuración serie-paralelo para así lograr que la impedancia de esta red sea igual a la respuesta de la red LC serie:

$$j\omega L + \frac{R}{1 + j\omega RC} = Z_{net} \quad (2.54)$$

al igualar las partes reales y las imaginarias se resuelve el sistema de ecuaciones resultante para L y C:

$$L = \frac{k_o}{\omega^2 C_s} \left(\text{sen } \theta_o + \cos \theta_o \sqrt{\frac{\omega RC_s}{k_o \cos \theta_o} - 1} \right) \quad (2.55)$$

$$C = \frac{1}{\omega R} \sqrt{\frac{\omega RC_s}{k_o \cos \theta_o} - 1} \quad (2.56)$$

donde:

$$k_o = \omega C_s \frac{I_o}{I_m} \quad (2.57)$$

$$\theta_o = \varphi_m - \varphi \quad (2.58)$$

Red Distribuida

Una línea de transmisión del tipo microstrip involucra la inductancia asociada con el flujo de corriente en el conductor y la capacitancia asociada con la tira de metal separada del plano de tierra por el substrato dieléctrico. Esta inductancia y capacitancia distribuida sirve como base del modelo L-C para una línea de transmisión. Si la línea es delgada la inductancia se incrementa pero la capacitancia disminuye y viceversa.

Una vez conocidos los valores de los elementos de la red LC serie-paralelo, la red distribuida se calcula haciendo uso de la impedancia que presenta una línea de transmisión con terminación resistiva (Figura 2-5):

$$Z_s = Z_o \frac{Z_L - jZ_o \tan \theta}{Z_o - jZ_L \tan \theta} \quad (2.59)$$

donde

Z_o : Impedancia característica

Z_L : Impedancia de la carga

θ : Longitud eléctrica

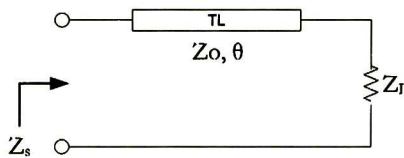


Figura 2-5. Línea de transmisión con terminación resistiva

Considerando que la red LC serie-paralelo puede verse como una línea de transmisión terminada en una carga resistiva-capacitiva (Figura 2-6) se puede calcular la admitancia característica y su longitud eléctrica haciendo uso de una expresión análoga a (2.59) pero igualándola a la admitancia de la red del amplificador:

$$Y_{net} = \frac{G + j\omega C + jY_1 \tan \theta_1}{Y_1 - \omega C \tan \theta_1 + jG \tan \theta_1} \quad (2.60)$$

donde:

$$Y_{net} = \frac{I_o}{I_m} e^{j(\varphi - \varphi_m)} \quad (2.61)$$

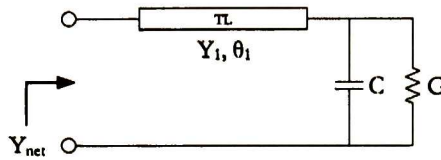


Figura 2-6. Red LC serie-paralelo con L como línea de transmisión

Igualando las partes reales e imaginarias de la ecuación (2.60) se obtiene un sistema no-lineal de ecuaciones cuya solución resuelve las incógnitas C y θ_1 , este sistema se puede resolver numéricamente tomando como una buena aproximación inicial $C=C_s$ y $\tan\theta_1=1$. Debido a que la línea de transmisión debe presentar un comportamiento inductivo a la frecuencia de operación, su longitud eléctrica deberá estar entre 0° y 90° , escogiendo una longitud inicial de 45° corresponde a que $\tan\theta_1=1$.

Una vez calculada la línea de transmisión descrita por Y_1 , θ_1 y la capacitancia C , se puede calcular la línea de transmisión que se comportará como el capacitor C a la frecuencia de operación utilizando un stub abierto [13][14]:

$$\frac{1}{\omega C} = Z_o \cot \theta \quad (2.62)$$

La red de carga con líneas de transmisión se muestra en la Figura 2-7, la polarización se realiza con un bloque llamado Bias Tee y comúnmente se utiliza un dispositivo comercial con una impedancia característica específica. Es común, al trabajar con líneas de transmisión, utilizar impedancias de 50Ω , así que si el diseño del amplificador se hace para una carga de 50Ω , la impedancia característica del bloque de polarización será también de esa magnitud.

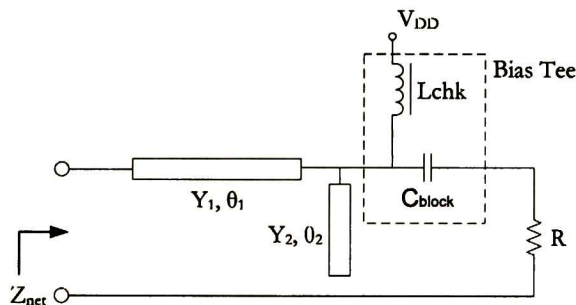


Figura 2-7. Red de carga con líneas de transmisión

Las fórmulas de diseño que se han presentado aquí dan una aproximación de primer orden al acoplamiento con el transistor en RF para máxima eficiencia. En el capítulo 6 se presentarán las simulaciones que validan la teoría presentada en este capítulo.

Capítulo 3

Transistor de Potencia

En este capítulo se analizará la estructura de un transistor de potencia y se plantea una metodología para su implementación en tecnología CMOS estándar de bajo voltaje.

3.1 Introducción

Básicamente existen dos maneras de implementar transistores de alto voltaje. La más directa, pero usualmente la menos barata, es usar una tecnología CMOS que ofrezca una opción de High Voltaje HV (con dispositivos HV DMOS) con el respectivo costo de una o dos máscaras adicionales y pasos de implantación iónica extra. Mientras esta solución optimiza en eficiencia de área, presenta un incremento en costo significativo.

Una solución más original, llamada SVX (Smart Voltage eXtension) [12], consiste en crear dispositivos de alto voltaje en una tecnología CMOS estándar sin necesidad de ningún cambio en el proceso o adición. En esta opción, las capas tecnológicas son combinadas de una manera inusual usando reglas de layout especiales para crear dispositivos de alto voltaje cuyo voltaje de ruptura es usualmente diez veces más grande que el comúnmente soportado por la tecnología.

3.2 Estructura

La estructura del transistor CMOS-N de alto voltaje se muestra en la Figura 3-1, en donde la sección transversal incluye una placa ligeramente dopada como extensión del drenaje. En realidad, esta placa no está presente en la tecnología CMOS estándar, sin embargo es posible añadirla haciendo uso de la capa *N-Well*, originalmente usada para crear transistores de canal p. El uso de esta capa para crear la extensión del drenador implica que no se respeten las reglas de layout convencionales ya que no existe la distancia mínima establecida entre la capa *N-Well* y la capa *Active*, normalmente usada para definir las áreas de drenaje y fuente.

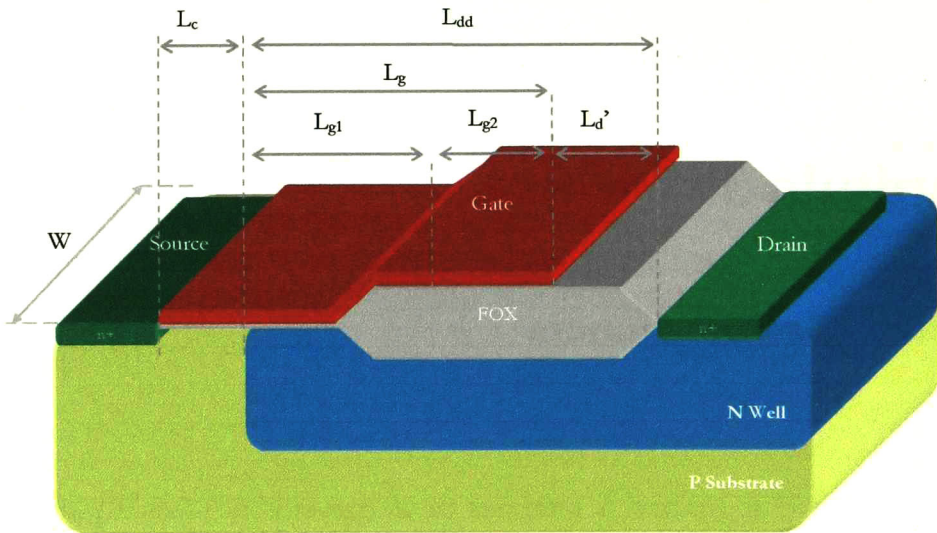


Figura 3-1. Transistor de potencia

Para crear la capa de óxido de campo (*FOX*) de nuevo se hace un uso diferente de las capas estándar, esta vez se trata de la ausencia de la capa *Active* en las regiones L_{g2} y $L_{d'}$.

3.3 Implementación

Considerando las etapas de un proceso de fabricación estándar, es posible disponer de una capa tipo-n ligeramente dopada, el implante *N-Well* resulta muy conveniente para implementar este tipo de capas, puesto que la profundidad y la concentración de dopado es parecida a la capa epitaxial usada por los dispositivos laterales DMOS. Por lo tanto, la capa del drenador ligeramente dopada de un transistor HVN MOS puede ser definida por el diseñador

simplemente al dibujar las máscaras del circuito. Por lo anterior resulta obvio que las reglas de diseño no serán respetadas.

Así pues, lo primero que se realiza en el proceso de fabricación es la implantación de la capa de drenaje ligeramente dopada (Figura 3-2) cuya ventana de implantación es definida por la máscara correspondiente a la región *N-Well*, para posteriormente pasar a una fase de difusión a alta temperatura. La difusión lateral de la capa *N-Well* debe ser tomada en cuenta cuando se diseñe el drenaje del transistor HVNMOS, de otra manera la longitud de canal efectiva será severamente reducida.

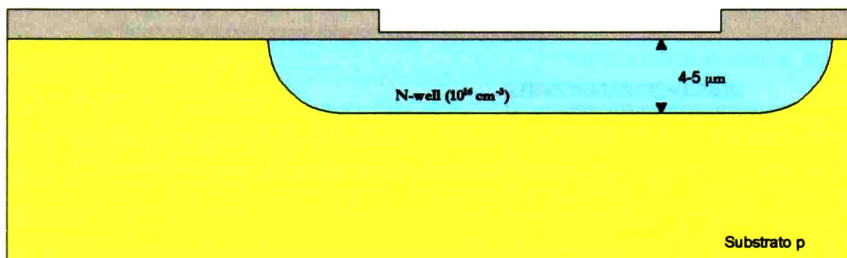


Figura 3-2. Implementación del drenaje ligeramente dopado

Posteriormente se deposita una capa de nitruro (Si_3N_4) sobre una capa de óxido fino (Figura 3-3) y las áreas activas están delimitadas por las máscaras correspondientes y darán lugar a las regiones de source, channel y drain. El nitruro es removido de esas regiones y los siguientes pasos consisten en definir las máscaras de dopado y la implantación de las capas aislantes. Se debe notar que las capas de nitruro cubren parte del drenaje ligeramente dopado debido a la difusión lateral del *N-Well*.

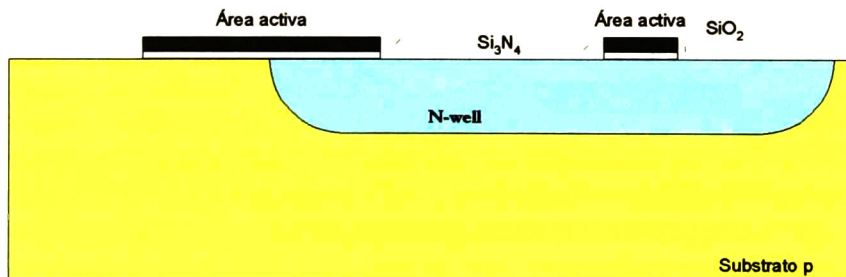


Figura 3-3. Definición de áreas activas

El siguiente paso consiste en remover el fotoresist fuera de la máscara “field doped”. Puesto que la máscara “field doped” es derivada de la máscara de N-Well más un extra de $1.5\mu\text{m}$, el fotoresist es retirado por fuera de la región de la ventana de implante del N-Well $1.5\mu\text{m}$ de cada lado. Después de que el fotoresist es retirado, los implantes “p-TUB” y “channel stop” son implementados. La forma resultante en las extremidades de de la capa N-Well se muestra en la

Figura 3-4. En realidad la capa N-Well no está grabada, sino que es en sí una unión metalúrgica entre los implantes de “p-TUB/channel stop” y la capa N-Well.

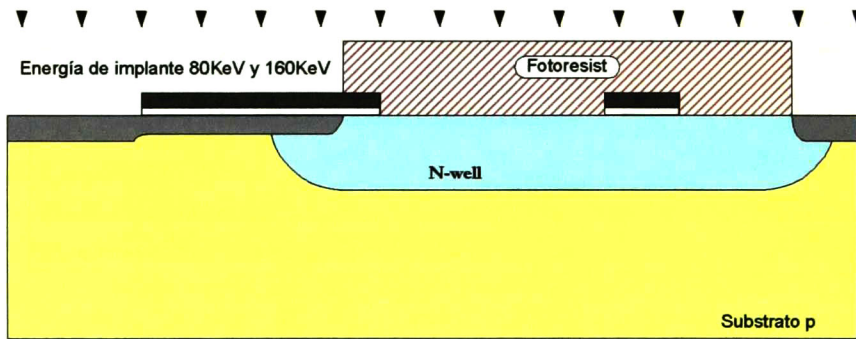


Figura 3-4. Implantes P-Tub y Channel stop

Debido a que el crecimiento del óxido de campo es realizado a altas temperaturas, las capas “p-Tub” y “channel-stop” se difunden cerca de $1\mu\text{m}$, lo anterior conlleva a que la capa N-Well se grave a profundidades de $1-2\mu\text{m}$. En consecuencia, la unión resultante del drenador ligeramente dopado al final del canal exhibe un pequeño radio de curvatura y se extiende lateralmente debajo del canal. Por lo tanto una alta concentración de líneas de campo se debe esperar en este lugar, y un límite inferior de la longitud mínima posible debe ser especificado.

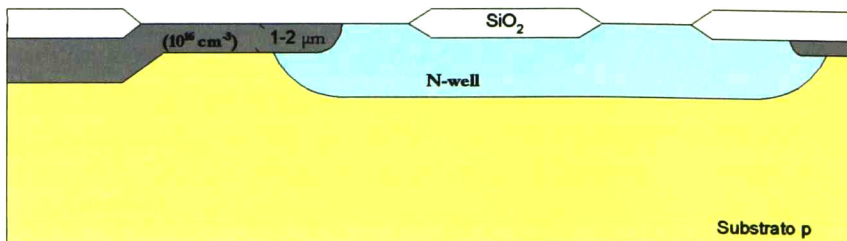


Figura 3-5. Field-oxide groth (LOCOS)

Después de remover la capa de nitruro, el óxido fino de compuerta de 400\AA es crecido y el implante de ajuste del V_t es realizado. Puesto que el nivel de energía de este implante es muy bajo (40keV), penetra solo a través de la capa de oxido delgada. Como una consecuencia, se realiza un grabado adicional de la capa de *N-Well* debajo del “pico de pájaro” del óxido de campo, como se muestra en la Figura 3-6. El grabado es realizado a una profundidad cercana a $0.4\mu\text{m}$. Después del implante de ajuste del V_t , una capa de polisilicio es depositada y dopada.

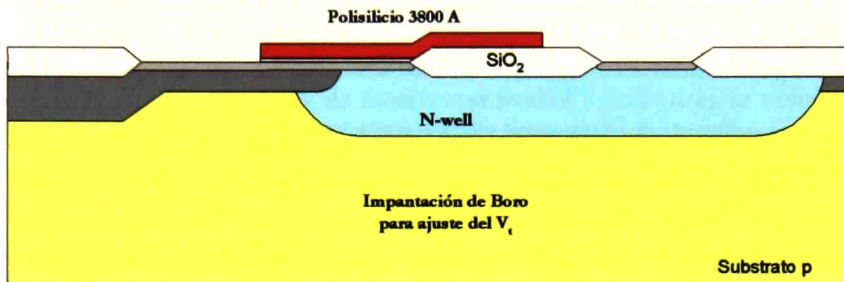


Figura 3-6. Depósito del polisilicio y crecimiento del óxido

Después del grabado de la capa de polisilicio el óxido de compuerta también es grabado fuera del área de la compuerta. Posteriormente se crece un óxido espaciador de 250\AA y los contactos n^+ del drenador y fuente son implantados (Figura 3-7). La difusión de contacto del drenador (Figura 3-8) es implantada en el N-Well formando el drenador ligeramente dopado. Una vez hecho el implante n^+ , se realiza el implante p^+ para hacer contacto con el sustrato del dispositivo de alto voltaje n-mos resultante.

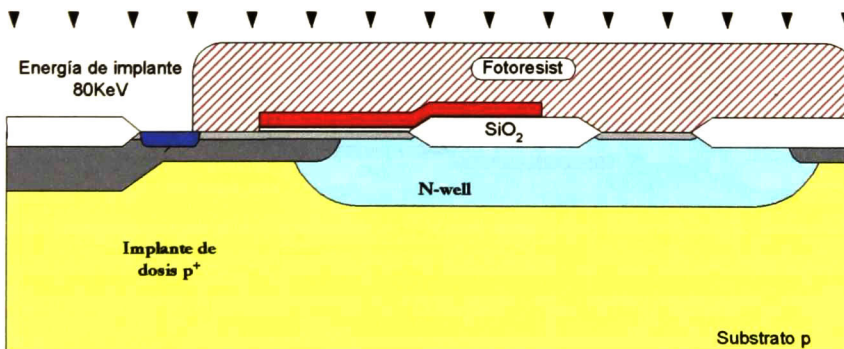


Figura 3-7. Implantes de contacto de Source y Drain

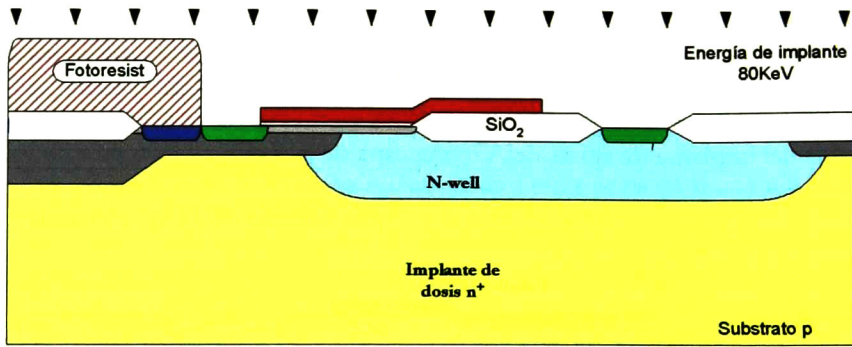


Figura 3-8. Implantes de difusión contacto de Source y Drain

Los pasos restantes, tales como el CVD depósito de SiO_2 , depósito de Metal 1 y la pasivación de la oblea son realizados de la manera habitual para los dispositivos de bajo voltaje (Figura 3-9 y Figura 3-10).

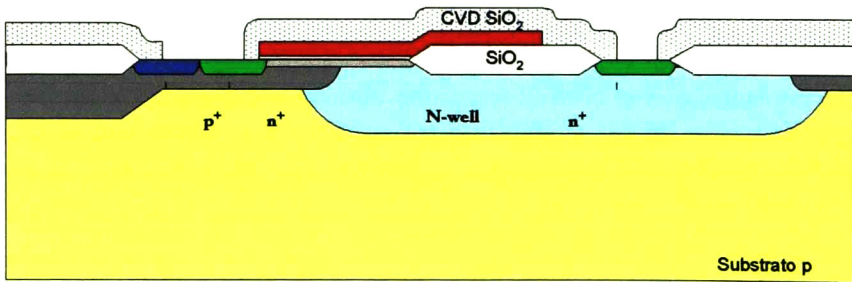


Figura 3-9. CVD

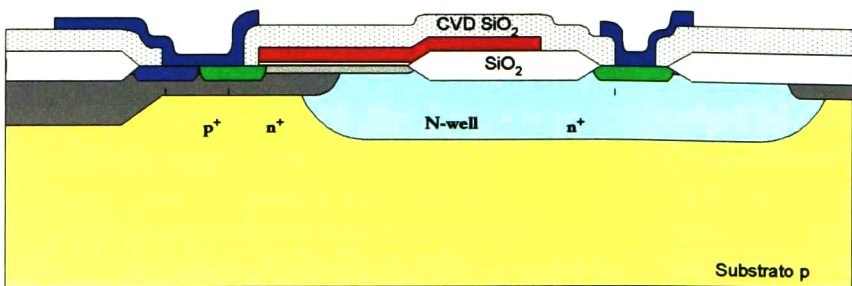


Figura 3-10. SiO_2

3.4 Layout

En el apartado anterior se describió el proceso tecnológico que se sigue al utilizar un proceso estándar para fabricar dispositivos de alto voltaje en una tecnología de bajo voltaje. Haciendo uso de una herramienta de diseño adecuada es posible definir las máscaras que se utilizarán en el proceso de fabricación, en este caso se hace uso de L-Edit como herramienta de diseño para un proceso de fabricación AMIS CF5 (0.5 micras).

El procedimiento de diseño de las máscaras que definen a un transistor de potencia es básicamente el mismo que se utiliza para un transistor de bajo voltaje con básicamente dos diferencias: La primera consiste en el uso de una capa N-Well cuya finalidad es hacer una extensión del drenador con una capa de menor resistividad y así conseguir voltajes de ruptura más altos. La segunda diferencia radica en la necesidad de un óxido de campo en la región de la compuerta cercana al drenador, por tal motivo en el diseño del transistor habrá una ausencia de la capa activa en esta región.

Así pues, el layout de un transistor de potencia (Figura 3-11) podría comenzar por la definición de las áreas activas, definir la región de compuerta con la máscara de poly, definir la extensión del drenaje drenador con la capa N-Well, definir las regiones de implante tipo N (Activo y N select) y por ultimo definir las capas de metalización y contactos. La Figura 3-12 muestra además el corte transversal del transistor de potencia.

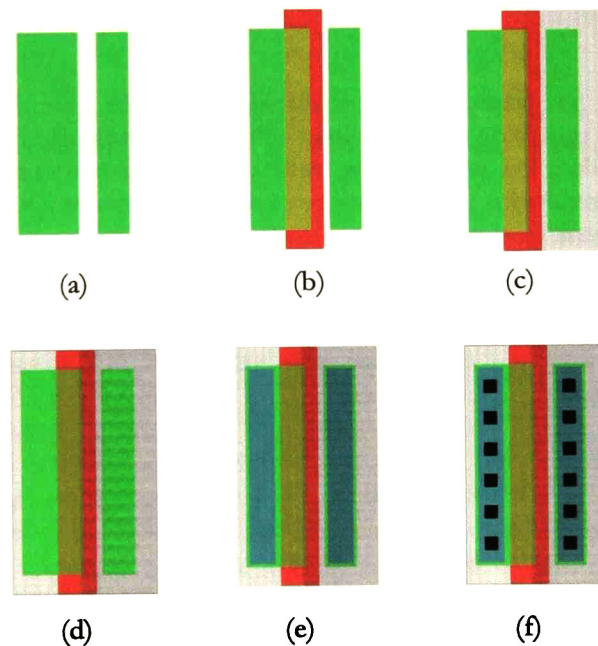
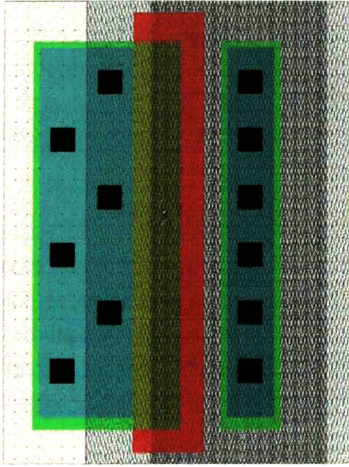
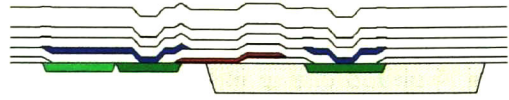


Figura 3-11. Layout

- a) Capa Activa, b) Poly (compuerta), c) Extensión del drenaje
d) Regiones de implante tipo N e) Metalización f) Contactos



a) Transistor completo



b) Corte transversal

Figura 3-12. Transistor de potencia

En este capítulo se ha planteado la metodología sugerida por la literatura para la implementación de un transistor de alto voltaje utilizando tecnología CMOS estándar. En el siguiente capítulo se dan los lineamientos para construir transistores adecuados para la operación en RF. Los resultados de las mediciones de parámetros en DC y S de un transistor de alto voltaje se presentan en el capítulo 5.

Capítulo 4

Diseño, Caracterización y Modelado en RF

En este capítulo se presenta el procedimiento de diseño del layout de transistores, orientado a operar en RF, así mismo, se presenta la mecánica de su caracterización.

4.1 Introducción

Actualmente los procesos CMOS ofrecen la capacidad de implementar dispositivos cuya frecuencia de operación se encuentre en el rango de RF, incluso utilizando procesos CMOS considerados viejos. Así pues, una de las principales tareas para utilizar un proceso CMOS en aplicaciones de RF es definir modelos adecuados tanto para dispositivos activos y pasivos en tecnología CMOS. Lo anterior se debe a que los dispositivos RF CMOS son relativamente nuevos y los modelos proporcionados por las fundidoras son válidos sólo hasta algunos cientos de megahertz. Aunque el modelo BSIM4 ya ha sido lanzado por la Universidad de Berkeley, este modelo es recomendado sólo para dispositivos sub-micrométricos (<100nm) ya que incluye características avanzadas como tomar en cuenta las considerables corrientes de fuga de la compuerta.

Simulaciones de circuitos en RF con los modelos compactos tales como BSIM3v3, MOS model 9, o EKV sin considerar componentes parásitas dan resultados poco precisos o inclusive erróneos. Por lo tanto esos modelos tienen que ser ampliados para poder ser usados

en el diseño de circuitos en RF. Lo mínimo que se puede hacer para mejorar los modelos es añadir resistencias en las terminales del transistor, en la terminal de compuerta principalmente. Sin embargo esto no es suficiente. Conforme se incrementa la frecuencia, la señal se acopla al sustrato lo que conduce a añadir resistencias en el sustrato para tomar en cuenta este efecto. También se tienen que considerar los efectos *non-quasi-static* (NQS) por lo menos para los dispositivos más lentos de canal tipo p y/o para aquellas longitudes de canal que no sean mínimas.

4.2 Diseño de transistores de RF

Aunque exista un buen modelo para conocer la respuesta de un transistor MOSFET en RF existe el problema de que el diseñador tiene la completa libertad de implementar el layout del transistor sin un criterio de desempeño específico. Lo anterior puede conducir a que las parásitas sean bastante significativas en el desempeño del dispositivo a frecuencias de gigahertz. Desafortunadamente estos elementos parásitos son por lo regular difíciles de predecir en la práctica y por lo tanto difíciles de añadir manualmente durante simulaciones. Por lo tanto un modelo escalable es totalmente deseable si toma en cuenta estos efectos y por ende el layout específico del dispositivo. En BSIM3v3 algunos efectos extrínsecos, como es el caso de la difusión de los implantes que pueden ser expresados en términos de las dimensiones dibujadas en el layout, sin embargo, otros efectos muy significativos, como el caso de los efectos de sustrato y resistencia de compuerta no son considerados y la compensación es llevada a cabo a través de laboriosas técnicas de estimación.

Una importante técnica de layout que usualmente es aplicada para mejorar el layout de transistores grandes de RF consiste en usar una distribución *interdigitada* tal y como se muestra en la Figura 4-1. Al distribuir el total del ancho de la compuerta en varios transistores en paralelo se logra una reducción significativa tanto de la resistencia de compuerta como de los efectos parásitos de la unión. Además es común utilizar contactos a ambos lados de las compuertas con la finalidad de reducir aun más el valor de la resistencia de compuerta al conectar éstas en paralelo. El valor promedio de la resistencia de compuerta está dado por [27][28]:

$$R_g = \frac{W \rho_{poly}}{12N^2L} \quad (4.1)$$

donde ρ_{poly} es la resistividad del polisilicio, W y L son el ancho y largo total de la compuerta y N es el número de dedos en paralelo. En la ecuación 4.1 se puede apreciar que conforme el número de dedos aumenta disminuye el valor de R_g .

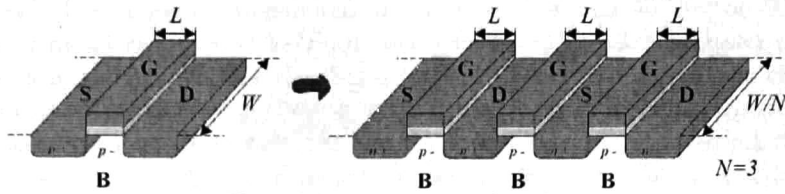


Figura 4-1. Transistor Interdigitado

Sin embargo, una desventaja de dividir un transistor en varias estructuras en paralelo es que (i) la parásita extrínseca entre compuerta y fuente aumenta y (ii) se tendrán más traslapes entre compuerta-drenador y compuerta-fuente (Figura 4-2). Por lo tanto los efectos extrínsecos se incrementan al emplear layouts interdigitados de tal modo que existe un compromiso entre reducción de resistencia de compuerta y los efectos de fringing. Estas cuestiones se vuelven críticas a frecuencias de gigahertz y el desempeño del transistor depende en gran medida del layout cuando es usado en aplicaciones de RF.

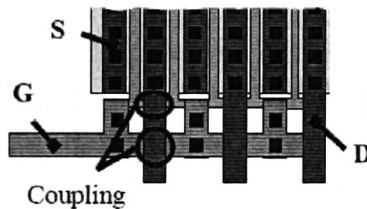


Figura 4-2. Traslapes entre compuerta-drenador y compuerta-fuente

Otro efecto importante en altas frecuencias está asociado con el sustrato bajo el transistor, debido a que las pérdidas asociadas a éste (Figura 4-3) provocan un incremento importante en la conductancia de salida del dispositivo en altas frecuencias. En general, la interacción del sustrato para un proceso en particular es una complicada función del layout del transistor individual incluyendo la colocación de los contactos a sustrato. Usualmente, los contactos a sustrato son colocados cada 3-5 dedos en un layout interdigitado con la intención de hacer al dispositivo menos susceptible al ruido inherente al sustrato. Mediante esta técnica, la resistencia de sustrato a la terminal de tierra más cercana también es reducida sin sacrificar demasiado en la reducción de parásitas que es ganada compartiendo las áreas de difusión de drenador y fuente entre compuertas.

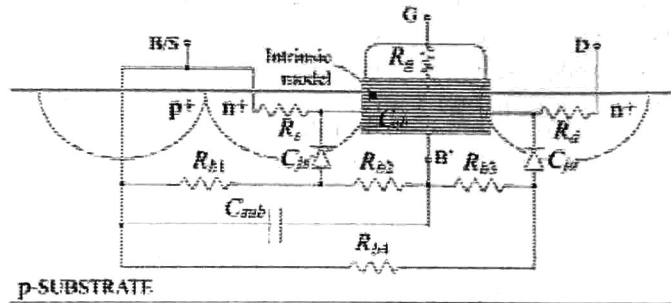


Figura 4-3. Pérdidas en el sustrato

Con lo anterior se observa que el diseñador puede añadir fringing u otros efectos parásitos al modelo, al momento de realizar el layout, los cuales no pueden ser descritos por relaciones simples, entonces una solución es diseñar transistores cuyos efectos intrínsecos y extrínsecos sean escalables. Así pues se tienen dos enfoques para realizar el layout, el primero consiste en centrar la atención en el alto desempeño para lo cual la técnica de layout interdigitado es la indicada ya que al tener un gran número de dedos se reduce en buena medida la resistencia de compuerta, sin embargo, al tener demasiados dedos los efectos extrínsecos asociados a los cruces compuerta-fuente y compuerta-drenador comienzan a tener una importante contribución en la respuesta en RF del transistor. Por lo tanto, la elección del número de dedos debe ser considerada no sólo en función de la reducción de la resistencia de compuerta, sino también tomando en cuenta que el desempeño no sea afectado por efectos extrínsecos. El otro enfoque centra su atención en la consistencia del layout de tal manera que tanto los efectos intrínsecos y extrínsecos sean escalables y con ello conseguir implementar transistores con W muy grande tomando en cuenta en todo momento los efectos parásitos consecuentes. Con este enfoque quizá no se consiga una reducción óptima de la resistencia de compuerta, pero si se podrá obtener niveles muy bajos de la misma además de lograr una mayor confiabilidad del modelo respectivo ya que las parásitas escalan con el tamaño del transistor.

Trabajando con el enfoque de consistencia, para que todos los efectos asociados con el transistor sean escalables es necesario considerar los siguientes aspectos:

- La relación entre los efectos intrínsecos y extrínsecos debe permanecer constante sin importar el valor de W
- Los efectos extrínsecos, incluyendo el fringing debido a traslapes, resistencia de contacto, efectos de sustrato e interconexiones de compuerta deben ser proporcionales a W (efectos paralelos) y a $1/W$ (efectos serie)
- La resistencia debe escalar inversamente con W . Una limitación a esto pueden ser los efectos *non-quasi-static* (NQS) que en su mayoría son apreciables en transistores con W grande o en altas frecuencias

Para cumplir con los aspectos mencionados, el layout requiere que la longitud de cada dedo permanezca constante, así como también que el número de contactos a sustrato entre dedos lo sea. Una manera de lograr esto es implementando un *cluster* de transistores de tal manera que

sirva como celda básica para implementar transistores con una W mayor. La ventaja de realizarlo de este modo radica en el hecho de que para la celda básica o cluster se conocen, o por lo menos se puede estimar, los elementos parásitos asociados a traslapes entre capas de metalización de drenador-fuente y compuerta. Así mismo como el número de contactos a sustrato se realiza cada cierto número mínimo de dedos, la resistencia parásita de sustrato a fuente será pequeña y constante de *cluster* a *cluster* de tal modo que se puede asegurar su escalabilidad.

Utilizando la técnica de layout descrita, primero se realiza un *cluster* en donde la W de cada dedo es de $9.6\mu\text{m}$ y cada *cluster* cuenta con 8 dedos y una $L = 0.75\mu\text{m}$ para el caso del transistor de alto voltaje (Figura 4-5a) y para el caso del transistor de bajo voltaje (Figura 4-5b) una $L = 0.6\mu\text{m}$. Lo anterior se debe a que se desea caracterizar un transistor MOS de alto voltaje y uno de bajo voltaje fabricados en tecnología estándar AMI05 ($0.5\mu\text{m}$) a una frecuencia de operación de 915MHz. Para ello se pretenden realizar pruebas variando la W de cada transistor y con ello estimar las resistencias de compuerta, drenador y fuente para una W mayor (Figura 4-5).

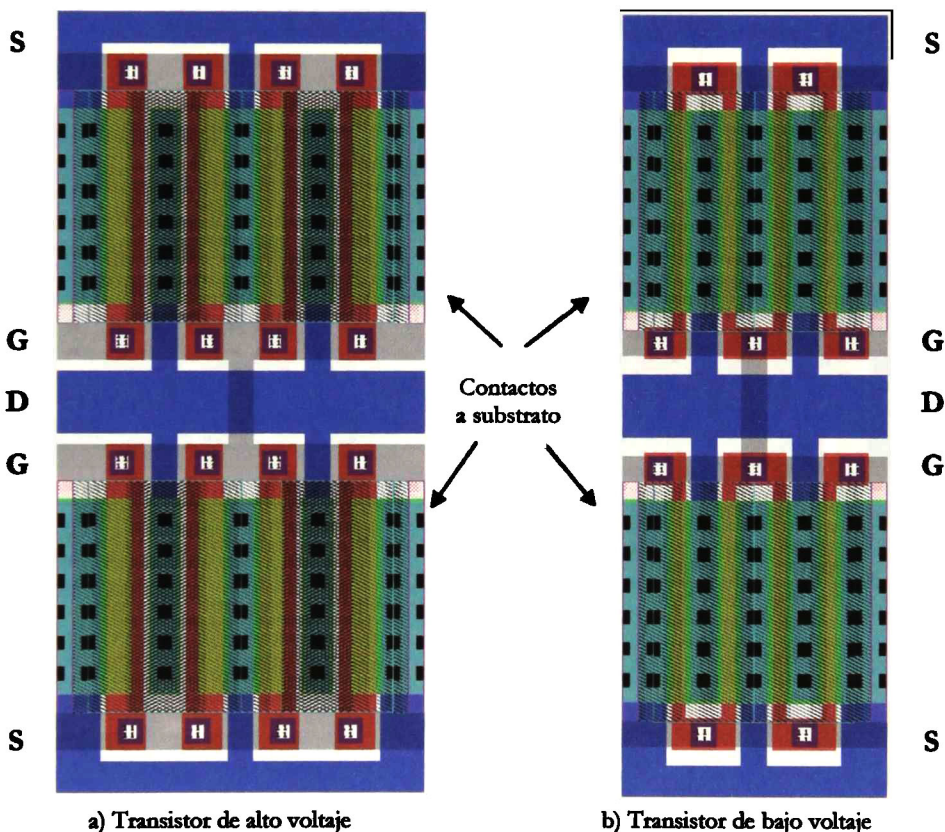


Figura 4-4. Clusters para Layout en RF

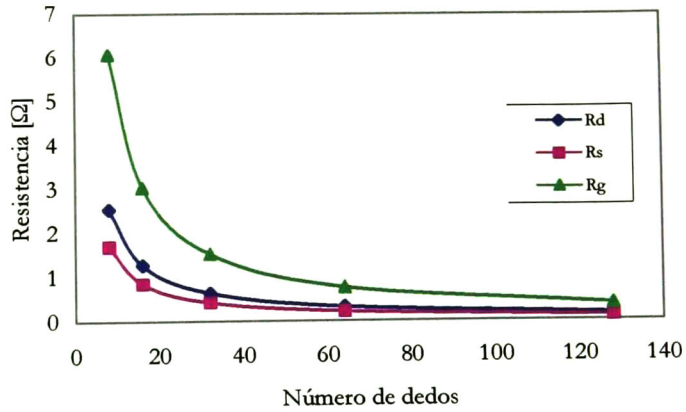
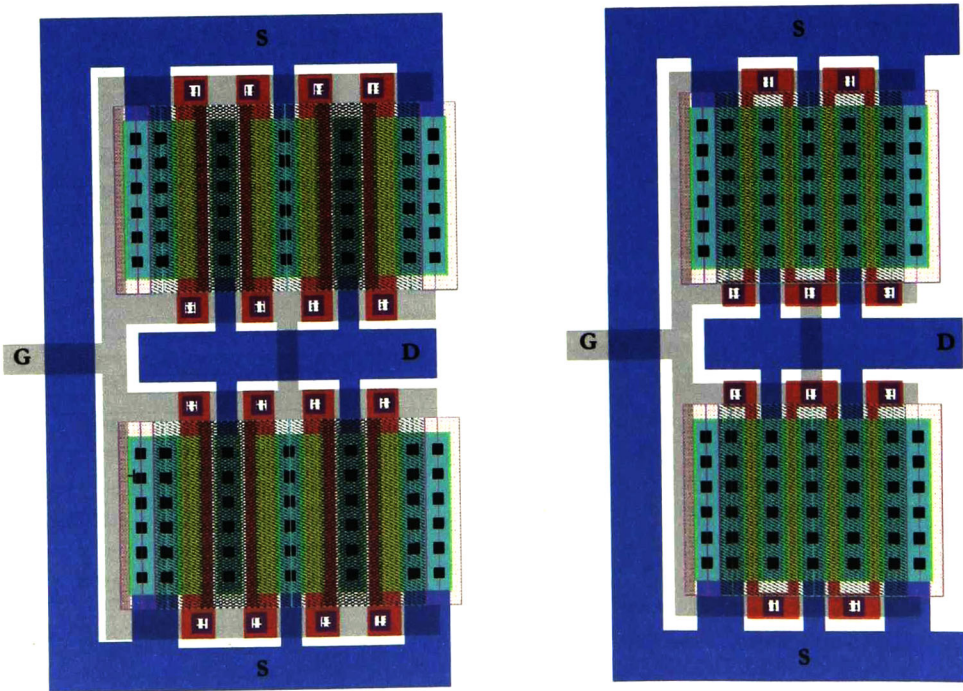


Figura 4-5. Ejemplo de una estimación de Rd, Rs, y Rg

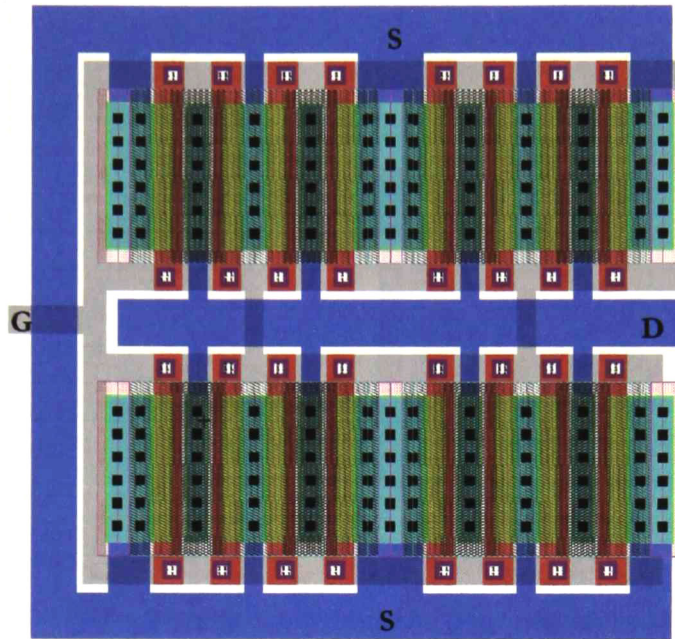
Se realizarán 4 pruebas para cada transistor variando la W desde $76.8\mu\text{m}$ hasta $614\mu\text{m}$. Los layouts de las pruebas se muestran a continuación.



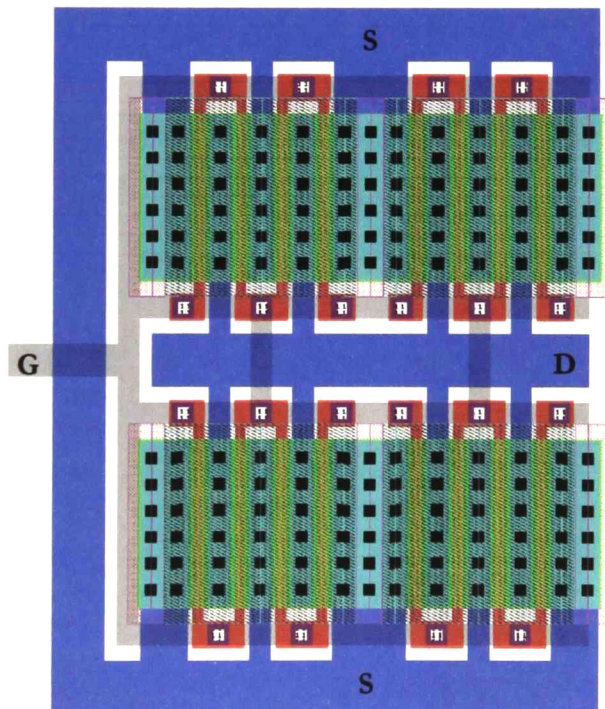
(a) Transistor HV, $W = 76.8\mu\text{m}$

(b) Transistor LV, $W = 76.8\mu\text{m}$

Figura 4-6. Transistores de prueba con 1 cluster

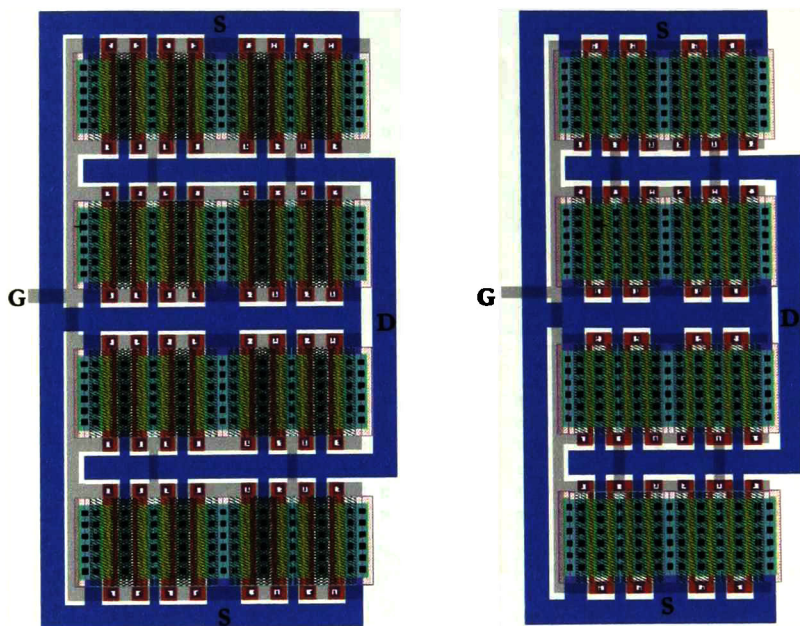


(a) Transistor HV, $W = 153.6\mu\text{m}$



(b) Transistor LV, $W = 153.6\mu\text{m}$

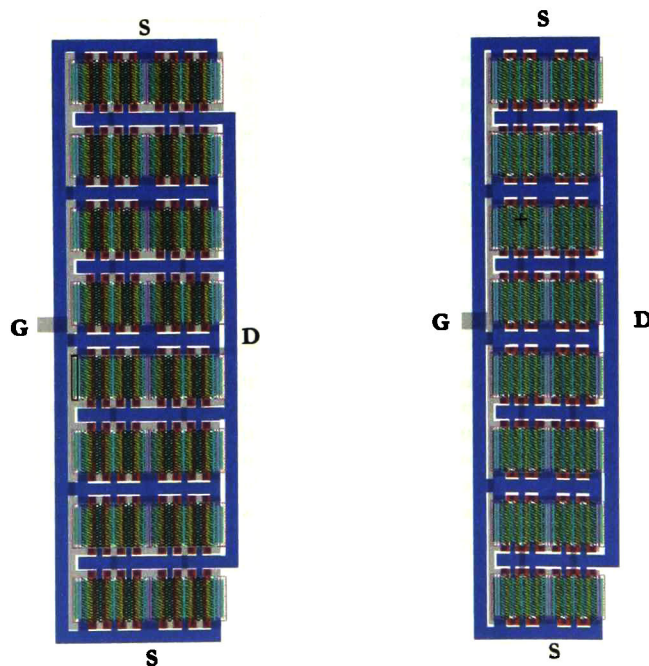
Figura 4-7. Transistores de prueba con 2 clusters



(a) Transistor HV, $W = 307.2\mu\text{m}$

(b) Transistor LV, $W = 307.2\mu\text{m}$

Figura 4-8. Transistores de prueba con 4 clusters



(a) Transistor HV, $W = 614\mu\text{m}$

(b) Transistor LV, $W = 614\mu\text{m}$

Figura 4-9. Transistores de prueba con 8 clusters

4.3 Caracterización del modelo

En el proceso de caracterización de un dispositivo de RF es necesario utilizar plataformas de prueba para acceder a los puertos del dispositivo bajo prueba (DUT), sin embargo la utilización de éstas introduce efectos parásitos en las mediciones, por lo que es necesario diseñar las plataformas a manera de minimizar su influencia en la medición.

Una plataforma de prueba está formada por un conjunto de pads los cuales deben seguir ciertos lineamientos mecánicos y eléctricos según el tipo de puntas de prueba a utilizar. En general, si se quiere realizar la medición de un dispositivo independientemente de los efectos parásitos de los pads, éstos deben de ser pequeños para que sus efectos sean despreciables o fácilmente extraíbles.

Así mismo, los pads también tienen que observar las reglas de diseño propias del proceso de fabricación a utilizar, en este caso se utilizara un proceso CMOS *AMIS SCN3ME_SUBM* (SNC5 0.5 μ m) el cual permite la utilización de tres capas de metalización. En un chip los pads se encuentran normalmente en su periferia, así que el hecho de definir pads dentro de la oblea de silicio viola una regla de diseño para este proceso. Se intentó que la implementación de los pads solamente violara esta regla de diseño.

4.3.1 Pads de Prueba

El layout de los pads debe considerar los siguientes aspectos:

- **Seleccionar el footprint básico.** Para ser consistente con el tipo de entrada/salida se debe elegir entre una configuración *ground-signal-ground* o *ground-signal* dependiendo de las puntas de prueba de RF disponibles.
- **Orientar los pads de señal de alta ganancia.** Los pads de alta ganancia deben estar alejados unos de otros. En los dispositivos de microondas típicos colocan las entradas a la izquierda y las salidas a la derecha con una distancia determinada.
- **Verificar que el espaciado entre pads coincide con el espaciado de las puntas de prueba disponibles.** Es necesario consultar la hoja de datos específica de las puntas con las que se van a realizar las mediciones ya que éste típicamente puede variar desde 25 μ m hasta 200 μ m.

- Usar al menos un pad de tierra entre los pines de señal. Con esto se logra una reducción del efecto crosstalk

Las puntas de prueba a utilizar es el modelo 50A-GSG-150-LP de Picoprobe. En el modelo se indica que las puntas tienen una configuración *ground-signal-ground* y cuentan con un espaciado de 150 μ m.

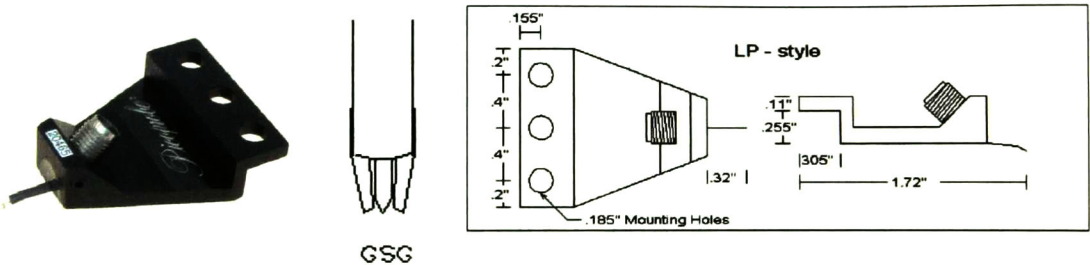


Figura 4-10. Puntas de Prueba modelo 50A-GSG-150-LP

Para no violar reglas de diseño del proceso de fabricación se propone abrir la ventana de pasivación sobre metal 3 e interconectar el metal 3 con metal 1 por medio de la capa de metal 2 y haciendo uso de contactos (vía 1 y vía 2) en los bordes del pad para evitar rugosidades en la mayor parte del pad. En la siguiente figura se muestra una sección transversal de cómo está conformado un pad.

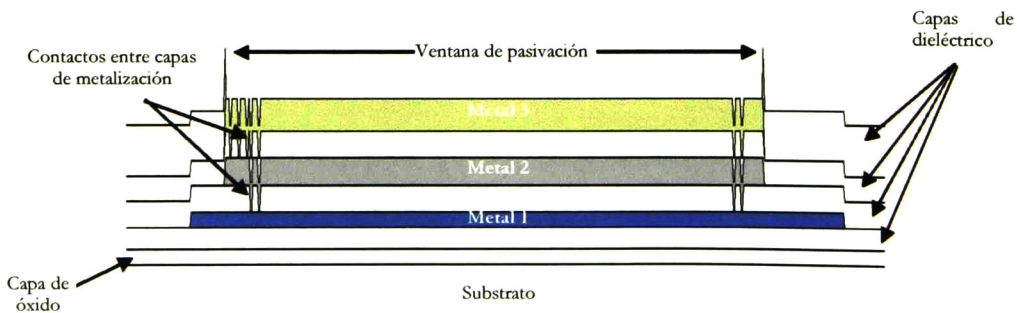


Figura 4-11. Implementación de pad

Esta implementación de pad solo viola una regla de diseño, la que indica que no se puede abrir ventanas de pasivación dentro la superficie de la oblea, lo anterior obedece a que normalmente los pads se encuentran en las orillas del chip y no dentro, por lo que se puede omitir esta regla sin mayor problema.

4.3.2 Plataforma de prueba

Una vez definida la implementación de un pad individual, se procede a diseñar la plataforma de prueba, la cual consta de seis pads. Según las recomendaciones de la hoja de datos de las puntas [33]-[34], los pads deben tener dimensiones mínimas de $100\mu\text{m}$ por lado y un espaciado mínimo entre centros de $150\mu\text{m}$. La plataforma de prueba se muestra en la siguiente figura:

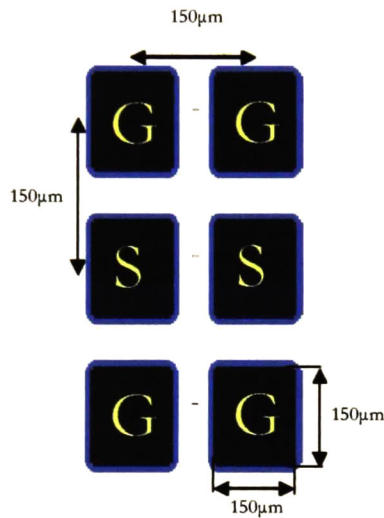


Figura 4-12. Plataforma de prueba

Para realizar la caracterización del DUT se diseñan tres estructuras de plataforma de prueba, estas estructuras son Pads, Open y Short y se muestran en la siguiente figura:

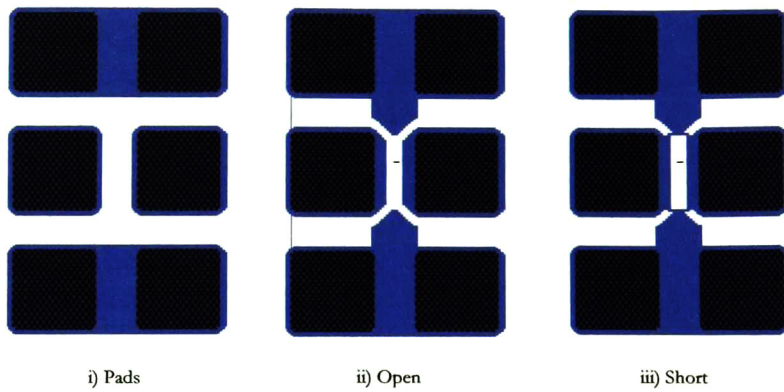


Figura 4-13. Configuraciones para realizar la desincrustación de parámetros

Una vez diseñadas las estructuras que conforman la plataforma de pruebas se procedió a implementar las plataformas de pruebas para los transistores de bajo voltaje así como también para los transistores de alto voltaje. Las plataformas se muestran a continuación:

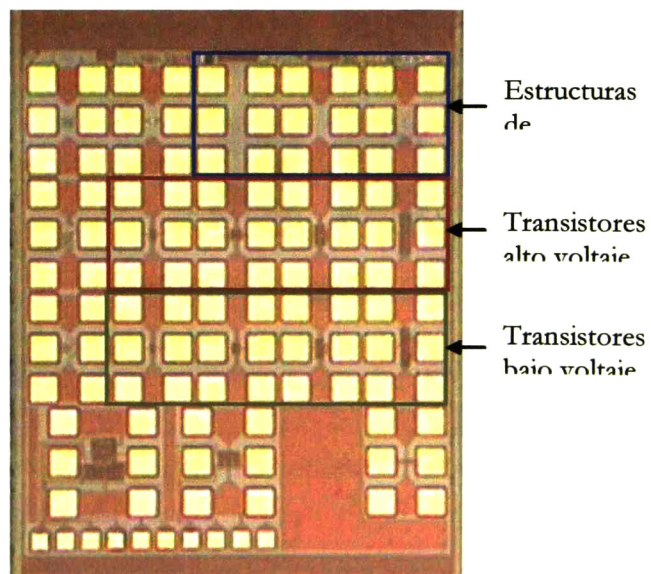


Figura 4-14. Oblea de silicio con las estructuras de caracterización de los transistores

4.4.3 Desincrustación

La desincrustación se refiere al hecho de “desincrustar” el transistor o DUT de las plataformas de pruebas asociadas con el objetivo de conocer las características eléctricas del dispositivo en cuestión sin el efecto de los elementos parásitos asociados al encapsulado del dispositivo.

Las plataformas representan componentes parásitas asociadas a las mediciones, que impiden la interpretación directa de los datos experimentales, por lo menos en rangos de frecuencias mayores a unos cuantos gigahertz. Por lo anterior, es deseable eliminar el efecto de las plataformas de prueba para poder realizar modelos cuya validez se establezca en un amplio rango de frecuencias.

Existen varias técnicas para determinar la influencia de las estructuras de prueba, todas basadas en la fabricación de estructuras adicionales en el mismo chip. La mayoría de esas técnicas usan tres estructuras y las más recientes dos.

Así pues, el proceso de desincrustación tiene como objetivo eliminar el efecto de los pads dentro de la medición. Para ello se propone un modelo eléctrico de los pads y se estima su influencia para después restarla de la medición. En [29] se propone un modelo en el cual se representa el efecto de los pads mediante nueve términos, seis admitancias y tres impedancias, tal y como se muestra en la figura 4-15a. Para estimar el valor de estos parámetros se hace uso de tres estructuras de prueba, Pad, Short y Open, figura 4-13. La medición de parámetros Y sobre la estructura Pad brinda directamente información acerca de las admitancias exteriores Y_i , Y_o y Y_f . Una vez conocidas estas admitancias se mide la estructura Short que contiene información tanto de las admitancias exteriores como de las impedancias serie Z_1 , Z_2 y Z_3 . Como las admitancias exteriores ya son conocidas de la medición de la estructura Pad, a la medición de la estructura Short se le restan las admitancias Y_i , Y_o y Y_f para obtener el valor de las impedancias series. Por último para conocer las admitancias internas se miden los parámetros Y de la estructura Open, la cual contiene la información de los nueve parámetros del modelo, pero como en las mediciones anteriores ya se han determinado los primeros seis, es decir Y_o , Y_i , Y_f , Z_1 , Z_2 y Z_3 , solo basta restar los parámetros conocidos de la medición de la estructura Open para obtener el valor de las admitancias internas Y_1 , Y_2 y Y_3 .

$$Y_{DUT} = \left[(Y_{meas} - Y_{pad})^{-1} - (Y_{sh} - Y_{pad})^{-1} \right]^{-1} - \left[(Y_{op} - Y_{pad})^{-1} - (Y_{sh} - Y_{pad})^{-1} \right]^{-1} \quad (4-1)$$

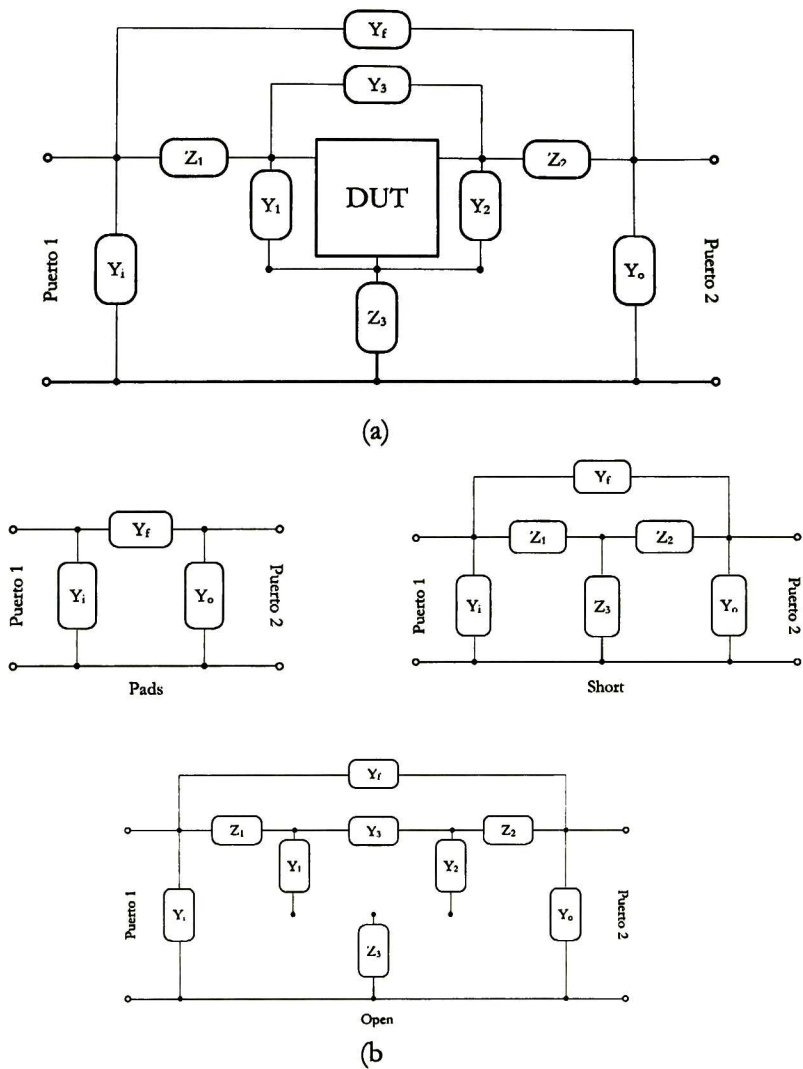


Figura 4-15. (a) Modelo General de los Pads

(b) Circuitos equivalentes de las estructuras Pad, Short y Open

El resultado de las mediciones y del procedimiento de desincrustación se muestra en el siguiente capítulo.

Capítulo 5

Análisis Experimental

En este capítulo se presenta el resultado de las mediciones, se interpretan los resultados y se desarrolla un modelo simple para los transistores de bajo voltaje válido para frecuencias de RF.

5.1 Introducción

Actualmente la implementación de sistemas de RF con tecnología CMOS está en aumento, por lo que es necesario contar con modelos de simulación válidos para altas frecuencias. Aunque ya existen modelos como para RF, como el BSIM4, éstos solo funcionan para tecnologías con longitudes de canal menores a 100nm. Para la tecnología CMOS 0.5 μ m no existen modelos de distribución libre, y los modelos comerciales que existen son muy costosos. Es por eso que en este trabajo se pretende desarrollar un modelo capaz de representar el comportamiento de la tecnología CMOS en el rango de frecuencias cercanas a 1 GHz.

Se realizaron mediciones de parámetros S y en DC de los transistores presentados en el capítulo anterior. Se construyeron cuatro transistores de alto voltaje y cuatro de bajo voltaje. Las metas de la implementación de estos dispositivos son las siguientes:

- Caracterizar la tecnología CMOS 0.5 μ m de bajo voltaje para su uso en frecuencias de aproximadamente 1GHz
- Desarrollar un modelo eléctrico equivalente para utilizarlo a nivel simulación en el desarrollo de sistemas de RF. En esta tesis el modelo será usado para el diseño de un amplificador Clase E a 915 MHz.
- Investigar la factibilidad de implementar un transistor de alto voltaje con la tecnología CMOS estándar para su utilización en la implementación de un amplificador de potencia

Se fabricaron ocho transistores, cuatro de alto voltaje y cuatro de bajo voltaje. Para identificar el tipo y el tamaño de cada transistor se nombrarán a los transistores por “HV” o “LV” seguido por el número de dedos que lo integren. Por ejemplo, el transistor de ocho dedos de bajo voltaje se llama LV8F. En lo sucesivo se hará uso de esta notación.

5.2 Desincrustación

Debido a su reducido tamaño no es posible medir un transistor directamente, es necesario hacer uso de bond-wiring y pads o estructuras de prueba para acceder los puertos del transistor. Desafortunadamente el uso de mecanismos de acceso a los puertos introduce elementos parásitos que en ciertas condiciones alteran la respuesta del dispositivo bajo prueba. Es por ello que es importante tratar de conocer y descartar los elementos parásitos introducidos durante el proceso de medición. Por lo general el efecto de elementos parásitos se hace más evidente conforme aumenta la frecuencia que es cuando las pequeñas inductancias y capacitancias comienzan a tener un efecto relevante.

Se pretende modelar el efecto de las estructuras de prueba siguiendo el método descrito por [29], en donde se asume que las estructuras de prueba presenta una estructura eléctrica tal y como se muestra en la figura 5-1a. Como puede apreciarse, el modelo eléctrico de las estructuras de prueba contempla nueve términos: seis admitancias y tres impedancias.

La determinación de los nueve parámetros asociados con el circuito de la figura 5-1(a) se realiza usando las mediciones de parámetros S de las estructuras Pad, Short y Open y convirtiéndolas a parámetros Y y Z según sea el caso. El circuito equivalente para la estructura Pad involucra solo tres admitancias, las cuales se pueden ser determinadas a partir de:

$$Y_i = Y_{11\text{pad}} + Y_{12\text{pad}} \quad (5.1)$$

$$Y_o = Y_{22\text{pad}} + Y_{12\text{pad}} \quad (5.2)$$

$$Y_f = -Y_{12\text{pad}} \quad (5.3)$$

Las figuras 5-2 y 5-3 muestran las admitancias medidas para la estructura Pad y las curvas correspondientes a Y_i , Y_o y Y_f .

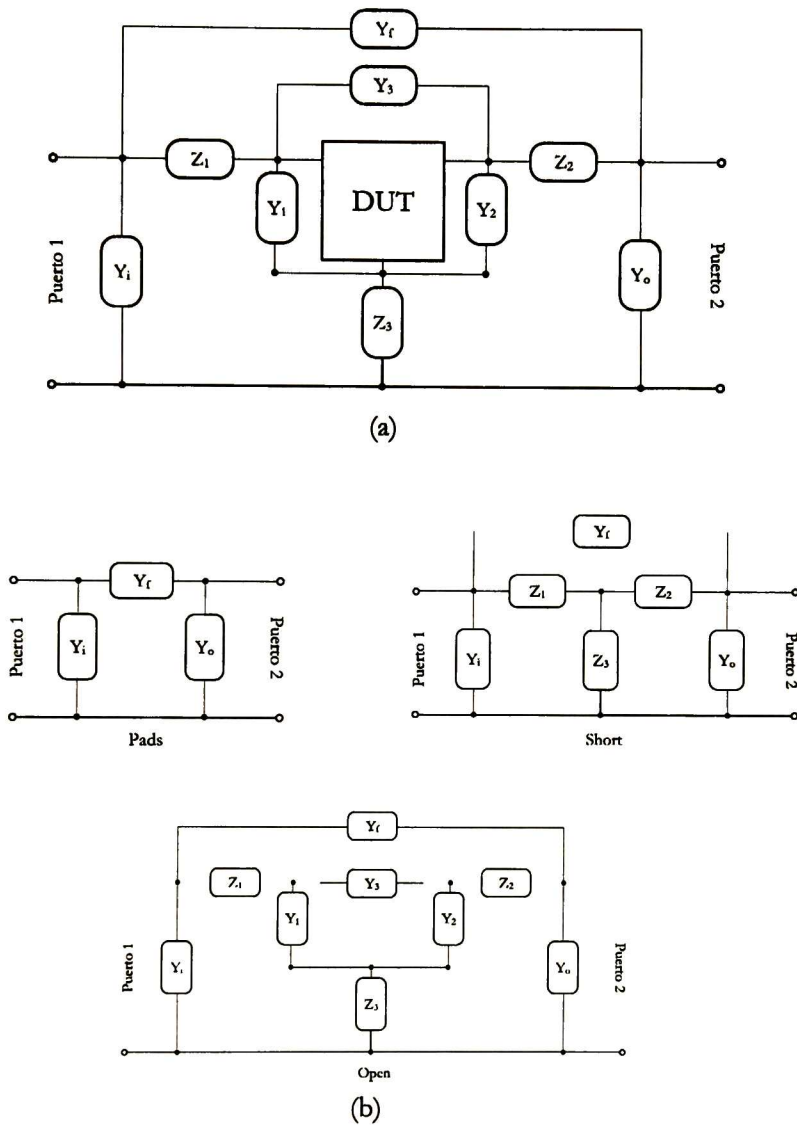


Figura 5-1. (a) Modelo General de los Pads
 (b) Circuitos equivalentes de las estructuras Pad, Short y Open

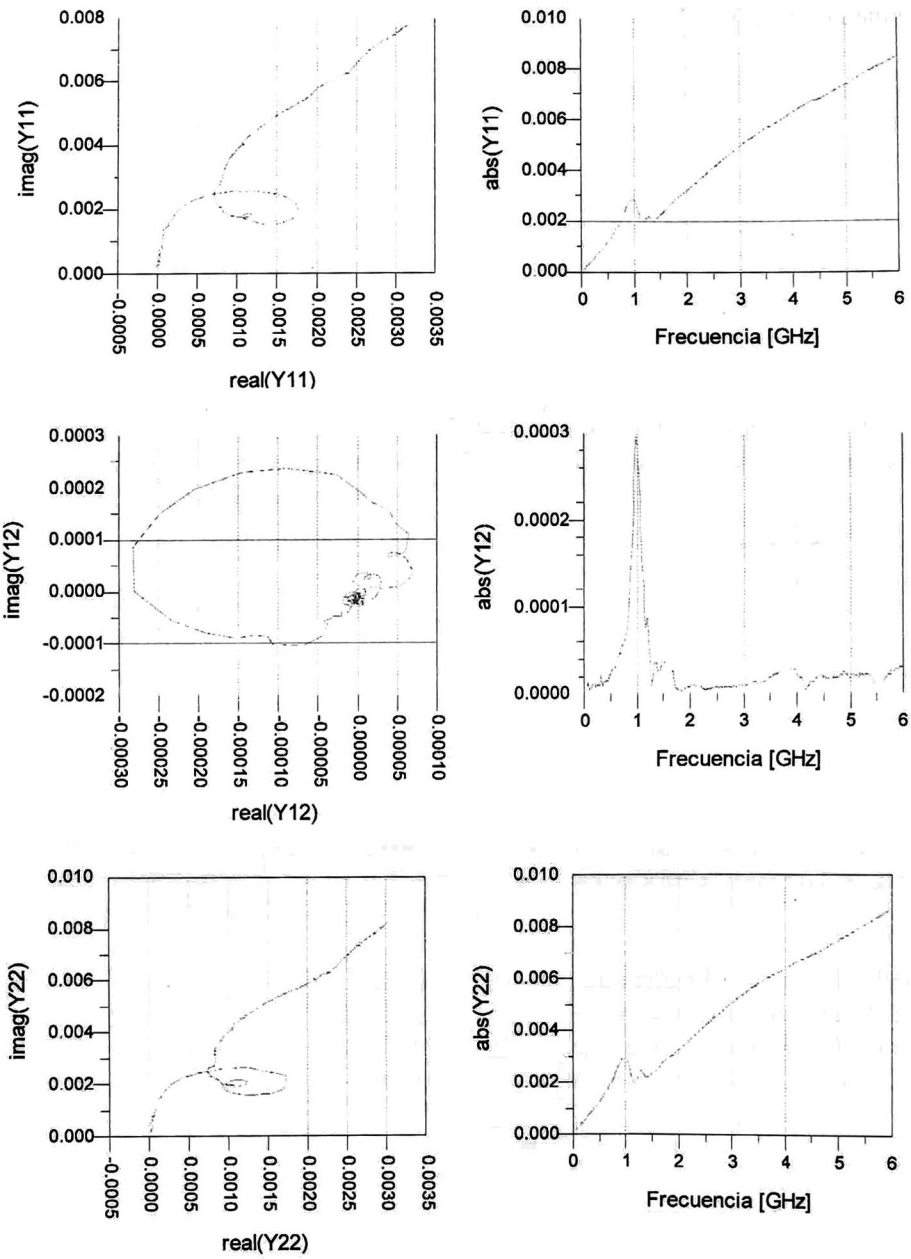


Figura 5-2. Mediciones de parámetros Y de la estructura Pad

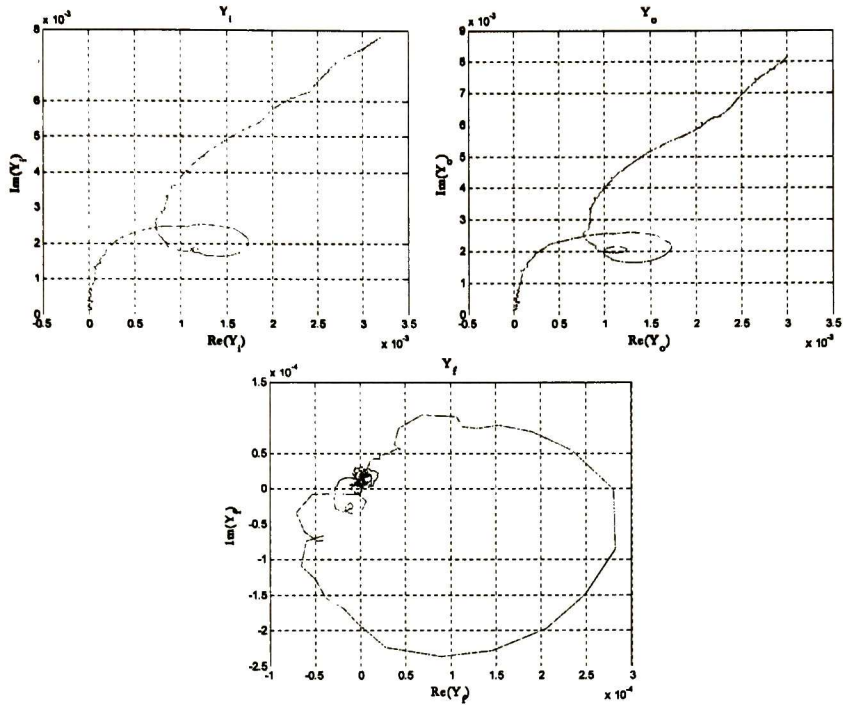


Figura 5-3. Admittancias Y_i , Y_o y Y_f calculadas

Así pues, el efecto de Y_i , Y_o y Y_f puede ser removido de los datos experimentales correspondientes a la estructura Short aplicando la siguiente operación matricial:

$$Z_{sh'} = \begin{bmatrix} Z_{11sh'} & Z_{12sh'} \\ Z_{21sh'} & Z_{22sh'} \end{bmatrix} = (Y_{sh} - Y_{pad})^{-1} \quad (5.4)$$

y las impedancias serie Z_1 , Z_2 y Z_3 son obtenidas a partir de la ec. (5.4):

$$Z_1 = Z_{11sh'} - Z_{12sh'} \quad (5.5)$$

$$Z_2 = Z_{22sh'} - Z_{12sh'} \quad (5.6)$$

$$Z_3 = -Z_{12sh'} \quad (5.7)$$

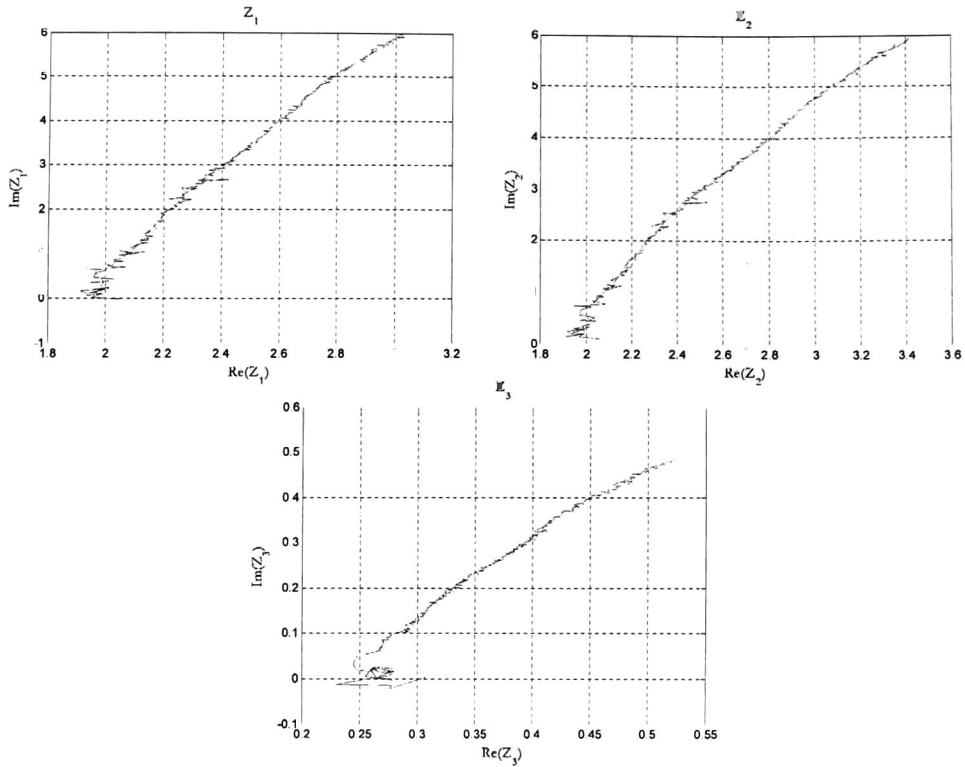


Figura 5-4. Impedancias serie Z_1 , Z_2 y Z_3 calculadas

Finalmente, para determinar las admitancias Y_1 , Y_2 y Y_3 , el efecto de los seis parámetros anteriores debe ser removido de los datos experimentales correspondientes a la matriz de admitancias de la estructura Open. Esto es logrando aplicando:

$$Y_{op'} = \begin{bmatrix} Y_{11op'} & Y_{12op'} \\ Y_{21op'} & Y_{22op'} \end{bmatrix} = \left[\left(Y_{op} - Y_{pad} \right)^{-1} - \left(Y_{sh} - Y_{pad} \right)^{-1} \right]^{-1} \quad (5.8)$$

Entonces, las admitancias paralelo Y_1 , Y_2 y Y_3 , pueden ser determinadas por:

$$Y_1 = Y_{11op'} + Y_{12op'} \quad (5.9)$$

$$Y_2 = Y_{22op'} + Y_{12op'} \quad (5.10)$$

$$Y_3 = -Y_{12op} \quad (5.11)$$

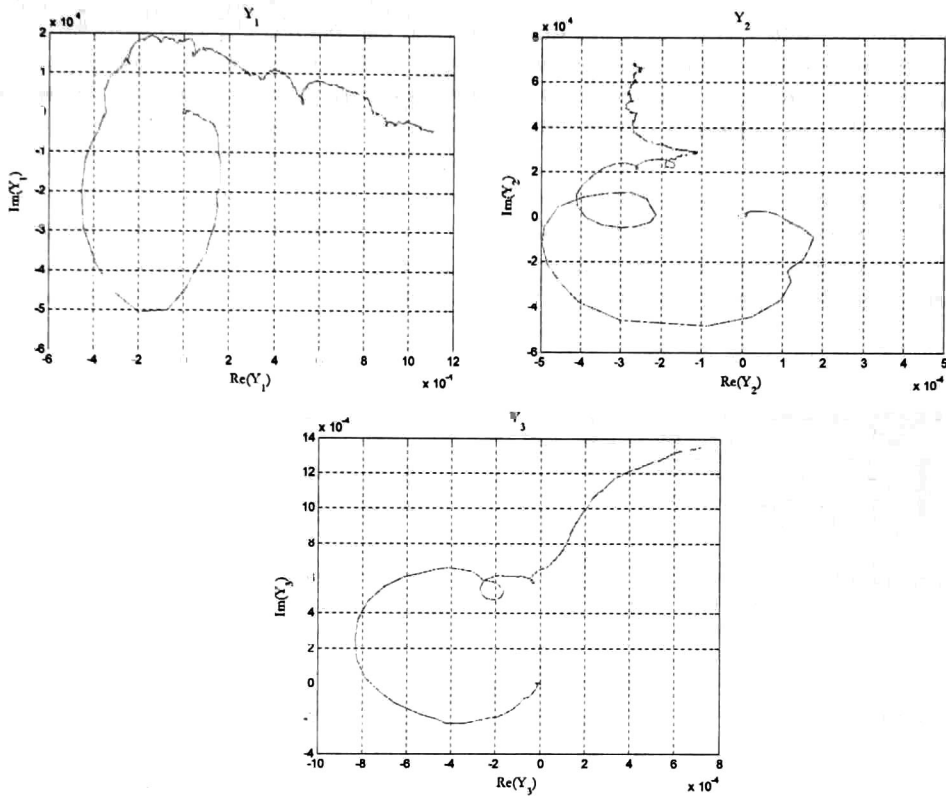


Figura 5-5. Admitancias internas Y_1 , Y_2 y Y_3 calculadas

Se observa que la estructura Pad presenta resonancias a 1GHz aproximadamente lo que hace difícil el proceso de desincrustación. El modelo utilizado [29] y los revisados en la literatura [30]-[35] no contemplan que las estructuras de prueba entren en resonancia, así que no es posible extraer el efecto de los pads, por lo menos para frecuencias mayores a la frecuencia de resonancia. Sin embargo se asume que el efecto de las parásitas no es muy relevante en el rango de frecuencias de medición [21], [29] así que se opta por trabajar con los datos tal cual se midieron. Los datos medidos en DC no presentan este problema.

5.3 Transistores de Alto Voltaje

La medición de características I-V se realizó utilizando un analizador dinámico de I-V (DIVA por sus siglas en inglés). Se utilizó el modo de medición “pulsado” debido a que este método permite polarizar al transistor en un punto específico y a partir de ahí hacer el barrido de polarizaciones de interés, con la ventaja de que al estar cambiando el punto de polarización de manera escalonada y no con una rampa, el transistor no se encuentra sometido a un estrés de voltaje-corriente continuo y de esta manera disipa menos potencia y se reduce el calentamiento del dispositivo.

La Figura 5-6 muestra las características de DC medidas en cada transistor (HV8F – HV64F). Se realizó un barrido de V_{ds} hasta de 22 Volts, para voltajes de compuerta que van desde 0 V hasta 5 V con intervalos de 1 V. El voltaje de ruptura medido se encontró cerca de 23V el cual es más del doble del voltaje de ruptura medido para los transistores CMOS convencionales.

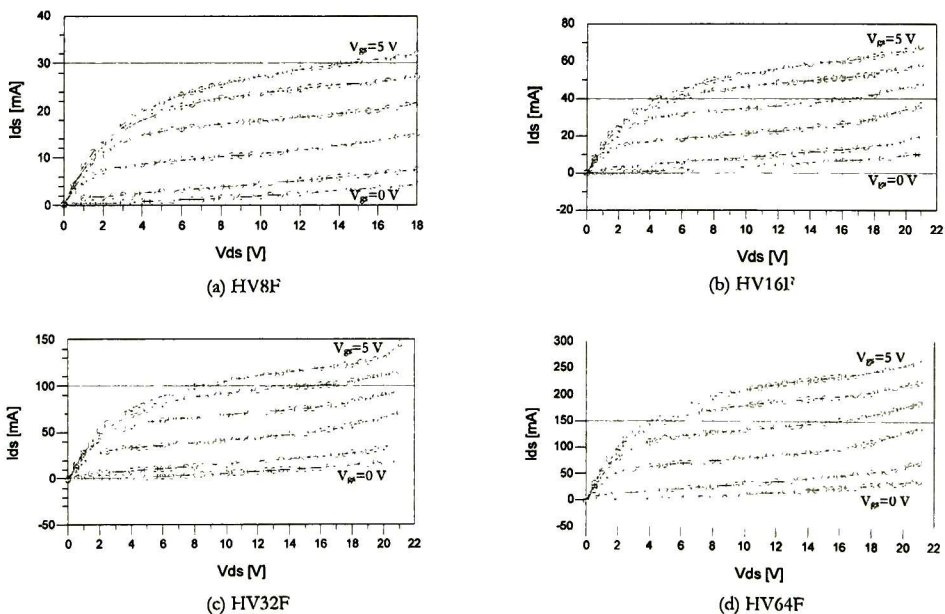


Figura 5-6. Características I-V experimentales de los transistores de alto voltaje

El amplio rango de V_{ds} de este transistor lo hace atractivo para aplicaciones de potencia, con la ventaja de obtener mayor potencia con menor área pero sobretodo mucho menor costo ya que se está utilizando tecnología CMOS estándar.

Se puede observar que la curva de corriente correspondiente a $V_g = 0$ V en cada una de las gráficas es aproximadamente cero para voltajes drenaje-fuente de hasta 4V y que para V_{ds} mayores se presenta una corriente apreciable en el drenaje. Este efecto es indeseable cuando se desea utilizar al transistor como interruptor ya que para un voltaje de compuerta cero idealmente no debería fluir corriente a través del transistor. Por esta razón se descarta el uso y modelado del este transistor de alto voltaje para la implementación de un amplificador Clase E,

sin embargo este transistor podría tener aplicación como dispositivo de amplificación analógica.

5.3 Transistores de Bajo Voltaje

La Figura 5-7 muestra las características medidas, se realizó un barrido de V_{ds} hasta 5 Volts, para voltajes de compuerta que van desde 0 V hasta 5 V con intervalos de 1 V. El voltaje de ruptura medido se encontró cerca de 11V.

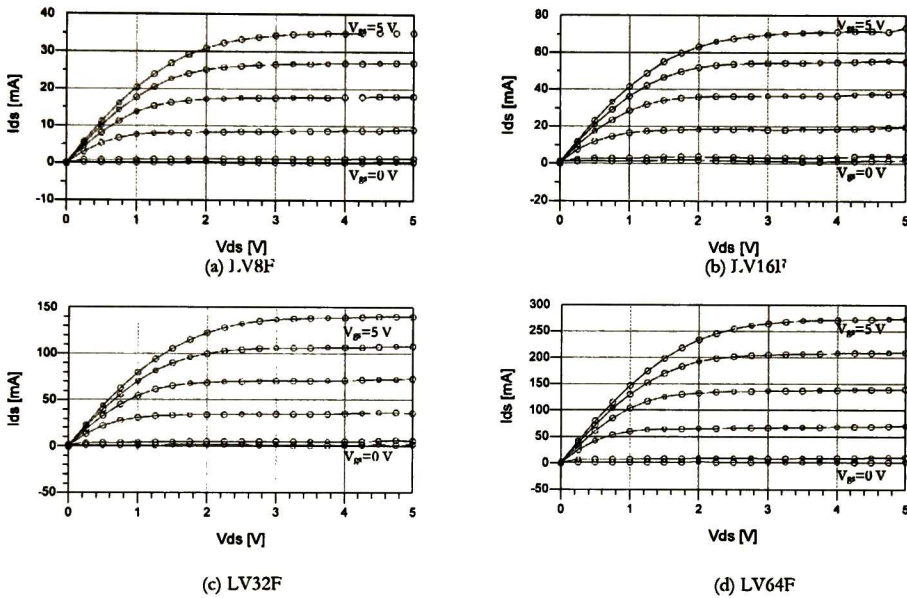


Figura 5-7. Características I-V experimentales de los transistores de bajo voltaje

La caracterización en frecuencia se llevó a cabo utilizando un analizador de redes HP8510C (45MHz -50 GHz), se realizo un barrido desde 50MHz hasta 6GHz para diferentes polarizaciones de drenaje y compuerta (Figura 5-8). La información recopilada tanto en DC y como en parámetros S será utilizada en el siguiente apartado para el desarrollo de un modelo de simulación simple RF MOSFET.

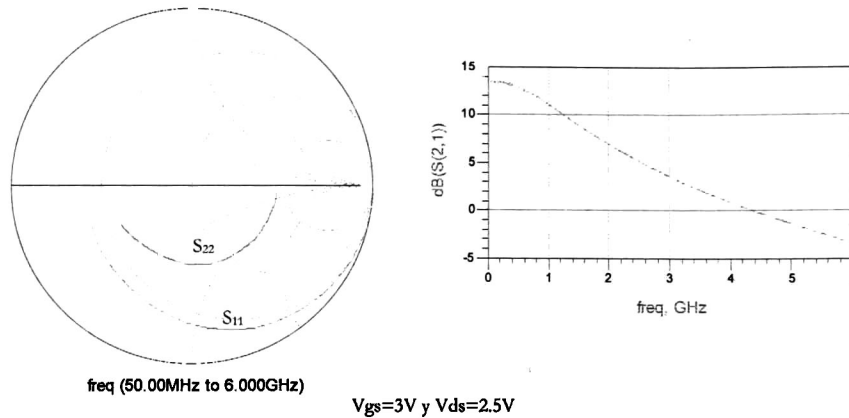


Figura 5-8. Curvas experimentales de parámetros S del transistor LV64F

5.4 Modelo RF CMOS

El desarrollo del modelo para RF que se presenta a continuación está publicado en [40]. Ahí se presenta un método para implementar un modelo sencillo y se indica la técnica de extracción de parámetros utilizada. En el modelo se hace uso de funciones hiperbólicas para representar los cambios de voltaje efectivo de drenaje de la región lineal hasta la región de saturación y los cambios entre las regiones de saturación y velocidad de saturación (Figura 5-9). Cabe mencionar que este modelo se utiliza comúnmente en transistores avanzados de arseniuro de galio en frecuencias de microondas. Su adaptación al silicio representa un grado de originalidad que simplifica el modelado en RF.

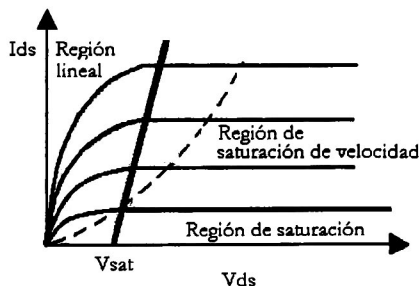


Figura 5-9. Regiones de operación de un transistor RF MOS

El circuito eléctrico equivalente de un RF MOSFET se muestra en la Figura 5-10. Para expresar las características en altas frecuencias se deben tomar en cuenta las resistencias y

capacitancias parásitas en el modelo. El modelo propuesto por [40] no contempla la resistencia r_{ds} , en este trabajo se añadió para ajustar mejor el parámetro S_{22} .

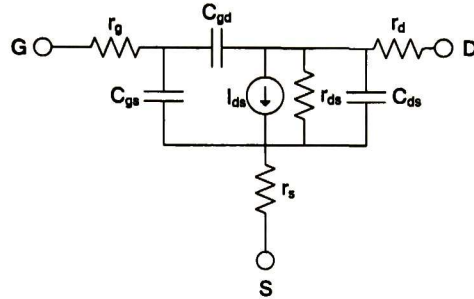


Figura 5-10. Modelo propuesto RF CMOS

La corriente de DC en el drenaje puede ser expresada como:

$$I_d = K \left[(V_{gs} - V_t) \cdot V_d - \frac{1}{2} V_d^2 \right] \cdot CLM \cdot VFE \quad (5.12)$$

donde:

$$V_d = V_{sat} \cdot \tanh\left(\frac{V_{ds}}{V_{sat}}\right) \quad (5.13)$$

$$V_{sat} = V_{vsat} \cdot \tanh\left(\frac{V_{gs} - V_t}{V_{vsat}}\right) \quad (5.14)$$

$$CLM = 1 + \lambda \cdot V_{ds} \quad (5.15)$$

$$VFE = \frac{1}{1 + \theta \cdot (V_{gs} - V_t)} \quad (5.16)$$

K: Constante

V_{gs} : Voltaje compuerta-fuente

V_t : Voltaje de umbral

Vd: Voltaje efectivo de drenaje
 CLM: Modulación de longitud de canal
 VFE: Efecto de campo vertical
 Vds: Voltaje drenaje-fuente
 Vvsat: Voltaje de velocidad de saturación
 λ : Constante
 θ : Constante

En un modelo convencional, cada región de operación es descrita por una ecuación diferente lo que conlleva a problemas de convergencia en los límites de las regiones. Este modelo utiliza la misma ecuación para las tres regiones. Además, los modelos como BSIM3v3 utiliza demasiados parámetros que son difícil extracción, mientras que el modelo utilizado aquí requiere solo 20 parámetros y la medición de los mismos puede hacerse muy fácilmente y sin cambiar de oblea.

5.4.1 Extracción de parámetros en DC

De las curvas de DC es posible encontrar el voltaje de umbral V_T y el voltaje de velocidad de saturación V_{VSAT} . El voltaje de umbral se obtiene a partir de la curva de la raíz cuadrada de I_d vs. V_{gs} tal y como se muestra en la Figura 5-11b, mientras que el voltaje de velocidad de saturación de la relación I_d vs. V_{gs} como se aprecia en la Figura 5-11c.

Comenzando con el transistor con el menor número de dedos ($NF = 8$) se toman los puntos de las características medidas I_d vs. V_{ds} para un V_{ds} fijo en la región de saturación y se construyen las curvas $\sqrt{I_d}$ vs. V_{gs} y I_d vs. V_{gs} . La curva raíz de I_d se puede expresar como:

$$\sqrt{I_d} = \sqrt{\frac{K}{2}} (V_{gs} - V_t) \quad (5.17)$$

que tiene la forma de la recta $m_1x + b_1$, entonces la constante K se encuentra a partir de:

$$K = 2m_1^2 \quad (5.18)$$

y el voltaje de umbral es simplemente:

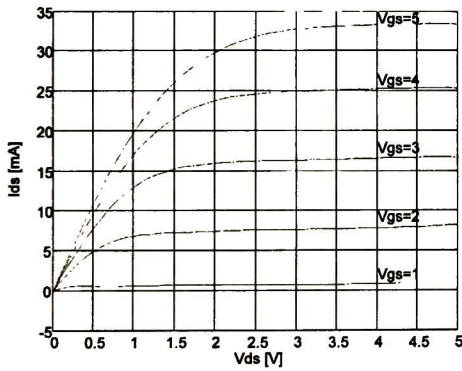
$$V_t = -\frac{b_1}{m_1} \quad (5.19)$$

Por otro lado, el segmento recto de la curva I_d vs V_{gs} obedece a la recta m_2x+b_2 , de donde el voltaje de saturación de velocidad se encuentra a partir de:

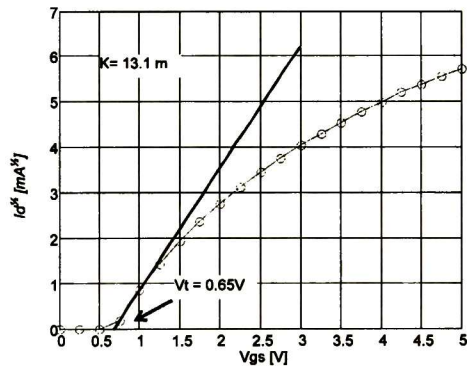
$$V_t + \frac{1}{2}V_{vsat} = -\frac{b_2}{m_2} \quad (5.20)$$

es decir

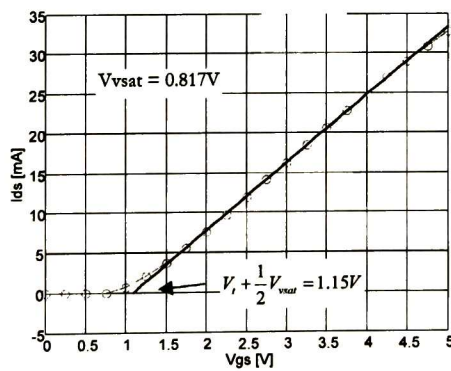
$$V_{vsat} = -2\left(\frac{b_2}{m_2} + V_t\right) \quad (5.21)$$



(a)



(b)



(c)

Figura 5-11. Extracción de parámetros de DC del transistor LV8F

Aplicando el procedimiento de extracción de parámetros en DC a los cuatro transistores se obtienen los siguientes resultados:

NF	K [mA/V ²]	V _t [V]	V _{sat} [V]
8	13.1	0.680	0.817
16	25.1	0.688	0.864
32	48.5	0.751	0.870
64	99.1	0.662	0.873

Tabla 5-1. Parámetros de DC extraídos

Los parámetros V_t y V_{sat} presentan pequeñas variaciones atribuibles a la interpretación de las curvas utilizadas para calcularlos. Para la elaboración del modelo se tomarán fijos ya que estos parámetros no escalan con las dimensiones del transistor ya que son característicos de la tecnología utilizada. El parámetro de conductancia K crece linealmente con el número de dedos, así que se puede modelar simplemente por:

$$K = 1.5352 \cdot NF + 0.3435 \quad (5.22)$$

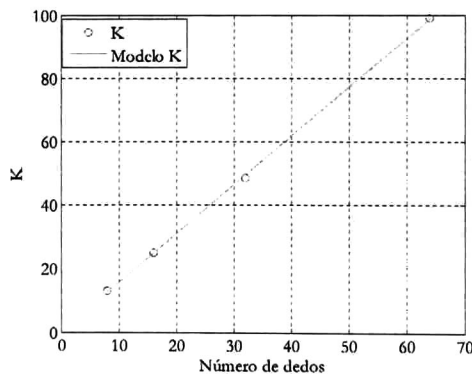


Figura 5-12. Modelado del parámetro K

5.4.2 Extracción de resistencias

La extracción de resistencias se realiza mediante la medición de parámetros S de cada transistor con condiciones de polarización cero, V_{gs} = 0 y V_{ds} = 0 (Figura 5-13). Al convertir las

mediciones de parámetros S en parámetros Z se obtienen los valores de las resistencias según las siguientes ecuaciones:

$$rg = \text{real}(Z_{11}) - \text{real}(Z_{12}) \quad (5.23)$$

$$rs = \text{real}(Z_{12}) = \text{real}(Z_{21}) \quad (5.24)$$

$$rd = \text{real}(Z_{22}) - \text{real}(Z_{21}) \quad (5.25)$$

Las ecuaciones anteriores pueden derivarse del cálculo de parámetros Z del circuito de la Figura 5-13, cuyas expresiones analíticas se muestran a continuación:

$$Z_{11} = rg + rs + \frac{1}{j\omega C_1} + \frac{1}{j\omega C_2} \quad (5.26)$$

$$Z_{21} = rs + \frac{1}{j\omega C_3} \quad (5.27)$$

$$Z_{21} = rs + \frac{1}{j\omega C_3} \quad (5.28)$$

$$Z_{22} = rd + rs + \frac{1}{j\omega C_2} + \frac{1}{j\omega C_3} \quad (5.29)$$

donde

$$C_1 = C_{gs} \cdot C_{gd} \cdot \left(\frac{1}{C_{gs}} + \frac{1}{C_{gd}} + \frac{1}{C_{ds}} \right) \quad (5.30)$$

$$C_2 = C_{gd} \cdot C_{ds} \cdot \left(\frac{1}{C_{gs}} + \frac{1}{C_{gd}} + \frac{1}{C_{ds}} \right) \quad (5.31)$$

$$C_3 = C_{ds} \cdot C_{gs} \cdot \left(\frac{1}{C_{gs}} + \frac{1}{C_{gd}} + \frac{1}{C_{ds}} \right) \quad (5.32)$$

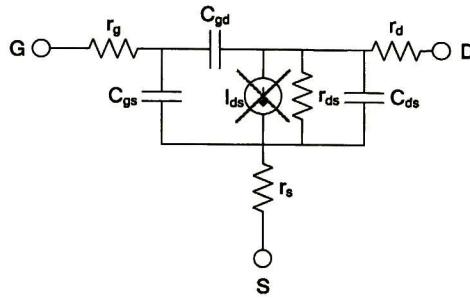


Figura 5-13. Extracción de resistencias y capacitancias

Como puede observarse mientras más alta es la frecuencia de medición mejor será la extracción de las resistencias del transistor. Todas las mediciones de parámetros S se hicieron desde 50MHz hasta 6GHz. Para el caso del transistor de con $NF = 8$ se tienen las siguientes curvas de resistencias:

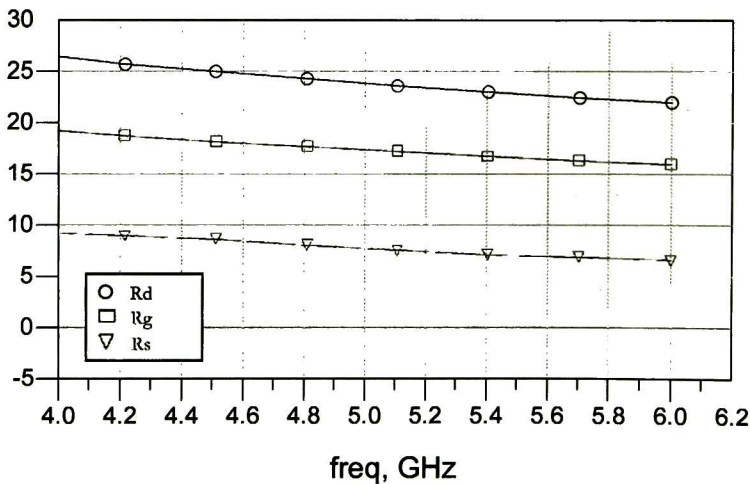


Figura 5-14. Extracción de resistencias del transistor LV8F

Se esperaría que las curvas de resistencia, conforme se incrementa la frecuencia, presenten una pendiente cero, sin embargo debido a que las mediciones se hicieron tan solo hasta 6GHz este comportamiento no se presentó. Aún así, es posible utilizar el valor de resistencias obtenido en el punto de frecuencia más alto que se midió (Figura 5-14) y tomarlo como valor inicial para ajustar las curvas de DC y de parámetros S del modelo con las mediciones. Los valores de las resistencias r_{ds} de cada transistor se optimizaron para ajustar las curvas del parámetro S_{22} del modelo con las curvas experimentales (Figura 5-15).

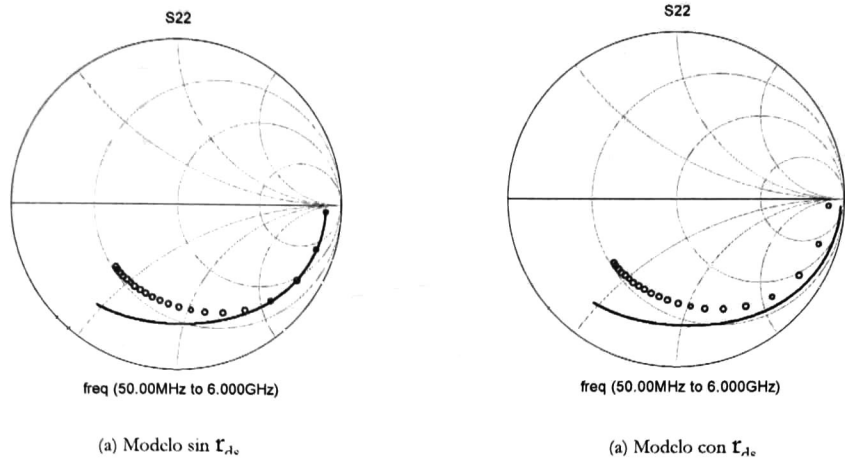


Figura 5-15. Efecto de r_{ds} sobre el parámetro S_{22}
 Transistor LV64F, $V_{gs} = 1$, $V_{ds} = 1$ V

Los valores ajustados de resistencias se muestran en la siguiente tabla:

NI	R_g	R_d	R_s	R_{ds}
8	15.9	19	5	6500
16	8.8	9.18	3.2	4000
32	8.1	3.7	2.2	1600
64	5	2.4	1.4	1280

Tabla 5-2. Resistencias extraídas

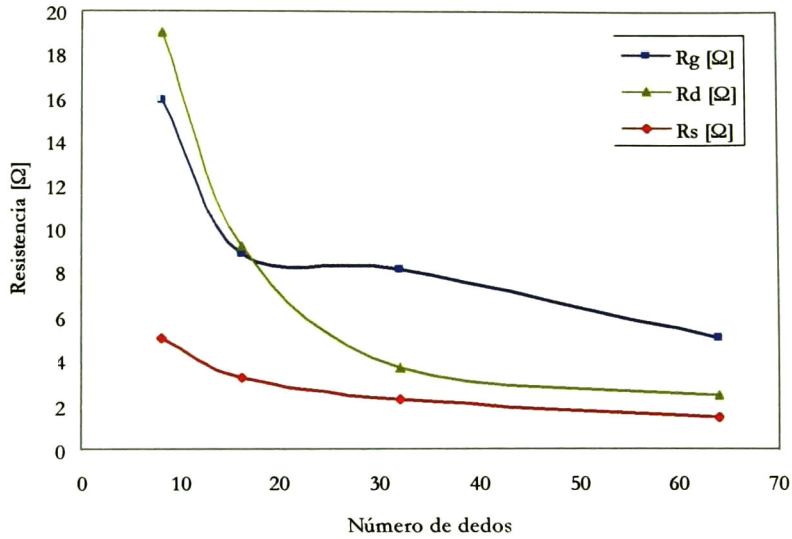


Figura 5-16. Resistencias de los puertos vs Número de dedos

El valor de las resistencias R_d y R_s decrece de manera inversamente proporcional al número de dedos, sin embargo la curva de R_g prácticamente no presenta cambios entre el transistor LV16F y el LV32F. Este comportamiento es atribuible al layout implementado, debido a que en realidad entre el transistor con 16 y 32 dedos no hay una conexión en paralelo de las compuertas y por eso el valor de resistencia no decrece:

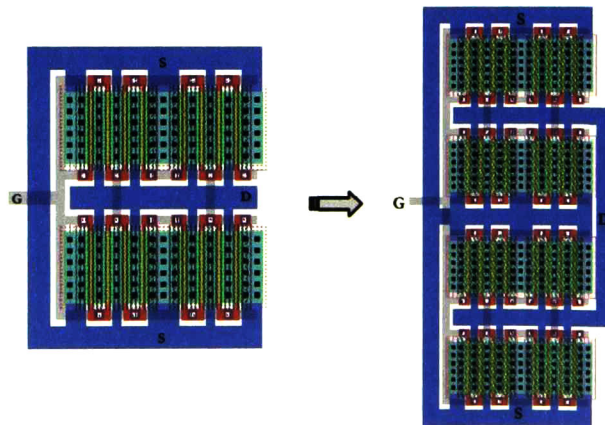


Figura 5-17. Efecto del layout sobre R_g .
El número de compuertas en paralelo no aumentó del transistor de 16 dedos al de 32

Para que el modelo sea escalable con el número de dedos, es necesario que la resistencia de compuerta sea inversamente proporcional a W , así que si se asume que el layout debe

efectivamente poner en paralelo todas las compuertas del transistor (lo que se lograría con un rediseño de la interconexión de compuertas en el layout) entonces se puede calcular una expresión para R_g utilizando los dos primeros puntos de la curva de resistencia de compuerta y asumir que es de tipo inverso para obtener una estimación de cómo ésta decrece conforme el número de dedos se incrementa. Haciendo un ajuste de curvas se pueden derivar las siguientes expresiones:

$$R_g = \frac{93.79}{NF^{0.8535}} \quad (5.33)$$

$$R_d = \frac{181.9}{NF^{1.086}} \quad (5.34)$$

$$R_s = \frac{17.66}{NF^{0.6088}} \quad (5.35)$$

$$R_{ds} = \frac{38304.199}{NF^{0.847}} \quad (5.36)$$

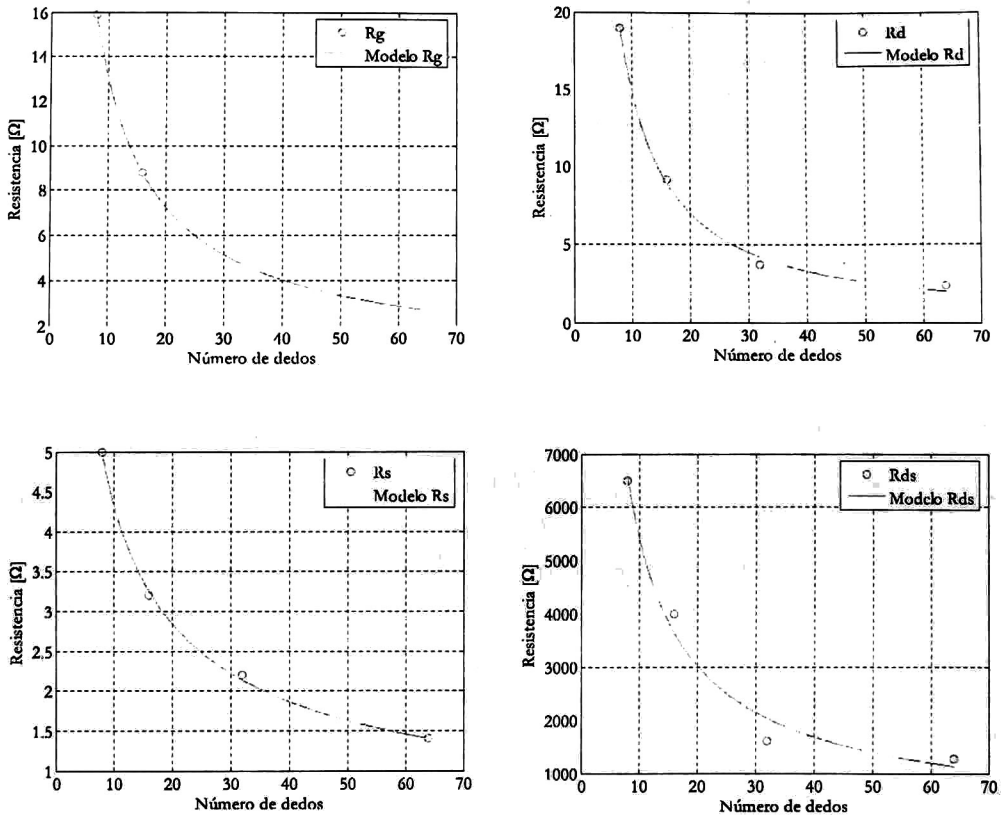


Figura 5-18. Modelado de R_g , R_d , R_s y R_{ds}

5.4.3 Extracción de capacitancias

La extracción de las capacitancias se realiza a partir de la conversión de las mediciones en parámetros S a parámetros Y. Las capacitancias son dependientes de la polarización, sin embargo, en este trabajo se tomará el valor crítico de ellas y se optimizarán para ajustar el modelo del transistor. Las expresiones analíticas de los parámetros de admitancia del transistor son:

$$Y_{11} = j\omega(C_{gs} + C_{gd}) \quad (5.37)$$

$$Y_{12} = -j\omega C_{gd} \quad (5.38)$$

$$Y_{21} = -j\omega C_{gd} \quad (5.39)$$

$$Y_{22} = j\omega(C_{ds} + C_{gd}) \quad (5.40)$$

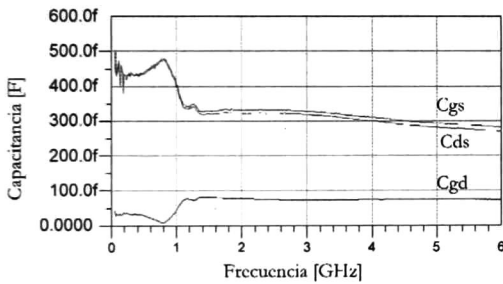
de donde se pueden encontrar los valores de las capacitancias del modelo:

$$C_{gs} = \{ \text{imag}(Y_{11}) + \text{imag}(Y_{12}) \} / \omega \quad (5.41)$$

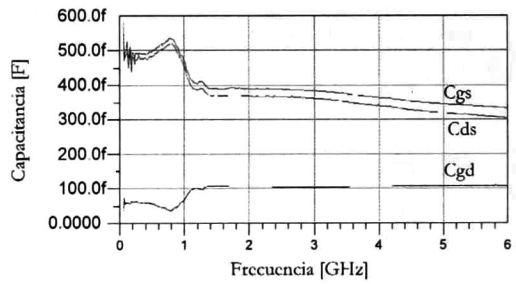
$$C_{gd} = -\text{imag}(Y_{12}) / \omega = -\text{imag}(Y_{21}) / \omega \quad (5.42)$$

$$C_{ds} = \{ \text{imag}(Y_{22}) + \text{imag}(Y_{21}) \} / \omega \quad (5.43)$$

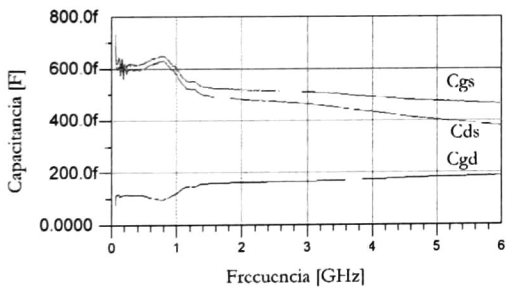
El valor crítico (más alto) ocurre con condiciones de polarización cero en compuerta y drenador. En el desarrollo del modelo se tomará este valor como punto de partida para ajustar las curvas de parámetros S del modelo con los parámetros S medidos. A continuación se muestran las curvas de capacitancia para el transistor LV8F extraídas con $V_{gs}=0$ y $V_{ds}=0$



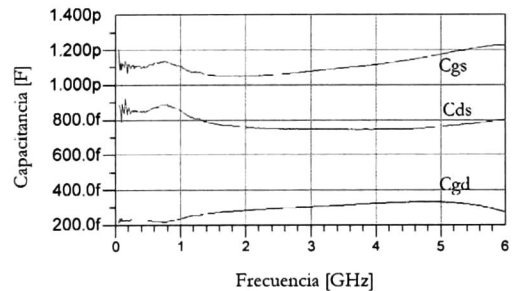
(a) LV8F



(b) LV16F



(c) LV32F



(d) LV64F

NF	C_{gs} [fF]	C_{gd} [fF]	C_{ds} [fF]
8	313.9	70.02	268.9
16	397.6	104.1	305
32	652.9	185	450.7
64	1200	285	800

Tabla 5-3. Capacitancias extraídas

Puede apreciarse que las capacitancias escalan directamente proporcional al número de dedos. Ajustando los valores extraídos a polinomios de primer orden se obtiene:

$$C_{gs} = (16.11 \cdot NF + 157.9) \cdot 1x10^{-15} \quad (5.44)$$

$$C_{gd} = (3.838 \cdot NF + 45.89) \cdot 1x10^{-15} \quad (5.45)$$

$$C_{ds} = (9.737 \cdot NF + 164) \cdot 1x10^{-15} \quad (5.46)$$

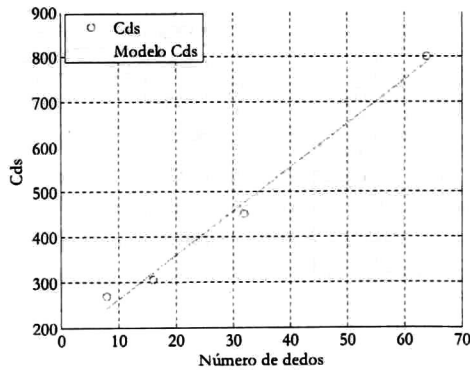
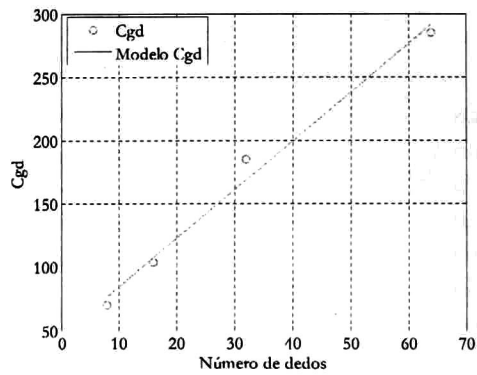
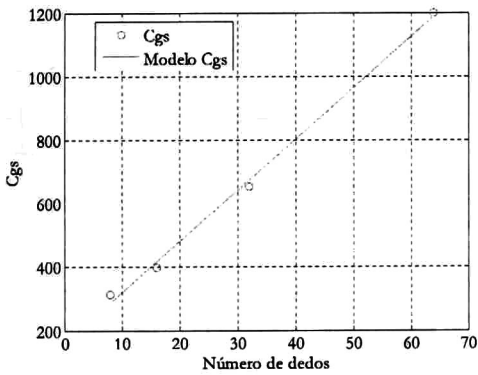


Figura 5-19. Modelado de capacitancias

En la Figura 5-20 se muestra un comparativo entre las curvas experimentales y las curvas modeladas para el transistor LV64F:

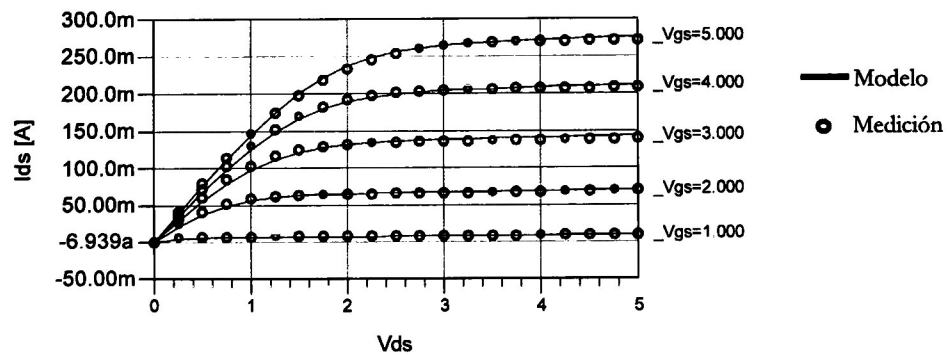
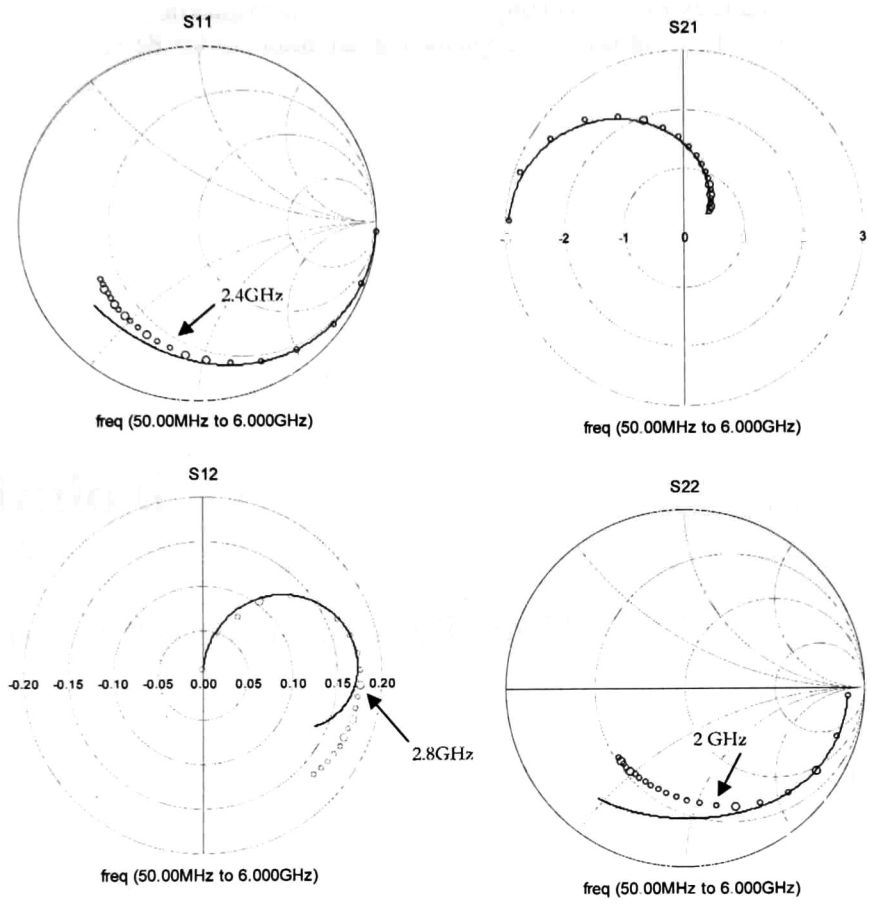


Figura 5-20. Comparación entre el modelo y la simulación del transistor LV64F

En la Figura 5-20 se observa que tanto las curvas en DC y los parámetros S existe una excelente correlación entre los datos medidos y el modelo. Las discrepancias observadas en los parámetros S comienzan a partir de 2GHz para el parámetro S_{22} , mientras que el parámetro S_{12} no presenta discrepancias en todo el rango de frecuencias de medición. En el siguiente capítulo se utiliza el modelo desarrollado para implementar un amplificador de Clase E a 915MHZ.

Capítulo 6

Diseño del Amplificador Clase E

En este capítulo se hará el diseño y la simulación de un amplificador clase E a 915 MHz. Para ello, se utilizarán los criterios de diseño presentados en el capítulo 2 y el modelo del transistor desarrollado en el capítulo 5.

6.1 Introducción

El estudio del amplificador Clase E comienza del supuesto que el dispositivo conmutador es ideal, sin embargo, al utilizar transistores como interruptores en RF se deben tomar en cuenta los elementos parásitos propios del dispositivo. Estos elementos parásitos limitan el uso del dispositivo en frecuencia y en potencia. En el caso del MOSFET las capacitancias no lineales entre sus puertos afectan directamente la frecuencia, la linealidad del amplificador y el cálculo de la red de carga. Las impedancias de los puertos deben considerarse para acoplar la etapa de preamplificación y la red de carga. También se deben considerar las limitaciones propias de la tecnología y de las dimensiones del transistor como son el voltaje de ruptura y la cantidad de corriente disponible.

6.1.1 Diseño del amplificador Clase E

Para la implementación del amplificador se utilizará un MOSFET de bajo voltaje, lo que implica que el voltaje entre drenador y fuente estará limitado al máximo soportado por la tecnología. El modelo matemático del amplificador predice, en el caso ideal, que el voltaje máximo entre las terminales del dispositivo conmutador será aproximadamente tres y media veces el voltaje de alimentación (Figura 6-1) así que el voltaje de alimentación que se utilizará debe ser, al menos, 3.5 veces menor al voltaje de ruptura del transistor. El voltaje de ruptura medido en el laboratorio fue de 11V así que para el diseño del amplificador se utilizará un $V_{dd} = 2.5V$

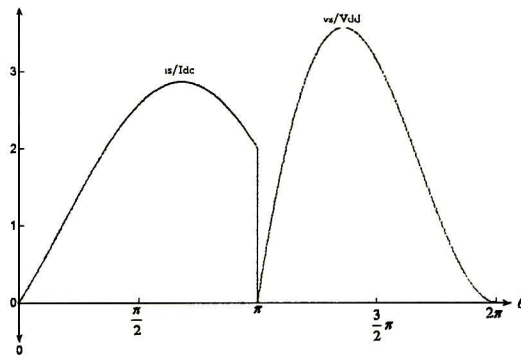


Figura 6-1. Voltaje y corriente normalizada entre las terminales del dispositivo conmutador

De acuerdo con las ecuaciones (2.20) y (2.29) el transistor deberá soportar una corriente máxima de:

$$i_{s\max} \approx 2.86 \cdot \pi \omega C_s V_{DD} \quad (6.1)$$

Los valores de los elementos de la red de carga dependen de la frecuencia de operación y la potencia de salida deseados. Como se explicó en el capítulo 2, el amplificador puede ser implementado utilizando una red de carga en configuración serie o paralelo. Las variables del diseño están en función de la configuración que se elija:

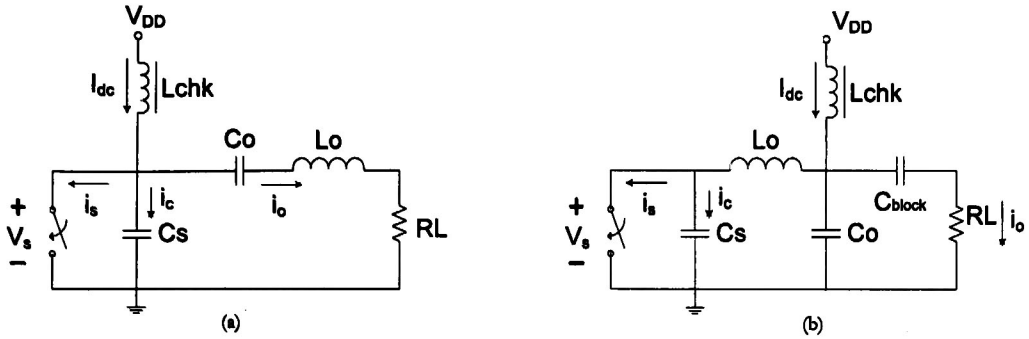


Figura 6-2. (a) Configuración C paralelo (b) Configuración L serie - C paralelo

Configuración C Paralelo		Configuración L Serie – C Paralelo	
Variables Dependientes		Variables Independientes	
Carga	RL	Frecuencia	ω
Filtrado	L _o , C _o	Alimentación	V _{DD}
Ajuste	J,x	Potencia RF	P _{out}
Cap. Paralelo	C _s		
		Carga	RL

Tabla 6-1. Consideraciones de diseño según la configuración de la red de carga

Se elegirá la configuración L serie-C paralelo porque presenta más grados de libertad para el diseño. Así pues, para una frecuencia de 915MHz, un V_{ds} de 2.5V, una resistencia de carga de 50Ω y una potencia de salida de 250mW se obtienen los elementos restantes de la red de carga, según las ecuaciones (2.37), (2.39) y (2.41):

$$C_s = 2.215 pF \quad (6.2)$$

$$L_o = 6.831 nH \quad (6.3)$$

$$C_o = 5.464 pF \quad (6.4)$$

una vez elegida la capacitancia C_s, se puede estimar la corriente máxima que debe ser soportada por el transistor, según (6.1) se tiene:

$$i_{s\max} \approx 276.3 \text{ mA} \quad (6.5)$$

Se desea aprovechar la capacitancia parásita que presenta el transistor en su puerto de salida. Si se considera que C_{ds} es lineal y representa dicha capacitancia, entonces se puede encontrar el tamaño del transistor que cumpla con tal requisito. La ecuación (5.46) se puede reescribir como:

$$NF = \frac{1 \times 10^{15} C_{ds} - 164}{9.737} \quad (6.6)$$

entonces el tamaño del transistor, expresado en número de dedos, será de:

$$NF = 210.3 \quad (6.7)$$

el número de dedos debe ser entero, por lo que tomará $NF=211$ dedos, lo que significa que el ancho del canal del transistor será de $2025.6 \mu\text{m}$. Las características en DC estimadas se muestran a continuación:

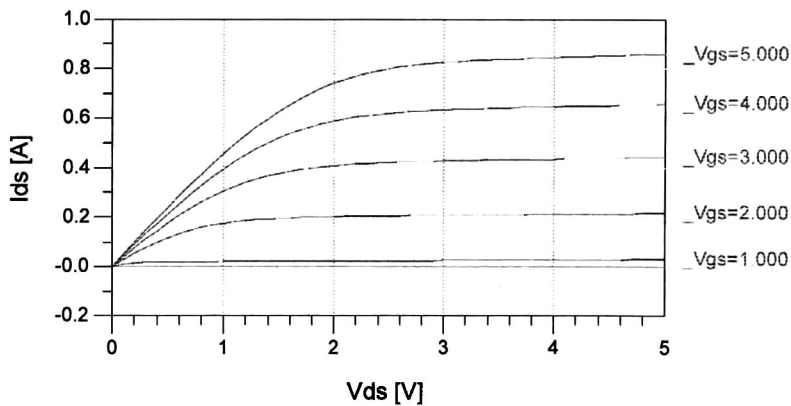


Figura 6-3. Características en DC

Mientras que las características en parámetros S para el transistor con $NF=211$ son:

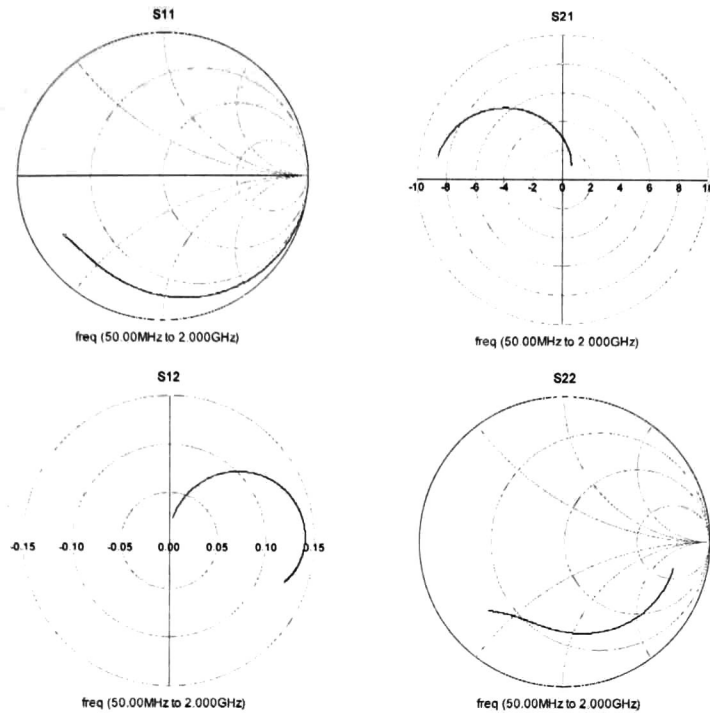


Figura 6-4. Modelo de las curvas de parámetros S
 $V_{ds} = 2.5V$ y $V_g = 1 V$

A continuación se presenta la simulación con elementos ideales, posteriormente se implementará el amplificador con el modelo del transistor y elementos concentrados, para finalmente implementarlo con líneas de transmisión.

6.2 Amplificador Clase E Ideal

Utilizando elementos ideales se realiza la simulación del amplificador diseñado en la sección anterior. El circuito de simulación se presenta a continuación:

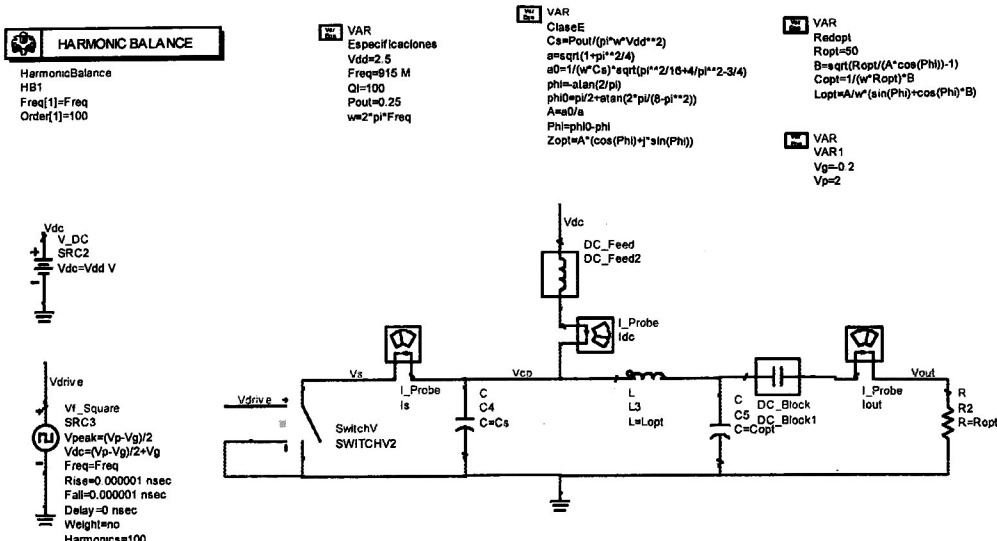


Figura 6-5. Esquemático amplificador clase E

El amplificador clase E ideal considera que la etapa de filtrado cuenta con un factor de calidad adecuado para permitir que solo la frecuencia fundamental este presente en la carga. En el diseño del circuito se propuso una resistencia de carga de 50Ω , el cual según la simulación, utilizando (6.8), se tiene una $Q = 1$ (Figura 6-6). Si se desea aumentar el factor de calidad solo queda aumentar la resistencia de carga debido a que el factor de calidad está relacionado de manera directamente proporcional a la resistencia de carga y no es posible modificar L_o ni C_o sin modificar las condiciones de operación en clase E, según las ecuaciones (2.25) y (2.26)

$$Q = \frac{f_o}{BW} \tag{6.8}$$

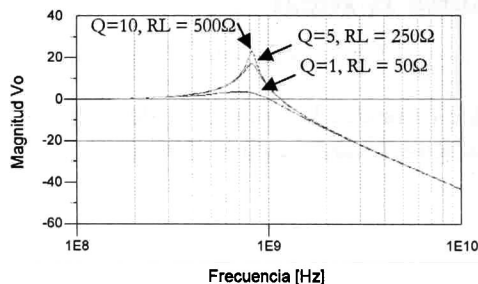


Figura 6-6. Respuesta en frecuencia de la red de carga
 Efecto de la resistencia de carga

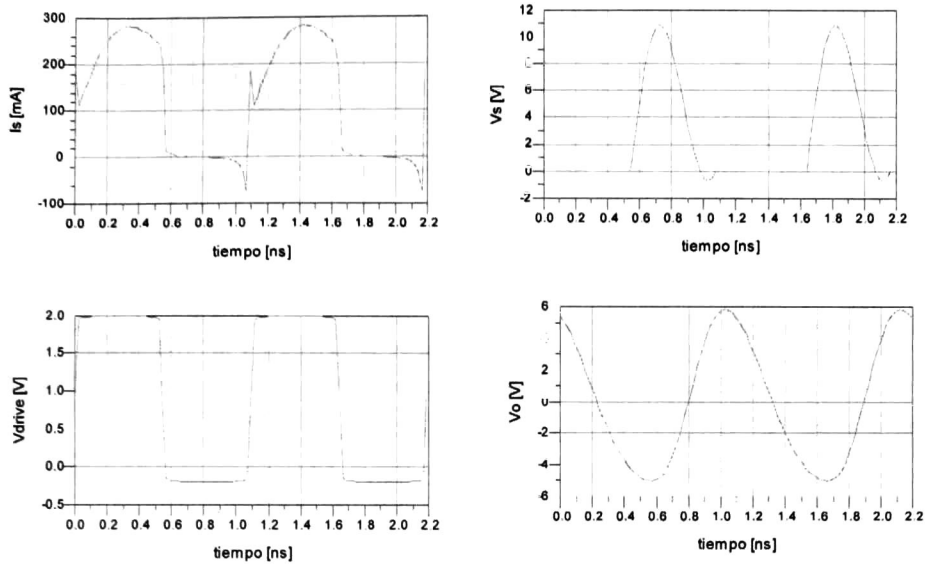


Figura 6-7. Características Clase E ideal con $Q = 1$

La curva de voltaje en el interruptor, V_s , no cumple con la condición de conmutación suave definida por (2.5) y (2.6), lo que ocasiona que existan picos de corriente en el interruptor. Aumentado el factor de calidad a 5 (incrementando RL cinco veces) las características del amplificador se mejoran notablemente:

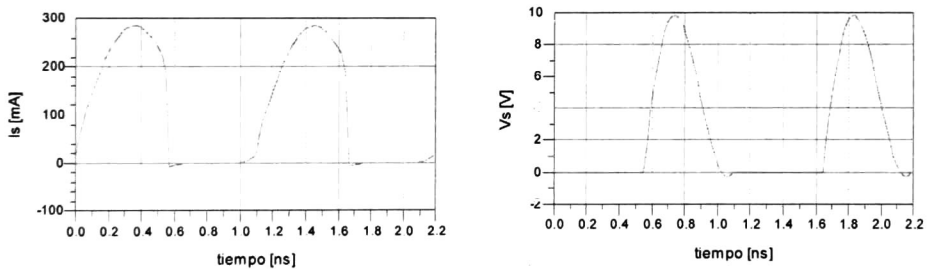


Figura 6-8. Características Clase E ideal con $Q = 5$

6.2 Amplificador Clase E con RF CMOS

A continuación se simula el amplificador utilizando el modelo de transistor y elementos concentrados. Es necesario acoplar la fuente de excitación a la compuerta del transistor a la frecuencia de operación, para ello se diseña la red de entrada de tal manera que presente el complejo conjugado del parámetro S_{11} a la entrada del transistor.

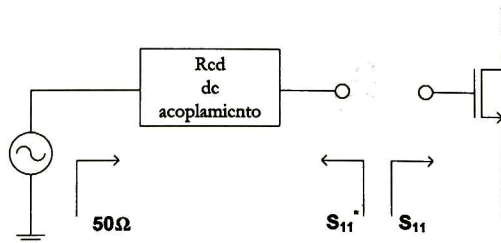
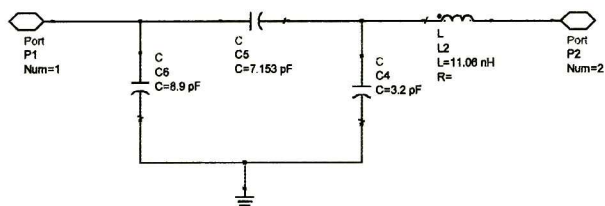
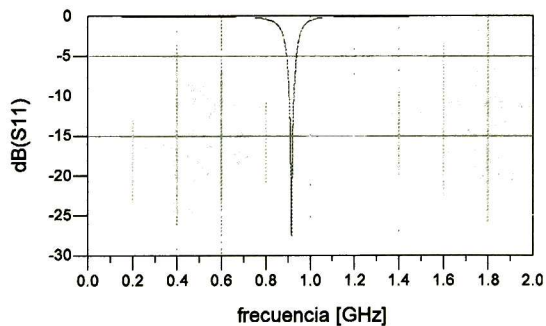


Figura 6-9. Acoplamiento de la red de la fuente de excitación

La red de acoplamiento que cumple con este criterio y la respuesta en frecuencia vista por la fuente de excitación cuando la red está conectada al transistor en el punto de polarización se muestran a continuación:



(a)



(b)

Figura 6-10. Red de acoplamiento de entrada
El punto de polarización es $V_g = 0.655$ y $V_d = 2.5V$

Al aumentar el valor de la resistencia de carga R_L , el circuito LC toma los siguientes valores:

$$L_o = 6.831 nH \quad (6.9)$$

$$C_o = 5.464 pF \quad (6.10)$$

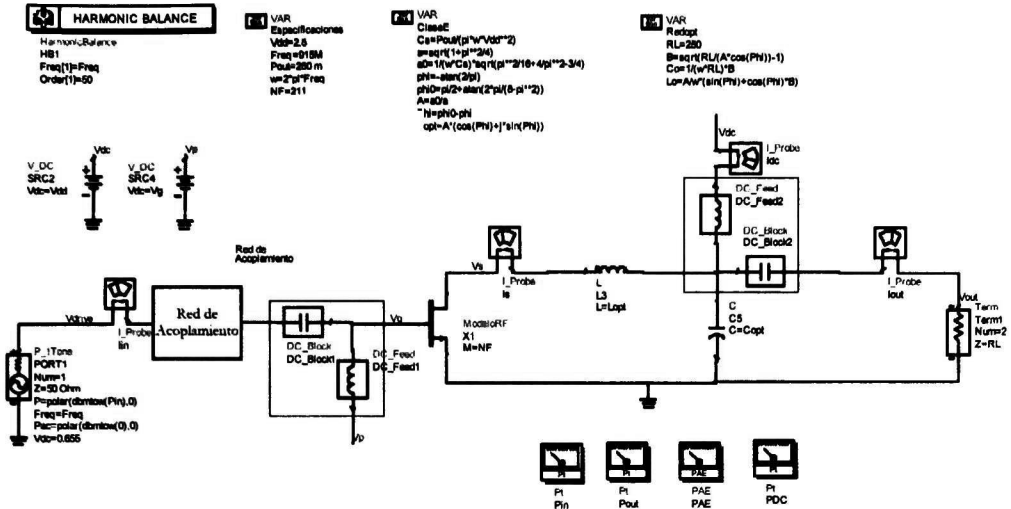


Figura 6-11. Esquémico amplificador clase E con MOSRF

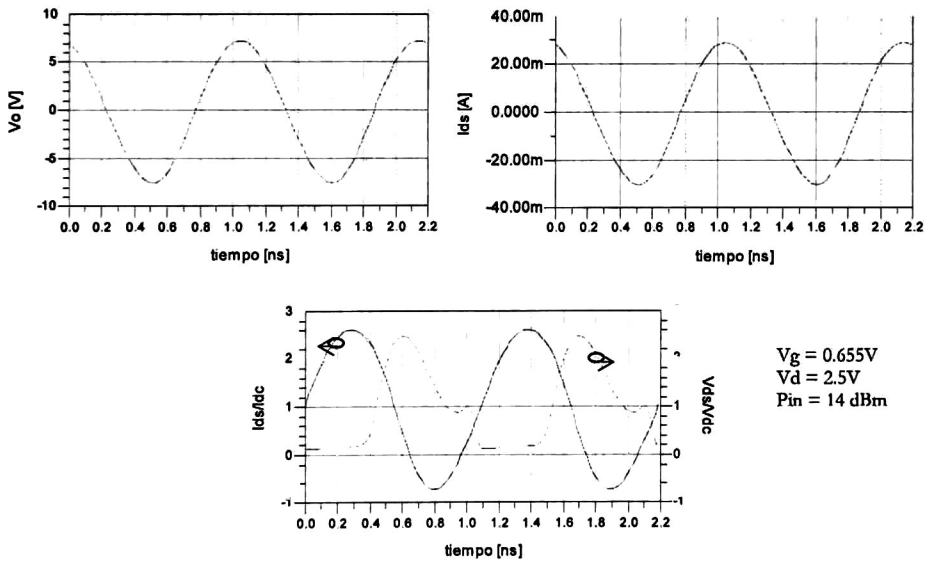


Figura 6-12. Características clase E MOS RF

Se observa que el voltaje en el transistor no cumple con la condición de conmutación suave, debido al efecto de los elementos parásitos del transistor. Sokal en [1] propone una técnica para volver ajustar la red de tal manera que de nuevo el voltaje llegue al final de su periodo con pendiente cero y que el voltaje de conmutación sea nulo.

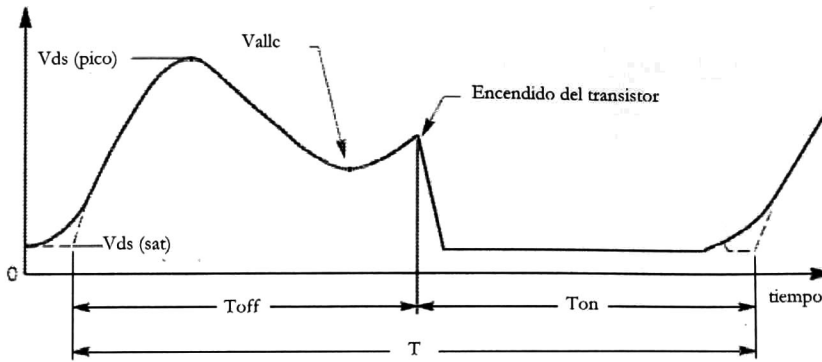


Figura 6-13. Formas de onda típicas para un voltaje V_{ds} desintonado

El procedimiento para ajustar la red no implica cálculos. Es en sí una técnica empírica que utiliza el conocimiento de cómo afectan cada uno de los elementos de la red para ajustarlos individualmente, pero de manera sistemática (Figura 6-14), y así conseguir las condiciones de operación deseadas. El procedimiento original está planteado para una red de carga serie, para la configuración L serie-C paralelo, el procedimiento es similar al presentado en [1]:

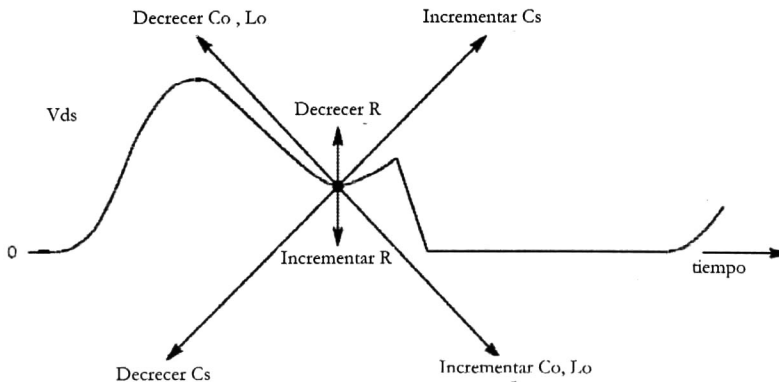


Figura 6-14. Efectos del ajuste de los componentes de la red de carga

Aplicando esta metodología, se modifican los siguientes elementos de la red:

$$L_o = 8.8nH \quad (6.11)$$

$$C_o = 4.8 \text{ pF}$$

(6.12)

y las nuevas curvas quedan:

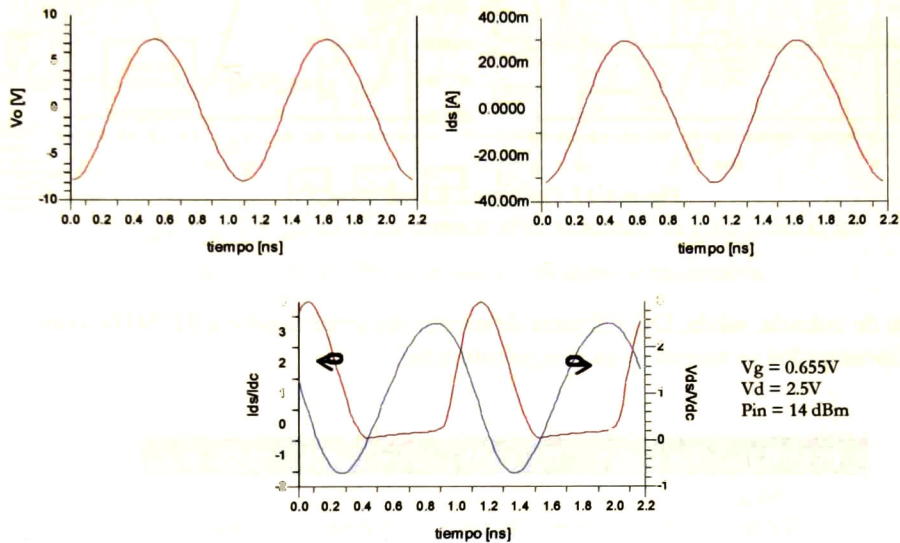


Figura 6-15. Características clase E MOS RF optimizadas

Según la teoría del amplificador clase E, el capacitor C_s aporta corriente a la red de carga cada vez que el dispositivo conmutador está abierto, en caso contrario, la aportación de corriente es por parte del transistor, tal y como se indica en las ecuaciones (2.1) y (2.3).

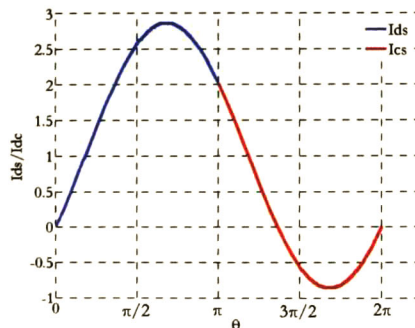


Figura 6-16. Curva ideal de corriente en el transistor y en el capacitor C_s

En la Figura 6-16 se aprecia que la corriente del capacitor C_s es negativa por un intervalo de tiempo. Por esta razón, cuando se utiliza la capacitancia parásita del transistor como parte de la

red de carga del amplificador clase E, siempre habrá una corriente negativa entre las terminales del dispositivo debida a la carga almacenada en C_{ds} y en C_{gd} :

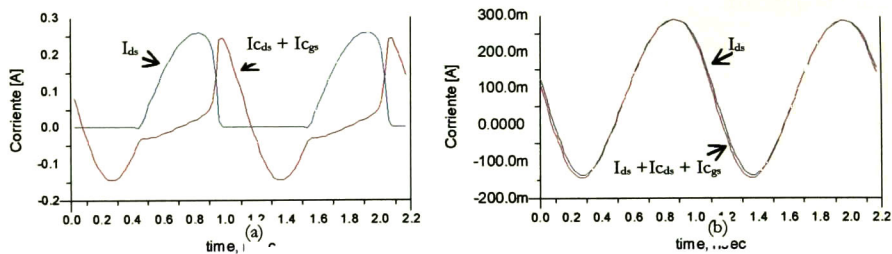


Figura 6-17. Corriente en el transistor
La corriente en el transistor es la contribución de $I_{ds} + I_{ds} + I_{gs}$

Las potencias de entrada, salida, DC y figuras de merito del amplificador a 915MHZ con elementos concentrados se muestran en la siguiente tabla:

P_i [mW]	P_o [mW]	P_{dc} [mW]	η [%]	PAE [%]
34.2	117.0	220.0	53.20	48.8

Tabla 6-2. Potencias de entrada, salida, DC y figuras de merito del amplificador a 915MHZ

6.3 Amplificador Clase E con Elementos Distribuidos

La implementación del amplificador con líneas de transmisión se realiza tal y como se describió en el capítulo 2. Así pues, se determinaron la impedancia característica Z_o y la longitud eléctrica l de una línea de transmisión serie y un stub abierto:

-Línea de transmisión serie:

$$Z_o = 50.6 \Omega$$

$$l = 61.2^\circ$$

$$L = 8.8nH \text{ (Equivalente concentrado)}$$

-Stub abierto

$$Z_o = 67.6 \Omega$$

$$l = 45^\circ$$

$$C = 2.57pF \text{ (Equivalente concentrado)}$$

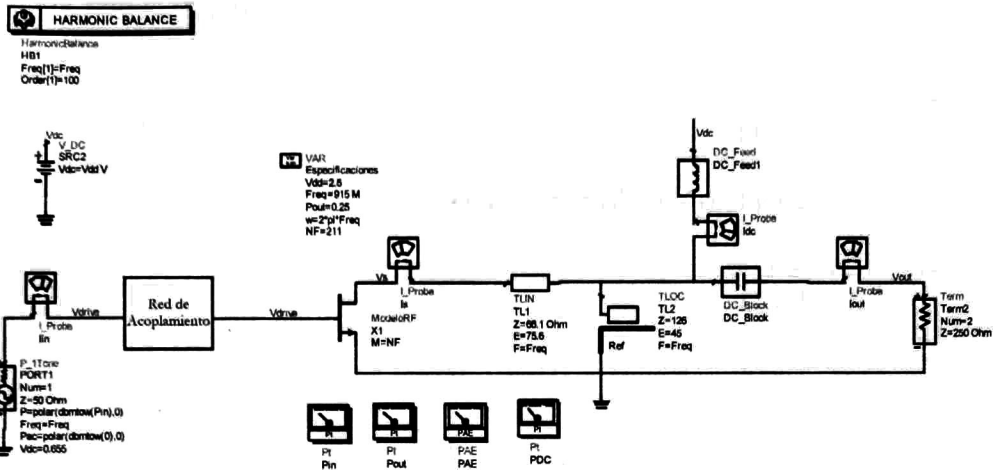


Figura 6-18. Amplificador clase E con líneas de transmisión

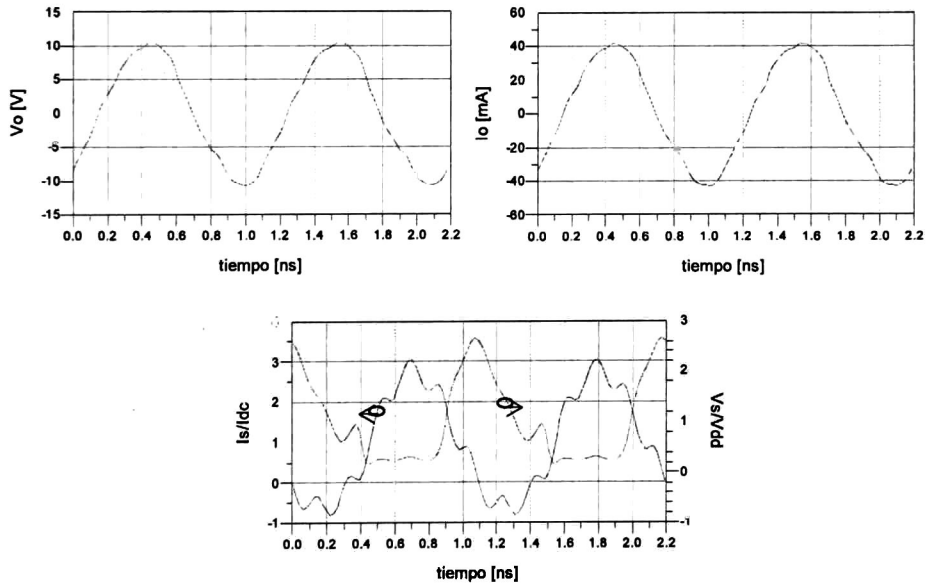


Figura 6-19. Características amplificador con líneas de transmisión

Las características de voltaje y corriente se muestran en la Figura 6-19. De nuevo el voltaje en el transistor no está entonado, entonces aplicando de nuevo el método de ajuste de Sokal se recalculan los elementos de la red de carga para cumplir con la condición de voltaje nulo:

-Línea de transmisión serie:

$$Z_o = 55.6 \Omega$$

$$l = 61.2^\circ$$

$$L = 8.8nH \text{ (Equivalente concentrado)}$$

-Stub abierto

$$Z_o = 67.6\Omega$$

$$l = 45^\circ$$

$$C = 2.57pF \text{ (Equivalente concentrado)}$$

-Resistencia de carga

$$R = 425 \Omega$$

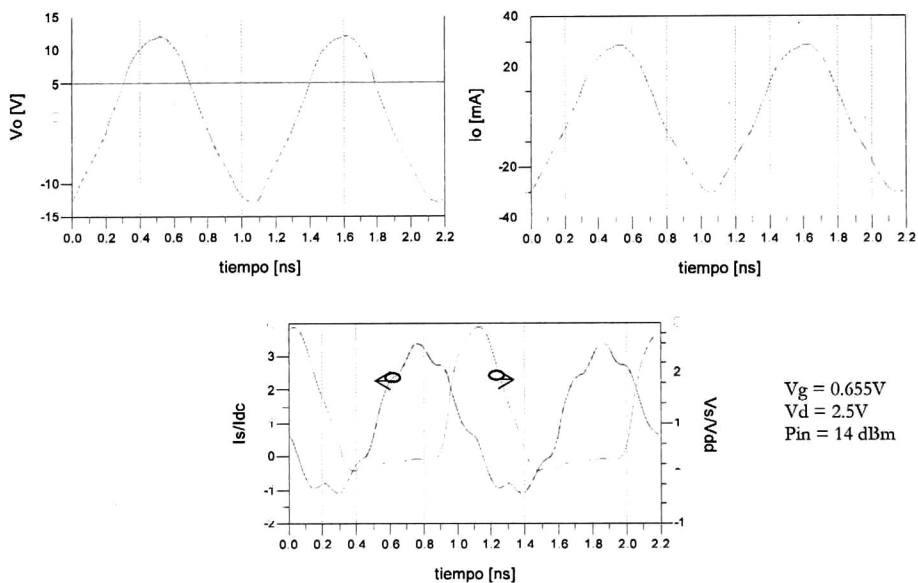


Figura 6-20. Características optimizadas del amplificador con líneas de transmisión

Pi [mW]	Po [mW]	Pdc [mW]	η [%]	PAE [%]
30.12	176.6	323.5	54.3	53.7

Tabla 6-3. Potencias de entrada, salida, DC y figuras de mérito del amplificador con líneas de transmisión a 915MHZ

Capítulo 7

Conclusiones y Trabajo futuro

7.1 Conclusiones

En este trabajo se diseñó y simuló un amplificador de potencia clase E utilizando tecnología AMI CMOS 0.5 μm a una frecuencia de operación de 915MHz. A diferencia de otros trabajos publicados, el diseño del amplificador presentado parte desde el diseño del dispositivo transistor, tomando en consideración aquellos aspectos de layout que comúnmente se omiten en el diseño físico de dispositivos de baja frecuencia.

Con la intención de alcanzar una potencia de salida mayor a la soportada por la tecnología utilizada, se investigó acerca de la posibilidad de implementar transistores de potencia con tecnología de bajo voltaje, para ello se pasaron por alto algunas reglas de diseño del proceso de fabricación, con la intención de incrementar el voltaje de ruptura del dispositivo y así poder operar a mayores voltajes. Así pues, se diseñaron y construyeron cuatro transistores de potencia en tecnología de bajo voltaje con una longitud de canal de 0.75 μm y un ancho de canal que varía desde 78.6 μm hasta 614 μm . Se caracterizaron en el laboratorio y se consiguió con éxito el objetivo de incrementar el voltaje de ruptura a 23V que es el doble de voltaje que soporta un dispositivo convencional fabricado en esta tecnología. Sin embargo, el dispositivo presentó corrientes apreciables para Vds mayores a 4V con un Vg de 0 V, lo cual no permite utilizarlo como interruptor y por esa razón se descartó su uso en el amplificador de potencia clase E. Sin embargo las características corriente-voltaje del transistor de potencia construido

indican que el dispositivo tiene aplicaciones de amplificación analógica y bien puede ser utilizado en amplificadores clase A, B, AB o C, en los que el transistor no opera como interruptor sino como fuente de corriente.

Para la tecnología AMI CMOS 0.5 μm no existen modelos de distribución libre que representen el comportamiento del transistor a altas frecuencias. Por ello, en este trabajo se desarrollo un modelo simple que con tan sólo 20 parámetros representa muy bien el comportamiento de un transistor MOS tanto en altas frecuencias como en DC. La elaboración del modelo se llevo a cabo mediante el siguiente procedimiento:

- Se diseñaron cuatro transistores de bajo voltaje con una longitud de canal de 0.6 μm y un ancho de canal que varía desde 78.6 μm hasta 614 μm . Se diseño una celda básica con ocho transistores en la cual se cortocircuitaba las compuertas de los dispositivos por ambos lados con la intención de reducir la resistencia de compuerta, también se dispuso de una conexión al sustrato cada cuatro dedos con la finalidad de disminuir la resistencia de fuente a sustrato.
- Se diseñaron plataformas de prueba para poder realizar mediciones sobre oblea de los transistores diseñados con la finalidad de descartar los efectos parásitos introducidos por el empaquetado. El diseño de las plataformas de prueba se apegó a las reglas de diseño que propone el fabricante de las puntas de prueba. Se fabricaron estructuras de prueba para cada transistor además de tres estructuras *dummy* con el propósito de caracterizar las estructuras para posteriormente restar su efecto sobre las mediciones.
- Se realizaron mediciones en DC y con parámetros S en el rango de frecuencias que va desde 50MHz hasta 6 GHz y con ellas se realizó un análisis experimental para determinar los componentes parásitos y los parámetros que modelan la operación del transistor en DC. Una vez conocidos los elementos que definen a cada transistor se observó como escalaban respecto al ancho del canal y con base en ello se construyó un modelo del transistor CMOS en función de su número de dedos.

Con el modelo desarrollado se diseñó y simuló un amplificador clase E con líneas de transmisión a 915 MHz. Los resultados de simulación arrojaron que el hecho de utilizar la capacitancia parásita del transistor como parte de la red de carga del amplificador produce que siempre exista una corriente en el transistor cuando este presenta un voltaje entre sus terminales, lo que ocasiona que la eficiencia de conversión de DC a RF se vea reducida. El amplificador diseñado presentó una potencia de salida de 176.6mW con eficiencia del 54.3% y un PAE del 53.7%

7.2 Trabajo Futuro

A continuación se detallan los puntos a considerar como trabajo futuro:

Analizar e investigar el fenómeno presentado por los transistores de alto voltaje diseñados y fabricados en este trabajo. Sin embargo, como el transistor puede operar como dispositivo de amplificación analógica sería interesante encontrar alguna aplicación para este transistor.

Las estructuras de prueba deben ser estudiadas con más detalle a fin de evitar resonancias que no permitan aplicar un método de desincrustación adecuado.

Fabricar el transistor con el que se realizaron las simulaciones, caracterizarlo para corroborar la validez del modelo.

Investigar a profundidad la causa de la relativa baja eficiencia del amplificador.

Referencias:

- [1] N.O. Sokal and A. D. Sokal, "Class E, a new class of high-efficiency tuned single-ended switching power amplifiers", IEEE Solid State Circuits, vol. SC-10, pp 168- 176, June 1975.
- [2] Frederick H. Raab, "Idealized Operation of the Class E Tuned Power Amplifier" IEEE Transaction on Circuits and Systems, vol. CAS-24, pp 725-735, No. 12 December 1977
- [3] M. Kazimierczuk, "Class E Power Amplifier with shunt inductor", IEEE Journal of Solid-State Circuits, vol. SC-16, pp 2-7, No. 1, February 1981
- [4] M. Kazimierczuk and Puczko, "Exact analysis of Class E Tuned Power Amplifier at any Q and switch Duty Cycle", IEEE Transaction on Circuits and Systems, vol. CAS-34, pp 149-159, No. 2, February 1985
- [5] Thomas B. Mader, "Quasi-Optical Class-E Power Amplifiers", Thesis dissertation, University of Colorado, 1992
- [6] N.O. Sokal, "Class E High-Efficiency Power Amplifiers, From Hf To Microwave", IEEE MTT-S Digest, pp 1109-1112, 1998
- [7] David K. Choi, "A Physically Based Analytic Model of FET Class-E Power Amplifiers—Designing for Maximum PAE", IEEE Transactions On Microwave Theory And Techniques, pp 1712-1720, Vol. 47, No. 9, September 1999
- [8] N.O. Sokal, "Class-E Switching-Mode High-Efficiency Tuned Rf/Microwave Power Amplifier: Improved Design Equations", IEEE MTT-S Digest, pp 779-782, 2000
- [9] David K. Choi, "High Efficiency Switched-Mode Power Amplifiers for Wireless Communications", Thesis dissertation, University of California, 2001
- [10] T. Suetsugu and M. Kazimierczuk, "Comparison of Class-E Amplifier With Nonlinear and Linear Shunt Capacitance", IEEE Transactions On Circuits And Systems, pp 1089-1097, Vol. 50, No. 8, August 2003
- [11] D. Kessler and M. Kazimierczuk., "Power Losses and Efficiency of Class-E Power Amplifier at Any Duty Ratio" IEEE Transactions On Circuits and Systems-Regular papers. Vol. 51. No. 9.p. 1675-1689. September 2004.

- [12] Andrei Grebennikov, "Load Network Design Techniques for Class E RF and Microwave Amplifiers", *High Frequency Electronics*, pp 18-32, Vol. 3 No. 7, June 2004. On-line magazine: www.highfrequencyelectronics.com
- [13] Randy Rhea, "The Yin-Yang of Matching: Part I Basic Matching Concepts", *High Frequency Electronics*, pp 16-25, Vol. 5 No. 3, March 2006
On-line magazine: www.highfrequencyelectronics.com
- [14] Randy Rhea, "The Yin-Yang of Matching: Part II Practical Matching Techniques", *High Frequency Electronics*, pp 16-25, Vol. 5 No. 3, March 2006, On-line magazine: www.highfrequencyelectronics.com
- [15] H. Ballan and M. Declercq, "High Voltage Devices and Circuits in Standard CMOS Technologies", Kluwer Academic Publishers. ISBN 0-7923-8234-X. 1999
- [16] J. A. Herrera, J. L. Del Valle, "900 MHz band class E PA using high voltage n-channel transistors in standard CMOS technology"
- [17] T. Myono, "Modeling and Parameter Extraction Technique for HV MOS Devices with BSIM3v3", *Journal for Circuit Simulation and Spice Modeling Engineers*, Vol. 12, No. 7, July 2000
- [18] T. Myono, "High Voltage MOS Device Modeling with BSIM3v3 Spice model", *IEICE Trans. Electron.*, Vol. E82-C, No. 4 April 1999
- [19] Andrei Grebennikov, "Exact Time-Domain Analysis of Class E Power Amplifiers with Quarterwave Transmission Line", *High Frequency Electronics*, Vol. 3 No. 7, June 2004. On-line magazine: www.highfrequencyelectronics.com
- [20] Andrei Grebennikov, "RF and Microwave Power Amplifier Design", McGraw-Hill, ISBN 0-07-144493-9, 2005
- [21] R. Torres Torres, R. Murphy-Arteaga, "Enabling a Compact Model to Simulate the RF Behavior of MOSFETs in Spice" Wiley Interscience, www.interscience.com
- [22] R. Torres-Torres, R.S. Murphy-Arteaga y S. Decourette. "MOSFET gate resistance determination". *Electronics Letters*, Vol. 39, No. 2, January 2003
- [23] Christian C. Enz, Yuhua Cheng. "MOS Transistor Modeling for RF IC Design" *IEEE Trans. Solid State Circuits*, Vol. 35, No. 2, February 2000
- [24] Seonghearn Lee, Hyun Kyu Yu. "A Semianalytical Parameter Extraction of a SPICE BSIM3v3 for RF MOSFET's using S-Parameters" *IEEE Trans. Microwave Theory and Techniques*. Vol. 48. No. 3, March 2000
- [25] An analytical MOS Transistor Model Valid in all Regions of Operation and Dedicated to Low-Voltage and Low Current Applications" *Analog Integrated Circuits and Signal Processing*. Vol. 8. pp 83-114, 1995.

- [26] R. Vidir Reynisson, Troles Emil Holding, "Measurement Based Extraction of MOSFET Small-Signal Parameters". RF Integrated Systems & Circuits (RISC) group. Technical Report R2000-1004. ISSN 0908-1224.
- [27] Troles Emil Holding, "Compact Model Specification of RF MOSFET with DC and AC Evaluations". RF Integrated Systems & Circuits (RISC) group. Technical Report R99-1005. ISSN 0908-1224
- [28] Troles Emil Holding, "Calculation of MOSFET Gate Impedance", RF Integrated Systems & Circuits (RISC) group. Technical Report R98-1009. ISSN 0908-1224.
- [29] Reydezel Torres-Torres, Roberto Murphy-Arteaga, J. Apolinar Reynoso-Hernández, "Analytical Model and Parameter Extraction to Account for the Pad Parasitics in RF-CMOS", IEEE Transactions on Electron Devices, Vol. 52, No. 7, July 2005
- [30] T. Emil Holding, "A Four-step Method for De-Embedding Gigahertz On-Wafer CMOS Measurements". IEEE Trans. on Electron Devices, Vol. 47, No. 4, April 2000
- [31] Ewert P. Vandame, Dominique M. M., "Improved Three-Step De-Embedding Method to Accurately Account for the Influence of Pad Parasitics in Silicon On-Wafer RF Test-Structures". IEEE Trans. on Electron Devices. Vol. 48, No. 4, April 2004
- [32] Koolen, M., Geelen, J., Versleijen, M., "An improved de-embedding technique for on-wafer high frequency characterization," in Proc. BCTM 1991, pp. 188-191.
- [33] Ismail, M., Tan, N., "Pad de-embedding in RF CMOS", IEEE Circuits and Devices Magazine, Vol. 17, pp. 8-11, May 2001.
- [34] Kolding, T.E., "A four step method for de-embedding gigahertz onwafer CMOS measurements", IEEE Trans. Electron Dev., Vol. 47, pp. 734-739, Apr. 2000.
- [35] Williams, D., "De-Embedding and Unterminating Microwave Fixtures with Nonlinear Least Squares", IEEE Transactions on Microwave Theory and Techniques, Vol. 38, No. 6, June 1990, pp. 787-791.
- [36] Troles Emil Holding, "Consistent Layout Technique for Successful RF CMOS Design". RF Integrated Systems & Circuits (RISC) group
- [37] "Layout Rule for GHz-Probing", Application Note. Picoprobe
- [38] "Mechanical Layout Rules for Infinity Probes" Application Note. CASCADE Microtech
- [39] Agilent Technologies, "S-Parameter Design". Application Note. Agilent AN 154
- [40] Noboru Ishihara and Toshihiko Shimizu. "A Simple Equation Model for RF MOS FET". IEEE SiRF, 2006

Apéndice A

Análisis Completo del amplificador Ideal

Asumiendo un ciclo de trabajo de 0.5, un factor de calidad Q alto, elementos concentrados ideales y un interruptor ideal, el análisis parte de la suposición que la corriente en la carga es puramente senoidal. Cuando el conmutador está cerrado la corriente a través del conmutador es la suma de la corriente de salida $i_o(\theta)$ mas la corriente constante I_{DC} proveniente de la fuente de voltaje V_{DD} , esto es

$$i_s = i_o(\theta) + I_{dc} \quad 0 < \theta \leq \pi \quad (\text{A.1})$$

asumiendo que la corriente en la carga es senoidal la ecuación anterior se puede escribir como:

$$i_s = I_o \text{sen}(\theta + \varphi) + I_{dc} \quad 0 < \theta \leq \pi \quad (\text{A.2})$$

donde I_{DC} es la componente de DC en la corriente del capacitor debida a la fuente de alimentación V_{DD} , I_o es la amplitud de la corriente senoidal en la carga y φ es al ángulo de defasamiento introducido por la red de carga. Cuando el conmutador está abierto, la corriente de carga del capacitor C_s es:

$$i_c = i_o(\theta) + I_{dc} \quad \pi < \theta \leq 2\pi$$

es decir:

$$\omega C_s \frac{d}{d\theta} v_s(\theta) = I_o \sen(\theta + \varphi) + I_{dc} \quad \pi < \theta \leq 2\pi \quad (A.3)$$

donde $v_s(\theta)$ es el voltaje entre las terminales del interruptor. La operación del amplificador debe estar sujeta a las condiciones de voltaje de conmutación nulo y conmutación suave que se pueden expresar como:

$$\begin{array}{l} \text{Voltaje de conmutación} \\ \text{nulo} \end{array} \quad i) \quad v_s(\theta) = 0 \quad 0 < \theta \leq \pi \quad (A.4)$$

$$\begin{array}{l} \text{Conmutación} \\ \text{suave} \end{array} \quad \left\{ \begin{array}{l} ii) \quad v_s(\theta)|_{\theta=2\pi} = 0 \\ iii) \quad \frac{d}{d\theta} v_s(\theta)|_{\theta=2\pi} = 0 \end{array} \right. \quad (A.5)$$

$$(A.6)$$

Integrando (A.3) y aplicando la condición dada por (A.4) e se puede encontrar el voltaje en el conmutador:

$$v_s(\theta) = \frac{I_{dc}}{\omega C_s} \int_{\pi}^{\theta} [I_o \sen(\theta + \varphi) + I_{dc}] d\theta' \quad (A.7)$$

$$v_s(\theta) = \frac{1}{\omega C_s} [I_{dc}(\theta - \pi) - I_o(\cos(\theta + \varphi) + \cos \varphi)] \quad \pi < \theta \leq 2\pi \quad (A.8)$$

El valor pico normalizado de la corriente senoidal I_p se puede encontrar aplicando la primera condición de conmutación suave dada por (A.5):

$$v_s(\theta)|_{\theta=2\pi} \frac{1}{\omega C_s} [\pi I_{dc} - 2I_o \cos \varphi] = 0 \quad (A.9)$$

$$I_0 = \frac{\pi}{2 \cos \varphi} I_{dc} \quad (\text{A.10})$$

mientras que φ se calcula a partir de (A.4):

$$\frac{d}{d\theta} v_s(\theta) = \frac{1}{\omega C_s} [I_{dc} + I_0 \text{sen}(\theta + \varphi)] \quad (\text{A.11})$$

$$\left. \frac{d}{d\theta} v_s(\theta) \right|_{\substack{\theta=2\pi \\ I_p = \frac{\pi}{2 \cos \varphi} I_{dc}}} = \frac{I_{dc}}{\omega C_s} \left[1 - \frac{\pi}{2} \tan \varphi \right] = 0 \quad (\text{A.12})$$

$$\varphi = \text{atan} \left(\frac{2}{\pi} \right) \quad (\text{A.13})$$

Conociendo el valor del ángulo de defasamiento dado por la ecuación anterior se pueden derivar las relaciones trigonométricas coseno y seno para el ángulo φ :

$$\tan \varphi = \frac{2}{\pi} \quad (\text{A.14})$$

$$\frac{\text{sen } \varphi}{\cos \varphi} = \frac{2}{\pi} \quad (\text{A.15})$$

$$\text{sen } \varphi = \frac{2}{\pi} \cos \varphi \quad (\text{A.16})$$

$$\text{sen}^2 \varphi = \frac{4}{\pi^2} \cos^2 \varphi \quad (\text{A.17})$$

haciendo uso de la identidad trigonométrica fundamental $\text{sen}^2(x) + \cos^2(x) = 1$, se tiene

$$\frac{4}{\pi^2} \cos^2 \varphi + \cos^2 \varphi = 1 \quad (\text{A.18})$$

entonces:

$$\cos \varphi = \frac{\pi}{\sqrt{\pi^2 + 4}} \quad (\text{A.19})$$

sustituyendo (A.19) en la ecuación anterior se obtiene el valor de la función seno:

$$\text{sen } \varphi = \frac{2}{\sqrt{\pi^2 + 4}} \quad (\text{A.20})$$

evaluando estas relaciones trigonométricas en (A.10), (A.8) y (A.2) se obtienen expresiones para el voltaje y la corriente en el interruptor independientes del ángulo de fase:

$$I_0 = \frac{\sqrt{\pi^2 + 4}}{2} I_{dc} \quad (\text{A.21})$$

$$v_s(\theta) = \frac{I_{dc}}{\omega C_s} \left[\theta - \frac{\pi}{2} \cos \theta - \text{sen } \theta - \frac{3\pi}{2} \right] \quad (\text{A.22})$$

$$i_s(\theta) = I_{dc} \left[1 + \frac{\pi}{2} \text{sen } \theta - \cos \theta \right] \quad (\text{A.23})$$

La relación entre la corriente directa la fuente de alimentación se encuentra asumiendo que el voltaje promedio entre las terminales del conmutador es igual al voltaje de la fuente de alimentación:

$$V_{DD} = \frac{1}{2\pi} \int_0^{2\pi} v_s(\theta) d\theta = \frac{I_{dc}}{\pi \omega C_s} \quad (\text{A.24})$$

$$I_{dc} = \pi \omega C_s V_{DD} \quad (\text{A.25})$$

al multiplicar la ecuación anterior por V_{DD} se encuentra la expresión que describe la potencia disipada en DC:

$$P_{dc} = \pi\omega C_s V_{DD}^2 \quad (A.26)$$

El valor de la potencia disipada en RF se encuentra a partir de la corriente promedio de la corriente de salida:

$$P_{out} = \frac{1}{\omega T} \int_{\theta_0}^{\theta_0+T} Ri_{out}^2(\theta) d\theta \quad (A.27)$$

Voltaje y Corriente Máxima en el Conmutador

Derivando la ecuación (A.22) e igualándola a cero se puede encontrar el ángulo en el que ocurre el máximo:

$$\frac{d}{dx} v_s(\theta) = \pi V_{DD} \left[1 - \cos \theta + \frac{\pi}{2} \text{sen } \theta \right] = 0 \quad (A.28)$$

lo que implica que:

$$1 - \cos \theta + \frac{\pi}{2} \text{sen } \theta = 0 \quad (A.29)$$

expresando la ecuación anterior en términos de la tangente de la mitad del ángulo:

$$1 - \frac{1 - \tan\left(\frac{1}{2}\theta\right)}{1 + \tan^2\left(\frac{1}{2}\theta\right)} + \frac{\pi}{2} \left(\frac{2 \tan\left(\frac{1}{2}\theta\right)}{1 + \tan^2\left(\frac{1}{2}\theta\right)} \right) = 0 \quad (A.30)$$

simplificando:

$$\tan\left(\frac{1}{2}\theta\right)\left[2\tan\left(\frac{1}{2}\theta\right)+\pi\right]=0 \quad (\text{A.31})$$

esta ecuación tiene múltiples soluciones:

$$\theta_1 = 0 \quad (\text{A.32})$$

$$\theta_n = 2\left[\text{atan}\left(-\frac{\pi}{2}\right)\pm n\pi\right] \quad (\text{A.33})$$

sin embargo el máximo ocurre en el intervalo $\pi < \theta \leq 2\pi$, es decir para $n = +1$:

$$\theta_{\max} = 2\left[\text{atan}\left(-\frac{\pi}{2}\right)+\pi\right] \quad (\text{A.34})$$

utilizando la identidad:

$$\text{atan } x + \text{atan } \frac{1}{X} = \begin{cases} \frac{\pi}{2} & X > 0 \\ -\frac{\pi}{2} & X < 0 \end{cases} \quad (\text{A.35})$$

y conociendo que $\varphi = \text{atan}(2/\pi)$, el ángulo donde ocurre el máximo se puede escribir como:

$$\theta_{\max} = 2\varphi + \pi \quad (\text{A.35})$$

las relaciones trigonométricas para el ángulo máximo son:

$$\text{sen } \theta_{\max} = -\frac{4\pi}{\sqrt{4+\pi^2}} \quad (\text{A.36})$$

$$\cos \theta_{\max} = \frac{4 - \pi^2}{4 + \pi^2} \quad (\text{A.37})$$

finalmente, al evaluar las ecuaciones (A.35), (A.36) y (A.38) en la expresión del voltaje en el interruptor se tiene:

$$V_{\max} = 2\varphi\pi V_{DD} \quad (\text{A.38})$$

$$V_{\max} \approx 3.562V_{DD} \quad (\text{A.39})$$

De la ecuación. (A.2) se observa que ocurre un máximo local cuando la función seno es unitaria, es decir:

$$i_{s\max} = I_p + I_{dc} \quad (\text{A.40})$$

sustituyendo el valor de I_p dado por (A.16) finalmente se obtiene que la corriente máxima es:

$$i_{s\max} = \left(1 + \sqrt{\frac{\pi^2}{4} + 1} \right) I_{dc} \quad (\text{A.41})$$

$$i_{s\max} \approx 2.86I_{dc} \quad (\text{A.42})$$



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

Diseño y Simulación de un Amplificador de Potencia Clase E con Líneas de Transmisión en RF Utilizando Tecnología AMI CMOS 0.5um

del (la) C.

Ernesto RUIZ MAY

el día 08 de Diciembre de 2006.

Dr. Juan Luis Del Valle Padilla
Investigador CINVESTAV 3C
CINVESTAV Unidad Guadalajara

Dr. Federico Sandoval Ibarra
Investigador CINVESTAV 3A
CINVESTAV Unidad Guadalajara

Dr. José Raúl Loo Yau
Investigador CINVESTAV 2B
CINVESTAV

Dr. J. Apolinar Reynoso Hernández
Investigador Titular C
CICÉSE



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000006611