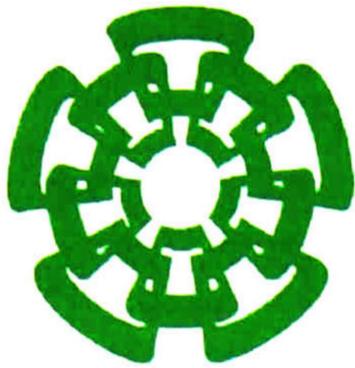


XX(47070.1)



Centro de Investigación y de Estudios Avanzados del I.P.N.
Unidad Guadalajara

**Análisis y simulación, usando herramientas
T-CAD de un MOSFET vertical súper-lineal para
aplicaciones en amplificadores de potencia en
comunicaciones inalámbricas**

Tesis que presenta:
María del Pilar Morales Morelos

para obtener el grado de:
Maestro en Ciencias

en la especialidad de:
Ingeniería Eléctrica

Director de Tesis
Dr. Juan Luis Del Valle Padilla

**CINVESTAV
IPN
ADQUISICION
DE LIBROS**

Guadalajara, Jalisco, Marzo de 2008.

CLABIF: IKIGS.08 .MGT	2008
ADQUIS: OC-SOT	
FECHA: 12-XI-2008	
PROCED. Don. - 2008	
\$	

ID: 144216-1001

**Análisis y simulación, usando herramientas
T-CAD de un MOSFET vertical súper-lineal para
aplicaciones en amplificadores de potencia en
comunicaciones inalámbricas**

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

Por:

María del Pilar Morales Morelos
Ingeniera Electrónica

Instituto Tecnológico de San Luis Potosi 1999-2004

Becario de conacyt, expediente no. 199354

Director de Tesis
Dr. Juan Luis Del Valle Padilla

CINVESTAV del IPN Unidad Guadalajara, Marzo de 2008.

A mis padres, Pilar y Miguel
a mis abuelitos
que a ellos les debo cuanto soy;
cada una de las letras de este trabajo es para ustedes.

Agradecimientos

A DIOS por darme la dicha de vivir, de seguir adelante y de regalarme una familia maravillosa.

A MIS PADRES, Miguel Morales Martínez y Pilar Morelos Pineda. Por apoyarme incondicionalmente en mis decisiones, por creer en mí, por su amor, consejos y paciencia a lo largo de mi vida, y sobretodo por ayudarme a que este momento llegara.

A MIS HERMANOS, Miguel y Vero, por estar conmigo. Por hacerme la vida más alegre y divertida cada vez que nos vemos. Los quiero mucho.

A ROGELIO por el apoyo que me ha brindado, por su confianza y motivación para seguir adelante en todo momento.

A MI FAMILIA por su apoyo y por estar siempre pendiente de lo que hago.

A MIS COMPAÑEROS DE MAESTRÍA Elizabeth, Nancy, Rogelio, Ernesto, Gabriel, Abelardo, Omar, Edwin, Billi, Gregorio, Héctor, Gerardo, Omar Roberto, Leonardo y Alberto que con su amistad hicieron que mi estancia en CINVESTAV Guadalajara fuera agradable.

A MIS PROFESORES Dr. Juan Luís del Valle Padilla, Dr. Federico Sandoval Ibarra y Dr. Raúl Loo Yau por brindar sus conocimientos y experiencias para desarrollarme en la vida profesional.

AL CINVESTAV por la oportunidad de adquirir nuevos conocimientos y formas de pensar.

A CONACyT por el apoyo económico otorgado durante la estancia en la maestría.

Resumen

Análisis y simulación, usando herramientas T-CAD de un MOSFET vertical súper-lineal para aplicaciones en amplificadores de potencia en comunicaciones inalámbricas

El uso de herramientas de simulación T-CAD para diseñar, desarrollar y analizar dispositivos electrónicos con semiconductores es de gran importancia en un mercado tan competitivo como el representado por la industria electrónica. Académicamente es también una herramienta invaluable para la obtención de conocimientos relacionados con la física de los dispositivos y el diseño de una aplicación en la cual el dispositivo es la parte clave para el cumplimiento de las especificaciones del circuito.

El objetivo inicial de esta tesis se centró en la evaluación de un transistor “Súper lineal” de Silicio, descrito en una patente [1] y en un libro [2], que promete dar una solución intrínseca (concepción y diseño del dispositivo) a los problemas de linealidad de los transistores de RF de potencia para aplicaciones en comunicaciones inalámbricas móviles, en las estaciones de base. Dada la relativa complejidad de este dispositivo y de los nuevos conceptos involucrados, el trabajo de tesis se amplió a la consideración de la simulación de dispositivos más conocidos que pudieran aportar conocimientos importantes para el análisis del dispositivo súper lineal. De esta manera, en este trabajo, se presentan la simulación y análisis de varios transistores de potencia para aplicaciones en RF: LDMOS, DMOS Vertical, Transistores de Carga Acoplada y finalmente el Transistor DMOS Súper Lineal.

La herramienta de simulación utilizada fue ISE-TCAD (*Integrated Systems Engineering*). Con esta herramienta es posible simular dispositivos con semiconductores en 2D y 3D y desplegar una gran cantidad de información, características I-V en DC, perfiles de temperatura y concentración de portadores, campos eléctricos, densidades de corriente, etc., así como extraer parámetros de importancia vital en alta frecuencia y evaluación de factores de mérito como la respuesta en frecuencia de los dispositivos.

La principal motivación de esta tesis fue establecer una base de conocimientos en los dispositivos de potencia en aplicaciones de alta frecuencia, así como una infraestructura de programas probados de simulación y análisis que se espera sean de utilidad en futuros proyectos en amplificadores de potencia en la Unidad Guadalajara del Cinvestav.

Abstract

Analysis and simulation, using T-CAD tools of a super-linear vertical MOSFET for applications in power amplifiers in wireless communications

The use of simulation tools T-CAD to design, develop and analyze electronic devices with semiconductor is very important in a market as competitive as represented by the electronic industry. Academically it is also an invaluable tool for obtaining knowledge related to the physics of the devices and the design of an application in which the device is the key part for compliance of the specifications of the circuit.

The initial objective of this thesis is focused on the evaluation of a transistor "Super linear" of Silicon, described in a patent [1] and in a book [2], that promises to give an intrinsic solution (conception and design of the device) to the problems of linearity of RF power transistors for applications in mobile wireless communications, in the base stations. Given the relative complexity of this device and new concepts involved, the thesis work was expanded to the consideration of the simulation of best-known devices who might bring important knowledge for the analysis of the super-linear device. Thus, this work presents the simulation and analysis of several power transistors for applications in RF: LDMOS, DMOS Vertical, Charge-Coupled Transistors and finally the Super Linear DMOS transistor.

The tool of simulation used was ISE- TCAD (Integrated Systems Engineering). With this tool, you can simulate semiconductor devices in 2D and 3D and display a wealth of information, features I-V in DC, profiles of temperature and concentration of carriers, electric fields, current densities, and so on; as well as to extract parameters of vital importance in highly frequency and evaluation of merit factors such as frequency response of the devices.

The main motivation of this thesis was to build a knowledge base on devices power in the applications on high-frequency , as well as an infrastructure of programs proven in the simulation and analysis that are expected are of utility in projects futures in power amplifiers in Unit Guadalajara of Cinvestav.

Tabla de contenido

Agradecimientos.....	viii
Resumen	i
Tabla de contenido	v
Capítulo 1	1
1.1 Introducción.....	1
1.2 Transistores de potencia	2
1.3 Propuesta de trabajo de investigación.....	4
Capítulo 2	6
Análisis de dispositivos MOSFET de potencia	6
2.1 Introducción. Revisión de conceptos básicos	6
2.1.2 Características de transporte.....	7
2.1.2 Perfil de dopado y voltaje de ruptura.....	11
2.2 Operación y características de dispositivos MOSFET de potencia	14
2.3 Transistor de doble-difusión lateral (LD-MOSFET) de potencia.....	15
2.4 Transistor de doble-difusión vertical (VD-MOSFET) de potencia	17
2.5 Transistor de carga acoplada (CC-MOSFET) de potencia	18
2.6 Transistor súper lineal (SL-MOSFET) de potencia.....	19
Capítulo 3	21
Simulación en ISE-TCAD de diversas estructuras MOSFET de potencia	21
3.1 Introducción.....	21

3.2 Estructura LD-MOSFET de potencia	22
3.2.1 Perfiles de dopado	22
3.2.2 Características de transferencia	24
3.2.3 Características de salida.....	26
3.2.4 Extracción de la resistencia de encendido	28
3.2.5 Efectos de temperatura	29
3.2.6 Extracción de capacitancias	31
3.2.7 Respuesta en frecuencia.....	32
3.3 Estructura VD-MOSFET de potencia.....	34
3.3.1 Perfiles de dopado	34
3.3.2 Características de transferencia	35
3.3.3 Características de salida.....	36
3.3.4 Efectos de temperatura	39
3.3.5 Extracción de capacitancias	40
3.3.6 Respuesta en frecuencia.....	41
3.4 Estructura SL-MOSFET de potencia.....	42
3.4.1 Introducción.....	43
3.4.2 Perfil de dopado.....	44
3.4.3 Características de transferencia	46
3.4.4 Características de salida.....	47
3.4.5 Efectos de temperatura	50
3.4.6 Extracción de capacitancias	51
3.4.7 Respuesta en frecuencia.....	52
Capítulo 4	54
Conclusiones y trabajo futuro	54
4.1 Conclusiones.....	54
4.2 Trabajo futuro	57
Apéndice A	58
Análisis de las herramientas ISE-TCAD para la simulación de los dispositivos MOSFET de potencia	58
A.1 Introducción.....	58
A.2 Herramientas ISE-TCAD.....	59

A.3 Herramienta DIOS	59
A.4 Herramienta MDRAW	60
A.4.1 Editor Boundary	60
A.4.2 Editor de dopado y refinamiento	61
A.5 Herramienta DESSIS	62
A.6 Herramienta INSPECT	63
A.6.1 Áreas de trabajo	63
A.6.2 Generación de curvas.....	64
A.7 Herramienta TECPLOT	64
Apéndice B	66
Códigos	66
B.1 Implantación y difusión	66
B.2 Características de transferencia.....	68
B.3 Características de salida	70
B.4 Cambio de temperatura	73
B.5 Modelo de AC. Capacitancias.....	75
B.6 Modo mezclado. Frecuencia	79
Referencias:	83

Capítulo 1

1.1 Introducción

Vivimos la era de la “Globalización” en la que la informática y las telecomunicaciones inalámbricas móviles juegan un papel primordial. La nanotecnología y la ingeniería genética, junto con la informática, las telecomunicaciones y la robótica darán lugar a una nueva era, aún sin nombre, en el que el destino del hombre estará en juego. Un juego que se inició con el control del fuego y el desarrollo de la comunicación oral, hace miles de años.

Donde quiera que hay comunicaciones inalámbricas, hay transmisores, y donde quiera que hay transmisores, hay amplificadores de potencia de RF. Así sea un teléfono celular que transmite unos cientos de miliwatts, una estación base que transmite decenas de watts, un enlace de microondas, o un transmisor de TV radiando cientos de watts, muchos de los principios fundamentales en el diseño del amplificador de potencia son los mismos.

Los dispositivos de potencia RF en aplicaciones inalámbricas deben de cumplir con requerimientos específicos de ganancia de corriente, ganancia de potencia, eficiencia de conversión de energía, de linealidad, de tamaño, costos y de ancho de banda que son un reto para las diversas tecnologías y topologías utilizadas.

El mercado actual de amplificadores en estaciones base está dominado por transistores de Silicio del tipo LDMOS (*Lateral Double diffused Metal Oxide Semiconductor*), debido principalmente al costo de los dispositivos.

En estas estaciones, en las cuales la potencia radiada varía de algunos watts (4 a 10) a decenas de watts (30 a 100), se requiere transistores de potencia capaces de operar a voltajes de drenador elevados (30V a 50V); esto implica que los voltajes de ruptura deban ser grandes (del orden de 100V). Esto se logra incluyendo en el diseño del dispositivo MOS una extensión poco dopada de la región de contacto del drenador, conocida como LDD

(*Low Doped Drain*). En esta región, en la cual el transporte de electrones es por arrastre, se cae una parte substancial del voltaje del drenador, la porción restante es aplicada al funcionamiento seguro de la región MOS del canal. Dado que una región poco dopada podría dar lugar a una resistencia elevada del dispositivo, se utilizan conceptos de diseño conocidos como “RESURF” [3,4] que tiene por objeto optimizar la relación entre el dopado de la región LDD y su espesor para reducir su efecto resistivo.

1.2 Transistores de potencia

Los transistores de Potencia en RF pueden ser de dos tipos, horizontales (laterales) y verticales (Fig. 1-1). Los transistores horizontales, representados por los transistores LDMOS [5], tienen sus contactos de fuente, compuerta y drenador en un mismo plano (tecnología planar). La corriente de drenador fluye paralelamente a la superficie del dispositivo. En los dispositivos verticales [6], la fuente y la compuerta están en el mismo plano, pero el drenador se encuentra en un plano diferente, está en el extremo inferior del dispositivo, así la corriente de drenador fluye perpendicularmente a la superficie del dispositivo.

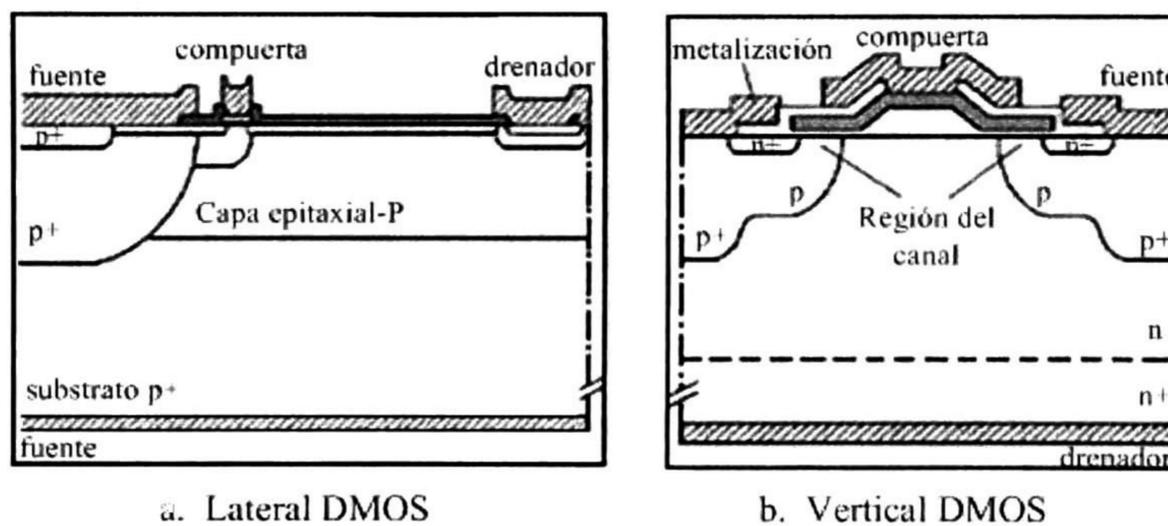


Fig. 1-1 Transistor con canal MOS de doble difusión. a. horizontal, b. vertical.

Generalmente, los transistores de potencia se construyen con arreglos inter-digitados con ancho W_U (celdas unitarias que funcionalmente trabajan en paralelo) como se muestra en la Fig. 1-2. El ancho W_{ef} global del dispositivo es n veces el ancho de las celdas unitarias, donde n es el número de celdas unitarias. Típicamente W_U es del orden de $100\mu\text{m}$, en tanto que el ancho equivalente pueden ser varios milímetros. Debido a que en los dispositivos verticales la región LDD se encuentra en la región masiva (*bulk*) del dispositivo, el largo de las celdas unitarias “*cell pitch*” se reduce, dando lugar a una mayor potencia de salida. Una ventaja adicional reside en que los requerimientos de fotolitografía son más simples que en transistores laterales y también en los procesos de evacuación del calor en la construcción del plano de tierra del lado del contacto de fuente. Estas ventajas son parte del diseño del transistor “súper lineal”, el reto es hacer que supere también las prestaciones del transistor LDMOS.

De fundamental relevancia es la respuesta en frecuencia de los dispositivos de potencia, un factor de mérito es la frecuencia de corte a ganancia de corriente unitaria con la salida corto

circuitada. En el límite superior, esta frecuencia está limitada por el tiempo de tránsito de los electrones desde el contacto de fuente al de drenador. Aquí, el largo del canal debe tener dimensiones submicrométricas con velocidades equivalentes a la velocidad de saturación de los electrones; el objetivo es alcanzar ganancias de corriente y de potencia a frecuencias de operación de 2GHz - 3GHz como lo demandan las aplicaciones modernas en telefonía celular. Un incremento en la frecuencia de operación conduce a un ancho de operación del dispositivo mayor y con ello a una mayor cantidad de información transmitida.

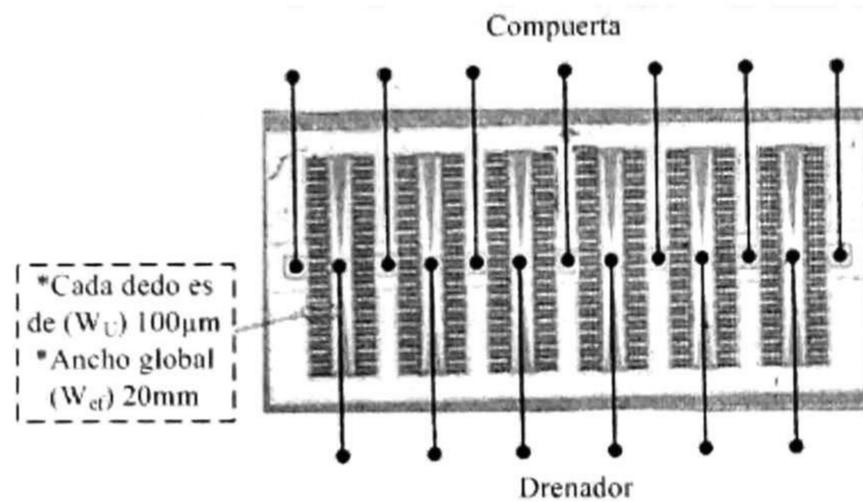


Fig. 1-2 Layout de un dispositivo LDMOS de potencia.

Un factor de mérito esencial para ganar una mayor participación en el mercado de las estaciones base es la linealidad de los dispositivos. Dado que los transistores son operados a niveles de señales de compuerta elevados (gran señal) las regiones no lineales de los transistores producen componentes de inter-modulación que son difíciles de eliminar, puesto que se encuentran generalmente en la región del ancho de operación del dispositivo, y que interfieren con la información transmitida. Para eliminar este problema se utilizan esquemas de linealización digital sofisticados que incrementan substancialmente el costo de los amplificadores [7].

La mayoría de las regiones no lineales en los transistores pueden evitarse mediante un rango de polarización adecuada de DC de los amplificadores que conducen a las varias clases de amplificadores, clase A, B, AB. Sin embargo, estas topologías dan lugar a un conflicto entre linealidad y disipación de calor (eficiencia de conversión). Así, el amplificador clase A es la configuración de mayor linealidad pero de mínima eficiencia de conversión de la energía (DC a AC). La eficiencia de conversión es menor al 50%. Esto es un amplificador de 10watts de potencia de RF producirá 10 ó más watts de calor a ser disipado por el sistema de enfriamiento. El amplificador clase B puede trabajar a una eficiencia cercana al 80% pero con una linealidad mucho menor que el de clase A. Un buen compromiso entre linealidad y eficiencia lo representan los amplificadores de potencia de RF clase AB. Dado que este trabajo de Tesis se enfocó en las características de linealidad de los dispositivos analizados, la operación en clase A fue la mejor elección para determinar su respuesta en frecuencia.

Sin embargo, una no linealidad que no puede evitarse con el rango de polarización adecuado de DC, es la no linealidad de la transconductancia del amplificador. Esta puede observarse en las características de salida I_{DS} vs. V_{DS} a voltajes constantes de V_{GS} (Fig. 1-3a) por la separación no homogénea entre líneas de corriente de saturación, o de una grafica

de transferencia I_{DS} vs. V_{GS} a un voltaje de drenador fijo (Fig. 1.-3b). En este último tipo de grafica, la derivada de la corriente de drenador con respecto a V_{GS} es un parámetro de mérito de un transistor usado como amplificador, entre más grande sea el intervalo de V_{GS} , en el cual la transconductancia se mantenga constante, mejor será la linealidad del transistor, conduciendo al empleo de menores recursos externos para corregir los efectos no lineales o mejorando la respuesta en frecuencia.

La posibilidad de un transistor súper lineal se dirige particularmente a este último objetivo, el de poseer un rango más amplio de operación lineal en función de la señal de entrada, incrementando la densidad de potencia (w/mm), simplificando la fabricación, reduciendo componentes parásitas que limitan la frecuencia de corte a 3dB e incrementando la respuesta en frecuencia. El propósito de esta tesis es describir un camino que pueda conducir a este objetivo.

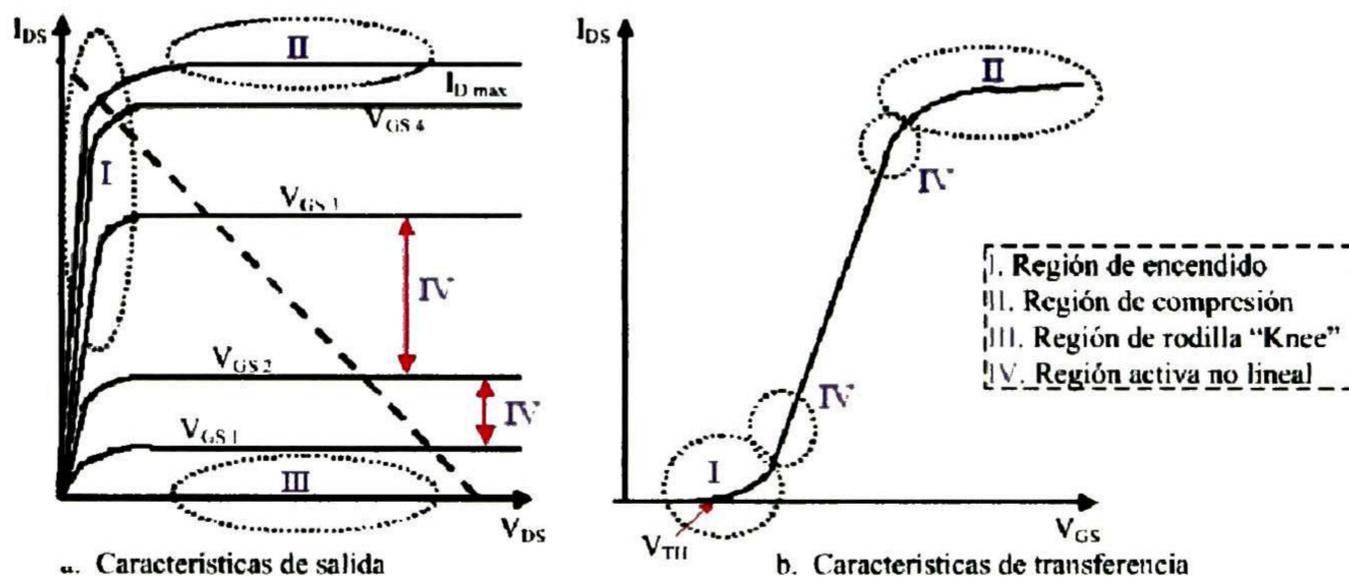


Fig. 1-3 Regiones no lineales en transistores DMOS. a. Características de salida, b. Características de transferencia.

1.3 Propuesta de trabajo de investigación

El objetivo general en este trabajo de tesis es comprender las condiciones de diseño y realizar la simulación de los transistores MOSFET de potencia. Para este trabajo se hace un análisis mediante la física de estos dispositivos acerca del funcionamiento de los transistores de potencia, de su linealidad y de los parámetros que resulten ser de mayor importancia; como las características de salida, características de transferencia, capacitancias, transconductancia, linealidad, ganancias de corriente y de potencia, y su funcionamiento en RF. La construcción de las estructuras estudiadas en esta tesis se realiza mediante la simulación de los dispositivos empleando ISE-TCAD. Al final se ilustra una tabla de comparación de los parámetros relevantes de cada una de ellas.

La tesis se desarrolla en cuatro capítulos y dos apéndices, con los cuales se cubren los temas revisados durante la investigación. El primer capítulo es una breve introducción al tema de los MOSFET de potencia, y cubre los temas del MOSFET de potencia en la actualidad.

El capítulo 2 hace un análisis básico de la operación de los MOSFET de potencia. Se especifican las concentraciones de dopado, el grosor de la capa epitaxial, la longitud del canal, se deducen las ecuaciones de corriente y voltaje que rigen la operación física de los MOSFET de potencia tomando en cuenta el voltaje de ruptura deseado para las estructuras de doble difusión lateral (LD-MOSFET), el transistor de doble difusión vertical (VD-MOSFET), el transistor de carga acoplada (CC-MOSFET) y el transistor súper lineal (SL-MOSFET).

El capítulo 3 presenta los resultados de las simulaciones de las cuatro estructuras MOSFET de potencia obtenidos con la herramienta ISE-TCAD, se describen las características de salida, característica de transferencia, capacitancias de entrada, capacitancias de salida y capacitancias de transferencia, transconductancia, linealidad, su funcionamiento en RF y los efectos que dependen de la temperatura.

En el capítulo 4 se presentan los resultados y las conclusiones generales. Y, se plantea el trabajo de investigación futuro. Finalmente se dan apéndices con información relevante acerca de las herramientas ISE-TCAD, sus componentes, las áreas de trabajo, metodología para crear las curvas de los dispositivos y los programas desarrollados en DESSIS usados para la simulación de los dispositivos.

Capítulo 2

Análisis de dispositivos MOSFET de potencia

En este capítulo se presenta el análisis de las características del MOSFET de potencia, y principalmente se describen las características del transistor de doble difusión lateral (LD-MOSFET) [5,8], del transistor de doble difusión vertical (VD-MOSFET) [6,8], del transistor de carga acoplada (CC-MOSFET) [9] y del transistor súper lineal (SL-MOSFET) [1,10].

Entre las características más importantes de los MOSFETs de potencia está su habilidad de soportar altos voltajes del drenador. Esta característica depende del dopado, largo y espesor de una región especialmente diseñada que funciona como extensión del drenador y se conoce como región de “*drift*” o LDD (“*Low Doped Drain*”). En este capítulo se analiza teóricamente cómo esto puede ser obtenido.

2.1 Introducción. Revisión de conceptos básicos

Dado el éxito actual de la tecnología CMOS en circuitos digitales y analógicos en aplicaciones de baja señal, existe un gran interés en extrapolar esta tecnología. Sus características de bajo costo y aportaciones al campo de los amplificadores de potencia capaces de funcionar a frecuencias elevadas, tales como las usadas en telefonía celular, proporcionan la potencia y calidad de señal requeridas para ser transmitidas en las estaciones de base de esta importante tecnología de comunicación inalámbrica.

2.1.2 Características de transporte

Para los transistores MOSFET de potencia RF, la longitud del canal debe ser submicrométrica ya que esta magnitud determina la respuesta en frecuencia y garantiza un tiempo de transito reducido entre la fuente y el drenador. Esto da lugar a que las características de salida sean más lineales que en un transistor de canal largo (en un transistor de canal largo la corriente de saturación es determinada por la oclusión del canal, en tanto que en un transistor de canal corto, esta corriente es limitada por la saturación de la velocidad de los electrones debido al campo eléctrico lateral de mayor magnitud). Por otra parte, la región de arrastre que debe soportar voltajes grandes y campos eléctricos grandes, opera también en la región de saturación de velocidad y se comporta como un transistor de unión de efecto de campo, JFET.

Cuando una polarización positiva es aplicada a la compuerta del MOSFET de potencia de canal largo, un canal es inducido en la superficie de la región base-P por la formación de una capa de inversión. Bajo condiciones de fuerte inversión, donde la polarización de compuerta excede el voltaje de umbral para formar la capa de inversión, la carga en la capa de inversión está dada por el modelo de control de carga [11]:

$$Q_{inv} = C_{ox} (V_G - V_{TH}) \quad (2.1)$$

donde C_{ox} es la capacitancia por unidad de área de la compuerta, V_G es la polarización y V_{TH} es el voltaje de umbral. La capacitancia del óxido de compuerta por unidad de área (capacitancia de compuerta específica) se puede obtener usando:

$$C_{ox} = \left(\frac{\epsilon_{ox}}{t_{ox}} \right) \quad (2.2)$$

donde ϵ_{ox} es la constante dieléctrica para el dióxido de silicio ($3.41 \times 10^{-13} \text{F/cm}$) y t_{ox} es el grosor del óxido de la compuerta.

Se puede obtener una expresión para el voltaje de umbral usando el punto de transición de la inversión débil en la inversión fuerte:

$$V_{TH} = \frac{\sqrt{4\epsilon_s k T N_A \ln(N_A / n_i)}}{(\epsilon_{ox} / t_{ox})} + \frac{2kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (2.3)$$

donde ϵ_s es la constante dieléctrica para el silicio ($1.04 \times 10^{-12} \text{F/cm}$), k es la constante de Boltzman ($1.38 \times 10^{-23} \text{J/}^\circ\text{K}$), T es la temperatura absoluta, N_A es la concentración de dopado de la región base-P, y n_i es la densidad de portador intrínseca para el silicio ($1.4 \times 10^{10} \text{cm}^{-3}$ a 300°K).

Cuando el voltaje de drenador se hace comparable en magnitud de la diferencia de la polarización de compuerta con el voltaje de umbral " $V_D \cong (V_G - V_{TH})$ ", la suposición de que la carga en la capa de inversión es uniforme ya no es válida.

La conducción de la corriente a través del canal puede ser modelada usando la aproximación de canal gradual [2]. Este análisis conduce a la ecuación (2.4) que es la relación entre la corriente de drenador (I_D) y el voltaje del drenador (V_D):

$$I_D = \frac{\mu_{inv} C_{ox} Z}{2L} [2(V_G - V_{TH})V_D - V_D^2] \quad (2.4)$$

donde Z y L son el ancho y la longitud del canal, respectivamente. De acuerdo a esta ecuación, cuando el voltaje de drenador es pequeño comparado con la diferencia de la polarización de compuerta con el voltaje de umbral " $V_D < (V_G - V_{TH})$ ", la relación corriente-voltaje de drenador se hace lineal:

$$I_D = \frac{\mu_{inv} C_{ox} Z}{2L} [2(V_G - V_{TH})V_D] \quad (2.5)$$

En este régimen lineal de operación (voltaje de drenador pequeño), la transconductancia g_m está dada por la ecuación (2.6) y es independiente de la polarización de compuerta en el régimen de operación lineal.

$$g_m = \frac{dI_D}{dV_G} = \frac{\mu_{inv} C_{ox} Z}{L} V_D \quad (2.6)$$

Conforme el voltaje de drenador aumenta, el segundo término de la ecuación (2.4) llega a ser significativo llevando a una saturación de la corriente de drenador. Físicamente, está relacionado a una reducción en la carga de la capa de inversión cerca del extremo del drenador del canal (oclusión del canal).

Finalmente, cuando el voltaje de drenador llega a ser igual a " $V_G - V_{TH}$ ", la corriente de drenador alcanza su valor de saturación. La corriente de saturación (I_{Dsat}) está dada por:

$$I_{Dsat} = \frac{\mu_{inv} C_{ox} Z}{2L} (V_G - V_{TH})^2 \quad (2.7)$$

Esta ecuación es conocida como la relación de la "ley-cuadrática" entre la corriente y el voltaje de drenador que es generalmente aplicable para MOSFET de canal largo. En este régimen de operación de la corriente de saturación, la transconductancia del MOSFET de canal largo está dada por:

$$g_m = \frac{dI_D}{dV_G} = \frac{\mu_{inv} C_{ox} Z}{L} (V_G - V_{TH}) \quad (2.8)$$

Como está indicado, la transconductancia aumenta linealmente con el aumento del voltaje de compuerta. La transconductancia más grande es benéfica para obtener una ganancia RF más grande, sin embargo el óxido de compuerta delgado aumenta la capacitancia de entrada del MOSFET.

Por otro lado, la teoría de canal largo de características I-V y transconductancia no necesariamente aplica para los transistores MOSFET de potencia que deben operar a frecuencias de RF. En estos casos la longitud del canal debe ser submicrométrica ya que esta magnitud determina la respuesta en frecuencia de ganancia unitaria [12]:

$$f \propto \frac{1}{trr} = \frac{v}{L} \quad (2.9)$$

donde trr es el tiempo promedio de transito de los electrones desde la fuente al drenador, L es la longitud del canal y v es la velocidad de los electrones.

Cuando L es de magnitud submicrométrica, el voltaje de saturación V_{Dsat} es menor que el voltaje de saturación de un transistor de canal largo y por lo tanto la corriente de saturación de drenador I_{Dsat} ya no está determinada por la oclusión del canal (punto de densidad de carga igual a cero), si no por la velocidad de los electrones que depende del campo eléctrico en el canal. De hecho la saturación de la velocidad de los electrones se modela de acuerdo a la ecuación (2.10) que ajusta razonablemente bien con los datos experimentales (ver Fig. 2-1).

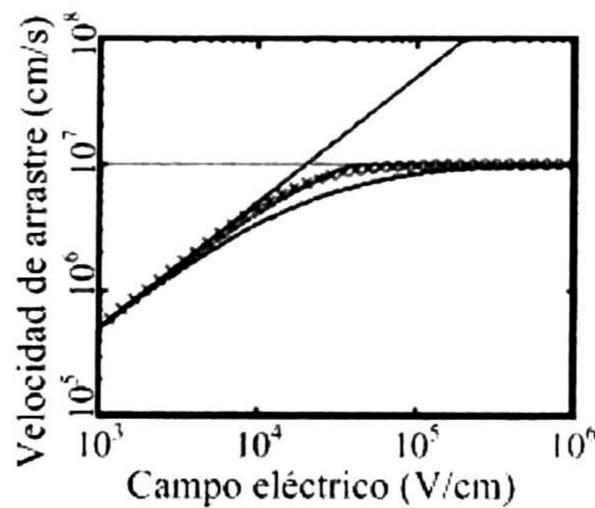


Fig. 2-1 Relación entre la velocidad de los electrones y el campo eléctrico en Silicio [18].

$$v(F) = \begin{cases} \frac{\mu F}{1 + F / F_{sat}} & F < F_{sat} \\ V_{sat} & F > F_{sat} \end{cases} \quad (2.10)$$

F_{sat} es la intensidad del campo eléctrico a la cual los electrones adquieren su máxima velocidad (velocidad de saturación) y μ es la movilidad de los electrones a campos eléctricos bajos.

Cuando la magnitud del campo eléctrico es igual a F_{sat} , la velocidad de los electrones será igual a la velocidad de saturación, $V_{sat} = 1 \times 10^7$ cm/seg en Silicio. Bajo estas condiciones F_{sat} puede calcularse mediante la formula:

$$F_{sat} = \frac{2V_{sat}}{\mu} \quad (2.11)$$

Siguiendo esta aproximación la corriente de drenador en la región triodo está dada por [11]:

$$I_{DS} = \mu C'_{ox} \frac{W}{L \left[1 + \frac{V_{DS}}{V_L} \right]} \left[(V_G - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.12)$$

donde $V_L = F_{sat} * L$ y C'_{ox} es la capacitancia por unidad de área del canal.

El voltaje de saturación será:

$$V_{DS}^{sat} = \frac{V_L V_{GT}}{V_{GT} + V_L} \quad (2.13)$$

donde $V_{GT} = V_{GS} - V_{TH}$. La correspondiente corriente de saturación para un transistor de canal corto será:

$$I_{DS}^{sat} = \frac{g_{ch} V_{GT}}{1 + \sqrt{1 + \left(\frac{V_{GT}}{V_L} \right)^2}} \quad (2.14)$$

con,

$$g_{ch} = \mu_n C_{ox} (V_{GT}) \frac{W}{L} \quad (2.15)$$

Debido a que V_L decrece conforme L decrece, cuando V_{GT} crece:

$$\frac{V_{GT}}{V_L} > 1 \quad (2.16)$$

Luego I_{Dsat} será:

$$I_{Dsat} = \mu C'_{ox} V_L \frac{W}{L} V_{GT} \quad (2.17)$$

Esto es, una función lineal del voltaje de compuerta con transconductancia constante, en la región de saturación donde $V_{GT} > V_L$.

Esta característica es un atributo de un transistor MOSFET submicrométrico. Esta característica es aprovechada en los transistores MOSFET de potencia en RF para mejorar las características de linealidad de los dispositivos.

Por otro lado, la región LDD que blinda al canal de la influencia del voltaje elevado del drenador, se comporta como un transistor de unión de efecto de campo (*Junction FET*) que debido a los campos eléctricos elevados, característicos de esta región, también se

encuentra en saturación. De esta manera las características I-V de los transistores MOSFET de potencia en RF en una primera aproximación están dadas por una ecuación del tipo [2]:

$$I_D = C'_{ox} (V_{GS} - V_{TH}) \left[\frac{10^7 F}{[(10^5 + F^{13})]^{0.77}} \right] \quad (2.18)$$

donde $F = V_D/L_D$, V_D es el voltaje aplicado al drenador y L_D es la longitud de la región LDD.

2.1.2 Perfil de dopado y voltaje de ruptura

Los dispositivos de potencia de alto voltaje requieren de regiones de arrastre LDD, con concentraciones de dopado relativamente bajas y grosores relativamente grandes. Para obtener un voltaje de ruptura de 75V – 80V, es necesario hacer la longitud de la región LDD entre la compuerta y el drenador alrededor de 5 μ m [13]. Para proporcionar una longitud de canal apropiada es necesario determinar la concentración de dopado en la región de arrastre o equivalentemente en la capa epitaxial y en la región base-P.

La capacidad de soportar altos voltajes es determinada por el principio del *voltaje de ruptura por avalancha*, el cual ocurre cuando el campo eléctrico dentro de la estructura del dispositivo llega a un valor crítico. En los dispositivos de potencia, el campo eléctrico crítico puede ocurrir en dos situaciones: dentro de las regiones interiores del dispositivo en donde tiene lugar el transporte de corriente o en las terminaciones de los dispositivos.

Cuando se aumenta el voltaje, el campo eléctrico en la región de agotamiento aumenta y los portadores móviles son acelerados a velocidades elevadas. En el caso del silicio, los portadores móviles logran una velocidad de arrastre saturada de alrededor de 1×10^7 cm/s cuando el campo eléctrico llega a ser más grande de 1×10^5 V/cm [2].

El voltaje de ruptura por avalancha ocurre como resultado del proceso de ionización por impacto, que crea pares electrón-hueco dentro de la región de agotamiento y que produce un flujo de corriente. Una aproximación para el coeficiente de ionización por impacto que es útil para derivar soluciones analíticas para el voltaje de ruptura del dispositivo es [13]:

$$\alpha = 1.8 \times 10^{-35} \cdot E^7 \quad (2.19)$$

donde α es el coeficiente de ionización por impacto y E es el campo eléctrico. De aquí, que el voltaje de ruptura del dispositivo se puede reducir severamente por la presencia del elevado campo eléctrico localizado dentro de la estructura.

La condición del voltaje de ruptura por avalancha ocurre cuando el número total de pares electrón-hueco generados dentro de la región de agotamiento se acerca al infinito; esta condición corresponde a:

$$\int_0^w \alpha \cdot dx = 1 \quad (2.20)$$

Las uniones poco profundas y con altas concentraciones, en substratos homogéneos ligeramente dopados, se acercan al comportamiento de una unión abrupta en las que la región de agotamiento se extiende en el lado menos dopado (substrato).

Para la distribución del potencial, se debe resolver la ecuación de Poisson. La ecuación de Poisson en la región-P está dada por:

$$\frac{d^2V}{dx^2} = -\frac{dE}{dx} = -\frac{Q(x)}{\epsilon_s} = \frac{q \cdot N_A}{\epsilon_s} \quad (2.21)$$

donde $Q(x)$ es la carga en la región de agotamiento debido a la presencia de aceptores ionizados, ϵ_s es la constante dieléctrica del semiconductor, q es la carga del electrón, y N_A es la concentración de aceptores en la región-P dopada homogéneamente.

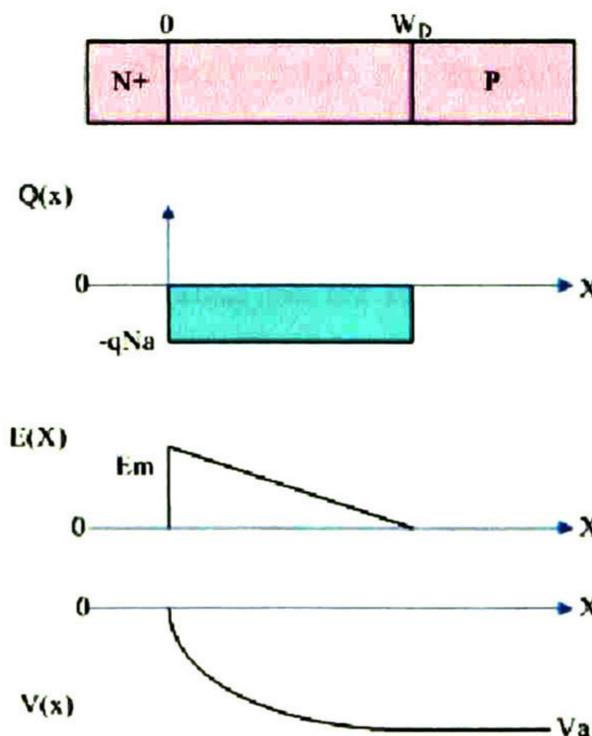


Fig. 2-2 Distribución del campo eléctrico para unión P-N abrupta.

La condición de frontera que establece que el campo eléctrico debe ser cero en la terminación (W_D) de la región de agotamiento (Fig. 2-2), proporciona una solución para la distribución del campo eléctrico:

$$E(x) = \frac{qN_A}{\epsilon_s} (W_D - x) \quad (2.22)$$

La integración del campo eléctrico a través de la región de agotamiento con la condición de frontera de que el potencial es cero en la región N^+ proporciona la distribución del potencial:

$$V(x) = \frac{qN_A}{\epsilon_s} \left(W_D \cdot x - \frac{x^2}{2} \right) \quad (2.23)$$

El potencial en la región de agotamiento varía cuadráticamente de 0 en la región N^+ a V_a en la terminación de la región de agotamiento. Entonces, el grosor de la región de agotamiento (W_D) se puede obtener usando la condición de frontera $V=V_a$ a $x = W_D$:

$$W_D = \sqrt{\frac{2\epsilon_s V_a}{qN_A}} \quad (2.24)$$

Consecuentemente, reduciendo la concentración de dopado permite al diodo soportar voltajes más grandes. Al aumentar la polarización aplicada, aumenta el ancho de la región de agotamiento y el campo eléctrico máximo en la región de agotamiento. Usando las ecuaciones (2.22) con (2.23), el campo eléctrico máximo se puede relacionar con una polarización aplicada:

$$E_m = \sqrt{\frac{2qN_A V_a}{\epsilon_s}} \quad (2.25)$$

Se puede obtener una solución aproximada para el voltaje de ruptura del diodo de unión abrupta usando la distribución del campo eléctrico definido por la ecuación (2.22) en la integral de ionización dada por la ecuación (2.20) con la ecuación (2.19) para relacionar el coeficiente de ionización con el campo eléctrico:

$$\int_0^W 1.8 \times 10^{-35} \left[\frac{qN_A}{\epsilon_s} (W_D - x) \right]^7 dx = 1 \quad (2.26)$$

Integrando la ecuación (2.26), se encuentra el ancho en la región de agotamiento crítico ($W_{c,pp}$) en el punto de ruptura para la unión plano-paralelo abrupta,

$$W_{c,pp} = 2.67 \times 10^{10} N_A^{-7/8} \quad (2.27)$$

El voltaje de ruptura por avalancha para la unión plano-paralelo abrupta puede obtenerse sustituyendo $x=W_D$ en la ecuación (2.23),

$$V(x) = \frac{qN_A}{\epsilon_s} \left(W_D^2 - \frac{W_D^2}{2} \right) \quad (2.28)$$

y después sustituyendo $W_D=W_{c,pp}$

$$V(x) = \frac{qN_A}{2\epsilon_s} \left(2.67 \times 10^{10} \cdot N_A^{-7/8} \right)^2 \quad (2.29)$$

Finalmente se encuentra el voltaje de ruptura:

$$BV_{pp} = 5.34 \times 10^{13} N_A^{-3/4} \quad (2.30)$$

Para obtener un voltaje de ruptura (BV) deseado se hace uso de las ecuaciones (2.27) y (2.30), éstas permiten calcular el grosor ($W_{c,pp} = W_D$) y la concentración de dopado de la capa epitaxial, respectivamente.

El campo eléctrico máximo bajo la condición de ruptura es referido como el campo eléctrico crítico. Sustituyendo el voltaje de ruptura de la ecuación (2.30) en la ecuación (2.25), se muestra como

$$E_{c,pp} = 4010N_A^{1/8} \quad (2.31)$$

El campo eléctrico crítico es un parámetro útil para identificar el inicio del voltaje de ruptura por avalancha dentro de las estructuras del dispositivo, en el caso de estructuras planas paralelas.

2.2 Operación y características de dispositivos MOSFET de potencia

Varios son los factores de mérito para que un transistor MOSFET de potencia pueda ser competitivo comercialmente en el mercado de las estaciones de base para aplicaciones de telefonía celular. El primero es que proporcione la potencia necesaria a la frecuencia de la portadora, con el consecuente ancho de banda. Esta potencia, dependiente de las aplicaciones, está en el rango de 4watts a decenas de watts. El segundo factor de mérito es la eficiencia de conversión de la energía de las condiciones de polarización de DC a las condiciones de RF de la potencia radiada. Este factor depende de la topología utilizada para el diseño del amplificador: clase A, B, AB y tiene una incidencia en el costo del sistema. El tercer factor es el más crítico y tiene que ver con el grado en que el amplificador se comporta linealmente. Las no linealidades del dispositivo amplificador provocan distorsión. Las soluciones digitales a este problema son muy costosas y determinan el costo de las estaciones de base modernas.

Para un transistor MOSFET de potencia ideal con características de transferencia lineales, el espaciamiento entre las características de salida es igual, independientemente del nivel de corriente de drenador y del voltaje de compuerta V_{GS} . El comportamiento lineal de los MOSFET de potencia es un parámetro crítico para el buen funcionamiento de los amplificadores de potencia. En la Fig. 2-3 se muestra las características de salida de un MOSFET de potencia con linealidad ideal.

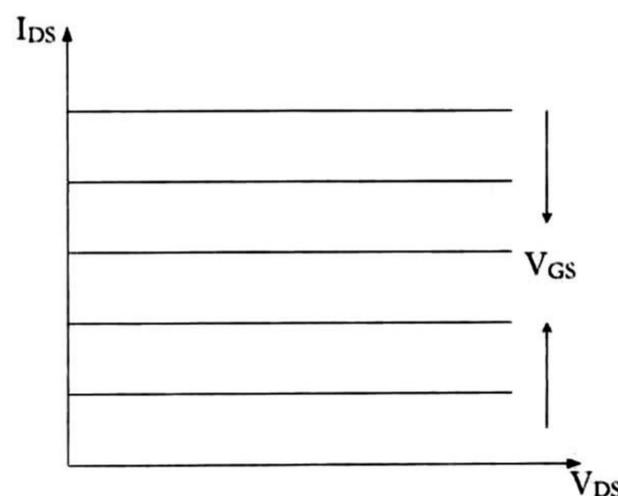


Fig. 2-3 Característica de salida de un transistor ideal.

Las características de transferencia de un transistor real de potencia en la Fig. 2-4 muestran las regiones de subumbral, V_{GS} menor que V_{TH} , la región de operación lineal, la región de inversión débil y la región de fuerte inversión, regiones altamente no lineales que acotan el límite inferior y superior de la región lineal. El límite superior de la región lineal está determinado por el umbral de la región de compresión [5,14], en el cual la transconductancia se reduce drásticamente. Esta región limita la corriente de drenador máxima " I_{DSmax} ", para una operación lineal del transistor.

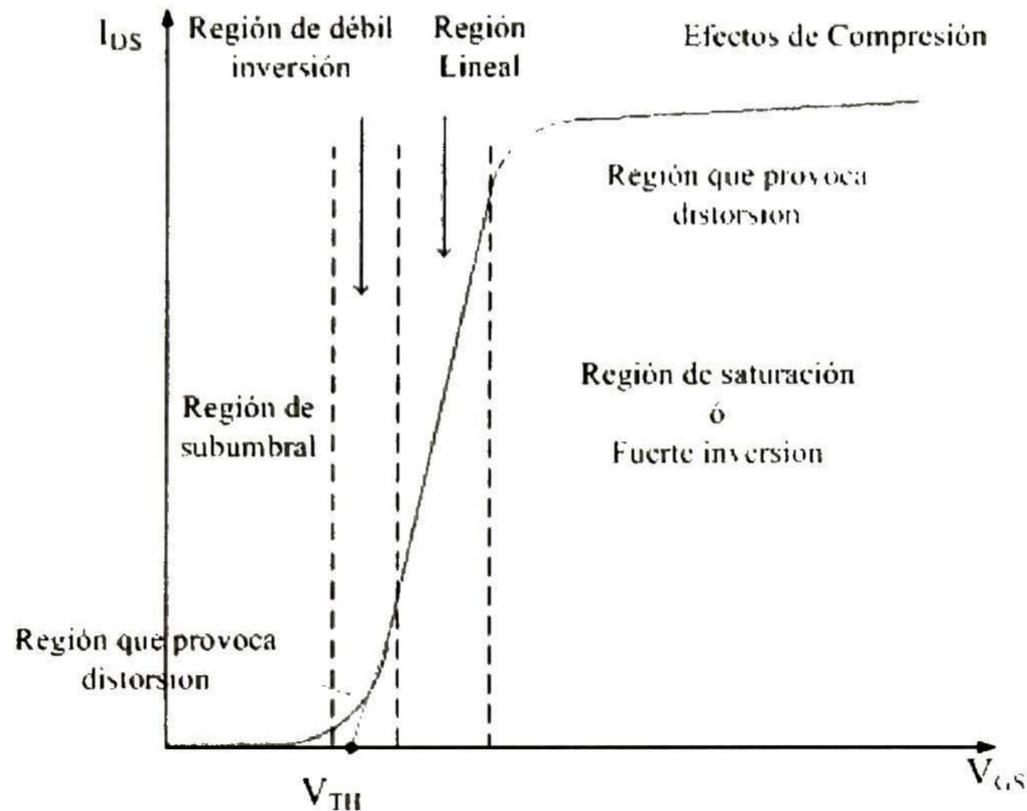


Fig. 2-4 Característica de transferencia del MOSFET para un voltaje de drenador en la región de saturación.

Luego, el ancho de la región lineal puede servir como un factor de mérito para comparar varios transistores de potencia de tecnología diferente o para propósitos de optimización de parámetros físicos y tecnológicos de una tecnología en particular. En todo caso, este ancho representara el voltaje pico a pico de una señal de entrada, típicamente del orden de un volt pico a pico.

2.3 Transistor de doble-difusión lateral (LD-MOSFET) de potencia

El proceso de doble difusión permitió el control de la longitud del canal a dimensiones submicrométricas sin la necesidad de usar herramientas de litografía sofisticadas y por lo tanto de alto costo.

El transistor LD-MOSFET se construye con una capa epitaxial tipo-P crecida en un substrato- P^+ dopado fuertemente (ver Fig. 2-5). Una región altamente dopada "*sinker P^+* " profunda se añade a la estructura para lograr conectar la región de fuente- N^+ al substrato- P^+ . Enseguida se forma una región P de bajo dopado (Base-P) y una región N^+ (Fuente- N^+) usando la misma máscara de difusión. El canal se establece por la diferencia en las extensiones laterales P y N^+

Para permitir la operación de alto voltaje con longitudes de canal corto, se crea una región N ligeramente dopada (LDD), usando una máscara apropiada que esté en contacto con la región N⁺ del drenador. La principal función de esta región es evitar que se cree un campo eléctrico elevado tanto del lado del drenador como del lado de la compuerta.

Mediante procesos fotolitográficos apropiados se forma el óxido de compuerta, el metal de compuerta y los contactos de compuerta, fuente, drenador y substrato. Para la estructura MOSFET de doble difusión lateral se tomaron los valores típicos en cuanto a la longitud, ancho, grosor, material y perfil de dopado, de acuerdo con las referencias [5,15].

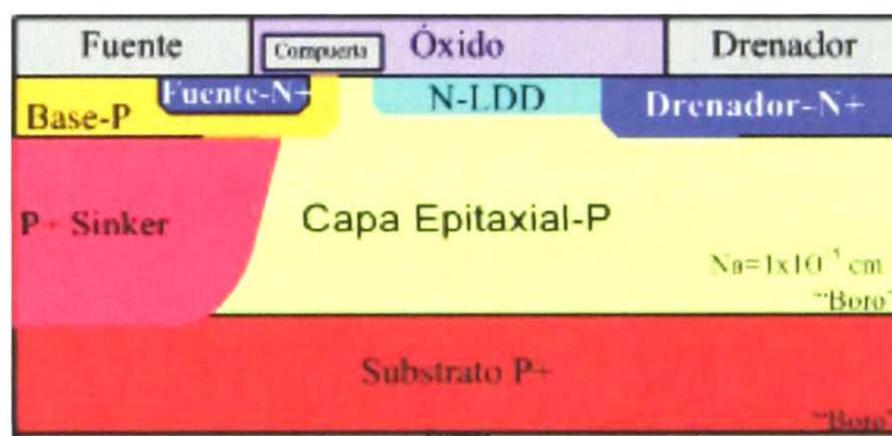


Fig. 2-5 Estructura MOSFET de doble difusión lateral.

La operación del transistor LD-MOSFET es similar a la operación de un transistor MOSFET canal-n convencional, salvo que la región LDD permite la operación a voltajes de drenador substancialmente mayores, lo que le permite generar una mayor potencia de salida. Por otra parte, dado que la operación deberá ser a señales de entrada grandes (volts y no milivolts), el espesor del óxido será mayor y por lo tanto mayor el voltaje de umbral.

Un voltaje de compuerta positivo y mayor que el voltaje de umbral generará una región de inversión directamente abajo del canal, esta corriente será inyectada a la región LDD que usualmente se comporta como un transistor de unión de efecto de campo (*Junction Fet*); esto es como un resistor no lineal controlado por el voltaje del substrato del transistor MOSFET. Dado que los campos eléctricos son elevados en esta región, los electrones alcanzaran la velocidad de saturación y este transistor operará en su región de saturación.

¿Como la región LDD permite cambios en la distribución del campo eléctrico en sus fronteras tanto del lado de la compuerta como del drenador? Esto se explica físicamente usando el concepto de Campo Eléctrico Reducido en la Superficie (RESURF):

Cuando el transistor se polariza, se crea un campo eléctrico alto en la superficie de la capa epitaxial, principalmente en el borde de las regiones de compuerta y drenador. La estructura RESURF en el dispositivo LDMOS es construida por un diodo lateral (base-P/epi-P) que define la característica de la $R_{ON,sp}$ y un diodo vertical (N-LDD/epi-P) que permite maximizar el voltaje de ruptura. La distribución simétrica del campo eléctrico en la superficie se obtiene cuando la carga LDD es $N_{epi} \cdot t_{epi} = 1 \times 10^{12} \text{ cm}^{-2}$, donde N_{epi} y t_{epi} son la concentración y el grosor de la capa epitaxial.

2.4 Transistor de doble-difusión vertical (VD-MOSFET) de potencia

Aunque la arquitectura vertical permite el diseño de dispositivos de alto voltaje con potencia de salida significativa, su respuesta en frecuencia fue limitada debajo de 500MHz, debido principalmente al uso de una longitud de compuerta grande. Esto hace que los primeros VD-MOSFETs no presenten una linealidad adecuada para amplificadores de alta frecuencia. El interés de presentarlo aquí se debe a que los conceptos básicos de su funcionamiento son la base para el diseño de transistores verticales más avanzados.

El dispositivo se fabrica con un capa epitaxial tipo-N crecida en un substrato N^+ dopado fuertemente. El canal es formado por la diferencia en la extensión lateral de las regiones base-P y fuente- N^+ producida por sus ciclos de difusión. Ambas regiones se auto-alinean debido a que se utiliza la misma máscara para la implantación iónica y posterior difusión. En la estructura VD-MOSFET se tomaron los valores típicos de longitud, ancho, grosor, material, polarizaciones y perfil de dopado de acuerdo con la referencia [6].

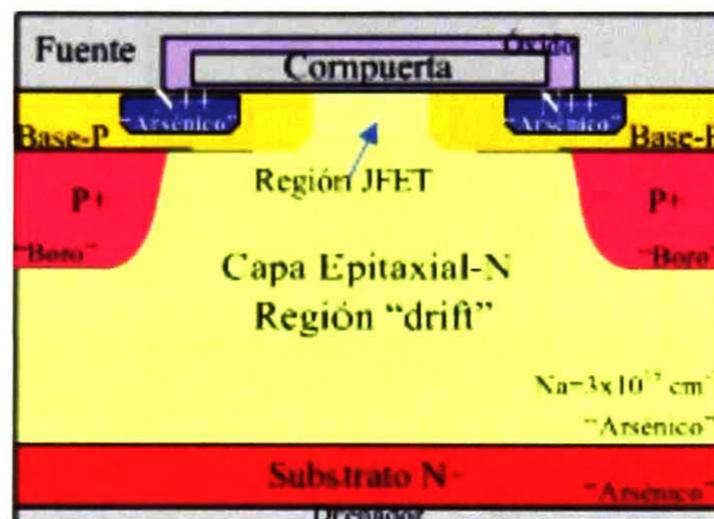


Fig. 2-6 Estructura MOSFET de doble-difusión vertical.

A diferencia de la estructura LD-MOSFET, el contacto del drenador para la estructura VD-MOSFET está localizado en el extremo inferior del substrato N^+ . Esto permite utilizar estructuras geométricas con dos electrodos de fuente simétricos.

Puesto que la corriente relativamente alta que conducen los electrodos de fuente y drenador se localiza en lados opuestos de la oblea, es posible crear un contacto de fuente largo para traslapar el electrodo de fuente sobre el electrodo de compuerta como se muestra en la Fig. 2-6. De esta manera no es necesario utilizar una etapa de fotolitografía para definir los electrodos de fuente.

La aplicación de una polarización positiva en la compuerta, mayor que la del voltaje de umbral, produce una capa de inversión en el canal, es decir, en la región superficial de la región base-P abajo del electrodo de compuerta. Cuando se aplica una polarización positiva al drenador fluye una corriente vertical de drenador a fuente.

La separación de las regiones base-P debe ser lo suficientemente grande para que no se produzcan efectos de ruptura por alcance bajo la polarización elevada del drenador. Dado

que la separación efectiva entre las dos regiones de carga del espacio de la base depende de la polarización de drenador, esto conformará una resistencia de valor variable, que suele asociarse a una estructura conocida como transistor de unión de efecto de campo (*Junction FET*).

Por otra parte, dado que la longitud del canal conduce a estructuras de canal largo, la relación corriente de drenador " I_{DS} " vs. voltaje de drenador " V_{DS} ", conduce a una relación cuadrática de la corriente I_{DS} vs. V_{DS} , cuando el transistor está en saturación.

2.5 Transistor de carga acoplada (CC-MOSFET) de potencia

Este transistor permitió obtener una resistencia de encendido record en su época para los transistores VD-MOSFET de potencia. Dado que la longitud de la región base-P pudo reducirse y su respuesta en frecuencia fue más elevada.

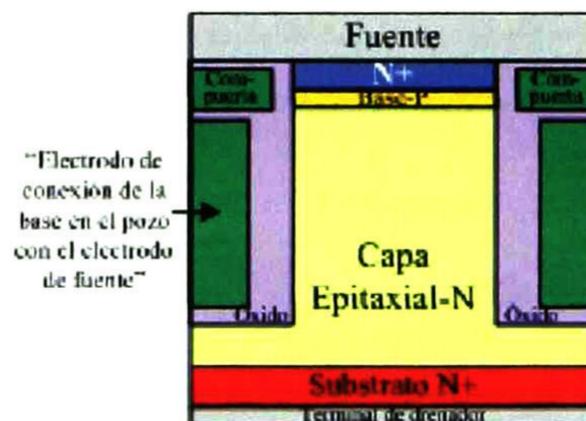


Fig. 2-7 Estructura MOSFET de carga acoplada.

A diferencia de la estructura LD-MOSFET el contacto de drenador para el CC-MOSFET se localiza en el fondo del substrato- N^+ . Puesto que los electrodos de fuente y drenador transportan alta corriente, estos se localizan en lados opuestos de la oblea. Adicionalmente es posible crear un contacto largo de fuente encima del electrodo de fuente, aislado mediante un óxido como se muestra en la Fig. 2-7. El transporte de la corriente a través del electrodo de fuente reduce la densidad de corriente evitando problemas de electro-migración y elimina el uso de etapas de fotolitografía.

El dispositivo se fabrica con una capa epitaxial tipo-N crecida sobre un substrato N^+ dopado fuertemente. El canal es formado por la diferencia en la extensión vertical de las regiones base-P y fuente N^+ producidas por la implantación iónica y por los ciclos de difusión. Se graban dos fosos profundos en la mayor parte de la región de conducción (LDD) seguida por la obstrucción de los pozos con óxido que parcialmente llena los fosos, como se muestra en la Fig. 2-7. Los valores típicos del tamaño, dopado y polarizaciones se tomaron de acuerdo con la referencia [2].

Al igual que en las estructuras LD-MOSFET y VD-MOSFET, el flujo de corriente del drenador en la estructura CC-MOSFET es inducido por la aplicación de una polarización positiva al electrodo de compuerta. Esto produce una capa de inversión en la superficie de

la región base-P a lo largo del lado de las paredes del foso adyacente a los electrodos de compuerta. Este canal de capa de inversión proporciona un camino para el transporte de electrones de fuente a drenador cuando el voltaje de drenador es aplicado. La longitud del canal en la estructura CC-MOSFET debe ser suficientemente larga para evitar la ruptura por alcance “*Reach-through*” de la capa de inversión en la región base-P.

El fenómeno de carga-acoplada en la estructura CC-MOSFET permite soportar el voltaje de drenador aplicado dentro de la región de bajo dopado-N con un campo eléctrico pequeño en la unión P-N, base-P/LDD. Esto permite la reducción de la longitud del canal, lo cual es óptimo para reducir la resistencia del dispositivo y para obtener una transconductancia alta la cual es benéfica para operación de alta frecuencia. La baja caída de voltaje a través del canal, incluso a voltajes de polarización de drenador elevados, es favorecedora para obtener el modo de operación súper-lineal porque el canal permanece en este modo lineal de operación.

El método de la carga acoplada bidimensional puede ser implementado con una región LDD tipo-N dopada uniformemente (referido como el CC-MOSFET) o se puede obtener usando un perfil lineal gradual (referido como GD-MOSFET) [1] dentro de la región LDD. El perfil lineal gradual GD-MOSFET se desarrolla para hacer uniforme el campo eléctrico a lo largo de la región LDD dando por resultado una resistencia de encendido baja para la estructura.

Las estructuras CC-MOSFET y GD-MOSFET no serán simuladas en esta tesis debido a la necesidad de aislar los electrodos de compuerta y fuente dentro del foso. En cambio, se realizan las simulaciones de la estructura SL-MOSFET que basadas en las estructuras de referencia superan con mucho sus contribuciones.

2.6 Transistor súper lineal (SL-MOSFET) de potencia

La estructura SL-MOSFET utiliza usa el concepto de carga-acoplada, mencionado anteriormente. Esta estructura, llamada súper-lineal (SL) maneja un perfil de dopado que produce un campo eléctrico uniforme. En contraste, la estructura CC-MOSFET con la región LDD dopada uniformemente tiene una distribución de campo eléctrico no-uniforme, lo cual degrada la resistencia de salida. Por esta razón, la estructura SL-MOSFET sólo considera el perfil lineal gradual.

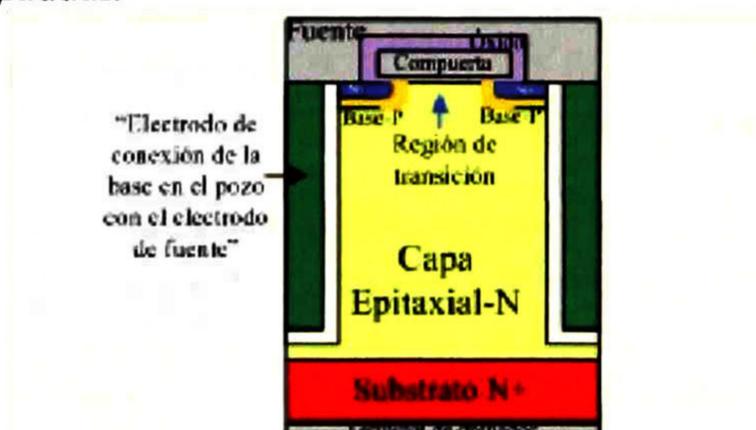


Fig. 2-8 Estructura MOSFET Súper Lineal

El dispositivo se fabrica con un capa epitaxial tipo-N, con un perfil lineal gradual, crecido en un substrato N^+ dopado fuertemente. Se graba un foso profundo a través de la mayor parte de la región LDD seguida por la cobertura de óxido grueso que parcialmente llena el foso. Enseguida, se deposita polisilicio- N^+ para llenar el foso y así formar lo que se conoce como un electrodo de conexión de la base en el pozo con el electrodo de fuente “*trench-based source-connected-electrode*”. El óxido de compuerta se crece en la parte superior de la superficie de la región de arrastre. Las regiones base-P y fuente- N^+ son formadas por implantación iónica de los dopantes respectivos con auto alineación al electrodo de compuerta. Posteriormente se usa una implantación iónica de alta energía (de gran profundidad) para reducir la resistencia de la región base-P sin reducir la concentración de dopado en la superficie de esta región. Los ciclos de redistribución “*drive-in*” de las regiones base-P y fuente- N^+ determinan la longitud del canal, que puede controlarse con dimensiones submicrométricas. Para la estructura SL-MOSFET se tomaron los valores típicos de longitud, ancho, grosor, material, polarizaciones y perfil de dopado de acuerdo con las referencias [1,2].

En la estructura MOSFET súper lineal (SL) mostrada en la Fig. 2-8, el contacto “*trench-based source-connected-electrode*” y el contacto de la región de fuente- N^+ están unidos. Esto reduce el espacio tomado por las ventanas de contactos permitiendo un ancho de la región de arrastre y una longitud de celda elemental “*cell pitch*” pequeña. Esto mejora el acoplamiento de carga así como la carga por unidad de área del canal. La baja densidad de corriente en los electrodos metálicos de fuente y drenador de la estructura SL-MOSFET elimina las posibilidades de electro-migración que ha sido un problema para las estructuras LD-MOSFET.

La operación de las estructuras MOSFET de potencia se comprenderá de mejor manera con los resultados de las simulaciones en ISE-TCAD.

Capítulo 3

Simulación en ISE-TCAD de diversas estructuras MOSFET de potencia

En este capítulo se presenta los resultados de simulación en ISE-TCAD de las estructuras MOSFET de potencia de doble difusión lateral, doble difusión vertical, de carga acoplada, y súper lineal encauzado a obtener los parámetros de mérito de cada estructura para establecer los contrastes entre ellas principalmente en cuanto a linealidad y eficiencia.

3.1 Introducción

Actualmente los dispositivos de potencia en RF para estaciones de base en telefonía celular, deben cumplir requerimientos estrictos en lo que se refiere a la potencia de salida, frecuencia, ancho de banda, eficiencia y linealidad.

Los MOSFET de potencia en tecnología de silicio compiten en este mercado con los dispositivos basados en la tecnología de los compuestos III-V (MESFETS y Heterouniones). La principal ventaja de los MOSFETs reside en su costo por función. Para mantener esta ventaja, los MOSFETs deben mejorar sus prestaciones continuamente.

ISE-TCAD es una herramienta que permite simular las características de dispositivos como los MOSFET de potencia en RF. No sólo pueden graficarse y analizarse las características de salida y de transferencia en CD en conjunción con los efectos de la temperatura interna en estos dispositivos, sino también su respuesta en frecuencia y extraer parámetros intrínsecos como las capacitancias entre electrodos.

Por otro lado puede verse, usando las herramientas apropiadas, parámetros físicos en dos o tres dimensiones, como: campos eléctricos, densidades de corriente, potencial electrostático, perfiles de impurezas, recombinación, temperaturas locales, etc. para examinar la respuesta física del dispositivo en complemento a la observación de solamente las respuestas eléctricas externas. Además, esta herramienta de simulación provee una plataforma para “experimentar” con diferentes estructuras a fin de comparar respuestas y prestaciones.

Las ecuaciones de Poisson, las ecuaciones de densidades de corriente y de continuidad se resuelven numéricamente en el simulador utilizando las condiciones de frontera y de dopado adecuadas y se evalúan las características de salida y de transferencia en CD. Por otra parte, usando el modo de AC se evalúan las características de las capacitancias entre electrodos, y empleando el modo mezclado se analiza la respuesta en frecuencia del dispositivo.

Las dimensiones y características de dopado de las distintas regiones de los diferentes dispositivos se obtuvieron de las dimensiones típicas y condiciones encontradas en la literatura. Los perfiles de dopado fueron implementados usando soluciones analíticas.

3.2 Estructura LD-MOSFET de potencia

Los dispositivos LD-MOSFET contienen una región de canal gradual, que permite el control de la corriente de salida del transistor mediante un voltaje de entrada aplicado a la compuerta. Una región de arrastre “*drift*” poco dopada, permite que el transistor opere a altos voltajes, típicos de los diseños de amplificadores de potencia RF para estación de base.

Las dimensiones físicas del dispositivo así como las características del dopado de diferentes regiones fueron obtenidas de las referencias [2,15]. De estos datos se construyó una estructura usando MDRAW que permite definir las condiciones de frontera, los perfiles de dopado y el enrejado necesario para resolver numéricamente las ecuaciones de potencial, de transporte y de continuidad necesarias para simular el dispositivo.

Dado que los perfiles de dopado por usarse en la simulación fueron analíticos, en los que se requiere al menos conocer las concentraciones en la superficie, no fue posible obtener todos los parámetros necesarios para emular las características eléctricas de salida de la referencia, en particular el voltaje de ruptura elevado, se procedió a determinarlos por medio de experimentos de simulación.

3.2.1 Perfiles de dopado

Para obtener el perfil de dopado es necesario determinar la concentración de dopado de la región de arrastre de la capa epitaxial, la concentración de dopado de la región base-P así como la dosis y una longitud apropiada de la región.

El voltaje de ruptura de la estructura LD-MOSFET cambia con aumentos en la dosis-LDD. Para esta estructura, se hizo uso de la herramienta DIOS, con la finalidad de ver con que profundidad de dopado y dosis se obtenían los mejores resultados.

Para establecer una estructura básica del dispositivo, se realizaron varias pruebas de simulación, hasta obtener un voltaje de ruptura muy aproximado al rango entre 75V y 80V. Haciendo uso de MDRAW se construyó la estructura LD-MOSFET con las características mencionadas anteriormente.

Dentro de MDRAW se visualiza, en TECPLOT, la concentración de dopado de toda la estructura y además puede obtenerse la curva del perfil de dopado del canal, como se muestra en la Fig. 3-1 mediante un corte a lo largo de la dirección X a una distancia Y determinada. Mediante el perfil de dopado pueden observarse las concentraciones de dopado de la región de arrastre y de la base-P, las del canal y su longitud.

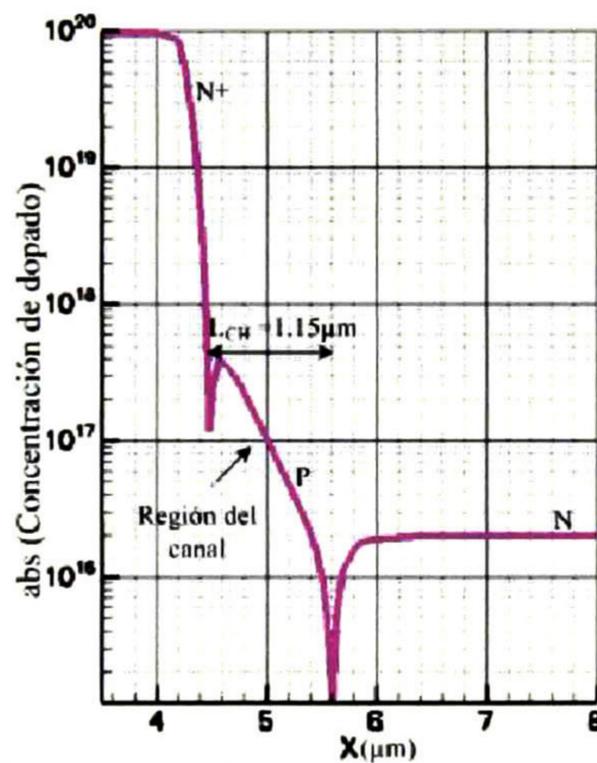


Fig. 3-1 Perfil de dopado del canal para la estructura LD-MOSFET

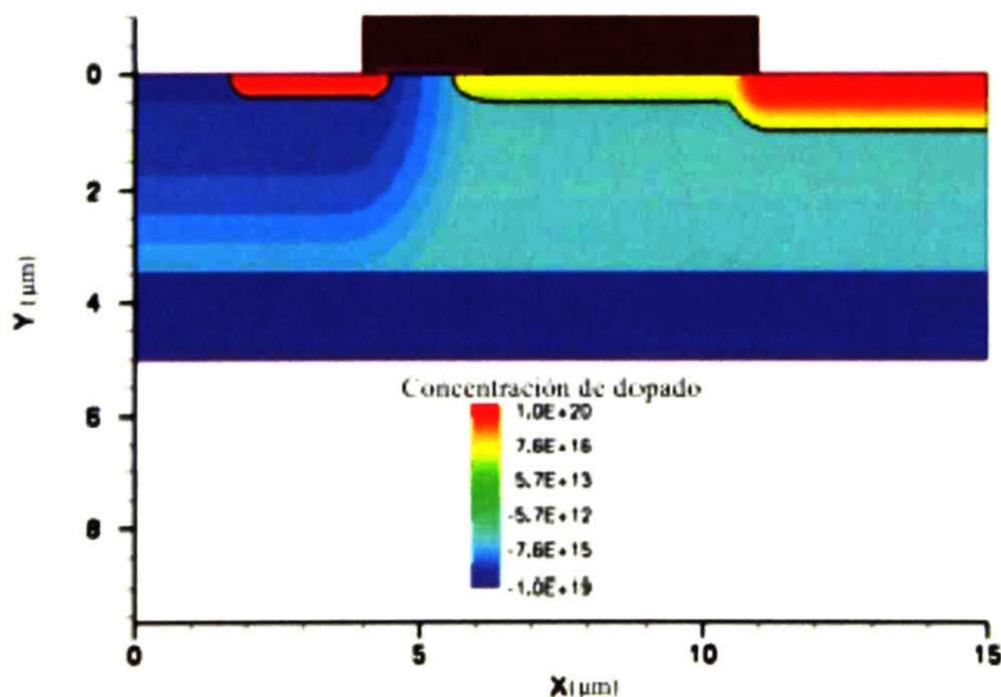


Fig. 3-2 Concentración de dopado de la estructura LD-MOSFET.

En la Fig. 3-2 se muestra una grafica bidimensional de la concentración de dopado obtenido en la simulación de la estructura LD-MOSFET, realizada con los valores que presentaron mejores características para alcanzar el voltaje de ruptura; esto es, con un grosor de la capa epitaxial de $3\mu\text{m}$ y la concentración de dopado de $1\times 10^{15}\text{cm}^{-3}$. La concentración de dopado pico en la región base-P es $1\times 10^{17}\text{cm}^{-3}$, la longitud de compuerta (L_G) es de $2\mu\text{m}$, la longitud de la región de arrastre (L_{LDD}) de $4.5\mu\text{m}$ y la longitud del canal es $1.15\mu\text{m}$. Ver Fig. 3-1.

3.2.2 Características de transferencia

La característica de transferencia permite mostrar parámetros como la transconductancia g_m y el voltaje de umbral V_{TH} , estos son parámetros del dispositivo muy importantes para el diseño, modelado, simulación y utilización de MOSFETs de potencia.

La Fig. 3-3 presenta la simulación de I_{DS} versus V_{GS} ; esto es, la característica de transferencia del dispositivo con $V_{DS} = 30\text{V}$ a temperatura ambiente, obtenidas en INSPECT. Con la característica de transferencia se realiza la grafica de transconductancia, es decir, se crea la primer derivada de la curva con el comando "formula" $diff<(curve)>$, ya que la transconductancia está dada por la derivada de la corriente I_{DS} respecto al potencial de la compuerta V_{GS} .

La transconductancia " g_m ", mostrada en la Fig. 3-3, aumenta linealmente con el aumento del voltaje de compuerta hasta 6.5V y entonces rápidamente disminuye debido al fenómeno de compresión; este efecto se ha atribuido al JFET como corriente de oclusión "*pinch-off*" en la región de arrastre "*drift*" [14,16].

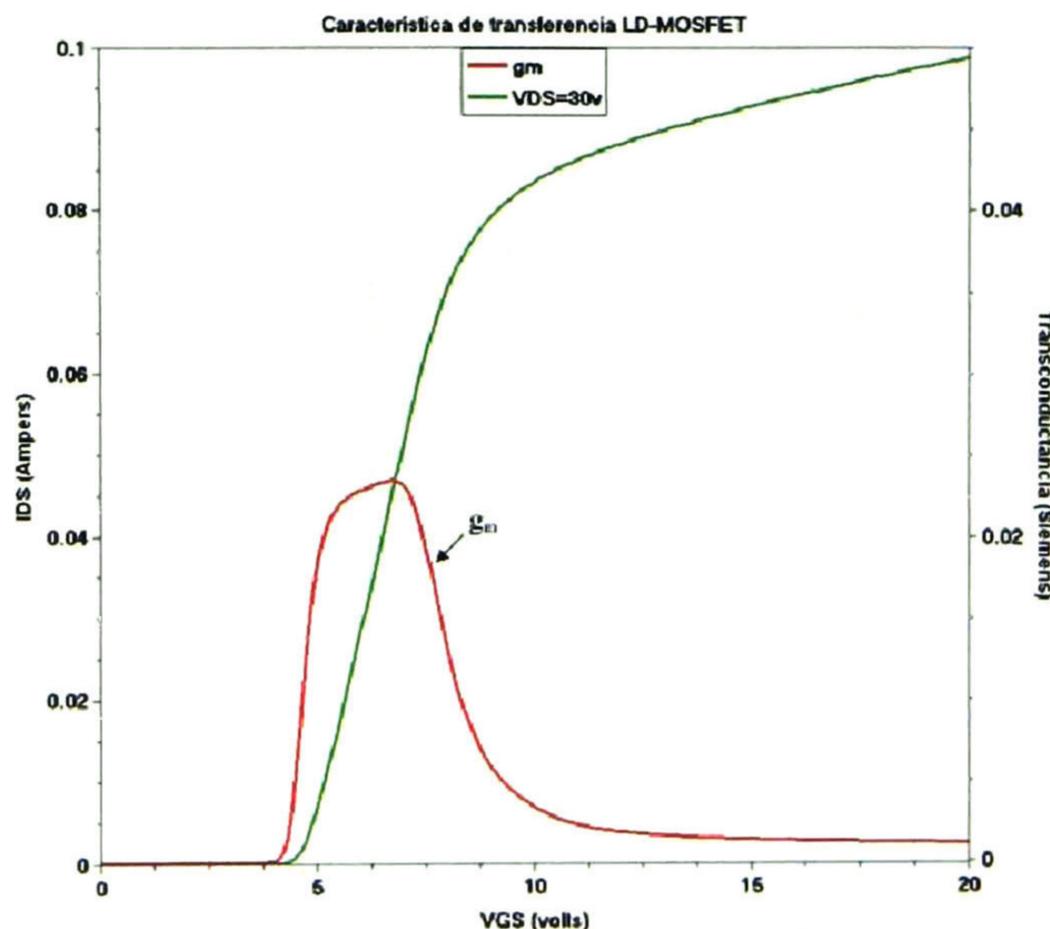


Fig. 3-3 Característica de transferencia y transconductancia de la estructura LD-MOSFET.

La transconductancia grande es favorable para obtener una ganancia RF grande; y se puede lograr reduciendo el grosor del óxido de compuerta t_{ox} , aunque esto implica que la capacitancia de entrada C_{gs} aumente. La razón de que los óxidos sean delgados es precisamente para lograr amplificar señales a altas frecuencias.

La Fig. 3-3 muestra los resultados del dispositivo para un voltaje de drenador-fuente $V_{DS} = 30V$. Por medio de macros en el simulador se puede obtener información de importancia como la transconductancia $g_m = 23.35mS/mm$, y el voltaje de umbral " V_{TH} "

El voltaje de umbral " V_{TH} ", se determina de las características de corriente de drenador versus el voltaje de compuerta. Con la grafica de las características de transferencia simuladas con la herramienta DESSIS, es posible obtener de dos maneras el voltaje de umbral de la estructura LD-MOSFET: la primera es seleccionando el comando "New" en la ventana de INSPECT usando el macro V_{TH} en el comando llamado "formula", se consigue un valor aproximado del voltaje de umbral, $V_{TH} = 4.8V$; la segunda es usando el comando *diff*<(curve)> hasta obtener la tercer derivada de la curva característica de transferencia o lo que es lo mismo la segunda derivada de la transconductancia [17], con la que se conoce el valor preciso del voltaje de umbral debido a que el primer pico de la segunda derivada de la transconductancia coincide con la mínima tensión V_{GS} necesaria para que haya corriente, es decir la denominada tensión de umbral del transistor, correspondiente a $V_{TH} = 4.4V$, esto se muestra en la Fig. 3-4.

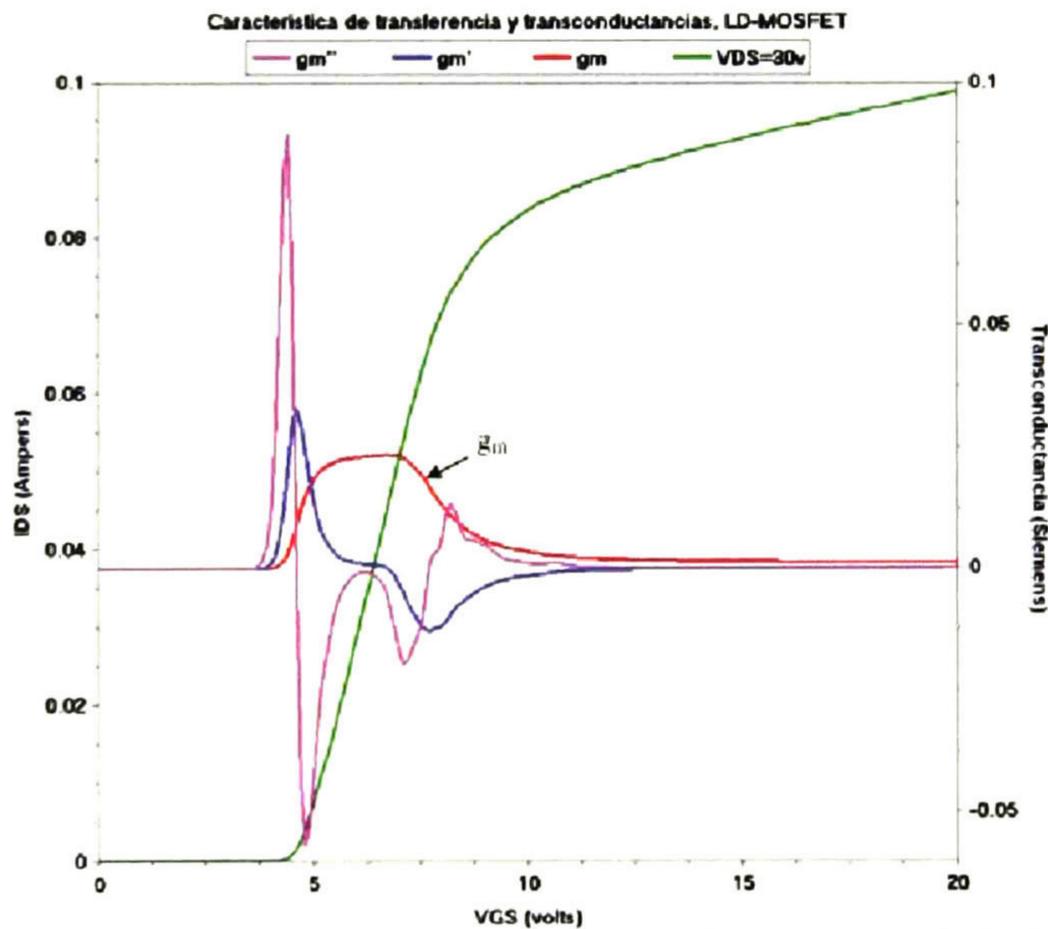


Fig. 3-4 Característica de transferencia, transconductancia y sus derivadas.

Como está indicado en la Fig. 3-4, en la estructura LD-MOSFET inicialmente la transconductancia " g_m " aumenta linealmente con el aumento del voltaje de compuerta. Conforme la polarización aumenta, la transconductancia se mantiene constante dentro del intervalo de 5V a 7V, para después decrecer monótonamente a cero. Este intervalo en el cual la transconductancia se mantiene constante es la región de operación lineal del

dispositivo. El límite superior de voltaje de compuerta, determina la máxima corriente de drenador para una operación lineal. El decremento de la transconductancia con altos valores del voltaje de compuerta se conoce como la región de compresión de la corriente.

3.2.3 Características de salida

En la simulación de las curvas $I_{DS} - V_{DS}$, es posible obtener las características de salida de la estructura LD-MOSFET, así como el voltaje de ruptura (BV). Para esto, en la herramienta DESSIS se crea una variable llamada V_{GS} con los valores de 0, 5, 5.5, 6, 6.5, y 7V.

Para obtener un voltaje de ruptura entre 70 y 80 volts, es necesario hacer la longitud de la región LDD entre compuerta y drenador alrededor de $5\mu\text{m}$. El voltaje de ruptura del LD-MOSFET cambia con aumentos en la Dosis-LDD; tal como se muestra en la Tabla 3-1.

Dosis LDD [cm^{-2}]	Concentración Superficial C_s [cm^{-3}]	Voltaje de Ruptura BV [volts]
5×10^{12}	1.5×10^{17}	37
4×10^{12}	1.1×10^{17}	46
3×10^{12}	8×10^{16}	68
2×10^{12}	4.7×10^{16}	69
1×10^{12}	2.1×10^{16}	72

Tabla 3-1 Comparación de la dosis LDD.

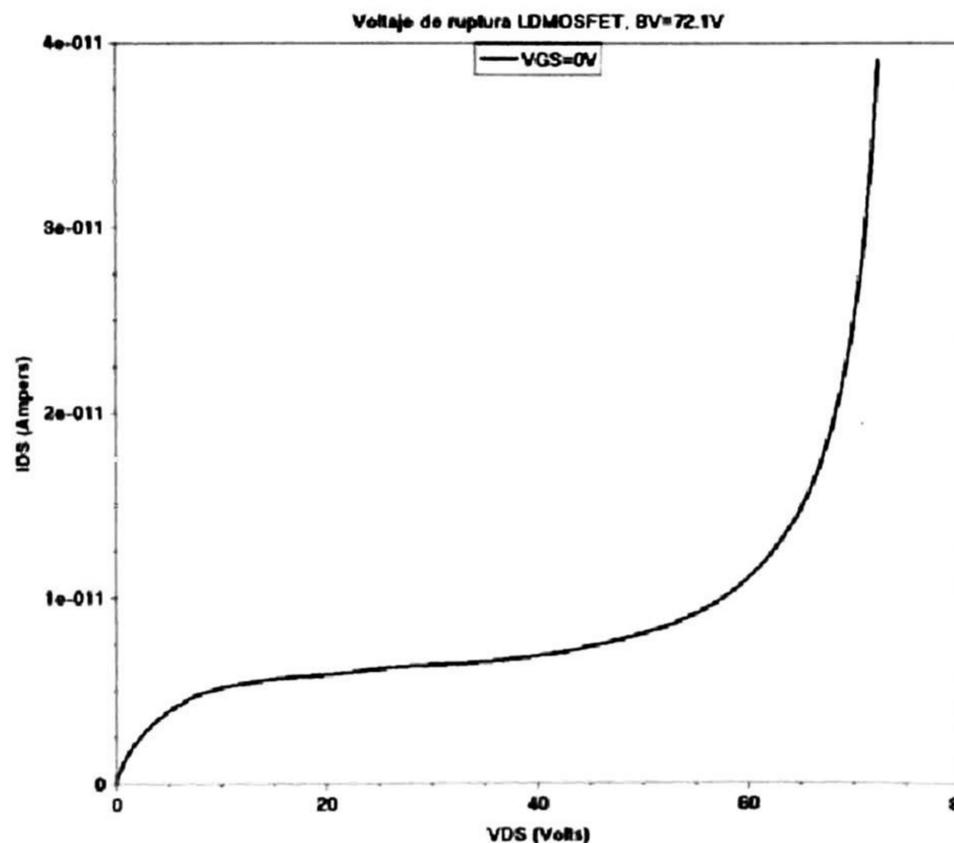


Fig. 3-5 Voltaje de ruptura para la estructura LD-MOSFET.

Para efectos prácticos; la Dosis-LDD= $1 \times 10^{12} \text{cm}^{-2}$ ofrece un voltaje de ruptura muy aproximado al requerido $BV = 72\text{V}$, por ello las simulaciones se realizaron con una concentración superficial de $C_s = 2.1 \times 10^{16} \text{cm}^{-3}$.

Para obtener la curva correspondiente al voltaje de ruptura “BV” de la estructura LD-MOSFET se corre la simulación con $V_{GS} = 0V$, haciendo un barrido para V_{DS} de 0V a 80V y con una dosis LDD de $1 \times 10^{12} \text{cm}^{-2}$. Para evitar problemas de convergencia se añade una resistencia externa al drenador de 10Mega-Ohms. En la Fig. 3-5 se muestra la grafica de I_{DS} vs. V_{DS} para un voltaje de compuerta de cero volts. El voltaje de ruptura se estima a una corriente un orden de magnitud mayor que la corriente de fuga al inicio de la multiplicación por avalancha, el valor obtenido fue de 72V.

En la estructura LD-MOSFET, la corriente de drenador (I_D) fluye a lo largo de la región de arrastre y del canal a la superficie del electrodo de fuente. La corriente entonces es enviada vía la región “*sinker*” P^+ profunda en el substrato- P^+ que se encuentra aterrizado. Por lo tanto, la resistencia de encendido (R_{ON}) de la estructura es determinada no sólo por la resistencia del canal y la región de arrastre sino también por la resistencia del substrato- P^+ [2]:

$$R_{on,sp} = R_{CH,sp} + R_{D,sp} + R_{SUBS,sp} \quad (3.1)$$

En esta ecuación, la resistencia específica de canal $R_{CH,sp}$, está dada por:

$$R_{CH,sp} = \frac{L_{ch} W_P}{\mu_{inv} C_{ox} (V_G - V_{TH})} \quad (3.2)$$

donde L_{ch} es la longitud del canal, W_P es la longitud de la celda unitaria “*cell pitch*”, μ_{inv} es la movilidad de la capa de inversión del canal, C_{ox} es la capacitancia específica de óxido de la compuerta, V_G es el voltaje de compuerta aplicado, V_{TH} es el voltaje de umbral. La resistencia específica de la región de arrastre “*drift*” $R_{D,sp}$ está dada por:

$$R_{D,sp} = \frac{L_{LDD} W_P}{q \mu_n Q_{LDD}} \quad (3.3)$$

donde L_{LDD} y Q_{LDD} son la longitud y la carga de la región de drenador dopada ligeramente, y μ_n es la movilidad del substrato para electrones en la región LDD. La resistencia específica de substrato $R_{SUBS,sp}$ está dada por:

$$R_{SUBS,sp} = \rho_{SUBS} t_{SUBS} \quad (3.4)$$

donde ρ_{SUBS} y t_{SUBS} son la resistividad y el grosor del substrato- P^+ . Para un dispositivo LD-MOS típico diseñado para soportar 75V – 80V, la longitud del canal de la región LDD es alrededor de $5\mu\text{m}$, el largo de la celda elemental “*cell pitch*” es alrededor de $15\mu\text{m}$ debido al espacio tomado por la difusión profunda P^+ y los contactos de metal integrados para el drenador y la fuente.

La Fig. 3-6 presenta la simulación de las características de salida I_{DS} vs. V_{DS} . Los resultados de simulación en DESSIS fueron tomados para cada valor del parámetro V_{GS} , es decir, de 5V a 7V con incrementos de 0.5V.

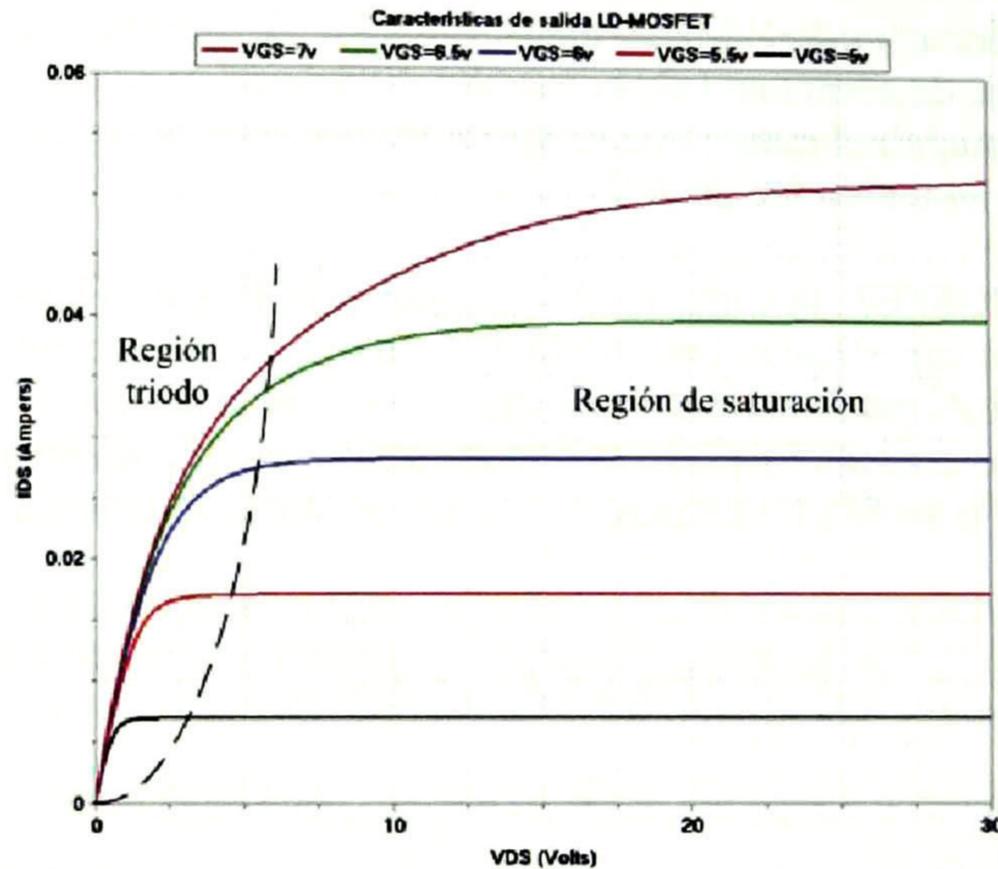


Fig. 3-6 Características de salida de la estructura LD-MOSFET.

Para la estructura LD-MOSFET de potencia, el espacio entre las curvas características de salida es creciente, el rango de separación (transconductancia) es determinado por el dispositivo y es dependiente del nivel de polarización de la compuerta; la corriente de saturación del drenador aumenta en una manera no-lineal con el aumento del voltaje de compuerta; por lo tanto es un dispositivo no totalmente lineal en este rango de voltajes de compuerta.

La amplificación lineal de las señales de entrada del transistor de potencia está limitada por la resistencia de encendido, las características de saturación y la compresión de la corriente.

3.2.4 Extracción de la resistencia de encendido

En la región triodo de las características de salida, se obtiene el valor de la resistencia de encendido “ R_{ON} ” para cada voltaje V_{GS} , la resistencia de encendido se puede obtener de dos formas: una es por medio de los macros que se presentan en INSPECT, con sólo seleccionar el comando “New” usando el macro R_{ON} , o se pueden calcular por medio de la pendiente formada para cada valor V_{GS} , ver Fig. 3-7 y Tabla 3-2.

La resistencia de encendido específica $R_{ON,sp}$ está dada por:

$$R_{ON,sp} = R_{ON} \times A \tag{3.5}$$

donde A es el área, y está definida por:

$$A = W_p \times W \tag{3.6}$$

donde W_p es la longitud de la celda unitaria “cell pitch” de la estructura en centímetros y W es el factor de área (1000 μ m).

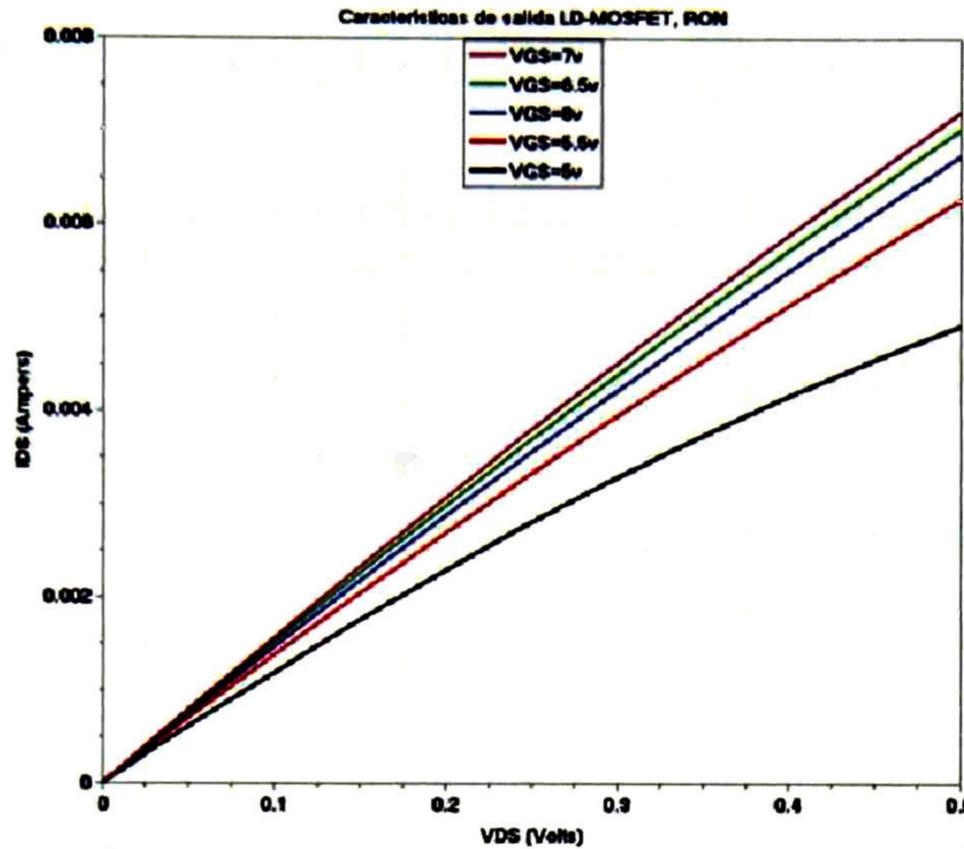


Fig. 3-7 Región triodo de las características de salida.

V_{GS}	R_{ON} [Ω]		$R_{ON,sp}$ [$m\Omega \cdot cm^2$]
	Macros	Cálculo	Cálculo
5	81	86	13
5.5	71	76	11
6	67	70	10.5
6.5	64	68	10.2
7	63	65	9.7

Tabla 3-2 Comparación de la resistencia de encendido.

3.2.5 Efectos de temperatura

Los MOSFETs de potencia operan a densidades de potencia y corriente elevadas. Esto tiene el efecto de aumentar la temperatura de operación. Los términos dependientes de temperatura que determinan la corriente de drenador son la movilidad de la capa de inversión (μ_{inv}) y el voltaje de umbral (V_{TH}), como se muestra en la ecuación (3.7). En la ecuación (3.8) la movilidad de la capa de inversión disminuye con el aumento de la temperatura [2,13].

$$I_D = \frac{\mu_{inv} C_{ox} Z}{2L} [2(V_G - V_{TH})V_D - V_D^2] \quad (3.7)$$

$$\mu_{inv}(T) = [\mu_{inv}(300^\circ k)] \left(\frac{T}{300} \right)^{-2.42} \quad (3.8)$$

La transconductancia también es un término dependiente de la temperatura del canal, esto debido a la dependencia de μ_{inv} y V_{TH} con la temperatura. Este comportamiento se puede predecir con la ecuación (3.9).

$$g_m = \frac{dI_D}{dV_G} = \frac{\mu_{inv} C_{ox} Z}{L} (V_G - V_{TH}) \quad (3.9)$$

La transconductancia disminuye con el aumento de la temperatura, lo cual tiene un impacto negativo en la ganancia RF para los MOSFETs de potencia, esto se ilustra en la Fig. 3-8a.

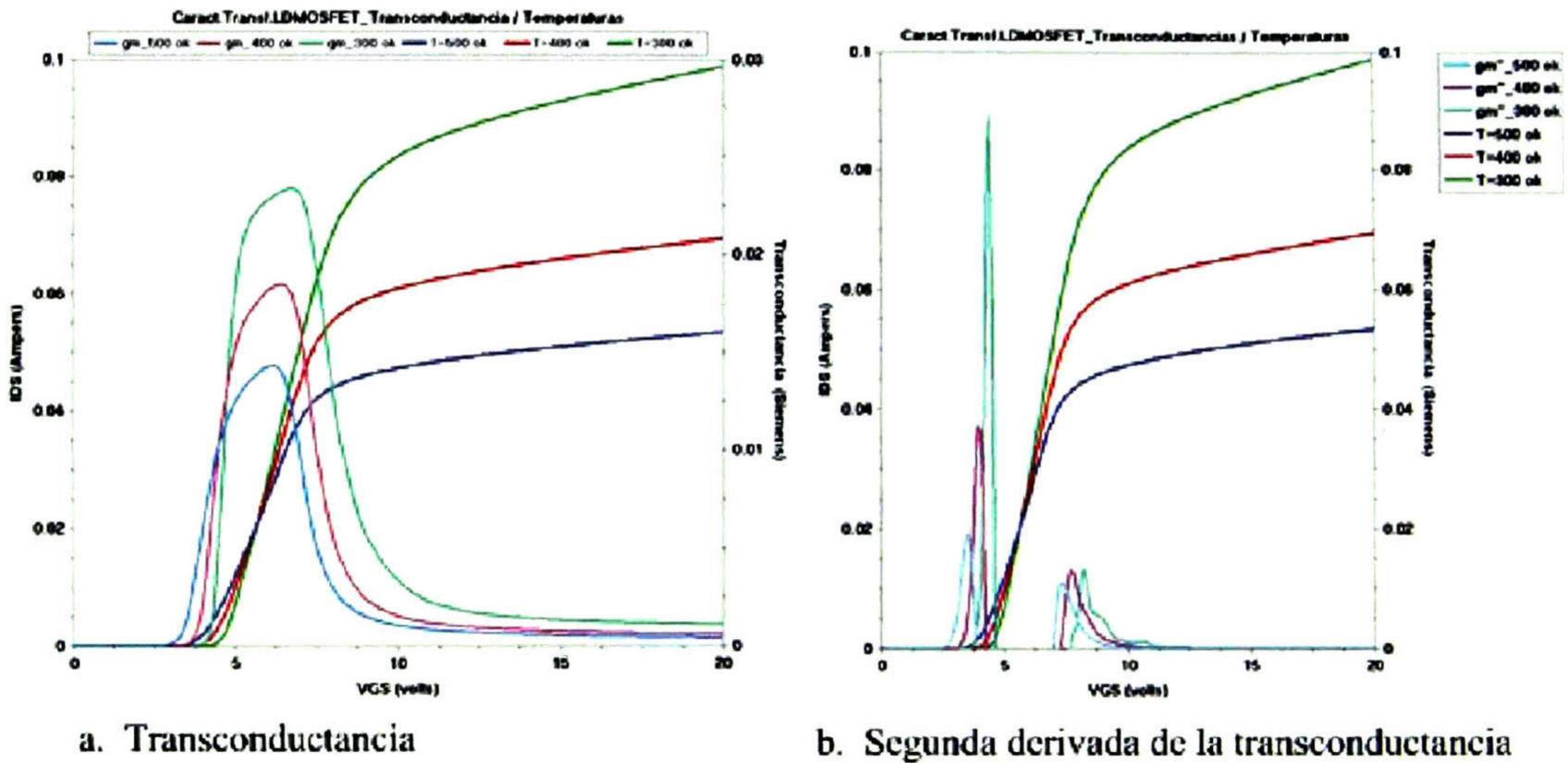


Fig. 3-8 Característica de transferencia de la estructura LD-MOSFET a diferentes temperaturas.

a. Transconductancia, b. segunda derivada de g_m .

Estas curvas son útiles para conocer el comportamiento de las características de transferencia del dispositivo en relación a cambios de temperatura, ya que estos efectos son perjudiciales para el funcionamiento de los dispositivos de potencia en RF. Las características de transferencia a un valor $V_{DS} = 30V$, se presentan en la Fig. 3-8b. Las curvas de la segunda derivada de la transconductancia también son incluidas en la figura. De estas curvas, se extrae el valor del voltaje de umbral en función de la temperatura.

Como se mencionó anteriormente, la condición que determina el voltaje de umbral se consigue de dos formas, por medio de macros o por medio del método de la extracción de la segunda derivada de la transconductancia. La Tabla 3-3 lista los valores de V_{TH} obtenidos para las diferentes temperaturas.

Temperatura [°K]	Voltaje de Umbral, V_{TH} [volts]	
	Macros	Pico de 2ª derivada de g_m
300	4.8	4.4
400	4.5	3.9
500	4.2	3.5

Tabla 3-3 Comparación del voltaje de umbral.

El valor del voltaje de umbral decrece 4.4mV por grado de temperatura, como se observa en la Fig. 3-9.

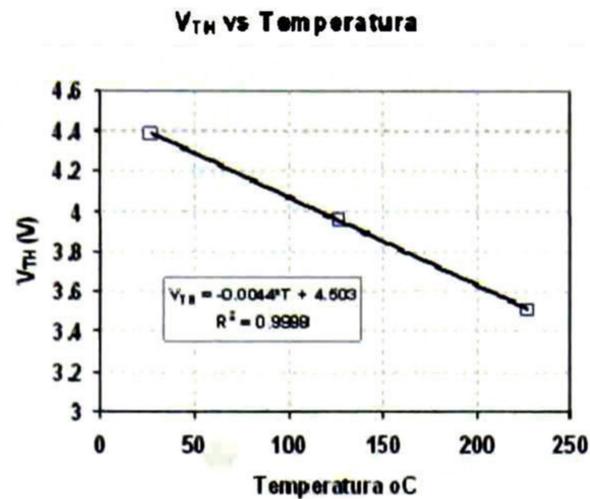


Fig. 3-9 Dependencia de la temperatura en el voltaje de umbral.

3.2.6 Extracción de capacitancias

En esta sección, con ayuda de ISE-TCAD hacemos un análisis en DESSIS para resolver las condiciones de I-V versus soluciones de Kirchoff en AC. De aquí se pueden obtener los valores de las capacitancias de entrada C_{gs} , de retroalimentación C_{gd} , y de salida C_{ds} para el MOSFET.

Las capacitancias de entrada, salida y de transferencia en inversa o de retroalimentación para la estructura LD-MOS se consiguen realizando las simulaciones en DESSIS. Las capacitancias de salida y de transferencia en inversa son altamente no-lineales debido a su dependencia sobre el ancho de empobrecimiento, el cual es una función fuerte del voltaje de drenador (V_D).

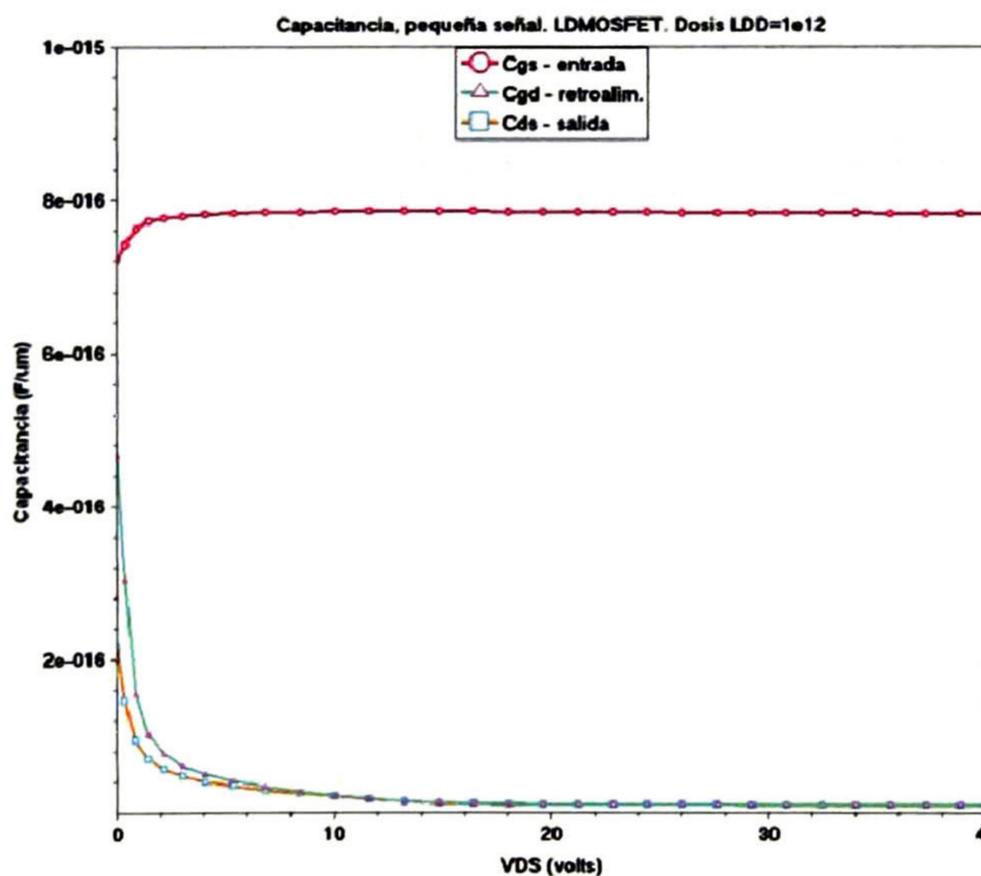


Fig. 3-10 Capacitancias en la estructura LD-MOSFET.

Para la estructura LD-MOSFET con 500 ángstrom de óxido de compuerta, con una polarización de drenador $V_{DS} = 30V$, la Fig. 3-10 muestra que la capacitancia de entrada

C_{gs} tiene un valor de 0.78pF/mm, la capacitancia de transferencia en inversa $C_{gd} = 0.011$ pF/mm, la capacitancia de salida C_{ds} es determinada principalmente por la unión del drenador al substrato y como se ilustra en la Fig. 3-10 a $V_{DS} = 30$ V tiene el mismo valor que C_{gd} . La capacitancia del óxido por unidad de área es:

$$C_{ox} = \frac{\epsilon_s}{t_{ox}} (W_P \times W) \quad (3.10)$$

donde ϵ_s es la constante dieléctrica del silicio (1.04×10^{-12} F/cm), W es el factor de área (1000 μ m), y W_P es la longitud de la celda unitaria “cell pitch” (15 μ m, para el dispositivo LDMOS analizado).

3.2.7 Respuesta en frecuencia

La simulación de la respuesta RF de la estructura del dispositivo sobre varios periodos de tiempo de la señal RF puede ser observada en el simulador usando DESSIS en el modo mezclado observando la respuesta a transitorios, de una topología de amplificador clase A, con un polarización de DC, en el punto de operación de $V_{DS} = 30$ V, $V_{GS} = 6.0$ V y una resistencia de carga de 350 Ω .

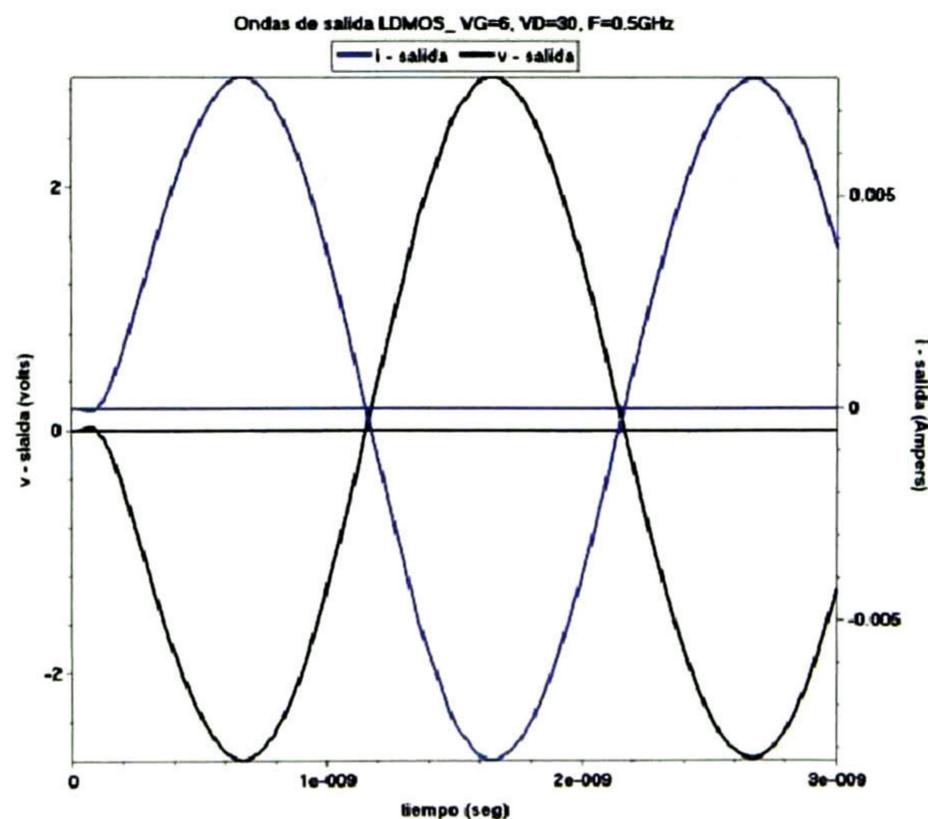


Fig. 3-11 Forma de onda de la señal de salida en la impedancia de carga.

Se aplica una señal de entrada senoidal de AC en la compuerta de magnitud igual a 0.5V con una frecuencia de 0.5GHz. La señal de entrada RF da lugar al voltaje y la corriente de salida en la impedancia de carga mostrada en la Fig. 3-11. Haciendo uso de las corrientes y voltajes de entrada y salida obtenidos de estas simulaciones; se puede extraer la ganancia de corriente y de potencia así como la potencia de salida usando los valores máximo y mínimo de las senoides o de las siguientes ecuaciones:

$$P_{in} = \omega C_{gs} v_{in}^2 \quad (3.11)$$

$$P_0 = \frac{g_m^2 v_{in}^2 R_L}{1 + \omega^2 C_{ds}^2 R_L^2} \quad (3.12)$$

Por definición, las potencias de entrada y de salida pueden ser obtenidas de las ecuaciones (3.11) y (3.12), respectivamente. Las ganancias de potencia y de corriente se presentan en las siguientes ecuaciones:

$$G_I = \frac{g_m}{\omega C_{gs} \sqrt{1 + \omega^2 C_{ds}^2 R_L^2}} \quad (3.13)$$

$$G_P = \frac{g_m^2 R_L}{\omega C_{gs} \sqrt{1 + \omega^2 C_{ds}^2 R_L^2}} \quad (3.14)$$

En la Tabla 3-4 se presenta la potencia de entrada y salida, las ganancias de corriente y de potencia en función de la frecuencia; estos valores corresponden a un dispositivo LD-MOS de potencia con un grosor de óxido de compuerta de 500 ángstroms.

Frecuencia [GHz]	Potencia de entrada [mw]	Potencia de salida [mw]	Ganancia de Corriente [dB]	Ganancia de Potencia [dB]
0.2	0.2	12	19	17
0.5	0.6	11	11	13
1	1.1	9.4	4.4	9.3
2	2.1	6	-3	4.6
4	3.7	2.4	-12	-2

Tabla 3-4 Comparación del funcionamiento RF.

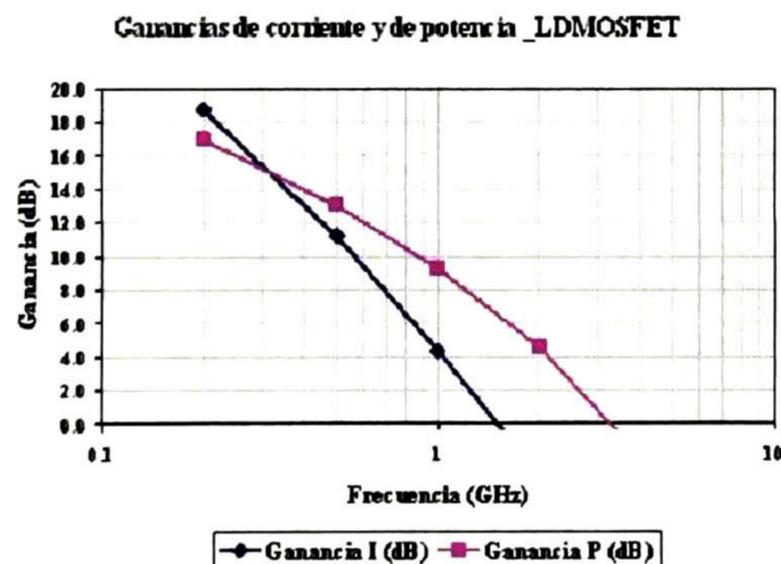


Fig. 3-12 Ganancia de corriente y de potencia para el LD-MOSFET analizado.

Con la simulación a una variedad de frecuencias, vemos en la Fig. 3-12 y en la Tabla 3-4 que la ganancia disminuye con el aumento de frecuencia. La frecuencia de operación máxima es de 3.1GHz y la frecuencia de corte (ganancia unitaria) es de 1.6GHz. Esto se debe a que la longitud del canal del dispositivo analizado es de 1.15µm de largo y el factor de área empleado en la simulación es de un milímetro. Dependiendo de la potencia deseada, el ancho W_{ef} global puede ser de 10 a 30 milímetros en dispositivos comerciales. La respuesta en frecuencia podría incrementarse usando una longitud de canal submicrométrica como tal vez es el caso para los dispositivos comerciales modernos.

3.3 Estructura VD-MOSFET de potencia

La estructura VD-MOSFET se caracteriza por su excelente linealidad y su baja ganancia de potencia. La estructura Metal-Óxido-Semiconductor formada bajo la región de compuerta, contiene una región de arrastre-N dopada ligeramente que permite soportar altos voltajes.

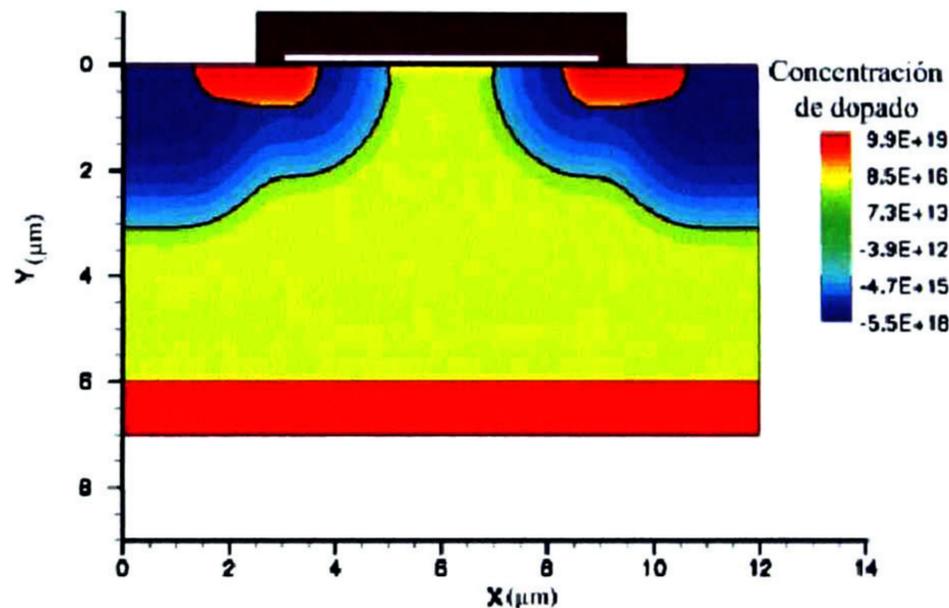


Fig. 3-13 Estructura MOSFET de doble difusión vertical.

En el caso de los dispositivos de interés, amplificadores de potencia de estaciones de base para telefonía celular, y para un voltaje de ruptura de 75V, se proponen los siguientes parámetros para la concentración de dopado de la capa epitaxial y el grosor de la región de arrastre $3 \times 10^{15} \text{cm}^{-3}$ y $6 \mu\text{m}$, respectivamente [6]. Se propone también un alto dopado en la región profunda P⁺ incorporado en la estructura para prevenir la activación del transistor bipolar N-P-N parásito que es inherente en la estructura VD-MOSFET. Ver Fig. 3-13.

3.3.1 Perfiles de dopado

Para conseguir los perfiles de dopado necesarios se requiere seleccionar adecuadamente la concentración de dopado de la capa epitaxial, de la región base-P, de la región de arrastre y la longitud del canal.

La concentración de dopado y el grosor de la región de arrastre-N se debe elegir tal que el voltaje de ruptura de la celda unitaria del transistor mostrado en la figura exceda el voltaje de operación deseado en la aplicación. Para una aplicación típica del amplificador de potencia en una estación de base para telefonía celular, el voltaje de alimentación de DC es nominalmente de 30V (varía de 28V a 32V) con la señal de RF superpuesta en esta polarización de DC. El transistor debe sostener arriba de 60V sin experimentar ruptura. Con los márgenes e informes de diseño para mejorar el campo eléctrico en la terminación del borde del dispositivo, la celda unitaria del transistor debe ser diseñada para soportar más de 80V.

Haciendo un corte transversal en $Y=0.01 \mu\text{m}$, conseguimos la curva del perfil de dopado (Fig. 3-14) para el canal en la estructura mostrada en la Fig. 3-13, la cual brinda información como el valor de la concentración de dopado de la región base-P

($C_{s,base} = 3 \times 10^{17} \text{ cm}^{-3}$), de la región JFET ($C_{s,JFET} = 1.5 \times 10^{16} \text{ cm}^{-3}$) y la longitud del canal ($L_{CH} = 1.3 \mu\text{m}$).

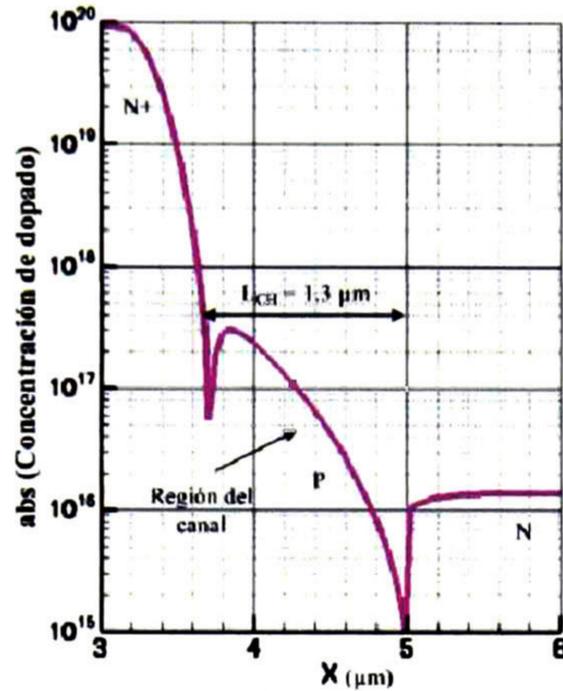


Fig. 3-14 Perfil de dopado de la estructura VD-MOSFET.

3.3.2 Características de transferencia

Al igual que en la estructura LD-MOSFET, las curvas I_{DS} respecto V_{GS} son importantes ya que de ellas es posible obtener parámetros de mérito como lo es la transconductancia (g_m) y el voltaje de umbral V_{TH} . Del punto de vista del funcionamiento de RF, la transconductancia del dispositivo en región de saturación es de primordial importancia. Conforme la polarización de compuerta aumenta, el efecto de la saturación de velocidad del canal llega a ser dominante. Los efectos de saturación de velocidad son más destacados en el VD-MOSFET que en LD-MOSFET. La región JFET es por lo tanto responsable de la compresión de la transconductancia a polarizaciones de compuerta elevadas.

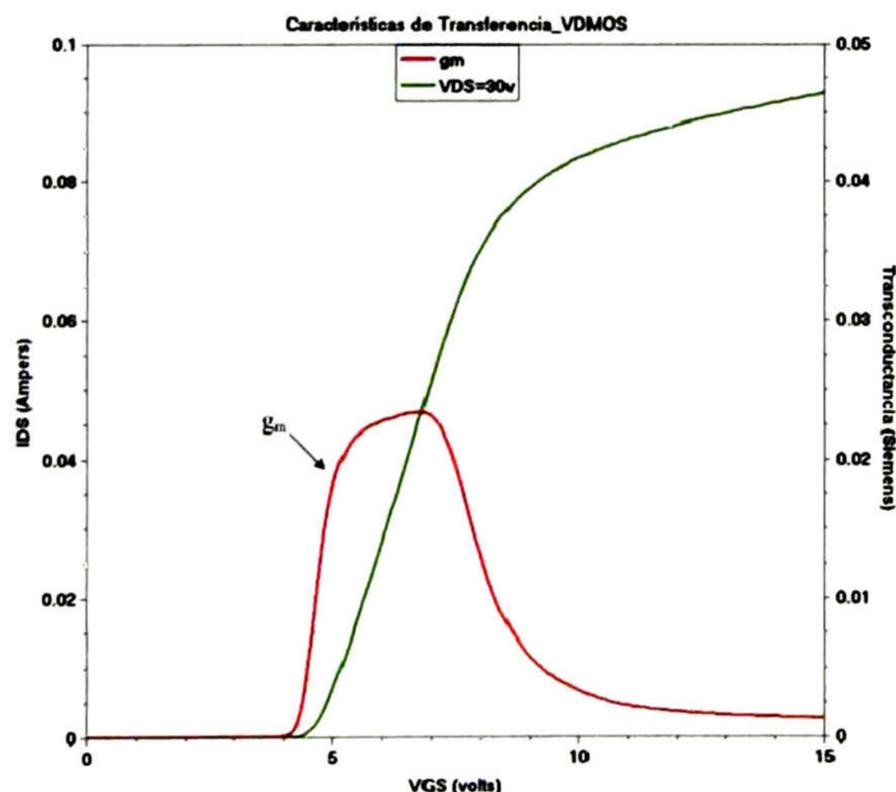


Fig. 3-15 Características de transferencia y transconductancia de la estructura VD-MOSFET.

Al igual que en la curva de transferencia, en la curva de transconductancia también se observa la característica no-lineal de la estructura VD-MOSFET. En la Fig. 3-15, se ilustra cómo la transconductancia aumenta aproximadamente en forma lineal con el voltaje de compuerta hasta seis volts y después disminuye rápidamente.

La región lineal es muy pequeña (la transconductancia no permanece constante en un intervalo relativamente largo). Con los macros del simulador se obtiene que la transconductancia es 55.13mS/mm.

La curva de transferencia mostrada en la Fig. 3-16 para un voltaje de polarización $V_{DS} = 30V$, muestra el comportamiento no-lineal de la estructura VD-MOSFET. El voltaje de umbral obtenido por medio la segunda derivada de la transconductancia es, $V_{TH} = 4.4V$.

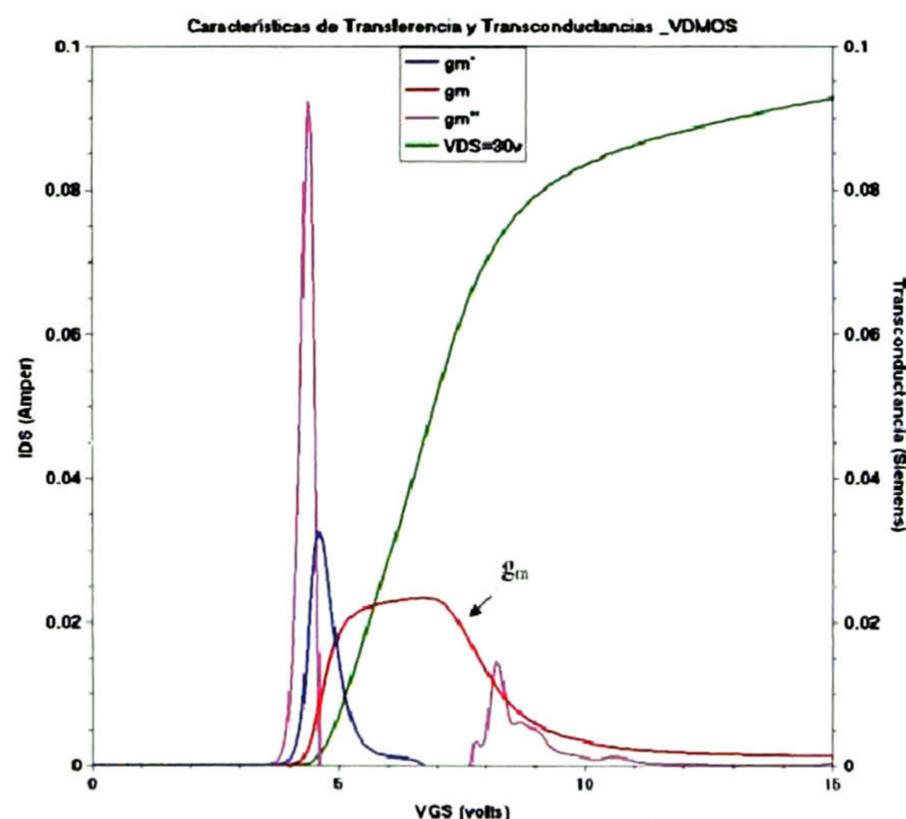


Fig. 3-16 Característica de transferencia, transconductancia y sus derivadas.

3.3.3 Características de salida

Las curvas I_{DS} respecto V_{DS} son de gran importancia en el análisis de la estructura VD-MOSFET para obtener las características de salida, el voltaje de ruptura (BV) y la resistencia R_{ON} .

Realizando un barrido en DESSIS para V_{DS} de 0V a 85V y $V_{GS} = 0V$, con la estructura definida en MDRAW y un grosor de óxido de 500 ángstroms; se obtiene un voltaje de ruptura de 80V tal como se muestra en la Fig. 3-17.

Las características de salida para la estructura VD-MOSFET con 500 ángstrom de óxido de compuerta se muestran en la Fig. 3-18 para voltajes de polarización de compuerta de 4V a 7V, en incrementos de 0.5V. Puede observarse que la separación de las curvas sucesivas de corriente de drenador en la región de saturación no es constante, indicando con esto las características no lineales de este dispositivo. También es obvio el fenómeno de compresión de la corriente para valores grandes de la polarización V_{GS} .

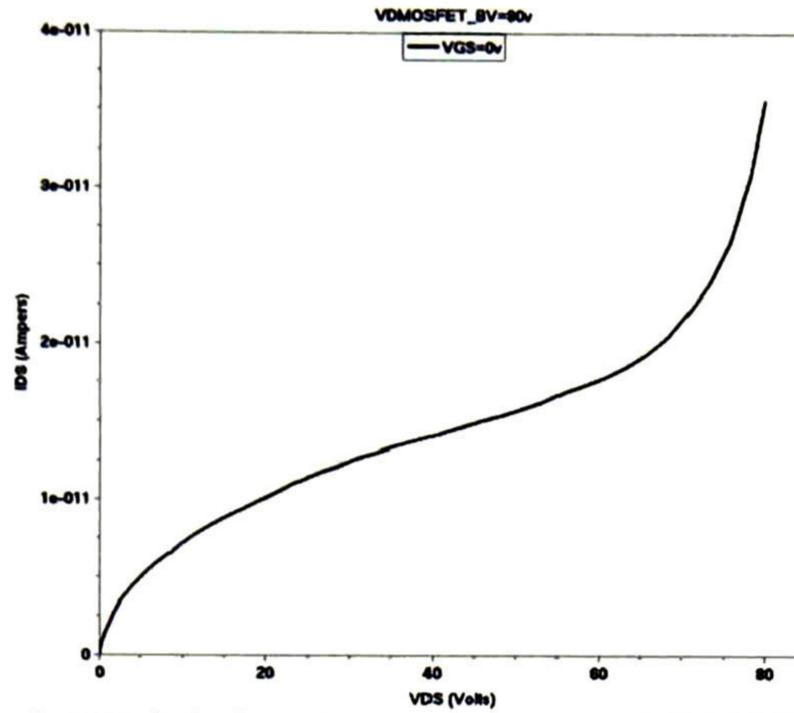


Fig. 3-17 Voltaje de ruptura para la estructura VD-MOSFET.

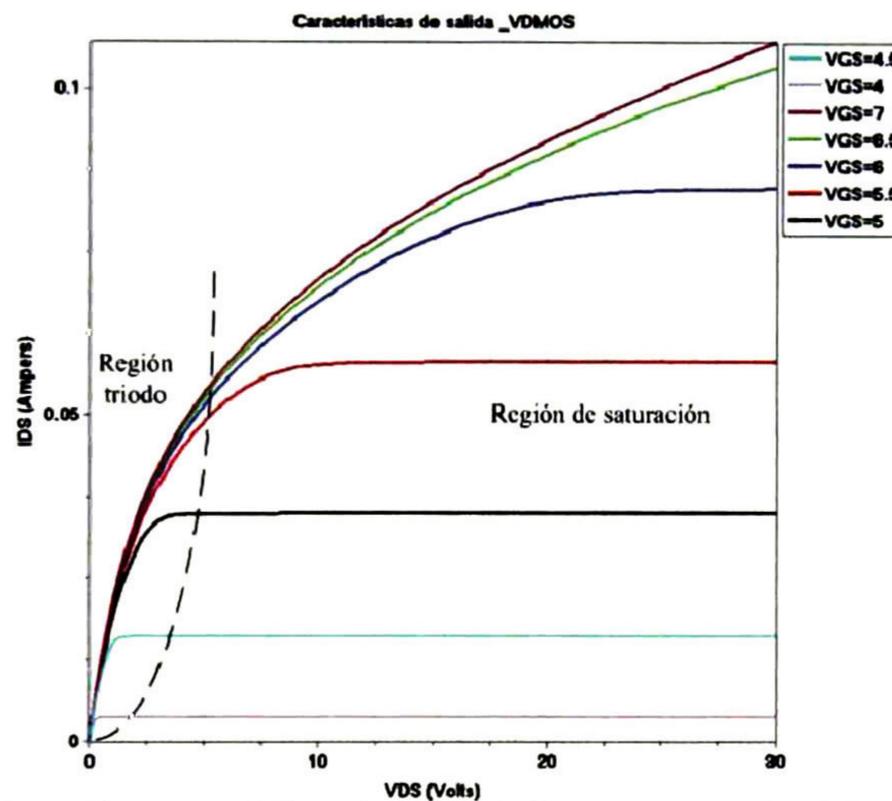


Fig. 3-18 Características de salida de la estructura VD-MOSFET.

En la estructura VD-MOSFET, la corriente de drenador fluye del electrodo drenador a través del substrato- N^+ , de la región de arrastre- N , de la región JFET localizada entre las regiones base- P , y luego a través del canal de inversión a la superficie superior del electrodo de fuente. Este canal de capa de inversión provee un camino de transporte de electrones de fuente a drenador cuando un voltaje de drenador positivo es aplicado y la resistencia de encendido (R_{ON}) de la estructura es determinada por la resistencia de todos estos componentes en el camino de la corriente [2]:

$$R_{on,sp} = R_{SUBS,sp} + R_{D,sp} + R_{JFET,sp} + R_{CH,sp} \quad (3.15)$$

En esta ecuación, la resistencia específica de canal $R_{CH,sp}$ está dada por:

$$R_{CH,sp} = \frac{L_{ch} W_p}{2\mu_{inv} C_{ox} (V_G - V_T)} \quad (3.16)$$

donde los parámetros son los mismos que se mencionaron para la ecuación (3.2). El factor dos en el denominador toma en cuenta la presencia de los dos canales que comparten el flujo de corriente de la región JFET. La resistencia específica de la región JFET está dada por:

$$R_{JFET,sp} = \frac{\rho_{JFET} W_p (x_p + W_0)}{(L_G + 2x_p - 2W_0)} \quad (3.17)$$

donde ρ_{JFET} es la resistividad de la región JFET, x_p es la profundidad de las regiones-P y W_0 es el ancho de la región de deserción a polarización cero. La resistencia específica de la región del drenador $R_{D,sp}$ está dada por:

$$R_{D,sp} = \frac{\rho_D W_p}{2} \ln\left(\frac{a+1}{a}\right) \quad (3.18)$$

donde ρ_D es la resistividad de la región de arrastre. La resistencia específica del sustrato $R_{SUBS,sp}$ está dada por la ecuación (3.4), donde t_{SUBS} es el grosor del sustrato-N dopado fuertemente.

Para dispositivos de conmutación de potencia, es costumbre optimizar la longitud de la compuerta (L_G) para obtener la resistencia de encendido más baja posible [13]. Para una estructura VD-MOSFET típica diseñada para soportar 75V – 80V, esta optimización resulta en una longitud de compuerta de alrededor de $6\mu\text{m}$ con una celda unitaria “*cell pitch*” de $12\mu\text{m}$ debido al espacio tomado por la difusión P^+ profunda y uniones relativamente profundas requeridas para prevenir ruptura.

La Fig. 3-19 es una vista amplia de la región trío de las características de salida de la estructura VD-MOSFET, de la cual se obtienen los valores para calcular la resistencia de encendido R_{ON} .

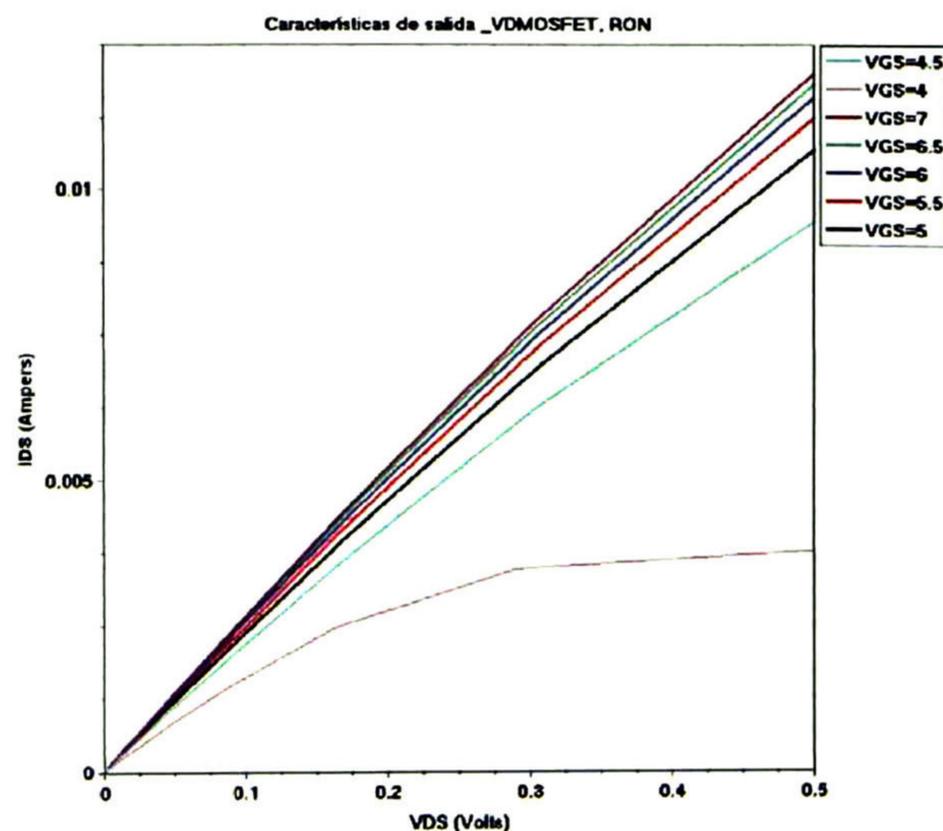


Fig. 3-19 Región trío de las características de salida.

Para cada voltaje V_{GS} , la resistencia de encendido se puede obtener de dos formas: una es por medio de macros que se presentan en INSPECT, o puede calcularse por medio de la pendiente formada de las curvas $I_{DS}-V_{DS}$ para voltajes V_{DS} pequeños y para cada valor de la polarización V_{GS} (ver Fig. 3-19 y Tabla 3-5).

Una vez extraída la resistencia de encendido R_{ON} se puede calcular la resistencia específica de encendido $R_{ON,sp}$ por medio de la ecuación (3.15). La R_{ON} es una función no lineal de V_{GS} , como puede observarse en la Fig. 3-20.

V_{GS}	R_{ON} [Ω]		$R_{ON,sp}$ [$m\Omega \cdot cm^2$]
	Macros	Cálculo	Cálculo
4	55.6	72.7	8.7
4.5	44	47.2	5.7
5	41	43	5.1
5.5	38.7	41	4.9
6	37.6	40	4.8
6.5	36.8	39.3	4.7
7	36.2	39.1	4.7

Tabla 3-5 Comparación de la resistencia de encendido.

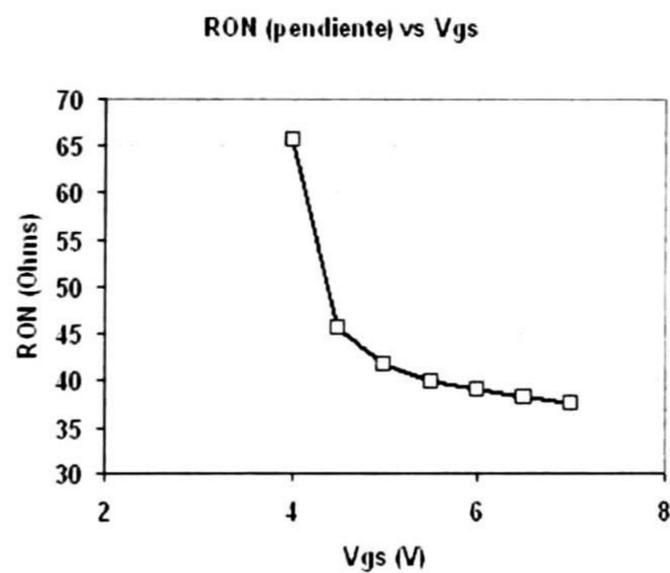


Fig. 3-20 Característica de la resistencia de encendido.

3.3.4 Efectos de temperatura

Los parámetros dependientes de temperatura que determinan la corriente del drenador son, la movilidad de la capa de inversión (μ_{inv}) y el voltaje de umbral (V_{TH}). Estos mismos factores también afectan la transconductancia.

Con el aumento de temperatura, el voltaje de umbral disminuye y la corriente de compresión se reduce (Fig. 3-21). Esta característica es similar a la estructura LD-MOSFET. La reducción en la transconductancia y en la corriente de compresión debido a cambios de temperatura, son perjudiciales para la operación RF de estos dispositivos.

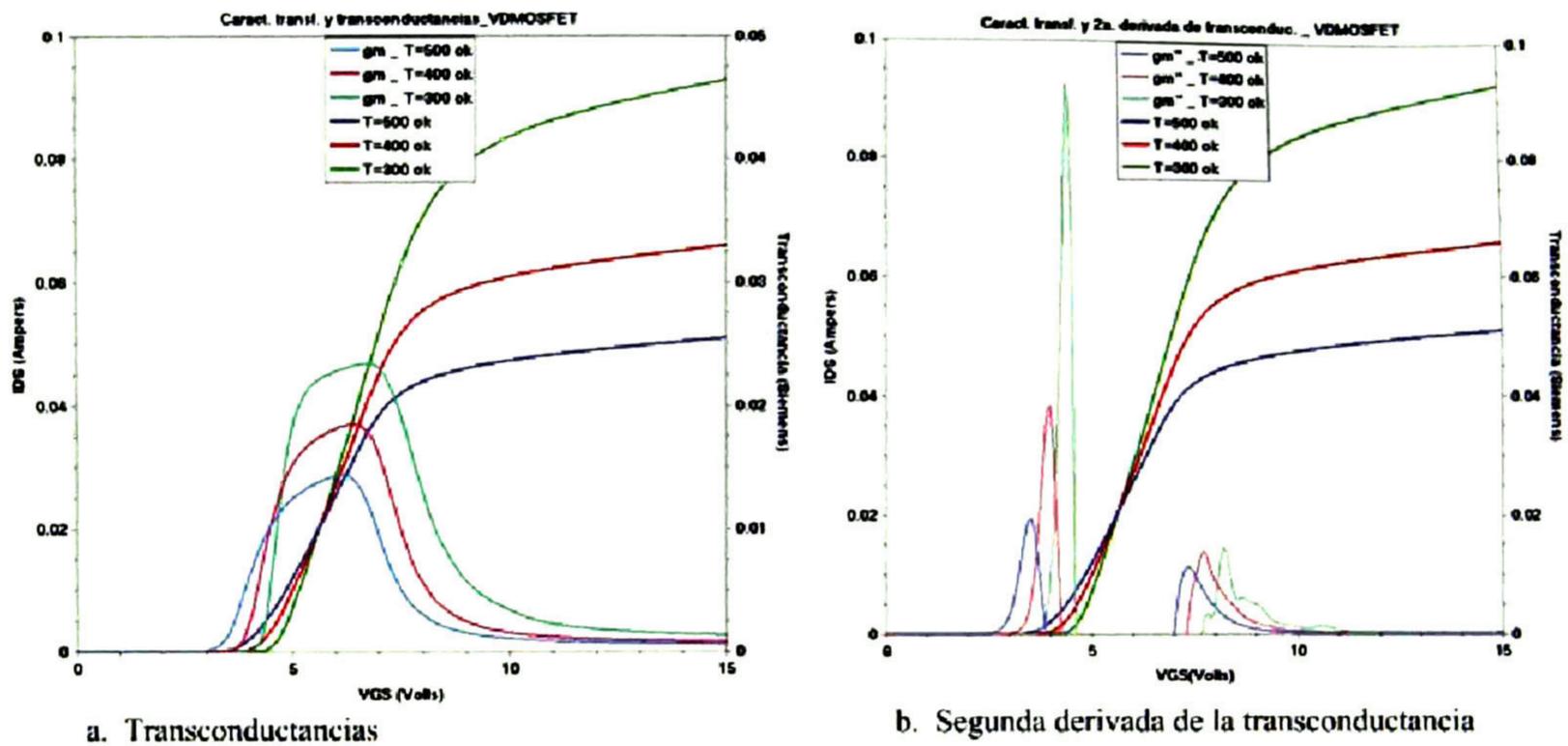


Fig. 3-21 Características de transferencia de la estructura VD-MOSFET a diferentes temperaturas. a. Transconductancia, b. Segunda derivada de g_m .

Temperatura [°K]	Voltaje de Umbral, V_{TH} [volts]	
	Macros	Pico de 2ª derivada de g_m
300	4.8	4.4
400	4.5	3.9
500	4.2	3.5

Tabla 3-6 Comparación del voltaje de umbral.

La condición que determina el voltaje de umbral se consigue de dos formas, por medio de macros o por medio del método de la extracción de la segunda derivada de la transconductancia (g_m). Los valores de V_{TH} obtenidos para las diferentes temperaturas se presentan en la Fig. 3-21b y en la Tabla 3-6.

3.3.5 Extracción de capacitancias

Los valores de las capacitancias de entrada, de salida y de transferencia en inversa en la estructura VD-MOSFET son más grandes que para el LD-MOSFET. Debido a que el VD-MOSFET contiene dos canales por celda del dispositivo comparado con un sólo canal de la estructura LD-MOSFET. Por otro lado, esto resulta en una transconductancia más grande por milímetro del ancho de celda para la estructura VD-MOSFET.

La Fig. 3-22 y la Tabla 3-7 muestran los resultados de la simulación para las capacitancias en la estructura VD-MOSFET, con los parámetros siguientes: 500 ángstroms de óxido de compuerta, $V_{DS} = 30V$, factor de área $W=1000\mu m$, longitud de la celda unitaria "cell pitch" de $12\mu m$. En la práctica, la capacitancia de entrada C_{gs} es grande debido a la capacitancia que se presenta del traslape del electrodo de compuerta con la región de fuente.

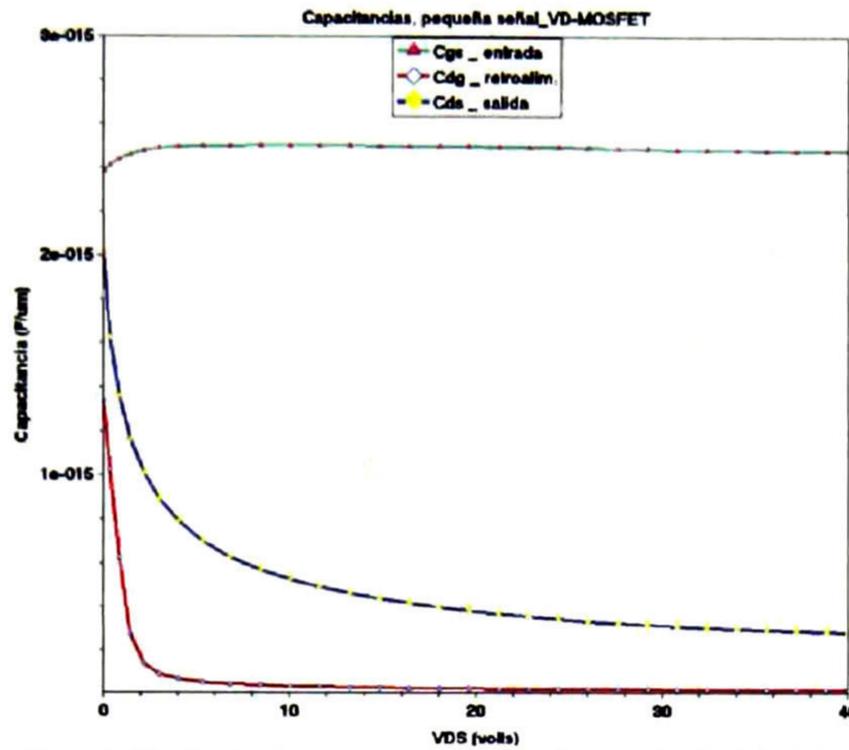


Fig. 3-22 Capacitancias en la estructura VD-MOSFET.

Capacitancias [pF/mm]	
C_{gs} (entrada)	2.5
C_{ds} (salida)	0.31
C_{dg} (retro)	0.02

Tabla 3-7 Comparación de las capacitancias.

3.3.6 Respuesta en frecuencia

La respuesta en frecuencia de la estructura VD-MOSFET intentó obtenerse por medio del modo mezclado en DESSIS para una solución en transitorios, utilizando una topología de amplificador clase A, donde el punto de polarización de CD fue: $V_{DS} = 30V$ y $V_{GS} = 5V$. La señal senoidal de entrada en la compuerta de 0.5V de magnitud, se superpuso a la señal de polarización de ésta. Se empleó una resistencia de carga de 350Ω .

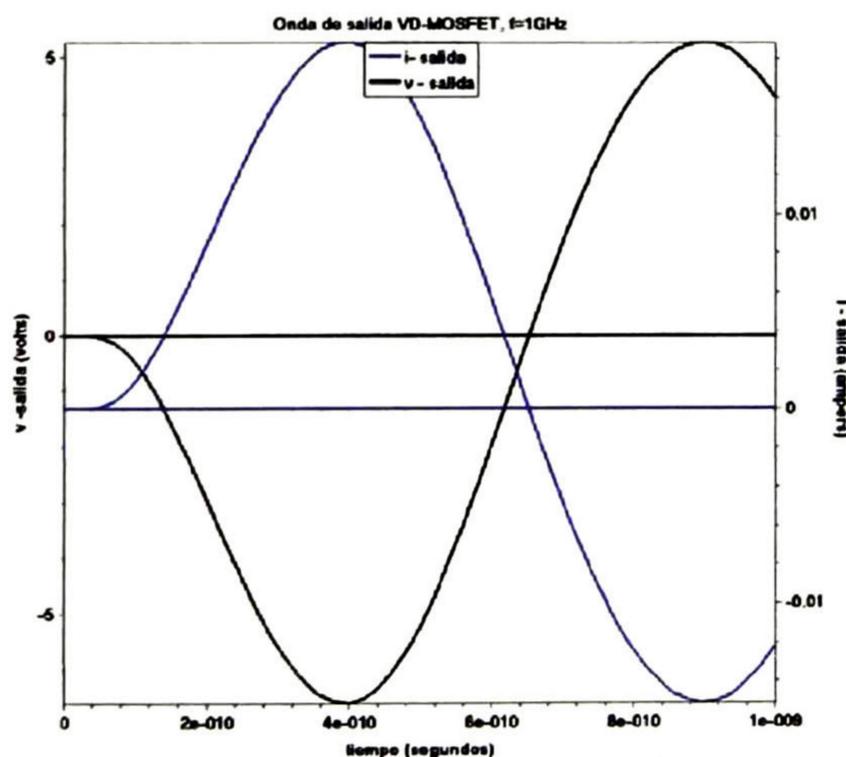


Fig. 3-23 Forma de onda de la señal de salida en la impedancia de carga.

La respuesta en frecuencia del transistor se obtuvo realizando las simulaciones a una variedad de frecuencias en un rango de 0.1GHz a 3GHz. La Fig. 3-23 muestra la salida de corriente y voltaje para una frecuencia de 1GHz.

De las corrientes y voltajes de compuerta y drenador obtenidos usando estas simulaciones, se puede extraer la ganancia de corriente, ganancia de potencia, así como la potencia de salida; usando los valores máximos y mínimos de las senoides después de que la respuesta transitoria fue completada. En la Tabla 3-8 y en la Fig. 3-24 se observa que la ganancia disminuye con el aumento de frecuencia. La frecuencia de corte es de 1.5GHz y la frecuencia de operación máxima es de 3.2GHz.

Frecuencia [GHz]	Potencia de entrada [mw]	Potencia de salida [mw]	Ganancia de corriente [dB]	Ganancia de Potencia [dB]
0.1	0.31	89.3	25	25
0.2	0.57	72	19	21
0.5	1.4	65.7	11	17
1	2.7	50.3	4	13
2	5.0	27	-4.3	7
3	7.3	15	-10	3

Tabla 3-8 Comparación del funcionamiento RF.

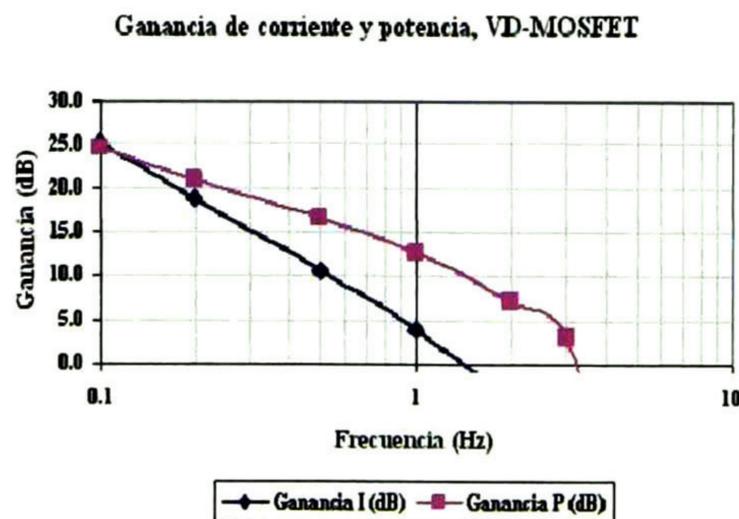


Fig. 3-24 Ganancia de corriente y de potencia para el VD-MOSFET analizado.

3.4 Estructura SL-MOSFET de potencia

En esta sección se analizan los conceptos más importantes de la estructura CC-MOSFET como antecedentes necesarios del dispositivo súper-lineal, de gran importancia para aplicaciones futuras.

Un dispositivo de acoplamiento por carga, se define como un dispositivo cuyas regiones de semiconductores están conectadas de manera tal que la salida de una sirve como entrada de la siguiente, es decir están acopladas. En la estructura MOSFET de potencia de carga acoplada “CC” la concentración de dopado relativamente alta en la región de arrastre permite la reducción de la resistencia en esta región incluso a un valor menor que la

resistencia de encendido específica ideal para dispositivos de silicio utilizando el efecto del acoplamiento de carga. Esta estructura puede implementarse con una región de arrastre tipo N- dopada uniformemente (CC-MOSFET) o usando un perfil de dopado gradual lineal (GD-MOSFET). Para lograr una resistencia de encendido baja, el campo eléctrico a lo largo de la región de arrastre deber ser uniforme; para esto el perfil de dopado lineal es el más adecuado [1].

La concentración de dopado de donadores en la región epitaxial de arrastre-N y el ancho de la región de arrastre entre los fosos profundos se seleccionan para obtener acoplamiento de carga óptimo; es decir, se seleccionan de tal manera que el producto de la concentración de dopado y el ancho de la región de debe estar entre 1 y $2 \times 10^{12} \text{cm}^{-2}$ [2,13].

El efecto de carga acoplada distribuye el campo eléctrico principalmente en la región de arrastre-N poco dopada. Esto permite el diseño de longitudes de canal submicrométricas en la estructura CC-MOSFET, de alrededor de $0.2 \mu\text{m}$, con efectos reducidos de canal corto. Esto a su vez permitiría una mejor respuesta en frecuencia y una mayor linealidad del dispositivo.

La distribución del campo eléctrico es uniforme por la implementación de un perfil de dopado gradual lineal. Cuando se aplica una polarización positiva mayor que la del voltaje de umbral a la compuerta de la estructura GD-MOSFET, se forma un canal de inversión en la superficie de la región base-P a lo largo de la pared lateral del foso. Esto proporciona un camino para el transporte de electrones entre las terminales del drenador y la fuente. La estructura GD-MOSFET permite adicionalmente la operación súper-lineal reduciendo el desarrollo de un voltaje grande a través del canal.

La resistencia específica de encendido para la estructura GD-MOSFET, da lugar a una caída de voltaje muy baja incluso para las altas densidades de corriente del estado de encendido “*on-state*” Sorprendentemente, este valor es mucho menor que la resistencia de encendido ideal ($0.46 \text{m}\Omega\text{-cm}^2$) de la región de arrastre para un voltaje de ruptura de 90V , lo cual es una buena muestra de los beneficios del efecto de acoplamiento de carga [2,13].

En las estructuras CC-MOSFET y GD-MOSFET el canal se forma en el lado de la pared del mismo foso dentro del cual está situado un electrodo de polisilicio conectado a fuente. Por lo tanto se hace necesario aislar los electrodos de compuerta y fuente dentro del foso, complicando tecnológicamente la construcción de las estructuras. En la estructura SL-MOSFET que se describe y simula a continuación, se elimina la necesidad de este aislamiento, conservando la estructura que permite el acoplamiento de cargas.

3.4.1 Introducción

El electrodo de fuente cubre la estructura entera de la célula unitaria en la parte superior de la superficie; consecuentemente la estructura SL-MOSFET no requiere un proceso de fotograbado fino para la definición de las metalizaciones que es necesario para la estructura LD-MOSFET. La baja densidad de corriente en los electrodos metálicos de fuente y

drenador para la estructura SL-MOSFET elimina los fenómenos de electro-migración que han sido un problema para las estructuras LD-MOSFET y VD-MOSFET. La Fig. 3-25 ilustra un esquema bidimensional de esta estructura.

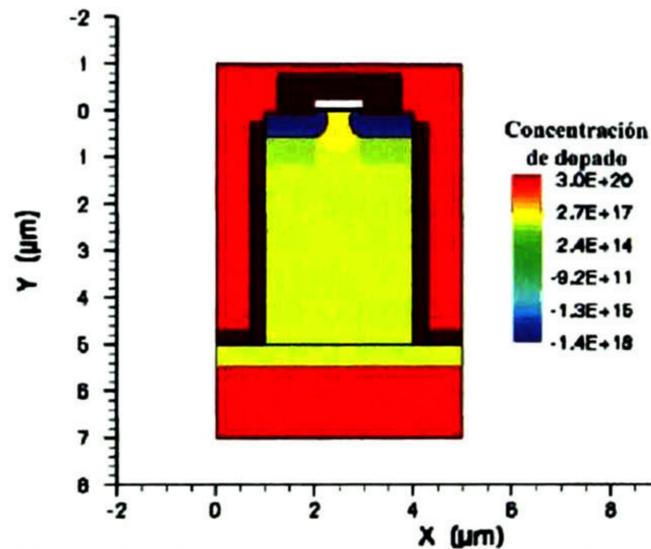


Fig. 3-25 Estructura MOSFET súper lineal.

3.4.2 Perfil de dopado

La estructura MOSFET súper lineal usa un perfil de dopado gradual-lineal para establecer un campo eléctrico uniforme en la región del drenador que mejora las resistencias de encendido y de salida, mejorando el intervalo de voltaje de la compuerta para una operación lineal, utilizando el concepto de acoplamiento de carga discutido en la sección anterior.

Al igual que en las estructuras anteriores, el flujo de la corriente de drenador en la estructura SL-MOSFET es inducido por la aplicación de una polarización positiva al electrodo de compuerta, lo que produce una capa de inversión en la superficie de la región base-P bajo el electrodo de compuerta. Este canal de inversión proporciona un camino para el transporte de electrones de la fuente al drenador cuando se aplica un voltaje positivo al drenador.

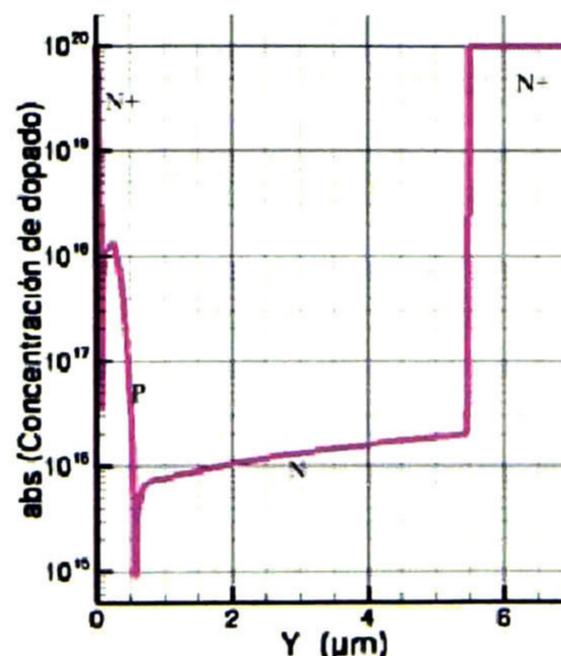


Fig. 3-26 Perfil de dopado de la estructura SL-MOSFET para un corte en X.

Lo que ocurre con el fenómeno de acoplamiento de carga en la estructura SL-MOSFET es que permite mantener el voltaje de drenador aplicado dentro de la región de arrastre-N con un campo eléctrico bajo en la unión P-N, lo que resulta en una región de agotamiento de la región base-P pequeña, permitiendo así la reducción de la longitud del canal, como se observa en la Fig. 3-26. Esto es óptimo para reducir la resistencia del dispositivo y para obtener una transconductancia alta la cual es conveniente para operación de alta frecuencia.

La caída de voltaje baja a través del canal de inversión, aún a voltajes de polarización altos del drenador, también contribuye a mantener el modo de operación súper-lineal porque el canal permanece en el modo de saturación y su longitud es de pequeñas dimensiones.

Las simulaciones realizadas en ISE-TCAD para la estructura SL-MOSFET fueron efectuadas usando la estructura ilustrada en la Fig. 3-25 con una profundidad de foso (L_T) de $5\mu\text{m}$, el ancho de la región de arrastre es de $3\mu\text{m}$ resultando en una longitud total, W_p de la celda unitaria "cell pitch" de $4.8\mu\text{m}$, esto es más de lo que se tenía en la estructura CC-MOSFET, sin embargo las características de la estructura SL-MOSFET se mejoran. El resultado de la simulación realizada en TECPLOT para el perfil de dopado de la región de transición tipo-N para un corte en $X = 1.5\mu\text{m}$ se muestra en la Fig. 3-26.

El grosor de la capa epitaxial total es $5.5\mu\text{m}$ con una concentración de dopado de calidad lineal en un rango de $5 \times 10^{15} \text{cm}^{-3}$ en la parte superior de la región del drenador a $2 \times 10^{16} \text{cm}^{-3}$ en el substrato N^+ . La longitud del canal y el perfil de dopado es determinado por la transición-N, base-P, y las implantaciones iónicas de fuente- N^+ y los subsecuentemente ciclos de redistribución.

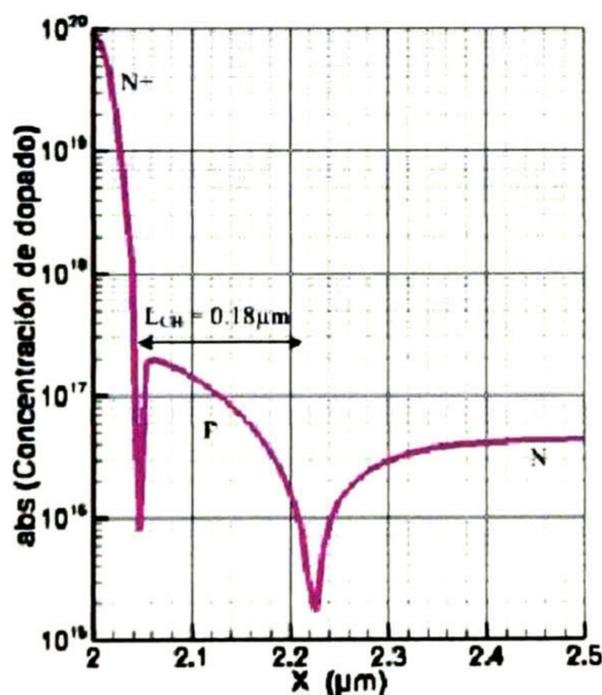


Fig. 3-27 Perfil de dopado del canal para la estructura SL-MOSFET.

En la Fig. 3-27 se ilustra el perfil de dopado del canal para la estructura SL-MOSFET para un corte en $Y = 0.01\mu\text{m}$. Se observa que la longitud del canal es sólo de $0.18\mu\text{m}$; esto puede parecer inadecuado para soportar voltajes de drenador altos debido al problema de ruptura por alcance en la base, las simulaciones numéricas demuestran que ocurre muy poco agotamiento en la región base-P debido al efecto de acoplamiento de carga en la región del drenador, así como la protección proporcionada por las regiones P^+ .

Se puede notar en la Fig. 3-27 que la concentración de dopado pico de la región base-P es $2 \times 10^{17} \text{ cm}^{-3}$ y es controlada por la implantación de la región base-P.

Graficando los resultados de la simulación en TECPLOT es posible extraer las líneas del potencial electrostático para la estructura SL-MOSFET, que se ilustran en la Fig. 3-28 para una polarización de drenador de 70V. El voltaje de drenador es soportado verticalmente a través de la región de arrastre-N con muy poco agotamiento de la región base-P.

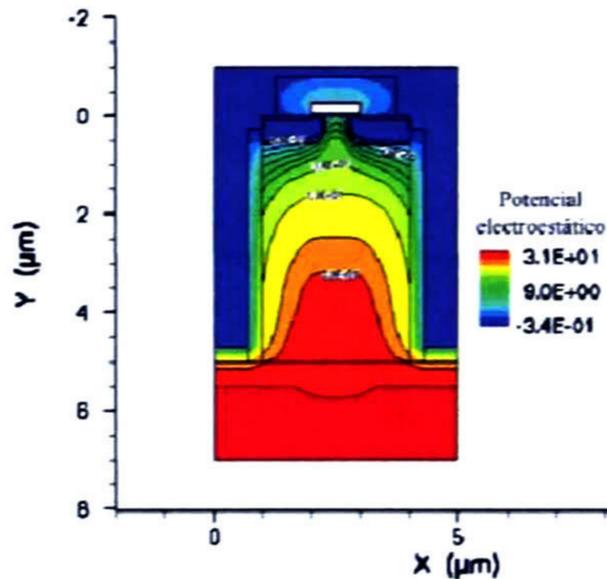


Fig. 3-28 Líneas del potencial electrostático para la estructura SL-MOSFET.

Las líneas del potencial que se muestran son similares en la región de arrastre y en la región de transición. Lo cual indica que el potencial bajo el electrodo de compuerta es pequeño aún cuando la polarización del drenador es de 70V, debido a la protección proporcionada por las regiones P^+ . Esto es benéfico para soportar voltajes altos con una longitud de canal pequeña y permite la operación súper lineal manteniendo el canal en el modo lineal de operación.

3.4.3 Características de transferencia

Las características de transferencia de la estructura SL-MOSFET son formidablemente lineales comparadas con las estructuras LD-MOSFET y VD-MOSFET. Los resultados de la simulación en ISE-TCAD para las características de transferencia y la transconductancia son mostradas en la Fig. 3-29a para la estructura SL-MOSFET a una polarización de drenador de 30V.

Con la grafica de las características de transferencia simulada con la herramienta DESSIS, es posible obtener de dos maneras el voltaje de umbral de la estructura SL-MOSFET, una es usando el macro V_{TH} , con el cual se consigue un valor aproximado del voltaje de umbral de 1.8V; la segunda forma es obtener la segunda derivada de la transconductancia, con la que se conoce el valor preciso del voltaje de umbral debido a que el primer pico de la segunda derivada de la transconductancia coincide con la mínima tensión de compuerta necesaria para que haya corriente, es decir $V_{TH} = 1.6V$. Ver Fig. 3-29b.

Las características de transconductancia para la estructura SL-MOSFET a temperatura ambiente también son formidablemente lineales comparadas con las estructuras LD-MOSFET y VD-MOSFET, estas son ilustradas en la Fig. 3-29b.

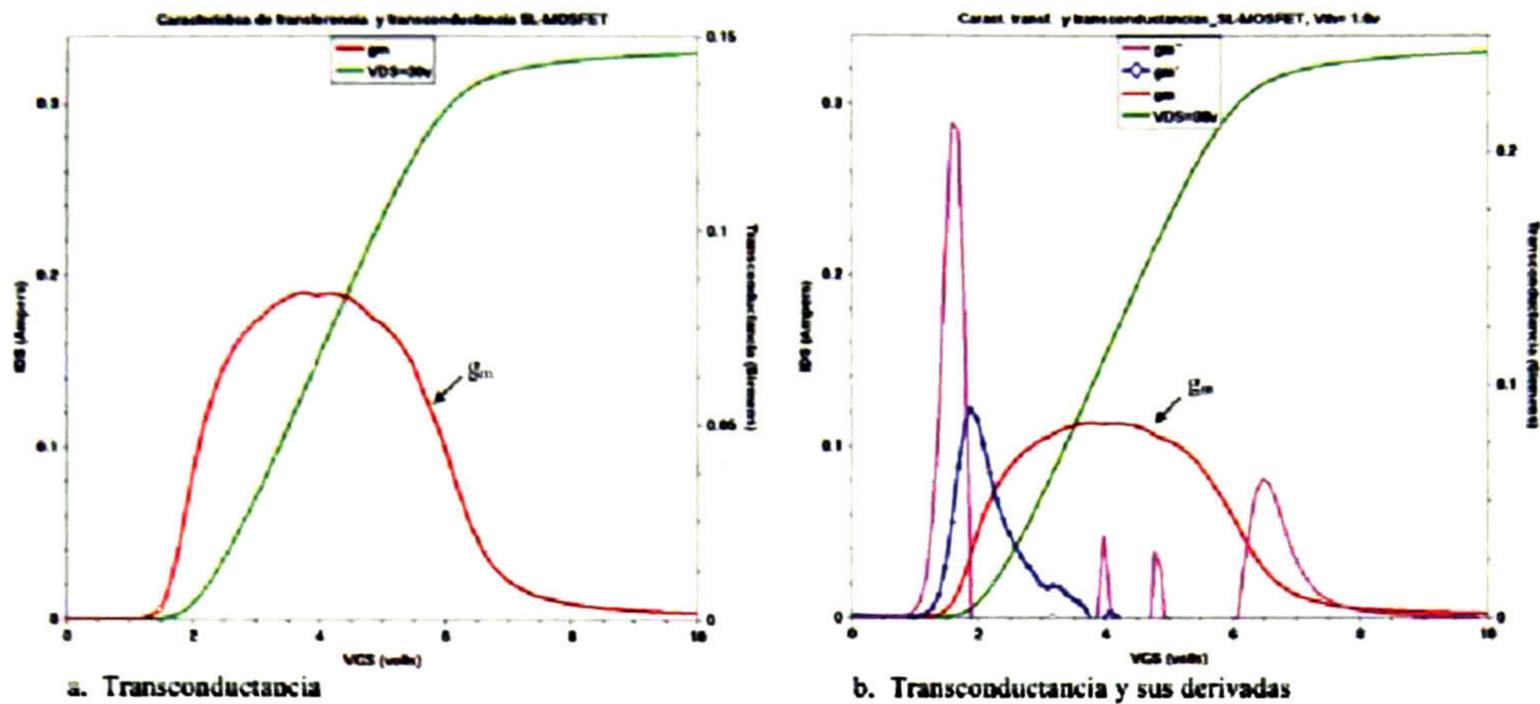


Fig. 3-29 Características de transferencia de la estructura SL-MOSFET.
a. Transconductancia, b. Derivadas de g_m .

En la Fig. 3-29 se observa que la transconductancia aumenta rápidamente una vez que la polarización de compuerta excede el voltaje de umbral y es entonces relativamente constante.

Por medio de los macros se obtiene que el valor de la transconductancia para la estructura SL-MOSFET a 300°K es de 83.76mS/mm del ancho de celda. Esto es mucho más grande que para la estructura LD-MOSFET debido a que la longitud del canal es muy corta. Si la transconductancia y la compresión de corriente se reducen, sería perjudicial para la ejecución de RF.

3.4.4 Características de salida

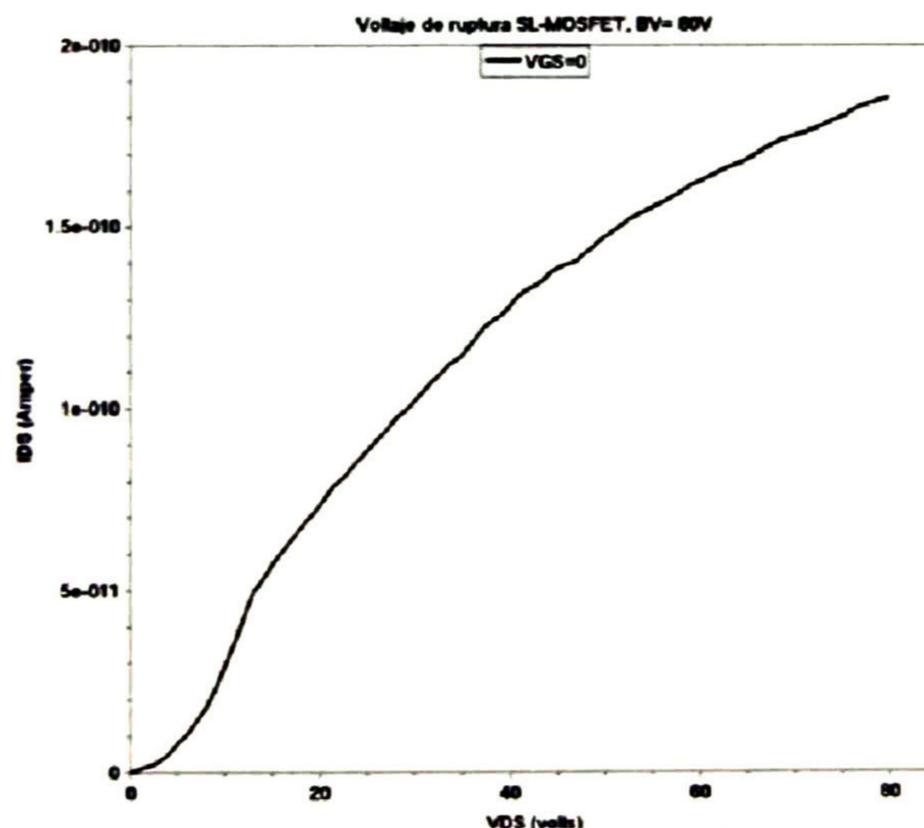


Fig. 3-30 Voltaje de ruptura para la estructura SL-MOSFET.

La simulación en ISE-TCAD correspondiente al voltaje de ruptura “BV” de la estructura SL-MOSFET se realiza en INSPECT con $V_{GS} = 0V$, luego haciendo un barrido para V_{DS} de 0V a 85V, se muestra que el valor del voltaje de ruptura de la estructura SL-MOSFET es de 80V (ver Fig. 3-30).

En la estructura SL-MOSFET de la Fig. 3-25, la corriente de drenador fluye desde su respectivo electrodo a través del substrato N^+ , de la región de arrastre-N, de la región de transición localizada entre las regiones base-P, y del canal de inversión hasta la parte superior de la superficie del electrodo de fuente.

Es por esto que al igual que en las estructuras anteriores, la resistencia de encendido de la estructura es determinada por la resistencia de todos estos componentes en el camino de la corriente [2]:

$$R_{on,sp} = R_{SUBS,SP} + R_{D,sp} + R_{TRAN,sp} + R_{CH,sp} \quad (3.20)$$

En esta ecuación, la resistencia de canal específica $R_{CH,sp}$ está dada por la ecuación (3.16) donde el factor dos en el denominador se justifica por la presencia de los dos canales que comparten el flujo de corriente de la región de arrastre vía la región de transición. Para el caso de una región de arrastre dopada uniformemente, la resistencia específica de la región de arrastre $R_{D,sp}$ está dada por:

$$R_{D,sp} = \frac{\rho_D L_T W_P}{W_m} = \frac{L_T W_P}{q \mu_n Q_D} \quad (3.21)$$

donde ρ_D es la resistividad de la región de arrastre, L_T es la profundidad del foso, W_m es el ancho de la región de arrastre, y Q_D es la carga en la región de arrastre. Esta ecuación no toma en cuenta la profundidad de la región base-P la cual es poco profunda comparada con la profundidad del foso total. La resistencia específica de la región de transición está dada por:

$$R_{TRAN,sp} = \frac{\rho_{TRAN} W_p (x_p + W_0)}{(L_G - 2x_p - 2W_0)} \quad (3.22)$$

donde ρ_{TRAN} es la resistividad de la región de transición, x_p es la profundidad de las regiones-P, y W_0 es el ancho de la región de deserción a una polarización de cero volts. La resistencia específica del substrato $R_{SUBS,sp}$ está dada por la ecuación (3.4), donde t_{subs} es el grosor del substrato- N^+

La Fig. 3-31 presenta la simulación de las características de salida para la estructura SL-MOSFET usando la herramienta INSPECT. Los resultados de simulación son para voltajes de polarización de compuerta en un rango de 2V a 6V (en incrementos de 0.5V).

En el régimen de operación de saturación de corriente, las curvas están igualmente espaciadas, indicando el modo de operación súper-lineal.

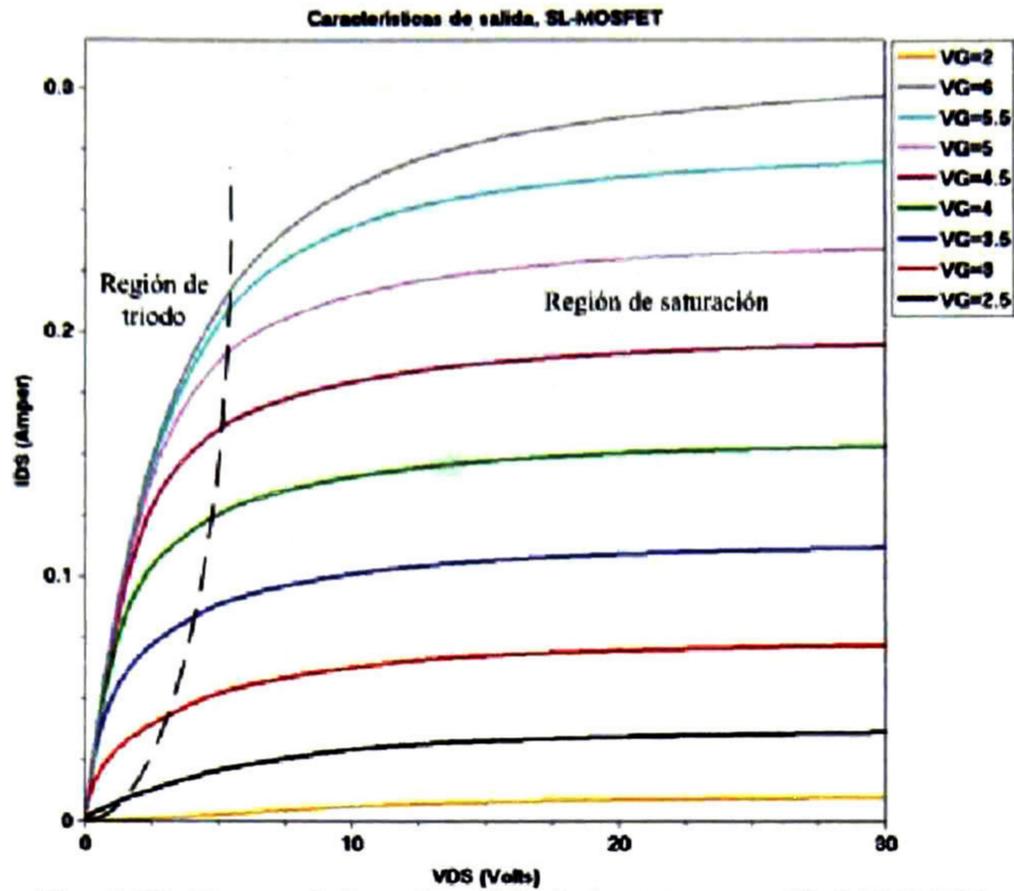


Fig. 3-31 Características de salida de la estructura SL-MOSFET.

A partir de las curvas de las características de salida pueden obtenerse los valores de la resistencia de encendido " R_{ON} " para cada voltaje V_{GS} . La resistencia de encendido se puede obtener de dos formas: una es por medio de los macros que se presentan en INSPECT, con sólo seleccionar el comando "*New*" usando el macro R_{ON} , o a partir de las conductancias correspondientes, derivadas de las curvas I_{DS} vs. V_{DS} evaluadas a valores pequeños de V_{DS} de la estructura SL-MOSFET para cada valor de V_{GS} ; ver Fig. 3-32 y Tabla 3-9.

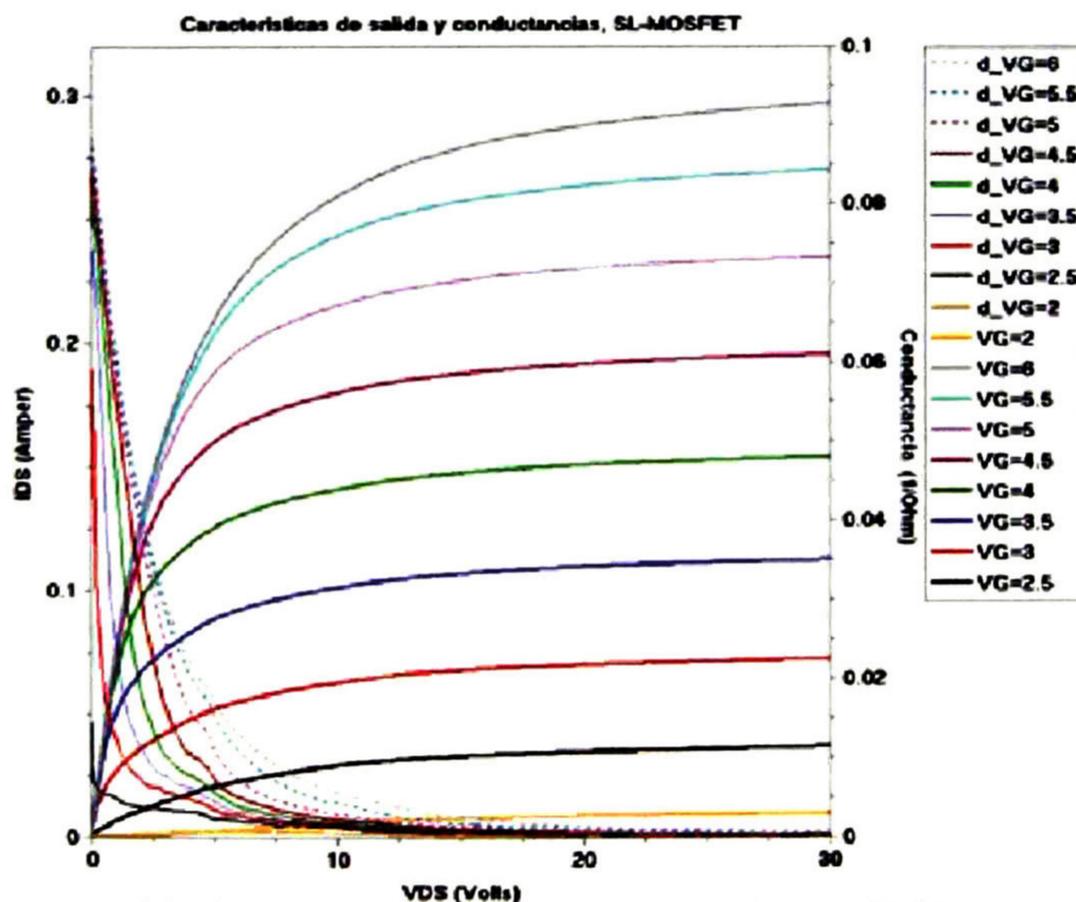


Fig. 3-32 Conductancias de la estructura SL-MOSFET.

V _{GS}	Conductancia [σ]	R _{ON} [Ω]		R _{ON,sp} [$m\Omega \cdot cm^2$]
	(1/ Ω)	R _{ON} = 1/ σ	Macros	
2	10×10^{-4}	979	1076	49
2.5	25×10^{-3}	39.8	39.5	2
3	63×10^{-3}	16	16	0.8
3.5	72×10^{-3}	13	13	0.7
4	82×10^{-3}	12	12	0.6
4.5	85×10^{-3}	11.7	11.8	0.58
5	87×10^{-3}	11.5	11.5	0.57
5.5	89×10^{-3}	11.3	11.3	0.56
6	90×10^{-3}	11	11	0.55

Tabla 3-9 Comparación de la resistencia de encendido.

3.4.5 Efectos de temperatura

Como se vió en las simulaciones de las estructuras anteriores, el aumento en la temperatura del dispositivo lleva a la degradación en el desempeño de RF debido a la reducción en la movilidad del canal.

Las simulaciones en DESSIS a temperaturas elevadas permiten apreciar en INSPECT (Fig. 3-33) el cambio en las curvas de transferencia y transconductancia para temperaturas de 300, 400 y 500°K para un voltaje de polarización V_{DS} = 30V.

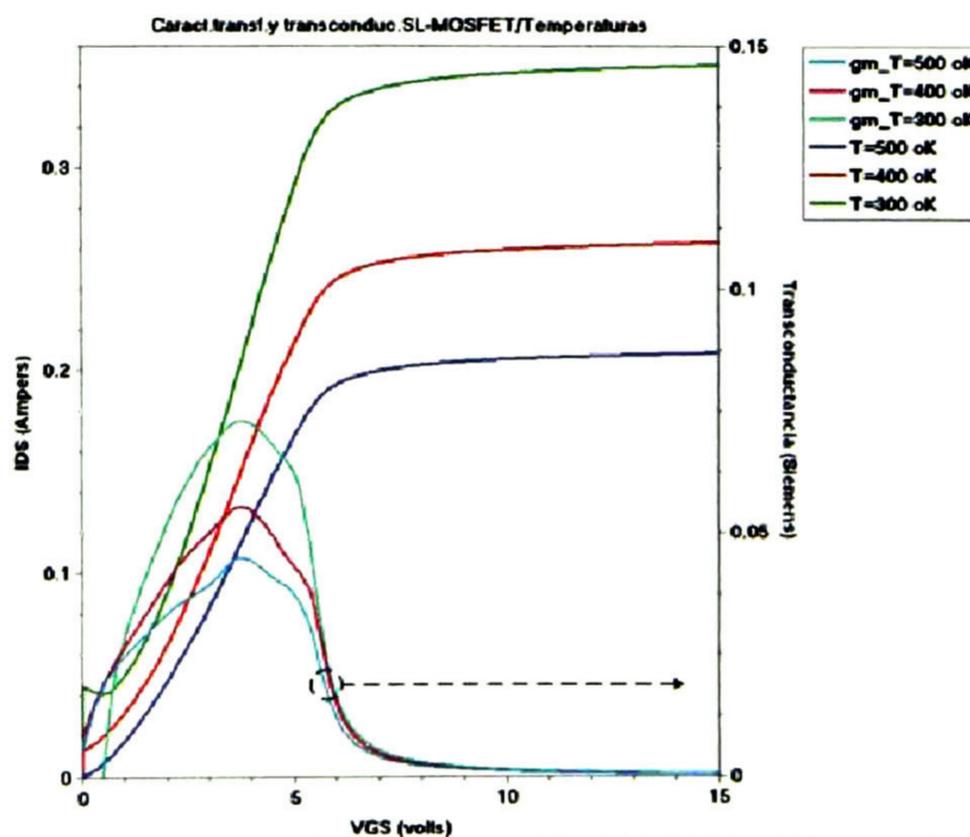


Fig. 3-33 Transconductancia de la estructura SL-MOSFET a diferentes temperaturas.

En la figura se aprecia que la corriente I_{max} del drenador disminuye con el aumento de temperatura para polarizaciones de compuerta grandes, debido a la reducción en la movilidad del canal y los efectos de compresión de la corriente.

Por otro lado, la corriente de drenador aumenta conforme la temperatura aumenta a voltajes bajos de polarización de compuerta debido a la reducción en el voltaje de umbral. Los resultados del voltaje de umbral adquiridos de la segunda derivada de la transconductancia se listan en la Tabla 3-10 en relación a los cambios de temperatura.

Temperatura [°K]	Voltaje de Umbral, V_{TH} [volts]	
	Macros	Pico de la 2ª derivada de g_m
300	1.8	1.6
400	1.6	1.4
500	1.5	1.3

Tabla 3-10 Comparación del voltaje de umbral.

3.4.6 Extracción de capacitancias

Las capacitancias de entrada, de salida y de transferencia en inversa para la estructura SL-MOSFET fueron extraídas realizando simulaciones en DESSIS y graficadas en INSPECT con un óxido de compuerta de 500 ángstrom.

Las capacitancias de salida y de transferencia en inversa son altamente no-lineales como se muestra en la Fig. 3-34. Esto es debido al cambio en las dimensiones de la región de deserción en la región de arrastre con el aumento de la polarización de drenador. A voltajes de polarización de drenador bajos, la capacitancia de salida (C_{ds}) es determinada principalmente por la capacitancia MOS asociada con el electrodo conectado a la fuente en el foso.

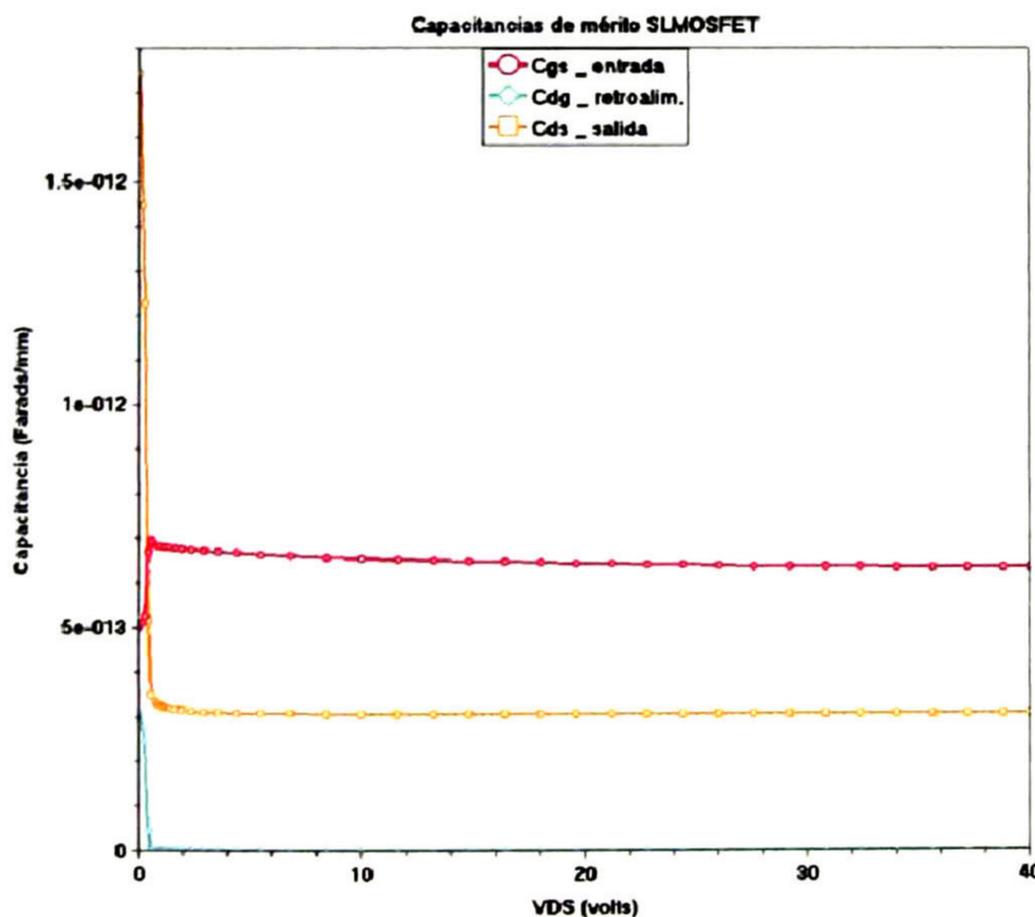


Fig. 3-34 Capacitancias de la estructura SL-MOSFET.

Una vez que la región de arrastre se vacía de portadores móviles y la capacitancia de salida se reduce como se muestra en la Fig. 3-34. La región P⁺ en la estructura SL-MOSFET actúa como una protección entre la compuerta y el drenador. Esto reduce considerablemente la capacitancia de transferencia en inversa (C_{gd}). Los resultados de las capacitancias de entrada, de salida y de transferencia en inversa para la estructura SL-MOSFET se muestran en la Fig. 3-34 y Tabla 3-11.

Capacitancias [pF/mm]	
C _{gs} (entrada)	0.63
C _{ds} (salida)	0.31
C _{dg} (retro)	0.002

Tabla 3-11 Comparación de las capacitancias.

3.4.7 Respuesta en frecuencia

La respuesta en frecuencia de la estructura SL-MOSFET fue analizada con un voltaje de drenador fijo de 30V. Una señal de compuerta de entrada RF de 0.5V en magnitud se superpone al punto de polarización de la compuerta DC de 2.5V.

La Fig. 3-35 muestra los resultados de simulación para la salida de corriente y voltaje a una frecuencia de 1GHz. La respuesta en frecuencia del transistor fue obtenida repitiendo las simulaciones en INSPECT a una variedad de frecuencias en un rango de 0.2GHz a 8GHz.

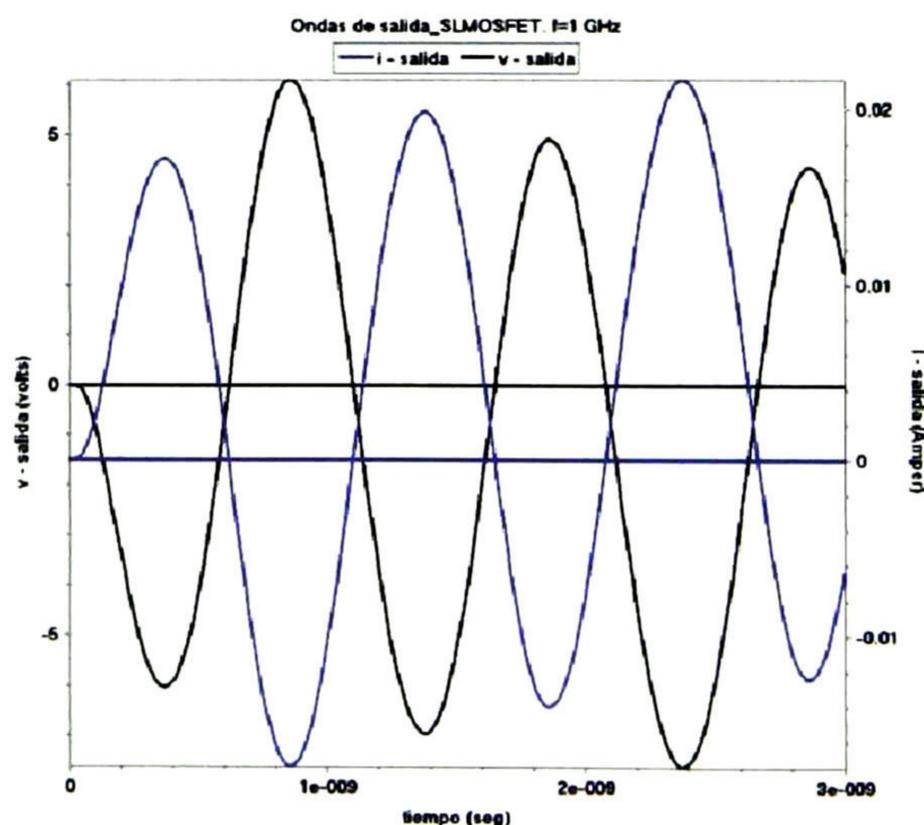


Fig. 3-35 Señal de compuerta de salida RF.

De los voltajes y corrientes de compuerta (entrada) y de drenador (salida) obtenidos en estas simulaciones, la ganancia de corriente, ganancia de potencia, así como la potencia de salida se extraen usando los valores pico máximo y mínimo de las senoides después de que la respuesta a transitorios se completa para obtener los valores rms de las señales RF. De esta manera se obtienen las curvas de la Fig. 3-36.

En la Fig. 3-36 la ganancia de corriente y ganancia de potencia en escala log-log. De aquí que la frecuencia de corte es de 3GHz y la frecuencia de operación máxima es de 4.3GHz. También se nota la reducción en la potencia de salida con el aumento de frecuencia, donde la ganancia de potencia a 1GHz es aproximadamente 19dB y 13dB a 2GHz.

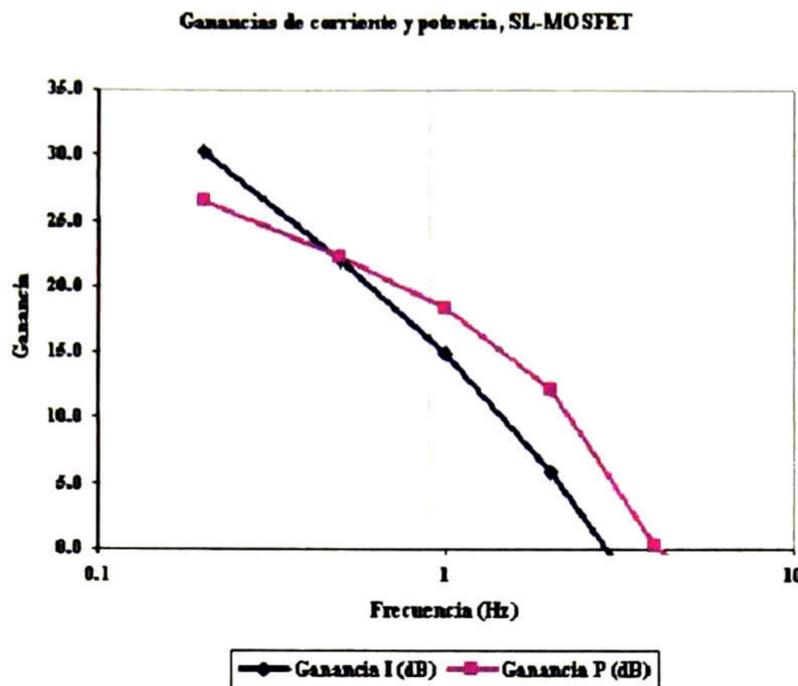


Fig. 3-36 Ganancia de potencia y corriente RF para la estructura SL-MOSFET.

Frecuencia [GHz]	Potencia de entrada [watt]	Potencia de salida [watt]	Ganancia [dB]	
			Corriente	Potencia
0.2	1.5×10^{-7}	7×10^{-5}	30	27
0.5	3.9×10^{-7}	6.6×10^{-5}	22	22
1	7.7×10^{-7}	5.3×10^{-5}	15	19
2	1.5×10^{-6}	2.5×10^{-5}	6	13
4	3×10^{-6}	3.1×10^{-6}	-5	0.2
8	5.7×10^{-6}	1.4×10^{-6}	-18	-6

Tabla 3-12 Comparación del funcionamiento RF.

Los resultados para la estructura SL-MOSFET indican que esta estructura puede ser usada en amplificadores de potencia RF para frecuencias que cubren todo el espectro celular en un rango de 0.8GHz a 2.2GHz.

Capítulo 4

Conclusiones y trabajo futuro

4.1 Conclusiones

En esta tesis se ha comparado la física de operación de la estructura MOSFET de potencia súper-lineal con las estructuras MOSFET de potencia lateral de doble difusión, vertical y de carga acoplada. Se demostró por medio de las simulaciones en ISE-TCAD que las tres primeras estructuras MOSFET de potencia analizadas presentan características de transferencia que reducen la amplificación de potencia en un rango restringido de variación de las señales de entrada para su operación lineal. Este no es el caso para el transistor denominado súper-lineal que utiliza los conceptos de la estructura de carga acoplada con una región de arrastre que posee un perfil lineal de dopado, con una estructura más simple desde el punto de vista tecnológico, sacrificando la longitud reducida de la celda elemental, esto es haciendo ligeramente más grande el transistor.

Gracias al concepto de acoplamiento de carga, no únicamente se obtiene un voltaje de ruptura del orden de 80V, sino también se evita el fenómeno de ruptura por alcance en la región del transistor de unión de efecto de campo (región entre las dos compuertas) permitiendo dimensiones submicrométricas del largo del canal. Esto a su vez tiene dos efectos positivos: el primero, aumentar la transconductancia máxima del dispositivo y el segundo, establecer las condiciones para una operación más lineal en las características de transferencia, debido a que la corriente de saturación es una función lineal del voltaje de compuerta, dado que la corriente se satura debido a que los portadores de carga alcanzan su velocidad de saturación.

Para obtener una buena linealidad y eficiencia en los dispositivos MOSFET de potencia, es importante reducir la resistencia de encendido " R_{ON} " ya que decrece la amplitud de la región triodo a bajos voltajes del drenador permitiendo así una más grande amplitud de señal de entrada. En las estructuras MOSFET de potencia lateral y vertical se utilizó el método RESURF para reducir esta resistencia de encendido.

En los capítulos anteriores se ha proporcionado información acerca de cada estructura analizada. En la estructura LD-MOSFET de potencia el canal opera en el modo "*pinch-off*" durante la saturación de corriente. Para la estructura MOSFET de potencia de carga acoplada, que puede ser implementada con una región de arrastre tipo-N dopada uniformemente (CC-MOSFET) o dopada usando un perfil lineal-gradual (GD-MOSFET) dentro de la región de arrastre, la corriente de saturación está limitada por la velocidad de los electrones que alcanza su límite debido a los altos campos eléctricos en el canal.

La estructura GD-MOSFET es la que se utilizó para las simulaciones en ISE-TCAD, ya que proporciona la distribución del campo eléctrico uniforme dentro de la región del drenador con muy poca caída de voltaje a través de la región base-P. Esto permite acortar la longitud del canal, resultando en una mayor transconductancia.

Con la estructura MOSFET de potencia de carga acoplada, también puede reducirse la caída de voltaje a través del canal, lo que permite la operación súper-lineal. La estructura SL-MOSFET de potencia, muestra una excelente linealidad tanto en sus características de transferencia como en sus características de salida mejorando las características obtenidas en las tres estructuras anteriores.

El modo de operación súper lineal para la estructura MOSFET de potencia, depende de mantener el canal en el régimen lineal de operación y de tener una región de arrastre que simultáneamente soporta voltajes de polarización de drenador grandes y opera en un modo de saturación de corriente. Estas características son ideales para amplificación de RF y señales de audio sin distorsión.

La herramienta ISE-TCAD es una herramienta poderosa para simular características en CD y CA, mediante la herramienta de simulación de dispositivos DESSIS, que son indispensables para el análisis de los dispositivos de potencia en RF, tales como las características en DC de transferencia, I_{DS} vs. V_{GS} para $V_{DS} = \text{cte.}$ y de salida, I_{DS} vs. V_{DS} para $V_{GS} = \text{cte.}$, incluyendo los efectos de la temperatura en éstas. La flexibilidad de esta herramienta, permite la extracción de parámetros importantes tales como la transconductancia vs. V_{GS} , el voltaje de umbral y la resistencia R_{ON} , mediante las derivadas sucesivas de la transconductancia y la derivada de las características de salida a bajos voltajes de V_{DS} .

Por otro lado, utilizando DESSIS en el modo de CA y de solución de transitorios en el modo mezclado, se mostró que es posible extraer las capacitancias diferenciales entre varios electrodos y su influencia en la respuesta de frecuencia (ganancia de potencia y ganancia de corriente) usando una topología de amplificador clase A en el modo mezclado para los diferentes dispositivos simulados.

Las dimensiones de los dispositivos así como sus dopados más importantes fueron obtenidas de la literatura especializada. Los dopados fueron simulados con funciones analíticas típicas, uniformes, gaussianas o de error complementario, en algunos casos fueron combinadas para obtener los valores reportados en los “*layouts*” de los dispositivos. En otras ocasiones los perfiles de dopado fueron obtenidos por simulación directa empleando la herramienta DIOS de ISE, particularmente en los perfiles críticos de la región de arrastre, para satisfacer las condiciones de carga por unidad de superficie del criterio de acoplamiento de carga, RESURF.

La herramienta de desplegado TECPLOT fue de gran utilidad para obtener en dos dimensiones graficas de curvas de igual concentración de densidades de carga, de corriente, de campo eléctrico, así como de potencial electrostática que contribuyeron a visualizar la distribución de estos parámetros para la optimización de los dispositivos; de la misma manera, obtener secciones transversales a lo largo de ejes seleccionados “*slices*” para determinar perfiles de dopado y dimensiones efectivas críticas de parámetros importantes, tales como longitudes de canal y de regiones en las cuales la difusión lateral es importante.

La Tabla 4-1 describe a modo de resumen, los parámetros más importantes de los dispositivos simulados.

Parámetros	Estructuras MOSFET de potencia		
	Lateral	Vertical	Súper Lineal
W_P [μm]	15	12	4.8
L_{CH} [μm]	1.15	1.3	0.18
L_G [μm]	2	6	1
T_{ox} [\AA]	500	500	500
V_{DS} [V]	30	30	30
V_{TH} [V], $T=300^\circ\text{K}$	4.4	4.4	1.6
BV [V]	72	80	80
g_m [mS/mm]	23.35	55.13	83.76
R_{ON} [Ω], $V_{GS}=5.5\text{V}$	76	41	11.3
$R_{ON,sp}$ ($\text{m}\Omega \cdot \text{cm}^2$), $V_{GS}=5.5\text{V}$	11	4.9	0.56
C_{gs} [pF/mm]	0.78	2.5	0.63
C_{gd} [pF/mm]	0.011	0.02	0.002
C_{ds} [pF/mm]	0.011	0.31	0.31
F_c (GHz)	1.6	1.5	3
$F_{m\acute{a}x}$ (GHz)	3.1	3.2	4.3

Tabla 4-1 Comparación de parámetros eléctricos para estructuras MOSFET de potencia.

En resumen en este trabajo de tesis de maestría;

Se da una amplia perspectiva de los dispositivos de potencia en RF en tecnología de Silicio, que serían capaces de cumplir con las especificaciones necesarias para la transmisión de potencia en RF de las estaciones de base en telefonía celular.

Los factores de mérito de estos dispositivos, en aplicaciones como amplificadores de potencia en RF, fueron obtenidos por simulación usando la herramienta comercial ISE-TCAD.

Se desarrollaron los códigos “*scripts*” para las varias herramientas específicas de simulación, tales como MDRAW (“*layout*”, dopado); DESSIS (modos casi-estacionario, de AC, transitorio, mezclado, modelos físicos, manejo de archivos, etc.); DIOS (implantación, difusión); INSPECT (algoritmos, derivadas, etc.), para cada uno de los dispositivos. Estos códigos pasaran a formar parte de la Biblioteca de ISE como ejemplos para la optimización e investigación de nuevos dispositivos en tecnologías de silicio u otras tecnologías.

Se establecieron las bases físicas de los dispositivos para la obtención de voltajes de ruptura elevados con resistencias R_{ON} bajas, así como las condiciones para obtener dispositivos de transconductancia elevada y comportamiento lineal en zonas más extendidas de operación.

Finalmente se utilizó una metodología de simulación y análisis que puede ser útil para el análisis de otros dispositivos con semiconductores en base a su comportamiento físico.

4.2 Trabajo futuro

Dada la amplitud del tema y el relativo corto tiempo de que se dispuso no fue posible tratar con detenimiento el tema del modelado de las características I-V de los dispositivos súper lineales y LD-MOS a partir de sus características de simulación. Este tema es de gran importancia para determinar en términos cuantitativos, un análisis de los productos de intermodulación y la linealidad de los dispositivos.

Apéndice A

Análisis de las herramientas ISE-TCAD para la simulación de los dispositivos MOSFET de potencia

Se analizarán las herramientas T-CAD utilizadas para la simulación de las estructuras LD-MOSFET, VD-MOSFET, CC-MOSFET y SL-MOSFET. Se describe la funcionalidad, las características y la implementación de los programas T-CAD.

A.1 Introducción

Las herramientas T-CAD son de gran utilidad para la simulación de dispositivos, ya que con ellas es posible representar un dispositivo semiconductor real, tal como un transistor. Éste se representa en el simulador como un dispositivo cuyas características físicas están compuestas por las propiedades del semiconductor como los perfiles de dopado.

La representación de las características físicas del transistor en el simulador se puede lograr con la implementación de los programas T-CAD. Estos programas se clasifican de la siguiente manera: simulación del proceso, generación del “*grid*” o cuadrícula, simulación del dispositivo, visualización y utilerías (Fig. A-1). De aquí se derivan las herramientas T-CAD, tales como DIOS que es un simulador de proceso multidimensional para dispositivos semiconductores, las soluciones que se realizan con DIOS permiten la simulación de estructuras muy complicadas; otra herramienta es MDRAW que permite especificar el dopado y refinamiento de los dispositivos; después con la herramienta DESSIS se simula numéricamente el comportamiento eléctrico del dispositivo semiconductor; ya que se realizaron con éxito las simulaciones, la herramienta INSPECT es útil para representar y

analizar las curvas generadas por el comportamiento del dispositivo semiconductor; con la herramienta TECPLOT se representan y analizan las curvas del perfil de dopado, además permite visualizar en el dispositivo las concentraciones de dopado, el potencial eléctrico, el comportamiento de, por ejemplo, el campo eléctrico.

A.2 Herramientas ISE-TCAD

La construcción de un modelo físico de un dispositivo semiconductor representado en el simulador GENESIS 10.0 ISE-TCAD, se puede crear utilizando las herramientas que el simulador ofrece, tales como las que se muestran en la Fig. A-1. Para esta tesis, se describirá un poco acerca de las herramientas DIOS, MDRAW, DESSIS, INSPECT y TECPLOT debido a que éstas fueron utilizadas en la construcción de las estructuras analizadas.

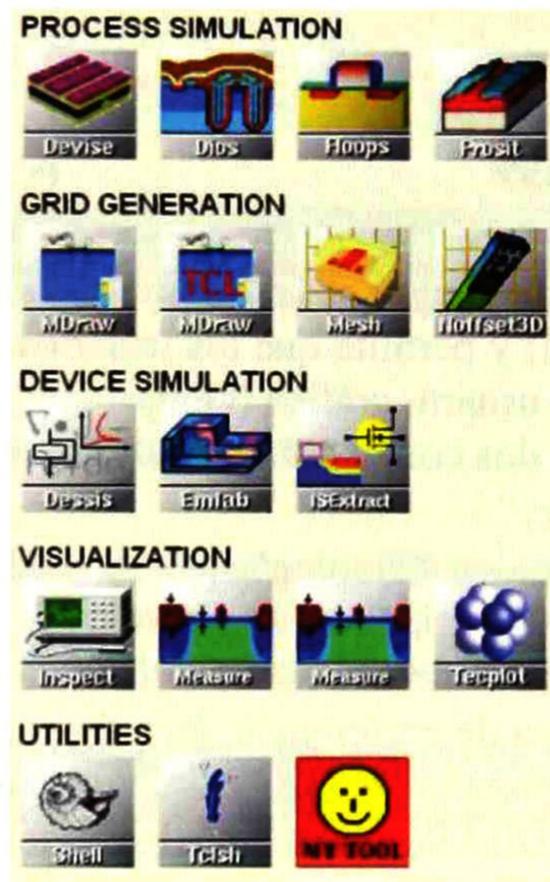


Fig. A-1 Herramientas TCAD.

Para comprender lo que realiza cada una de las herramientas utilizadas para la construcción de las estructuras LD-MOSFET, VD-MOSFET, CC-MOSFET y SL-MOSFET a continuación se describe acerca de sus características.

A.3 Herramienta DIOS

La herramienta DIOS es un simulador de proceso que involucra varios aspectos para dispositivos semiconductores. Simula secuencias de fabricación completas incluyendo grabado y deposición, implantación iónica, difusión y oxidación con modelos idénticos en una dimensión y dos dimensiones.

DIOS es un programa T-CAD con “*meshing*” o malla, totalmente automático a través de “*grids*” altamente adaptativos que no requieren intervención del usuario. Realiza soluciones no lineales y lineales muy eficientes que permiten la simulación de estructuras muy complicadas donde se puede manejar una gran cantidad de puntos en el “*grid*” DIOS proporciona comandos de control para permitir a los usuarios seleccionar modelos, parámetros físicos, estrategias del “*grid*”, y preferencias de salida gráficas si se requieren.

DIOS proporciona una interfaz del usuario gráfica (GUI) que permite a los usuarios observar simultáneamente los resultados del proceso de simulación paso-a-paso en la ventana de gráficas de salida.

Una de las características importantes para la simulación de los dispositivos es el perfil de dopado. Para obtener el perfil de dopado es necesario determinar la concentración de dopado de la región de arrastre así como la dosis. El voltaje de ruptura de la estructura LD-MOSFET cambia con aumentos en la dosis-LDD. Para esta estructura, se hizo uso de la herramienta DIOS, con la finalidad de ver con que concentración de dopado y dosis se obtenían los mejores resultados.

A.4 Herramienta MDRAW

La herramienta MDRAW ofrece una lengua de escritura que sigue la sintaxis de la lengua de comando de la herramienta (Tcl) y permite que los usuarios generen los dispositivos sin ninguna interacción de interfaz del usuario gráfica (GUI).

La herramienta MDRAW contiene dos contextos separados:

- *Editor Boundary*, “Boundary”
- *Editor de dopado y refinamiento*, “Doping”

La ventana principal “*Edit_Boundary*” de MDRAW consta de una barra de menú, área de herramientas, área de contactos, área de preferencia, área de entorno, recuadros de mensaje, indicador de la localización del apuntador, y área de dibujo. Seleccionando una de las dos opciones (Boundary o Doping), MDRAW actualiza la barra del menú y las diferentes áreas de acuerdo al contexto seleccionado.

A.4.1 Editor Boundary

El editor boundary es usado para crear, modificar, y visualizar la estructura del dispositivo (Fig A-2). Proporciona algoritmos para conservar la topología correcta de la estructura del dispositivo y para simplificar automáticamente estructuras complejas. El entorno del editor boundary se elige seleccionando la opción “*Boundary*” en el área de contexto.

Para comenzar a editar una estructura de dispositivo en MDRAW hay dos opciones:

- Comenzar del principio y crear un dispositivo nuevo. La única herramienta que permite la creación de una estructura de dispositivo es “*Add Rectangle*”, la cual crea una capa rectangular hecha de un material específico.

- Editar un dispositivo existente. Cuando un dispositivo es abierto, los usuarios pueden editar el boundary: mover puntos, borrar puntos, agregar puntos, cambiar el tipo de material en las regiones, y definir nuevos contactos.

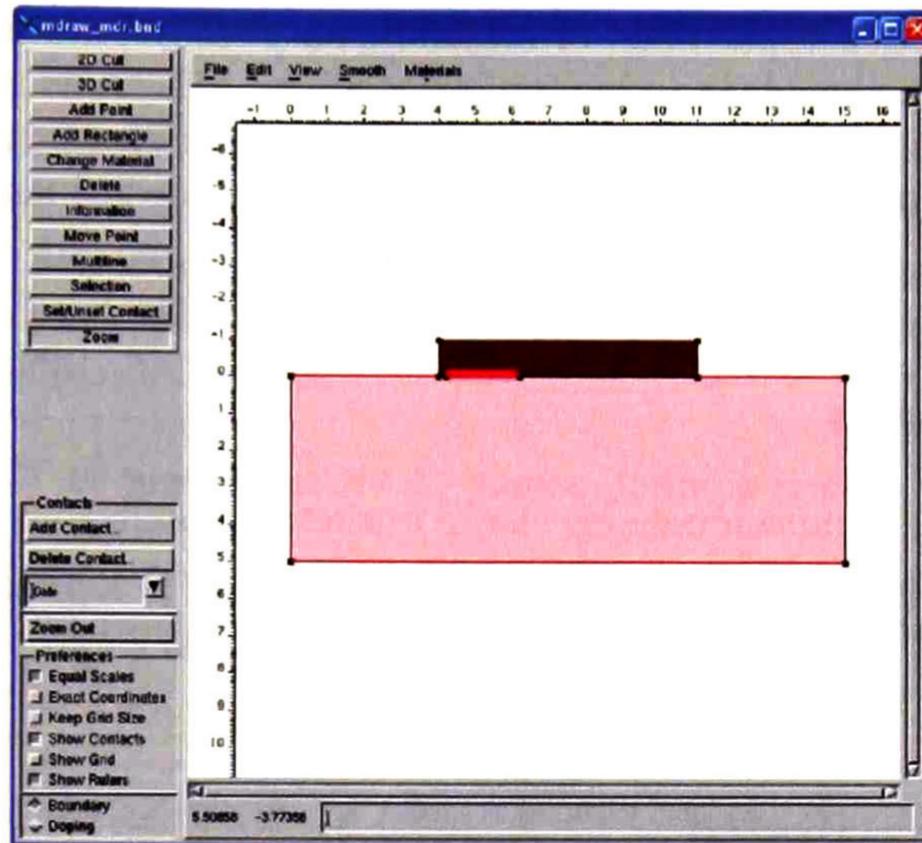


Fig. A-2 Editor "Boundary".

A.4.2 Editor de dopado y refinamiento

El propósito principal del editor de dopado y refinamiento es para crear, modificar, y visualizar el dopado de un dispositivo (Fig. A-3). También permite a los usuarios especificar la información adicional del refinamiento que afecta la construcción del "mesh" o malla.

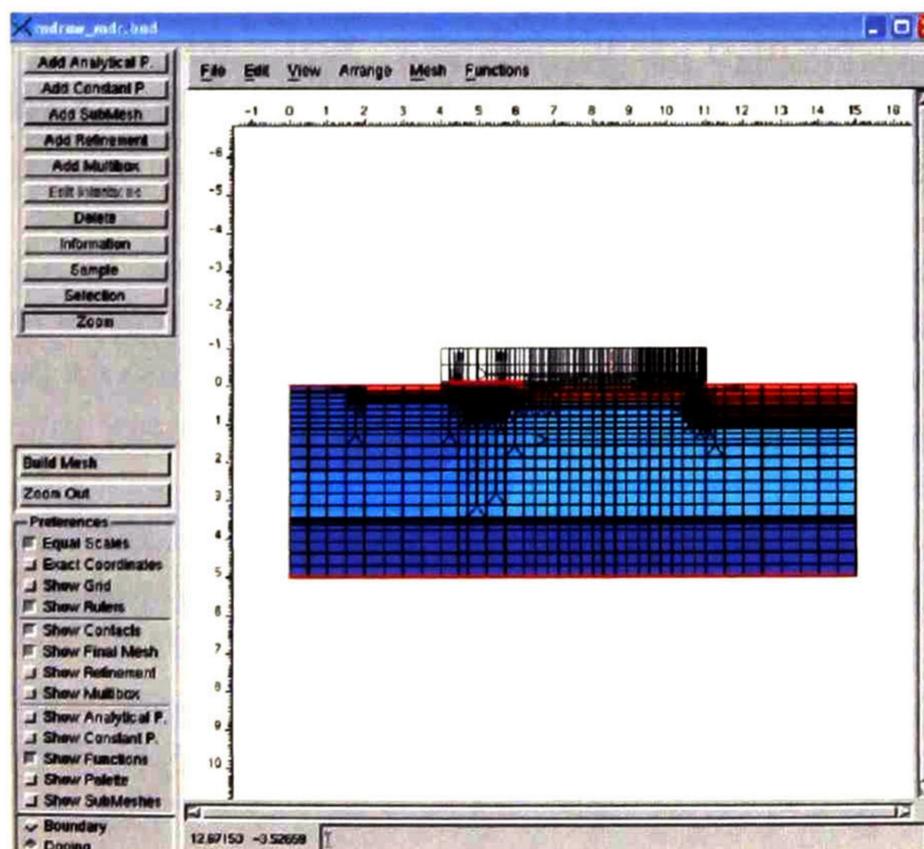


Fig. A-3 Editor "Doping".

Las características del editor de dopado y refinamiento incluyen herramientas para crear descripciones de dopado, para describir condiciones de refinamiento, y para construir un “*mesh*” que reúna todos los requerimientos necesarios para la simulación del dispositivo. Para seleccionar el contexto del editor de dopado y refinamiento, del área de contexto, seleccionar “*Doping*”

Para realizar el refinamiento del “*mesh*”, MDRAW utiliza un sistema de parámetros definidos. Estos parámetros especifican el refinamiento y el tamaño aceptable del *mesh* final de los elementos. Cuando se crea un dispositivo, MDRAW asigna un área de refinamiento por defecto. Si son necesarios requerimientos de refinamiento específicos para una cierta región dentro del dispositivo, se pueden añadir áreas de refinamiento adicionales.

Cuando las condiciones de refinamiento se fijan, construir el “*mesh*” es sencillo. Haciendo un clic en “*Build Mesh*”, MDRAW comienza a construir el “*mesh*” que satisface mejor los requerimientos especificados.

MDRAW se utiliza en la simulación de las cuatro estructuras analizadas en esta tesis. En la construcción de la estructura de cada dispositivo, se crean los perfiles de dopado y se describen los refinamientos, los cuales son diferentes para cada estructura.

A.5 Herramienta DESSIS

DESSIS es una herramienta que involucra varios aspectos como son los modelos físicos, electro-térmico, modo-mezclado y simulador de circuito para dispositivos semiconductores unidimensional, bidimensional y tridimensional. Incorpora modelos físicos avanzados y métodos numéricos sólidos para la simulación de la mayoría de los tipos de dispositivos semiconductores.

DESSIS simula numéricamente el comportamiento eléctrico de los dispositivos semiconductores. Un dispositivo semiconductor real, tal como un transistor, es representado en el simulador como un dispositivo “virtual” cuyas características físicas están especificadas sobre un “*grid*” no uniforme de nodos.

Por lo tanto, un dispositivo “virtual” es una aproximación de un dispositivo real. Las propiedades continuas tal como los perfiles de dopado son representadas en un “*grid*” pequeño y, por lo tanto, son también definidos en un número finito de puntos discretos en el espacio. El dopado en algún punto entre nodos se puede obtener por interpolación.

El archivo de comando de entrada DESSIS, es el archivo en el que se define la estructura del dispositivo y es organizado en secciones: File, Electrode, Physics, Plot, Math, y Solve. En estas secciones se especifican los archivos de entrada y salida necesarios para realizar la simulación, se especifican los contactos, los modelos físicos, las variables soluciones, se resuelven las ecuaciones del dispositivo en un modo iterativo, y se define una secuencia de soluciones.

Para la simulación de las estructuras LD-MOSFET, VD-MOSFET, CC-MOSFET y SL-MOSFET en la sección de DESSIS se agregan parámetros dependiendo de la aplicación que se le da a cada estructura. Es decir, si se requiere obtener las características de salida de una estructura, el parámetro agregado es V_{GS} ; si lo que se quiere obtener es las características de transferencia, el parámetro es V_{DS} ; o si lo que se quiere es comparar el comportamiento a diferentes temperaturas, el parámetro será la temperatura.

A.6 Herramienta INSPECT

INSPECT es una herramienta usada para representar y analizar curvas. Ofrece una conveniente interfaz del usuario gráfica (GUI), un lenguaje de escritura, y un lenguaje interactivo para cálculos con curvas.

Una curva INSPECT es una secuencia de puntos definida por un “*array*” de coordenadas X-Y. Un “*array*” de coordenadas que se puede representar como imágenes gráficas de los ejes se refiere como una columna de valores “*dataset*”. Con INSPECT, los “*datasets*” se pueden combinar y representar como imágenes gráficas del eje-X y eje-Y para crear y representar una curva. Para las estructuras LD-MOSFET, VD-MOSFET, CC-MOSFET y SL-MOSFET en INSPECT se generan las curvas voltaje-corriente para obtener las características de transferencia y las características de salida, las curvas de transconductancia y las curvas para obtener el voltaje de ruptura y el voltaje de umbral.

A.6.1 Áreas de trabajo

INSPECT cuenta con áreas de trabajo que permiten crear y/o modificar las curvas; como las siguientes:

Botones de la barra de herramientas:

Los botones de la barra de herramientas ofrecen un rápido acceso a las herramientas comúnmente utilizadas, tales como abrir un “*dataset*”, imprimir gráfica, “*zooms in*”, “*zooms out*”, representar o quitar el texto de leyenda, representar o quitar el “*grid*”, mover la curva, correr o detener la ejecución de escritura, habilitar o deshabilitar la escala logarítmica en los ejes.

Área Datasets:

En esta área se tienen tres ventanas para seleccionar y combinar columnas de valores “*datasets*” para crear curvas:

La ventana superior del área, lista los archivos de datos cargados.

La ventana de en medio lista los nombres de los grupos pertenecientes al archivo de datos seleccionado.

La ventana inferior lista los nombres pertenecientes al grupo seleccionado.

Se utilizan tres botones para representar una columna de valores en imágenes gráficas a un eje en particular: “*To X Axis*”, “*To Left Y Axis*” y “*To Right Y Axis*”.

Área de curvas:

El área de curvas contiene una ventana, en la cual se visualizan los nombres de las curvas existentes y tres botones.

“*New*”, este botón es usado para crear una nueva curva usando la librería *Formula*.

“*Edit*”, es usado para cambiar los atributos gráficos de una curva, como cambiar el nombre de la leyenda, o cambiar el color y estilo de la línea.

“*Delete*” borra las curvas seleccionadas.

Área de la gráfica:

Es la ventana principal, es decir, donde las curvas son dibujadas. En el área gráfica se visualizan los cambios en el sistema de coordenadas para las sesiones de acercamiento, se visualiza el texto de leyenda que se refiere a las curvas visualizadas, el título de la gráfica, el “*grid*”, y los cambios en la escala lineal o logarítmica.

Línea de estado:

La línea de estado se encuentra en el fondo de la ventana de INSPECT, del lado izquierdo se visualiza la información acerca de la sesión INSPECT de corriente y del lado derecho la posición del apuntador en al área de la gráfica.

A.6.2 Generación de curvas

Para crear una curva nueva en INSPECT, del área de curvas, se selecciona el botón “*New*”, se visualiza una ventana de dialogo nombrada, “*Create Curve*”

La ventana de dialogo “*Create Curve*”, tiene dos ventanas: una para curvas existentes y una para macros predefinidos. Hay dos campos de entrada: uno para el nombre de la curva nueva (INSPECT proporciona uno por defecto) y uno para la formula que es usado para crear la curva. Dos botones opcionales permiten la selección de una de las dos alternativas de ejes-Y en la cual la curva es representada como imagen gráfica.

Para crear y manejar las curvas nuevas, una variedad de macros y formulas de librería son incluidas en INSPECT. Los macros se pueden crear seleccionando “*Edit*” en la barra de menú y después define macros, entonces se visualiza la ventana de dialogo “*Macro Editor*”, la cual permite a los usuarios seleccionar funciones macro existentes, operaciones diferentes, y formulas de las librerías. En la simulación de las estructuras MOSFET en la sección de INSPECT, los macros permiten crear las curvas de transconductancia.

A.7 Herramienta TECPLOT

TECPLOT es un software dedicado para la visualización científica que ISE ha extendido para acomodar los requerimientos especiales del ambiente de simulación ISE.

La ventana principal de TECPLOT consiste de una barra de menú ISE, la línea de estado, y el espacio de trabajo TECPLOT el cual contiene una página con marco. La barra lateral ISE contiene botones, atajos, y funcionalidad conveniente para usuarios T-CAD (Fig. A-4).

Componentes de la barra lateral ISE

Los componentes comunes de la barra lateral ISE se encuentran en la parte superior izquierda e incluyen los siguientes botones: *Load*, *Update Data*, *Reset*, *Redraw*, *Last View*, *Link*, *Unlink*, *Zoom*, *Fit*, *Integrate*, *Measure*, *All Frames*, *Arrange*.

Los componentes de la barra lateral ISE en modo 2D/3D contienen: el indicador del archivo, una lista de variables las cuales se pueden seleccionar para visualizarlas en la página de trabajo TECPLOT, contiene una lista de las regiones y materiales del dispositivo, además contiene un área de botones en la que se selecciona *mesh on/mesh off*, *boundary on/boundary off*, *vector on/vector off*, y *contour mode*.

Los componentes de la barra lateral ISE en modo de línea XY son funcionales cuando se realiza una grafica de cierta variable del dispositivo; en la barra de menú se selecciona “*slicer*” ya sea para hacer un corte en el eje-X o en el eje-Y. Después de seleccionar el “*dataset*” en la primer ventana se eligen las variables con las que se va a realizar la curva. En las estructuras analizadas, se hizo uso de esta herramienta para obtener las curvas de las concentraciones de dopado, las características del campo eléctrico, el potencial electromagnético, y las densidades de dopado entre otras. Las curvas generadas en TECPLOT se pueden modificar por el usuario; editando los ejes, cambiando el color de la línea, el nombre de la grafica, los tamaños de la letra, etc.

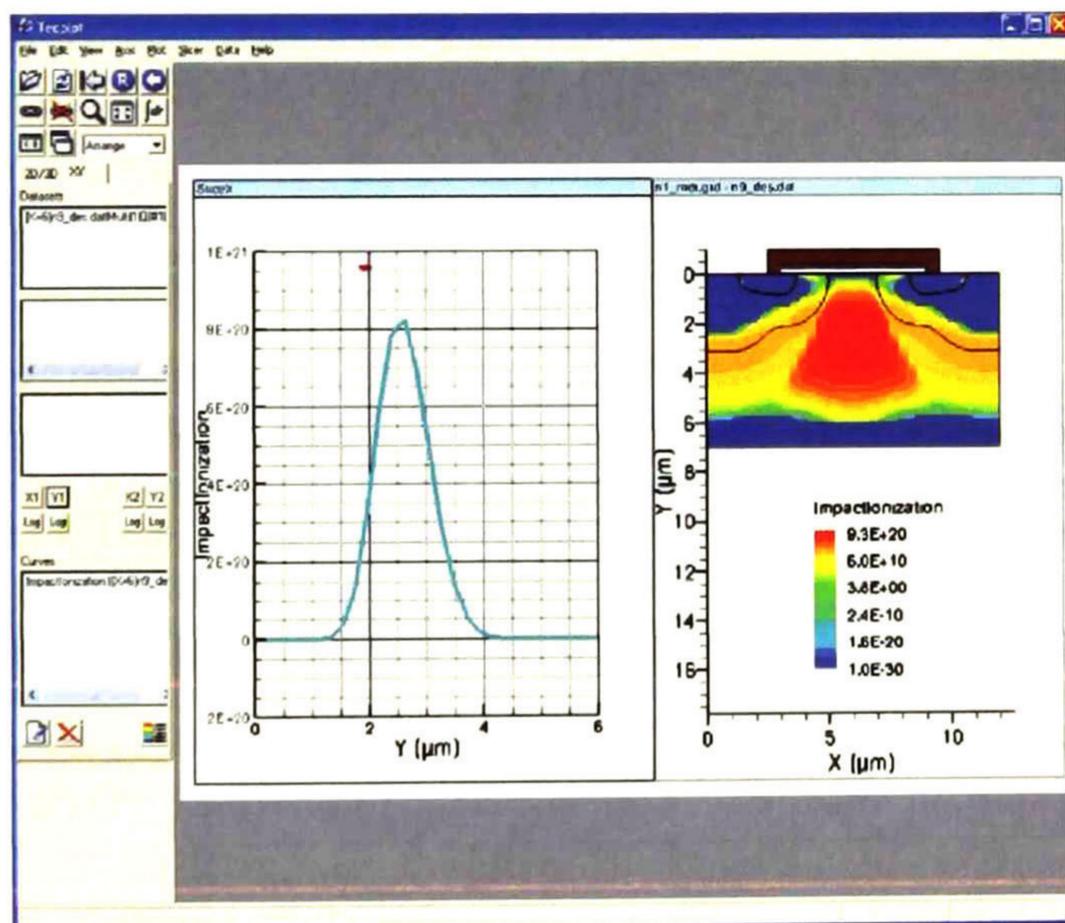


Fig. A-4 Ventana de TECPLOT.

Apéndice B

Códigos

A continuación se presentan los códigos “scripts” para las herramientas de simulación de los dispositivos.

B.1 Implantación y difusión

La herramienta DIOS permite realizar cambios en la implantación y difusión del dispositivo. El siguiente código está ligado con el tema 3.2.3 de la estructura LD-MOSFET.

```
*****
Title('LDD Implant:n@node@',mpoints=14000, maxv=50000, maxlst=10000, newdiff=1,
SiDiff=on)
!*****Starting substrate *****
Grid(xleft=-2um, xright=2um, ybottom=-5um, ytop=2um, nx=100)
repl(cont(maxtrl=7, markm=-10, markmax=-0, markj=-7, markg=-8))
repl(Contr(ngra=1000, nprint=1, lprot=1))
rep(Cont(BExpand=5))
substrate(elem=B, orien=100, conc=1e15)
!diff:(moddif=PairDiffusion, Si(B(moddif=SUPREM-3)), Si(P(moddif=SUPREM-3)))

!*****Comments *****
!No epitaxial layer
```

```

!*****
Diff:(
  Model:(
    Oxidation:(ModMech:=Viscous,
              ModDiffOxidant:=Diffusion,
              StressDependent:=On
            )
  )
)
!25

          Comm('screening oxide')
! *****Predep de catodo*****
Diffusion(thickness=40nm Temperature=1000 Atmosphere=O2)
          Comm('Implantation P. Fosforo predep')

!Implantation(Element=B Dose=1.57E15 ENERGY=160)
Implantation(Element=P Dose=5E12 ENERGY=50)
!33

          Comm('SET First Annealing of P-Implantation')
Diff(Temperature=(800,950), TempRate=25, Atmo=O2, ModDiff=PairDiffusion)
Diff(Time=87 Temperature=950 Atmosphere=O2, ModDiff=PairDiffusion)
Diff(Temperature=(1000,950), TempRate=-25.0, Atmo=N2, ModDiff=PairDiffusion)
!d(xsec(0), Rs=on)
          Comm('Remove all Oxide predep')

etch(mat=ox)
!          Comm('Drive-in')
!***** FOX growth *****
!Diff(Temperature=(650,1253), TempRate=10, Atmo=N2)
!Diff(Time=1200min, Temperature=1253, Atmo=O2, ModDiff=PairDiffusion)!
!Diff(Temperature=(1253,1120), TempRate=-2, Atmo=O2, ModDiff=PairDiffusion)
!Diff(Time=30min, Temperature=1120, Atmo=H2O2, Vh2=1.5, ModDiff=PairDiffusion)!
!Diff(Temperature=(1120,650), TempRate=-2, Atmo=O2)
!*****

!d(xsec(0), Rs=on)
Comm('Remove all Oxide drive-in')
etch(mat=ox)

          Comm ('save files')

Save(File='n@node@', Spec(BActive, NetActive), Type=Mdraw
      MaxElementHeight=40,
      MinElementHeight=10,
      MaxElementWidth=10,
      MinElementWidth=5,
)

```

```

Comment(" ")
1D ( format=mdraw
    xsection(0.0)
    species=(Btotal)
    file=n@node@_plus.PLX
)

```

```

1D ( format=mdraw
    xsection(0.0)
    species=(Ptotal)
    file=n@node@_sub.PLX
)

```

```

1D ( format=mdraw
    xsection(0.0)
    species=(Net)
    file=n@node@_profile.PLX
)

```

End

B.2 Características de transferencia

El código en DESSIS que se presenta a continuación es para la estructura lateral de doble difusión, con el cual se obtienen las características de transferencia, el voltaje de umbral y la transconductancia.

* common specifications

Electrode {

```

    { name= Drain  voltage=0 resistance=10}
    { name= Source voltage=0 resistance=10}
    { name= Gate   voltage=0 Barrier=-0.55 }
    { name= Sustrate voltage=0 }
}

```

File {

```

    grid  = "@grid@"
    doping = "@doping@"
    current = "@plot@"

```

```

    output = "@log@"
    plot   = "@dat@"
    * save  = "@save@"
    * param = "life.par"
}

```

```

Physics {

```

```

    AreaFactor = 1000
    Mobility ( DopingDependence
              HighFieldSaturation
              Enormal
              CarrierCarrierScattering (BrooksHerring)
            )
    EffectiveIntrinsicDensity(BandGapNarrowing(OldSlotboom))
    Recombination (
        SRH(DopingDependence Tempdep)
        Auger
        Avalanche (Eparallel)
    )
    ComputeIonizationIntegrals
    Temperature=400
}

```

```

*Physics (MaterialInterface="Silicon/Oxide"){charge (Conc=5e10)}

```

```

Plot {
    eCurrent/Vector hCurrent/Vector
    eDensity hDensity
    Current/Vector
    ElectricField/Vector
    eQuasiFermi hQuasiFermi
    eEparallel hEparallel
    Potential SpaceCharge
    eMobility hMobility
    DopingConcentration BoronConcentration PhosphorusConcentration
    ArsenicConcentration
    SRH Auger
    AvalancheGeneration MeanIonIntegral
    ConductionBandEnergy
}
*37

```

```

Math {
    Extrapolate
    RelErrcontrol
    Notdamped=50
    digits=5
}

```

```

Iterations=10
*Derivatives
*AvalDerivatives
NewDiscretization
*BreakAtIonIntegral
}

Solve {
  * Inital Solution VDS = 0.05
  poisson
  coupled { Poisson Electron }
  coupled { Poisson Electron Hole }
  * Quasistat the source to 0 Volt.
  Quasistationary (
    InitialStep=1e-3 MaxStep=1.0e-1 MinStep=1e-5
    Increment=2 Decrement=3
    Goal {name=Drain value=@VDS@}
  )
  { coupled { poisson electron hole } }
}
*88

```

```

Solve {
  * Inital Solution
  poisson
  coupled { Poisson Electron }
  coupled { Poisson Electron Hole }
  * Quasistat the source to 0 Volt.
  Quasistationary (
    InitialStep=1e-3 MaxStep=5.0e-3 MinStep=1e-5
    Increment=2 Decrement=3
    Goal {name=Gate value=7}
  )
  { coupled { poisson electron hole } }
}
*****

```

B.3 Características de salida

Las características de salida y el voltaje de ruptura para la estructura vertical de doble difusión se obtuvieron de acuerdo al siguiente código en los comandos de DESSIS.

```
*****
```

```

* common specifications
*****
Electrode {
  { name= Source   voltage=0 resistance=1e8}
  { name= Gate   voltage=@VG@ Barrier=-0.550 }
  { name= Drain   voltage=0 resistance=1e8}
}

File {
  grid   = "@grid@"
  doping = "@doping@"
  current = "@plot@"
  output = "@log@"
  plot   = "@dat@"
  * save  = "@save@"
*   param = "life.par"
}

Physics {

  AreaFactor = 1000
  Mobility ( DopingDependence
            HighFieldSaturation
            Enormal
            CarrierCarrierScattering (BrooksHerring) )
  Recombination (
    SRH(DopingDependence Tempdep)
    Auger
    Avalanche
  )
  EffectiveIntrinsicDensity (BandGapNarrowing (OldSlotboom))
  ComputeIonizationIntegrals

}
*Physics (MaterialInterface="Silicon/Oxide"){charge (Conc=5e10)}

Plot {
  eCurrent/Vector hCurrent/Vector
  eDensity hDensity
  Current/Vector
  ElectricField/Vector
  eQuasiFermi hQuasiFermi
  eEparallel hEparallel
  Potential SpaceCharge
  eMobility hMobility
  DopingConcentration BoronConcentration PhosphorusConcentration
  ArsenicConcentration

```

```

SRH Auger
AvalancheGeneration MeanIonIntegral
ConductionBandEnergy
eVelocity hVelocity
}
*37

```

```

Math {
  Extrapolate
  RelErrcontrol
  Notdamped=50
  digits=5
  Iterations=10
  Derivatives
  AvalDerivatives
  NewDiscretization
  BreakAtIonIntegral
}

```

```

Solve {
  * Initial Solution
  poisson
  coupled { Poisson Electron }
  coupled { Poisson Electron Hole }
  Quasistationary (
    InitialStep=1e-5 MaxStep=5e-2 MinStep=1e-4
    *Increment=2 Decrement=3
    Goal {name=Drain value=30}
  )
  { coupled { poisson electron hole } }
}
*88

```

```

Solve {
  ** Inital Solution
  poisson
  coupled { Poisson Electron }
  coupled { Poisson Electron Hole }
  ** Quasistat the source to 0 Volt.
  Quasistationary (
    InitialStep=1e-3 MaxStep=5.0e-2 MinStep=1e-5
    **Increment=2 Decrement=3
    Goal {name=Drain value=80}
  )
  { coupled { poisson electron hole } }
}
*****

```

B.4 Cambio de temperatura

Para realizar la comparación de las características de transferencia y de las transconductancias respecto a cambios en la temperatura en la estructura lateral de doble difusión, se implementó el siguiente código. En éste se agregan los parámetros necesarios dependiendo de cada estructura.

```
*****
* common specifications
*****
Electrode {
    { name= Drain  voltage=0 resistance=10}
    { name= Source voltage=0 resistance=10}
    { name= Gate   voltage=0 Barrier=-0.550 }
    { name= Sustrate voltage=0 }
}

File {
    grid  = "@grid@"
    doping = "@doping@"
    current = "@plot@"
    output = "@log@"
    plot   = "@dat@"
    * save  = "@save@"
*   param = "life.par"
}

Physics {
    AreaFactor = 1000
    Mobility ( DopingDependence
              HighFieldSaturation
              Enormal
              CarrierCarrierScattering (BrooksHerring)
            )
    EffectiveIntrinsicDensity(BandGapNarrowing(OldSlotboom))
    Recombination (
        SRH(DopingDependence Tempdep)
        Auger
        Avalanche (Eparallel)
    )
    ComputeIonizationIntegrals
    Temperature=@TEMP@
}
```

```

*Physics (MaterialInterface="Silicon/Oxide"){charge (Conc=5e10)}
Plot {
  eCurrent/Vector hCurrent/Vector
  eDensity hDensity
  Current/Vector
  ElectricField/Vector
  eQuasiFermi hQuasiFermi
  eEparallel hEparallel
  Potential SpaceCharge
  eMobility hMobility
  DopingConcentration BoronConcentration PhosphorusConcentration
  ArsenicConcentration
  SRH Auger
  AvalancheGeneration MeanIonIntegral
  ConductionBandEnergy
}
*37

```

```

Math {
  Extrapolate
  RelErrcontrol
  Notdamped=50
  digits=5
  Iterations=10
  *Derivatives
  *AvalDerivatives
  NewDiscretization
  BreakAtIonIntegral
}

```

```

Solve {
  * Inital Solution VDS = 0.05
  poisson
  coupled { Poisson Electron }
  coupled { Poisson Electron Hole }
  * Quasistat the source to 0 Volt.
  Quasistationary (
    InitialStep=1e-3 MaxStep=1.0e-1 MinStep=1e-5
    Increment=2 Decrement=3
    Goal {name=Drain value=30}
  )
  { coupled { poisson electron hole } }
}
*88

```

```

Solve {
  * Inital Solution

```

```

    poisson
    coupled { Poisson Electron }
    coupled { Poisson Electron Hole }
    * Quasistat the source to 0 Volt.
    Quasistationary (
        InitialStep=1e-3 MaxStep=5.0e-3 MinStep=1e-5
        Increment=2 Decrement=3
        Goal {name=Gate value=20}
    )
    { coupled { poisson electron hole } }
}
*****

```

B.5 Modelo de AC. Capacitancias

El código en DESSIS para obtener las capacitancias de la estructura súper lineal se realizó con el modelo de análisis de AC para una frecuencia de 1MHz.

```

*****
#if @< AC_counter == 1 >@
#-----#
#- DESSIS input deck for
#-
#- *AC analysis at 10 Hz while Vg=-2 to 3V and Vd=2V
#- AC analysis at 1MHz while Vd=0 to 5V and Vg=0V
#-----#

Device NMOS {
    Electrode {
        { Name="Source" Voltage=0.0 }
        *{ Name="Drain" Voltage=2.0 }
        { Name="Drain" Voltage=0.0 }
        { Name="Gate" Voltage=0.0 Barrier=-0.55}
    }
}

File {
    Grid = "@grid@"
    Doping = "@doping@"
    current = "@plot@"
    plot = "@dat@"
    Param = "@parameter@"
}

```

```

Physics {
  AreaFactor = 1000
  Mobility ( DopingDependence
            HighFieldSaturation
            Enormal
            CarrierCarrierScattering (BrooksHerring)
          )
  EffectiveIntrinsicDensity(BandGapNarrowing(OldSlotboom))
  Recombination (
    SRH(DopingDependence Tempdep)
    Auger
    Avalanche (Eparallel)
  )
  ComputeIonizationIntegrals
  Temperature=300
}

```

```

Plot {
  eDensity hDensity
  eCurrent hCurrent
  ElectricField
  eQuasiFermi hQuasiFermi
  Potential Doping SpaceCharge
  SRH Auger
  AvalancheGeneration
  eMobility hMobility
  DonorConcentration AcceptorConcentration
  Doping
  eVelocity hVelocity
  eEparallel hEparallel
}
}

```

```

Math {
  Extrapolate
  Derivatives
  RelErrControl
  NewDiscretization
  Notdamped=50
  Iterations=20
}

```

```

File {
  output = "@log@"
  ACExtract = "@acplot@"
}

```

```

System {
  NMOS trans (Drain=d Source=s Gate=g )
  Vsource_pset vd ( d 0 ){ dc = 0 }
  Vsource_pset vs ( s 0 ){ dc = 0 }
  Vsource_pset vg ( g 0 ){ dc = 0 }
}

Solve {
  #-initial solution
  #-a) zero solution
  Poisson
  Coupled(LineSearchDamping = 1e-9){ Poisson Electron Hole }
  #-b) ramp gate to negative starting voltage
  Quasistationary (
    InitialStep=0.1
    MaxStep=0.5 Minstep=1.e-5
    Increment=1.3
    Goal { Parameter=vd.dc Voltage=0}
  )
  { Coupled { Poisson Electron Hole } }
  #-ramp gate
  * ramp drain
  Quasistationary (
    InitialStep=0.01
    MaxStep=0.04 Minstep=1.e-5
    Increment=1.3
    Goal { Parameter=vd.dc Voltage=40}
  )
  { ACCoupled (
    StartFrequency=1e6 EndFrequency=1e6 NumberOfPoints=1 Decade
    Node(d s g) Exclude(vd vs vg)
  )
  { Poisson Electron Hole }
  }
}

#elif @< AC_counter == 2 >@
#-----#
#- DESSIS input deck for
#- AC analysis vs. frequency while Vg=0.7V and Vd=2V
#-----#

Device NMOS {

  Electrode {
    { Name="Source" Voltage=0.0 }
    { Name="Drain" Voltage=2.0 }
  }
}

```

```

{ Name="Gate" Voltage=0.0 Barrier=-0.55}
*{ Name="substrate" Voltage=0.0 }
}

File {
  Grid = "@grid@"
  Doping = "@doping@"
  current = "@plot@"
  plot = "@dat@"
  Param = "@parameter@"
}

Physics {
  Mobility( DopingDep HighFieldSaturation Enormal )
  EffectiveIntrinsicDensity( oldSlotboom )
}

Plot {
  eDensity hDensity
  eCurrent hCurrent
  ElectricField
  eQuasiFermi hQuasiFermi
  Potential Doping SpaceCharge
  SRH Auger
  AvalancheGeneration
  eMobility hMobility
  DonorConcentration AcceptorConcentration
  Doping
  eVelocity hVelocity
  eEparallel hEparallel
}

}

Math {
  Extrapolate
  Derivatives
  RelErrControl
  Notdamped=50
  Iterations=20
  NewDiscretization
}

File {
  output = "@log@"
  ACExtract = "Fq@acplot@"
}

```

```

System {
  NMOS trans (Drain=d Source=s Gate=g)
  Vsource_pset vd ( d 0 ){ dc = 2 }
  Vsource_pset vs ( s 0 ){ dc = 0 }
  Vsource_pset vg ( g 0 ){ dc = 0 }
  * Vsource_pset vb ( b 0 ){ dc = 0 }
}

Solve {
  #-initial solution
  #-a) zero solution

  Poisson
  Coupled(LineSearchDamping = 1e-9){ Poisson Electron Hole}

  #-b) ramp gate to starting voltage

  Quasistationary (
    InitialStep=0.1
    MaxStep=0.2 Minstep=1.e-5
    Increment=1.3
    Goal { Parameter=vg.dc Voltage=0.7}
  )
  { Coupled { Poisson Electron Hole } }

  ACCoupled (
    StartFrequency=1e7 EndFrequency=1e13 NumberOfPoints=13 Decade
    Node(d s g) Exclude(vd vs vg)
  )
  { Poisson Electron Hole }
}
#endif
*****

```

B.6 Modo mezclado. Frecuencia

El modo mezclado que se presenta en el siguiente código en DESSIS se utilizó para obtener la respuesta en frecuencia de las estructuras analizadas. Éste corresponde a la estructura súper-lineal, tema 3.3.6.

```

*****
# NMOS --> "Class-E RF Amplifier" MixModRF
*****

```

```

Device NMOS {
Electrode
{
    { Name="Drain"   Voltage=0.0 AreaFactor=1000 resistance=100}
    { Name="Source" Voltage=0.0 AreaFactor=1000 resistance=100}
    { Name="Gate"   Voltage=0.0 AreaFactor=1000 Barrier=-0.55}
    *{ Name="Bulk"  Voltage=0.0}
}
}

```

```

File
{
Grid      = "@grid@"#input
Doping    = "@doping@"
Plot      ="nmos"
Current   = "nmos"
*Param    = "mos"
}

```

```

Plot
{
    Doping eDensity/vector hDensity/vector ElectricField/vector
    eCurrent/vector hCurrent/vector ConductionCurrent/Vector
    SRHRecombination AugerRecombination
    TotalRecombination AvalancheGeneration Potential
    BandGap BandGapNarrowing ConductionBandEnergy ValenceBandEnergy
    eMobility hMobility SpaceCharge
}
*33

```

```

Physics
{
    Mobility(DopingDependence
    HighFieldSaturation
    NormalElectricField
    CarrierCarrierScattering(BrooksHerring))

    Recombination (SRH (DopingDep ExpTempDep) Auger Avalanche)
    EffectiveIntrinsicDensity(BandGapNarrowing(Slotboom))
    Temperature=300
}
}

```

```

File {
Current="amp"
Output="amp"
}

```

```

System{
* -----Amplifier Class A-----
  NMOS nmos("Drain"=node3 "Gate"=node2 "Source"=node0 )
  Resistor_pset r1 (node4 node0) {resistance=350} *422.5
  Inductor_pset l1 (node5 node3) {inductance=1e-3}
  Capacitor_pset c1 (node3 node4 ){ capacitance = 1e-9 }
  *v v1 (node2 node1) {type="pwl" pwlfile="f1g.pwl"}
  Vsource_pset vin (node2 node1) {sine=(0 0.5 8.0e9 0 0)}
  Vsource_pset vg (node1 node0) {dc = 0}
  Vsource_pset vd (node5 node0) {dc = 0}

Set (node0=0)
  Plot "nodes.plt" (time() node2 node3 i(nmos node0) i(r1 node4)
    i(nmos node2) i(vg node2) node1 node4)
}

Math
{
  Extrapolate
  RelErrControl
  digits=5
  Notdamped=100
  Iterations=12
  Derivatives
  Avalderivatives
  NoCheckTransientError
  NoAutomaticCircuitContact
  Method=ParDiso
}

*-----
Solve {

  ** Initial guess
  Coupled (Iterations=100) {poisson}
  Coupled { Poisson Electron Hole }
  Coupled {poisson electron hole contact circuit}
  **Initial gate node voltage ramp
  Quasistationary (
    Dozero
    **InitialStep=1e-5 MaxStep=1e-2 MinStep=1e-5
    InitialStep=1e-4 MaxStep=5e-2 MinStep=1e-5
    increment=2
    Goal {parameter=vg.dc voltage=2.5}
  )
  { coupled { nmos.poisson nmos.electron nmos.hole nmos.contact circuit } }
  **drain node voltages ramp

```

```

    *Coupled (Iterations=100) {poisson}
    *Coupled { Poisson Electron Hole }
    *Coupled {poisson electron hole contact circuit}
    Quasistationary (
        Dozero
        **InitialStep=1e-5 MaxStep=1e-3 MinStep=1e-5
        InitialStep=1e-2 MaxStep=5.0e-2 MinStep=1e-5*5e-3
        increment=1.3
        Goal {parameter=vd.dc voltage=30}
    )
    { coupled { nmos.poisson nmos.electron nmos.hole nmos.contact circuit } }
}
*-----

```

Solve

```

{
    Coupled { Poisson }
    Coupled(LineSearchDamping = 1e-3) { Poisson Electron Hole }
    Coupled { Poisson Electron Hole Contact Circuit }
    *Unset (node2)
    *Unset (node3)
    Transient (
        InitialTime=0 FinalTime=3.7e-10
        *InitialTime=0 FinalTime=3e-9*1GHz
        *InitialStep=1e-12 MaxStep=2e-11 MinStep=1e-14 *1GHz
        *InitialStep=1e-12 MaxStep=1e-11 MinStep=1e-14 *2GHz
        *InitialStep=1e-12 MaxStep=2.0e-10 MinStep=1e-14 *0.1GHz
        ***InitialStep=1e-12 MaxStep=1e-10 MinStep=1e-14 *0.2GHz
        * InitialStep=1e-12 MaxStep=2e-11 MinStep=1e-14 *0.5GHz
        *InitialStep=1e-12 MaxStep=5e-12 MinStep=1e-14*4GHz
        InitialStep=1e-12 MaxStep=2.5e-12 MinStep=1e-14*8GHz
        Increment=2.0
    )
    {Coupled { nmos.poisson nmos.electron nmos.hole nmos.Contact Circuit}
}
}

```

Referencias:

- [1] B. Jayant Baliga “Silicon RF power MOSFETs”, North Carolina State University, USA, Patent US 6545316, 2003.
- [2] B. Jayant Baliga “Silicon RF Power Mosfets”, North Carolina State University, USA, World Scientific, 2004.
- [3] J. A. Appels and H. M. J. Vaes, “High Voltage Thin Layer Devices (RESURF devices)”, IEEE International Electron Devices Meetings, Abstract 10.1, pp. 238-241, 1979.
- [4] Adriaan W. Ludikhuize, “A Review of RESURF Technology”, IEEE pp. 11-18, Toulouse, France, May 22-25, 2000.
- [5] P Perugupall, M. Trivedi, K. Shenai, and S. k. Leong, “Modeling and Characterization of an 80 V Silicon LDMOSFET for Emerging RFIC Applications”, IEEE Trans Electron Devices, Vol. ED-45, pp. 1468-1478, 1998.
- [6] S. Xu, C. Ren, Y. C. Liang, P-D. Foo, and J. K. O. Sin, “Theoretical Analysis and Experimental Characterization of the Dummy-Gate VDMOSFET”, IEEE Transactions on Electron Devices, Vol, ED-48, pp. 2168-2176, 2001.
- [7] M. A. Schultz, “Linear Amplifiers” Decimal classification: R363.141. Original manuscript received by the Institute, January 16, 1950.
- [8] M. Trivedi, P. Khandelwal, and K. Shenai, "Performance Modeling of RF Power MOSFETs", IEEE Transactions on Electron Devices, Vol. ED-46, pp.1794-1802, 1999.
- [9] G. Deboy, M. Marz, J-P. Stengl, H. Strack, J. Tihanyi, and H. Weber, “A New Generation of High Voltage MOSFETs breaks the limit line of Silicon”, IEEE International Electron Devices Meeting, Abstract 26.2.1, pp. 683-685, 1998.

- [10] S. Xu, A. Shibib, Z. Xie, H. Sofar, J. Lot, D. Farrel, M. Matrapasqua, “High Performance RF LDMOSFET Technology for 2.1 GHz Power Amplifier Applications”, IEEE International Symposium on Power Semiconductor Devices and ICs, pp. 190-195, 2003.
- [11] Michael Shur, “Physics of Semiconductor Devices”, Englewood Cliffs, N. J.: Prentice Hall, c1990.
- [12] K. Lee, Michael Shur et Al, “Semiconductor Device Modeling for VLSI” Prentice Hall 1993.
- [13] B. Jayant Baliga “Power Semiconductor Devices”, North Carolina State University, PWS Publishing Company, 1996.
- [14] O. Lembeye and J-C Nanan, “Effect of Temperature on High Power RF LDMOS Transistors, Applied Microwave and Wireless, pp. 36-43, August 2003.
- [15] G. Ma, W. Burger, and C. Dragon, “High efficiency LDMOS Power FET for Low Voltage Wireless Communications”, IEEE International Electron Devices Meeting, Abstract 4.3.1, pp.91-94, 1996.
- [16] Jasprint Singh, “Dispositivos Semiconductores”, University of Michigan, McGraw-Hill, 1997.
- [17] J. A. Salcedo, A. Ortiz-Conde, F.J. Garcia S., J. Muci, J. J. Liou, and Y. Yue, “New Approach for Defining the Threshold Voltage of MOSFETs”, IEEE, pp. 809-813, 2001.
- [18] S. M. Sze, “Semiconductor Devices – Physics and Technology”, Second Edition, John Wiley, 1985 and 2002.



**CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N.
UNIDAD GUADALAJARA**

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

Analisis y simulacion, usando herramientas T-CAD de un MOSFET
vertical super-lineal para aplicaciones en amplificadores de
potencia en comunicaciones inalambricas

del (la) C.

María del Pilar MORALES MORELOS

el día 14 de Marzo de 2008.

Dr. Juan Luis Del Valle Padilla
Investigador CINVESTAV 3C
CINVESTAV Unidad Guadalajara

Dr. Federico Sandoval Ibarra
Investigador CINVESTAV 3A
CINVESTAV Unidad Guadalajara

Dr. José Raúl Loo Yau
Investigador CINVESTAV 2B
CINVESTAV



CINEVESTAV
BIBLIOTECA CENTRAL



SSIT000006325