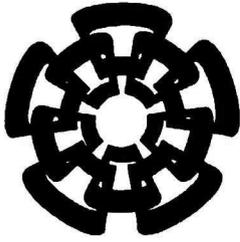


xx (178595.1)



CENTRO DE INVESTIGACIÓN Y
DE ESTUDIOS AVANZADOS DEL
INSTITUTO POLITÉCNICO
NACIONAL

COORDINACIÓN GENERAL DE
SERVICIOS BIBLIOGRÁFICOS

Centro de Investigación y de Estudios Avanzados del I.P.N.
Unidad Guadalajara

**Diseño y caracterización de amplificadores de
potencia clase AB basados en transistores
LDMOS para aplicaciones en lectores de RFID
en la banda de 900 Mhz**

Tesis que presenta:

Hector Javier Saavedra Gomez

para obtener el grado de:

Maestro en Ciencias

en la especialidad de:

Ingeniería Eléctrica

Directores de Tesis

Dr. Juan Luis Del Valle Padilla
Dr. J. Apolinar Reynoso Hernández

**CINVESTAV
IPN
ADQUISICION
DE LIBROS**

Guadalajara, Jalisco, Noviembre de 2008.

CLASIF.:	TK165.68 .S23 2008
ADQUIS.:	551-542
FECHA:	18 VII 2009
PROCED.:	Don - 2009
	\$ _____

11D. 159236-1001

Diseño y caracterización de amplificadores de potencia clase AB basados en transistores LDMOS para aplicaciones en lectores de RFID en la banda de 900 Mhz

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

Por:

Hector Javier Saavedra Gomez
Ingeniero en Electrónica

Universidad Autónoma de Nayarit 2000-2005

Becario de conacyt, expediente no. 203475

Directores de Tesis

Dr. Juan Luis Del Valle Padilla
Dr. J. Apolinar Reynoso Hernández

CINVESTAV del IPN Unidad Guadalajara, Noviembre de 2008.

Resumen

En esta tesis se utiliza un transistor LDMOS como dispositivo activo para el diseño y construcción de un amplificador de potencia clase AB en el rango de frecuencias de 900 MHz, para posibles aplicaciones en lectores de tarjetas electrónicas de RFID. Se eligió el transistor LDMOS MRF281 de Freescale® en base a las características eléctricas presentadas en sus hojas de especificaciones que cumplen con los requisitos para el diseño del amplificador.

Las características comportamentales más importantes de un amplificador de potencia en UHF son, su potencia de salida, su ganancia de potencia, su eficiencia de conversión de energía y su linealidad. En los amplificadores de potencia existe un compromiso entre la linealidad y eficiencia del amplificador; los amplificadores clase AB son una respuesta adecuada a este compromiso.

Actualmente la simulación por computadora de componentes, circuitos y sistemas juega un papel primordial en el diseño electrónico. En problemas de diseño electrónico, un modelo adecuado es indispensable para una simulación confiable. El método de validación más apropiado es la comparación de los resultados de la simulación con los resultados experimentales.

Debido a la carencia de información detallada sobre el modelo del transistor, en este trabajo de tesis fue necesario determinar experimentalmente los valores de los parámetros de un modelo a pequeña señal, suficientemente simple y preciso en el rango de frecuencias UHF de interés. Para esto se usaron técnicas de extracción que permiten determinar el valor tanto de las componentes intrínsecas como extrínsecas del modelo.

Una de las no-linealidades más importantes en los amplificadores de potencia proviene de las características de transferencia del transistor. El modelo utilizado en este trabajo fue el conocido como modelo de Angelov, usualmente utilizado para modelar las características I-V de transistores con compuestos semiconductores III-V. Los parámetros se determinaron de las características experimentales del transistor LDMOS, obtenidas mediante una técnica pulsada.

Las mediciones realizadas en el Centro de Investigación Científica y de Educación Superior de Ensenada (CICESE) permitieron obtener la información necesaria para desarrollar los modelos en pequeña y gran señal, para validar los resultados simulados, utilizando el programa de simulación por computadora Advanced Design System (ADS). La buena correspondencia entre los datos medidos y simulados del transistor de potencia permitió simular de una manera más precisa el amplificador clase AB.

Para la fabricación del amplificador se potencia se utilizó un sustrato de bajo costo (FR4) en conjunto con un disipador de calor hecho de aluminio. Las redes de acoplamiento de entrada y de salida se realizaron en la tecnología de microcintas.

Para la obtención de las dimensiones de las redes de acoplamiento se utilizaron dos técnicas de diseño: para la red de entrada, la técnica de acoplamiento conjugado y para la red de salida la simulación *Load Pull*. Las redes de acoplamiento obtenidas permiten

obtener el valor máximo de potencia de salida permitida por el transistor, así como el máximo valor de PAE con un ancho de banda suficiente para permitir la transmisión del esquema de modulación empleado en lectores de tarjetas RFID.

Finalmente las redes de acoplamiento de entrada y de salida fueron analizadas y optimizadas por medio del método electromagnético de momentum, esto con el fin de obtener un mejor desempeño del amplificador de potencia clase AB.

En base a las dimensiones encontradas en este análisis, el amplificador de potencia fue construido y validado en pequeña y gran señal, obteniéndose una buena correspondencia entre los datos experimentales y los datos de simulación obtenidos del amplificador en ADS.

Los resultados más relevantes se muestran a continuación:

Una potencia de salida de 4W de acuerdo al Estándar Mexicano 802.15 para lectores de tarjetas electrónicas, con una potencia de entrada de 23 dBm.

Una eficiencia de potencia añadida, PAE, de 57.5 %.

Un ancho de banda de 456 MHz. suficiente para una portadora modulada en ASK, para aplicaciones en RFID.

Un punto de compresión a 1db de 36.6 dBm a una frecuencia de 900 MHz.

Un punto de intercepción de tercer orden estimado de 35dBm con 50 dBm de entrada.

Abstract

In this thesis an LDMOS transistor is used as active device for design and construction of a class AB power amplifier in the frequency range of 900 MHz, for possible applications in electronic card readers for RFID. The transistor LDMOS MRF281 from Freescale® was chosen based on the electrical characteristics presented in their data sheets that meet the requirements for the design of the amplifier.

The most important behavioral characteristics of a UHF power amplifier are: its power output, power gain, power added efficiency and linearity. In power amplifiers there is a compromise between the linearity and efficiency of the amplifier, Class AB amplifiers are an appropriate response for this commitment.

Actually, the computer simulation of components, circuits and systems plays a major role in electronic design. In electronic design problems, an appropriate model is essential for a reliable simulation. The most appropriate validation method is to compare the results of the simulation with experimental results

Due to the lack of detailed information of the transistor's model, in this work was necessary to experimentally determine the values of the parameters from small-signal model simple and accurate enough in the intended UHF frequency range. Therefore, the extraction techniques were used to determine the value of both intrinsic and extrinsic components of the model.

One of the most important non-linearity in the power amplifiers comes from the transfer characteristics of the transistor. The model used in this study is known as the Angelov model, it is usually used to model the I-V characteristics of III-V compound semiconductors. The parameters were determined from the experimental characteristic of LDMOS transistor, obtained through a pulsed technique.

Measurements taken at the Centro de Investigación Científica y de Educación Superior de Ensenada (CICESE) allowed to obtain the necessary information to develop models in small and large signal to validate the results simulated, using the computer simulation Advanced Design System (ADS). The good correlation between measured and simulated data of the power transistor allowed more accurate simulations for the class AB amplifier.

To manufacture the power amplifier it was used a low-cost substrate (FR4) in conjunction with a heat sink made of aluminum. The input and output matching networks were carried out with the microstrip technology.

To obtain the dimensions of the matching networks two design techniques were used: The conjugate network technique for the input and the Load Pull simulation for the output network. The matching networks can obtain the maximum output power allowed by the transistor, as well as the maximum PAE with a bandwidth enough to allow the transmission of the modulation code used in RFID readers

Finally in order to obtain better performance of Class AB power amplifier, the input and output matching networks are analyzed and optimized through the electromagnetic momentum method.

Based on the microstrip dimensions found in this analysis, the power amplifier was built and validated in large-and small-signal, obtaining a good correlation between the experimental data and data obtained from the simulation in ADS.

The most relevant results are listed below:

- An output power of 4W according to the Mexican 802.15 Standard for smart card readers, with an input power of 23 dBm.
- A power added efficiency, PAE of 57.5%.
- A bandwidth of 456 MHz. enough for a modulated carrier in ASK, for RFID applications.
- One to 1dB compression point of 36.6 dBm at a frequency of 900 MHz.
- A third order intercept of 35dBm estimated with 50 dBm input.

Dedicatoria

*A mi mamá Graciela Saavedra Gómez y a mi abuela
doña Féliz Gómez Moctezuma quienes son mi ejemplo de
lucha y perseverancia para lograr lo que uno se propone en la
vida.*

Agradecimientos

Primeramente a Dios por estar junto a mí en los momentos que más lo he necesitado y darme la oportunidad de seguir adelante en este camino llamado vida.

A mi madre y amiga por su apoyo incondicional, sus consejos, esfuerzo y dedicación para que yo logre salir adelante.

A mi familia por creer en mí y por su apoyo moral.

A mis maestros del CINVESTAV: Dr. Juan Luis Del Valle padilla, Dr. Federico Sandoval Ibarra y Dr. José Raúl Loo Yau, por su confianza y dedicación para que logremos ser mejores personas así también como mejores profesionistas.

Al Dr. J. Apolinar Reynoso Hernández y a su estudiante de doctorado J. Eleazar Zúñiga Juárez, quienes me abrieron sus puertas y me brindaron su amistad, así como sus consejos los cuales hicieron posibles la terminación de esta tesis, además de que moralmente hicieron más ligera mi estancia en Ensenada.

A mis compañeros del CINVESTAV: Omar Roberto Ávila, J. Gerardo García, Leonardo León, Gregorio Tirado, Alberto García Osorio, Jorge Luis Urbina, Juan Francisco Ramírez, Juan Medina, Enrique Montoya Suarez, Carlos Rogelio Sánchez, Elizabeth Hernández, Pilar Morales, Luis Ilich Vladimir Guerrero, Carolina Mata y Katy Gutiérrez quienes me brindan su amistad y de quienes aprendo cada día algo nuevo.

Al Centro de Investigación Científica y de Educación Superior de Ensenada (CICESE) por permitir realizar las mediciones con sus equipos, a Ramón Beltrán, Jackeline Estrada, don Benjamín Ramírez por su amistad y confianza brindada, a don René Torres por la fabricación de los PCB, a los miembros del taller de mecánica fina del CICESE por la fabricación del diseño de la base de pruebas.

Al CONACYT por su apoyo económico.

Índice de contenido

1.1 Introducción.....	1
1.2 Objetivos	2
1.3 Esquema general de la tesis	3
2.1 Amplificadores de potencia	5
2.2 Parámetros de los amplificadores de potencia	5
2.2.1 Potencia de Salida	5
2.2.2 Eficiencia	6
2.2.3 Ganancia.....	6
2.2.4 Linealidad	6
2.3 Linealidad de un transistor de potencia	7
2.4 Figuras de mérito para cuantificar la linealidad	8
2.4.1 Punto de compresión a 1dB.....	9
2.4.2 Distorsión por intermodulación	9
2.4.3 Punto de intercepción de tercer orden.....	9
2.5 Estabilidad de un transistor de potencia	10
2.6 Tipos de amplificadores de potencia.....	12
2.6.1 Amplificador clase A.....	12
2.6.2 Amplificador clase B.....	14
2.6.3 Amplificador clase AB.....	15
2.7 Arquitectura básica de un amplificador de potencia	16
2.7.1 Tipos de acoplamientos en el amplificador de potencia	17
2.7.1.1 Acoplamiento conjugado	17
2.7.1.2 Load Pull	18
3.1 Modelado del Transistor	19
3.2 Análisis en frecuencia	21
3.2.1 Extracción de parámetros extrínsecos.....	21
3.2.2 Extracción de parámetros intrínsecos.....	25
3.2.3 Validación del modelo en pequeña señal	29
3.3 Análisis en CD	31
3.3.1 Modelo de corrientes no lineal.....	31
3.3.2 Validación del Modelo de corrientes no lineal	34
3.4 Simulación a gran señal	35
4.1 Diseño y simulación del amplificador clase AB.....	37
4.2 Determinación del transistor LDMOS.....	38
4.3 Caracterización en DC del transistor	38
4.4 Análisis de estabilidad	40
4.5 Diseño de la red de polarización	42
4.6 Diseño de las redes de acoplamiento.....	42
4.6.1 Diseño de la red de acoplamiento de entrada.....	43
4.6.2 Diseño de la red de acoplamiento de salida	48
4.7 Amplificador final	53
4.8 Análisis electromagnético.....	54
5.1 Fabricación del amplificador de potencia, su caracterización y validación del diseño	57
6.1 Conclusiones.....	61
6.2 Trabajo futuro.....	62
A.1 Identificación por radiofrecuencia	63
A.2 Arquitectura de los sistemas de RF	63

A.3 Descripción General de los sistemas de RFID.....	64
A.4 Regulación de frecuencias.....	66
A.5 Especificaciones del transmisor RFID	66
B.1 TRANSISTOR MOSFET DE DIFUSION LATERAL (LDMOS).....	67
B.2 Estructura del LDMOS	67
C.1 Procedimiento de análisis electromagnético en ADS.....	71

Índice de Figuras

Fig. 2.1	7
Fig. 2.2	8
Fig. 2.3	9
Fig. 2.4	10
Fig. 2.5	12
Fig. 2.6	13
Fig. 2.7	13
Fig. 2.8	14
Fig. 2.9	15
Fig. 2.10	15
Fig. 2.11	16
Fig. 2.12	17
Fig. 3.1	20
Fig. 3.2	20
Fig. 3.3	21
Fig. 3.4	22
Fig. 3.5	22
Fig. 3.6	23
Fig. 3.7	24
Fig. 3.8	25
Fig. 3.9	26
Fig. 3.10	27
Fig. 3.11	27
Fig. 3.12	28
Fig. 3.13	28
Fig. 3.14	28
Fig. 3.15	29
Fig. 3.16	29
Fig. 3.17	30
Fig. 3.18	31
Fig. 3.19	31
Fig. 3.20	33
Fig. 3.21	34
Fig. 3.22	34
Fig. 3.23	35
Fig. 3.24	35
Fig. 3.25	36
Fig. 3.26	36
Fig. 4.1	37
Fig. 4.2	39
Fig. 4.3	39
Fig. 4.4	40
Fig. 4.5	40
Fig. 4.6	41
Fig. 4.7	41
Fig. 4.8	42
Fig. 4.9	43
Fig. 4.10	44

Fig. 4.11	44
Fig. 4.12	45
Fig. 4.13	45
Fig. 4.14	46
Fig. 4.15	46
Fig. 4.16	47
Fig. 4.17	48
Fig. 4.18	48
Fig. 4.19	49
Fig. 4.20	49
Fig. 4.21	50
Fig. 4.22	51
Fig. 4.23	51
Fig. 4.24	52
Fig. 4.25	52
Fig. 4.26	53
Fig. 4.27	53
Fig. 4.28	54
Fig. 4.29	55
Fig. 4.30	55
Fig. 5.1	57
Fig. 5.2	58
Fig. 5.3	58
Fig. 5.4	59
Fig. 5.5	59
Fig. 5.6	60
Fig. 5.7	60
Fig. A.1	64
Fig. A.2	65
Fig. B.1	67
Fig. C1	71
Fig. C2	72
Fig. C3	73
Fig. C4	73
Fig. C5	74
Fig. C6	74
Fig. C7	75
Fig. C8	77

Índice de Tablas

Tabla 3.1	25
Tabla 3.2	29
Tabla 4.1	47
Tabla 4.2	50
Tabla C1	75
Tabla C2	76
Tabla C3	76
Tabla C4	76
Tabla C5	76

Capítulo 1

1.1 Introducción

Debido a que las redes de comunicaciones móviles expanden continuamente sus servicios, el reto que se le presenta a los diseñadores de circuitos de radiofrecuencia (RF) consiste en desarrollar circuitos electrónicos de RF que cumplan con los requisitos cada vez más exigentes para poder establecer una comunicación inalámbrica de mayor calidad. Una de estas tecnologías móviles en el área de RF que ha aumentado sus aplicaciones en nuestros días es la identificación por radiofrecuencia (RFID), cuyo propósito fundamental es la identificación de un objeto mediante ondas de radio; utilizando para esto dispositivos denominados etiquetas transpondedoras o tarjetas electrónicas, “*Tags*”, de RFID. Las etiquetas de RFID usualmente son pasivas, esto es, no contienen una fuente de energía propia, ya que ésta la adquiere de la potencia radiada por el lector de las tarjetas. La información contenida dentro de la tarjeta es detectada por el lector por un cambio en la energía reflejada desde la tarjeta, mediante un circuito que varía la impedancia de la antena que se encuentra en la tarjeta.

Un lector de tarjetas electrónicas para RFID es básicamente un transceptor (“*Transceiver*”) capaz de transmitir y recibir información. Sus requerimientos de potencia, ancho de banda, linealidad y códigos de comunicación están regulados regionalmente por las instancias apropiadas de gobierno. En Norte América, la banda de UHF es gobernada por la FCC, en el apartado 15 sección 247 [1].

Continuamente los diseñadores de circuitos electrónicos deben mejorar los amplificadores de potencia en RF y microondas para que sean capaces de adaptarse a las necesidades de hoy en día, haciendo uso de nuevos dispositivos electrónicos de estado sólido, siendo los transistores basados en compuestos III-V los que captan el interés de los diseñadores, debido a su gran densidad de potencia y respuesta a frecuencias ultra elevadas (UHF, 300MHz- 3GHz). Sin embargo, la principal desventaja de estos dispositivos es su costo. Un dispositivo que compite con estos transistores en los amplificadores de potencia de muy alta frecuencia es el MOSFET de Silicio de difusión lateral (LDMOS), siendo su costo su principal ventaja.

El transistor LDMOS utilizado en esta tesis, fue un transistor MRF281S de FreeScale®. Aunque la compañía proporciona un modelo teóricamente apropiado para la simulación en ADS (“*Advance Design System*” un producto de Agilent), el modelo no es suficientemente transparente. Es por esto que se decidió obtener un modelo apropiado, en base a mediciones experimentales bajo condiciones de corriente directa (polarización), de pequeña y gran señal. El modelado en corriente directa y señal en corriente alterna es un requerimiento indispensable para el diseño de amplificadores de potencia a frecuencias en la banda de UHF.

Este trabajo de tesis está enfocado al diseño de amplificadores de potencia en la banda sin licencia de 860-960 MHz para aplicaciones en lectores de tarjetas electrónicas RFID (Radio Frequency Identification) , utilizando transistores de Silicio LDMOS.

En los amplificadores de potencia para RF existe un compromiso entre la eficiencia de conversión de la energía de corriente directa (polarización) a corriente alterna y la linealidad del dispositivo. Generalmente las no linealidades del dispositivo se manifiestan en productos de intermodulación difíciles de eliminar con métodos de filtrado. El mejor compromiso es operar el dispositivo en condiciones de polarización clase AB [2]. En el caso de dispositivos móviles, la implementación de esta clase de amplificador consigue aumentar el tiempo de vida de las baterías y al mismo tiempo reducir los efectos de auto-calentamiento del transistor.

Debido a que la ganancia, eficiencia y la linealidad son los parámetros de mayor importancia, se necesita una herramienta de modelado precisa y eficiente para los transistores de potencia LDMOS. Por otro lado, los efectos parásitos debido al empaquetamiento son difíciles de extraer a altas frecuencias y los circuitos de acoplamiento son difíciles de modelar debido a los bajos niveles de impedancia. Un buen modelo no-lineal para los transistores es muy útil en el diseño de amplificadores debido a que permite realizar diversas simulaciones como: análisis en DC donde se representan las características de corriente y voltaje así como sus derivadas en cualquier punto de operación. De la misma manera un buen modelo permite los análisis de simulación en pequeña y gran señal, en la primera por medio de los parámetros S y en la segunda por medio de un balance armónico, respectivamente.

1.2 Objetivos

Un modelo confiable para los dispositivos de potencia en RF es un requerimiento clave para el diseño, simulación y evaluación exitosos de un amplificador. No obstante, la condición para el éxito es la validación de los métodos de modelado y de diseño mediante el análisis de los resultados experimentales.

Las comunicaciones inalámbricas modernas requieren de amplificadores de potencia eficientes y lineales, pero es muy difícil lograr al mismo tiempo ambas características. Por eso es necesario utilizar nuevas tecnologías de transistores que permitan alcanzar los valores máximos de linealidad y eficiencia.

Respondiendo a esta necesidad, en esta tesis se presenta el desarrollo de un amplificador de potencia basándose en lo siguiente:

1. El desarrollo experimental del modelo en pequeña señal y modelo de corriente no lineal del transistor comercial MRF281S de FreeScale®, que de acuerdo a sus hojas de especificaciones permite obtener una potencia de salida máxima de 4 W (36 dBm).
2. El diseño, construcción y evaluación de un amplificador clase AB en la banda de 900 MHz, basado en el modelo desarrollado del transistor LDMOS, para aplicaciones posibles en lectores de tarjetas pasivas de RFID.

1.3 Esquema general de la tesis

En el capítulo 2 se hace una breve introducción a los amplificadores de potencia describiendo los parámetros más importantes a considerar en el diseño de éstos, para tener una idea más clara acerca de los conceptos utilizados. Se detallan los bloques básicos de un amplificador y se explica de una manera apropiada sus curvas características de transferencia y de salida, por último se describen las clases de operación del transistor en función de su punto de polarización.

En el capítulo 3 se explica la manera en que se obtienen los parámetros del modelo del transistor LDMOS, en la que se hace una breve introducción al modelado en pequeña señal y no lineal del transistor detallando las técnicas de extracción desarrollada por varios autores para la determinación del valor de los elementos parásitos extrínsecos e intrínsecos, así como el valor de las constantes que determinan el valor de la ecuación de la fuente de corriente no lineal. Por último se muestra un esquema de medición para realizar la simulación a 1 tono del transistor de potencia, importante para determinar el punto de compresión a 1dB del transistor.

En el capítulo 4 se presentan las metodologías de diseño y simulación de un amplificador clase AB, a una frecuencia de trabajo de 900 MHz, con una potencia de salida de 4 W (36 dBm), utilizando el transistor MRF281S. Haciendo uso del modelo desarrollado, la simulación del amplificador se efectuó en el simulador ADS en condiciones específicas, determinando el punto de polarización óptimo para su funcionamiento en clase AB, así como las condiciones de estabilidad del transistor. Las redes de acoplamiento de entrada y de salida se diseñaron haciendo uso de la técnica de acoplamiento conjugado para la red de entrada, y la técnica de “*load pull*” para la salida. Y por último el diseño de la red de polarización. El diseño se implementó en un substrato FR4 con una constante dieléctrica $\epsilon_r=4.25$ y un espesor $H=1.65$ mm

En el capítulo 5 se describe la fabricación del amplificador de potencia diseñado en el capítulo 4, en a las dimensiones de las microcintas, simuladas en el análisis electromagnético. El PCB FR4 que contiene las redes de acoplamiento de entrada y salida es construido por medio de procesos fotolitográficos y es montado en una base experimental de aluminio, con características similares a la que se utilizó para caracterizar el transistor. Sobre esta base se miden los parámetros S por medio del VNA y se determina la potencia máxima del transistor en una medición a un sólo tono, obteniéndose una potencia de salida de 36.6 dBm

En el capítulo 6 se establecen las conclusiones.

PAGINA INTENCIONALMENTE EN BLANCO.

Capítulo 2

Se hace una breve introducción a los amplificadores de potencia, en primer lugar describiendo los parámetros más importantes a considerar en el diseño de amplificadores, para tener una idea más clara acerca de los conceptos utilizados. Se detallan los bloques básicos de un amplificador y se explica de una manera apropiada sus curvas características de transferencia y de salida, por último se describen las clases de operación del transistor en función de su punto de polarización.

2.1 Amplificadores de potencia

Un amplificador de potencia se usa para convertir una señal de baja potencia de RF en una señal con una potencia significativa, para que ésta pueda ser irradiada por medio de una antena. Por medio de redes de acoplamiento a la entrada y la salida, el amplificador usualmente se optimiza para obtener una alta eficiencia añadida (PAE), una potencia de salida alta al punto de compresión de 1 dB, bajas pérdidas por retorno en la entrada y la salida así como una buena disipación térmica.

Las características principales de un amplificador de potencia son: linealidad, eficiencia, potencia de salida y ganancia. En general existe un compromiso entre estas características y es importante para el diseño de un amplificador conocer la importancia de cada una de estas características de acuerdo a los requerimientos de la aplicación.

2.2 Parámetros de los amplificadores de potencia.

Los parámetros más importantes que se consideran en el diseño de amplificadores de potencia [3], son los siguientes:

- Potencia de salida (dBm o Watts)
- Eficiencia (%)
- Ganancia (dB)
- Linealidad

2.2.1 Potencia de Salida

El concepto de potencia de salida se aplica a la potencia de radiofrecuencia transferida por un transmisor y es disipada por la carga, la cual está dada por la siguiente fórmula:

$$P_{\text{Sal}}(\text{Watts}) = \frac{|V_L(\text{W})|^2}{2\text{Re}\{Z_L(\text{W})\}} \quad (2.1)$$

Donde V_L es el valor pico de la señal sinusoidal de voltaje en la salida y $\text{Re} \{Z_L(W)\}$ es la parte real de la impedancia de carga.

2.2.2 Eficiencia

La eficiencia es uno de los parámetros más importantes en el diseño de amplificadores de potencia ya que representa la parte de potencia de CD que se ha convertido en potencia de RF. Las definiciones de eficiencia utilizadas en el diseño de amplificadores de potencia son: eficiencia de drenador y eficiencia de potencia agregada (PAE). La eficiencia de drenador es la relación entre la potencia de salida en RF y la potencia de entrada en CD.

$$\eta = \frac{P_{\text{Sal}}}{P_{\text{CD}}} \quad (2.2)$$

donde, P_{Sal} es la potencia de salida mencionada anteriormente y P_{CD} es el consumo de potencia en CD.

Además otro de los parámetros usados comúnmente es la eficiencia de potencia agregada (PAE) la cual está expresada por:

$$\text{PAE} = \frac{(P_{\text{Sal}} - P_{\text{Ent}})}{P_{\text{CD}}} \quad (2.3)$$

Donde P_{Ent} es la potencia suministrada en la entrada del amplificador. La PAE es particularmente importante desde el punto de vista del consumo de potencia y disipación de energía, ya que relaciona a la potencia de salida y a la potencia de entrada.

2.2.3 Ganancia

En la literatura existen diferentes ecuaciones utilizadas en el diseño de amplificadores, sin embargo, la definición más representativa es la relación entre la potencia en la carga y la potencia disponible de la fuente, si no existen pérdidas entonces la potencia de entrada (P_{Ent}) es igual a la potencia de la fuente (P_s), es decir, $P_{\text{Ent}} = P_s$, de esta manera la ganancia se expresa como:

$$G_p = \frac{P_{\text{Sal}}}{P_{\text{Ent}}} \quad (2.4)$$

2.2.4 Linealidad

Se dice que un amplificador es lineal si preserva a su salida la forma de onda de la señal de entrada, lo que puede expresarse de la siguiente manera:

$$V_o(t) = A \cdot V_i(t) \quad (2.5)$$

donde, V_i y V_o son las señales de entrada y de salida, respectivamente, y el factor A representa la ganancia del amplificador.

2.3 Linealidad de un transistor de potencia.

El elemento más importante en un amplificador de potencia es el transistor, dado que las características de este dispositivo influyen radicalmente en el diseño del amplificador.

En general los transistores de potencia presentan características de corriente voltaje no lineales que conviene evitar con el fin de llegar al mejor compromiso entre linealidad, eficiencia, potencia de salida y ganancia de señal.

La Fig. 2.1 presenta un esquema simplificado de las características de transferencia típicas de un transistor de potencia. Estas características son derivadas para un voltaje V_{ds} constante en la región de saturación de las curvas I-V de salida

Las características de transferencia muestran varias regiones: región de subumbral, región de inversión débil, región lineal y región de compresión. En la región del subumbral la corriente de drenador es cero, o muy pequeña. Conforme aumenta el voltaje V_{GS} , la corriente en el canal del transistor comienza a incrementarse, región de inversión débil, de una manera no lineal. Es en la región de inversión fuerte donde el transistor presenta características lineales, dependiendo de la longitud del canal (en general submicrométrico para transistores de potencia en RF). La pendiente de estas características es la transconductancia del transistor, parámetro que determina la ganancia de corriente del transistor. En la región lineal o de fuerte inversión la transconductancia sería constante.

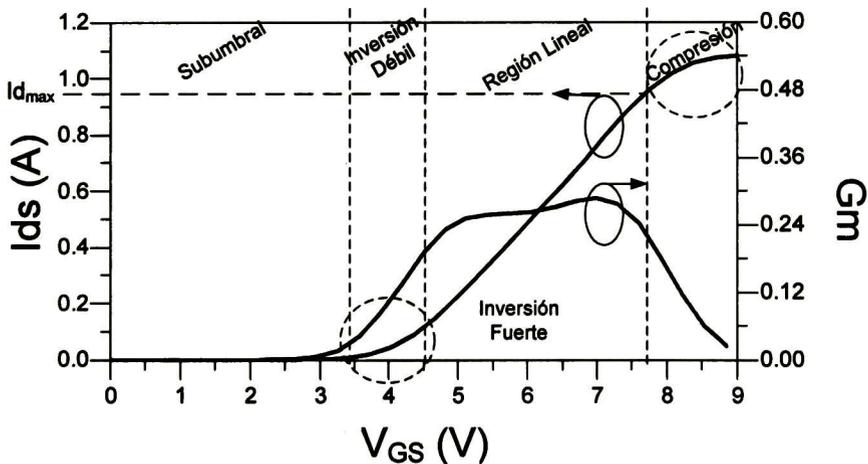


Fig. 2.1 Regiones no lineales en amplificadores de potencia. Características de Transferencia I_{ds} vs. V_{GS} ($V_{DS}=\text{cte}$).

Conforme la magnitud del voltaje V_{GS} se incrementa, la transconductancia comienza a declinar, debido principalmente a la interacción de la polarización del drenador con la región del canal, esto es, la corriente del drenador no continúa aumentando con el voltaje V_{GS} . La variación de I_{ds} con V_{GS} ya no es tan importante como en la región lineal, la variación se “comprime”. La

operación del transistor en esta región daría lugar a efectos no lineales. El parámetro $I_{ds\text{ máx.}}$, se refiere, entonces, a la máxima corriente del drenador admitida para una operación lineal del transistor.

La Fig. 2.2 muestra las características de salida, I_{ds} vs. V_{ds} en función del voltaje de compuerta, V_{gs} , de un transistor de potencia típico. En esta figura es evidente el término de compresión, para V_{gs} elevados. En la región lineal, la separación entre las curvas de corriente I_{ds} es proporcional al voltaje V_{gs} aplicado, mientras que en la región de compresión el valor de la corriente I_{ds} permanece constante a pesar de que incremente el voltaje V_{gs} . En estas curvas puede definirse otra región no lineal, que corresponde a la transición entre la región triodo y de saturación, que generalmente es no lineal. El voltaje de “inflexión” conocido en inglés como el voltaje “Knee” representa en las curvas de salida el mínimo voltaje en el drenador que permite la máxima excursión de la señal de RF aplicada.

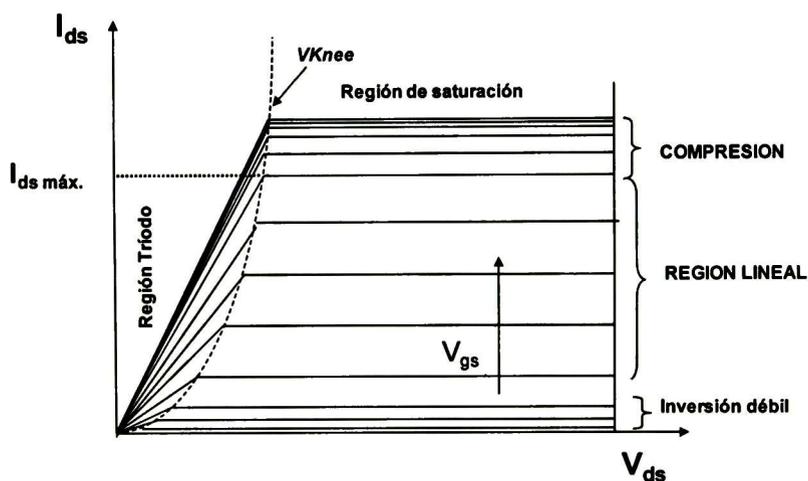


Fig. 2.2 Regiones no lineales en transistores de potencia. Características de salida típicas

2.4 Figuras de mérito para cuantificar la linealidad.

Debido a que el transistor es un dispositivo activo no lineal, el concepto de linealidad debe de tomarse en cuenta en el diseño. En los amplificadores de potencia son inherentes los efectos no-lineales los cuales son los principales contribuidores de productos de distorsión. La no linealidad es típicamente causada debido al fenómeno de compresión del amplificador de potencia, el cual ocurre cuando el transistor opera arriba de la corriente máxima de drenador. Algunas de las figuras de merito usadas para cuantificar la linealidad son:

- Punto de compresión a 1dB.
- Distorsión por intermodulación (IMD).
- Punto de intercepción de tercer orden (IP3).

2.4.1 Punto de compresión a 1 dB.

El punto de compresión a 1 dB, es una característica crucial de los amplificadores lineales de potencia. Este se presenta cuando el amplificador alcanza la región de compresión y la ganancia empieza a decrementar o comprimirse. La relación típica entre la potencia de entrada y de salida se muestra en la Fig. 2.3, en donde se observa que a bajos niveles de potencia de entrada, la potencia de salida es proporcional a la potencia de entrada. El punto donde la ganancia del amplificador se desvía de su comportamiento lineal por 1 dB, es llamado punto de compresión a 1 dB y es usado para caracterizar el límite de potencia que es capaz de garantizar el amplificador.

2.4.2 Distorsión por intermodulación.

La distorsión por intermodulación (IMD) es utilizado para caracterizar la no linealidad de un transistor. La IMD es un fenómeno de generación de productos armónicos indeseables. El efecto no lineal aumenta los productos de intermodulación, siendo el de tercer orden el que presenta mayor impacto en la potencia fundamental. Dependiendo de la aplicación se desprecian los efectos de los productos de intermodulación mayores que los de tercer orden, aunque los armónicos impares son importantes de considerar cuando la potencia de salida excede el punto de compresión de 1 dB.

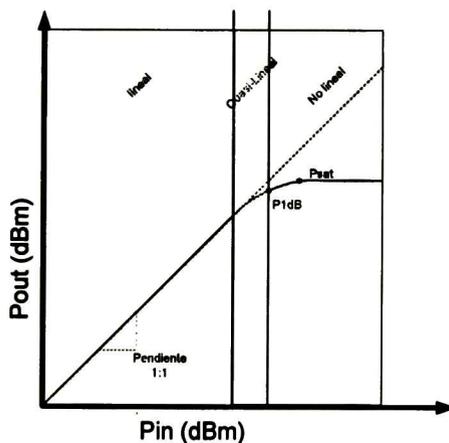


Fig. 2.3 Punto de compresión a 1 dB.

2.4.3 Punto de intercepción de tercer orden.

Otro parámetro para caracterizar la linealidad es el punto de intercepción (IP) (Fig.2.4), si se extrapola linealmente la pendiente de la potencia fundamental en función a la potencia de entrada y si se extrapola linealmente la pendiente de la tercera armónica en función con la potencia de entrada, éstas interceptan en un punto, el cual es llamado punto de intercepción de tercer orden (IP3) [4]. El valor de este punto es solamente una aproximación ya que la

pendiente de la potencia fundamental y la pendiente de la tercera armónica interceptan en un punto fuera de la región lineal donde no son totalmente válidas. El IP3 debe de ser de un valor alto, lo cual significa que el amplificador tendrá menos distorsión.

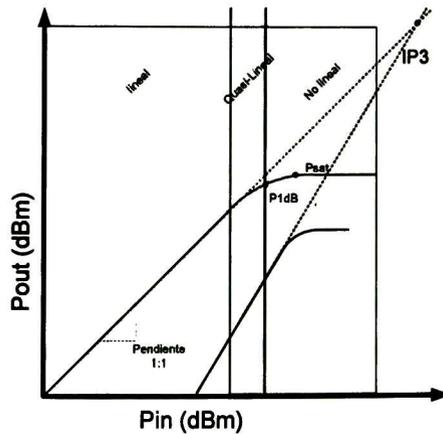


Fig. 2.4 Punto de intercepción de tercer orden.

2.5 Estabilidad de un transistor de potencia.

La estabilidad de un amplificador es un problema frecuentemente encontrado en el diseño de amplificadores de potencia. El grado de inestabilidad es determinado a partir de la medición de los parámetros S del transistor y se presenta cuando el puerto de entrada o de salida tiene una resistencia negativa. Se dice que un transistor es incondicionalmente estable a una frecuencia dada, si la parte real de la impedancia de entrada y de salida es mayor a cero. Cuando un transistor no es incondicionalmente estable, se considera potencialmente inestable [5].

El grado de inestabilidad puede ser determinado analítica o gráficamente. Analíticamente se toman en consideración el factor de Rollet (K) [5], que se basa en el análisis de los parámetros S de las redes a dos puertos, donde:

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2 \cdot |S_{21}S_{21}|} \quad (2.6)$$

$$|\Delta| = |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}| \quad (2.7)$$

Para que el transistor sea incondicionalmente estable debe cumplir las condiciones: $k > 1$ y $|\Delta| < 1$, de otra forma el sistema se considera potencialmente inestable. El grado de inestabilidad debe ser mayor que la unidad para frecuencias dentro y fuera de las bandas de interés. Los dispositivos de potencia de RF típicamente tienen una alta transconductancia y esto puede

causar inestabilidades a bajas frecuencias a menos que la impedancia que se presenta en las terminales de entrada y de salida no produzcan ninguna inestabilidad.

Gráficamente, el grado de inestabilidad es determinado por los llamados círculos de inestabilidad de entrada y de salida, los círculos son graficados en la carta de Smith y su posición es determinado por medio de ecuaciones (2.8-2.11), donde se calculan las distancias desde el centro de la carta de Smith hasta el centro del círculo de inestabilidad y el radio del mismo. Las ecuaciones que describen la posición del centro, C_s , y el radio del círculo, r_s , de inestabilidad de entrada son:

$$r_s = \left| \frac{S_{12}S_{21}}{|S_{11}|^2 - |\Delta|^2} \right| \quad (2.8)$$

$$C_s = \frac{(S_{11} - \Delta S_{22}^*)^*}{|S_{11}|^2 - |\Delta|^2} \quad (2.9)$$

Por otro lado, las ecuaciones que describen la posición del centro y el radio del círculo de inestabilidad de salida están dadas por:

$$r_L = \left| \frac{S_{12}S_{21}}{|S_{22}|^2 - |\Delta|^2} \right| \quad (2.10)$$

$$C_L = \frac{(S_{22} - \Delta S_{11}^*)^*}{|S_{22}|^2 - |\Delta|^2} \quad (2.11)$$

Los círculos de inestabilidad representan el conjunto de impedancias que producen inestabilidad y la carta de Smith representa todas las impedancias posibles que se pueden realizar, por lo que las impedancias fuera de la carta de Smith, son impedancias que no se pueden realizar. Para determinar el área de la región inestable dentro de la carta de Smith, se debe de considerar el valor absoluto de los parámetros S_{11} o S_{22} . El área estable siempre estará representada por $|S_{11}| < 1$ ó $|S_{22}| < 1$, mientras que el área inestable estará representada por $|S_{11}| > 1$ ó $|S_{22}| > 1$. De esta manera en la Fig. 2.5 se muestran ambos casos. El círculo sombreado en la parte izquierda del a Fig. 2.5 representa el área incondicionalmente estable del transistor sobre la carta de Smith, ya que el valor absoluto de del coeficiente de reflexión, el cual se define como la relación de la onda incidente y la reflejada sobre una línea de transmisión, Γ_{in} es menor que la unidad, mientras que la intersección con el círculo de inestabilidad calculado representa el área potencialmente inestable ya que el valor absoluto de Γ_{in} es mayor que la unidad.

Por otra parte, los círculos que se encuentran a la derecha de la Fig. 2.5 representan el caso contrario de la explicación anterior, donde ahora el área incondicionalmente estable se encuentra en la intersección de ambos círculos ya que es donde el valor absoluto de Γ_{in} es menor que la unidad.

Solución para la inestabilidad:

1. Escoger otro dispositivo.
2. Cambiar el punto de polarización.

3. Evitar la región de inestabilidad cuando se realice el acoplamiento
4. Reducir la ganancia que permita el dispositivo sin llegar a inestabilizarse el transistor.

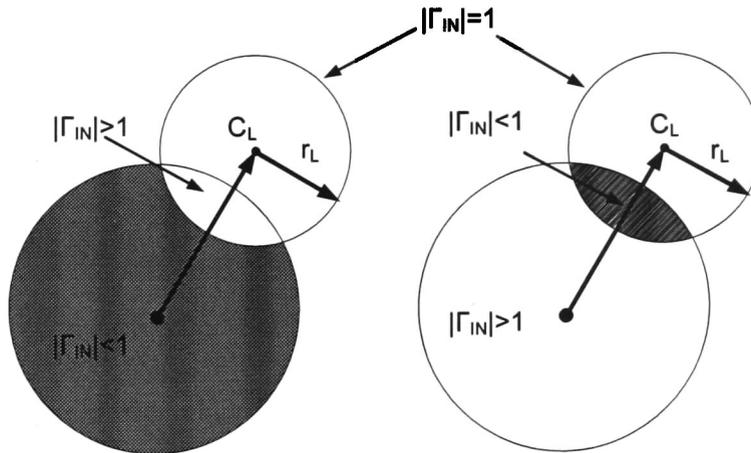


Fig. 2.5 determinación de la inestabilidad cuándo $|\Gamma_{IN}| < 1$ y $|\Gamma_{IN}| > 1$ por medio de los círculos de inestabilidad.

2.6 Tipos de amplificadores de potencia.

Los amplificadores de potencia se clasifican de acuerdo a su ángulo de conducción y métodos de operación en diferentes clases, A, B, C y F [6]. Estas clases cubren desde amplificadores de alta linealidad con baja eficiencia, hasta configuraciones de pobre linealidad y alta eficiencia.

2.6.1 Amplificador clase A

El amplificador clase A tiene una linealidad más alta en comparación a las demás clases de operación, sin embargo su eficiencia es la más baja [7]. La Fig. 2.6 muestra la línea de carga y las curvas de corriente y voltaje ideales de salida para su operación como amplificador en clase A. Para obtener una alta ganancia y linealidad, el voltaje del drenador y la compuerta se deben de escoger apropiadamente para que el amplificador opere en la región lineal. Esta configuración no es muy utilizada en los amplificadores de potencia debido a su alta disipación y consumo de potencia. La eficiencia máxima de un dispositivo de potencia ideal de clase A es del 50%.

El voltaje de polarización del drenador, V_{DQ} , se escoge al 50% del voltaje de drenador V_{DD} . Mientras que la corriente del drenador, I_{DQ} , es una función de la resistencia de carga y corresponde al valor de la polarización de la compuerta apropiado para esta clase de amplificador. La resistencia de carga se selecciona de tal manera que I_{DQ} se encuentre en la

región lineal del transistor. El voltaje pico del drenador en AC será aproximadamente igual a $1/2 V_{DD}$ y la corriente pico en AC a I_{dq} (Fig. 2.7).

La potencia en CD, la potencia de salida, y la eficiencia de drenador está dada respectivamente por:

$$P_{CD} = V_{DD} * I_{DQ} \quad (2.12)$$

$$P_O = \frac{1}{2} * V_{om} * I_{om} \approx \frac{1}{2} * V_{DD} * I_{DQ} \quad (2.13)$$

$$\eta = \frac{P_O}{P_{CD}} * 100 = \frac{1}{2} * \frac{V_O}{V_{DD}} * 100 \leq 50\% \quad (2.14)$$

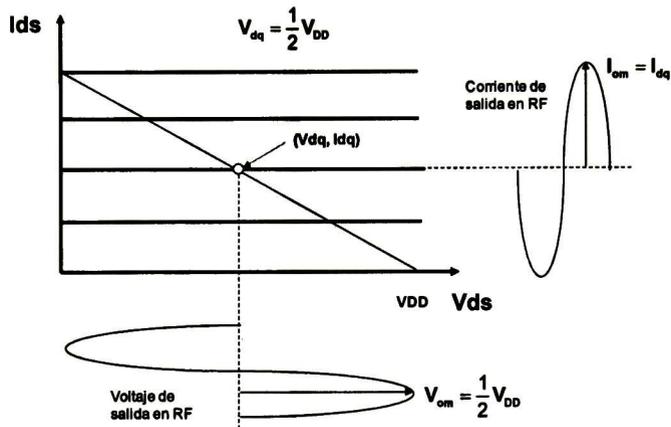


Fig. 2.6 Curvas I-V de salida de una amplificador ideal clase A.

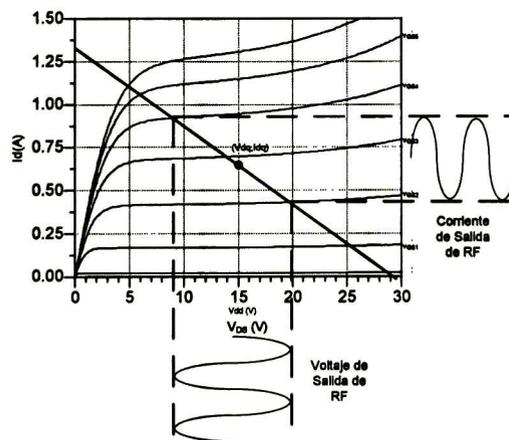


Fig. 2.7 Curvas I-V de un amplificador real clase A, donde se muestran el voltaje y corriente de salida.

2.6.2 Amplificador clase B

El amplificador de potencia clase B tiene la característica de ser más eficiente que un amplificador clase A. Sin embargo, pierde su linealidad, debido a que el punto de polarización es posicionado justo por encima del voltaje del umbral del transistor. Idealmente la corriente en el drenador es cero durante medio ciclo de trabajo, tal y como se muestra en la Fig. 2.8, en donde la excursión del voltaje del drenador se encuentra alrededor del voltaje del punto de polarización, obteniéndose un voltaje de salida de dos veces el punto de polarización.

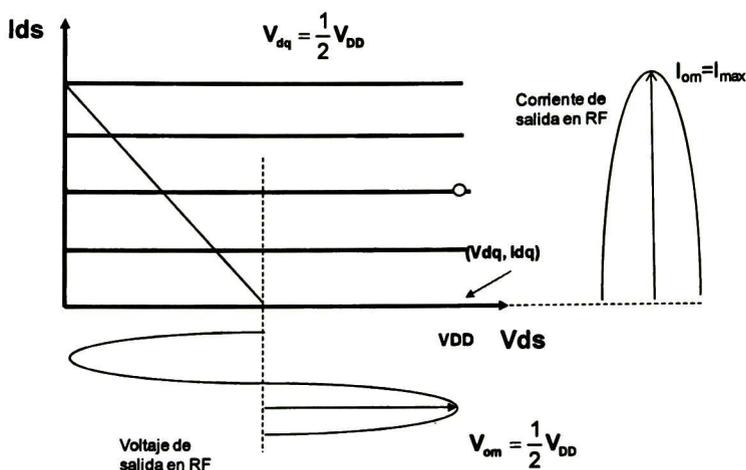


Fig. 2.8 Curvas I-V de salida de una amplificador ideal clase B.

donde la potencia de CD, la corriente de salida, la potencia de salida y la eficiencia de drenador está dada respectivamente por:

$$P_{CD} = 2 * \frac{I_o * V_{DD}}{\pi} \quad (2.15)$$

$$I_{om} = 2 * \frac{I_o}{\pi} \quad (2.16)$$

$$P_o = \frac{1}{2} * I_o * V_o \quad (2.17)$$

$$\eta = \frac{P_o}{P_{CD}} * 100 = \frac{\pi}{4} * \frac{V_o}{V_{DD}} * 100 \leq 78.53\% \quad (2.18)$$

Respectivamente. Para un transistor real en esta clase de amplificador la eficiencia será menor que el 78.53 % como puede observarse en Fig. 2.9.

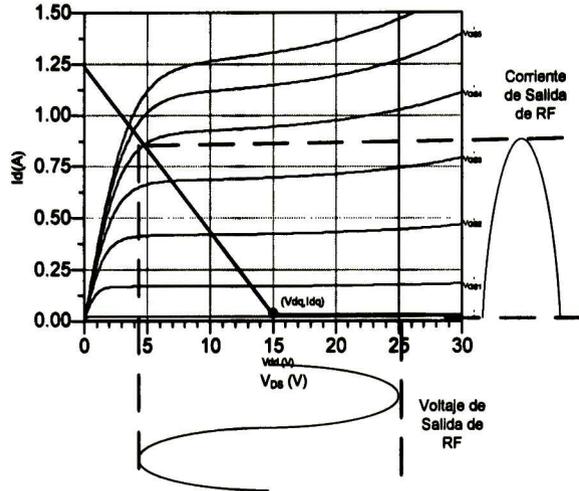


Fig. 2.9 Curvas I-V de un amplificador real clase B, donde se muestran el voltaje y corriente de salida.

2.6.3 Amplificador clase AB

El amplificador clase AB es una combinación entre el funcionamiento de un clase A y un clase B, debido a que el punto de polarización del amplificador clase AB puede situarse entre estas dos clases mencionadas. El amplificador clase AB tiene la flexibilidad en el diseño de hacer un amplificador más lineal y menos eficiente o viceversa. En ese sentido, la eficiencia en un amplificador clase AB es usualmente menor a la obtenida a la de una clase B pero mayor a la obtenida en una clase A, el ciclo de trabajo de la corriente de salida en el amplificador clase AB se encuentra entre el medio ciclo presentado por el amplificador clase B y el ciclo completo presentado por el amplificador clase A, es decir entre $\pi/2$ y π , tal y como se muestra en la Fig. 2.10.

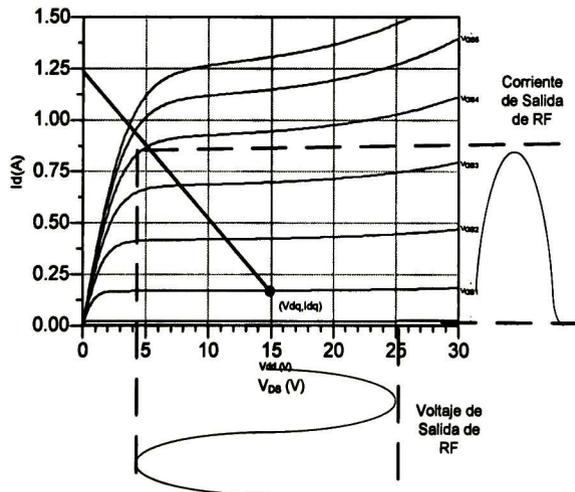


Fig. 2.10 Curvas I-V de un amplificador clase AB, donde se muestran el voltaje y corriente de salida.

2.7 Arquitectura básica de un amplificador de potencia.

Un diagrama a bloques básico de un amplificador de potencia, se muestra en la Fig. 2.11. Los principales bloques que componen al amplificador de potencia son los siguientes:

- Red de acoplamiento entrada/Salida.
- Red de polarizacion.
- Preamplificador
- Fuente de alimentación de CD
- Carga óptima.

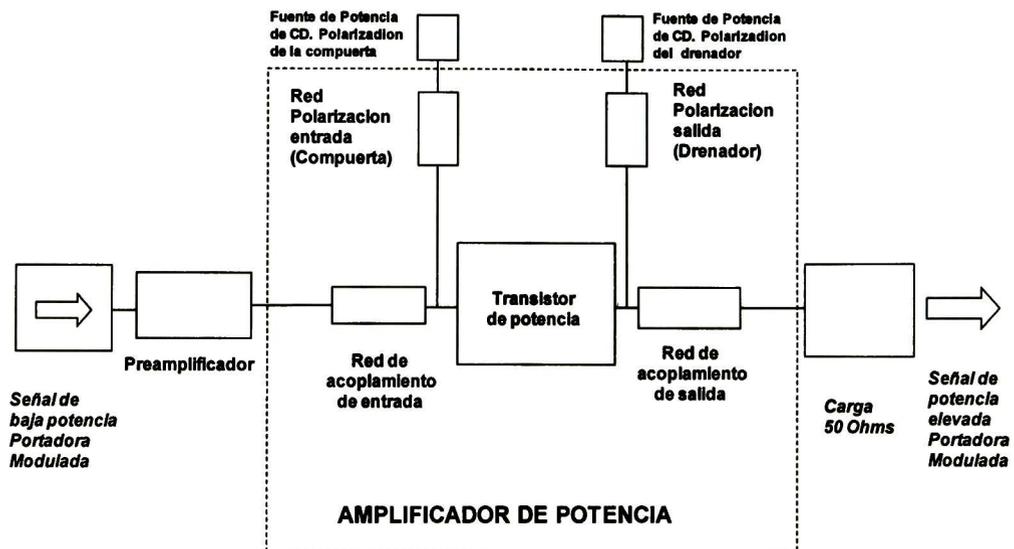


Fig. 2.11 diagrama a bloques básico de un amplificador de potencia.

La red de acoplamiento a la entrada transforma la impedancia del generador (50 ohm) a la impedancia de entrada del transistor, mientras que la red de acoplamiento a la salida transforma la impedancia de salida del transistor a la impedancia óptima de carga. La fuente de alimentación es uno de los bloques más importantes del amplificador ya que establece el punto de polarización que determina la clase de amplificador con el que se está trabajando y al mismo tiempo esta fuente de alimentación debe de proporcionar la corriente necesaria para que el amplificador funcione adecuadamente. El propósito de la red de polarización, es mantener polarizado al transistor, así como evitar que tanto la señal de RF y la componente de CD interfieran su desempeño entre si. La etapa del preamplificador o *driver* proporciona la potencia necesaria para que el transistor funcione adecuadamente dentro de la región lineal. Por último la carga óptima corresponde al valor de la impedancia de salida que permite al amplificador ya sea obtener la potencia de salida máxima, eficiencia máxima, Etc.

2.7.1 Tipos de acoplamientos en el amplificador de potencia

2.7.1.1 Acoplamiento conjugado

El acoplamiento conjugado permite la máxima transferencia de potencia de la fuente hacia la carga, cuando la parte real de la impedancia de la carga es igual a la parte real de la impedancia del generador y las componentes reactivas son canceladas por el efecto conjugado.

Lo anterior se muestra en la Fig. 2.12, en el cual el transistor representa una red de dos puertos, donde la impedancia de entrada y la impedancia de salida presentada a las terminales del transistor pueden ser modificadas por medio del ajuste de los circuitos pasivos conectados en sus terminales hasta lograr la máxima transferencia de potencia. Los coeficientes de reflexión Γ_s y Γ_L se encuentran limitados en el rango de $0 < |\Gamma_{s,L}| < 1$ en magnitud [8].

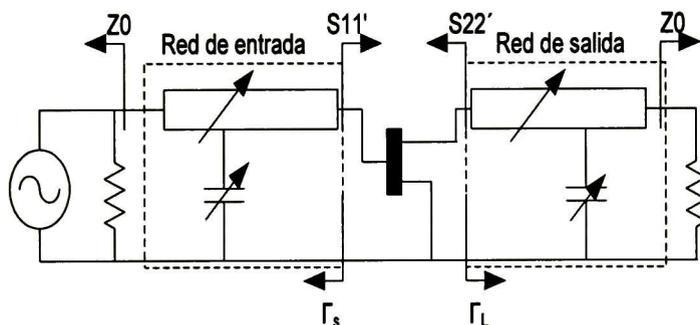


Fig. 2.12 Circuito esquemático de 2 puertos para el análisis de estabilidad.

La complicación que se presenta en el diseño de las redes de acoplamiento se debe principalmente a la magnitud del parámetro S_{12} , sin embargo, una manera de resolver este problema es representar el cambio de la reflexión de entrada S_{11} ó S_{11}' debido al cambio del coeficiente de reflexión de la salida y viceversa, los cuales están determinados por las siguientes fórmulas

Entrada:

$$\Gamma_{IN} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \quad (2.19)$$

Mientras que la salida está dada por

$$\Gamma_{OUT} = S_{22} + \frac{S_{12}S_{21}\Gamma_s}{1 - S_{11}\Gamma_s} \quad (2.20)$$

Por lo que en un acoplamiento conjugado se considera que $\Gamma_L = S_{22}^*$ y $\Gamma_s = S_{11}^*$

2.7.1.2 Load Pull

Consiste de una serie de pruebas consecutivas a un transistor, en donde se aplican un conjunto de impedancias al puerto de salida del transistor, mientras que en la entrada se aplica una señal de potencia. De esta manera se obtiene una potencia y PAE determinado para cada valor de impedancias de carga, algunas de estas impedancias presentan el mismo valor de eficiencia y algunas otras el mismo valor de PAE; estos valores forman contornos de potencias y de eficiencias constantes cuya característica es que no son circulares, esto debido al comportamiento no lineal del transistor [8]. Esta técnica ha sido usada durante varios años en el diseño de amplificadores de potencia.

Con los datos proporcionados por este análisis, el diseñador puede elegir dentro de un grupo de potencias y PAE's definidos, la impedancia de carga óptima que corresponda a las necesidades del diseño.

Capítulo 3

Se describe la manera en que se obtiene el modelo del transistor LDMOS, para lo cual se hace una breve introducción al modelado en pequeña señal y no lineal del transistor detallando las técnicas de extracción desarrollada por varios autores para la determinación del valor de los elementos parásitos extrínsecos e intrínsecos, así también como el valor de las constantes que determinan el valor de la ecuación de corrientes no lineal, por último se muestra un esquema de medición para realizar la simulación a 1 tono del transistor de potencia.

3.1 Modelado del Transistor

Conocer el comportamiento de los transistores, ante la presencia de una señal de RF es una parte primordial en el diseño de amplificadores de potencia, en algunos casos la información proporcionada por los fabricantes resulta insuficiente para el diseño. En este caso es necesario recurrir al modelado del transistor, lo que quiere decir, que se encontrará el funcionamiento del mismo por medio de la representación de un circuito eléctrico equivalente. El desarrollo de un buen modelo es la pieza fundamental para obtener resultados satisfactorios, asegurando que resultados teóricos simulados sean muy cercanos a los resultados obtenidos experimentalmente, ya que el transistor es la principal fuente de efectos no lineales,

En el análisis y diseño de un amplificador de potencia en RF se hace uso extensivo de herramientas de software de simulación automática para predecir el comportamiento real de circuitos, sistemas y dispositivos. En esta tesis se emplea ADS (Advanced Design Systems) [9], de Agilent®, para estos propósitos.

El modelado de dispositivos consiste en la determinación del valor de los parámetros de un modelo fijo usado en simulación para reproducir el comportamiento de dicho dispositivo. Típicamente, la exactitud del modelo se compara con los datos medidos experimentalmente del mismo. Cuando los datos simulados y medidos son muy parecidos, se considera que el modelo es un modelo confiable. Un buen modelo permite al diseñador realizar predicciones exactas sobre el comportamiento de las componentes en una aplicación determinada.

El componente de mayor importancia en el diseño de un amplificador potencia, es el transistor. Este último determina muchas de las características deseables del amplificador: ganancia de señal, eficiencia, linealidad. Es por esto que el modelado del transistor de potencia, o la obtención de un buen modelo del fabricante, es un requerimiento básico para la precisión de las simulaciones relacionadas. Así pues, el modelo del transistor de potencia, deberá ser capaz de predecir con exactitud su comportamiento real en situaciones específicas, cuando se usa en el simulador.

El modelo de transistor de potencia de RF que se seleccionó ha demostrado resultados aceptables en el diseño de amplificadores [10] y se muestra en la Fig. 3.1, el cual proporciona un balance entre la simplicidad de la extracción y la precisión de resultados. El modelo incluye

tanto los elementos intrínsecos del transistor (recuadro de líneas discontinuas) como los elementos parásitos del mismo, siendo 12 variables por calcular en total, incluyendo a las componentes del empaquetado. Las componentes no lineales del modelo se identifican dentro de la parte intrínseca: la fuente de corriente que representa la corriente del drenador como función del voltaje en la compuerta, así como las capacitancias intrínsecas cuyos valores dependen del punto de operación.

Posterior a la obtención del modelo de pequeña señal se desarrolla el modelo de corrientes no lineal, en base a un modelo matemático [11] determinado a partir de las curvas I-V

En este capítulo se describen los métodos experimentales utilizados para la determinación y extracción, de los parámetros del modelo del transistor y que son de uso común en el laboratorio de microondas en el CICESE, institución en la que se realizó completamente la parte experimental. La secuencia para desarrollar el modelo del transistor se describe en la Fig. 3.2.

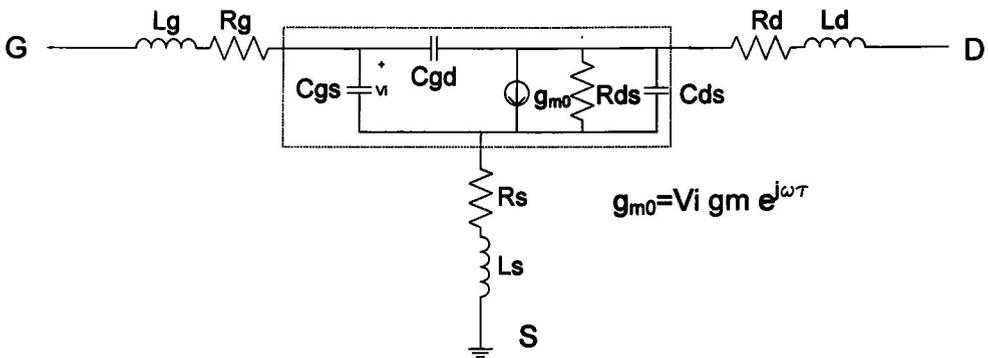


Fig. 3.1 Representación del circuito eléctrico equivalente en pequeña señal del transistor LDMOS

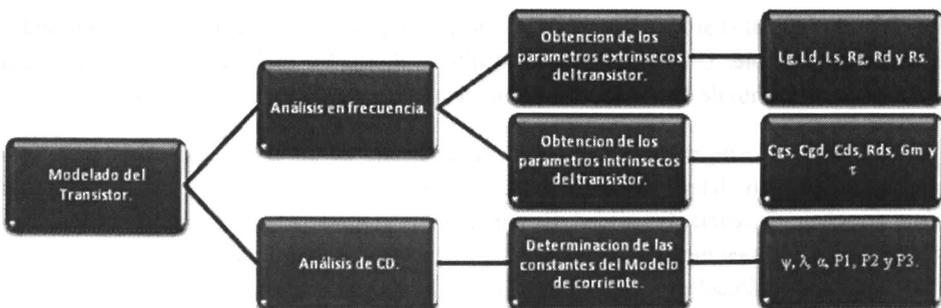


Fig. 3.2 Secuencia de modelado del transistor de potencia.

3.2 Análisis en frecuencia

3.2.1 Extracción de parámetros extrínsecos

El modelado de pequeña señal es importante debido a que permite determinar las componentes extrínsecas del transistor, así como sus componentes intrínsecas. Esta determinación se lleva a cabo en puntos predeterminados de polarización del transistor de una manera relativamente fácil.

El modelo contiene exclusivamente componentes lineales, Algunas de las cuales dependen del punto de operación. Los valores de componentes parasitas del empaquetamiento del transistor no dependen del punto de operación del transistor. La fuente de corriente no lineal del modelo global se reemplaza por su expresión lineal a pequeña señal

$$g_{mo} = g_m V_i e^{j\omega t} \quad (3.1)$$

Para la obtención del valor de los parámetros en pequeña señal (elementos extrínsecos e intrínsecos) del transistor es necesario realizar una medición en frecuencia, utilizando el analizador de redes vectoriales (VNA) HP8510 de Hewlett Packard®, tal y como se muestra en la Fig. 3.3, la complejidad de la medición está dada, debido a que la estructura física del transistor y las terminales de prueba del VNA son completamente diferentes, es por eso necesario montar el transistor sobre una base de pruebas (desarrollada en el CICESE específicamente para el transistor LDMOS MRF281 [apéndice B], (Fig. 3.4), la cual permita hacer una conexión física entre las terminales del transistor y las terminales del VNA, por lo que la medición se realiza posterior a una previa calibración del VNA.

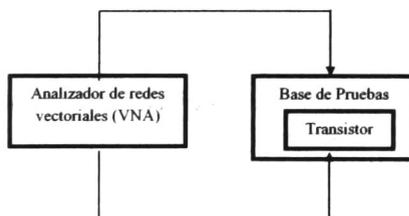


Fig. 3.3 Diagrama a bloques de la medición en frecuencia del transistor.

Para realizar la medición el transistor es montado en una base de pruebas, la cual consiste de dos principales partes: la del PCB (*printed circuit board*) que permite la interconexión de las terminales y la de la base de cobre que permite la sujeción del transistor. La función que realiza el PCB como se mencionó anteriormente, es permitir la interconexión de las terminales por medio de líneas de microcinta con una impedancia característica de 50 Ohm las cuales al mismo tiempo realizan la transición de una línea de microcinta a un cable coaxial. Mientras que la base de cobre sostiene a las placas de PCB, utilizando un sistema de vacío para sujetar el transistor y por medio de éste hacen contacto físico. Por otra parte el transistor pueda disipar su calor y evitar los efectos de sobrecalentamiento.

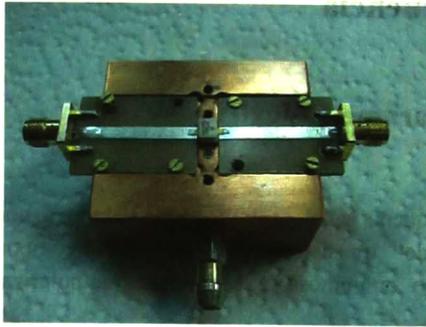


Fig. 3.4 Base de pruebas para caracterizar el LDMOS

En la Fig. 3.5 se muestra una representación de la base de pruebas utilizada, donde se muestra cómo el sistema de vacío logra sujetar al transistor por medio de la terminal de “fuente”

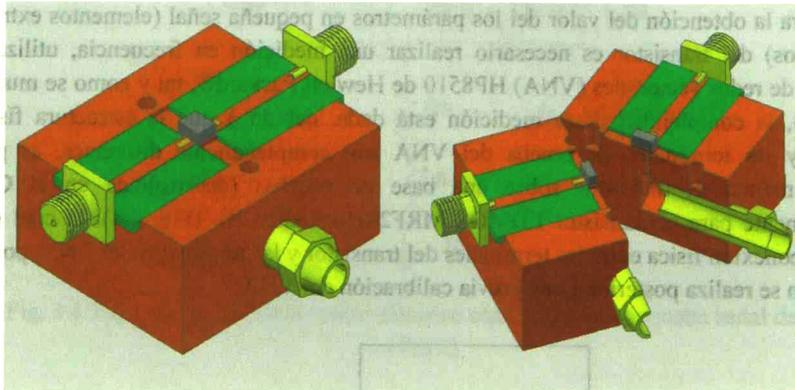


Fig. 3.5 Representación de la base de pruebas y el sistema de vacío utilizado para sujetar el transistor.

La extracción de los parámetros extrínsecos (L_p , L_d , \bar{L}_s , R_p , R_d y R_s), se basa en la medición de los parámetros S, bajo consideraciones de polarización en la condición de apagado [12], $V_{GS}=0$ V y $V_{DS}=0$ V. Cuando el transistor se encuentra en estas condiciones, la fuente de corriente es de valor cero y la resistencia R_{ds} tiene un valor muy grande. De esta manera el circuito eléctrico equivalente se transforma como se muestra en la Fig. 3.6(a), donde se observa que los elementos extrínsecos no sufren ningún cambio, mientras que los elementos intrínsecos se reducen a un circuito pi (π) formado por los capacitores C_{gd} , C_{gs} y C_{ds} . La manera más sencilla para determinar los elementos extrínsecos es transformando en circuito “ π ” (Fig. 3.6 (a)) en un circuito “T” (Fig. 3.6 (b)), obteniendo de este circuito los parámetros Z [13]. Esta transformación se puede llevar a cabo usando las siguientes ecuaciones:

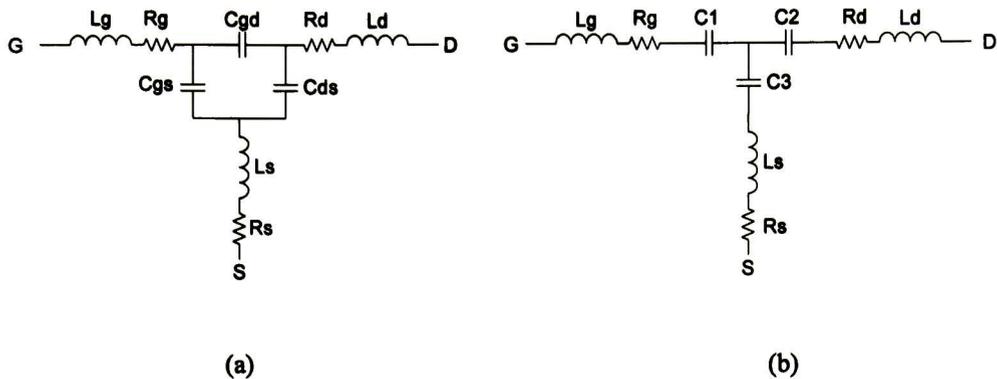


Fig.3.6 transformación del circuito π a estrella del circuito en pequeña señal de un transistor LDMOS en condiciones de apagado

$$C_1 = C_{gs} C_{gd} \Delta_c \quad (3.2)$$

$$C_2 = C_{gd} C_{ds} \Delta_c \quad (3.3)$$

$$C_3 = C_{gs} C_{ds} \Delta_c \quad (3.4)$$

$$\Delta_c = \frac{1}{C_{gs}} + \frac{1}{C_{gd}} + \frac{1}{C_{ds}} \quad (3.5)$$

Con el circuito eléctrico equivalente de la Fig. 3.6 (b) es posible obtener los parámetros Z y determinar las ecuaciones que describen las impedancias en cada una de las ramas del circuito eléctrico equivalente, tal y como se muestra a continuación:

$$Z_1 = Z_{11} - Z_{12} = R_g + j\omega L_g - \frac{j}{\omega C_1} \quad (3.6)$$

$$Z_2 = Z_{22} - Z_{12} = R_d + j\omega L_d - \frac{j}{\omega C_2} \quad (3.7)$$

$$Z_3 = Z_{12} = R_s + j\omega L_s - \frac{j}{\omega C_3} \quad (3.8)$$

El valor de las resistencias parásitas (R_g , R_d y R_s) es la parte real de las impedancias obtenidas en (3.6-3.8). Por otro lado el valor de las capacitancias e inductancias parásitas se obtienen de la parte imaginaria de las impedancias. Para calcular el valor de las inductancias y capacitancias se dividen entre ω la parte imaginaria de las impedancias de tal manera que quedan las siguientes expresiones:

$$\frac{\text{Im}(Z_1)}{\omega} = L_g - \frac{1}{\omega^2 C_1} \quad (3.9)$$

$$\frac{\text{Im}(Z_2)}{\omega} = L_d - \frac{1}{\omega^2 C_2} \quad (3.10)$$

$$\frac{\text{Im}(Z_3)}{\omega} = L_s - \frac{1}{\omega^2 C_3} \quad (3.11)$$

Graficando las ecuaciones (3.12 – 3.14) contra $1/\omega^2$ se obtiene una gráfica lineal donde la intercepción en el eje Y es igual al valor de la inductancia, mientras el valor de la pendiente es igual a $-1/C$, esto se puede obtener fácilmente por una regresión lineal.

Para determinar el valor de los componentes extrínsecos, se desarrollan las ecuaciones matemáticas anteriormente mencionadas, en MATLAB. En la Fig. 3.7 se muestran los valores de las resistencias extrínsecas determinadas en el rango de 0.5-1.1 GHz, debido a que en este rango de frecuencia se presenta una uniformidad aceptable, como es de esperarse la resistencia en la fuente es menor debido a la tecnología de fabricación del transistor, así también como la resistencia de compuerta es la más alta.

En la Fig. 3.8 se muestran las graficas de $\frac{\text{Im}(Z)}{\omega}$ vs. $\frac{1}{\omega^2}$ Obtenidas en MATLAB. Con los valores obtenidos en las graficas, se realizó una regresión lineal para determinar el valor de los elementos de interés.

En la tabla 3.1 se muestran los valores obtenidos de las resistencias e inductancias parásitas extrínsecas del transistor.

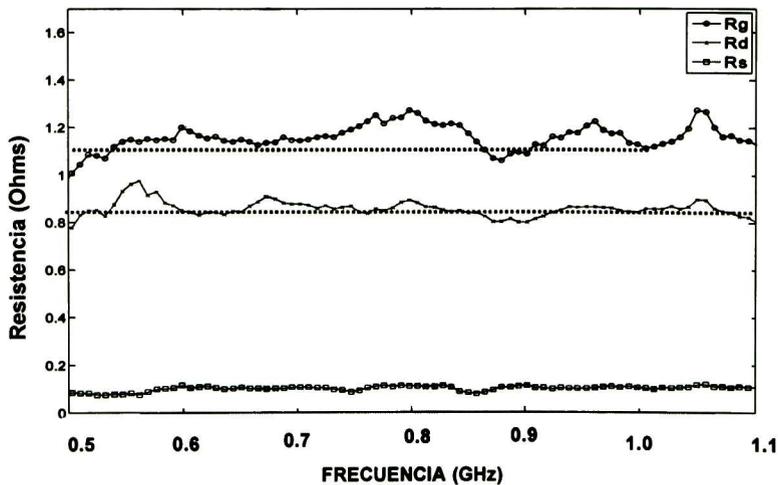


Fig. 3.7 Resistencias Extrínsecas del transistor LDMOS en el rango de frecuencia de 0.5-1.1 GHz.

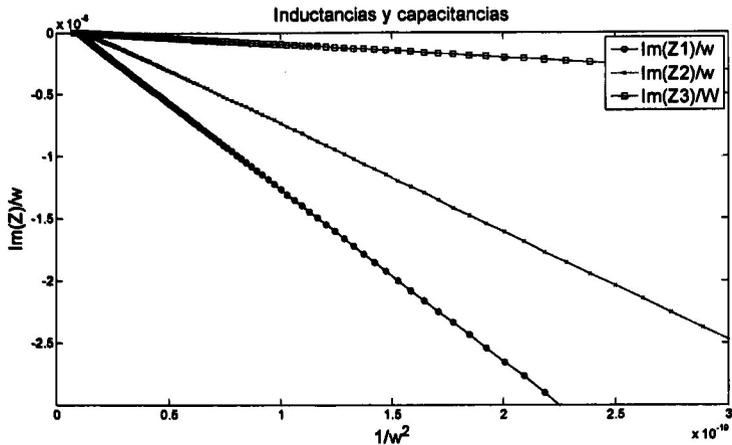


Fig. 3.8 parte imaginaria de las impedancias medidas y su regresión lineal

Tabla 3.1 Valor de los componentes extrínsecos encontrados.

COMPONENTES EXTRINSECOS	VALOR
Rg(Ω)	1.1
Rd(Ω)	0.87
Rs(Ω)	0.108
Lg(pH)	1552.
Ld(pH)	1192.
Ls(pH)	92.3

3.2.2 Extracción de parámetros intrínsecos

El siguiente paso, es la obtención del valor de los elementos intrínsecos del transistor, siendo éstos dependientes del voltaje de polarización. Para obtener el valor de los elementos intrínsecos es necesario hacer un “*de-embedding*” o desincrustamiento de los elementos parásitos [14]. En la Fig. 3.9 se muestra el procedimiento de “*de-embedding*” del transistor.

Los elementos intrínsecos son extraídos de los parámetros Y [15], para manipular más fácilmente los datos y obtener ecuaciones que describan el comportamiento de los elementos.

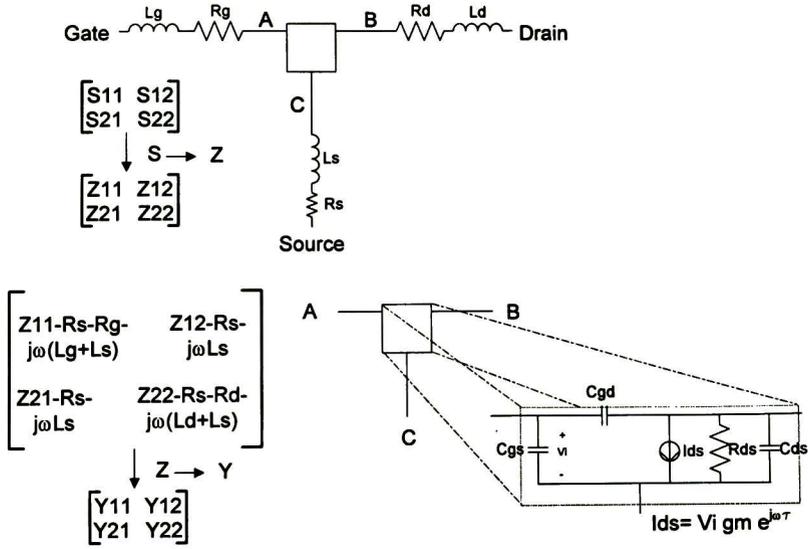


Fig. 3.9 método de obtención de los parámetros intrínsecos del transistor LDMOS

$$Y_{11} = \frac{C_{gs}^2 \omega^2}{D} + j\omega \left(\frac{C_{gs}}{D} + C_{gd} \right), \quad (3.12)$$

$$Y_{12} = -j\omega C_{gd}, \quad (3.13)$$

$$Y_{21} = \frac{g_m e^{-j\omega\tau}}{1 + j\omega C_{gs}} - j\omega C_{gd}, \quad (3.14)$$

$$Y_{22} = g_{ds} + j\omega(C_{ds} + C_{gd}), \quad (3.15)$$

donde

$$D = 1 + j\omega^2 C_{gs}^2. \quad (3.16)$$

Separando en parte real e imaginaria los parámetros Y, se determinan los elementos intrínsecos

$$C_{gd} = -\frac{\text{Im}(Y_{12})}{\omega} \left(1 + \left(\frac{\text{Re}(Y_{12})}{\text{Im}(Y_{12})} \right)^2 \right) \quad (3.17)$$

$$C_{gs} = \frac{\text{Im}(Y_{11}) + \text{Im}(Y_{12})}{\omega} \left(1 + \frac{(\text{Re}(Y_{11}) + \text{Re}(Y_{12}))^2}{(\text{Im}(Y_{11}) + \text{Im}(Y_{12}))^2} \right) \quad (3.18)$$

$$C_{ds} = \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega} \quad (3.19)$$

$$R_{ds} = \frac{1}{\text{Re}(Y_{22})} \quad (3.20)$$

$$g_m = \sqrt{\left((\text{Re}(Y_{21}) - \text{Re}(Y_{12}))^2 + (\text{Im}(Y_{21}) + \text{Im}(Y_{12}))^2 \right)} \cdot D \quad (3.21)$$

$$\tau = \frac{1}{\omega} \left(\frac{\text{Im}(Y_{12}) - \text{Im}(Y_{21}) - \omega C_{gs} (\text{Re}(Y_{21}) - \text{Re}(Y_{12}))}{g_m} \right) \quad (3.22)$$

En base a las ecuaciones (3.17-3.22), se determina el valor de los componentes, en MATLAB, en un rango de frecuencia seleccionado donde el comportamiento de los elementos intrínsecos se mantienen más estables, las Fig.(3.10- 3.15) muestran el comportamiento de los elementos ante diferentes condiciones de polarización.

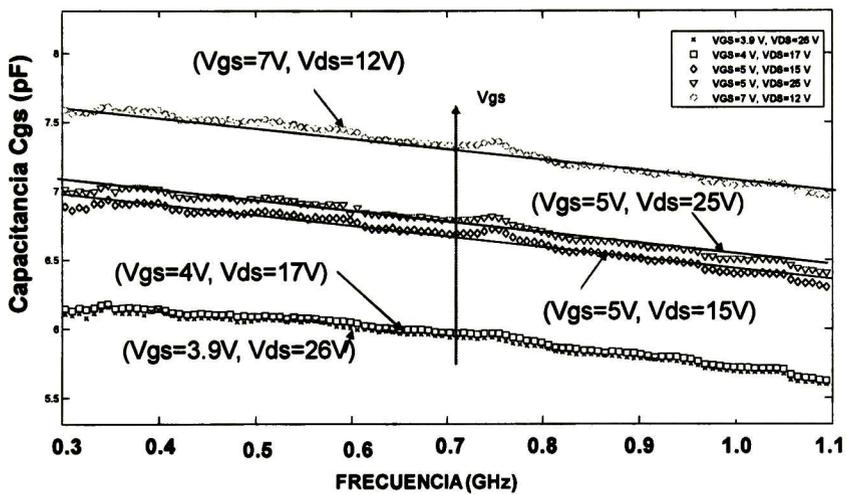


Fig. 3.10 Grafica de Cgs vs Frecuencia

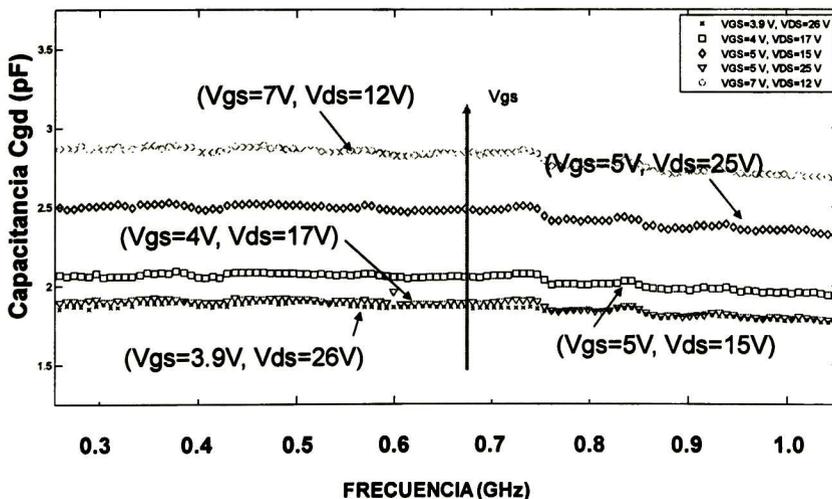


Fig. 3.11 Grafica de Cgd vs Frecuencia

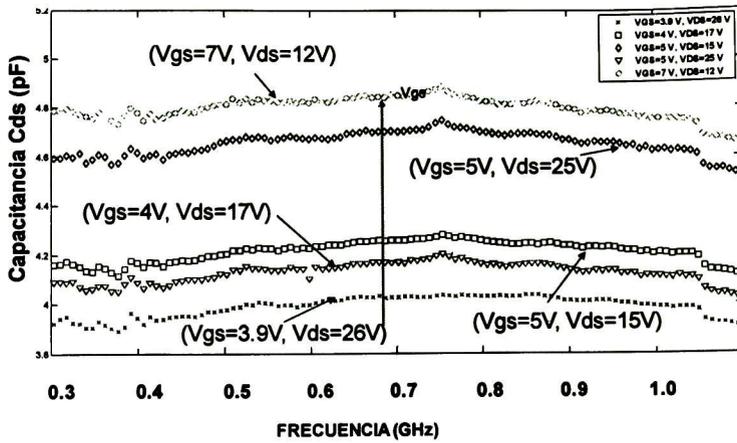


Fig. 3.12 Grafica de C_{ds} vs Frecuencia

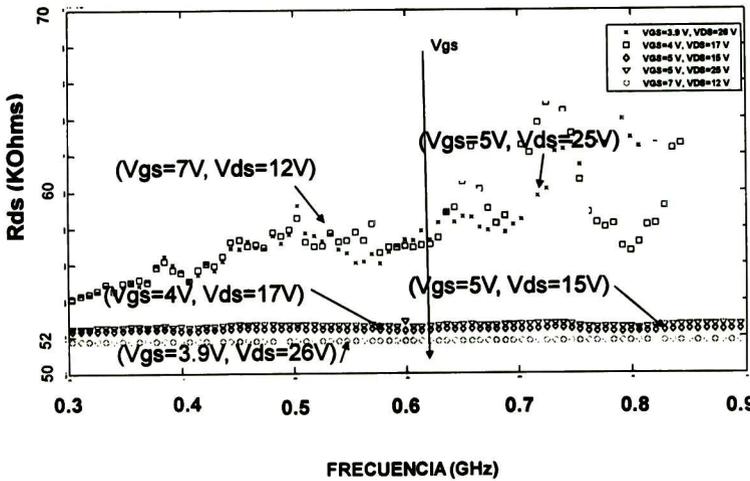


Fig. 3.13 Grafica de R_{ds} vs Frecuencia

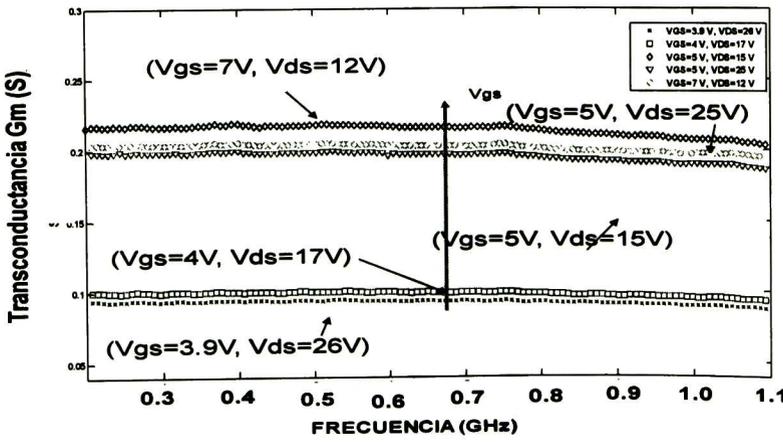


Fig. 3.14 Grafica de G_m vs Frecuencia

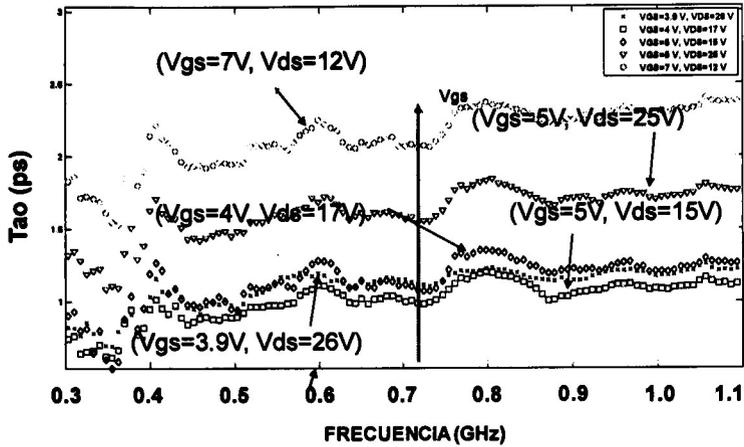


Fig. 3.15 Gráfica de τ_{ao} vs Frecuencia

En la tabla 3.2 se muestran los valores de los elementos extrínsecos extraídos a $V_{GS}=3.9$ V y $V_{DS}=26$ V, el cual es el punto de operación de un amplificador clase AB.

Tabla 3.2 Tabla de los componentes intrínsecos encontrados.

Componentes intrínsecos	Valor
C_{gs} (pF)	5.7
C_{gd} (pF)	0.18
C_{ds} (pF)	4.03
R_{ds} (K Ω)	6.0
G_m (S)	0.09
τ (pS)	11.6

3.2.3 Validación del modelo en pequeña señal

Se simuló en ADS el circuito eléctrico equivalente en pequeña señal del transistor LDMOS (Fig. 3.16), para validar los valores de los elementos extrínsecos e intrínsecos determinados matemáticamente, la validación consiste en realizar un análisis en frecuencia al modelo y comparar los resultados obtenidos de la simulación con los datos medidos experimentalmente.

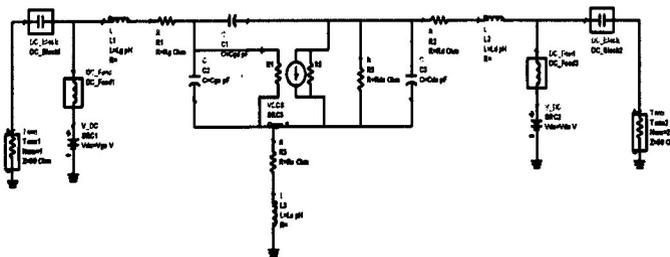


Fig. 3.16 Circuito eléctrico equivalente en pequeña señal implementado en Agilent EEsof ADS

En la Fig.3.16 se muestra con detalle los elementos empleados para la simulación en frecuencia sobre ADS, donde la red de polarización de entrada y de salida se encuentra formado por elementos ideales, mientras que la fuente de corriente controlada por voltaje está representada por un elemento de la librería de ADS, donde solamente se toma en consideración el valor de G_m y de τ , los puertos de entrada y de salida están representados por terminales de 50 ohm.

La Fig. 3.17 muestra la buena correspondencia de los datos simulados sobre los medidos, lo que quiere decir que el modelo predice adecuadamente el comportamiento de los parámetros S durante todo el rango de frecuencia, aun para el S_{12} , siendo el parámetro comúnmente más difícil de modelar.

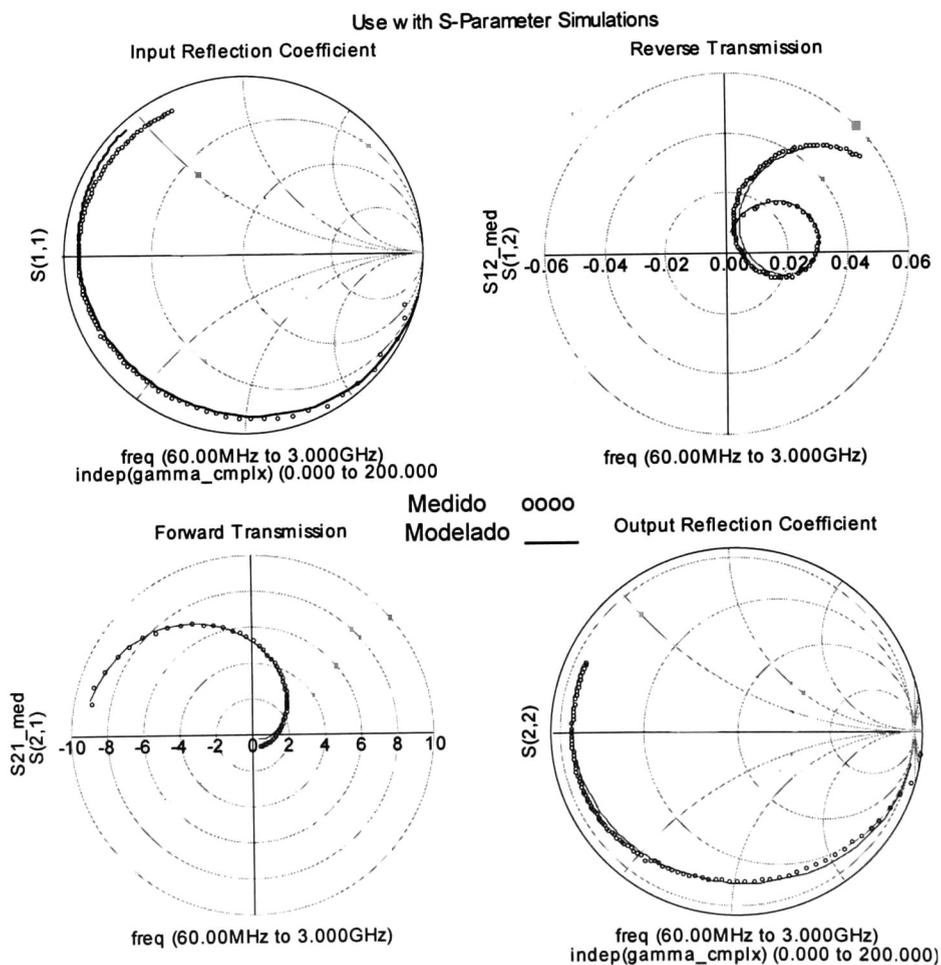


Figura 3.17 Parámetros S del transistor LDMOS medidos Vs. Modelados.

3.3 Análisis en CD.

3.3.1 Modelo de corrientes no lineal

Para modelar el comportamiento de la corriente no lineal que fluye en el transistor, se realiza una medición de las características corriente-voltaje del LDMOS por medio del Analizador I-V Dinámico (DIVA) D265, tal y como se muestra en la Fig. 3.18, se utiliza nuevamente la base de pruebas para realizar la medición, la cual se lleva cabo aplicando voltajes pulsados tanto en la terminal de compuerta como en la terminal del drenador para evitar los efectos de calentamiento del transistor, al mismo tiempo el DIVA permite la máxima potencia de disipación que soporta el LDMOS.

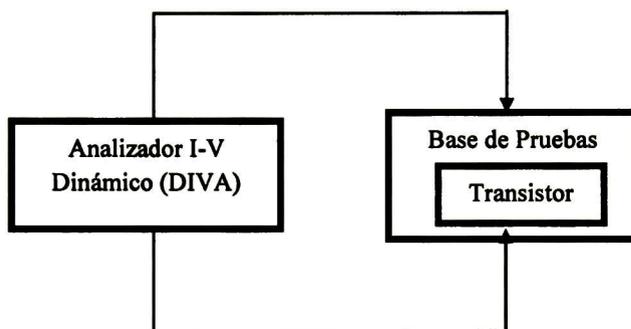


Fig. 3.18 diagrama a bloques de la medición en CD del transistor.

La Fig. 3.19, muestra las curvas I-V obtenidas de la medición en CD, la medición se realizó para un rango de voltajes en V_{DS} desde 0 V a 50 V en incrementos de 2.5 V y V_{GS} desde 3V hasta 9V en incrementos de .5 V, como se observa en la figura las curvas son recortadas a diferentes voltajes de V_{DS} debido a que esta zona limita al transistor a operar de manera segura sin que este sufra algún daño por efectos de sobrecalentamiento.

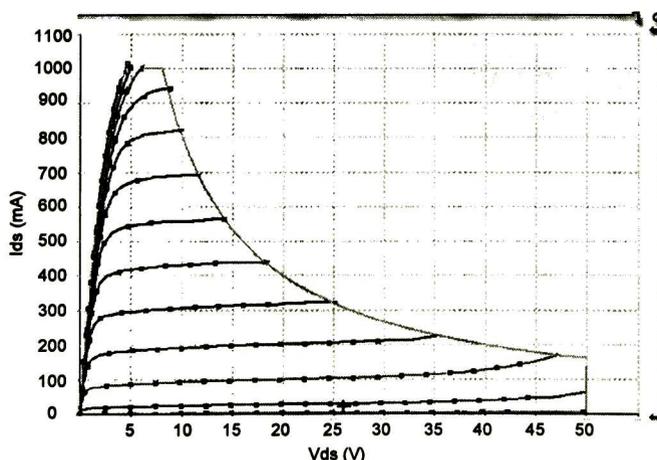


Fig. 3.19 Curvas I-V obtenidas de la medición en CD con el DIVA

En el diseño de amplificadores de potencia el modelo de corriente I-V debe de ser capaz de representar las corrientes, así también como su transconductancia para poder predecir correctamente la potencia de salida. En la actualidad se han desarrollado diferentes modelos de corriente no lineal [16,17], donde, en principio pueden modelar derivadas de alto orden respecto a V_{GS} .

El modelo de corrientes en el que se baso el estudio del transistor fue en el modelo de Angelov [18], ya que la expresión analítica de la corriente permite ser derivada n veces, respecto a V_{GS} .

La función de corrientes está expresada de la siguiente manera:

$$I_{DS}[V_{GS}, V_{DS}] = I_{dA}[V_{GS}] I_{dB}[V_{DS}] = I_{PK} (1 + \tanh(\psi))(1 + \lambda V_{DS}) \tanh(\alpha V_{DS}) \quad (3.23)$$

donde el primer factor $I_{dA}[V_{GS}]$ solo es dependiente del voltaje de compuerta y el segundo factor $I_{dB}[V_{DS}]$ es dependiente del voltaje de drenador. Este último también es usado en otros modelos como Curtice [16] y Statz [19], sin embargo la contribución de Angelov es que la derivada del primer factor describe la función de transconductancia $gm[V_{GS}]$. Por otro lado la función tangencial hiperbólica describe la dependencia del voltaje de compuerta, donde su argumento ψ es una serie de potencias. Con esta función el modelo asegura que la corriente se puede diferenciar n veces.

La función ψ está dada por la siguiente ecuación:

$$\psi(V_{GS}) = \sum_{n=1}^m P_n (V_{GS} - V_{PK})^n \quad (3.24)$$

donde I_{pk} y V_{pk} son la corriente drenador-fuente y voltaje compuerta-fuente, en donde ocurre el máximo valor de transconductancia, la modulación de canal (λ) y el voltaje de saturación (α) son calculados igual que el modelo de Statz y Curtice. La complejidad de este modelo consiste en la extracción de las constantes P_n de los datos experimentales. Para encontrar el valor de estas constantes en [18] se propuso un procedimiento analítico, en el cual se asume que $(1 + \lambda V_{DS}) \tanh(\alpha V_{DS}) \approx 1$ la expresión queda como se muestra a continuación:

$$\psi(V_{GS}) = \tanh^{-1} \left(\frac{I_{DS}}{I_{PK}} - 1 \right) \quad (3.25)$$

Es muy importante hacer mención que para evitar valores imaginarios I_{ds} debe de ser menor a $2I_{pk}$. Para obtener buenos resultados del modelo, es suficiente usar $n=3$. Por lo que:

$$\psi(V_{GS}) = a_0 + a_1 V_{GS} + a_2 V_{GS}^2 + a_3 V_{GS}^3 \quad (3.26)$$

donde

$$a_0 = -P_1 V_{PK} + P_2 V_{PK}^2 - P_3 V_{PK}^3 \quad (3.27)$$

$$a_1 = P_1 - 2P_2 V_{PK} + 3P_3 V_{PK}^2 \quad (3.28)$$

$$a_2 = P_2 - 3P_3 V_{PK} \quad (3.29)$$

$$a_3 = P_3 \quad (3.30)$$

Para calcular el valor de las constantes P_1, P_2 y P_3 las despejamos de las ecuaciones (27 a 30) expresadas anteriormente:

$$P_3 = a_3 \quad (3.31)$$

$$P_2 = a_2 + 3a_3 V_{PK} \quad (3.32)$$

$$P_1 = a_1 + 2a_2 + 3a_3 V_{PK} (2 + V_{PK}) \quad (3.33 a)$$

o

$$P_1 = a_2 V_{PK} + 2a_3 V_{PK}^2 - a_0 V^{-1} \quad (3.33 b)$$

Los coeficientes a_0, a_1 y a_2 , son calculados usando el método de mínimos cuadrados.

En base a las ecuaciones anteriores, se realiza un análisis numérico en MATLAB para determinar los valores iniciales de $P_1, P_2, P_3, V_{pk}, I_{pk}, \lambda$ y α . Posteriormente en ADS se simuló el comportamiento de la corriente no lineal por medio del circuito eléctrico equivalente (Fig. 3.20), donde se optimizaron las variables iniciales encontradas. En esta representación se muestra que el circuito eléctrico es reducido solamente al uso de resistencias, ya que se trata de un análisis puramente en DC., por lo que los inductores se convierten en un cortos circuito y los capacitores un circuito abierto.

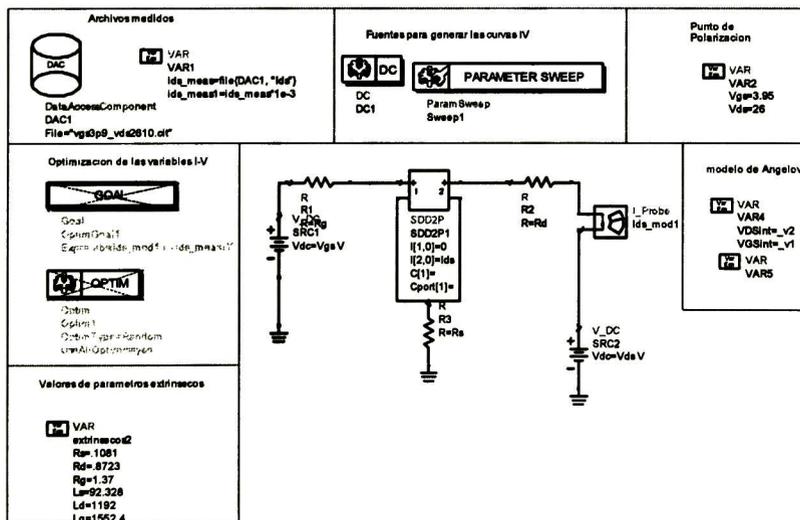


Fig. 3.20 Simulación en ADS para la determinación de las constantes del modelo de corrientes de Angelov.

3.3.2 Validación del Modelo de corrientes no lineal

El resultado de la simulación se muestra en la figura 3.21, donde se observa que el modelo de Angelov permite una buena extracción del modelo de corrientes, aunque presenta cierta imprecisión para voltajes de V_{DS} en la zona lineal, el orden calculado fue hasta $n=3$ ya que es lo suficientemente capaz de proporcionar resultados precisos, aunque nada impide utilizar un modelo de Angelov de mayor orden.

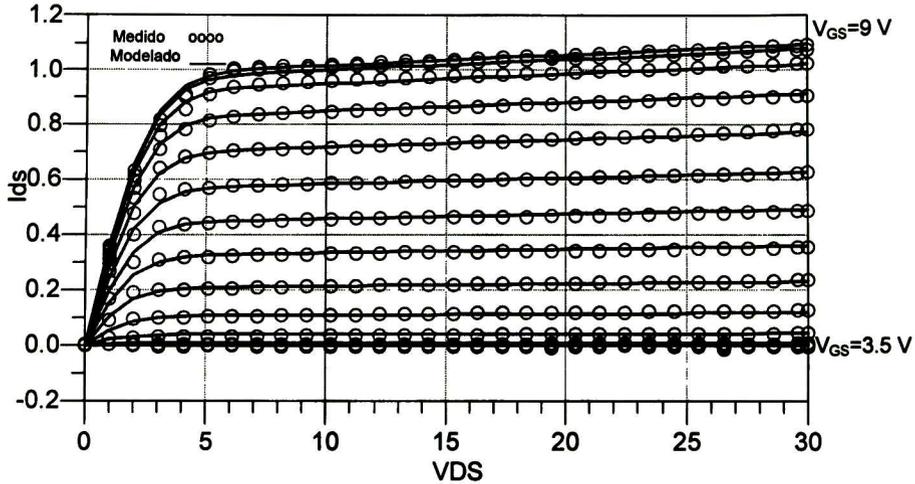


Fig. 3.21 comparación de las Curvas I-V simuladas en el modelo de corrientes y las curvas I-V obtenidas experimentalmente con el DIVA

En la figura 3.22 se muestra la curva de transferencia (I_{DS} vs V_{GS}) de los datos medidos y simulados, así como su transconductancia para distintos valores de V_{DS} .

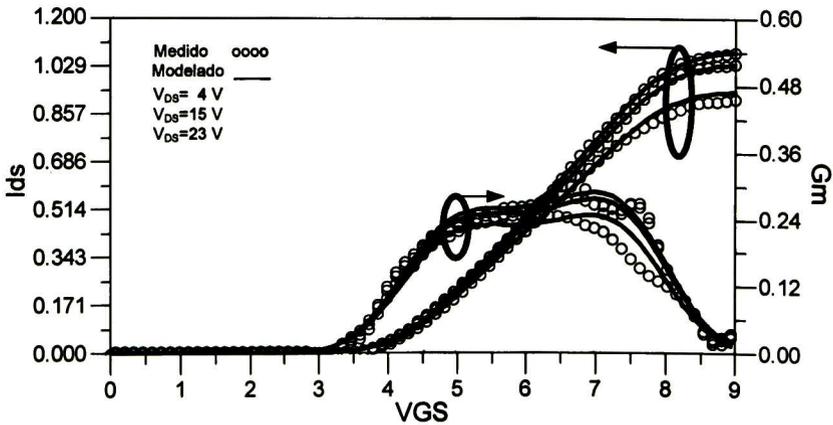


Fig. 3.22 Curvas de transferencia y de transconductancia del transistor LDMOS medido Vs. Modelado.

3.4 Simulación a gran señal

Posterior al análisis en frecuencia del modelo en pequeña señal y la determinación de las constantes del modelo del corrientes, se realiza un análisis de balance armónico del transistor en ADS, este análisis consiste en la introducción de una señal de potencia de un sólo tono por la terminal de compuerta, mientras que la terminal del drenador se encuentra conectada a una carga de 50 Ω .

Para validar el modelo del transistor LDMOS obtenido, se simula en ADS el circuito de la Fig. 3.23, donde se muestra que la fuente de corriente usada en el modelo de pequeña señal, es sustituida por la ecuación de corrientes de Angelov.

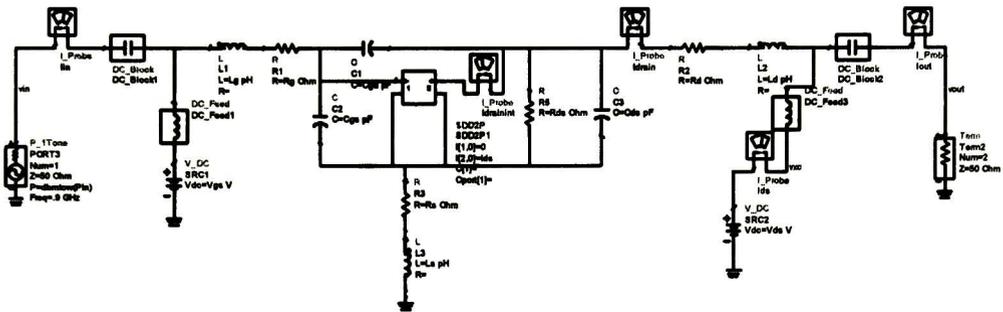


Fig. 3.23 representación del circuito eléctrico equivalente a gran señal del transistor LDMOS.

Se implementa experimentalmente el banco de pruebas de la Fig. 3.24, con el fin de realizar la prueba de PIN-POUT del transistor LDMOS. La medición se realizó utilizando un sintetizador Hewlett Packard 83620, dos analizadores de espectro, un Hewlett Packard 70004 y un Rohde&schwarz respectivamente, dos circuladores, uno de la empresa Harris y otro de la empresa MCLI, un acoplador direccional y por ultimo un atenuador de 30 dB de Hewlett Packard

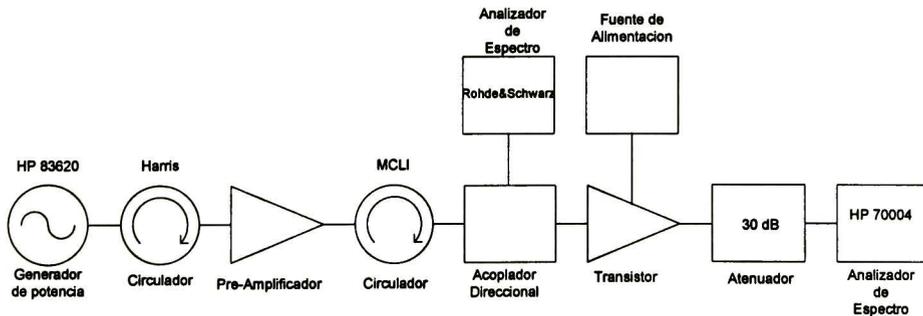


Fig. 3.24 esquema del banco de medición implementado para realizar las mediciones en potencia del transistor LDMOS.

La Fig. 3.25 muestra la gráfica de potencia de salida Vs. Potencia de entrada de la potencia fundamental, segunda y tercer armónica (f_0 , $2f_0$, $3f_0$). En la gráfica existe una buena correspondencia entre los datos medidos y simulados, sin embargo, para $2f_0$ y $3f_0$ se presentan algunas deferencias entre los datos, esto se puede atribuir a los efectos de calentamiento y de capacitancias del transistor.

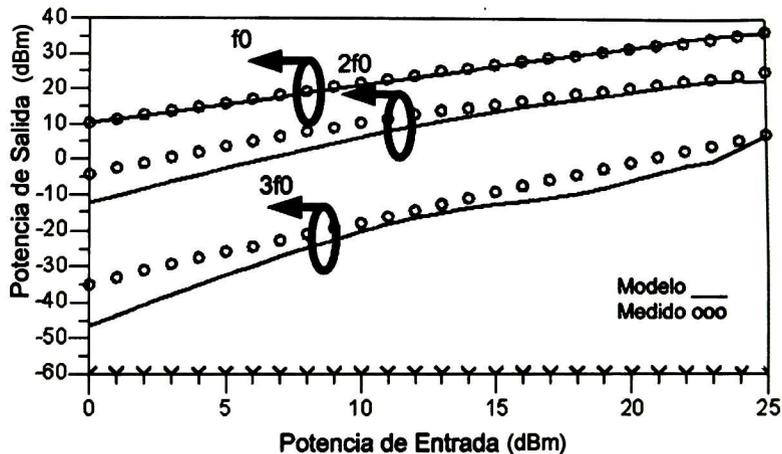


Figura 3.25 potencia de salida f_0 , $2f_0$ y $3f_0$ contra la Potencia de entrada.

En la figura 3.26 se muestran las graficas de potencia de salida, ganancia, eficiencia, y PAE del transistor contra la potencia de entrada del sintetizador, donde se observa que a mayor potencia de entrada la eficiencia y el PAE presentan un error absoluto de alrededor de 10 % entre los datos simulados y medidos, pero por otro lado la ganancia y la potencia fueron predichas correctamente. Siendo la primera de mayor interés para el diseño del amplificador.

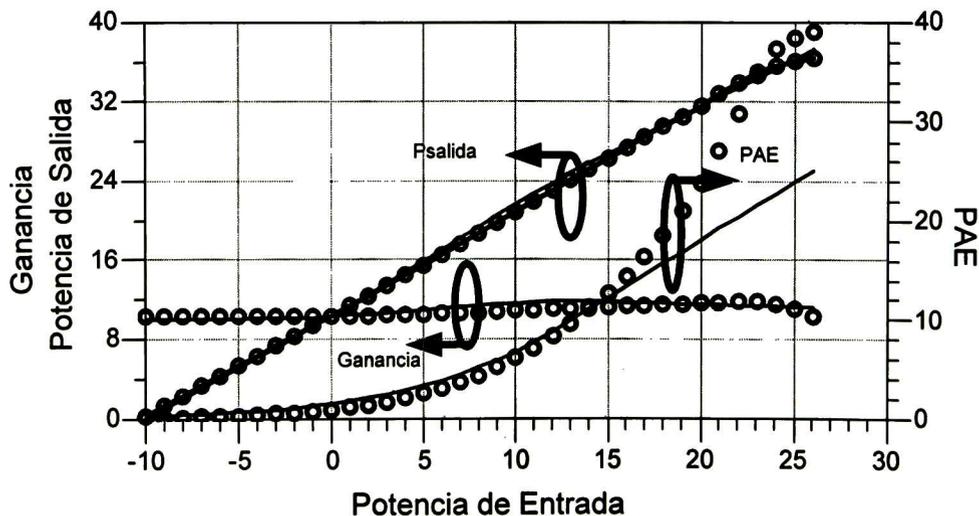


Figura 3.26 Graficas de Potencia de salida, Ganancia y PAE medidos contra los Modelados.

Capítulo 4

Se presenta el diseño y la simulación de un amplificador clase AB a una frecuencia de trabajo de 900 MHz, con una potencia de salida de 4 W (36 dBm) utilizando el transistor LDMOS MRF281S. El diseño del amplificador parte del modelo obtenido en el capítulo anterior, a dicho transistor se le realiza un análisis de estabilidad en la frecuencia de interés, una vez estabilizado, se diseñan las redes de polarización y las redes de acoplamiento aplicando la técnica de acoplamiento conjugado para la red de entrada, y la técnica de *load pull* para la salida. El diseño se implementa en un sustrato FR4 con una constante dieléctrica (ϵ_r)=4.25 y un espesor (H)=1.65 mm

4.1 Diseño y simulación del amplificador clase AB.

El diseño y simulación del amplificador de potencia clase AB es la validación final del modelo para el transistor LDMOS MRF281 desarrollado en el capítulo anterior. Los pasos a seguir para lograr una simulación exitosa se muestran en la Fig. 4.1. Donde se parte desde el modelo, pasando por un análisis de CD en donde se determina la zona de operación segura y el punto de polarización, se realiza un análisis de estabilidad por medio de las condiciones de Rollet (K) y la determinación de los círculos de inestabilidad [5], se diseñan las redes de polarización y por último las redes de acoplamiento de entrada y de salida, haciendo uso de la técnica de acoplamiento conjugado para la red de entrada, y la técnica de *load pull* para la salida. El amplificador Clase AB es diseñado a una frecuencia de 900 MHz con una potencia de salida a 4W.

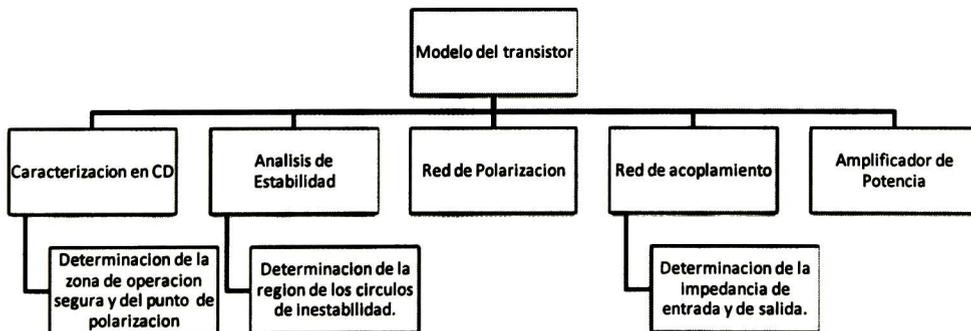


Fig. 4.1 Flujo de diseño del amplificador de potencia.

4.2 Determinación del transistor LDMOS

El transistor LDMOS MRF281 [20] se elige en base a las características que presenta, las cuales se muestran a continuación:

Ganancia: 11dB

Eficiencia: 30%

Distorsión de intermodulación: -29 dBc

Potencia de salida: 4W

VSWR: 10:1 @ 26 Vdc

Voltaje de ruptura: 65 V

Este transistor es caracterizado para aplicaciones en clase A y AB a 26 V en aplicaciones comerciales e industriales.

4.3 Caracterización en DC del transistor

La determinación de las zonas de operación (corte, lineal y saturación) del transistor es obtenida del comportamiento de las curvas de corriente (I_{DS}) respecto al voltaje en el drenador (V_{DS}) para cada valor de voltaje en la compuerta (V_{GS}), al mismo tiempo el voltaje de umbral (V_{TH}) es obtenido del valor pico máximo que presenta la tercera derivada de la curva de transferencia del transistor. En ADS se realiza la caracterización en CD (Fig. 4.2) para determinar la zona de operación segura del transistor, donde el transistor funcione sin que sufra algún daño por efectos de sobrecalentamiento, en la simulación, el barrido de voltaje en la compuerta (V_{GS}) se encuentra en el rango de 0 V a 20 V, mientras que el barrido de voltaje en el drenador (V_{DS}) es de 0 V a 50 V

En base a la temperatura de la unión, temperatura del encapsulado y al valor de la resistencia térmica, proporcionados en la hoja del fabricante, se aplica (4.1) para determinar el valor de la potencia máxima en CD que el transistor soporta.

$$P_{dmax} = \frac{(T_j - T_c)}{R_{jc}} \quad (4.1)$$

Donde:

T_j es la temperatura de la unión.

T_c es la temperatura del empaquetado (“case”)

R_{jc} es la Resistencia térmica.

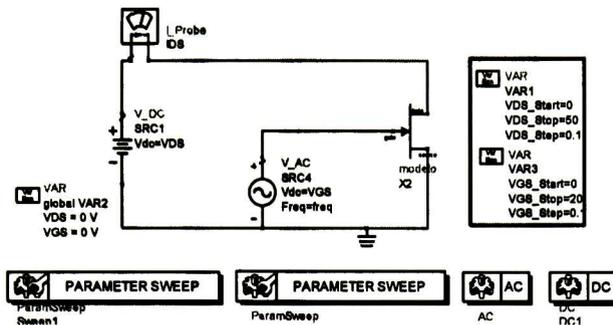


Fig. 4.2 Template de ADS usado para la obtención de las curvas I-V del modelo del transistor

Los datos obtenidos son:

$$T_j = 200^\circ\text{C}$$

$$T_c = 150^\circ\text{C}$$

$$R_{jc} = 5.74^\circ\text{C}$$

Calculando una disipación máxima en potencia de DC de 8.71 Watts. La Fig. 4.3 muestra las curvas I-V de la simulación, donde se observa la curva que describe el límite de potencia máxima de DC para la operación segura del transistor, la línea de carga escogida para cualquier clase de operación debe de situarse por debajo de esta curva para evitar que el transistor sufra algún daño por efectos de sobre calentamiento. El punto de polarización utilizado para el diseño del amplificador es de $V_{gs}=3.9\text{V}$ y $V_{ds}=26\text{V}$.

La Fig. 4.4 muestra la curva de transferencia (I_{ds} - V_{gs}) y las zonas de operación del transistor, determinando el voltaje de umbral de 3.6 V por medio de la tercera derivada de la corriente del drenador con respecto al voltaje de la compuerta.

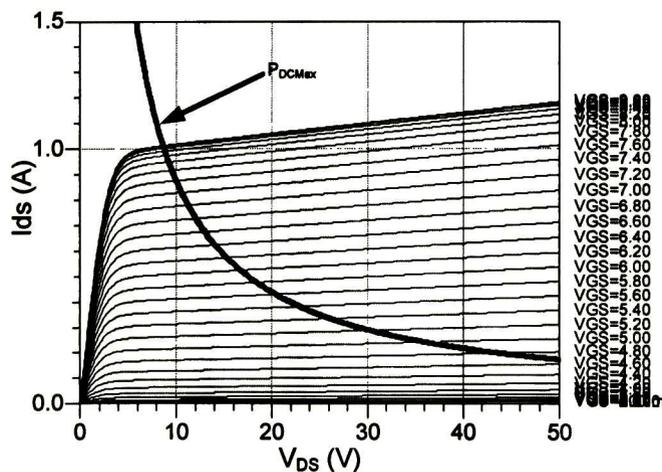


Fig. 4.3 Curvas I-V obtenidos del modelo del transistor LDMOS, para determinar la zona de operación segura.

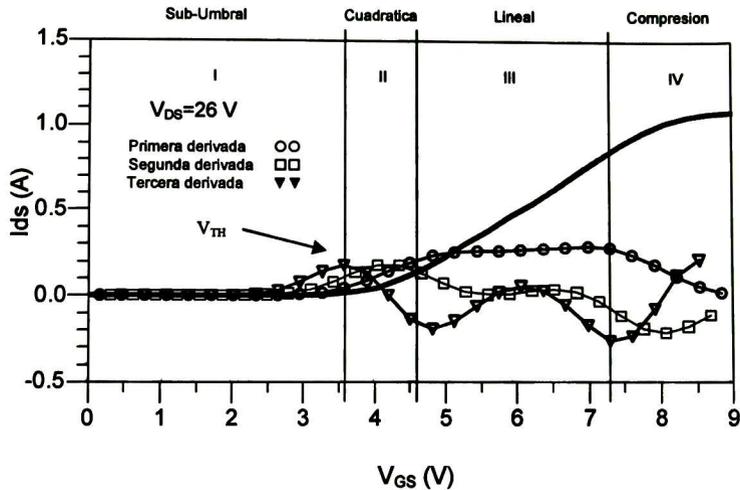


Fig. 4.4 Curva de transferencia del LDMOS, mostrando las regiones del mismo por medio de la primera, segunda y tercera derivada de la corriente I_{ds} .

4.4 Análisis de estabilidad

En base a las condiciones de estabilidad mencionadas en el capítulo 2, el grado de estabilidad se determina mediante la simulación de los parámetros S, para un rango de frecuencia de 0.045-3GHz (Fig.4.5). La Fig. 4.6 muestra la posición de los parámetros S11 y S22 así como los círculos de estabilidad para la entrada y la salida obtenidos de la simulación, donde se observa que el transistor es potencialmente inestable para esa frecuencia establecida. Por otra parte, utilizando la ecuación (2.6) se logra determinar que el valor del factor K es de 0.263 por lo que el transistor es inestable

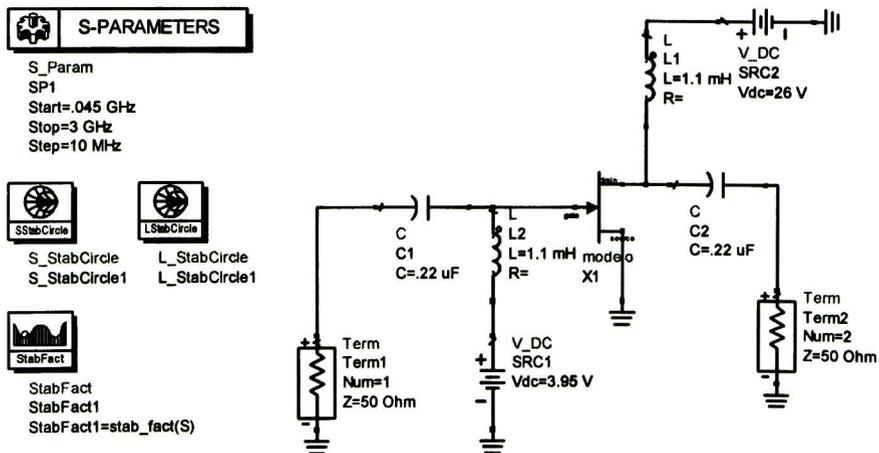


Fig. 4.5 Circuito implementado para determinar la estabilidad del transistor.

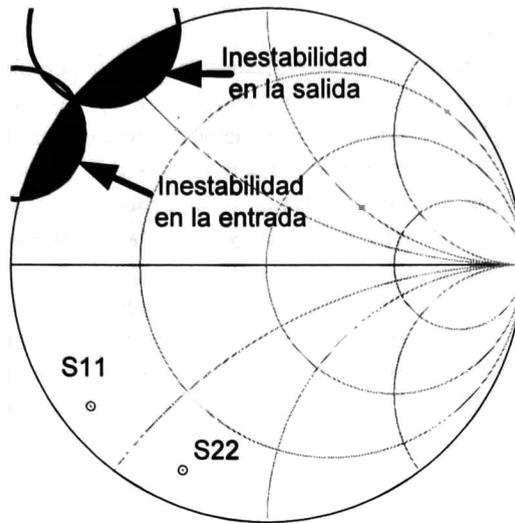


Fig. 4.6 Círculos de inestabilidad y parámetros S de entrada y de salida sin estabilizar.

Con el fin de estabilizar el transistor, se utiliza una resistencia de 10Ω , este elemento pasivo se posiciona en la terminal de compuerta ya que el consumo de corriente y la potencia disipada por la resistencia es despreciable, obteniendo un transistor incondicionalmente estable, tal y como se muestra en la figura 4.7, los círculos de inestabilidad se encuentran fuera de la carta de Smith mientras que el factor K aumenta a 1.95.

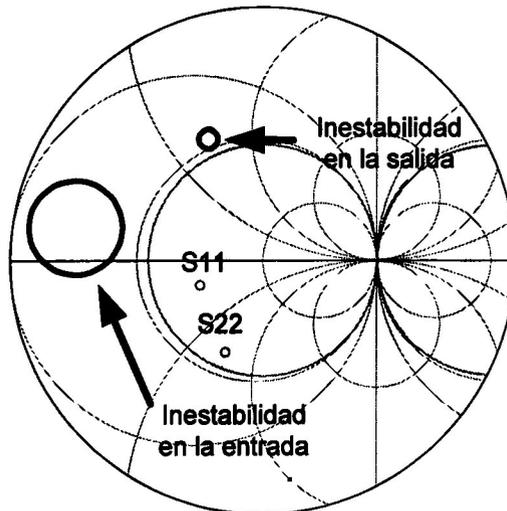


Fig. 4.7 Círculos de inestabilidad y parámetros S de entrada y de salida estabilizados.

4.5 Diseño de la red de polarización

Las redes de polarización en un amplificador de potencia permiten que simultáneamente pueda ser aplicado un voltaje de DC y una señal de RF. Para lograrlo, la red está formada por un inductor y un capacitor [21]. La función del inductor es presentar una alta impedancia para la señal de RF, de manera que no perturbe el comportamiento de la fuente de polarización de CD. En tanto que la impedancia del capacitor sea un corto virtual a las frecuencias de operación y bloquee los efectos de CD en la señal de entrada y de salida. En base a este criterio el valor de los componentes de la red de polarización es seleccionado de la siguiente manera; para el inductor $L=80$ nH y para el capacitor $C=.47\mu\text{F}$. Con el fin de analizar el comportamiento de la red de polarización, se simularon los parámetros S considerando al circuito como una red de tres puertos (Fig. 4.8). El puerto 1 representa la entrada de la señal de RF, el puerto 2 representa la entrada de voltaje de CD, mientras que el puerto 3 representa la salida de la red de polarización, donde existe tanto una señal de RF y una componente de CD.

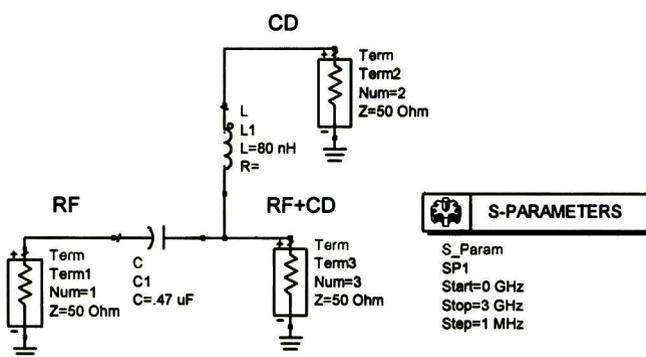


Fig. 4.8 Red de polarización implementada para el amplificador de potencia.

El propósito de los parámetros S es el de comprobar que la señal de CD (puerto 2) pase sin pérdidas al puerto 3, esto se puede ver en el parámetro 32 (Fig. 4.9 (a)) donde el ancho de banda para esta trayectoria es de 15 MHz, por otra parte se comprueba que la señal de RF (puerto 1) pase sin pérdidas al puerto 3, como se observa en el parámetro 31 (Fig. 4.9 (b)) donde se observa que la señal empieza a fluir hacia el puerto 3 a partir de los 49 MHz, por último en el parámetro 21 (Fig. 4.9 (c)) se observa que existe un buen aislamiento entre la trayectoria de la señal de RF y la trayectoria de la componente de DC.

4.6 Diseño de las redes de acoplamiento

Las redes de acoplamiento transforman las impedancias de entrada y de salida del transistor a la impedancia normalizada presente en la fuente y en la carga (50Ω). En el diseño de amplificadores de potencia es necesario determinar la impedancia de salida óptima que proporciona la máxima potencia de salida del transistor, esto se debe principalmente a que las redes permiten la máxima transferencia de potencia y reducen la relación de ondas estacionarias. Las redes de acoplamiento son pasivas y son construidas en microcinta o con elementos concentrados

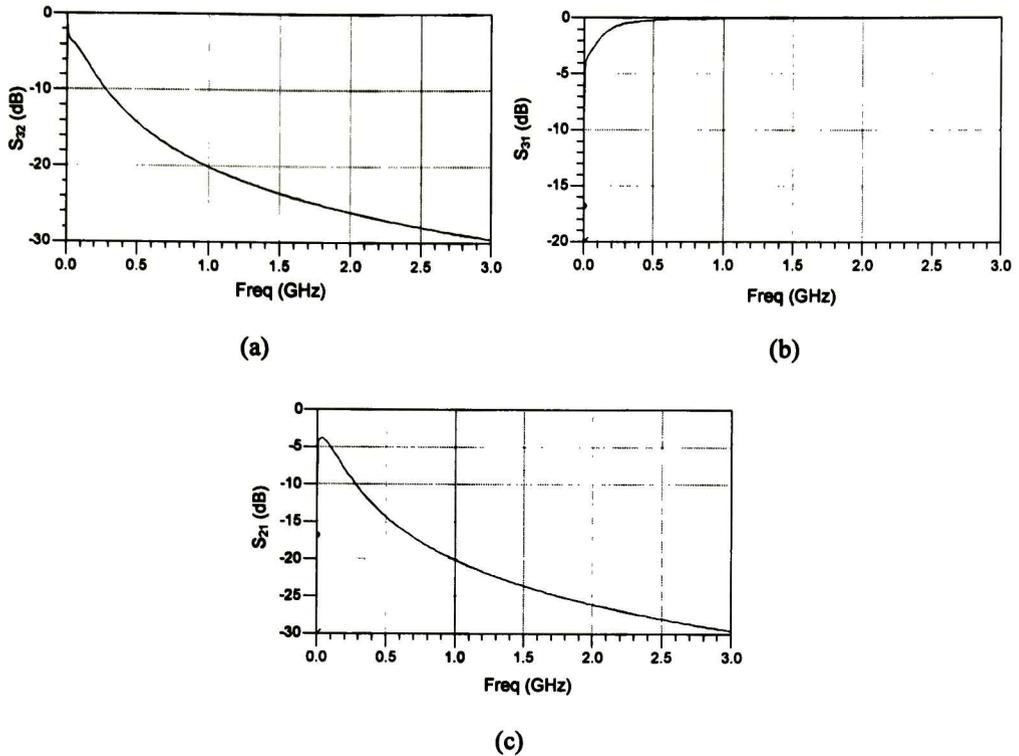


Fig. 4.9 Respuesta en frecuencia de la red de polarización, (a) ancho de banda de la trayectoria de CD, (b) Ancho de banda de la trayectoria de RF, (c) aislamiento de la señal de RF en la trayectoria de CD.

4.6.1 Diseño de la red de acoplamiento de entrada

La red de acoplamiento de entrada del amplificador es diseñada con el método de acoplamiento conjugado [22] debido a que permite una máxima transferencia de potencia de la fuente hacia la carga, siendo la carga la impedancia de entrada del transistor. La red se implementó en tecnología de microcinta con un “single-stub” [22], que es fácil de realizar y proporciona acoplamientos satisfactorios. Como se muestra en la Fig. 4.10, en la carta de Smith se estableció el valor se $S_{11}=\Gamma_{in}$, con el método de acoplamiento conjugado $\Gamma_s=\Gamma_{in}^*$ (Fig. 4.11).

En la teoría clásica, la red de acoplamiento, se trazan sobre la carta de Smith para determinar el valor de la longitud (L) y la distancia (D) (Fig. 4.12), el diseño se basa en stubs abiertos, por lo que los movimientos sobre carta de Smith serán hacia la carga. Los pasos para diseñar el Stub se describe a continuación:

- $\Gamma_s=\Gamma_{in}^*$ se traza el círculo de VSWR y se determina la admitancia y_s (Fig. 4.13).
- Se trazan dos rectas desde la resistencia normalizada de 50Ω hasta cada una de las dos intersecciones del círculo de VSWR y el círculo unitario (Fig. 4.14).

- Extrapolando las líneas a partir de los puntos $1 \pm jB$ hacia los límites de la carta de Smith se obtiene su valor en longitudes de onda (λ). A partir de este valor encontrado se calcula la diferencia en λ hasta el valor en λ de la admitancia para encontrar el valor de D (Fig.4.15).
- De la misma manera con los puntos $1 \pm jB$, se determina el valor de L por medio de sus admitancias (Fig. 4.16).

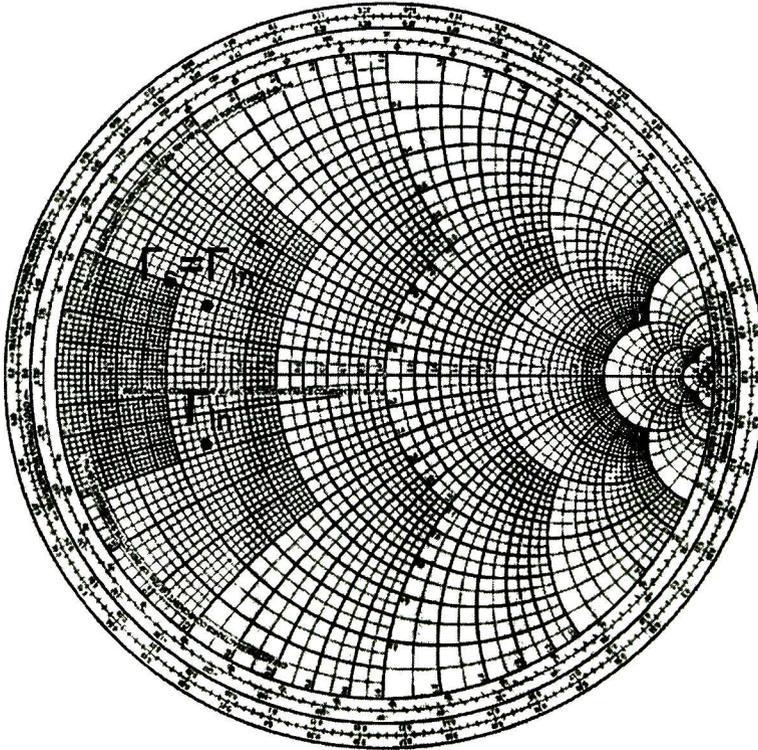


Fig. 4.10 Acoplamiento conjugado de la Red de entrada

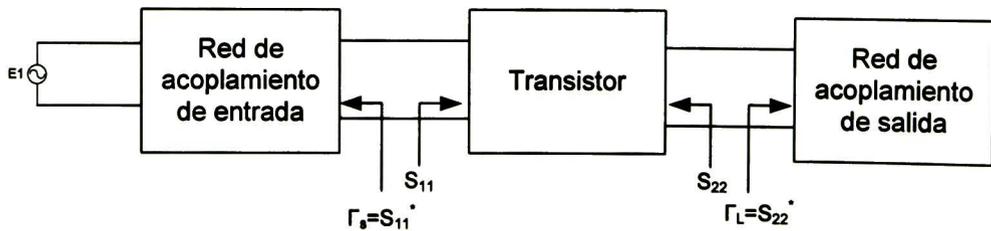


Fig. 4.11 S_{11} , Γ_s , S_{22} , Γ_L del amplificador de potencia.

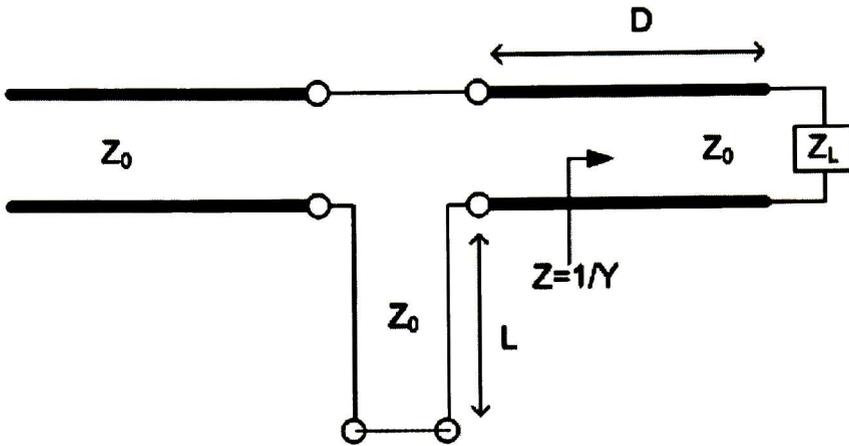


Figura 4.12 Circuito single Stub abierto.

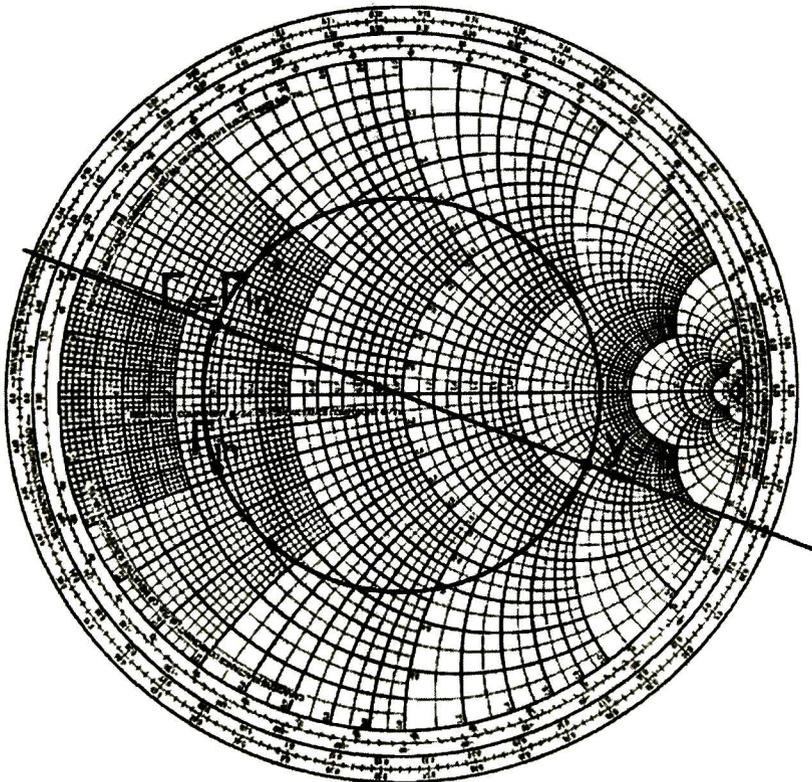


Figura 4.13 Determinación de la admitancia para la red de acoplamiento de entrada

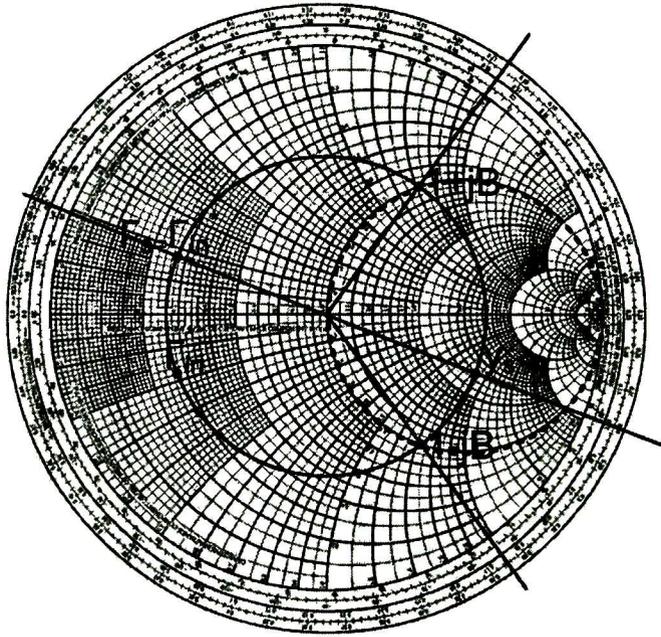


Fig. 4.14 Determinación de los puntos $1 \pm jB$ para la red de acoplamiento de entrada

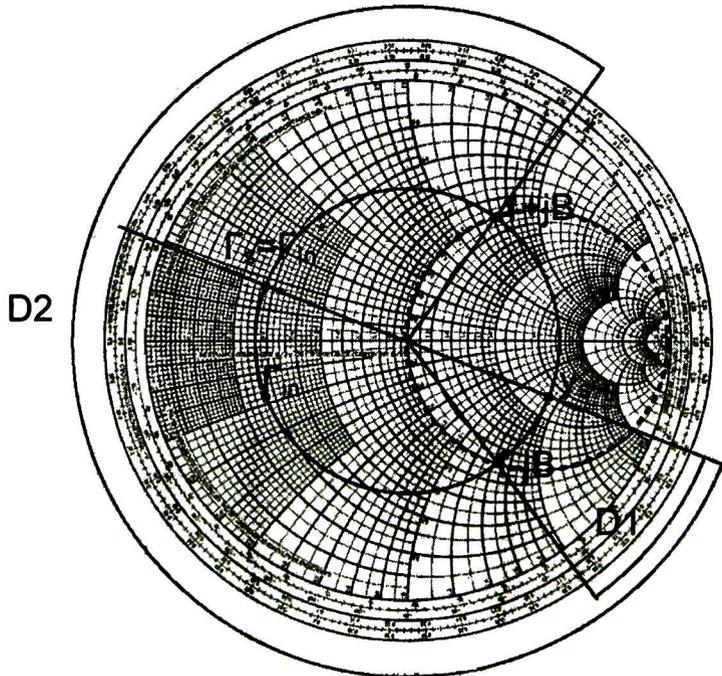


Fig. 4.15 Determinación de la distancia de los Stub para la red de acoplamiento de entrada

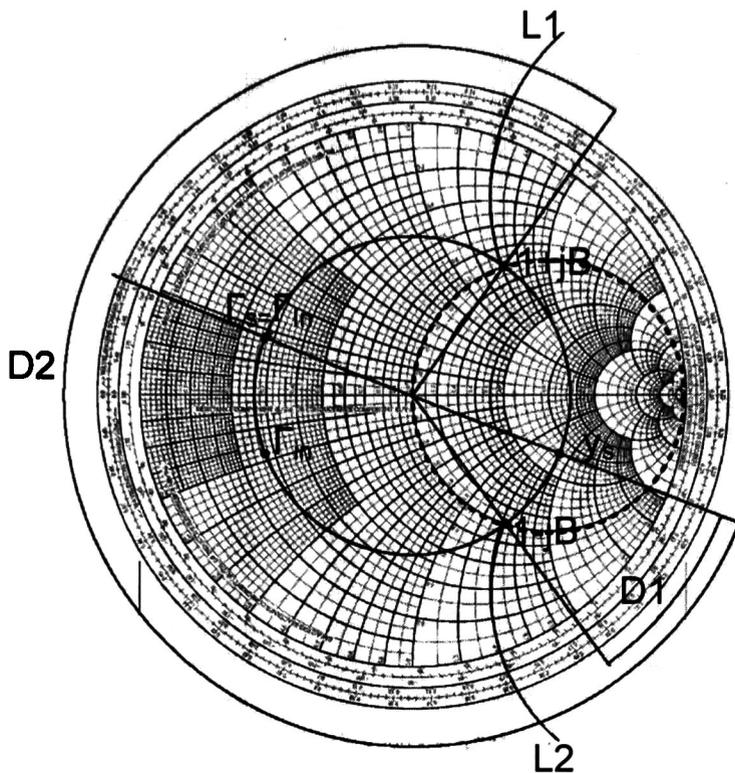


Fig. 4.16 Determinación de la longitud del Stub para la red de acoplamiento de entrada

Con los datos proporcionados en longitudes eléctricas, se calculan sus equivalente en grados eléctricos, esto con el fin de introducir estos datos en “LineCal”, el cual es una de las herramientas del simulador ADS para determinar el valor del ancho y la longitud de la líneas en microcinta a partir de una impedancia característica y una longitud en grados eléctricos, esto determinado por supuesto por las características del sustrato FR4 con una constante dieléctrica $\epsilon_r=4.25$ y un espesor $H=1.65$ mm y la frecuencia a la cual se esté trabajando. En la tabla 4.1 se muestran las distancias en λ y milímetros, mientras que en la Fig. 4.16 se muestra el amplificador de potencia con la red de entrada determinada.

Tabla 4.1 Valores determinados de las longitudes y las distancias obtenidas de las cartas de Smith.

Distancia			Longitud		
D_1	0.46λ	8.96 mm	L_1	0.152λ	29.72 mm

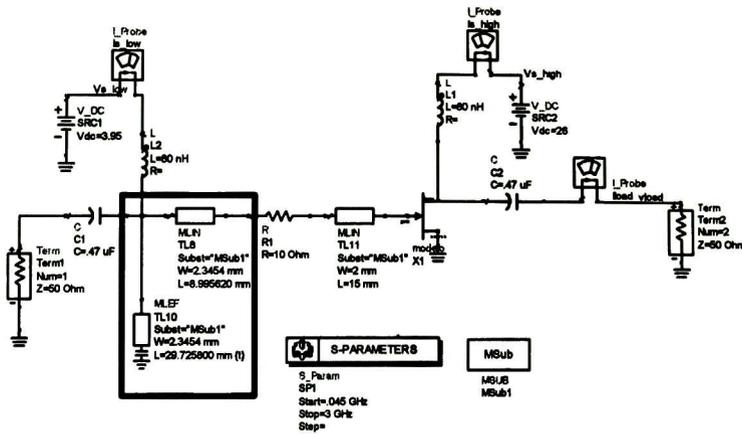


Fig. 4.17 Red de entrada del circuito amplificador de potencia.

Para verificar el acoplamiento de entrada del amplificador (S_{11}) se simuló el circuito de la Fig. 4.17 en el rango de frecuencia de 0.045-3 GHz. Los resultados del análisis en frecuencia se muestran en la Fig. 4.18, donde se observa que se tiene unas pérdidas por regreso de -22dB para la entrada a la frecuencia de 900 MHz, indicando que toda la energía es absorbida para el transistor.

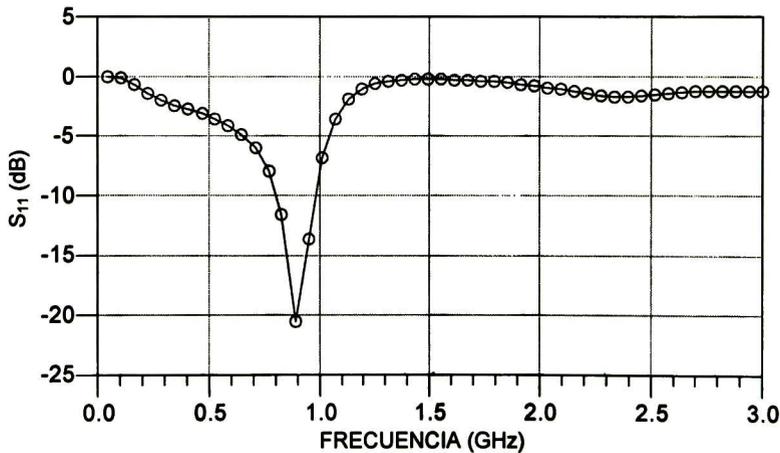


Fig. 4.18 Parámetro S11 del amplificador solamente con la red de entrada implementada.

4.6.2 Diseño de la red de acoplamiento de salida

Una vez determinada la red de acoplamiento de entrada, el siguiente paso es determinar la red de acoplamiento a la salida del amplificador. Para obtener la mayor cantidad de potencia a la salida, se utiliza la simulación “Load Pull”, la cual varía el coeficiente de reflexión de la carga presentada al amplificador para encontrar el valor de la carga óptima que permita la máxima potencia (Fig. 4.19). De esta forma la parte del amplificador diseñada hasta el momento, se simula, con la impedancia normalizada a 50 Ω para f_0 , $2f_0$, $3f_0$

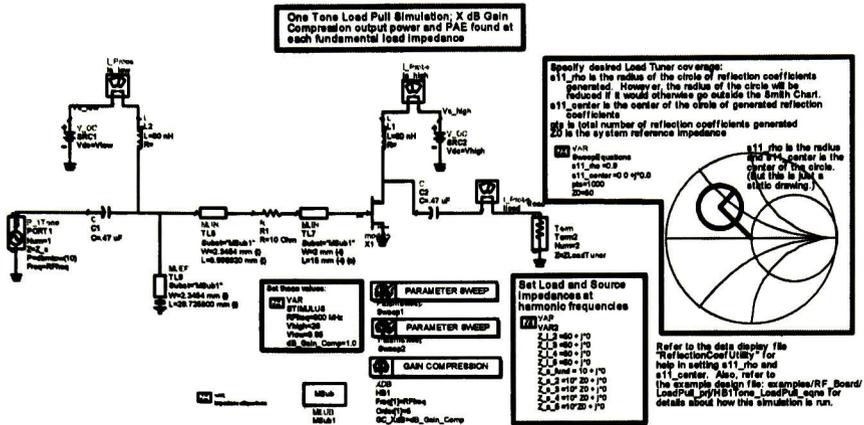


Fig. 4.19 implementación del Load Pull para determinar la impedancia de carga óptima.

La simulación load pull [23] obtiene los contornos de potencia de salida y eficiencia sobre la carta de Smith, de tal manera que el simulador permite elegir gráficamente un valor óptimo de impedancia para una potencia y PAE de salida determinado. La Fig. 4.20 muestra los resultados correspondientes a la simulación realizada en ADS, donde se muestran los contornos de PAE y de potencia de salida.

De estos contornos, se elige una impedancia óptima para obtener un PAE del 59.36% y una potencia de salida de 37.36 dBm. El valor de la impedancia de carga necesaria resulto de $18.47 + j20.842 \Omega$.

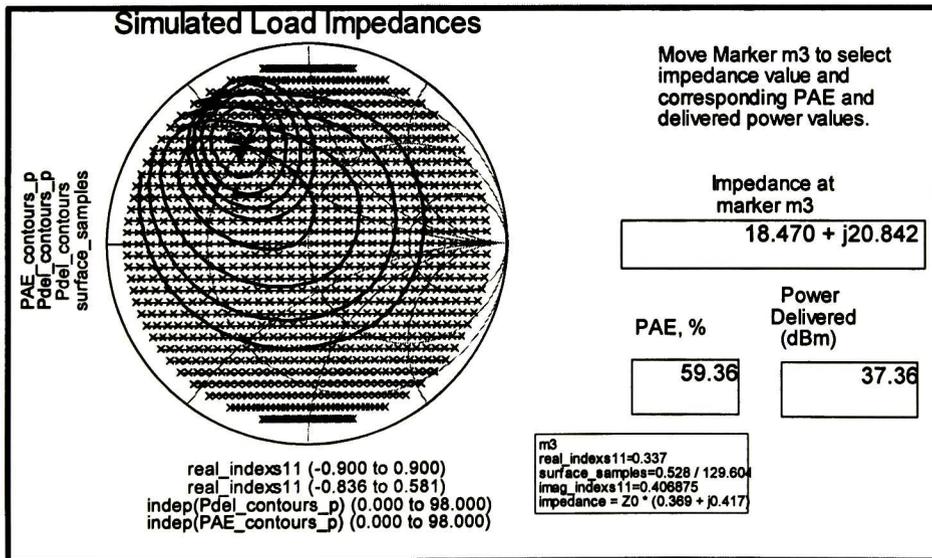


Fig. 4.20 contornos de la potencia de salida y PAE, impedancia óptima determinada por medio del load pull.

Con el valor de la impedancia óptima de la carga obtenida, se diseña la red de acoplamiento en microcinta por medio de la técnica de “single-stub”. Como se detalló en el diseño de las redes de entrada, la Fig. 4.21 muestra la carta de Smith con los trazos necesarios para determinar por medio del single stub el valor de D y de L que determinarían el tamaño de las microcintas del stub. La tabla 4.2 muestra los datos obtenidos para el acoplamiento de la salida.

Tabla 4.2 Valores determinados de las longitudes y las distancias obtenidas de las cartas de Smith.

Distancia			Longitud		
D_1	0.013λ	2.54 mm	L_1	0.143λ	27.96 mm

Una vez determinada las distancias y las longitudes, se calculan los grados eléctricos y las dimensiones de las microcintas son calculadas en LineCal [24]. La Fig. 4.22 muestra el amplificador con sus redes de acoplamiento. En esta nueva simulación se hizo un análisis en pequeña señal para comprobar el acoplamiento en la entrada y la salida del amplificador, así como la ganancia en pequeña señal

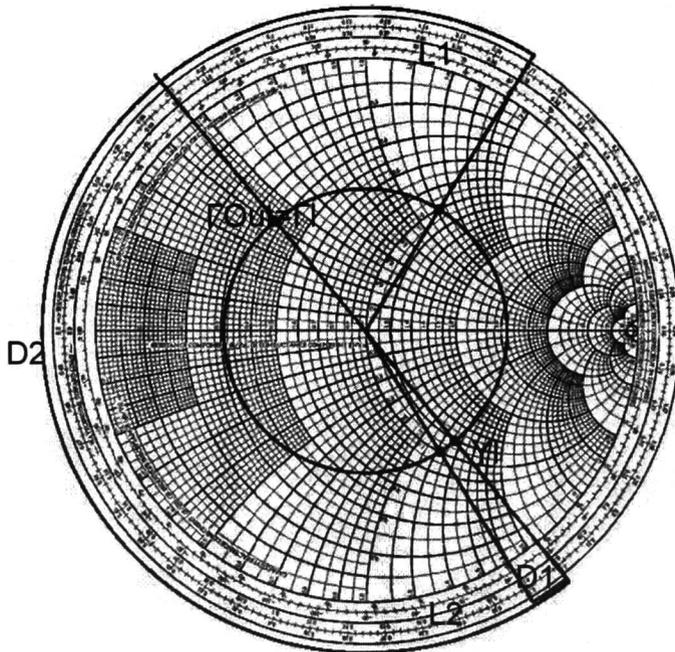


Fig. 4.21 Carta de Smith para calcular el valor de las distancias de los Stub y las longitudes de las líneas, para el acoplamiento de salida.

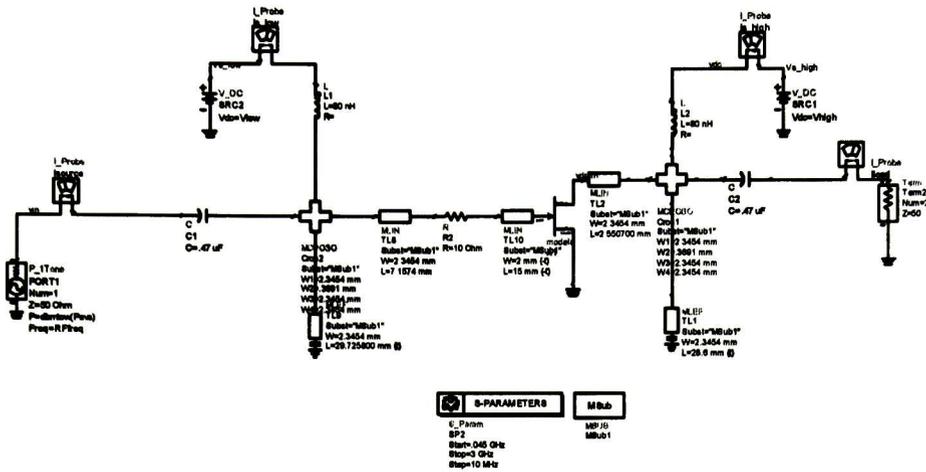


Fig. 4.22 Redes de acoplamiento en la entrada y la salida del amplificador de potencia.

En la Fig. 4.23 se muestran los resultados de la simulación, donde se observa que el acoplamiento a la entrada sigue siendo considerablemente bueno, mientras que el acoplamiento a la salida continua presentando un acoplamiento no adecuado para el amplificador de potencia.

Debido a los resultados obtenidos, se realizó una optimización de las líneas de microcinta del amplificador con el objetivo de mejorar la respuesta al parámetro S_{22} , al mismo tiempo se implementaron nuevas líneas de microcinta en las redes de polarización y en las transiciones entre las microcintas ya establecidas, esto con el fin de realizar un diseño con características realizables para llevar al amplificador a su construcción. La Fig. 4.24 muestra el *template* utilizado del amplificador final en el simulador ADS.

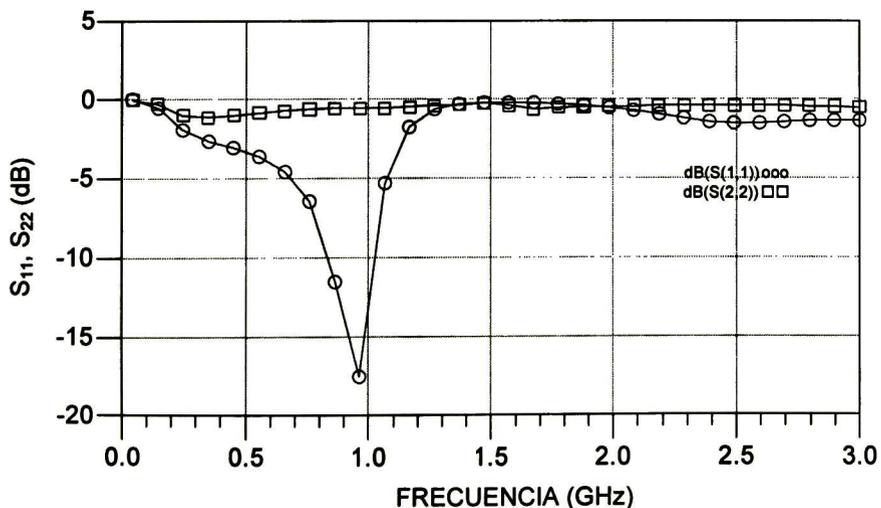


Fig. 4.23 Resultados obtenidos de la simulación del amplificador de potencia.

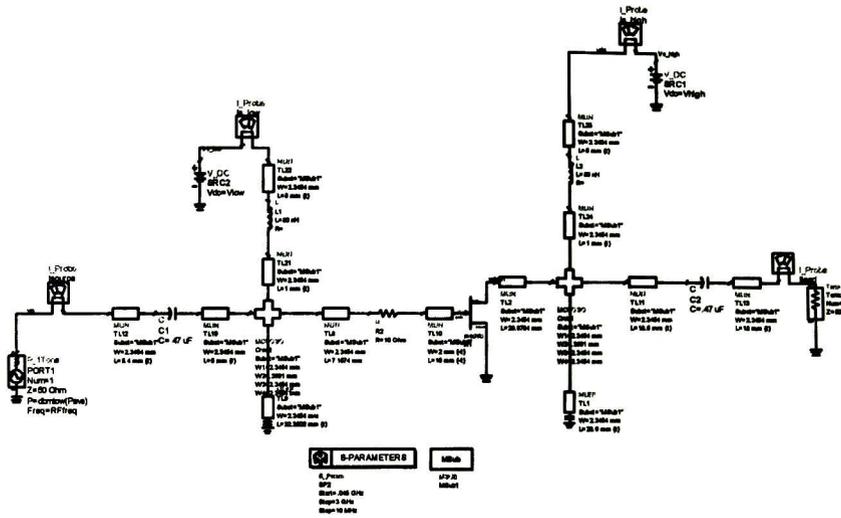


Fig. 4.24 Implementación final del amplificador de potencia clase AB.

Nuevamente se realizó un análisis en pequeña señal al circuito implementado en la Fig. 4.24 dando como resultado el valor representado en la graficas de la Fig. 4.25, donde se observa un mejoramiento en el acoplamiento, tanto para la entrada como para la salida del amplificador, así como también un aumento en el parámetro S_{21} y S_{12} , para la frecuencia de 900 MHz establecida.

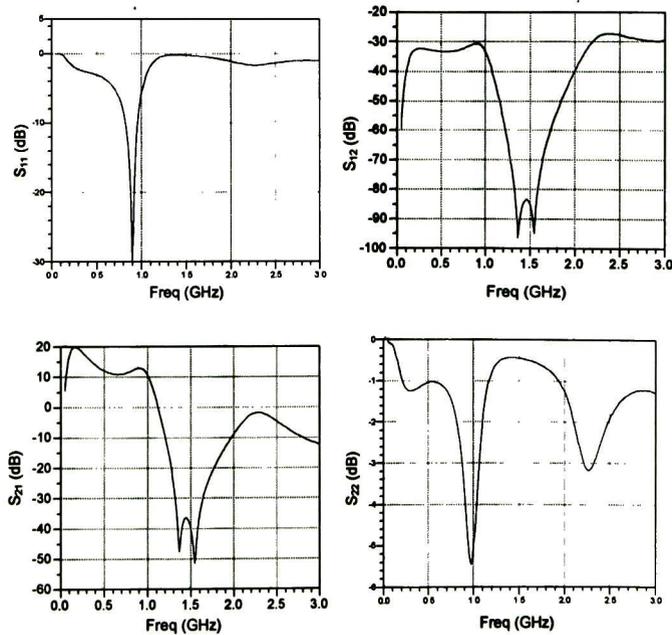


Fig. 4.25 Resultados obtenidos del análisis en frecuencia del amplificador de potencia clase AB.

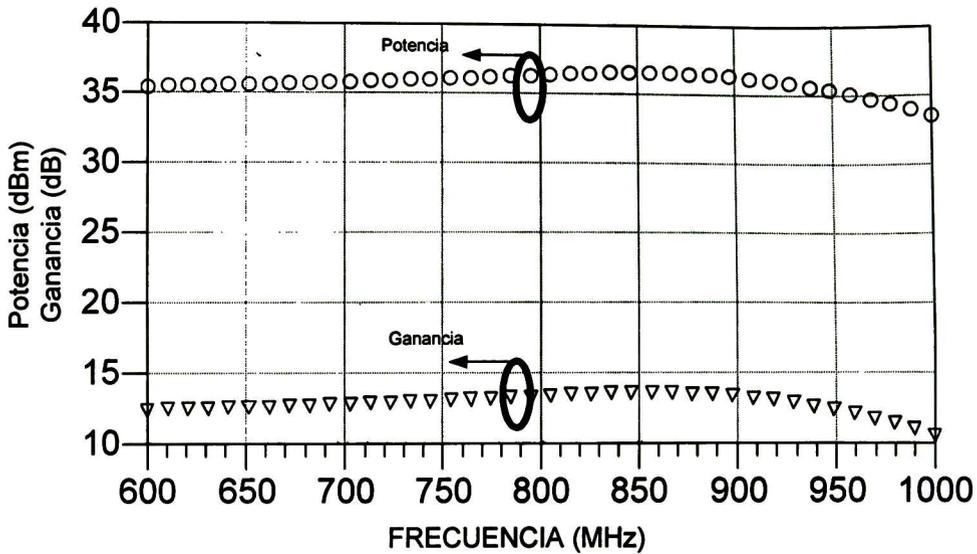


Fig.4.28 Grafica de la ganancia y la potencia de salida Vs. Frecuencia.

4.8 Análisis electromagnético

La implementación del amplificador de potencia parte de la simulación realizada en ADS donde por medio del análisis cuasi-estático, se encuentra el valor ideal para los tamaños de la microcintas, pero debido a las naturaleza del material es muy difícil de obtener resultados ideales, por tal motivo es necesario realizar un análisis electromagnético que permita obtener resultados más próximos al comportamiento real de las microcintas diseñadas en el amplificador. La simulación electromagnética en ADS es conocido como “*Momentum*” [25] debido a que usa el método de momentos y dentro de su análisis, permite optimizar a las líneas de microcintas, modificando sus tamaños, hasta obtener un resultado muy próximo al del análisis cuasi-estático. El amplificador se implementa en un sustrato FR4 con una constante dieléctrica (ϵ_r) de 4.2 y un espesor de 1.65 mm, la Fig. 4.29 muestra la comparación de resultados del análisis cuasi-estático y el análisis electromagnético. Donde a pesar del comportamiento de ambos análisis es parecido, el resultado obtenido no es el adecuado.

Debido a que la correspondencia de los datos no es muy precisa, se realiza una optimización a la frecuencia de 900 MHz a las líneas de microcinta [apéndice C], esto con el fin de modificar los resultados del análisis electromagnético y aproximarlo a los resultados proporcionados por el análisis cuasi-estático. La Fig. 4.30 muestra la comparación entre el análisis cuasi-estático, el momentum, y el momentum con las líneas optimizadas, donde el resultado de la optimización de las líneas por medio de análisis electromagnético presenta una mejor correspondencia entre la simulación cuasi-estática y el análisis electromagnético

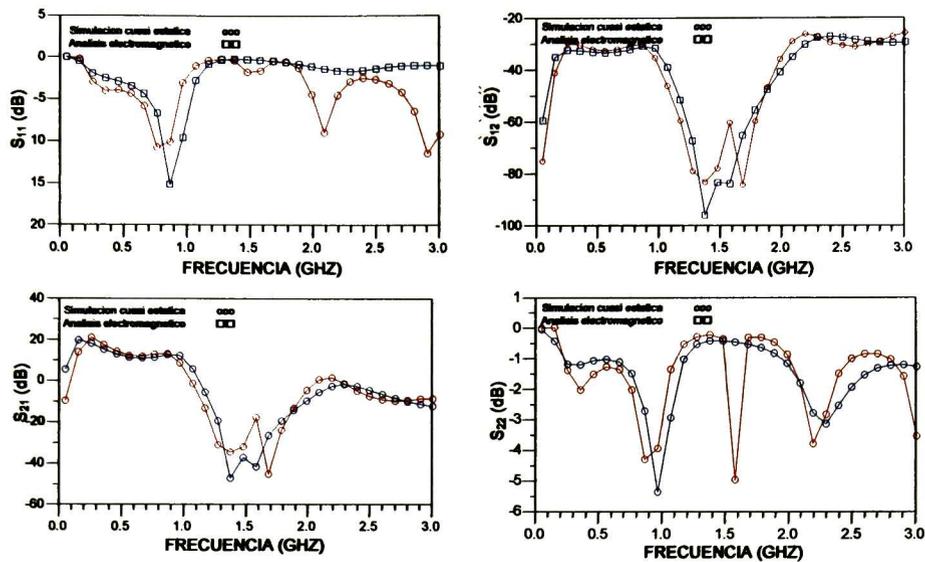


Fig. 4.29 Graficas de comparación entre los datos obtenidos en la simulación y los datos obtenidos del momentum.

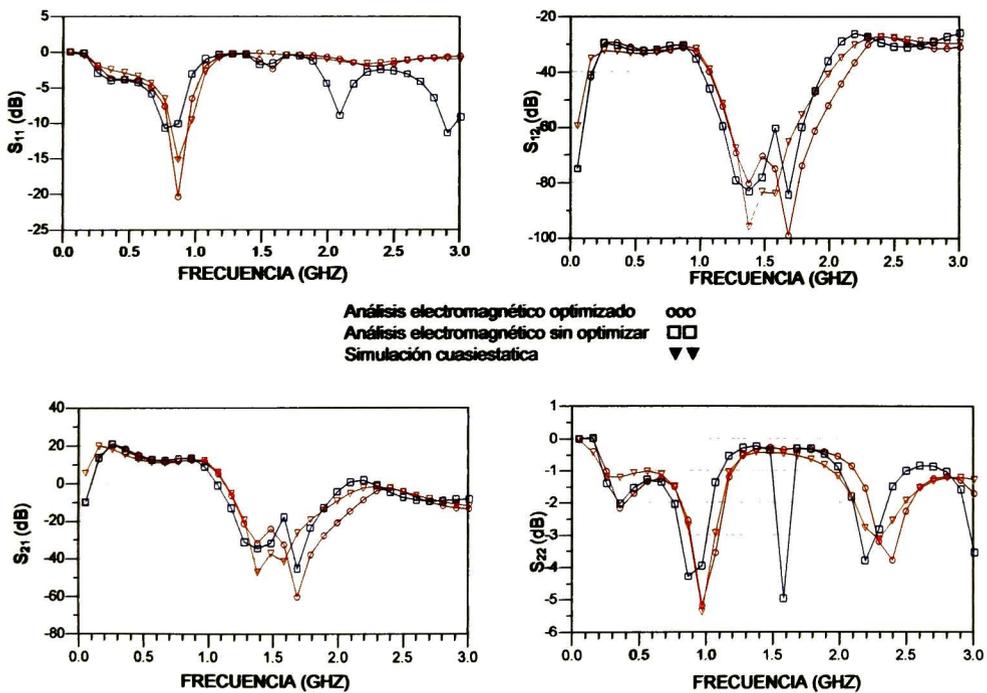


Figura 4.30 Comparación entre los datos obtenidos en la simulación y los datos obtenidos del momentum sin optimización.

PAGINA INTENCIONALMENTE EN BLANCO.

Capítulo 5

Se describe el proceso de implementación del amplificador de potencia diseñado en el capítulo 4. La fabricación del PCB se realiza en base a las dimensiones de las líneas de microcinta obtenidos por medio de la optimización en el análisis electromagnético. El substrato utilizado es FR4 con una constante dieléctrica $\epsilon_r=4.2$ y un espesor de 1.65 mm. El PCB FR4 que contiene las redes de acoplamiento de entrada y salida es construido por medio de procesos fotolitográficos y es montado en una base experimental de aluminio, con características similares a la que se utilizó para caracterizar el transistor, sobre esta base se miden los parámetros S por medio del VNA y se determina la potencia máxima del transistor en una medición a un sólo tono, obteniéndose una potencia de salida de 36.6 dBm.

5.1 Fabricación del amplificador de potencia, su caracterización y validación del diseño.

Con las dimensiones de las líneas de microcinta obtenidas en la simulación electromagnética se implementa el diseño del circuito en una placa de PCB FR4 por medio de procesos fotolitográficos. La placa de PCB es colocada en una base de pruebas experimental hecha de aluminio, que tiene características de construcción similares a la de la base de pruebas utilizada para la caracterización del transistor. La Fig. 5.1 muestra el diseño del amplificador de potencia implementado, mientras que la Fig.5.2 muestra un esquema detallado de la base de pruebas del amplificador.



Fig. 5.1 amplificador de potencia clase AB implementado.

La Fig. 5.3 muestra los parámetros S medidos y simulados del amplificador de potencia donde se muestra una buena correspondencia entre los datos medidos y simulados a 900 MHz, que es la frecuencia en la que se centra el diseño del amplificador.

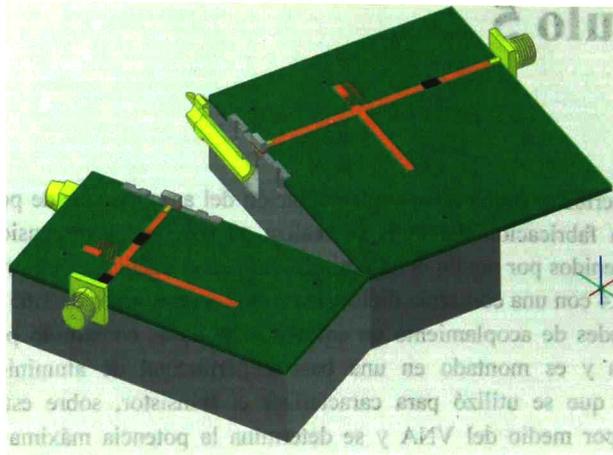


Fig.5.2 Vista interior de la base de aluminio utilizada en el amplificador de potencia

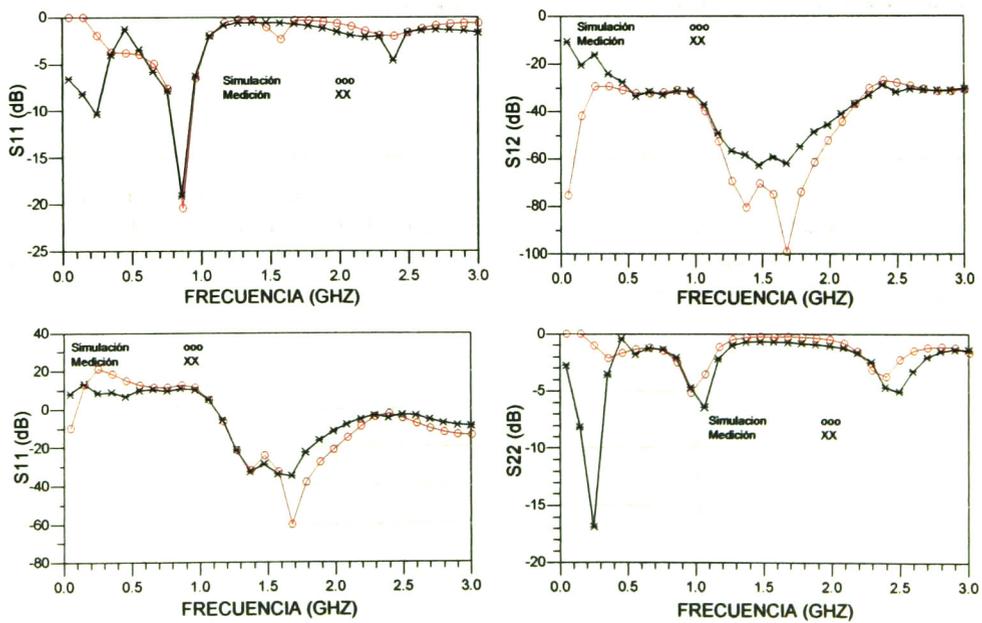


Fig. 5.3 parámetros S medidos del amplificador de potencia contra simulados.

La potencia de salida del amplificador se caracteriza por medio de la medición a un sólo tono, utilizando el esquema de medición de la Fig. 3.25, solo que en esta ocasión el dispositivo bajo pruebas es el amplificador de potencia.

La Fig. 5.4 muestra el primer, segundo y tercer armónico medidos y simulados donde se puede observar una buena correspondencia entre ambos datos.

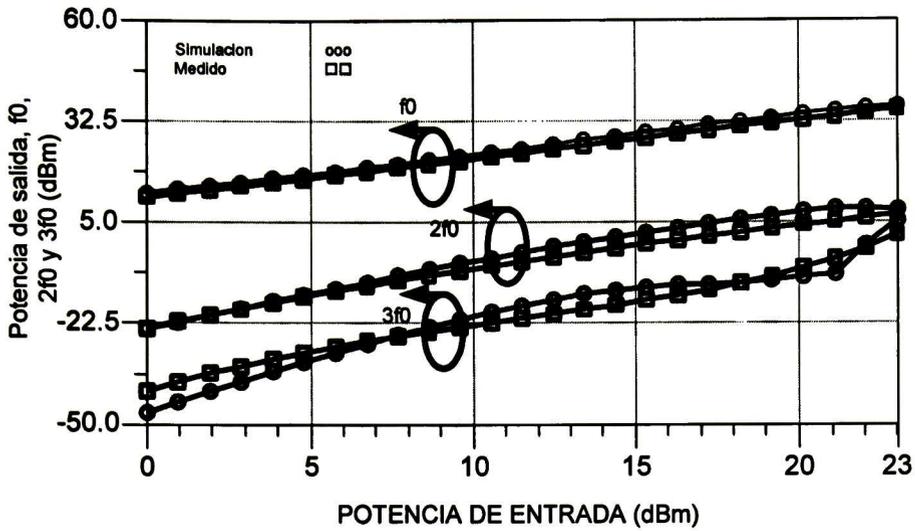


Fig. 5.4 caracterización del amplificador de potencia clase AB.

La Fig. 5.5 muestra la potencia de salida, la ganancia y el PAE de los parámetros medidos y simulados, en la que se muestra una alta correlación entre ellos. Los parámetros medidos muestran una potencia de salida igual a 36.6 dBm, una ganancia de 13.3 dB y un PAE de 57.11 %. En la Fig. 5.6 mientras que el punto de intercepción de tercer orden es de $IP_3 = 35$ dBm. Por último en la Fig. 5.7 se muestra la forma de onda de la corriente y el voltaje del drenador respecto al tiempo.

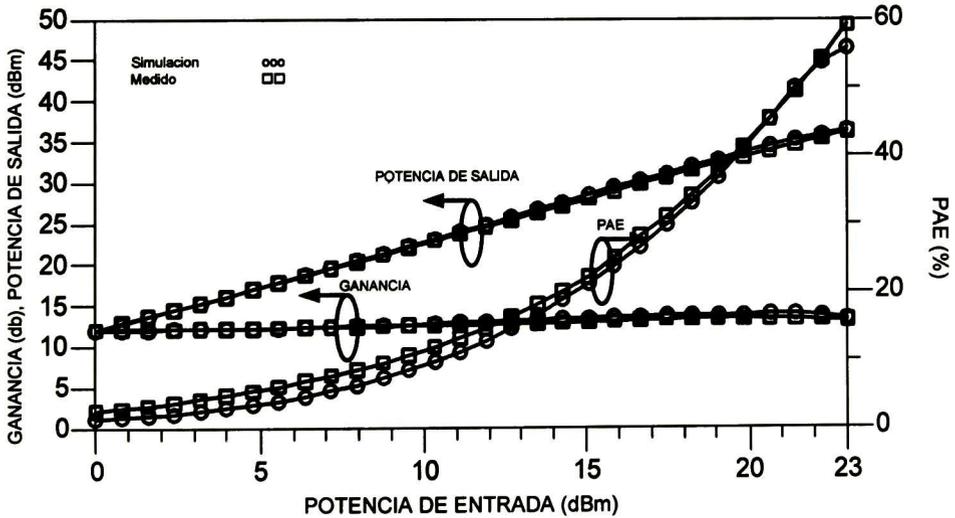


Fig. 5.5 Parámetros de potencia de salida, PAE y Ganancia medidos contra los parámetros simulados en ADS

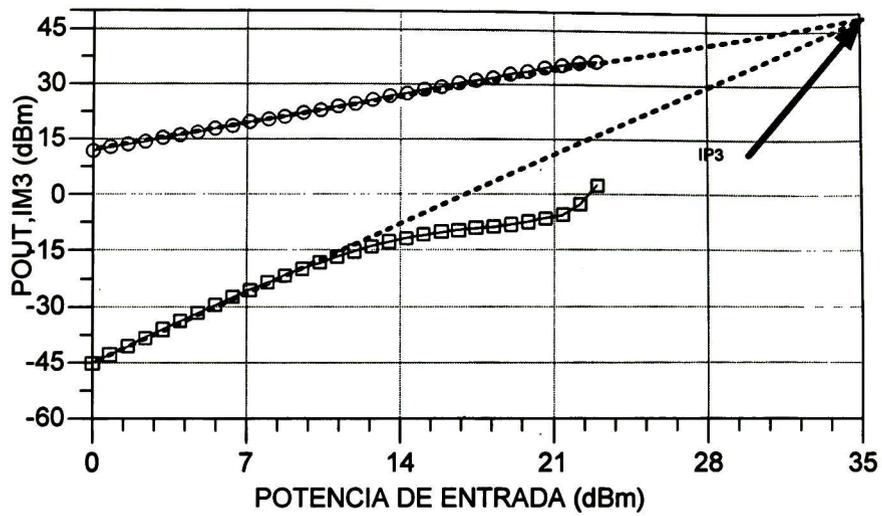


Fig. 5.6 Potencia de salida a un tono y el tercer armónico.

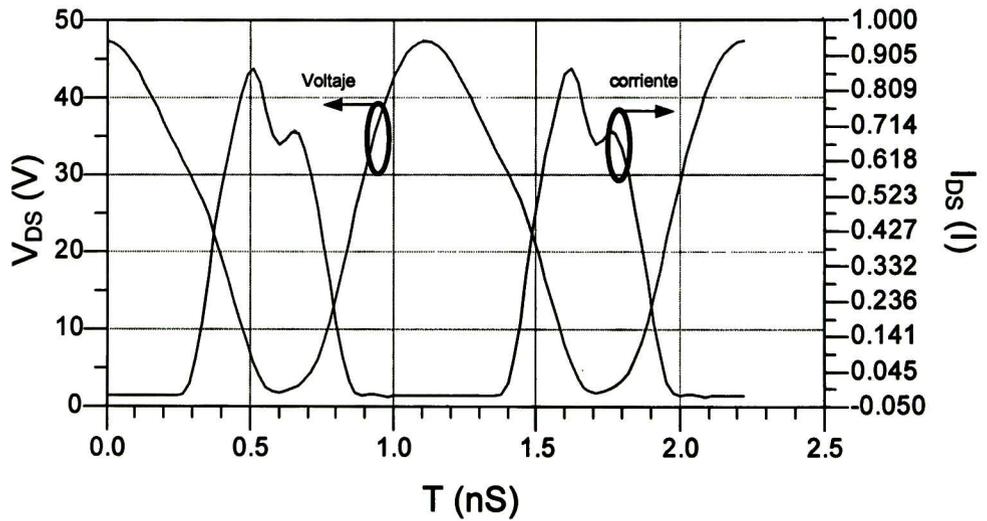


Fig. 5.7 Voltaje y corriente del drenador del amplificador de potencia clase AB

Capítulo 6

6.1 Conclusiones

En esta tesis se utilizó un transistor LDMOS como dispositivo activo para el diseño de un amplificador de potencia clase AB en el rango de frecuencias de 900 MHz para aplicaciones en el área de RFID. Debido a la carencia de información sobre el modelo del transistor, fue necesario obtener el modelo del transistor en base a un circuito eléctrico equivalente aplicando las teorías clásicas para determinar matemáticamente el valor de los componentes intrínsecos y extrínsecos del transistor. El modelo de corriente no lineal se desarrolló en base al modelo de Angelov. Las mediciones realizadas en el Centro de Investigación Científica y de Educación Superior de Ensenada (CICESE) permitieron obtener la información necesaria para desarrollar los modelos en pequeña y gran señal para validar los datos simulados, utilizando el programa de simulación Advanced Design System (ADS). La buena correspondencia entre los datos medidos y simulados permitió diseñar de una manera más exacta el amplificador clase AB dentro del simulador. Las redes de acoplamiento obtenidas permitieron obtener el valor máximo de potencia de salida permitida por el transistor, y máximo valor de PAE con un ancho de banda suficiente para permitir un esquema de modulación RFID. Se usó un análisis electromagnético de las redes de acoplamiento de entrada y de salida para optimizar dichas redes para un mejor desempeño del amplificador de potencia clase AB.

En resumen en este trabajo:

- Se desarrolló un modelo no lineal para el transistor LDMOS MRF281 de Freescale®. Donde se utilizaron las técnicas clásicas de modelado que se utilizan en los semiconductores III-V.
- Se validó el modelo del transistor construyendo un amplificador de potencia clase AB en la banda de frecuencias de 900 MHz.
- Los resultados teóricos y experimentales muestran que el amplificador de potencia presenta un potencia de salida de 36.6 dBm y un PAE de 57.11 % con una potencia de entrada de 23 dBm.

6.2 Trabajo futuro

Como trabajo a futuro se tienen consideran los siguientes puntos:

- En base a la metodología de diseño desarrollada, rediseñar el amplificador de potencia para su fabricación en un sustrato de mayor calidad.
- diseñar la etapa pre-amplificadora que proporcione la potencia necesaria para que el amplificador de potencia funcione de manera adecuada.
- Realizar una medición a dos tonos para conocer los efectos de intermodulación y los efectos de memoria.
- Introducir un esquema de modulación (ASK) y determinar el funcionamiento ante la presencia de la señal modulada.
- Obtener el modelo no lineal de capacitancias intrínsecas respecto a V_{GS} y V_{DS} para tener un modelo del transistor más completo y desarrollar el diseño del amplificador de una manera más fiable.
- Realizar el diseño del amplificador clase AB en el rango de frecuencias de 3.5 GHz para aplicaciones en WiMAX usando transistores LDMOS, o transistores MOS Verticales de Silicio.

APENDICE A

A.1 Identificación por radiofrecuencia

Hoy en día el uso de las técnicas de identificación automática (Auto- ID) se ha incrementado, debido a la demanda que existe en el mercado actual por tratar de reconocer un objeto automáticamente, lo cual permite detectar u organizar distintos objetos de una misma categoría de una manera rápida y eficiente. Actualmente, la técnica de identificación de objetos más usada en el mercado es la lectura por código de barras, el cual es una impresión de un código que es descifrado por una máquina, en donde se usa un transductor óptico para extraer un número identificable, esta información es descifrada por medio de un código del producto universal (UPC), solo cuando el objeto es colocado en una sola posición permite leer el dato. Otro tipo de reconocimiento actual es el llamado reconocimiento óptico del carácter (OCR), que es utilizado para obtener información de un archivo de texto, incrementando los costos de procesamiento de datos para descifrar los caracteres. Sin embargo, estos métodos presentan deficiencias, debido a que requieren una línea de vista y la suciedad de partículas de polvo opacan la lectura de los datos. El daño físico de las etiquetas que contienen los códigos, degrada la lectura o extracción de los datos. Por lo que la solución a las deficiencias de la identificación por medio ópticos, es la identificación de un objeto por radiofrecuencia.

La identificación por radio frecuencia (RFID) es un sistema de almacenamiento y lectura de datos remotos por medio de un conjunto de etiquetas electrónicas (“transponders” o Tags) y un lector de las mismas, que operan a frecuencias en la banda UHF , haciendo uso de las radio comunicaciones para identificar un objeto físico.

A.2 Arquitectura de los sistemas de RF.

Un sistema de RFID está formado por un lector, una tarjeta electrónica que funciona como transpondedor (“transponder”) y un conjunto de antenas. Las últimas generaciones, cuentan con un circuito integrado que contiene la identificación y la lógica necesaria para soportar los protocolos de comunicación entre el lector y las tarjetas electrónicas. El lector se conecta a una computadora por medio de una interfase adecuada, la computadora se utiliza para el control de lectura, el procesamiento de la información y el despliegue de los datos.

Por lo tanto, un sistema RFID consta de los siguientes tres componentes:

- **Etiqueta RFID o transpondedor:** compuesto por una antena y un circuito integrado analógico-digital. El propósito de la antena es permitir al chip, transmitir la información de identificación de la tarjeta. El chip posee una memoria interna con una capacidad que depende del modo de operación.

- **Lector de RFID o transreceptor:** compuesto por una antena, un transreceptor y un decodificador. El lector envía periódicamente señales para verificar la existencia de alguna etiqueta en sus inmediaciones. Cuando capta una señal, extrae la información y se la pasa al subsistema de procesamiento de datos.
- **Sistemas de procesamiento de datos:** proporciona los medios de proceso y almacenamiento de datos.

A.3 Descripción General de los sistemas de RFID

En los sistemas RFID el lector transmite información modulando una señal de RF en el rango de frecuencias de 860-960 MHz (Fig. A.1). La modulación utilizada por el lector es la de desplazamiento de amplitud (ASK, *Amplitude Shift Keying*), modificando la potencia de la señal portadora para representar el 1 ó 0 binario (Fig. A2). En este esquema de modulación tanto la frecuencia como la fase permanecen constantes mientras la amplitud cambia, la amplitud pico de la señal durante cada duración del bit es constante y su valor depende del bit (1 ó 0). La velocidad de transmisión usando ASK está limitada por las características físicas del medio de transmisión [40].

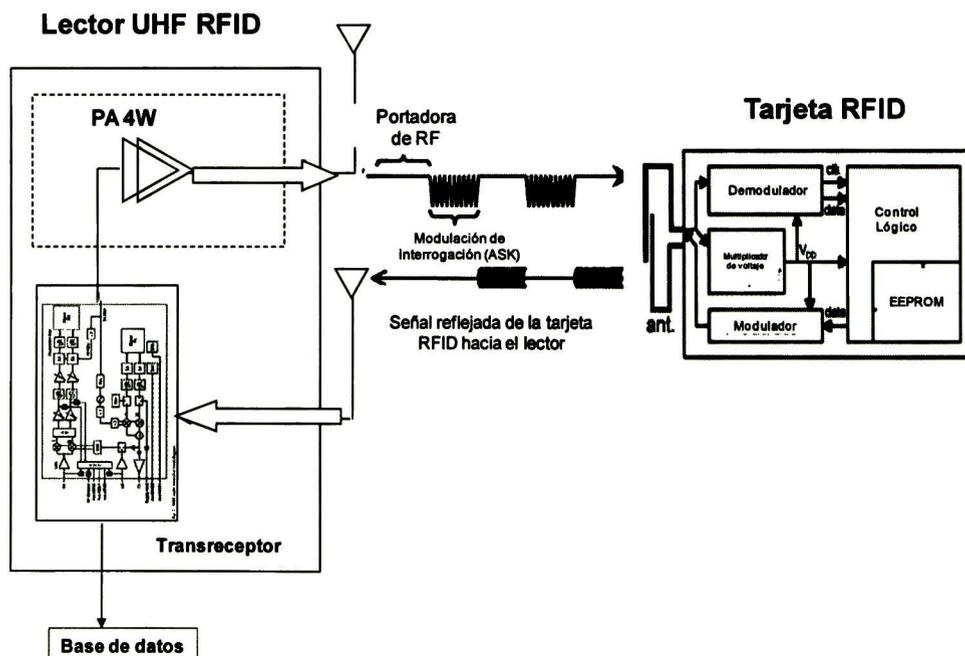


Fig. A1 Vista general del sistema RFID

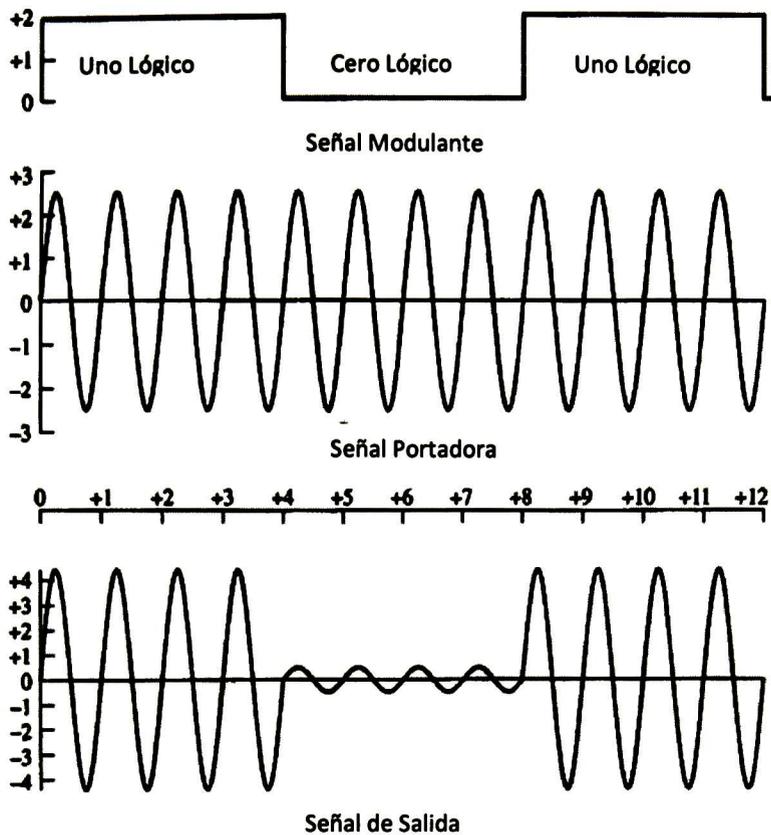


Fig. A2 Esquema de modulación por desplazamiento de amplitud (ASK)

El lector inicia enviando una señal portadora sin modular que se encarga de proporcionar la energía que necesitan las tarjetas para su funcionamiento, una vez encendidas las tarjetas, el lector inicia la comunicación modulando su portadora. Después que el lector envía sus comandos, detiene su modulación y nuevamente envía una señal de RF de onda continua [41]. Por otra parte, cuando la tarjeta recibe la señal de onda continua, la rectifica y utiliza circuitos multiplicadores de voltaje en cascada para convertir el voltaje recibido extremadamente bajo a un voltaje que sea suficiente para que la circuitería CMOS funcionen. Posteriormente cuando las tarjetas reciben la señal modulada, toman la información contenida en el comando enviado por el lector y la demodulan, por medio un sistema de carga rápida, un detector de picos y un comparador, el sistema de carga rápida detecta la envolvente de la modulación ASK y es procesada por el detector de picos formado por un diodo y un capacitor para obtener un movimiento promedio más lento de la señal y pueda ser comparado para producir una señal demodulada en forma digital. La circuitería de control toma el comando obtenido de la demodulación y procesa la información requerida por el lector, la tarjeta responde a la petición del lector, en base a la información contenida en una memoria EEPROM, la información es modulada.

El modulador modifica la capacitancia de un varactor que se encuentra conectado a la antena, en base a la señal digital presente en su entrada. Con la variación de la capacitancia, la impedancia característica de la antena cambia en función de la señal modulada. El lector por su parte se encuentra esperando la respuesta proporcionada por la tarjeta, de esta forma cuando detecta variaciones de impedancia por parte de la tarjeta, el lector interpreta la señal reflejada y la demodula, obteniendo así la información requerida. Esta información obtenida por el lector es almacenada en una base de datos para su procesamiento. El papel que juega el amplificador de potencia dentro del lector de RFID consiste en una etapa independiente del transreceptor que proporciona la potencia necesaria para que la señal proveniente de los preamplificadores del módulo transreceptor sea transmitido con una potencia de 4 W (de acuerdo a las norma establecida en Norte America) y permitir que las tarjetas puedan ser identificadas en un amplio rango de lectura.

A.4 Regulación de frecuencias

No hay ninguna corporación pública global que gobierne las frecuencias usadas para la RFID. Por lo tanto cada país cuenta con sus propias reglas.

Las principales corporaciones que gobiernan la asignación de las frecuencias usadas para la RFID son:

- EE.UU: FCC (Federal Communications Commission).
- Canadá: DOC (Departamento de la comunicación).
- Europa: ERO, CEPT, ETSI y administraciones nacionales.
- Japón: MPHPT (Ministry of public Management, Home Affairs, Post and Telecommunications).
- China: Ministerio de la Industria y de Información.
- Australia: Autoridad Australiana de la Comunicación.
- Nueva Zelanda: Ministerio de desarrollo económico de Nueva Zelanda.
- Argentina: CNC (Comisión Nacional de Comunicaciones).
- Chile: Ministerio de transportes y Telecomunicaciones.
- México: COFETEL(Comisión Federal de Telecomunicaciones)

Los TAG de RFID de baja frecuencia (869-960 MHz) y de alta frecuencia (2.3 GHz) se pueden usar de forma global sin necesidad de una licencia, ya que no hay un único estándar.

A.5 Especificaciones del transmisor RFID

En Norte América, la banda de UHF es gobernada por la FCC, en el apartado 15 sección 247 se establecen las normas para la transmisión en esta frecuencia, donde el ancho de banda es de 500 KHz con una potencia radiada isotrópica efectiva (EIRP) de 4W. En Europa, la regla ETSI EN 302 208-1 proporciona un ancho de banda de 200 KHz y una potencia radiada efectiva de 2W. Para aplicaciones de corta distancias, la potencia de salida debe de ser reducida en gran medida, lo que relaja el rendimiento de linealidad en la recepción de datos[26].

APENDICE B

B.1 TRANSISTOR MOSFET DE DIFUSION LATERAL (LDMOS)

Hasta mediados de los 90's las aplicaciones para la amplificación de potencia en RF eran basados en tecnologías como transistores bipolares o MESFET's de Arseniuro de Galio. La introducción del LDMOS (*en sus siglas en inglés Lateral Doble-Difusé MOS transistor*) a finales de los 90's alteró drásticamente el mercado de los dispositivos semiconductores utilizados en los amplificadores de RF. Con el paso de los años los transistores LDMOS ha remplazado tecnologías como los transistores bipolares y actualmente se encuentra en una batalla por reemplazar a los transistores HEMT's y MESFET de Arseniuro de Galio. El mejoramiento en su eficiencia y linealidad, hace aun más atractivo es uso de la tecnología LDMOS.

Básicamente un transistor LDMOS consiste en la asociación en paralelo de múltiples transistores MOS de canal n de dimensiones sub micrométricas obtenidos por un proceso de doble difusión, que permite aumentar la transconductancia, la capacidad de corriente del dispositivo y el voltaje de drenador.

B.2 Estructura del LDMOS.

La estructura de un LDMOS se muestra en la Fig. B.1 donde se indican las terminales y las regiones del transistor [27]. Aunque las terminales en la superficie son coplanares. Típicamente se conecta la terminal de fuente al sustrato P^+ usando una difusión P^+ . Esta difusión asegura una buena conexión entre la terminal de fuente y el sustrato. Esto permite al LDMOS tener aplicaciones de RF, ya que el bajo valor de las resistencias e inductancias en la terminal de fuente, le permite tener altas ganancias, aun para rangos de frecuencias altos.

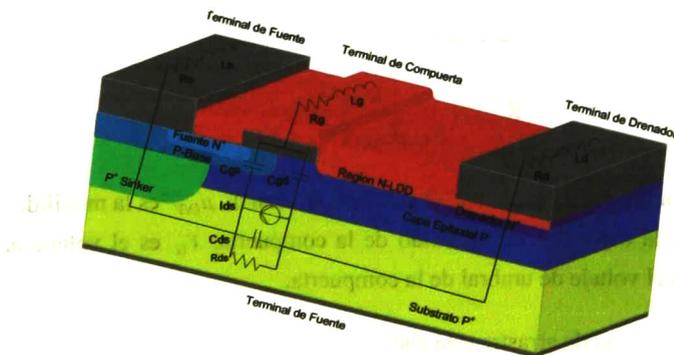


Fig. B.1 Estructura física y circuito eléctrico equivalente de una celda del transistor LDMOS.

El dispositivo es fabricado creciendo una capa epitaxial tipo P sobre un sustrato fuertemente dopado P⁺, el canal es formado por la diferencia en la extensión lateral entre las capas P-base y N⁺ en la región de la fuente, ambas regiones se alinean hacia el lado izquierdo de la región de compuerta durante la implantación iónica para introducir los dopantes correspondientes.

Para permitir la aplicación de altos voltajes de drenador, el transistor cuenta con una región ligeramente dopada (LDD), entre la región de drenador y compuerta. La carga en la región LDD, su longitud en la superficie entre la terminal de compuerta y la terminal de drenador deben de ser optimizado para maximizar el voltaje de ruptura. Por otra parte, la región P⁺ que conecta a la terminal de fuente al plano de tierra minimiza la resistencia de fuente.

La concentración del dopamiento y la longitud de la región LDD se diseñan de tal forma que el voltaje de ruptura alcance voltajes relativamente altos. Se ha encontrado que una densidad de carga de $1 \times 10^{12} \text{ cm}^{-2}$ es óptima para obtener un voltaje de ruptura del orden de 100V. Cuando la carga es más baja, se crea un alto campo eléctrico sobre la región LDD en el lado del drenador, reduciendo el voltaje de ruptura. En contraste si la carga en la región LDD es más alta, se crea un campo eléctrico elevado en la región LDD de lado de la compuerta, disminuyendo el voltaje de ruptura. Para obtener un voltaje de ruptura de alrededor de 75-80 V, la longitud LDD entre la terminal de drenador y compuerta, debe tener al menos, 5 μm . El voltaje de ruptura es limitado por el máximo voltaje que se puede soportar en la región N⁺. Este voltaje de ruptura es determinado por el espesor y la concentración del dopamiento en la capa epitaxial tipo P.

El flujo de corriente en el transistor LDMOS se controla mediante la aplicación de un voltaje positivo en la terminal de compuerta. Esto produce una capa de inversión en la superficie de la región P-base bajo el electrodo de la compuerta. Esta capa de inversión crea una trayectoria que permite el flujo los electrones de la terminal de fuente al drenador cuando se aplica un voltaje positivo entre estas dos terminales.

En la estructura del LDMOS, la corriente de drenador fluye, desde la terminal del drenador hasta la region de la fuente, ahí la corriente es re-direccionada por medio de la región P⁺ hacia el sustrato. Debido a esto la resistencia de encendido es determinada no solo por la resistencia del canal y la región de arrastre, sino también por la resistencia del sustrato tipo P.

$$R_{on} = R_{CH} + R_D + R_{SUB} \quad (B.1)$$

En esta ecuación, la región de canal está dada por:

$$R_{CH} = \frac{L_{CH} W_P}{\mu_{INV} C_{OX} (V_G - V_T)} \quad (B.2)$$

donde L_{CH} es la longitud del canal, w_p es el ancho del canal, μ_{INV} es la movilidad del canal de inversión, C_{OX} es la capacitancia del oxido de la compuerta, V_G es el voltaje aplicado en la compuerta y V_T es el voltaje de umbral de la compuerta.

La resistencia de la región de arrastre está dado por:

$$RD = \frac{L_{LDD} W_P}{q\mu_n Q_{LDD}} \quad (B.3)$$

donde L_{LDD} y Q_{LDD} son la longitud y la carga para la región en el drenador ligeramente dopado y μ_n es la movilidad de los electrones para el sustrato.

Mientras que la resistencia del sustrato está dado por:

$$R_{SUBS} = \rho_{SUBS} t_{SUBS} \quad (B.4)$$

donde ρ_{SUBS} y t_{SUBS} son la resistividad y el espesor de sustrato.

En un transistor de silicio LDMOS, la longitud del canal determina las propiedades del sistema en altas frecuencias. De hecho, el canal corto mejora la linealidad debido a que el transistor siempre trabaja en velocidad de saturación. Actualmente el interés por los LDMOS se encuentra en aumento en el área de las comunicaciones, debido a su bajo costo, ya que con la linealidad y ganancia que este transistor alcanza, le permite operar sobre un amplio rango de frecuencia.

Ventajas:

- Para altos niveles de corriente, el LDMOS presenta una impedancia de entrada alta y un coeficiente de temperatura bajo.
- El LDMOS presenta una buena estabilidad térmica.
- Presenta alta ganancia debido a su baja inductancia y baja resistencia serie en la terminal de fuente.
 - Su costo. El costo de los transistores LDMOS es tres veces menor que el de los dispositivos fabricados con compuestos III-V.

Sin embargo esta tecnología presenta algunas desventajas:

- Dado que la conductividad térmica del silicio es menor que la de los transistores de compuestos III-V, para mantener una temperatura de operación conveniente se requieren de disipadores de mayor volumen.
- Los transistores de potencia de compuestos III-V tienen una mayor densidad de potencia y requieren paquetes de menores dimensiones que los del LDMOS.

PAGINA INTENCIONALMENTE EN BLANCO.

APENDICE C

C.1 Procedimiento de análisis electromagnético en ADS

El tamaño de las líneas de microcintas obtenidas en el análisis cuasiestático proporciona los resultados de la simulación bajo condiciones ideales, sin tomar en cuenta algunos aspectos relacionados con las ondas viajeras en las líneas de microcinta, ante tal situación, antes de iniciar la fabricación del amplificador de potencia, es necesario realizar un análisis electromagnético de las líneas de microcinta, con el fin de tomar en cuenta los efectos que se presentan cuando por las líneas de microcinta circula una onda continua de altas frecuencia, al mismo tiempo obtener resultados más fiables que puedan ser comparados con los resultados proporcionados por una medición experimental. A partir de las dimensiones de las líneas de microcinta utilizadas en la simulación cuasiestática se realiza una simulación electromagnética para comparar si los resultados de ambas simulaciones coinciden, de no hacerlo, es necesario realizar una optimización al tamaño de las líneas de microcinta en el simulador de análisis electromagnético, de tal forma que los resultados de ambas simulaciones correspondan.

Para realizar el análisis electromagnético se dividen las líneas de microcintas del diseño del amplificador en cinco partes (Fig. C1), ya que cada parte está separada por un elemento pasivo.

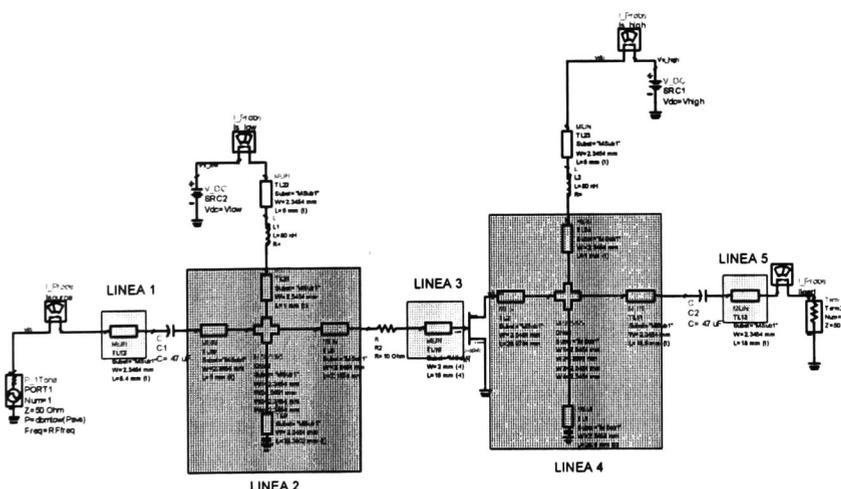


Fig. C1 amplificador de potencia diseñado dividido en partes para su análisis electromagnético

Dentro de las simulaciones que realiza el ADS se encuentra el “Momentum”, un simulador que permite realizar un análisis electromagnético de la estructura física de las redes de microcintas. Para esto es necesario conocer la secuencia correcta que permita realizar este

análisis. En la Fig. C2 se muestra el diagrama de flujo que se ha utilizado para realizar la simulación y la optimización de las líneas de microcintas usando el análisis electromagnético.

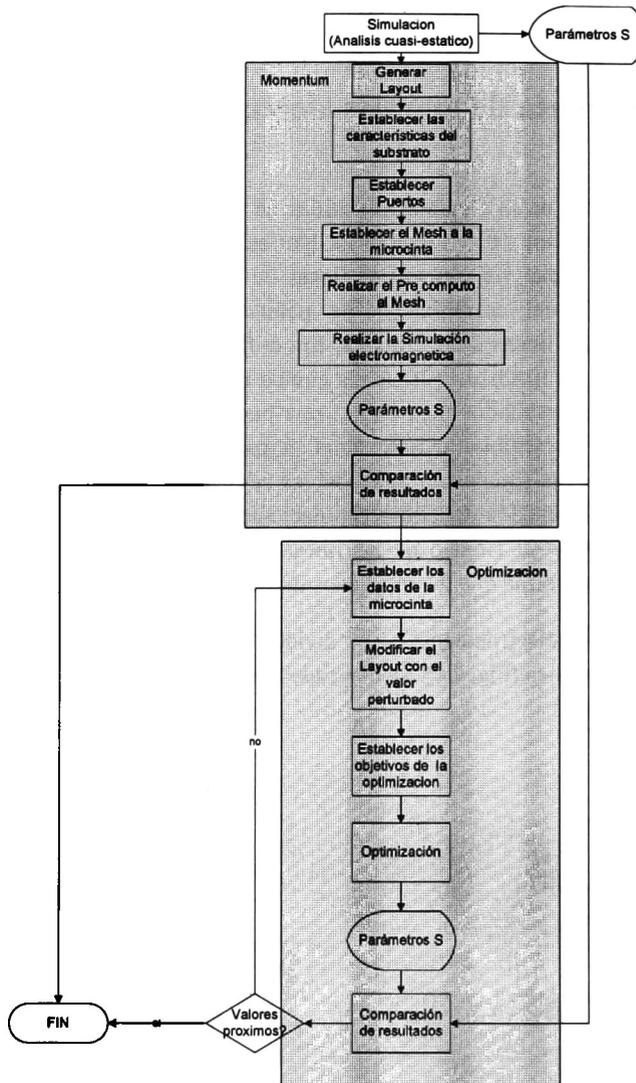


Fig. C2 diagrama de flujo utilizado para la simulación y optimización de las líneas con el análisis electromagnético

Empezando por los resultados obtenidos de la simulación cuasiestática, se generan los layout de las líneas de microcinta en Momentum y se establecen las características del sustrato (Fig. C3), tanto su constante dieléctrica, espesor y pérdidas tangenciales. Se establecen los puertos de análisis a la lineal de microcinta y se establecen rejillas (Mesh) (Fig. C4) las cuales dividen a la línea de microcinta para que se realice de una manera más organizada la simulación electromagnética, a mayor número de rejillas la simulación se volverá más compleja pero el resultado proporcionado se obtiene con mayor precisión.

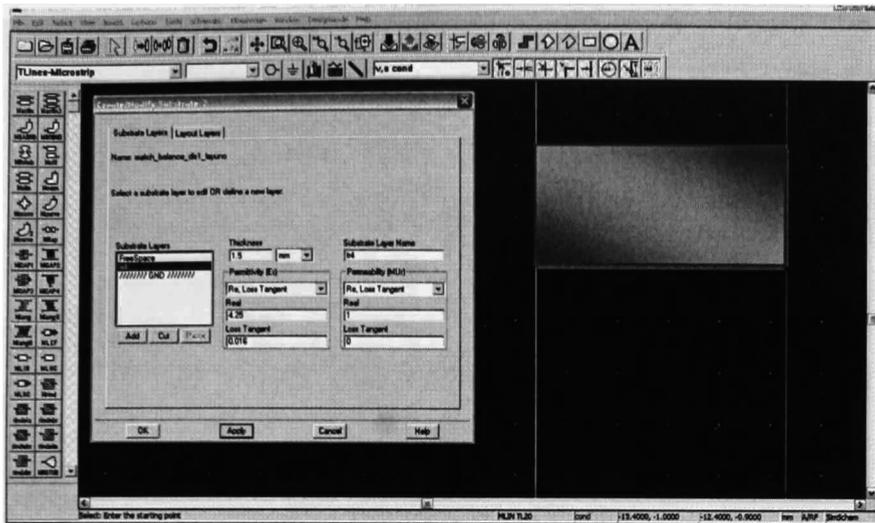


Fig. C3 Substrato establecido en el análisis electromagnético

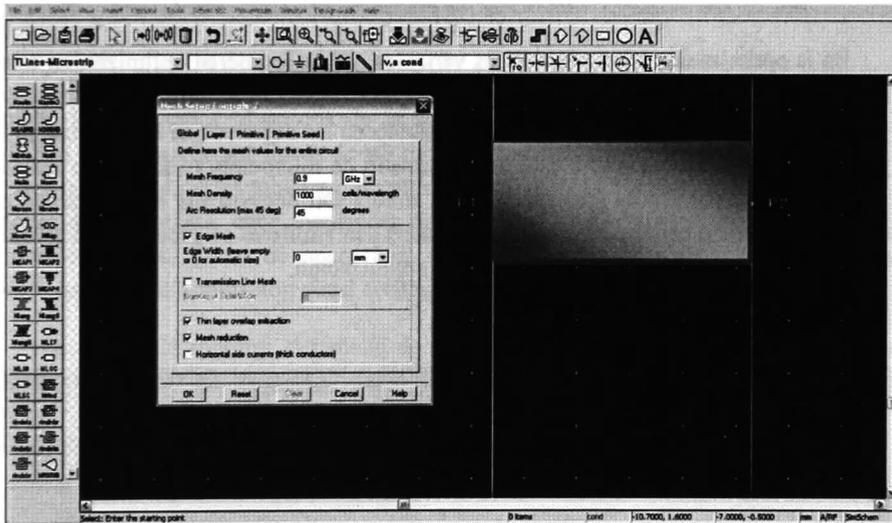


Fig. C4 Establecimiento de las rejillas para el análisis electromagnético.

Una vez establecidas las rejillas el siguiente paso es realizar una simulación en parámetros S para determinar la respuesta en frecuencia de las líneas de microcinta y compararlo con los resultados de la simulación cuasiestática (Fig. C5), si ambos resultados coinciden se procede a fabricar el PCB del amplificador, de lo contrario se realiza una optimización al tamaño de las líneas de microcinta.

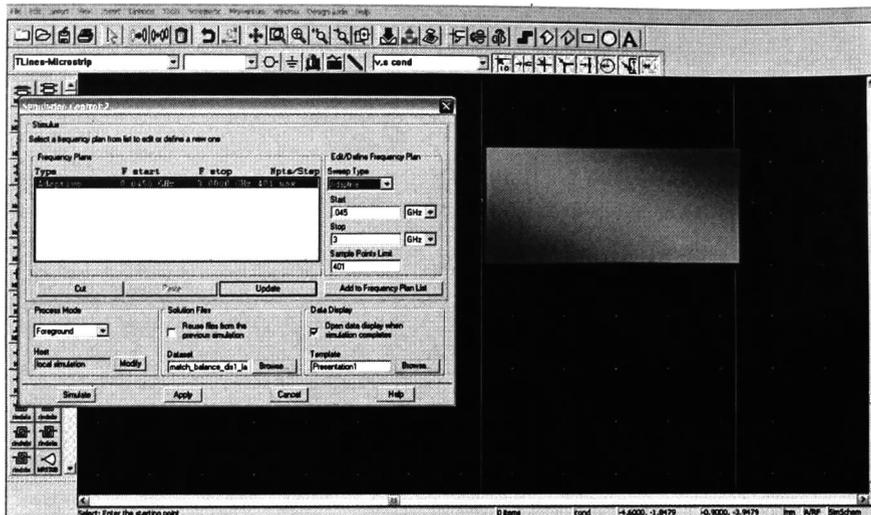


Fig. C5 Simulación de los parámetros S en el simulador electromagnético

En la optimización se establecen las variables que se requieren optimizar, en este caso solamente la longitud de la línea ya que su ancho no se debe de modificar porque es de una impedancia característica de 50Ω (Fig. C6), se establecen los objetivos de la optimización (Fig. C7) y se realiza la optimización, a este nuevo tamaño de microcinta obtenido, se realiza una medición en parámetros S y la respuesta de esta simulación nuevamente es comparado con la respuesta del análisis quasi estático, si los resultados son similares se procede a la fabricación del PCB, de lo contrario nuevamente se realiza la optimización.

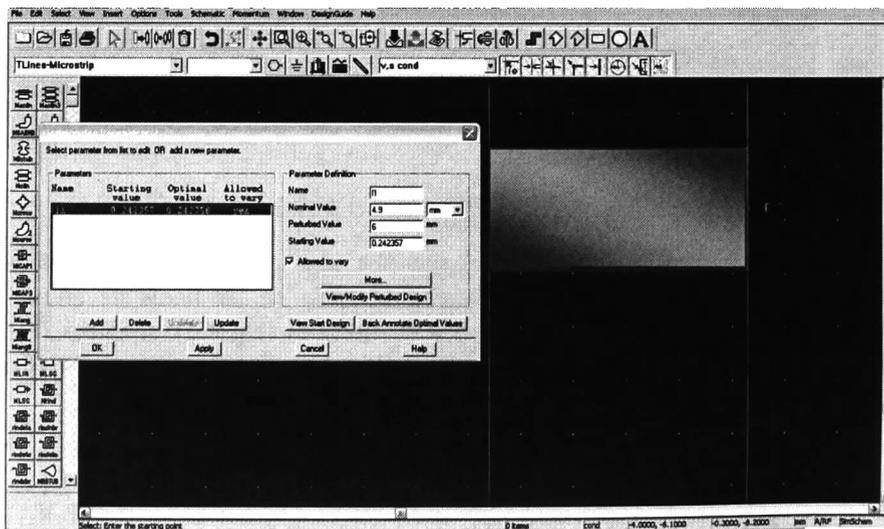


Fig. C6 Valores iniciales de las líneas de microcinta a optimizar en el simulador electromagnético

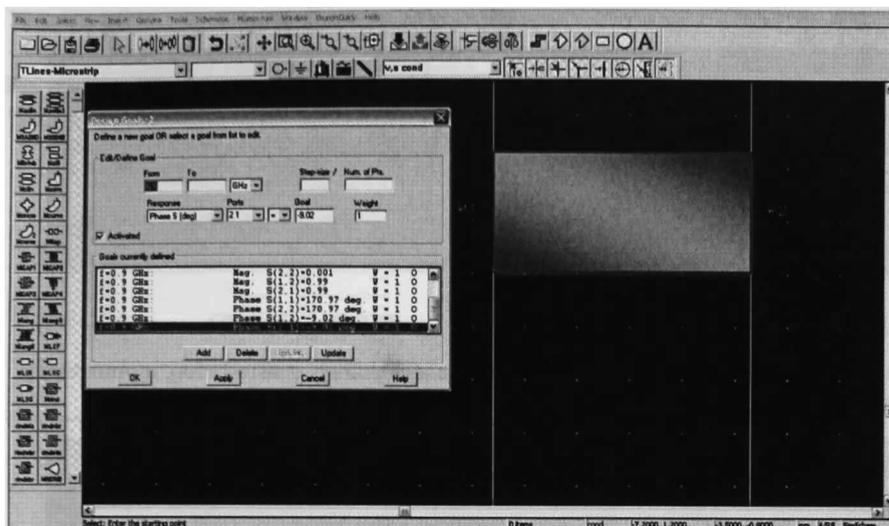


Fig. C7 Objetivos de la optimización en el análisis electromagnético

Las tablas C1-C5 muestran los parámetros S en dB, Magnitud y Fase. Estas tablas comparan los resultados obtenidos de la simulación quasi estática (Primera columna) y la simulación del layout de sus líneas de microcinta en el análisis electromagnético, por ultimo en la tercera columna de estas tablas se muestran los parámetros S obtenidos de la optimización a las líneas de microcinta, cabe mencionar que estos resultados son producto de una serie de optimizaciones a las líneas de microcinta, siendo estas las más próximas a los resultados proporcionados en la simulación quasi estática.

La figura C8 muestra el tamaño de las líneas de microcintas obtenidas en el análisis electromagnético que se emplearan en la fabricación de la placa base del amplificador de potencia.

Tabla C1 parámetros S en dB, Magnitud y Phase del análisis cuasiestatico, momentum y momentum optimizado

Parametros	Línea 1								
	Simulado			Momentum			Momentum Optimizado		
	db	Mag	Phase	db	Mag	Phase	db	Mag	Phase
S11	-58.54	0.001	170.05	-31.95	0.025	81.84	-79.05	0.0001	92.42
S22	-58.54	0.001	170.05	-31.95	0.025	81.84	-79.05	0.0001	92.42
S12	-0.01	0.99	-9.94	-0.012	0.99	-10.50	-0.004	0.99	-0.04
S21	-0.01	0.99	-9.94	-0.012	0.99	-10.50	-0.004	0.99	-0.04

Tabla C2 parámetros S en dB, Magnitud y Phase del análisis cuasiestatico, momentum y momentum optimizado

Línea 2									
Parametros	Simulado			momentum			Momentum Optimizado		
	db	Mag	Phase	db	Mag	Phase	db	Mag	Phase
S11	-4.53	0.593	-158.0	-4.66	0.584	-160.04	-5.1	0.35	-165.8
S22	-4.53	0.593	-165.9	-4.66	0.584	-170.13	-5.1	0.55	-165.8
S12	-3.26	0.686	-59.53	-2.77	0.726	-66.35	-2.55	0.745	-62.2
S21	-3.26	0.686	-59.53	-2.77	0.726	-66.35	-2.55	0.745	-62.2

Tabla C3 parámetros S en dB, Magnitud y Phase del análisis cuasiestatico, momentum y momentum optimizado

Línea 3									
Parametros	Simulado			momentum			Momentum Optimizado		
	db	Mag	Phase	db	Mag	Phase	db	Mag	Phase
S11	-29.34	0.034	67.46	-19.168	0.11	61.95	-19.16	0.11	63.82
S22	-29.34	0.034	67.46	-19.168	0.11	61.95	-19.16	0.11	63.83
S12	-0.031	0.996	-27.40	-0.079	0.99	-29.36	-0.076	0.99	-27.38
S21	-0.031	0.996	-27.40	-0.079	0.99	-29.36	-0.076	0.99	-27.38

Tabla C4 parámetros S en dB, Magnitud y Phase del análisis cuasiestatico, momentum y momentum optimizado

Línea 4									
Parametros	Simulado			momentum			Momentum Optimizado		
	db	Mag	Phase	db	Mag	Phase	db	Mag	Phase
S11	-6.05	0.498	113.18	-6.04	0.498	98.69	-7.84	0.498	113.2
S22	-6.05	0.498	155.33	-6.34	0.498	150.56	-7.84	0.498	155.42
S12	-2.66	0.735	-119.68	-2.311	0.766	-133.06	-1.83	0.766	-119.68
S21	-2.66	0.735	-119.68	-2.311	0.766	-133.06	-1.83	0.766	-119.68

Tabla C5 parámetros S en dB, Magnitud y Phase del análisis cuasiestatico, momentum y momentum optimizado

Línea 5									
Parametros	Simulado			momentum			Momentum Optimizado		
	db	Mag	Phase	db	Mag	Phase	db	Mag	Phase
S11	-48.55	0.0037	146.9	-22.01	-0.079	57.42	-45.33	0.0053	140.33
S22	-48.55	0.0037	146.9	-22.01	-0.079	57.42	-45.33	0.0053	140.33
S12	-0.034	0.996	-33.136	-0.061	0.992	-34.95	-0.023	0.998	-32.14
S21	-0.034	0.996	-33.136	-0.061	0.992	-34.95	-0.023	0.998	-32.14

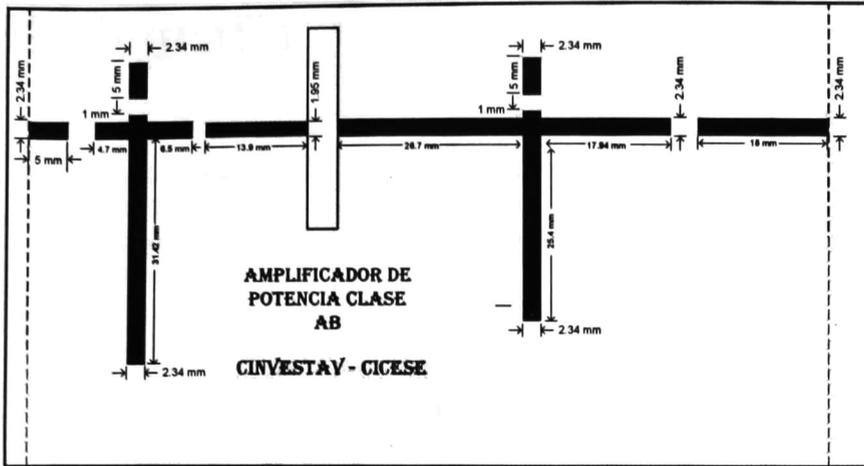


Figura C8 Mascarilla utilizada para la fabricación del amplificador de potencia.

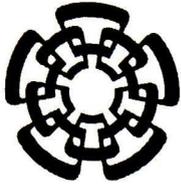
PAGINA INTENCIONALMENTE EN BLANCO.

Bibliografía

1. Daniel Dobkin, "The RF in RFID passive UHF RFID in practice", Ed. Newnes, 2007
2. Steve C.Cripps, "Advanced Techniques in RF Power Amplifier Design", Artech House, 2002.
3. Charles Nader, "Design of a power amplifier based on a SI-LDMOS for WIMAX at 3.5 GHz", Department of technology, University of Gävle, 2006.
4. Doudorov Grigori, "Evaluation of Si-LDMOS transistors for RF power amplifier in 2-6 GHz frequency range", Linköping LiTH-ISY-EX-3435-2003
5. Guillermo González, "Microwave Transistor Amplifier, análisis and design", Ed. Prentice Hall, 1997.
6. Jayant Baliga, "Silicon RF Power MOSFET", Ed. World Scientific, 2005
7. BMihai Albulet, "RF Power Amplifiers", Ed. Noble Publishing, 2001.
8. Steve C.Cripps, "RF Power Amplifiers for Wireless Communications", Artech House, 2002.
9. Advanced Design System (ADS), http://eesof.tm.agilent.com/products/ads_main.html
10. De Villiers Malan Pieter Jacob, "Low impedance characterization and modeling of high power LDMOS devices", university of Stellenbosch, 2005.
11. Itcho Angelov, Herben Zirath and Niklas Rorsman, "A New Empirical Nonlinear Model for HEMT and MESFET Devices", IEEE Transaction on Microwave Theory and Techniques", vol 40, no 12, pp2258-2266, December 1992.
12. R. Gaddi, P.J. Tasker and J. A. Pla, "Direct Extraction of LDMOS Small Signal Parameters from Off-state Measurements", Electronics Letters, Vol. 36, No. 23, November 2000.
13. Dean A. Frickey, "convesions between S, Z, Y, h, ABCD and T parameters which are valid for complex source and load impedances", IEEE Transactions on microwave and techniques, Vol. 42, No. 2, February 1994.
14. Gilles Dambrine, Alain Cappy, Frederic Heliodore and Eduard Playez, "" New Method for determining the FET Small-Signal Equivalent Circuit", IEEE Transactions on Microwave Theory and Techniques, Vol 36, No. 7, July 1988.
15. Manfred Berroth and Roland Bosch, "Broad-Band Determination of the FET Small-Signal equivalent Circuit", IEEE Transactions on Microwave Theory and Techniques, Vol 38, No. 7, July 1990.
16. W.R. Curtice, J.A. Pla, D. Bridges, T. Liang and E.E. Shumate, "A New Dynamic Electro-Thermal Nonlinear Model for Silicon RF LDMOS FET", IEEE MTT-S International, Vol. 2, , pp 419-422, July 1999.
17. A. Materka and T. Kacprzak, "computer calculation of large-signal GaAs FET amplifier characteristic", IEEE Trans Microwave Theory Tech MTT-33 (1985),129-134
18. J. R. Loo-Yau, J.A. Reynoso-Hernandez, J.E. Zuñiga, F.I. Hirata-Flores and Hugo Ascencio-Ramirez, "Modeling the I-V Characteristics of the Power Microwave FETs with the Angelov Model Using Pulse Measurements", Microwave and Optical Technology Letters, Vol.48, No. 6, June 2006.

19. H. Statz, P. Newman et al, "GaAs FET Device and circuit simulation in SPICE", IEEE Trans Electron Devices ED-34 (1978), 160-166.
20. RF Power Field Effect Transistors, http://www.freescale.com/files/rf_if/doc/data_sheet/MRF281.pdf
21. Charles Baylis, Lawrence Dunleavy, William Clauses, "Design of Bias Tees for a Pulsed-Bias, Pulsed-RF Test System Using Accurate Component Models", Microwave Journal, October 2006.
22. David M. Pozar, "microwave Engineering", Ed. Addison-Wesley, 1997
23. Load pull simulation, <http://eesof.tm.agilent.com/applications/loadpull-b.html>
24. Using Linecalc, <http://eesof.tm.agilent.com/docs/adtdoc2005A/linecalc/lc01.html>
25. Momentum, http://eesof.tm.agilent.com/products/momentum_main.html
26. Wenting Wang, Shuzuo Lou, Kay W.C. Chui, Sujiang Rong, Chi Fung Lok, Hui Zheng, Hin-Tat Chan, Sau-Wing, Howar C. Luong, Vincent K. Lau and Chi-Ying Tsuim, "A single-chip UHF RFID reader in 0.18 μ m CMOS process", IEEE journal of solid state circuits, Vol. 43, No. 8, August 2008.
27. Asad abbas syed, "Large Signal Physical Simulations of Si LD-MOS transistor for RF application", Linköping LITH-IFM-EX--04/1333—SE.
28. Andrei Grebennikov, "RF and Microwave Power Amplifier Design", Ed. McGRAW_HILL, 2005.
29. J. Michael Golio, "Microwave MESFETs and HEMTs", Ed. Artech House, 1991
30. Donal A. Neamen, "Electronic Circuit Analysis and Design", Ed. McGRAW_HILL, 2001.
31. Paul M. White and Richard M. Healy, "Improved Equivalent Circuit for Determination of MESFET and HEMT Parasitic Capacitances from "Coldfet" Measurements", Microwave and Guided Wave Letters, Vol. 3, No. 12 , December 1993.
32. Y. W. Yeap, E. C. Teh and T.W. Chua, " Design of Linear S-Band Power Amplifiers with High Power-Added Efficiency", Microwave Journal, April 2005.
33. L.C. Hall and R.J. Trew, "Maximum Efficiency Tining of microwave amplifier", IEEE MTT-S International, Vol. 1, pp 123-126, July 1991.
34. S. Pires, J.B. Silva, N.B. Carvalho and J.C. Pedro, "A Si LDMOS-Based UHF Power Amplifier",
35. Youngoo Yang, Young Yun, Jaehyok Yi, Bumman Kim, "A New Empirical Large-Signal Model of Si LDMOS FETs for High-Power Amplifier Design", IEEE Transactions on Microwave Theory and Techniques, Vol. 49, No. 9 September 2001.
36. L. Bengtsson, I. Angelov, H. Zirath and J. Olson, "An Empirical High-Frequency Large-Signal Model for High-Voltage LDMOS Transistor", 28th European Microwave Conference Amsterdam, 1998.
37. M.A. Belard, H. Maanane, K. Mourgues, M. Masmoudi, K. Ketata and J. Marcon, " Characterization and Modeling of Power RF LDMOS Transistor Including Self-Heating Effects", International Conference on Microelectronics, PP. 262-265, December 2004.
38. Roberto Sung, Peter Bendix and Mukunda B. Das, "Extraction of High-Frequency Equivalent Circuit Parameters of Submicron Gate-Length MOSFET's", IEEE Transactions on Electron Devices, Vol. 45, No. 8, August 1998.

39. David Lovelance, Julio Costa and Natalino Camilleri, "Extracting Small-Signal Model Parameter of Silicon MOSFET Transistors", IEEE MTT-S International, Vol. 2, pp 865-868, July 1994.
40. Behrouz A. Forouzan, "Transmisión de Datos y Redes de Comunicaciones", Ed. Mc. Graw Hill, 2002.
41. Scott Chiu, Issy Kipnis, Marc Loyer, Jan Rapp, David Westberg, Jonas Johansson, and Peter Johansson, "A 900 MHz UHF RFID Reader Transceiver IC", IEEE Journal of Solid-State Circuits, Vol. 42, No. 12, December 2007



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

**Diseño y caracterización de amplificadores de potencia clase AB
basados en transistores LDMOS para aplicaciones en lectores de
RFID en la banda de 900 Mhz**

del (la) C.

Hector Javier SAAVEDRA GOMEZ

el día 28 de Noviembre de 2008.

Dr. Juan Luis Del Valle Padilla
Investigador CINVESTAV 3C
CINVESTAV Unidad Guadalajara

Dr. Federico Sandoval Ibarra
Investigador CINVESTAV 3B
CINVESTAV Unidad Guadalajara

Dr. José Raúl Loo Yau
Investigador CINVESTAV 2B
CINVESTAV

Dr. J. Apolinar Reynoso Hernández
Investigador Titular C
CICESE



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000008849