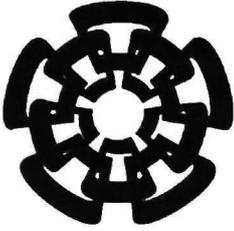




xx(178560.1)



Centro de Investigación y de Estudios Avanzados del I.P.N.  
Unidad Guadalajara

# **Metodología de Diseño para Moduladores Sigma-Delta en Tiempo Continuo y Tiempo Discreto en Tecnología CMOS de 65nm**

**CINVESTAV  
IPN  
ADQUISICION  
DE LIBROS**



**CENTRO DE INVESTIGACIÓN Y  
DE ESTUDIOS AVANZADOS DEL  
INSTITUTO POLITÉCNICO  
NACIONAL**

**COORDINACIÓN GENERAL DE  
SERVICIOS BIBLIOGRÁFICOS**

Tesis que presenta:  
**José Gerardo García Sánchez**

para obtener el grado de:  
**Maestro en Ciencias**

en la especialidad de:  
**Ingeniería Eléctrica**

Director de Tesis  
**Dr. Federico Sandoval Ibarra**

Guadalajara, Jalisco, Octubre de 2008.

CLASIF.: JK 165.68 .638 2008  
ADQUIS.: 351-549  
FECHA: 09/VII/2009  
PROCED.: Don. - 2009  
\$ \_\_\_\_\_

ID: 159639-1001

# **Metodología de Diseño para Moduladores Sigma-Delta en Tiempo Continuo y Tiempo Discreto en Tecnología CMOS de 65nm**

**Tesis de Maestría en Ciencias  
Ingeniería Eléctrica**

Por:

**José Gerardo García Sánchez**

Ingeniero en Electrónica

Instituto Tecnológico de Sonora 2002-2006

Becario de CONACYT, expediente no. 203459

Director de Tesis

**Dr. Federico Sandoval Ibarra**

CINVESTAV del IPN Unidad Guadalajara, Octubre de 2008.

# Agradecimientos

A mi familia, que me ha brindado todo su apoyo y me ha dado la motivación para seguir adelante.

A Mariana, que siempre ha estado a mi lado animándome, aún en momentos difíciles.

A mis asesores, el Dr. Federico Sandoval y el Dr. José Manuel de la Rosa, por todo su apoyo durante la maestría y en la realización de la tesis, y también por toda la paciencia que me tuvieron.

A mis amigos, que siempre me han acompañado y ayudado.

A mis maestros, por brindarme sus conocimientos.

A CINVESTAV e IMSE, por permitirme hacer uso de sus instalaciones y equipo durante mi estudio de maestría.

A CONACYT, por el apoyo económico brindado, ya que sin él no hubiera sido posible realizar la maestría.

A CONACYT-CSIC, por haber apoyado parcialmente este trabajo a través del proyecto número 2005MX0006-J110.481/2006.



## RESUMEN

Debido a la tendencia de utilizar circuitos digitales que realicen el procesamiento de una gran cantidad de variables físicas, es necesario un mecanismo de conversión que sirva como puente entre el entorno real, que es inherentemente analógico, y el entorno digital. Sin embargo, esta necesidad creciente de convertidores para diversos campos de aplicación dificulta el desarrollo de los convertidores A/D (ADC) fundamentalmente cuando éstos se manufacturan en tecnologías modernas (CMOS).

Los ADC sigma-delta ( $\Sigma\Delta$ ) han surgido como una opción para ser utilizados en las tecnologías modernas, donde la tendencia de ésta es implementar los circuitos analógicos y digitales CMOS en un mismo chip. Esta clase de convertidores toma ventaja del desarrollo propio de los circuitos digitales porque un porcentaje del proceso de conversión analógico-digital requiere un post-procesado digital, lo cual implica relajar las especificaciones de los circuitos analógicos.

En este trabajo se presentan los fundamentos del funcionamiento de los ADC  $\Sigma\Delta$ , dando una descripción del impacto del sobre-muestreo así como del conformado del error de cuantización. También se muestran los principales tipos de ADC  $\Sigma\Delta$  existentes, sus arquitecturas y ventajas-desventajas que cada uno de ellos presenta.

Dentro de los tipos de ADC  $\Sigma\Delta$  se encuentran aquellos que utilizan un filtro diseñado en tiempo continuo (CT), los cuales presentan ventajas que los hace muy atractivos para ser implementados en las tecnologías actuales donde se usan voltajes de polarización cada vez más bajos. En la actualidad, debido a que la investigación y desarrollo de ADC  $\Sigma\Delta$  en tiempo discreto (DT) es mayor que su contraparte en CT, en este trabajo se muestra un método de diseño que utiliza una transformación DT-CT.

Es innegable las ventajas que proporciona el contar con herramientas que permitan observar el funcionamiento de los circuitos a diseñar antes de ser fabricados. Por ello se usa SIMSIDES, el cual está enfocada al análisis de la parte analógica de los ADC  $\Sigma\Delta$ : el modulador  $\Sigma\Delta$ . Esta herramienta realiza un análisis comportamental basado en Matlab/Simulink. Permite trabajar con una amplia variedad de moduladores  $\Sigma\Delta$ , tanto en DT como en CT; la simulación se realiza en poco tiempo, y permite observar el desempeño mediante rutinas de post-procesado de la respuesta del modulador, con lo cual se pueden obtener las especificaciones que deben cumplir cada bloque del modulador para obtener el desempeño deseado. Para mostrar las capacidades de SIMSIDES, se hace el análisis de un modulador  $\Sigma\Delta$  CT pasa-banda de cuarto orden. Se observa el efecto de las principales no idealidades de cada uno de los bloques y se obtienen especificaciones, que posteriormente se usan para diseñar un circuito comparador.



## ABSTRACT

Due to the trend of using digital circuits carrying out the processing of a large variety of physical variables, it is required a conversion mechanism that converts the events of the real world, which is inherently analog, into a digital environment. However, since this growing need converter focused for several application fields has complicated the development of analog-to-digital converters (ADCs) basically if they are manufactured in modern CMOS technologies.

Sigma-delta ( $\Sigma\Delta$ ) ADCs have emerged as a design option to be used in modern technologies, where both analog and digital CMOS circuitry is integrated in a single chip. This kind of converter takes advantage of the mature development of digital circuits because a percentage of the analog-to-digital conversion requires a digital processing, which relax the specifications of analog circuits.

In this work, basics on the functioning of  $\Sigma\Delta$  ADCs, including a description of the over-sampling's impact as well as the noise-shaping effect on the quantization error measurement is presented. A review of the major types of  $\Sigma\Delta$  ADCs, analysis, architectures, and a discussion about advantages/disadvantages of each one is also presented.

Among the types of  $\Sigma\Delta$  ADCs there are proposals using continuous time (CT) filter implementations that offer advantages to be manufactures in modern technologies, where supply voltages are as low as 1.0V. Currently, since the research and development of discrete time (DT)  $\Sigma\Delta$  ADCs is greater than the continuous time (CT) design, in this work a design method that uses a transformation DT-CT is also presented.

Finally, it is undeniable the benefits that provide simulation tools to analyze the performance of the circuits under design before the fabrication stage. Thus, it is presented SIMSIDES, which is a simulation tool focused to analyze the performance of the  $\Sigma\Delta$  ADCs' basic block: the  $\Sigma\Delta$  modulator. SIMSIDES performs a behavioral analysis based on Matlab/Simulink. It allows study a wide variety of  $\Sigma\Delta$  modulators not only in DT, but also in CT. The simulation run occupies few seconds that allows t the user verify the design's performance by running post-processing routines, which is based on data of the modulator response. This process allows verify the fulfillment of specifications for both basic blocks and the whole design. In order to show the SIMSIDES's facilities, the design of a CT 4<sup>th</sup> order band-pass  $\Sigma\Delta$  modulator is presented. From this design a discussion of the non-idealities of each blocks on the performance of the modulator is given, from which a set of specifications are taken to design at transistor level a comparator circuit.



# Contenido

## Capítulo 1. Introducción general

1.1	Convertidores analógico-digital	1
1.2	Convertidores $\Sigma\Delta$ y herramientas de simulación	2
1.3	Organización de la tesis	3

## Capítulo 2. Fundamentos Generales

2.1	Introducción	5
2.2	Convertidor analógico-digital	6
2.2.1	Clasificación de los ADC	7
2.2.1.1	Razón de sobre-muestreo	7
2.2.1.2	Compromiso resolución-velocidad	7
2.3	El Cuantizador: Fundamentos	7
2.3.1	Error de cuantización	8
2.3.2	No idealidades del cuantizador	10
2.3.3	Comparadores: Aspectos generales	11
2.3.3.1	Comparador regenerativo con retroalimentación positiva	13
2.3.3.2	Comparador regenerativo de tiempo discreto	14
2.3.3.3	Comparador regenerativo con preamplificador	14
2.4	Fundamento de los ADC $\Sigma\Delta$	15
2.4.1	Sobre-muestreo	15
2.4.2	Conformado del error	16
2.4.3	Arquitectura básica	17
2.4.4	Medidas de desempeño	19
2.4.5	Desempeño ideal	20
2.4.6	Tipos de arquitecturas	22
2.4.6.1	Arquitecturas de lazo único	22
2.4.6.2	Arquitecturas en cascada	25
2.4.6.3	Arquitecturas multi-bit	26
2.4.7	Modulador Sigma-Delta pasa-banda	27
2.4.7.1	Conceptos básicos	28
2.4.7.2	Síntesis de arquitecturas	29
2.5	Conclusiones	30

## Capítulo 3. Moduladores $\Sigma\Delta$ en Tiempo Continuo

3.1	Introducción	31
3.2	Fundamentos de los ADC $\Sigma\Delta$ CT	32
3.2.1	Modulador $\Sigma\Delta$ : CT vs DT	33
3.2.2	Modulador $\Sigma\Delta$ CT de primer orden	33
3.3	Modulador $\Sigma\Delta$ CT: Filtro anti-aliasing implícito	35
3.4	Alternativas de diseño de moduladores $\Sigma\Delta$ CT	36
3.4.1	Moduladores $\Sigma\Delta$ CT: Conversión DT a CT	36
3.4.1.1	La transformada Impulso-Invariante	36
3.4.1.2	Transformada Z modificada	38

3.5	Moduladores $\Sigma\Delta$ CT pasa-banda	39
3.5.1	Moduladores $\Sigma\Delta$ CT BP con múltiple retroalimentación	40
3.5.1.1	Modulador $\Sigma\Delta$ CT BP de 2 <sup>do</sup> Orden	41
3.5.1.2	Modulador $\Sigma\Delta$ CT BP de 4 <sup>to</sup> Orden	42
3.6	Conclusiones	44

## Capítulo 4. Diseño del Modulador $\Sigma\Delta$ BPCT

4.1	Introducción	45
4.2	SIMSIDES	45
4.2.1	Librerías	46
4.2.2	Rutinas de post-procesado	46
4.2.3	Interfaz gráfica	47
4.3	Análisis comportamental	47
4.3.1	Desempeño ideal	48
4.3.2	Resonador de un polo en pequeña y gran señal	50
4.3.2.1	Rango de entrada y de salida	50
4.3.2.2	Efecto de la ganancia finita de los OTAs	51
4.3.2.3	Efecto del error en la constante de tiempo de integración	52
4.3.2.4	Efecto de la transconductancia no lineal	53
4.3.2.5	Desempeño del modulador con no idealidades de los resonadores	53
4.3.3	Cuantizador real	55
4.3.3.1	Histéresis	56
4.3.3.2	Desempeño del modulador con no idealidades en los resonadores y en el comparador	57
4.3.4	DAC Real	57
4.3.4.1	Retraso en el lazo	58
4.3.4.2	Error de ganancia	59
4.3.4.3	Error debido a <i>offset</i>	59
4.3.4.4	Efecto del <i>Jitter</i>	60
4.3.5	Modulador real	61
4.4	Diseño del comparador a nivel transistor	62
4.4.1	Especificaciones y diseño del comparador	62
4.4.1.1	Preamplificador	63
4.4.1.2	<i>Latch</i> regenerativo	63
4.4.1.3	<i>Latch</i> SR	64
4.4.2	Resultados de simulación	65
4.5	Conclusiones	66

## Capítulo 5. Conclusiones y trabajo futuro

5.1	Conclusiones	67
5.2	Trabajo futuro	69

## Apéndice A

A.1	Introducción	71
A.2	Uso de Matlab para realizar la transformación DT-CT y para calcular las ganancias	71

Referencias	73
-------------	----

# Lista de Figuras

Fig. 2.1	Diagrama a bloques de un ADC.	6
Fig. 2.2	Característica entrada-salida de un cuantizador ideal de tres bits.	8
Fig. 2.3	Modelo lineal del cuantizador.	8
Fig. 2.4	Error de cuantización de un cuantizador de tres bits.	8
Fig. 2.5	Comparador: a) Curva entrada-salida, b) error de cuantización.	9
Fig. 2.6	Error de cuantización: a) PDF, b) PSD.	9
Fig. 2.7	Error de offset en un cuantizador de tres bits.	10
Fig. 2.8	Error de ganancia en un cuantizador de tres bits.	10
Fig. 2.9	INL y DNL en un cuantizador de tres bits.	11
Fig. 2.10	Curva entrada-salida de un comparador no ideal.	12
Fig. 2.11	a)-c) Topologías de comparadores CMOS de una etapa.	13
Fig. 2.12	Comparador multi-etapa a nivel conceptual.	13
Fig. 2.13	Comparador con realimentación positiva y su operación dinámica.	14
Fig. 2.14	Comparador formado por un latch y su operación dinámica.	15
Fig. 2.15	Comparador regenerativo con preamplificador.	15
Fig. 2.16	Filtro <i>anti-aliasing</i> para: a) Convertidores Nyquist, b) Convertidores con sobre-muestreo.	16
Fig. 2.17	PSD del error de cuantización en un convertidor con sobre-muestreo.	16
Fig. 2.18	$ NTF(f) $ para diferentes ordenes de conformado.	18
Fig. 2.19	Diagrama a bloques del ADC $\Sigma\Delta$ .	18
Fig. 2.20	Modelo lineal del modulador $\Sigma\Delta$ .	19
Fig. 2.21	Medidas de desempeño del modulador $\Sigma\Delta$ .	20
Fig. 2.22	Modelo lineal del modulador $\Sigma\Delta$ .	22
Fig. 2.23	Diagrama a bloques del modulador $\Sigma\Delta$ de 1 <sup>er</sup> orden.	23
Fig. 2.24	Diagrama a bloques del modulador $\Sigma\Delta$ de 2 <sup>do</sup> orden.	24
Fig. 2.25	Diagrama a bloques del modulador $\Sigma\Delta$ de alto orden.	25
Fig. 2.26	a) Diagrama a bloques del modulador $\Sigma\Delta$ en cascada. b) Estructura usualmente utilizada en el DSP para la cancelación de los errores de cuantización.	26
Fig. 2.27	a) Modulador $\Sigma\Delta$ multi-bit. b) Modelo lineal con fuentes de error.	27
Fig. 2.28	Diagrama a bloques de un modulador $\Sigma\Delta$ pasa-banda.	28
Fig. 2.29	a) Compromiso entre requerimientos del filtro <i>anti-aliasing</i> y valores altos de $f_c$ . b) Compromiso entre requerimientos del filtro IR y valores bajos de $f_c$ .	29
Fig. 2.30	a) Diagrama a bloques del modulador $\Sigma\Delta$ pasa-baja de orden L. b) Diagrama a bloques del modulador $\Sigma\Delta$ pasa-banda de orden 2L aplicando la conversión LP a BP.	30
Fig. 3.1	Diagrama a bloques del ADC $\Sigma\Delta$ DT.	32
Fig. 3.2	Diagrama a bloques del ADC $\Sigma\Delta$ CT.	32
Fig. 3.3	Diagrama a bloques del modulador $\Sigma\Delta$ CT con modelos matemáticos del comparador y del bloque S/H.	34
Fig. 3.4	Diagrama a bloques en lazo abierto de: a) modulador $\Sigma\Delta$ CT b) modulador $\Sigma\Delta$ DT.	37
Fig. 3.5	Tipos de pulsos comunes de DAC.	38
Fig. 3.6	Diagrama a bloques de un modulador $\Sigma\Delta$ CT BP de primer orden.	40

Fig. 3.7	Representación de un modulador $\Sigma\Delta$ CT de primer orden con múltiples retroalimentaciones.	41
Fig. 3.8	Diagrama a bloques de un modulador $\Sigma\Delta$ CT BP de primer orden con múltiple retroalimentación (RZ y HRZ).	42
Fig. 3.9	Diagrama a bloques de un modulador $\Sigma\Delta$ CT BP de segundo orden.	43
Fig. 3.10	Diagrama a bloques de un modulador $\Sigma\Delta$ CT BP de segundo orden con múltiple retroalimentación (RZ y HRZ).	44
Fig. 4.1	Interfaz gráfica de SIMSIDES.	47
Fig. 4.2	Modulador $\Sigma\Delta$ pasa-banda en tiempo continuo de 4º orden.	48
Fig. 4.3	Diagrama a bloques del resonador.	48
Fig. 4.4	Simulación del desempeño del modulador ideal: a) Espectro, b) SNR	49
Fig. 4.5	Modelo de un polo para el OTA.	50
Fig. 4.6	Histograma del número de veces que toma un valor las entradas y salidas de los resonadores.	50
Fig. 4.7	Histograma del número de veces que toma un valor las entradas y salidas de los resonadores con coeficientes ajustados.	51
Fig. 4.8	Simulación del desempeño del modulador ideal con ajuste y sin ajuste de coeficientes.	52
Fig. 4.9	Efecto de la ganancia finita de los OTA's del resonador de un polo.	52
Fig. 4.10	Efecto del error en la cte. de tiempo de int. del res. de un polo.	53
Fig. 4.11	Modelado de la transconductancia no lineal de los OTA.	53
Fig. 4.12	Efecto del coeficiente de no linealidad de segundo orden.	54
Fig. 4.13	Efecto del coeficiente de no linealidad de tercer orden.	54
Fig. 4.14	Desempeño del modulador para las especificaciones de la Tabla 4.2: a) Espectro, b) SDNR.	55
Fig. 4.15	Modelo de comportamiento del cuantizador (1 bit) real.	56
Fig. 4.16	Efecto de la histéresis en el cuantizador real.	57
Fig. 4.17	Desempeño del modulador para los datos de la Tabla 4.3: a) Espectro, b) SNDR.	58
Fig. 4.18	Modelo de comportamiento del DAC real.	58
Fig. 4.19	Efecto del retardo en el lazo.	59
Fig. 4.20	Efecto del error de ganancia en el DAC real.	60
Fig. 4.21	Efecto del error de offset en el DAC real.	60
Fig. 4.22	Efecto del jitter en el DAC real.	61
Fig. 4.23	Desempeño para las especificaciones de la Tabla 4.5: (a) Espectro, (b) SNDR.	62
Fig. 4.24	Componentes del comparador regenerativo con una sola fase de reloj.	63
Fig. 4.25	Esquema eléctrico del preamplificador.	63
Fig. 4.26	Esquema eléctrico del latch regenerativo con una sola fase de reloj.	64
Fig. 4.27	Esquema eléctrico del latch SR y de la compuerta NAND.	65
Fig. 4.28	Esquemático del comparador regenerativo.	65
Fig. 4.29	Resultado de la simulación Montecarlo para obtener la resolución en tiempo.	65
Fig. 4.30	Resultado de la simulación Montecarlo para obtener el offset e histéresis.	66

# Lista de tablas

Tabla 3.1	Dominio $s$ equivalente del los polos del filtro del lazo en el dominio $z$	39
Tabla 3.2	Transformada Z modificada.	40
Tabla 4.1	Bloques fundamentales y no idealidades que incluye SIMSIDES.	46
Tabla 4.2	Especificaciones del modulador con no idealidades del resonador.	54
Tabla 4.3	Especificaciones del modulador con no idealidades del resonador y comparador.	57
Tabla 4.4	Especificaciones para todos los bloques reales.	61
Tabla 4.5	Especificaciones que debe cumplir el comparador.	63
Tabla 4.6	Dimensiones de los transistores del preamplificador.	63
Tabla 4.7	Dimensiones de los transistores del latch regenerativo.	64
Tabla 4.8	Dimensiones de los transistores del latch SR-NAND.	65
Tabla 4.9	Resultados de simulación para obtener la resolución en tiempo.	65
Tabla 4.10	Resultados de simulación.	66



# Capítulo 1

## Introducción general

Se presentan los fundamentos básicos de operación de los moduladores sigma-delta ( $\Sigma\Delta$ ), los cuales constituyen la parte central de los ADC  $\Sigma\Delta$ . En particular este trabajo hace énfasis en aquellos moduladores que utilizan filtros en tiempo continuo. Se presenta también el uso de una herramienta de simulación comportamental, SIMSIDES, que sirve como apoyo al diseño y optimización de los moduladores  $\Sigma\Delta$ . Usando los fundamentos de la modulación  $\Sigma\Delta$  y con ayuda de SIMSIDES se diseña un modulador pasa-banda en tiempo continuo de cuarto orden y se realiza el análisis comportamental como base para obtener las especificaciones funciones de cada bloque que permitan, como un todo, obtener el desempeño deseado. En base a los resultados del análisis comportamental se realiza el diseño eléctrico de un comparador.

### 1.1 Convertidores analógico-digital

**A**ctualmente, la tendencia de diseño completamente integrado en un sustrato semiconductor es trasladar los procesos analógicos al dominio digital, de manera que se tome ventaja de los niveles de integración alcanzados por los procesos de fabricación digitales, de su menor costo, de su robustez, y en general de su mayor facilidad de diseño. Aún más, porque las variables físicas son inherentemente analógicas es que se mantiene la necesidad de circuitos que realicen la comunicación entre el entorno analógico y el digital (A-D), esto es, se necesitan convertidores analógico-digital (ADC por sus siglas en inglés) y digital-analógico (DAC).

El proceso de conversión A-D se realiza principalmente en dos etapas: muestreo y cuantización. El muestreo realiza la discretización de la señal en el dominio del tiempo, y la cuantización hace la discretización en amplitud. En la práctica, realizar el diseño los circuitos de conversión la velocidad y la resolución son dos de las especificaciones más importantes; la velocidad determina que tan rápido se realiza la conversión de una señal y la resolución se refiere a la precisión con que se ha convertido esa señal.

El interés de fabricar circuitos integrados analógicos en el mismo sustrato que los circuitos digitales, para el desarrollo de un *chip*, ha causado que el flujo de diseño sea todo un reto de manera que, el *cuello de botella* (satisfacer velocidad y precisión) de la mayoría de los sistemas sea la parte analógica [1]. La razón es simple, las enormes ventajas que trae consigo la tecnología CMOS para la integración de circuitos digitales (capacidad de integración, reducción de consumo de potencia, etc.) no lo es para los circuitos analógicos porque existen serios problemas en su desempeño, principalmente por la reducción de los voltajes de alimentación. Por esa razón se han propuesto diversas maneras de implementar un convertidor A-D que incluye diferentes métodos de conversión y que resultan en diferentes resoluciones y velocidades de conversión. Los ADC  $\Sigma\Delta$ , por ejemplo, son una buena alternativa para ser implementados en sistemas VLSI (de *Very Large Scale Integration*) modernos. La razón es la siguiente: la mayoría de los convertidores son afectados por las no idealidades de los circuitos, lo que hace necesario incorporar mecanismos de corrección. Por otro lado, los ADC  $\Sigma\Delta$  presentan baja sensibilidad a las no idealidades de la mayoría de los bloques que lo forman porque se usa un procesamiento digital de las señales, el cual se favorece de la tecnología VLSI donde es más fácil obtener circuitos digitales rápidos que circuitos analógicos precisos.

## 1.2 Convertidores $\Sigma\Delta$ y herramientas de simulación

Los ADC  $\Sigma\Delta$  usualmente consisten de una parte analógica, llamada modulador  $\Sigma\Delta$ , en donde se realiza un sobre-muestreo de la señal y se implementa la técnica de conformado del error, es decir, es la etapa donde la señal de interés y la debida al ruido de cuantización se modelan con funciones de transferencia no correlacionadas; el ruido de cuantización es expulsado fuera de la banda de la señal. Luego de la parte analógica sigue una etapa digital formada por un decimador y un filtro digital, con lo cual se completa la conversión A-D. Entonces, debido al sobre-muestreo y al conformado del error se relajan los requerimientos para la parte analógica a expensas de que la complejidad y los requerimientos sean mayores para la parte digital, lo cual se beneficia de las tecnologías modernas, como ya se mencionó.

La técnica de tiempo discreto (DT por sus siglas en inglés) ha sido la preferida para implementar los convertidores  $\Sigma\Delta$ . Para mejorar su desempeño se han desarrollado arquitecturas multi-bit, en cascada, con filtros de lazo de alto orden, entre otras propuestas. Sin embargo, la demanda actual por convertidores A-D de alta resolución con amplios anchos de banda para aplicaciones de telecomunicación requiere de altas frecuencia de muestreo, lo cual, sumado a la continua reducción del voltaje de alimentación en tecnologías CMOS pone en evidencia las limitaciones en el desempeño de los circuitos en DT, principalmente los que utilizan la técnica de capacitores conmutados (SC por sus siglas en inglés). Los convertidores  $\Sigma\Delta$  en tiempo continuo (CT por sus siglas en inglés) surgen como una alternativa para disminuir esas limitaciones (principalmente las que se producen por el muestreo) y así obtener un alto desempeño a pesar de los procesos CMOS de bajo voltaje de alimentación.

No obstante, los moduladores  $\Sigma\Delta$  CT operan con señales tanto en tiempo continuo como en tiempo discreto, lo que lo hace complejo diseñar y simular. Además, las técnicas de diseño y la información disponible no están tan desarrolladas como lo están para los moduladores [2]  $\Sigma\Delta$  DT, lo que provoca que el tiempo de diseño sea excesivo. Por ello, la técnica más utilizada para el diseño de los moduladores  $\Sigma\Delta$  CT es utilizar una transformación DT-CT, lo que permite hacer uso de la información y herramientas existentes para el diseño de moduladores  $\Sigma\Delta$  DT y, a partir de él, obtener el diseño CT. Lo anterior es posible debido a la similitud existente en comportamiento entre los dos tipos de moduladores.

En la práctica, a pesar de la gran cantidad de bibliografía existente sobre los moduladores  $\Sigma\Delta$ , donde se muestran las ventajas que proporcionan estos tipos de convertidores, aún existe escases de herramientas que apoyen el diseño y la verificación funcional. Esto hecho es importante porque limita corroborar el cumplimiento de especificaciones de los moduladores  $\Sigma\Delta$  antes de ser fabricados, y es una limitante para realizar una etapa de optimización de desempeño e incluso de explorar la viabilidad de nuevas arquitecturas. A diferencia del diseño digital, las pocas herramientas que realizan una simulación del comportamiento han surgido como la mejor opción para la simulación comportamental de convertidores  $\Sigma\Delta$ , en cuanto a la relación precisión-tiempo de CPU, debido a que los simuladores a nivel transistor necesitan muchos ciclos de reloj para obtener suficiente información que permita evaluar el desempeño. Dentro de las pocas herramientas de simulación comportamental [3]-[4], SIMSIDES (SIMulink based Sigma-Delta Simulator) [5] se encuentra entre las mejores opciones, debido a las siguientes características:

Rapidez de procesamiento debido a que sus modelos usan funciones S [6] (para su operación utiliza Matlab).

Permite simular moduladores SC, CT y de corriente conmutada (SI, por sus siglas en inglés), tanto pasa-bajas como pasa-banda, además de incluir nuevos modelos, lo cual le da una gran flexibilidad de diseño.

Tiene elevada precisión debido a que incluye la mayoría de los errores críticos de los diferentes tipos de moduladores.

Permite realizar un post-procesador de la respuesta del modulador para analizar sus características auxiliándose de las capacidades de Matlab.

### 1.3 Organización de la tesis

Considerando el escenario descrito, en este trabajo de tesis se exponen los conceptos generales de modulación  $\Sigma\Delta$  -y las medidas de desempeño de las arquitecturas existentes- como medio para presentar las implicaciones de la conversión DT-CT y el impacto que ésta presenta en el cálculo de los coeficientes asociados a un modulador  $\Sigma\Delta$  CT pasa-banda de 4° orden. El análisis comportamental de este modulador se realiza con ayuda de SIMSIDES y, de los resultados obtenidos, se presenta el diseño a nivel transistor de un circuito comparador con las facilidades de la tecnología CMOS 65nm, 1.0V, STmicroelectronics. De igual manera, se presenta el flujo de diseño mixed-mode adoptado en las instalaciones de IMSE-CNM (Sevilla, España) y soportado en CADENCE. Por lo anterior, este trabajo está organizado de la siguiente manera:

En el capítulo dos se exponen los conceptos generales de los convertidores de datos con énfasis en el estudio a los fundamentos básicos de operación de los moduladores  $\Sigma\Delta$ . Se muestran las medidas de desempeño y se presenta una revisión de las diferentes arquitecturas existentes.

Las características de operación de los moduladores  $\Sigma\Delta$  en tiempo continuo se presentan en el Capítulo 3, donde se estudia su diseño a través de la conversión DT-CT; este diseño hace énfasis en la técnica del impulso invariante. Finalmente la metodología de cálculo del valor de los coeficientes de retroalimentación de un modulador  $\Sigma\Delta$  CT pasa-banda también son presentados.

El capítulo cuatro presenta el análisis comportamental de un modulador  $\Sigma\Delta$  CT pasa-banda de cuarto orden utilizando SIMSIDES y, tomando como base,

el valor de los coeficientes de retroalimentación obtenidos previamente. Como ejemplo de esta tarea, se presenta el diseño a nivel transistor del comparador cuyas especificaciones de operación se sustentan en las características de desempeño obtenidas del análisis comportamental.

Las conclusiones de este trabajo así como la descripción del trabajo futuro se presentan en el capítulo cinco.

## Capítulo 2

# Fundamentos Generales

Por la importancia que tienen los convertidores analógico-digital (ADC por sus siglas en inglés) en una gran cantidad de aplicaciones, se presentan los fundamentos de su funcionamiento y en particular el principio básico de operación de los ADC  $\Sigma\Delta$  integrados en silicio. Primero se presenta el funcionamiento general de un ADC y se muestra una clasificación de los diferentes ADC. Después se describe el desempeño básico de los cuantizadores, de sus no idealidades, y se muestra una representación funcional basada en un modelo lineal. Esta última característica, además de servir para analizar el funcionamiento de los ADC, es útil para proveer información que permite diferenciar los distintos tipos de cuantizadores. Posteriormente, se presentan los fundamentos de los ADC  $\Sigma\Delta$ , con énfasis en los bloques fundamentales que soportan su funcionamiento, y se hace un análisis simplificado de los moduladores  $\Sigma\Delta$  más comunes. Finalmente, se muestran las diferentes clases de moduladores  $\Sigma\Delta$ , a saber pasa-bajas y pasa-banda.

### 2.1 Introducción

**H**oy día, la frontera que divide la parte analógica y digital se ha desplazado cada vez más hacia la recepción o transmisión de información con el mundo real, producto del continuo escalado de las tecnologías. De esta manera muchas tareas realizadas por circuitos analógicos ahora se realizan en el dominio digital. Sin embargo, en los casos que se requiera, siempre será necesaria una interfaz analógica-digital (A-D).

Existen muchos tipos de convertidores analógico-digital y todos realizan, generalmente, los mismo procesos fundamentales: muestrear y cuantizar la señal de entrada. Los ADC  $\Sigma\Delta$  permiten obtener altas resoluciones en la conversión A-D por lo que han adquirido mucho interés en los últimos años [2]. Su desempeño se basa en el sobre-muestreo y en la realización de un procesado al error de cuantización, conocido como *conformado del error*. Gracias a estos procedimientos, es posible relajar las especificaciones de los bloques que lo componen sin degradar su desempeño.

Los ADC  $\Sigma\Delta$  mejoran el desempeño del ADC tradicional principalmente de tres maneras: aumentando el sobre-muestreo, incrementando el conformado del error y/o utilizando un cuantizador de más bits. Existen numerosas arquitecturas de los ADC  $\Sigma\Delta$ , cada una de ellas utiliza alguna característica para mejorar su desempeño y cada una de ellas cuenta con desventajas que impiden obtener, en algunos casos, la respuesta deseada. De ahí el interés en buscar nuevas técnicas que permitan subsanar estas desventajas y así aumentar las posibilidades de uso de este tipo de convertidores.

## 2.2 Convertidores analógico-digital

El convertidor analógico digital es un circuito electrónico que transforma una señal continua en el tiempo y en amplitud en una señal discreta en el tiempo y con su amplitud cuantificada y codificada; esta característica es representada mediante un código binario de N bits. El diagrama a bloques básico de un ADC se muestra en la Fig. 2.1, donde el filtro es anti-aliasing, S/H es un circuito de muestreo y retención (S/H), e incluye un cuantizador y un codificador.

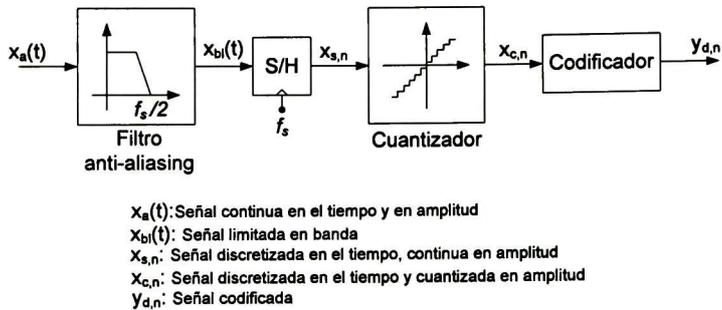


Fig. 2.1 Diagrama a bloques de un ADC.

Cada uno de los componentes cumple con una función bien definida (ver Fig. 2.1): El filtro anti-aliasing elimina los componentes espectrales que están por encima del 50% del valor de la frecuencia de muestreo a la cual trabaja el circuito S/H, y de esta manera cumplir con los postulados del teorema de Nyquist. El circuito S/H muestrea la señal limitada en banda que se obtiene a la salida del filtro ( $x_{bl}(t)$ ), produciendo una señal en tiempo discreto ( $x_{s,n}$ ), el cuantizador toma la señal en tiempo discreto y mapea el rango de amplitudes continuo en un conjunto de niveles discretos ( $x_{c,n}$ ) y, finalmente, el codificador asigna un código binario a cada uno de los niveles discretos ( $y_{d,n}$ ) [7]. De esta manera, la conversión A-D está determinada por dos procesos fundamentales: muestreo y cuantización. A partir de ellos se realiza la transformación continua a discreta de la señal de entrada, es decir, el muestreo en el tiempo y la cuantización en amplitud. Los errores inherentes a estos dos procesos limitan el funcionamiento de un ADC aun cuando sus componentes sean considerados ideales.

El muestreo impone un límite al ancho de banda de la señal de entrada analógica, debido a que se debe cumplir con el teorema de Nyquist para no tener pérdida de información. En el circuito muestreador, la señal de entrada filtrada es multiplicada por un tren de impulsos Dirac espaciados una cantidad  $T_s=1/f_s$ , lo que en el dominio de la frecuencia, corresponde a la convolución con un tren de impulsos localizados en múltiplos de la frecuencia de muestreo  $f_s$ . Para ADC's donde  $f_s$  es igual a la frecuencia de Nyquist  $f_N$ , el aliasing ocurrirá si la señal de entrada al muestreador contiene componentes por encima de  $f_s/2$ . Por esta razón se requieren filtros analógicos de alto orden para remover los componentes fuera de banda sin tener atenuación significativa en la banda de la señal. La cuantización introduce inherentemente una limitación en el desempeño de un ADC ideal, debido a que degrada la calidad de la

señal de entrada al mapear los niveles de valor continuo a un número finito de niveles discretos. En este proceso se genera un error, llamado error de cuantización.

## 2.2.1 Clasificación de los ADC

Existen varias maneras de clasificar los ADC atendiendo a diferentes propiedades. Las clasificaciones más utilizadas son aquellas que se basan en la razón de sobremuestreo y otras que toma en cuenta el compromiso resolución-velocidad. Algunas otras clasificaciones son las que toma en cuenta los bits del cuantizador (de un bit y multibit) y las que considera el ancho de banda de la señal de entrada, baja frecuencia (pasa-baja) o de banda limitada (pasa-banda).

### 2.2.1.1 Razón de sobre-muestreo

Según el teorema de muestreo, la razón entre la frecuencia de muestreo  $f_s$  y la frecuencia de Nyquist  $f_N$  debe ser mayor o igual a la unidad para evitar pérdida de información durante el proceso de muestreo. Esta razón se representa normalmente por  $M$ , y recibe el nombre de razón de sobremuestreo. Tomando en cuenta el valor de  $M$ , los convertidores A-D se clasifican en dos grandes grupos [8]:

Convertidores de Nyquist, para los cuales  $M=1$ .

Convertidores de sobremuestreo, en los que  $M>1$  (generalmente  $M>>1$ ).

### 2.2.1.2 Compromiso resolución-velocidad

Existe muchos tipos de ADC, la mayoría son de Nyquist, y cada uno ofrece diferentes compromisos entre el consumo de potencia, área de integración y las especificaciones funcionales básicas, que son resolución y velocidad. La resolución la determina el rango dinámico para una señal de entrada con máxima amplitud medido en número de bits equivalentes y, la velocidad, se define como la frecuencia máxima a la cual el ADC es capaz de procesar información.

Tomando en cuenta el compromiso entre resolución y velocidad, los ADC se pueden clasificar en tres grandes categorías [9]:

Convertidores de velocidad baja-media (desde dc hasta  $\sim 100\text{Hz}$ ) y alta resolución (20-22 bits). A este grupo pertenecen los ADCs de integración.

Convertidores de velocidad media (100Hz-10MHz) y resolución media (12-20 bits). En este grupo se encuentran los ADCs de aproximaciones sucesivas y los algorítmicos.

Convertidores de alta velocidad (10MHz-1GHz) y baja resolución (6-12 bits). Incluyen los convertidores flash, interpolativos, folding, pipelined, arquitecturas entrelazadas en el tiempo o paralelas, etc.

## 2.3 El Cuantizador: Fundamentos

Un cuantizador es un circuito electrónico que mapea el rango continuo de amplitudes de la señal de entrada en un conjunto de niveles discretos. Es un cuantizador uniforme si la separación entre cada dos niveles consecutivos de la entrada y la salida se mantiene constante en todo el rango de amplitudes. En caso contrario al cuantizador se le llama cuantizador no uniforme [10].

En función de su característica entrada-salida se puede distinguir entre cuantizadores tipo *midrise*, en los que el cero analógico no tiene un código asociado, y el *midtread*, en el que el cero sí tiene un código asociado. En la Fig. 2.2 se muestra la característica

entrada-salida de un cuantizador ideal tipo *midrise* de tres bits, donde la señal de entrada cambia de  $-1/2x_{FS}$  a  $+1/2x_{FS}$  y la salida es cuantizada (redondeada) a una salida de los diferentes  $2^N$  niveles. La separación entre niveles de salida adyacentes se define como paso de cuantización,  $\Delta$ . Para un cuantizador de  $N$  bits,  $\Delta = Y_{FS}/(2^N - 1)$ , donde  $Y_{FS}$  es el rango de salida a escala completa del cuantizador. Análogamente se define  $X_{LSB} = X_{FS}/(2^N - 1)$  como la mínima separación entre niveles consecutivos de la entrada, siendo  $X_{FS}$  la escala completa de la señal de entrada del cuantizador. Como  $X_{FS}$  y  $Y_{FS}$  no son necesariamente iguales, el cuantizador puede tener una ganancia,  $g_q$ , dada por la pendiente de la línea que interseca las transiciones de cada nivel del cuantizador.

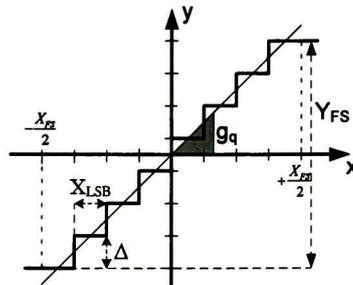


Fig. 2.2 Característica entrada-salida de un cuantizador ideal de tres bits.

### 2.3.1 Error de cuantización

La operación del cuantizador se puede describir por el siguiente modelo lineal [2]:

$$y = g_q x + e(x) \quad (2.1)$$

donde  $g_q$  y  $e(x)$  son la ganancia del cuantizador y el error de cuantización, respectivamente. En la Fig. 2.3 se observa el modelo lineal en bloques de un cuantizador ideal. El error de cuantización es una función no-lineal de la entrada  $x$ . Mientras  $x$  esté dentro del rango  $\pm X_{FS}/2$ , el error estará limitado a  $\pm \Delta/2$ . El valor máximo de  $e(x)$  ocurre en las transiciones. Para entradas fuera del rango  $\pm X_{FS}/2$ , el valor absoluto del error de cuantización crece monótonicamente, lo que se conoce como sobrecarga del cuantizador y el rango de entrada  $\pm X_{FS}/2$  se conoce como la región de no-sobrecarga. Lo anterior se observa en la Fig. 2.4.



Fig. 2.3 Modelo lineal del cuantizador.

Para evaluar el desempeño de un cuantizador ideal es necesario asumir algunas características de las propiedades del error de cuantización [11]. Como se observa en la Fig. 2.4, el error de cuantización es sistemáticamente definido por la señal de entrada. Sin embargo, si se asume que la entrada cambia aleatoriamente de muestra en muestra en el intervalo  $\pm X_{FS}/2$ , el error también estará no correlacionado entre muestras. De acuerdo a lo anterior, la cuantización se puede ver como un proceso aleatorio, donde el error de cuantización es independiente de la entrada con una distribución uniforme en el rango  $\pm \Delta/2$ .

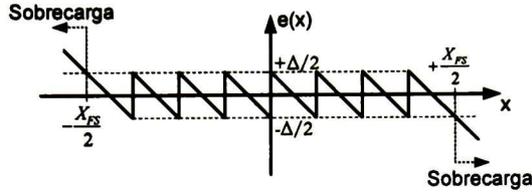


Fig. 2.4 Error de cuantización de un cuantizador de tres bits.

En la Fig. 2.5 se muestra la operación de un comparador (cuantizador de un bit), donde se observa que la principal diferencia con un cuantizador multibit es que la salida sólo depende del signo de la entrada, su valor absoluto no importa. Por lo tanto, la ganancia  $g_q$  no está definida y se puede escoger arbitrariamente.

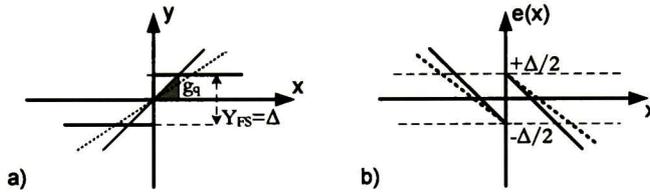


Fig. 2.5 Comparador: a) Curva entrada-salida, b) error de cuantización.

La Fig. 2.6 a) muestra la función de densidad de probabilidad (PDF por sus siglas en inglés) del error. La potencia asociada al error de cuantización, a partir de su PDF, es

$$\bar{e}^2 = \sigma^2(e) = \int_{-\infty}^{+\infty} e^2 \text{PDF}(e) de = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (2.2)$$

El asumir que el error de cuantización es un proceso aleatorio con PDF uniforme también implica que su densidad espectral de potencia (PSD por sus siglas en inglés) es uniforme, como se muestra en la Fig. 2.5 b). El PSD está dado por

$$S_E(f) = \frac{\bar{e}^2}{f_s} = \frac{\Delta^2}{12f_s} \quad (2.3)$$

El ancho de banda de la señal de entrada de un convertidor Nyquist se distribuye en la banda  $[-f_s/2, +f_s/2]$ , por lo tanto, toda la potencia del error de cuantización está dentro de la banda de la señal y pasa a la salida del ADC como parte de la señal. Por lo anterior, el error de cuantización usualmente es modelado como una fuente aditiva de ruido blanco (ver Fig. 2.3) y suele llamarse ruido de cuantización. La suposición del ruido blanco, aun cuando en la práctica no cumpla con todas las condiciones, comúnmente es utilizado en el diseño de ADC's dando buenos resultados (a mayor número de bits del cuantizador, mejor la aproximación) [2].

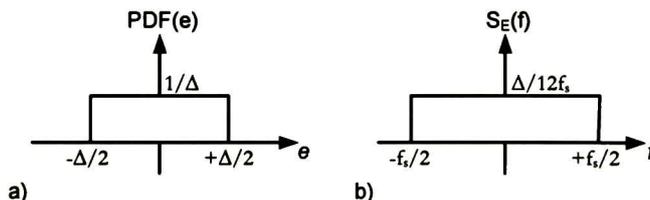


Fig. 2.6 Error de cuantización: a) PDF, b) PSD.

La degradación introducida por el cuantizador en el desempeño de un ADC puede ser expresada a través de la potencia del error de cuantización dentro de la banda,  $P_Q$ . En otras palabras,  $P_Q$  es la potencia del error causado por el proceso de cuantización dentro de la banda de la señal y está dada por

$$P_Q = \int_{-f_c}^{+f_c} S_E(f) df = \int_{-f_c/2}^{+f_c/2} S_E(f) df = \frac{\Delta^2}{12} \quad (2.4)$$

Obsérvese que la potencia del error disminuye con el paso de cuantización, sin embargo el valor de  $\Delta$  está limitado por limitaciones tecnológicas que se discutirán posteriormente.

### 2.3.2 No idealidades del cuantizador

El cuantizador presenta errores adicionales al error inherente a la propia cuantización. En la práctica, la característica entrada-salida que se observa en la Fig. 2.2 es degradada principalmente por tres fuentes de errores: error de offset, error de ganancia y error de no linealidad [12]. Los anteriores son errores estáticos, los cuales afectan la precisión del cuantizador cuando se tiene una señal de entrada en DC. Cada uno de ellos se puede expresar en LSBs (del inglés *Least Significant Bit*) o también se pueden representar como un porcentaje de FSR (del inglés *Full Scale Range*).

El error de offset es una medida del desplazamiento de la curva del cuantizador con respecto a la curva ideal. Se toma un punto como referencia en la curva ideal para medir el offset. El punto que se toma generalmente es la primera transición. El error de offset se muestra en la Fig. 2.7.

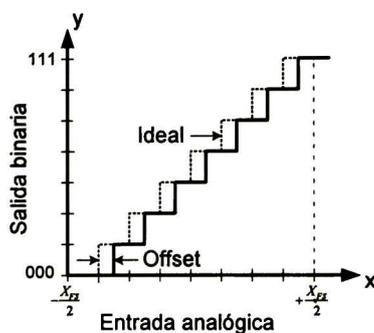


Fig. 2.7 Error de offset en un cuantizador de tres bits.

El error de ganancia se define como la máxima desviación de la pendiente de la característica entrada-salida del cuantizador con respecto a la pendiente de la respuesta ideal, suponiendo que no se tiene error de offset, es decir, haciendo el offset cero. El error de ganancia se muestra en la Fig. 2.8.

El error de no linealidad engloba la no linealidad integral (INL por sus siglas en inglés) y la no linealidad diferencial (DNL por sus siglas en inglés). El error INL es la máxima desviación de la respuesta del cuantizador respecto a la respuesta ideal suponiendo que no existe offset ni error de ganancia. El error DNL es la diferencia entre el ancho de un paso del cuantizador y el valor ideal de 1 LSB, suponiendo que no hay offset ni error de ganancia. Los dos errores se muestran en la Fig. 2.9, donde se observa que para DNL se hace uso de un subíndice para identificar a que transición se hace referencia, esto es,  $DNL_i$  representa el DNL de la transición  $i$ .

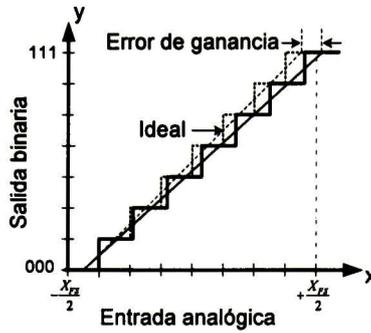


Fig. 2.8 Error de ganancia en un cuantizador de tres bits.

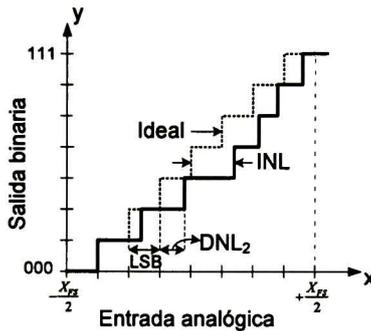


Fig. 2.9 INL y DNL en un cuantizador de tres bits.

### 2.3.3 Comparadores: Aspectos generales

El comparador es un cuantizador de un bit. Son utilizados para detectar cuando una señal analógica  $x_{IN+}(t)$  es mayor o menor que otra  $x_{IN-}(t)$ , y para codificar la salida en el dominio digital considerando la siguiente relación [13]:

$$y = \begin{cases} 1_D & \text{para } x_{IN+}(t) > x_{IN-}(t) \\ 0_D & \text{para } x_{IN+}(t) < x_{IN-}(t) \end{cases} \quad (2.5)$$

donde  $y$  es la señal de salida,  $1_D$  y  $0_D$  son el uno y cero lógico, respectivamente. En muchas aplicaciones una de las entradas es un valor de referencia, y el comparador detecta cuando la señal aplicada a la otra entrada es mayor o menor que esa referencia.

Los comparadores ideales, en teoría, deben ser capaces de detectar cualquier pequeña diferencia entre las señales de entrada, sin embargo, en la práctica esta diferencia debe ser mayor que la resolución ( $\xi$ ) característica del comparador para que pueda ser detectada. El valor de la resolución cambia dependiendo de las condiciones de operación. Si el tiempo para realizar la comparación es lo suficientemente grande,  $\xi$  toma el valor mínimo posible, el cual es inherente en el comparador y con el cual se tiene la máxima precisión. Si el tiempo de comparación disminuye el valor de  $\xi$  aumenta y la precisión del comparador empeora. Por lo tanto, existe un compromiso entre velocidad de operación y precisión del comparador: a mayor velocidad menor precisión.

En la Fig. 2.5 a) se observa la curva característica de un comparador ideal donde se puede ver que el comparador debe tener una ganancia infinita en el valor cero de entrada para que se obtenga esa respuesta. Es de esperar que tal característica no se

pueda obtener de un dispositivo real. Por otro lado, en la Fig. 2.10 se muestra una mejor aproximación de la curva entrada-salida que tiene un comparador real. En esta aproximación, la curva tiene una ganancia finita  $k_s$  alrededor de un offset de entrada  $E_{OS}$ . Los valores  $E_{OH}$  y  $E_{OL}$  son niveles que corresponden al uno y cero lógico, respectivamente. En base a estas características no lineales el valor mínimo de la resolución está dado por

$$\xi_s \approx |E_{OS}| + \frac{E_{OH} + E_{OL}}{2k_s} \approx |E_{OS}| + \frac{E_{OH}}{k_s} \Big|_{E_{OL}=E_{OH}} \quad (2.6)$$

donde se toma el modulo del offset debido a su naturaleza aleatoria y se asume que el intervalo de transición es simétrico alrededor de la entrada offset. Para cualquier nivel de entrada dentro del rango  $[-\xi_s, \xi_s]$  el estado de la salida del comparador es incierto. Por otro lado, cualquier entrada fuera de ese rango, lo que se llama una sobrecarga, genera un estado digital no ambiguo a la salida del comparador.

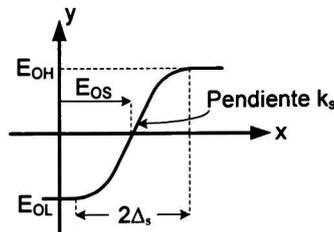


Fig. 2.10 Curva entrada-salida de un comparador no ideal.

Existen diferentes maneras de implementar un comparador. Una de ellas es implementarlo con la misma topología de circuito empleado para amplificadores de voltaje, debido a que los comparadores de voltaje son básicamente dispositivos con ganancia de voltaje. En la Fig. 2.11 se muestran tres alternativas CMOS, los cuales utilizan una única etapa de OTAs (del inglés *Operational Transconductance Amplifier*) [14]. Con estas estructuras se obtienen ganancias alrededor de 40dB, lo que se traduce en una resolución aproximada de 10 mV, es decir, ese valor se obtiene al usar (2.5) y considerando que el offset es cero y que  $E_{OH}=1V$ .

Los comparadores de una etapa presentan problemas para satisfacer el compromiso resolución-velocidad. Para mejorar esta relación se utilizan estructuras multi-etapas para que la ganancia de voltaje se obtenga a través de todas la etapas [15]. En la Fig. 2.12 se muestra una arquitectura multi-etapa a nivel conceptual. Si se asume que el comparador es de  $N$  etapas, todas idénticas y cada una con una ganancia  $k_s=g_m/g_o$ , se tiene la siguiente expresión para la resolución:

$$\xi_s \approx |E_{OS}| + E_{OH} \left( \frac{g_o}{g_m} \right)^N \quad (2.7)$$

donde  $E_{OS}$  es el offset de la primera etapa. No se toma en cuenta el offset que tienen el resto de las etapas debido a que es atenuado por la ganancia de las etapas anteriores en la cadena. A pesar de que muchas operaciones de los comparadores de voltaje consisten en etapas de ganancia de voltaje, hay diferencias significativas entre los amplificadores y los comparadores. Los amplificadores usualmente se diseñan para tener una operación lineal en configuraciones de lazo cerrado, lo que requiere de una compensación cuidadosa de la respuesta dinámica para evitar una operación inestable cuando se aplica la retroalimentación. Por otro lado, la dinámica en el mecanismo de

ganancia utilizada en los comparadores no necesita ser estable aun en lazo abierto. Actualmente, se utiliza la retroalimentación positiva en comparadores para implementar bloques de ganancia inestables pero muy rápidos.

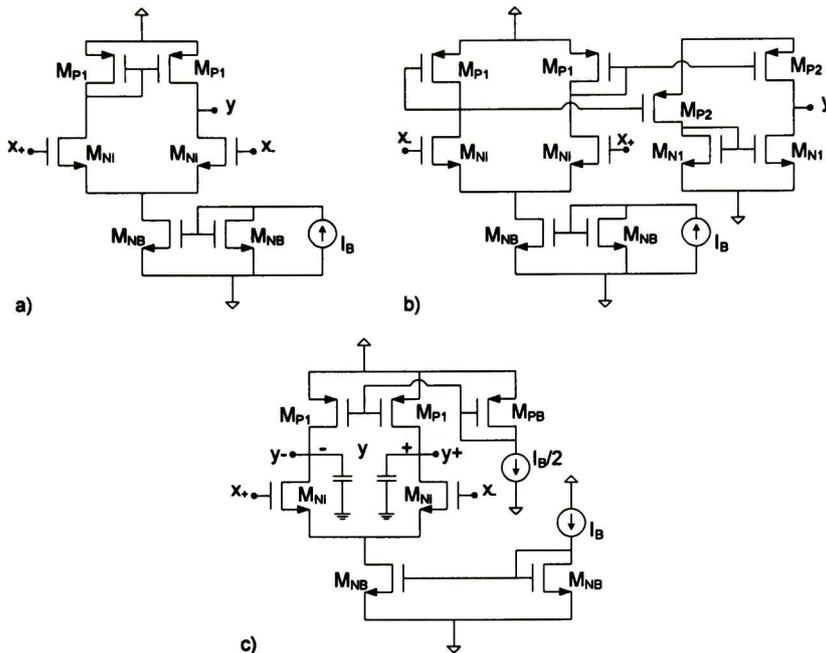


Fig. 2.11 a-c) Topologías de comparadores CMOS de una etapa.

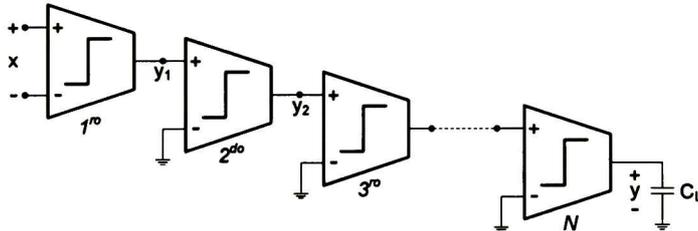


Fig. 2.12 Comparador multi-etapa a nivel conceptual.

### 2.3.3.1 Comparador regenerativo con retroalimentación positiva

La retroalimentación positiva provoca que el circuito sea inestable, pero el comparador no tiene que ser necesariamente estable. La inestabilidad hace que el comparador sea más rápido que aquellos comparadores que utilizan amplificadores que operan en la región lineal y en lazo cerrado, donde además hay que asegurar la estabilidad [16]. Una manera de implementar la retroalimentación positiva es utilizando OTAs como se muestra en la Fig. 2.13 a). La comparación se realiza cuando la fase de reloj  $\varphi_a$  está en un nivel alto. Durante esta fase, el modelo de primer orden que representa el comportamiento del comparador alrededor de punto  $y=0$ , se muestra en la Fig. 2.13 b). Por otro lado, las Fig. 2.13 c) y Fig. 2.13 d) muestran la característica resistiva que presenta el capacitor  $C_0$  durante la fase de comparación. La primera es para valores “pequeños” de la entrada  $x$ , y la segunda es para valores “grandes” de entrada. El comportamiento del comparador dependerá del signo que tenga la señal de entrada durante la fase de comparación. Durante la fase de *reset*, sin importar cuál sea la entrada, la salida se sitúa en el punto central  $P_0$ , donde  $y=0$  y por

lo tanto se encuentra en el punto *quiescente* donde el modelo de pequeña señal es aplicable.

Considerando que el valor de la entrada es “pequeño” y positivo, en el capacitor se tendrá la característica inferior mostrada en la Fig. 2.13 c), donde se tienen tres puntos de equilibrio: dos estables,  $Q_L$  y  $Q_H$ , y uno inestable,  $Q_0$ . Como la carga del capacitor no puede cambiar de manera instantánea, el estado  $y=0$  corresponde al punto  $P+$ , que se localiza al lado derecho de  $Q_0$ , lo que provoca que el punto  $Q_L$  sea descartado como una opción de equilibrio estable. De esta manera, la trayectoria se mueve hacia el punto  $Q_H$ , donde  $y=E_{OH}$ . Para entradas negativas el punto de equilibrio se mueve hacia  $Q_L$ , donde  $y=-E_{OL}$ . En ambos casos la evolución dinámica sigue el modelo mostrado en la Fig. 2.19 b), que opera a alta velocidad debido a la realimentación positiva.

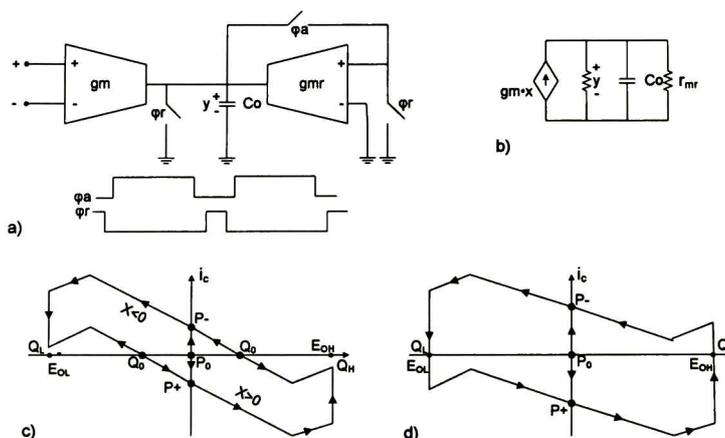


Fig. 2.13 Comparador con realimentación positiva y su operación dinámica.

### 2.3.3.2 Comparador regenerativo de tiempo discreto

Los comparadores regenerativos de tiempo discreto (DT por sus siglas en inglés) se construyen con un par de inversores *cruzados*, los cuales forman una *latch* como se muestra en la Fig. 2.14 a). Los inversores amplifican la entrada diferencial ( $x_{a+} - x_{a-}$ ) para obtener la salida diferencial saturada ( $y_{a+} - y_{a-}$ ) siguiendo el comportamiento que se muestra en la Fig. 2.14 b). Luego, durante la fase de reset ( $\varphi_r$  en alto), la entrada diferencial se almacena en los capacitores de muestreo y el circuito se sitúa en el estado central  $Q_0$ . Durante la fase de comparación ( $\varphi_a$  en alto) se recupera la entrada diferencial obligando a que el circuito evolucione hacia otro estado estable; para entradas positivas la salida se mueve hacia  $Q_H$ , y para entradas negativas, la salida se mueve hacia  $Q_L$ .

### 2.3.3.3 Comparador regenerativo con preamplificador

Idealmente, la resolución estática de los comparadores regenerativos es ilimitada, sin embargo, en la práctica la resolución está limitada por la disimetría y otros fenómenos de segundo orden. En comparadores con realimentación positiva, el error causado por la disimetría es mucho mayor respecto a otros tipos de comparadores [15], [17]. Al utilizar un amplificador se aumenta la resolución manteniendo la ventaja de la velocidad de este tipo de comparador. El esquemático conceptual del comparador se muestra en la Fig. 2.15, donde se observa que los inversores del *latch* están autopolarizados durante la fase de *reset*. En la fase de comparación, la señal de entrada ( $x_{a+} - x_{a-}$ ) es primero amplificada por un factor  $A_{in}$ , y después se suma al punto quiescente de los inversores. La amplificación de la señal de entrada ocurre cuando  $\varphi_{a1}$  está en un

nivel alto (primera parte de la fase de comparación). Durante la última parte de la fase de comparación ( $\varphi_{a2}$  en nivel alto) se habilita la realimentación positiva. El flanco de subida de  $\varphi_{a2}$  se retrasa con respecto a  $\varphi_{a1}$  para garantizar que el desbalance se lleve a cabo.

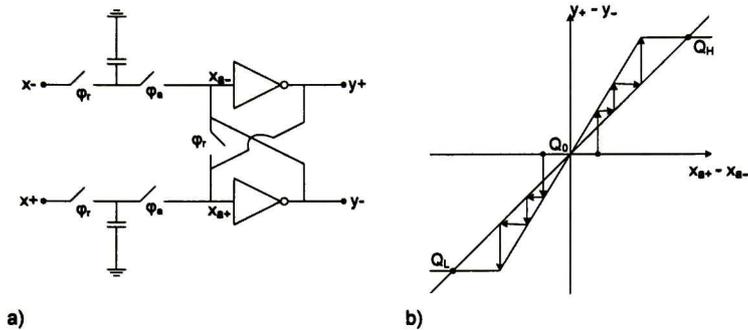


Fig. 2.14 Comparador formado por un latch y su operación dinámica.

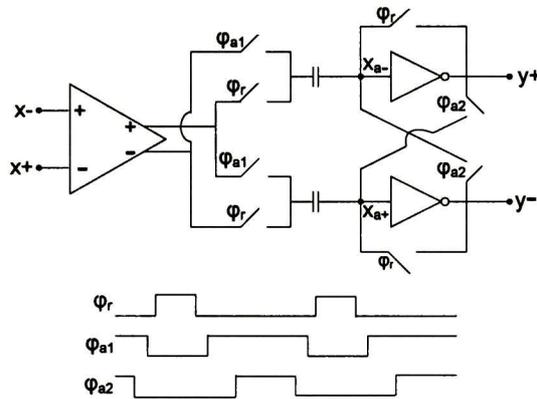


Fig. 2.15 Comparador regenerativo con preamplificador.

## 2.4 Fundamento de los ADC $\Sigma\Delta$

Los ADC  $\Sigma\Delta$  hacen uso del sobre-muestreo y de la técnica *noise-shaping* (conformado del error) para disminuir la potencia del error de cuantización dentro de la banda de la señal y aumentar la exactitud de la conversión A-D. De esta manera, la robustez de este tipo de convertidor se basa en el uso de redundancia temporal (obtenida mediante el sobre-muestreo) y en la combinación de estos datos temporales mediante técnicas de procesamiento de señal (promedio en el caso más simple), incrementando así la resolución efectiva del convertidor [7].

### 2.4.1 Sobre-muestreo

Como se menciona en 2.2.1.1, el sobre-muestreo consiste en muestrear una señal más rápido que la frecuencia de Nyquist. La razón de sobre-muestreo (OSR por sus siglas en inglés, también identificada como M) se expresa de la siguiente manera:

$$\text{OSR} = \frac{f_s}{f_N} = \frac{f_s}{2f_B} \quad (2.8)$$

donde  $f_s$ ,  $f_N$  y  $f_B$  son la frecuencia de muestreo, la frecuencia de Nyquist y la frecuencia del ancho de banda de la señal, respectivamente. El sobre-muestreo tiene, por otro lado, dos efectos muy importantes. El primer efecto es que las imágenes de la señal de entrada, creadas por el proceso de muestreo, estén más separadas que en un convertidor Nyquist, debido a que el ancho de banda de la señal  $f_B$  es más pequeño que  $f_s/2$ . La consecuencia de esto, es que la transición de la banda de paso a la banda de rechazo del filtro *anti-aliasing* puede ser menos abrupta, lo que simplifica enormemente su diseño. Lo anterior se puede observar en la Fig. 2.16.

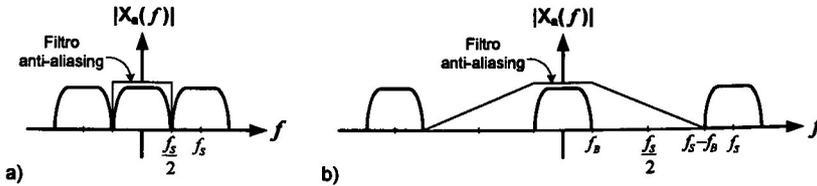


Fig. 2.16 Filtro *anti-aliasing* para: a) Convertidores Nyquist, b) Convertidores con sobre-muestreo.

El segundo efecto es que permite disminuir la cantidad de error de cuantización que se encuentra dentro de la banda de la señal, debido a que la potencia del error de cuantización de una señal sobre-muestreada se distribuye en el rango  $[-f_s/2, +f_s/2]$  y el rango del ancho de banda de la señal es  $[-f_B, +f_B]$ . Como  $f_B < f_s/2$ , sólo una parte del error total está dentro de la banda de la señal. Lo anterior se muestra en la Fig. 2.17. La potencia del error de cuantización dentro de la banda de la señal está dada por

$$P_Q = \int_{-f_B}^{+f_B} S_E(f) df = \int_{-f_B}^{+f_B} \frac{\Delta^2}{12f_s} df = \frac{\Delta^2}{12OSR} \quad (2.9)$$

De este resultado se observa que mientras más grande sea la razón de sobre-muestreo, menor será la porción del total de la potencia del error dentro de la banda de la señal de entrada.

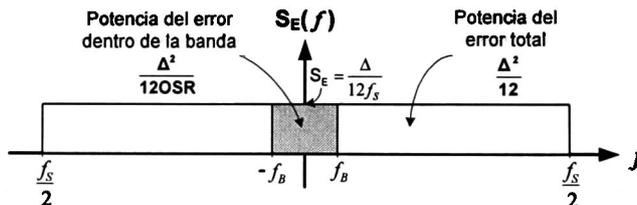


Fig. 2.17 PSD del error de cuantización en un convertidor con sobre-muestreo.

## 2.4.2 Conformado del error

Esta característica se obtiene a través de un procesamiento del error de cuantización, el cual permite reducir la potencia del error dentro de la banda de la señal y así aumentar la exactitud de la conversión A-D. La idea básica es la siguiente: considerar un comparador de sobre-muestreo con un cuantizador de N-bits. Si la razón de sobre-muestreo es lo suficientemente grande, y la señal de entrada cambia poco de muestra a muestra, la mayor parte de los cambios en el error de cuantización ocurrirá a altas frecuencias porque a bajas frecuencias muestras consecutivas del error de cuantización son similares. De esta manera, los componentes del error de cuantización dentro de la banda de la señal (bajas frecuencias) se pueden atenuar restando la muestra anterior a la muestra actual. La reducción del error es mayor si se utilizan más muestras anteriores. Este procedimiento se representa matemáticamente de la siguiente manera:

$$\begin{aligned}
e_{HP,1}(n) &= e(n) - e(n-1) && 1^{\text{er}} \text{ Orden} \\
e_{HP,2}(n) &= e(n) - 2e(n-1) + e(n-2) && 2^{\text{do}} \text{ Orden} \\
e_{HP,3}(n) &= e(n) - 3e(n-1) + 3e(n-2) - e(n-3) && 3^{\text{er}} \text{ Orden} \\
&\dots
\end{aligned} \tag{2.10}$$

y se puede formular en el dominio  $z$  como

$$E_{HP,L}(z) = (1 - z^{-1})^L \cdot E(z) = \text{NTF}(z) \cdot E(z) \tag{2.11}$$

donde  $\text{NTF}(z)$  es la función de transferencia del ruido y  $L$  es el orden del filtrado que se realiza al error de cuantización. Obsérvese que el error procesado es una versión filtrada del error original. A partir de la función de transferencia del ruido, se tiene que

$$\begin{aligned}
\text{NTF}(Z) &= (1 - z^{-1})^L && z^{-1} = e^{-j2\pi\frac{f}{f_s}} \\
\text{NTF}(f) &= \left(1 - e^{-j2\pi\frac{f}{f_s}}\right)^L \\
|\text{NTF}(f)|^2 &= \left[2\text{sen}\left(\pi\frac{f}{f_s}\right)\right]^{2L} && \text{OSR} \gg 1 \\
|\text{NTF}(f)|^2 &= 2^{2L} \left(\pi\frac{f}{f_s}\right)^{2L}
\end{aligned} \tag{2.12}$$

donde  $f \leq f_B$ . La potencia dentro de la banda de la señal del error de cuantización es

$$P_Q = \int_{-f_B}^{+f_B} |\text{NTF}(f)|^2 S_E df \approx \frac{\Delta^2}{12} \frac{\pi^{2L}}{(2L+1)\text{OSR}^{2L+1}} \tag{2.13}$$

Se observa que la reducción de  $P_Q$  ocurre debido a la dependencia del sobre-muestreo y al conformado pasa-alta de la función de transferencia del ruido, el cual permite tener una gran atenuación en la banda de la señal al transferir el ruido hacia altas frecuencias. La Fig. 2.18 muestra  $|\text{NTF}(f)|$  para diferentes ordenes de conformado del error donde, a mayor orden, menor ruido dentro de la banda de la señal.

### 2.4.3 Arquitectura básica

La arquitectura básica de un ADC  $\Sigma\Delta$  pasa-bajas se muestra en la Fig. 2.19. En el diagrama se observan tres bloques principales: el filtro anti-aliasing, el modulador  $\Sigma\Delta$  y el decimador. La función del filtro es la misma que en los ADC Nyquist, atenuar los componentes fuera de banda de la señal de entrada para evitar el aliasing cuando sea muestreada. Sin embargo, sus requerimientos son menores debido al sobre-muestreo, como ya se explicó. El modulador  $\Sigma\Delta$  se encarga del muestreo y la cuantización de la señal de entrada ya filtrada. Este bloque realiza el conformado del error, el cual, combinado con el sobre-muestreo, mejora la exactitud de la conversión A-D. Su salida es un tren de pulsos digitales de  $B$  bits a una frecuencia de muestreo  $f_s$ . El decimador está formado por un filtro digital y por un sub-muestreador, los cuales, en la práctica, usualmente se implementan en un mismo bloque.

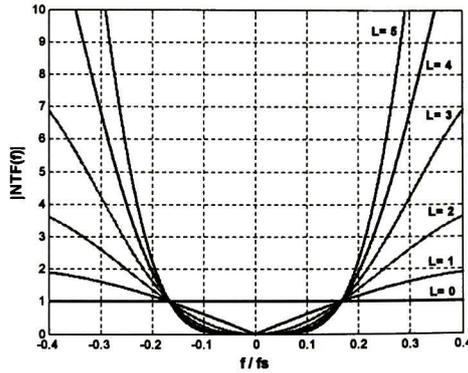


Fig. 2.18  $|NTF(f)|$  para diferentes ordenes de conformado.

El filtro digital remueve los componentes en frecuencia del tren de pulsos digitales que se encuentran por arriba de  $f_b$ , lo cual elimina el error de cuantización que ha sido conformado. De esta manera se evita el *aliasing* cuando se realice el sub-muestreo. Se requiere una alta selectividad en el filtrado, sin embargo es más fácil implementar un filtro digital con estas características que un filtro analógico. Esta es una de las ventajas de los ADC  $\Sigma\Delta$ , los cuales necesitan el filtro con los requerimientos más exigentes en el dominio digital.

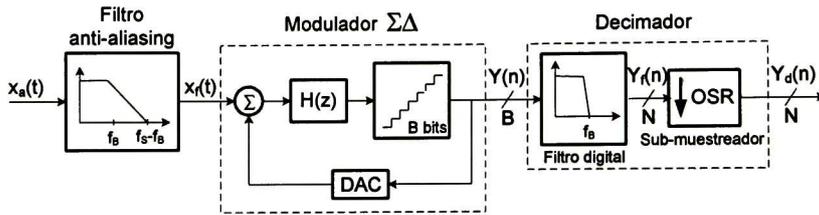


Fig. 2.19 Diagrama a bloques del ADC  $\Sigma\Delta$ .

El modulador  $\Sigma\Delta$  es el bloque con más influencia en el desempeño del ADC porque es el responsable de la conversión A-D. Por ello, de aquí en adelante el trabajo se enfoca al estudio de este bloque. Como se puede ver en la Fig. 2.19, el modulador  $\Sigma\Delta$  consiste de un filtro  $H(z)$ , un cuantizador de B bits, cuenta con retroalimentación negativa, y utilizando un DAC de B bits [18]; el muestreo de la señal de entrada filtrada se realiza dentro del bloque  $H(z)$ . En la Fig. 2.20 se muestra el modelo lineal del modulador  $\Sigma\Delta$ , donde el DAC es ideal y el cuantizador se reemplaza por el modelo lineal (ver Fig. 2.3). De esta manera, el modulador se puede ver como un sistema de dos entradas ( $x$ ,  $e$ ) y una salida ( $y$ ). Su representación en el dominio  $z$  es

$$Y(z) = \frac{g}{1 + g \frac{H(z)}{q}} X(z) + \frac{1}{1 + g \frac{H(z)}{q}} E(z) = STF(z)X(z) + NTF(z)E(z) \quad (2.14)$$

donde  $X(z)$  y  $Y(z)$  son la transformada  $z$  de la señal de entrada y el ruido respectivamente,  $STF(z)$  y  $NTF(z)$  son sus respectivas funciones de transferencia. Escogiendo  $H(z)$  apropiadamente se puede implementar el conformado del error sin degradar la señal de entrada, de tal manera que  $STF(z) \approx 1$  (en algunos diseños se puede buscar que la señal tenga ganancia  $G$ ) y  $NTF \ll 1$  dentro del ancho de banda de la señal de entrada. Esto se puede lograr si la función de transferencia  $H(z)$  tiene una ganancia muy grande en el ancho de banda de la señal.

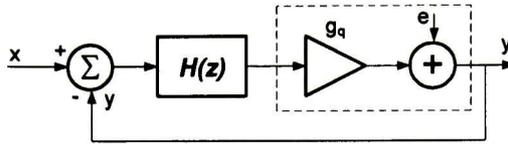


Fig. 2.20 Modelo lineal del modulador  $\Sigma\Delta$ .

El filtro más sencillo que tiene el comportamiento en frecuencia deseado es un integrador, cuya función de transferencia en el dominio  $z$  es modelada por

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (2.15)$$

Considerando que la ganancia del cuantizador  $g_q$  es la unidad, la respuesta del modulador está dada por

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z) \quad (2.16)$$

donde se observa que dentro del ancho de banda de la señal, la señal de entrada únicamente se ve afectada por un retraso, mientras que en la función de transferencia del error de cuantización se implementa la función que se muestra en (2.11), consiguiendo que se genere el conformado del error. La función de transferencia del modulador que se muestra en (2.16) se llama modulador de 1<sup>er</sup> orden, debido al orden de la función del conformado del error.

#### 2.4.4 Medidas de desempeño

Éstas son necesarias para el análisis de los moduladores  $\Sigma\Delta$  y permiten comprender y cuantificar el desempeño de los convertidores  $\Sigma\Delta$  [7].

- Razón señal a ruido (SNR, por sus siglas en inglés). Es la razón entre la potencia de salida a la frecuencia de una entrada senoidal y la potencia del error dentro de banda no correlacionado. El SNR no incluye la potencia dentro de la banda de la señal debida a los armónicos. Para un convertidor ideal, tomando en cuenta sólo el error de cuantización, el SNR se puede aproximar a:

$$\text{SNR}|_{\text{dB}} = 10 \log_{10} \left( \frac{A_y^2}{2P_Q} \right) \quad (2.17)$$

donde  $A_y$  es la amplitud de la salida senoidal.

- Razón señal a ruido+distorsión (SNDR, por sus siglas en inglés). Se define como la razón entre la potencia de salida a la frecuencia de una entrada senoidal y la potencia total del error dentro de la banda de la señal, tomando en cuenta los posibles armónicos a la salida del convertidor.
- Rango dinámico (DR, por sus siglas en inglés). Representa la razón entre la potencia de salida a la frecuencia de una entrada senoidal con amplitud máxima y la potencia de salida para una entrada pequeña para la cual  $\text{SNR}=0\text{dB}$ . Idealmente, la amplitud máxima a la entrada del convertidor de una senoidal es  $X_{\text{FS}}/2$ , la cual producirá una salida dentro del rango de la escala completa  $Y_{\text{FS}}$  en el cuantizador, entonces:

$$DR|_{dB} = 10 \log_{10} \left( \frac{(Y_{FS}/2)^2}{2P_Q} \right) \quad (2.18)$$

- Numero efectivo de bits (ENOB, por sus siglas en inglés). Refiere el número de bits que necesita un convertidor Nyquist ideal para obtener el mismo DR que un convertidor  $\Sigma\Delta$ . De esta manera el desempeño de ambos tipos de convertidores se pueden comparar de una manera sencilla:

$$ENOB = \frac{DR|_{dB} - 1.76}{6.02} \quad (2.19)$$

- Nivel de sobrecarga ( $X_{OL}$ ). En la práctica, la sobrecarga de un cuantizador de B bits no inicia cuando la amplitud de la señal de entrada del modulador es igual al 50% de la escala completa del rango de entrada del cuantizador ( $X_{FS}/2$ ). Entonces, el SNR de un modulador  $\Sigma\Delta$  no incrementa monóticamente para amplitudes de entradas en el rango  $[0, X_{FS}/2]$ , debido a que con amplitudes de entrada cercanas a  $X_{FS}/2$ , ocurre la sobrecarga, causando un incremento del ruido dentro de la banda de la señal y una disminución del SNR. El valor máximo del SNR antes que disminuya se denomina  $SNR_{pico}$  y, el correspondiente nivel de entrada cuando ocurre esta situación, es  $X_{OL}$ .

Los parámetros anteriores se muestran en la Fig. 2.21 donde se observan las curvas típicas del SNR y SNDR en función de la amplitud de entrada de una señal senoidal. Usualmente, las dos curvas coinciden para niveles de entradas pequeñas y medianas. Para niveles de entradas grandes la distorsión debida a los armónicos es suficiente para degradar la curva SNDR.

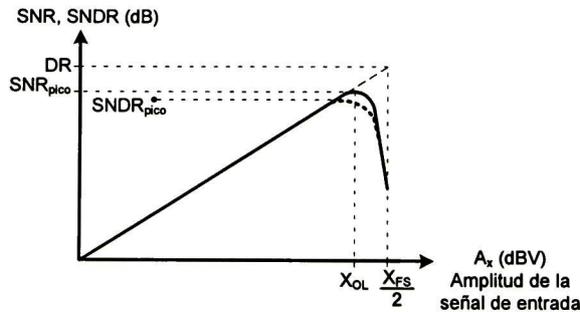


Fig. 2.21 Medidas de desempeño del modulador  $\Sigma\Delta$ .

## 2.4.5 Desempeño ideal

El desempeño ideal del modulador  $\Sigma\Delta$  se compara con el desempeño de un ADC Nyquist ideal, utilizando el DR como medida de comparación. Considerando un cuantizador de B bits y utilizando (2.4), el DR de un ADC Nyquist se puede aproximar por

$$DR = \frac{P_{X_{FS}/2}^{out}}{P_Q} = \frac{3}{2} 2^{2B} \quad (2.20)$$

donde

$$P_{X_{FS}/2}^{out} \approx \frac{(Y_{FS}/2)^2}{2} \quad (2.21)$$

Expresado en decibeles, se obtiene la siguiente relación

$$DR|_{dB} = 6.02B + 1.76 \quad (2.22)$$

donde se observa que por cada bit adicional del cuantizador el DR del ADC aumenta aproximadamente 6dB. Por otro lado, la salida de un modulador  $\Sigma\Delta$  de L-orden en el dominio z, está dado por

$$Y(z) = z^{-L}X(z) + (1 - z^{-1})^L E(z) \quad (2.23)$$

donde la señal de entrada aparece en la salida después de L retardos y el conformado del error de cuantización es de orden L. Considerando un cuantizador de B bit y utilizando (2.13), el DR se puede aproximar por

$$DR = \frac{P_{x_{fs}/2}^{out}}{P_Q} \approx \frac{3}{2} (2^B - 1)^2 \cdot \frac{(2L + 1)OSR^{(2L+1)}}{\pi^{2L}} \quad (2.24)$$

donde el término  $2^B - 1$  no se aproxima a  $2^B$  debido a que en los moduladores  $\Sigma\Delta$  se utilizan cuantizadores de baja resolución (de 1 a 5 bits). Expresando el DR en decibeles se obtiene:

$$DR|_{dB} \approx 20 \log_{10}(2^B - 1) + 1.76 + 10 \log_{10}\left(\frac{2L + 1}{\pi^{2L}}\right) + 10(2L + 1) \log_{10}(OSR) \quad (2.25)$$

A partir de (2.25) se observa que el DR del modulador  $\Sigma\Delta$  puede aumentar si se incrementa L, OSR y/o B. Variar estos parámetros tiene ventajas y desventajas:

- Variación del orden del modulador, L. El desempeño de un modulador  $\Sigma\Delta$  mejora considerablemente al aumentar el orden del conformado del error, de tal manera que el error de cuantización atenúa más a bajas frecuencias, como se puede observar en la Fig. 2.18. Para ejemplo, si se considera que  $B=1$  y  $OSR=32$ , el aumento que se tiene en DR al incrementar el orden del modulador del tercer al cuarto orden, es de aproximadamente 21.3 dB, lo que representa una mejora de 3.5 bits.

Incrementar el orden del modulador tiene un gran impacto en su desempeño, sin embargo utilizar altos ordenes de conformado da lugar a problemas de inestabilidad. Aun cuando se logre mantener la estabilidad, el rango dinámico de moduladores de alto orden será menor que el valor predicho por (2.25).

- Variación de la razón de sobre-muestreo, OSR. El efecto del OSR se muestra en la Fig. 2.22, donde el rango dinámico se grafica en función de la razón de sobre-muestreo y del orden del modulador, considerando el cuantizador de un bit. Se observa que para  $OSR > 4$ , aumenta considerablemente el valor de DR al combinar los efectos del sobre-muestreo y el conformado del error. Al aumentar el OSR mejora considerablemente el desempeño del modulador, sin embargo, tener OSR grandes implica que la frecuencia de muestreo será muy alta y que los circuitos deban trabajar muy rápido. Aun si el proceso de fabricación permitiera obtener esas velocidades, se tendría una gran disipación de potencia.

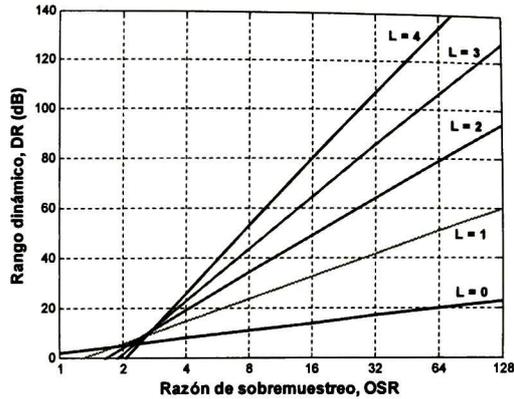


Fig. 2.22 Modelo lineal del modulador  $\Sigma\Delta$ .

- Variación de la resolución del cuantizador, B. Esta variación afecta de la misma manera a los ADC Nyquist que a los ADC  $\Sigma\Delta$ . Al aumentar la resolución disminuye la potencia del error que es resultado del proceso de cuantización. Tener moduladores  $\Sigma\Delta$  multi-bit requiere un DAC multi-bit en el lazo de retroalimentación. Debido a la posición que ocupa el DAC en la estructura del modulador (ver Fig. 2.19) cualquier no-idealidad que éste tenga se añadirá directamente a la entrada del modulador [19]. Por lo anterior, usualmente los cuantizadores de todo ADC  $\Sigma\Delta$  son de 1 a 5 bits.

## 2.4.6 Tipos de arquitecturas

Conociendo el funcionamiento básico del modulador  $\Sigma\Delta$  es posible seleccionar aquellas características, siempre bajo el control del diseñador, que permitan mejorar su desempeño. En base a lo anterior, se pueden construir diferentes arquitecturas, como son: moduladores de un sólo lazo pero de distinto orden, arquitecturas en las que se colocan varios moduladores en cascada, moduladores que utilizan cuantizadores multi-bit, entre otros.

### 2.4.6.1 Arquitecturas de lazo único

Las arquitecturas tienen un sólo lazo de retroalimentación, un cuantizador de un bit, y pueden tener uno o varios integradores, siendo la diferencia entre ellos el orden del modulador.

- Modulador  $\Sigma\Delta$  de 1er orden: Es la arquitectura más simple que se puede construir. El diagrama a bloques se muestra en la Fig. 2.23, donde se puede ver que se han agregado dos bloques de ganancia a la entrada y a la retroalimentación con respecto al diagrama mostrado en la Fig. 2.20. Si se reemplaza el comparador por su modelo lineal, la respuesta del modulador en el dominio  $z$  es

$$Y(z) = \frac{g_1 g_q z^{-1} X(z) + (1 - z^{-1}) E(z)}{1 - (1 - g_1' g_q) z^{-1}} \quad (2.26)$$

Se puede observar que cumpliendo la condición  $g_1' g_q = 1$  se obtiene el conformado de primer orden del error de cuantización. Entonces la respuesta del modulador es (2.27), donde se tiene una ganancia  $G = g_1 / g_1'$ .

$$Y(z) = \frac{g_1}{g'_1} z^{-1} X(z) + (1 - z^{-1}) E(z) \quad (2.27)$$

Una de sus principales desventajas es que se necesitan grandes OSR, en ocasiones imposibles de implementar para obtener resoluciones medias a altas. Lo anterior se debe al poco impacto que tiene el OSR sobre el desempeño del modulador, como se observa en (2.28), donde se muestra el rango dinámico calculado para el modulador  $\Sigma\Delta$  de primer orden en función del OSR. El DR para esta arquitectura se obtiene a partir de (2.24) considerando  $L=1$  y  $B=1$ . Por ejemplo, utilizando (2.28), para una resolución de 14 bit se necesita que  $OSR \approx 959$ , lo que se traduce en una frecuencia de muestreo equivalente a  $f_s \approx 1.92$  GHz para un ancho de banda de 1 MHz.

$$DR|_{dB} \approx 10 \log_{10} \left( \frac{3}{2} \cdot \frac{3OSR^3}{\pi^2} \right) \quad (2.28)$$

Otra desventaja de los moduladores  $\Sigma\Delta$  de primer orden es que no cumple con las condiciones del modelo lineal del cuantizador para señales de entrada en DC [20], debido a que el error de cuantización está correlacionado con la señal de entrada, por lo tanto, no cambia aleatoriamente. Al tener una señal de entrada en DC, la salida cambia entre los niveles  $1_D$  y  $0_D$ , tratando de mantener el valor promedio igual al valor de la señal de entrada mediante patrones repetitivos. Si la frecuencia de las repeticiones está dentro de la banda de la señal, la potencia del error dentro de la banda puede ser mayor que el predicho por el modelo lineal. Este problema se resuelve mediante la técnica llamada *dithering* [2], [21], que consiste en introducir una señal aleatoria, usualmente a la entrada del cuantizador, que permita evitar parcialmente la correlación entre la señal de entrada y el ruido de cuantización.

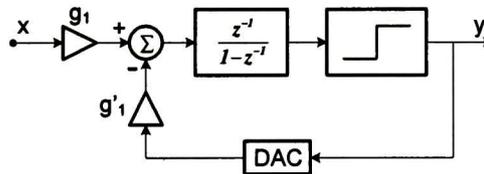


Fig. 2.23 Diagrama a bloques del modulador  $\Sigma\Delta$  de 1<sup>er</sup> orden.

- Modulador  $\Sigma\Delta$  de 2<sup>do</sup> orden: Si el cuantizador de un modulador  $\Sigma\Delta$  de primer orden se reemplaza por un modulador  $\Sigma\Delta$  de primer orden completo, se obtiene un modulador  $\Sigma\Delta$  de segundo orden [22]. La arquitectura del modulador  $\Sigma\Delta$  de 2<sup>do</sup> orden cuenta con dos integradores, un comparador y un DAC de retroalimentación. El diagrama a bloques se muestra en la Fig. 2.24, donde se observa que se han agregado dos bloques de ganancia a la entrada de cada integrador.

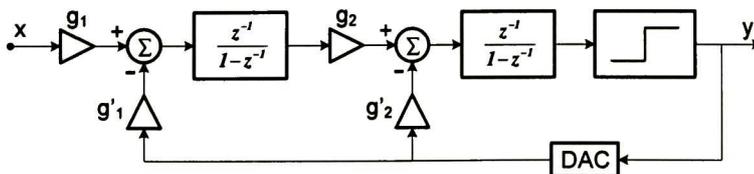


Fig. 2.24 Diagrama a bloques del modulador  $\Sigma\Delta$  de 2<sup>do</sup> orden.

Si se reemplaza el comparador por su modelo lineal, la respuesta del modulador en el dominio  $z$  es

$$Y(z) = \frac{g_1 g_2 g_q z^{-2} X(z) + (1 - z^{-1})^2 E(z)}{1 + (g'_2 g_q - 2)z^{-1} + (1 + g'_1 g_2 g_q - g'_2 g_q)z^{-2}} \quad (2.29)$$

donde se observa que requiere cumplir con las condiciones  $g'_1 g_2 g_q = 1$  y  $g'_2 = 2g'_1 g_2$  para obtener el conformado de segundo orden del error de cuantización. Cumpliendo con estas condiciones la respuesta del modulador está dada por

$$Y(z) = \frac{g_1}{g'_1} z^{-2} X(z) + (1 - z^{-1})^2 E(z) \quad (2.30)$$

En la selección del valor de los bloques de ganancia intervienen aspectos de arquitectura, de respuesta del circuito y tecnológicos, debido a que, entre otras consideraciones, deben asegurar la estabilidad del modulador, permitir maximizar el nivel de sobrecarga y minimizar el rango de la señal a la salida de los integradores, además de que sea lo más sencilla posible para la implementación en circuito de los coeficientes. El rango dinámico que se tiene para esta arquitectura, a partir de (2.24), es

$$DR|_{dB} \approx 10 \log_{10} \left( \frac{3}{2} \cdot \frac{5OSR^5}{\pi^4} \right) \quad (2.31)$$

Se puede observar que, el efecto que tiene el OSR sobre el rango dinámico en el modulador de segundo orden, es mayor que el que tiene en el modulador de primer orden (2.28). A manera de comparación, para obtener 14 bits de resolución se necesita que  $OSR \approx 88$ , lo que se traduce en una frecuencia de muestreo  $f_s \approx 176$  MHz para un ancho de banda de 1 MHz. Además, al utilizar dos integradores permite tener una mejor no-correlación entre la señal de entrada y el error de cuantización

- Modulador  $\Sigma\Delta$  de alto orden: Se puede aumentar el orden del modulador  $\Sigma\Delta$  indefinidamente aumentando el número de integradores y bloques de ganancia, como se muestra en la Fig. 2.25. Usualmente esta arquitectura se denomina Modulador  $\Sigma\Delta$  con lazo único de orden  $L$  con retroalimentación distribuida. Si se consigue cumplir con el conjunto de especificaciones para el valor de los bloques de ganancia, la respuesta del modulador en el dominio  $z$  es:

$$Y(z) = \frac{g_1}{g'_1} z^{-L} X(z) + (1 - z^{-1})^L E(z) \quad (2.32)$$

De esta manera se puede tener resoluciones muy grandes en base al alto orden del modulador ( $L$ ) aún para OSR pequeños. El rango dinámico que se tiene para esta arquitectura, a partir de (2.24), es la siguiente

$$DR|_{dB} \approx 10 \log_{10} \left( \frac{3}{2} \cdot \frac{(2L+1)OSR^{(2L+1)}}{\pi^{2L}} \right) \quad (2.33)$$

Sin embargo, en la práctica no es posible obtener el DR predicho por (2.33) porque el modulador tiende a la inestabilidad para  $L > 2$ ; la ganancia de NTF

incrementa rápidamente para altas frecuencias cuando  $L > 2$  [23], como se muestra en la Fig. 2.18. Obtener las condiciones que garantizan la estabilidad de los moduladores  $\Sigma\Delta$  de alto orden resultan en expresiones demasiado complejas [24], las cuales no pueden ser generalizadas, o se obtienen expresiones que sólo garantizan la estabilidad bajo ciertas condiciones.

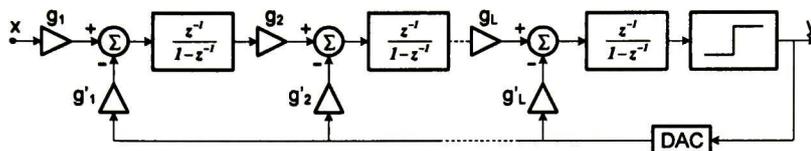


Fig. 2.25 Diagrama a bloques del modulador  $\Sigma\Delta$  de alto orden.

#### 2.4.6.2 Arquitecturas en cascada

Los moduladores en cascada, también llamados moduladores  $\Sigma\Delta$  MASH (de *Multi-stage noise SHaping*) [25], permite obtener un conformado del error de alto orden sin los problemas de inestabilidad que tienen los modulador  $\Sigma\Delta$  de alto orden de un sólo lazo. En la Fig. 2.26 se muestra el diagrama a bloques general de un modulador en cascada de  $N$  etapas. Se observa que la construcción de esta arquitectura consiste en varias etapas de moduladores  $\Sigma\Delta$  donde cada etapa modula la respuesta que da la etapa anterior, de tal manera que el error de cuantización es re-modulado  $N$  veces. La etapa digital se encarga de procesar las respuestas de todos los moduladores y las combina de forma que se cancelen los errores de cuantización de todas las etapas, excepto la última. A partir del procesado digital, el error de cuantización es conformado con un orden igual a la suma de órdenes de todas las etapas. Como en esta arquitectura sólo se utilizan moduladores de primer y segundo orden, se obtiene un modulador de alto orden incondicionalmente estable. En general, para un modulador en cascada de  $N$  etapas se puede tener un orden  $L$ . Si las salidas de todas las etapas se procesan adecuadamente en el dominio digital, a la salida sólo se tendrá la señal de entrada y el error de cuantización de la última etapa. La respuesta en el dominio  $z$  es:

$$Y(z) = STF(z)X(z) + NTF_N(z)E_N(z) \\ = z^{-L}X(z) + d_{2N-3}(1-z^{-1})^L E_N(z) \quad (2.34)$$

donde  $L=L_1+L_2+\dots+L_N$  y  $d_{2N-3}$  es el factor de escalamiento relacionado a los pesos del integrador que amplifica el error de cuantización de la última etapa.

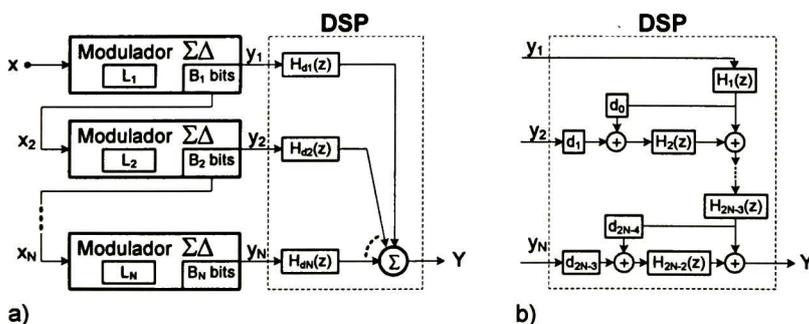


Fig. 2.26 a) Diagrama a bloques del modulador  $\Sigma\Delta$  en cascada. b) Estructura usualmente utilizada en el DSP para la cancelación de los errores de cuantización.

Luego, la potencia del error de cuantización de la última etapa esta dado por:

$$P_Q \approx d_{2N-3}^2 \frac{\Delta_N^2}{12} \frac{\pi^{2L}}{(2L+1)\text{OSR}^{(2L+1)}} \quad (2.35)$$

donde  $\Delta_N$  es el paso de cuantización del cuantizador de B bits de la etapa N. El desempeño que se obtiene es el que se tiene para un modulador  $\Sigma\Delta$  de orden L excepto por el escalar  $d_{2N-3}$  que provoca una pérdida de desempeño ya que valores comunes son 2 y 4. A pesar de esta degradación en el desempeño en los moduladores  $\Sigma\Delta$  en cascada, esta pérdida es menor que la que se tiene en los moduladores  $\Sigma\Delta$  de alto orden con un sólo lazo.

La correcta operación de los moduladores  $\Sigma\Delta$  en cascada se basa en el adecuado procesamiento digital de las salidas de cada etapa. En la práctica, el número de etapas se limita debido a las no idealidades de los circuitos (por ejemplo, el *mismatch*), los cuales causan una cancelación incompleta de los errores de cuantización de bajo orden a la salida del modulador. Este efecto es conocido como *noise leakage*.

#### 2.4.6.3 Arquitecturas multi-bit

En las arquitecturas mencionadas en las secciones anteriores, el desempeño del modulador ha mejorado incrementando el OSR y/o el orden del modulador. Sin embargo, las mejoras que se obtienen disminuyen debido a inestabilidades o al *noise leakage*. Otra forma de mejorar el desempeño del modulador es utilizar cuantizadores multi-bit, lo cual tiene diversas ventajas:

- Disminuye la potencia del error dentro de la banda al ser más pequeños los pasos de cuantización.
- Se aproxima mejor al modelo lineal del error de cuantización que con cuantizadores de un bit.
- Mejora las propiedades de estabilidad para un determinado orden del modulador, en comparación con moduladores con cuantizadores de un bit.

Como se muestra en (2.24), aumentar el número de bits del cuantizador mejora el DR. En una arquitectura multi-bit es posible reducir el OSR sin degradar el desempeño, lo que permitiría utilizar el modulador para aplicaciones con mayor ancho de banda, donde se requiere que la frecuencia de muestreo sea menor. Además permite reducir el consumo de potencia en todos los bloques que forman el ADC  $\Sigma\Delta$ . Sin embargo, utilizar cuantizadores multi-bit también tiene importantes desventajas que limitan su aprovechamiento, entre ellas destacan las siguientes:

- Los cuantizadores multi-bit requieren mucha más arquitectura analógica y son más difíciles de diseñar que los comparadores.
- En la práctica presentan no idealidades, como el *mismatch*, las cuales no se tienen en los comparadores debido a que estos son intrínsecamente lineales.
- Al utilizar cuantizadores multi-bit es necesario que el DAC en la retroalimentación también sea multi-bit, por lo que cualquier no idealidad de éste afecta significativamente el desempeño del modulador, ya que estos errores se suman directamente a la entrada.

El esquema básico del modulador  $\Sigma\Delta$  multi-bit se muestra en la Fig. 2.27 a). En la Fig. 2.27 b) se cambia el cuantizador multi-bit por su modelo lineal donde, aparte del error de cuantización, se añaden errores propios de la cuantización multi-bit, como son: el error  $e_{ADC}$  que es un error asociado al proceso de conversión A-D y el error

$e_{DAC}$  es producto del proceso de la conversión D-A. El error  $e_{ADC}$ , al igual que el error de cuantización ( $e$ ), es atenuado por el proceso del conformado del error. Sin embargo, el error  $e_{DAC}$  se añade directamente a la entrada del modulador por lo que no es atenuado, debido a que el DAC se encuentra en la rama de retroalimentación. Debido a esto, el DAC debe ser diseñado para tener la linealidad que se desea obtener en todo el ADC  $\Sigma\Delta$ , lo cual resulta complicado debido al impacto de errores como el *mismatch*. Se han propuesto varias alternativas para obtener altas linealidades en los moduladores  $\Sigma\Delta$  multi-bit, como son el utilizar calibración analógica para mejorar la igualdad de los elementos del DAC, realizar una corrección digital para pasar el error del DAC al dominio digital y ahí corregirlo, utilizar elementos dinámicos para trasladar parte del error del DAC a altas frecuencias donde se pueda eliminar con el filtro digital.

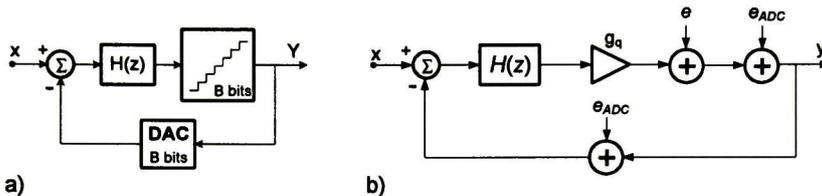


Fig. 2.27 a) Modulador  $\Sigma\Delta$  multi-bit. b) Modelo lineal con fuentes de error.

## 2.4.7 Modulador Sigma-Delta pasa-banda

Con el crecimiento del mercado de las comunicaciones inalámbricas ha incrementado el interés en moduladores  $\Sigma\Delta$  pasa-banda para implementarlos como frontera en los dispositivos de comunicaciones inalámbricas. Una de las principales ventajas de los moduladores  $\Sigma\Delta$  pasa-banda, comparadas con otras arquitecturas, es que no necesitan digitalizar toda la banda Nyquist (desde DC hasta la mitad de la frecuencia de muestreo), sólo digitalizan la banda de la señal, lo cual consume menos potencia con similar rango dinámico. En la práctica, con los fundamentos de los moduladores  $\Sigma\Delta$  pasa-baja es posible hacer uso de los principios de modulación  $\Sigma\Delta$  y extender el análisis a moduladores  $\Sigma\Delta$  pasa-banda, los cuales trabajan con un ancho de banda angosto.

### 2.4.7.1 Conceptos básicos [8]

Los ADC  $\Sigma\Delta$  pasa-banda se compone de tres bloques básicos: un filtro *anti-aliasing*, un modulador  $\Sigma\Delta$  pasa-banda y un decimador digital. Al igual que para los ADC  $\Sigma\Delta$  pasa-baja, el modulador es el más difícil de diseñar por lo que el análisis que se presenta se enfocará en este bloque. La Fig. 2.28 muestra el diagrama a bloques del modulador  $\Sigma\Delta$  pasa-banda. Se observa que está formado por un filtro pasa-banda, un cuantizador de  $B$  bits y un DAC en el lazo de retroalimentación. El filtro pasa-banda se puede formar colocando en cascada dos o más resonadores con una frecuencia central ( $f_c$ ) bien definida. Si se considera que la función de transferencia del filtro pasa-banda de orden  $2L$ , formado por  $L$  resonadores en cascada, es

$$H_R(z) = \frac{N_R(z)}{(1 - z^{-1}z_n)(1 - z^{-1}z_n^*)} \quad (2.36)$$

con  $z_n$  y  $z_n^*$  polos complejos conjugados, y si además se utiliza el modelo lineal para el error de cuantización asumiendo que  $H_R(z)$  se diseña para satisfacer la relación

$$N_R(z) + (1 - z^{-1}z_n)(1 - z^{-1}z_n^*) = 1 \quad (2.37)$$

entonces la función de transferencia del ruido está dada por

$$N_{TR}(z) = [1 - 2\cos(2\pi f_c T_s)z^{-1} + z^{-2}]^L \quad (2.38)$$

La potencia del error de cuantización dentro de la banda y el rango dinámico para el modulador  $\Sigma\Delta$  pasa-banda están dados por (2.39) y (2.40), respectivamente.

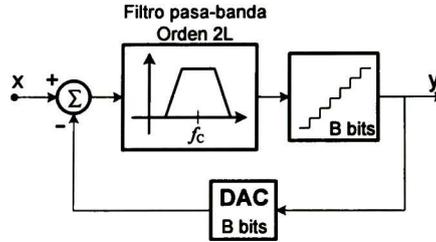


Fig. 2.28 Diagrama a bloques de un modulador  $\Sigma\Delta$  pasa-banda.

El conformado del error del modulador  $\Sigma\Delta$  pasa-banda de orden  $2L$  es igual al que se tiene en un modulador  $\Sigma\Delta$  pasa-baja de orden  $L$ .

$$P_Q \approx \frac{[\sin(2\pi f_c T_s)]^{2L} \pi^{2L} X_{FS}^2}{12(2^B - 1)^2 (2L + 1) OSR^{(2L+1)}} \quad (2.39)$$

$$DR \approx \frac{3(2^B - 1)^2 (2L + 1) OSR^{(2L+1)}}{2\pi^{2L} [\sin(2\pi f_c T_s)]^{2L}} \quad (2.40)$$

En teoría, la banda de paso del modulador  $\Sigma\Delta$  pasa-banda se puede colocar en cualquier frecuencia desde DC hasta  $f_s/2$ . Entonces, para una frecuencia central y un ancho de banda  $B_w$  dado, escoger la razón  $f_c/f_s$  es un compromiso entre la frecuencia de muestreo, los requerimientos del filtro *anti-aliasing* y la razón de sobre-muestreo. En la Fig. 2.29 a) se puede observar que mientras más se aproxime  $f_c$  a  $f_s/2$  la banda de transición  $B_\pi$  del filtro *anti-aliasing* se hace más abrupta y si  $f_c$  se aproxima a DC mayor será  $B_\pi$ . Sin embargo, tener una  $f_c$  baja complica el diseño del filtro IR (del inglés *Image-Reject*) que se necesita en los receptores RF. Lo anterior se observa en la Fig. 2.29 b) donde la señal de entrada de RF se centra en la frecuencia  $f_{RF}$ . Se puede notar que el filtro IR se debe diseñar para suprimir las imágenes centradas en  $f_{RF} - 2f_c$  y evitar que se corrompa la señal de entrada.

Tomando en cuenta los requerimientos de los dos filtros, el *anti-aliasing* y el IR, la frecuencia central  $f_c$  debe situarse en un lugar intermedio de la banda de Nyquist. Entonces, una solución óptima es que  $f_c$  sea una cuarta parte de la frecuencia de muestreo. Esto también permitirá, aparte de relajar las especificaciones de los filtros, simplificar el diseño de los mezcladores digitales y la síntesis de las arquitecturas pasa-banda, las cuales se podrán obtener fácilmente de arquitecturas pasa-baja realizando una sencilla transformación de variables.

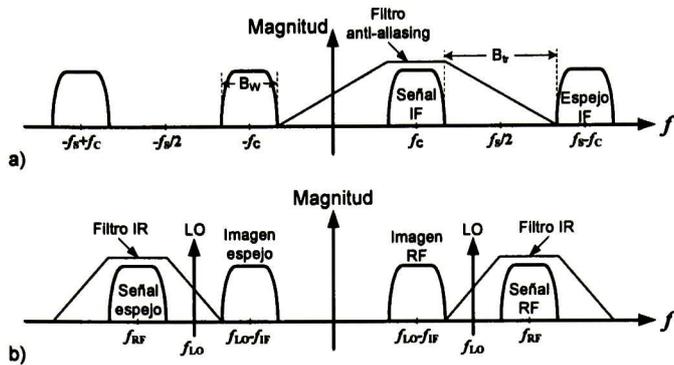


Fig. 2.29 a) Compromiso entre requerimientos del filtro *anti-aliasing* y valores altos de  $f_c$ . b) Compromiso entre requerimientos del filtro IR y valores bajos de  $f_c$ .

### 2.4.7.2 Síntesis de arquitecturas [26]

La estructura básica de un modulador  $\Sigma\Delta$  pasa-banda es análoga a la que se tiene en un modulador  $\Sigma\Delta$  pasa-baja, excepto por el tipo del filtro. De ahí que el método más utilizado para la síntesis de moduladores  $\Sigma\Delta$  pasa-banda sea el método de transformación de pasa-baja a pasa-banda (LP a BP). Como se comentó en la sección anterior, un modulador  $\Sigma\Delta$  pasa-baja de orden  $L$  y un modulador  $\Sigma\Delta$  pasa-banda de orden  $2L$  tienen idénticas medidas de desempeño (SNR, DR). La transformación LP a BP más utilizada es:

$$z^{-1} \rightarrow -z^{-2} \quad (2.41)$$

Aplicando esta transformación, a partir del modulador  $\Sigma\Delta$  pasa-baja de orden  $L$  de la Fig. 2.30 a) se obtiene el modulador  $\Sigma\Delta$  pasa-banda de orden  $2L$  de la Fig. 2.30 b). Asumiendo el modelo lineal para el cuantizador, la salida del modulador  $\Sigma\Delta$  pasa-banda en el dominio  $z$  está dada por

$$Y(z) = (-z^{-2})^L X(z) + (1+z^{-2})^L E(z) \quad (2.42)$$

Como consecuencia de la transformación los integradores del modulador  $\Sigma\Delta$  pasa-baja original se convierten en resonadores en el modulador  $\Sigma\Delta$  pasa-banda resultante, los cuales tienen la función de transferencia que se muestra en (2.36) con  $z_n = \exp[j(\pi/2)]$  y  $N_R(z) = -z^{-2}$ .

La potencia del error de cuantización dentro de la banda para el modulador de la Fig. 2.30 b) se puede calcular a partir de (2.39) substituyendo  $f_c = f_s/4$ , obteniendo una expresión idéntica al  $P_Q$  que se tiene para un modulador  $\Sigma\Delta$  pasa-baja de orden  $L$ . De la misma manera se puede realizar para el rango dinámico, a partir de (2.40) se obtiene la misma expresión que se tiene para un modulador  $\Sigma\Delta$  pasa-baja de orden  $L$ . En general, cualquier modulador  $\Sigma\Delta$  pasa-banda de orden  $2L$  de  $B$  bits se puede obtener de un modulador  $\Sigma\Delta$  pasa-baja de orden  $L$  de  $B$  bit aplicando la transformación (2.41). Esta transformación mantiene todas las características del modulador original:  $P_Q$ , SNR, DR, etc. También se mantienen las propiedades de estabilidad, de manera que el modulador  $\Sigma\Delta$  pasa-banda que resulte será estable, sólo si el modulador  $\Sigma\Delta$  pasa-baja original es estable.

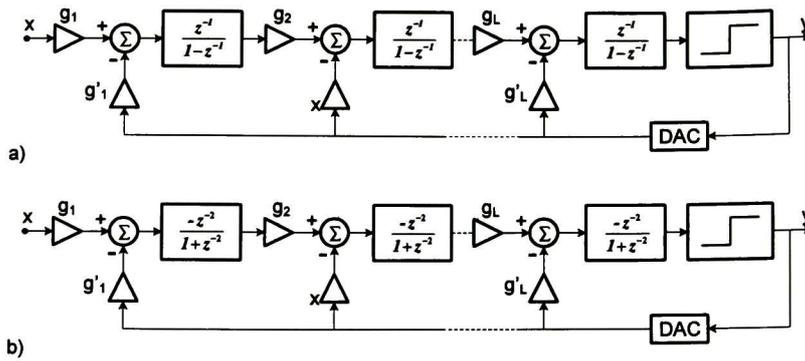


Fig. 2.30 a) Diagrama a bloques del modulador  $\Sigma\Delta$  pasa-baja de orden L. b) Diagrama a bloques del modulador  $\Sigma\Delta$  pasa-banda de orden 2L aplicando la conversión LP a BP.

Una manera más flexible de diseñar los moduladores  $\Sigma\Delta$  pasa-banda consiste en sintetizar directamente el filtro del modulador. Esto permite colocar óptimamente los polos y ceros de la función de transferencia de la señal y del ruido de cuantización, cumpliendo con las especificaciones de diseño. De esta manera el diseño de un modulador  $\Sigma\Delta$  pasa-banda se reduce a un problema de optimización del filtro. Sin embargo, es común que se haga más compleja la circuitería analógica al realizar la síntesis por este método.

## 2.5 Conclusiones

Los ADC  $\Sigma\Delta$  permiten obtener altas resoluciones sin necesitar que las especificaciones de cada uno de sus bloques tengan esa resolución, es decir, permite relajar las especificaciones de sus bloques sin degradar su desempeño. Esto se logra principalmente al sobre-muestreo y al conformado del error. El sobre-muestreo mejora considerablemente la calidad de la respuesta del ADC  $\Sigma\Delta$  sin embargo también es una de sus desventajas, ya que limita el ancho de banda.

Se han presentado varios tipos de moduladores, cada uno explota alguna característica para mejorar su desempeño, a un costo de aumentar la complejidad e incluso ser más sensible a las no idealidades de los circuitos. Así, si se necesita un convertidor pasa-bajas de mediana-baja resolución, se podrá utilizar el modulador de primer orden de un bit, siendo de las arquitecturas más sencillas. Si se necesita mayor resolución será necesario aumentar la complejidad del modulador al aumentar el orden del filtro, incrementar los bits del cuantizador y/o utilizar moduladores en cascada. Si lo que se desea es utilizar el convertidor en frecuencias mayores, como las utilizadas en las comunicaciones inalámbricas, lo más adecuado es utilizar un modulador pasa-banda con el cual solo se convierte el ancho de banda deseado y su diseño no es más complicado que el pasa-baja debido a que se puede obtener de éste utilizando una sencilla transformación.

## Capítulo 3

# Moduladores $\Sigma\Delta$ en Tiempo Continuo

Se presentan los fundamentos de operación en moduladores  $\Sigma\Delta$  tiempo continuo. Primero se muestra la diferencia estructural entre los moduladores  $\Sigma\Delta$  en tiempo discreto y se hace una comparación entre ellos para resaltar sus principales ventajas y desventajas. Después se realiza, por un lado, un análisis matemático para mostrar que también utilizando filtros en tiempo continuo se obtiene el conformado del error y, por el otro, se realiza el análisis del efecto anti-aliasing que presentan los moduladores  $\Sigma\Delta$  CT. Posteriormente se muestran los principales métodos usados para diseñar este tipo de moduladores, entre los que sobresalen los que realizan una conversión del tiempo discreto al tiempo continuo. Ésta se utiliza en el diseño de los moduladores  $\Sigma\Delta$  CT pasa-banda, introduciendo el método de múltiples retroalimentaciones para lograr la igualdad DT-CT mediante resonadores.

### 3.1 Introducción

**E**ntre las distintas maneras de diseñar un modulador  $\Sigma\Delta$ , aquella que usa filtros en tiempo continuo ha adquirido importancia en los últimos años debido a las ventajas que presenta frente a su contraparte en tiempo discreto. Si bien el funcionamiento de ambos tipos de moduladores  $\Sigma\Delta$  es muy similar, la diferencia en la arquitectura los hace más o menos robustos frente a las no idealidades de los bloques que los componen. Además, el análisis de los moduladores  $\Sigma\Delta$  CT se complica debido a que en él existen señales tanto en tiempo continuo como en tiempo discreto.

Debido a la similitud entre los dos tipos de moduladores, sin embargo, no es de extrañar que uno de los principales métodos de diseño de los moduladores  $\Sigma\Delta$  CT se base en realizar una transformación a partir de un modulador  $\Sigma\Delta$  en tiempo discreto (DT), con lo cual se obtiene prácticamente el mismo desempeño haciendo uso de toda la información que se tiene sobre los moduladores  $\Sigma\Delta$  DT.

Realizar la conversión de tiempo discreto a tiempo continuo para moduladores  $\Sigma\Delta$  pasa-banda genera funciones de transferencias que no es posible obtener utilizando

resonadores. Para que exista la equivalencia con los moduladores  $\Sigma\Delta$  DT utilizando resonadores, se utilizan múltiples retroalimentaciones, con lo cual se hace uso de los coeficientes de los DACs para hacer la equivalencia.

### 3.2 Fundamentos de los ADC $\Sigma\Delta$ CT

Como ya fue descrito, el conformado del ruido se realiza mediante un filtro de tiempo discreto,  $H(z)$ . El diagrama a bloques del convertidor  $\Sigma\Delta$  DT se muestra en la Fig. 3.1.

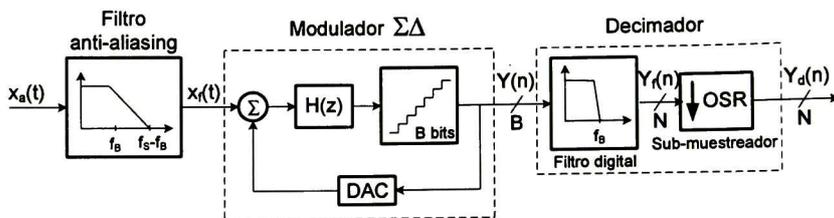


Fig. 3.1 Diagrama a bloques del ADC  $\Sigma\Delta$  DT.

El conformado del error de cuantización también puede implementarse con filtros de tiempo continuo. En la Fig. 3.2 se muestra el diagrama a bloques de un convertidor  $\Sigma\Delta$  CT, el cual incluye el bloque S/H después del filtro  $H(s)$ . Usualmente el muestreo se realiza dentro del cuantizador. Se puede observar principalmente dos diferencias en la arquitectura con respecto al convertidor  $\Sigma\Delta$  DT [27]:

1. La posición en el modulador donde se realiza el muestreo: En el modulador  $\Sigma\Delta$  DT se lleva a cabo en el filtro del lazo, es decir, en la entrada del modulador, y en el modulador  $\Sigma\Delta$  CT el muestreo se hace dentro del lazo, después del filtro CT.
2. Filtrado anti-aliasing de la señal de entrada: En el modulador  $\Sigma\Delta$  DT se lleva a cabo por un filtro anti-aliasing colocado a la entrada del modulador, mientras que en el modulador  $\Sigma\Delta$  CT la señal de entrada es filtrada por el filtro CT, de manera que se puede considerar que el filtrado anti-aliasing se hace de forma implícita por  $H(s)$ .

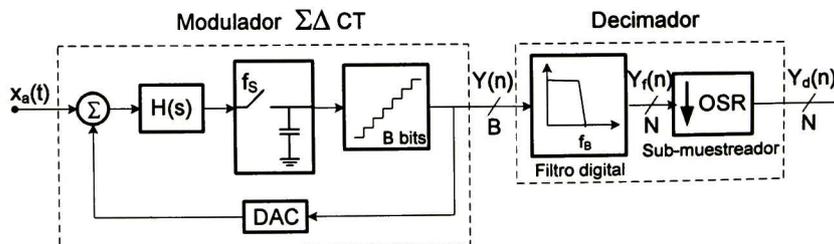


Fig. 3.2 Diagrama a bloques del ADC  $\Sigma\Delta$  CT.

De manera general, los fundamentos de los moduladores  $\Sigma\Delta$  DT se pueden aplicar a los moduladores  $\Sigma\Delta$  CT. Sin embargo, el análisis matemático de un modulador  $\Sigma\Delta$  CT es más complejo debido a que en él existen tanto señales continuas como señales discretas, por lo que la descripción a utilizar (discreta o continua) no está bien definida.

### 3.2.1 Modulador $\Sigma\Delta$ : CT vs DT

A pesar que el comportamiento de los moduladores  $\Sigma\Delta$  DT y CT sean similares en cuanto al conformado del error, sus diferencias estructurales provocan que respondan de diferente manera frente a determinadas condiciones de operación y los hace menos robustos ante el efecto de diferentes no idealidades. De esta manera, entre las principales ventajas de los moduladores  $\Sigma\Delta$  CT frente a los moduladores  $\Sigma\Delta$  DT están los bajos voltajes de operación, la frecuencia de muestreo y el consumo de potencia:

Los moduladores  $\Sigma\Delta$  DT se ven afectados enormemente por los bajos voltajes de operación, debido a que la reducción de este parámetro en las tecnologías CMOS modernas limitan el desempeño de los circuitos tipo capacitores conmutados. [28]

La frecuencia de muestreo en los moduladores  $\Sigma\Delta$  DT, por otro lado, es limitada por los errores de muestreo como la inyección de carga, la no linealidad, etc. En los moduladores  $\Sigma\Delta$  CT el muestreo se realiza dentro del lazo, de tal manera que se ve afectado por el proceso del conformado del error, de la misma forma que el error de cuantización. Así, la frecuencia de muestreo en los moduladores  $\Sigma\Delta$  CT puede ser hasta un orden de magnitud más rápido que en los moduladores DT, sin afectar de manera importante su desempeño [29].

La posición del circuito S/H disminuye el ruido térmico en la banda de interés debido al *aliasing* en los moduladores  $\Sigma\Delta$  CT, además que el filtro anti-*aliasing* puede ser eliminado, lo que provoca que disminuya el consumo de potencia con respecto a los moduladores  $\Sigma\Delta$  DT [22].

Las principales desventajas de los moduladores  $\Sigma\Delta$  CT con respecto a los moduladores  $\Sigma\Delta$  DT son el excesivo retardo en el lazo, las asimetrías en la salida del DAC, y el *jitter* del reloj [28]:

El retraso de la señal de retroalimentación se debe a los tiempos de respuestas de los circuitos que forman al modulador. Este retraso degrada el SNR de los moduladores  $\Sigma\Delta$  CT. Esto no ocurre en los moduladores  $\Sigma\Delta$  DT debido a que el tiempo de muestreo es mayor que el retraso que se produce.

La desigualdad entre los tiempos de subida y bajada en la salida del DAC introduce distorsión armónica en los moduladores  $\Sigma\Delta$  CT.

El *jitter* del reloj afecta de manera importante el desempeño de los moduladores  $\Sigma\Delta$  CT debido a que incrementa el nivel de ruido dentro de la banda de la señal.

### 3.2.2 Modulador $\Sigma\Delta$ CT de primer orden [28]

En la Fig. 3.3 se muestra el diagrama a bloques del modulador  $\Sigma\Delta$  CT donde el cuantizador y el bloque de muestreo/retención se han cambiado por sus modelos matemáticos. A partir de la Fig. 3.3 se puede observar que la transformada en el dominio de la frecuencia de la salida del modulador  $y(t)$  está dada por:

$$Y(f) = E_q(f) + g_q Q_i(f) \quad (3.1)$$

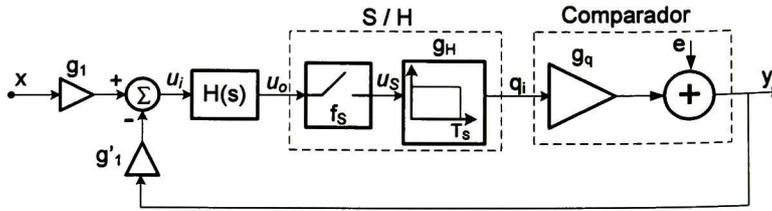


Fig. 3.3 Diagrama a bloques del modulador  $\Sigma\Delta$  CT con modelos matemáticos del comparador y del bloque S/H.

donde  $E_q(f)$  y  $B(f)$  es la transformada del error de cuantización y la entrada del cuantizador, respectivamente. La entrada del cuantizador,  $b(t)$ , se obtiene a partir de la salida del integrador, el cual pasa a través del bloque S/H:

$$q_i(t) = u_s(t) * g_H(t) \quad (3.2)$$

$$u_s(t) = \sum_n u_o[nT_s] \delta(t - nT_s) \quad (3.3)$$

$$g_H(t) = \begin{cases} 1 & 0 \leq t \leq T_s \\ 0 & t < 0, t > T_s \end{cases} \quad (3.4)$$

donde  $u_s(t)$  es la salida del muestreador y  $g_H(t)$  es la función S/H. La transformada en el dominio de la frecuencia de (3.2), utilizando las transformadas de (3.3) y (3.4), está dada por

$$Q_i(f) = U_s(f) + G_H(f) = \text{Sinc}(fT_s) \sum_n U_o(f - nf_s) \quad (3.5)$$

La transformada en el dominio de la frecuencia de la salida del filtro del lazo,  $U_o$ , está dado por

$$U_o(f) = H(f)U_i(f) = H(f)[g_1X(f) - g'_1Y(f)] \quad (3.6)$$

Sustituyendo (3.6) en (3.5), y utilizando el resultado en (3.1), la salida del modulador en el dominio de la frecuencia es

$$Y(f) = E_q(f) + \text{Sinc}(fT_s)H(f) \sum_n [g_1g_qX(f - nf_s) - g'_1g_qY(f - nf_s)] \quad (3.7)$$

La frecuencia de la banda de la señal es mucho menor que la frecuencia de muestreo, de tal manera que la aproximación  $\text{Sinc}(fT_s) \approx 1$  es válida. Además, la señal de entrada está limitada en banda por el filtrado anti-aliasing, por lo tanto  $X(f - nf_s) \approx X(f)$ . Si además se considera que la señal de salida está libre de aliasing, (3.7) se puede aproximar a

$$Y(f) = E_q(f) + g_1g_qH(f)X(f) - g'_1g_qH(f)Y(f) \quad (3.8)$$

Despejando  $Y(f)$  se obtienen las funciones de transferencia de la señal de entrada y del ruido de cuantización:

$$Y(f) = \frac{g_i g_q H(f)}{1 + g_i g_q H(f)} X(f) + \frac{1}{1 + g_i g_q H(f)} E_q(f) \quad (3.9)$$

Al igual que en los moduladores de tiempo discreto, la característica que se busca en el filtro del lazo es que presente una ganancia muy grande en la banda de interés y una ganancia muy baja fuera de banda. Para bajas frecuencias, el bloque más simple que presenta esta característica (pasa-baja) es un integrador, cuya función de transferencia ideal es

$$H(f) = \frac{1}{s\tau} = \frac{1}{j2\pi f\tau} \quad (3.10)$$

Sustituyendo en (3.9), se tiene la siguiente expresión:

$$Y(f) = \frac{g_i g_q}{g_i g_q + j2\pi f\tau} X(f) + \frac{j2\pi f\tau}{g_i g_q + j2\pi f\tau} E_q(f) \quad (3.11)$$

Es común diseñar el integrador de tal manera que su constante de tiempo sea el recíproco de la frecuencia de muestreo. De esta manera  $f\tau \ll 1$ , y si además se considera que  $g_q = 1/g_i$  la señal de salida está dada por

$$Y(f) \cong X(f) + j2\pi f\tau \cdot E_q(f) \quad (3.12)$$

donde se verifica que la señal de entrada y el error de cuantización se ven afectados por diferentes funciones de transferencias, de la misma manera que en tiempo discreto. La diferencia es que la función de transferencia del error de cuantización en el dominio del tiempo es una diferenciación, mientras que en el dominio de la frecuencia es una función de filtrado de primer orden pasa-alta.

### 3.3 Modulador $\Sigma\Delta$ CT: Filtro anti-aliasing implícito

Como ya se ha mencionado, los moduladores  $\Sigma\Delta$  DT necesitan un filtro anti-aliasing en su entrada para limitar el ancho de banda de la señal de entrada y evitar el problema del aliasing. Una característica de los moduladores  $\Sigma\Delta$  CT es que tiene cierta protección frente al aliasing. En el caso de un modulador  $\Sigma\Delta$  CT pasa-baja, la función de transferencia de la señal de entrada contiene una función Sinc, la cual permite tener el comportamiento anti-aliasing.

El efecto anti-aliasing se puede explicar de la siguiente manera: La entrada del cuantizador en el instante del muestreo está determinada por la señal de retroalimentación y por la versión integrada de la señal de entrada. Si se considera el modulador  $\Sigma\Delta$  CT pasa-baja de primer orden de la Fig. 3.3, con  $H(s) = 1/s\tau$  y  $g_q = g_i = 1$ , la entrada del cuantizador en el dominio  $z$  es [29]

$$q_i(n+1) = q_i(n) - \frac{T_s}{\tau} y(n) + \frac{1}{\tau} \int_{nT_s}^{(n+1)T_s} x(t) dt \quad (3.13)$$

A esta integración se le conoce como una integración *boxcar*, la cual se puede expresar como la convolución de la señal de entrada con un pulso rectangular (3.14), o en el dominio de la frecuencia, como la multiplicación del espectro de la señal de entrada con una función Sinc (3.15). La función Sinc atenúa el espectro de la señal de entrada exactamente en múltiplos de la frecuencia de muestreo, realizando la función de un

filtro anti-aliasing [1]. De esta manera, los moduladores de alto orden presentarán mayor efecto anti-aliasing debido a que tendrán mayor número de integradores que incrementaran el orden de la función Sinc.

$$\int_{nT_s}^{(n+1)T_s} x(t) dt = x(t) * \text{rect}[nT_s, (n+1)T_s] \quad (3.14)$$

$$= X(s) \cdot \text{Sinc}(f/f_s) \quad (3.15)$$

### 3.4 Alternativas de diseño de moduladores $\Sigma\Delta$ CT

Existe una gran cantidad información en la literatura especializada enfocada en la implementación de moduladores  $\Sigma\Delta$  DT debido a que, la mayoría de la investigación, se ha realizado en esta clase de moduladores. Por ello, una de las principales técnicas de diseño es diseñar los moduladores  $\Sigma\Delta$  CT a partir de un modulador  $\Sigma\Delta$  DT que cumpla las especificaciones deseadas y sólo después realizar una conversión DT-CT. Siguiendo este procedimiento todo el diseño y simulación del modulador se realiza en el dominio del tiempo, apoyándose en las herramientas y *software* existentes para acelerar el proceso de diseño.

Otra alternativa de diseño es realizar directamente la síntesis del filtro CT a partir de una función de transferencia del ruido deseada. Utilizando ésta es posible mejorar SNR y tener mejor estabilidad, debido a la colocación óptima de los polos y ceros de la función de transferencia del ruido. Permite también disminuir el número de los componentes analógicos que se requieren para su implementación. Métodos de diseño donde se realiza la síntesis del filtro CT pueden ser analizados en [1] y [30].

#### 3.4.1 Moduladores $\Sigma\Delta$ CT: Conversión DT a CT

Este método explota el equivalente que un modulador  $\Sigma\Delta$  DT tiene en CT, de manera que es posible encontrar una transformación entre los dominio DT y CT. Los métodos más comunes para hacer esta transformación son: la transformación impulso-invariante y la transformación Z modificada.

##### 3.4.1.1 La transformada Impulso-Invariante

Para que un modulador  $\Sigma\Delta$  CT sea equivalente a uno DT, para la misma señal de entrada, deben producir la misma secuencia de bits de salida en el tiempo. Esto se asegura si las entradas a sus respectivos cuantizadores son iguales en los instantes que se realiza el muestreo. Entonces, los dos moduladores  $\Sigma\Delta$  son equivalentes si se tiene la misma entrada a sus cuantizadores en los instantes de muestreo, aplicando la misma señal de entrada a cada modulador [29].

Para observar la equivalencia DT-CT, se abre el lazo de los dos moduladores alrededor del cuantizador y se hace cero las entradas a los moduladores, como se muestra en la Fig. 3.4. En la Fig. 3.4a se observa el diagrama a bloques en lazo abierto del modulador  $\Sigma\Delta$  CT donde la entrada son los bits de salida,  $y(n)$ , el cual tiene valores en tiempo discreto. Posteriormente la respuesta pasa por el DAC donde se genera una señal continua  $y_D(t)$  que después es filtrada por el filtro del lazo  $H(s)$ . La salida del filtro es muestreada y se obtiene una respuesta en tiempo discreto según el diagrama a bloques en lazo abierto; en el diagrama del modulador  $\Sigma\Delta$  DT que se muestra en la Fig. 3.4b las señales siempre se mantienen en el dominio del tiempo discreto.

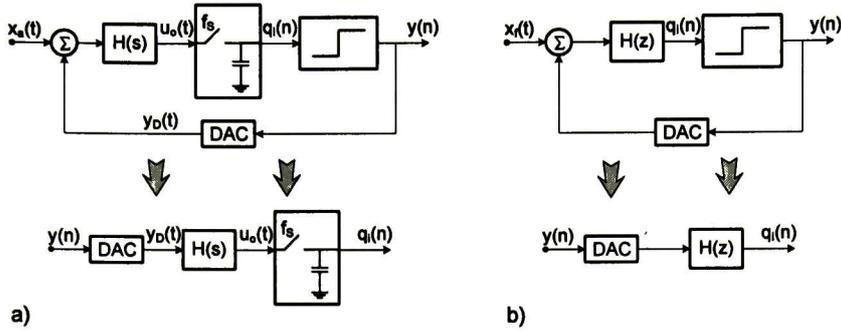


Fig. 3.4 Diagrama a bloques en lazo abierto de: a) modulador  $\Sigma \Delta$  CT b) modulador  $\Sigma \Delta$  DT.

Las entradas y salidas en los diagramas a bloques en lazo abierto de los dos moduladores son valores en tiempo discreto, y como ya se mencionó, para que los moduladores sean equivalentes, las entradas a sus cuantizadores deben ser iguales en los instantes de muestreo, esto es:

$$q_i(n) = u_o(t) \Big|_{t=nT_s} \quad (3.16)$$

lo cual se cumple si las respuestas al impulso de los dos diagramas a bloques en lazo abierto son iguales en los instantes de muestreo, por lo que se debe satisfacer la siguiente condición [31]:

$$Z^{-1}\{H(z)\} = L^{-1}\{R_D(s)H(s)\} \Big|_{t=nT_s} \quad (3.17)$$

lo que representado en el dominio del tiempo es [28]:

$$h(n) = [r_D(t) * h(t)] \Big|_{t=nT_s} = \int_{-\infty}^{\infty} r_D(\tau)h(t-\tau)d\tau \Big|_{t=nT_s} \quad (3.18)$$

donde  $r_D(t)$  es la respuesta al impulso del DAC. Esta transformación entre CT y DT es llamada la *transformación impulso-invariante* porque es necesario que la respuesta al impulso en lazo abierto sea la misma en los instantes de muestreo. Es importante notar que en el modulador CT la respuesta al impulso de todo el lazo se obtiene con la convolución del filtro del lazo con la respuesta al impulso del DAC. Entonces, si se tiene un modulador  $\Sigma \Delta$  DT con un filtro  $H(z)$  con determinado conformado del error, se puede construir un modulador  $\Sigma \Delta$  CT con idéntico comportamiento utilizando la transformación (3.17) ó (3.18), seleccionando primero la forma de pulso del DAC. Este procedimiento se puede aplicar tanto a moduladores pasa-baja como pasa-banda. Para hacer la transformación primero se escribe el filtro del lazo completo en lazo abierto  $H(z)$  como una expansión de fracciones parciales, después se selecciona la forma del pulso del DAC. Las formas más comunes se muestran en la Fig. 3.5 donde la forma es perfectamente rectangular y de magnitud unitaria. Normalizando el periodo de muestreo  $T_s=1$ , y considerando de manera general que el pulso del DAC dura de  $\alpha$  a  $\beta$  segundos, la respuesta al impulso del DAC es:

$$r_{D(\alpha,\beta)}(t) = \begin{cases} 1, & \alpha \leq t < \beta, 0 \leq \alpha < \beta \leq 1 \\ 0, & \text{Otro caso.} \end{cases} \quad (3.19)$$

que cubre los tipos de pulsos de DAC de la Fig. 3.5. Después de escoger la forma del pulso se utiliza la Tabla 3.1, donde el periodo de muestreo está normalizado, para convertir cada fracción parcial de  $z$  a  $s$ , y combinar los resultados para tener  $H(s)$ .

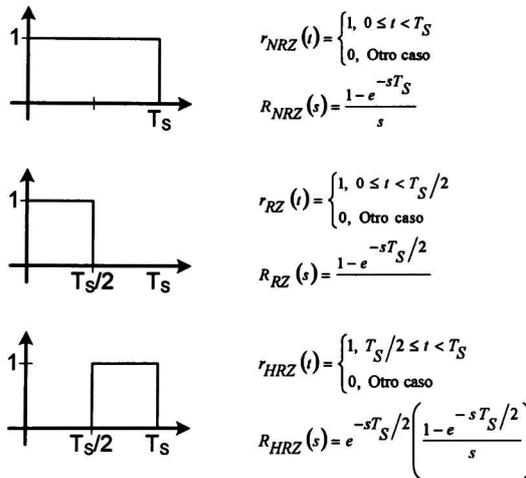


Fig. 3.5 Tipos de pulsos comunes de DAC.

Un polo en el dominio  $z$  de multiplicidad  $l$  en  $z_k$  se mapea a polos en  $s_k$  con la misma multiplicidad, con la siguiente transformación

$$s_k = \ln z_k \quad (3.20)$$

Polos en dc ( $z_k=1$ ) da  $0/0$  como numerador en el dominio  $s$  equivalente, lo cual necesita  $l$  aplicaciones de la regla de l'Hopital (ver columna derecha en la Tabla 3.1).

### 3.4.1.2 Transformada Z modificada [1]

Otra forma de obtener el filtro CT del lazo es utilizando la transformada Z modificada. Esta transformación se basa en la transformada Z general, pero se extiende para que el comportamiento del sistema discreto se pueda calcular en todos los instantes de tiempo. Para determinar el filtro CT equivalente para cierta arquitectura se elige la forma del pulso del DAC, al igual que con la transformada pulso-invariante, se calcula luego la función de transferencia DT del lazo y se compara con la función original del filtro DT del lazo. Entonces,  $H(s)$  se multiplica por la respuesta al impulso del DAC deseada  $R_{DAC}(s)$ , y se realiza la transformación utilizando la siguiente relación:

$$H(z) = \sum_i z^{m_i} \{H(s)R_{DAC}(s)\} \quad (3.21)$$

donde el factor variable de retardo  $m_i$  es el parámetro clave de la transformada Z modificada. El valor  $m_i$  se normaliza al periodo de muestreo, de tal manera que se encuentra dentro del rango  $0 < m_i < 1$ , donde 0 es el instante de muestreo previo y 1 el instante siguiente. En general, para cada instante de tiempo en el cual el comportamiento de la función del filtro CT del lazo cambia, se introduce un factor de retardo. Por ejemplo, para un DAC NRZ ideal, el primer instante de tiempo es el flanco de subida en  $t=0$ , que resulta en  $m_1=1-0/T_S=1$ . El segundo instante de tiempo es el flanco de bajada en  $t=T_S$ , que resulta en  $m_2=1-T_S/T_S=0$ .

**Tabla 3.1** Dominio  $s$  equivalente del los polos del filtro del lazo en el dominio  $z$ . [24]

Dominio $z$	Dominio $s$ equivalente	Límite para $z_k=1$
$\frac{y_0}{z-z_k}$	$\frac{r_0}{s-s_k} \times \frac{y_0}{z_k^{1-\alpha} - z_k^{1-\beta}}$ $r_0 = s_k$	$\frac{r_0}{s-s_k}$ $r_0 = \frac{y_0}{\beta-\alpha}$
$\frac{y_0}{(z-z_k)^2}$	$\frac{r_1 s + r_0}{(s-s_k)^2} \times \frac{y_0}{z_k(z_k^{1-\alpha} - z_k^{1-\beta})^2}$ $r_1 = q_1 s_k + q_0$ $r_0 = s_k$ $q_1 = z_k^{1-\beta}(1-\beta) - z_k^{1-\alpha}(1-\alpha)$ $q_0 = z_k^{1-\alpha} - z_k^{1-\beta}$	$\frac{r_1 s + r_0}{(s-s_k)^2}$ $r_1 = \frac{1}{2} \frac{(\alpha + \beta - 2)y_0}{\beta - \alpha}$ $r_0 = \frac{y_0}{\beta - \alpha}$
$\frac{y_0}{(z-z_k)^3}$	$\frac{r_2 s^2 + r_1 s + r_0}{(s-s_k)^3} \times \frac{y_0}{z_k^2(z_k^{1-\alpha} - z_k^{1-\beta})^3}$ $r_2 = \frac{1}{2} q_2 s_k - q_1$ $r_1 = -q_2 s_k^2 + q_1 s_k + q_0$ $r_0 = \frac{1}{2} q_2 s_k^3$ $q_2 = (1-\beta)(2-\beta)(z_k^{1-\beta})^2 + (1-\alpha)(2-\alpha)(z_k^{1-\alpha})^2 + [\beta(\beta+3) + \alpha(\alpha+3) - 4(1+\alpha\beta)]z_k^{1-\alpha} z_k^{1-\beta}$ $q_1 = \left(\frac{3}{2} - \beta\right)(z_k^{1-\beta})^2 + \left(\frac{3}{2} - \alpha\right)(z_k^{1-\alpha})^2 + (\alpha + \beta - 3)z_k^{1-\alpha} z_k^{1-\beta}$ $q_0 = (z_k^{1-\alpha} - z_k^{1-\beta})^2$	$\frac{r_2 s^2 + r_1 s + r_0}{(s-s_k)^3}$ $r_2 = \frac{1}{12} \frac{y_0}{\beta - \alpha} [\beta(\beta - 9) + \alpha(\alpha - 9) + 4\alpha\beta + 12]$ $r_1 = \frac{1}{2} \frac{(\alpha + \beta - 3)y_0}{\beta - \alpha}$ $r_0 = \frac{y_0}{\beta - \alpha}$

Después de aplicar (3.21), cada término se transforma utilizando la **Tabla 3.2**, tomando en cuenta todos los instantes de tiempo  $m$ . Finalmente, se comparan los coeficientes con la función original del filtro DT para obtener los coeficientes  $k_i$  del filtro CT que se están buscando. Esto es, si se desea obtener un filtro para un modulador de segundo orden, los coeficientes que se necesitan son  $k_1$  y  $k_2$  de (3.22).

$$H(s) = \frac{-k_2}{T_s s} + \frac{-k_1}{T_s^2 s^2} \quad (3.22)$$

### 3.5 Moduladores $\Sigma\Delta$ CT pasa-banda

Para obtener un modulador  $\Sigma\Delta$  CT pasa-banda se puede utilizar la transformada del impulso invariante, la cual permite obtener un filtro CT pasa-banda a partir de uno DT. Como se explicó en el capítulo 2, la manera más sencilla de sintetizar un modulador  $\Sigma\Delta$  DT pasa-banda es utilizar un modulador  $\Sigma\Delta$  DT pasa-baja y realizar una transformación LP-BP. El modulador  $\Sigma\Delta$  DT pasa-banda resultante tiene las mismas prestaciones que el modulador original y su frecuencia de corte es  $f_s/4$ . Sin embargo, al aplicar la transformada del impulso invariante para obtener un modulador  $\Sigma\Delta$  CT pasa-banda a partir de uno DT, el filtro CT del lazo que se requiere es muy difícil de implementar ya que requiere circuitos que no son puramente pasa-banda. El circuito pasa-banda que más se utiliza es el resonador:

Tabla 3.2 Transformada Z modificada. [25]

Dominio $s$	Dominio $z_m$ equivalente
$\frac{1}{s^2}$	$\frac{mT_s}{z-1} + \frac{T_s}{(z-1)^2}$
$\frac{1}{s(s+s_k)}$	$\frac{1}{s_k} \left( \frac{1}{z-1} - \frac{e^{-s_k m T_s}}{z - e^{-s_k T_s}} \right)$
$\frac{1}{s^3}$	$\frac{T_s^2}{2} \left( \frac{m^2}{z-1} + \frac{2m+1}{(z-1)^2} + \frac{2}{(z-1)^3} \right)$
$\frac{1}{s^2(s+s_k)}$	$\frac{1}{s_k^2} \left( \frac{s_k m T_s - 1}{z-1} + \frac{s_k T_s}{(z-1)^2} + \frac{e^{-s_k m T_s}}{z - e^{-s_k T_s}} \right)$
$\frac{1}{s^4}$	$\frac{T_s^3}{6} \left( \frac{m^3}{z-1} + \frac{3m^2+3m+1}{(z-1)^2} + \frac{6m+6}{(z-1)^3} + \frac{6}{(z-1)^4} \right)$
$\frac{1}{s^3(s+s_k)}$	$\frac{1}{s_k^3} \left( \frac{s_k^2 m^2 T_s^2 / 2 - s_k m T_s + 1}{z-1} + \frac{s_k^2 T_s^2 (m+1/2) - s_k T_s}{(z-1)^2} + \frac{s_k^2 T_s^2}{(z-1)^3} - \frac{e^{-s_k m T_s}}{z - e^{-s_k T_s}} \right)$

$$H(s) = \frac{\omega s}{s^2 + \omega^2} \quad (3.23)$$

con el cual es posible construir un modulador  $\Sigma\Delta$  CT pasa-banda (ver Fig. 3.6), pero (como se verá más adelante) con la combinación del resonador con la respuesta al impulso del DAC no se obtiene la función de transferencia del lazo en DT con el que se quiere igualar. Una manera de solventar este problema es utilizar el método propuesto en [32] donde se utilizan múltiples retroalimentaciones, de manera que en conjunto se obtenga la respuesta al impulso del lazo deseada.

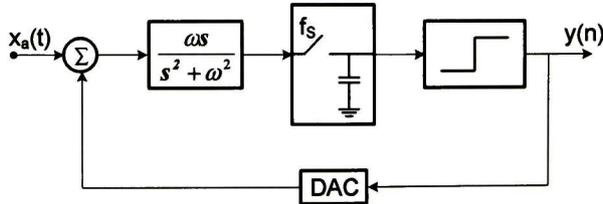


Fig. 3.6 Diagrama a bloques de un modulador  $\Sigma\Delta$  CT BP de primer orden.

### 3.5.1 Moduladores $\Sigma\Delta$ CT BP con múltiple retroalimentación

En la Fig. 3.7 se muestra una estructura con múltiple retroalimentación de un modulador  $\Sigma\Delta$  CT. Las respuestas al impulso de lazo de las múltiples retroalimentaciones son:

$$\begin{aligned} R_{D1}(t) * h(t) &= h_{L1}(t) \\ R_{D2}(t) * h(t) &= h_{L1}(t) \\ &\dots \\ R_{DN}(t) * h(t) &= h_{LN}(t) \end{aligned} \quad (3.24)$$

Como el sistema es lineal, se puede escribir

$$[R_{D1}(t) + R_{D2}(t) + \dots + R_{DN}(t)] * h(t) = h_L(t) \quad (3.25)$$

donde  $h_L(t)$  es la respuesta al impulso del lazo deseada. Expresando (3.25) por su equivalente en tiempo discreto, se obtiene

$$[R_{D1}(t) + R_{D2}(t) + \dots + R_{DN}(t)] * h(t) \Big|_{t=nT_s} = h_L(n) \quad (3.26)$$

Si la forma de los pulsos de todos los DAC en (3.25) ó (3.26) son iguales, su suma sólo produce una ganancia en la respuesta al impulso del lazo, con lo que no se podría implementar  $h(n)$ . Entonces, se requiere que cada pulso  $R_{Di}(t)$  tenga diferente forma.

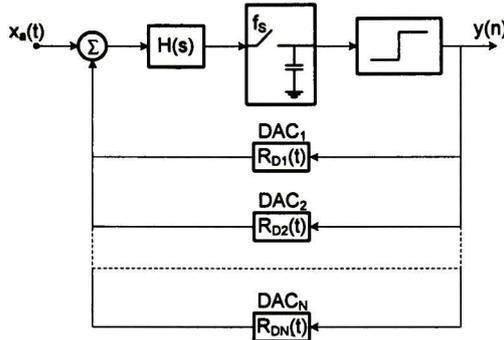


Fig. 3.7 Representación de un modulador  $\Sigma\Delta$  CT de primer orden con múltiples retroalimentaciones.

### 3.5.1.1 Modulador $\Sigma\Delta$ CT BP de 2<sup>do</sup> Orden

La función de transferencia del filtro del lazo de un modulador  $\Sigma\Delta$  DT BP de segundo orden es:

$$H_2(z) = \frac{z^{-2}}{1 + z^{-2}} \quad (3.27)$$

Si se tiene un modulador CT, construido con un resonador, de manera que

$$L[h_2(t)] = \frac{\omega s}{s^2 + \omega^2} \quad (3.28)$$

las funciones de transferencia del filtro del lazo en tiempo discreto para las formas de pulsos de los DAC mostrados en la Fig. 3.5: NRZ, RZ y HRZ respectivamente, son:

$$Z[R_{NRZ}(t) * h_2(t)]_{t=nT_s} = \frac{z^{-1}(1 - z^{-1})}{1 + z^{-2}} \quad (3.29a)$$

$$Z[R_{RZ}(t) * h_2(t)]_{t=nT_s} = \frac{z^{-1} \left( \left(1 - \frac{1}{\sqrt{2}}\right) - \frac{1}{\sqrt{2}} z^{-1} \right)}{1 + z^{-2}} \quad (3.29b)$$

$$Z[R_{HRZ}(t) * h_2(t)]_{t=nT_s} = \frac{z^{-1} \left( \frac{1}{\sqrt{2}} - \left(1 - \frac{1}{\sqrt{2}}\right) z^{-1} \right)}{1 + z^{-2}} \quad (3.29c)$$

Se puede observar que la respuesta al impulso del modulador CT con cualquier tipo de DAC de retroalimentación, no puede por sí mismo implementar la respuesta al impulso del filtro del lazo que se muestra en (3.27). Sin embargo, es posible producir la función deseada a partir de la combinación lineal de cualquier par de pulsos de (3.29), por ejemplo, a partir de RZ y HRZ como se muestra en la Fig. 3.8, donde se observa que las salidas de los DACs se escalan por los coeficientes  $k_{RZ}$  y  $k_{HRZ}$  de manera que la función de transferencia de todo el lazo pueda implementar la función de segundo orden que se desea. Entonces se necesita encontrar el valor de dos coeficientes a partir de dos ecuaciones lineales. Así, a partir de (3.27) y (3.29) se tiene la siguiente igualdad:

$$k_{RZ}z^{-1}\left(\left(1-\frac{1}{\sqrt{2}}\right)-\frac{1}{\sqrt{2}}z^{-1}\right)+k_{HRZ}z^{-1}\left(\frac{1}{\sqrt{2}}-\left(1-\frac{1}{\sqrt{2}}\right)z^{-1}\right)=z^{-2} \quad (3.30)$$

de donde se obtienen las dos ecuaciones lineales que permiten encontrar los valores de los coeficientes:  $k_{RZ}=-\left(1+1/\sqrt{2}\right)$  y  $k_{HRZ}=1/\sqrt{2}$ .

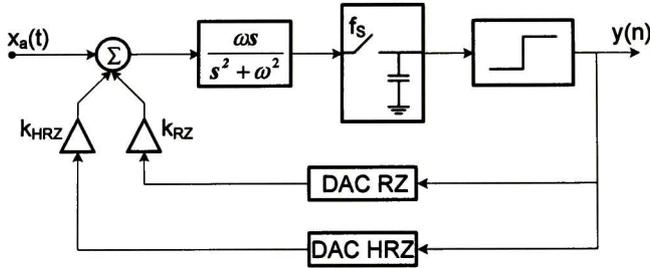


Fig. 3.8 Diagrama a bloques de un modulador  $\Sigma\Delta$  CT BP de segundo orden con múltiple retroalimentación (RZ y HRZ).

### 3.5.1.2 Modulador $\Sigma\Delta$ CT BP de 4<sup>to</sup> Orden

La función de transferencia del filtro del lazo de un modulador  $\Sigma\Delta$  DT BP de cuarto orden es:

$$H_4(z) = \frac{2z^{-2} + z^{-4}}{(1 + z^{-2})^2} \quad (3.31)$$

Expresando (3.31) como una expansión de fracciones parciales y utilizando la Tabla 3.1 para calcular el filtro CT equivalente, se obtiene:

$$H(s) = \frac{-1.0354s^3 + 1.0652s^2 - 1.3210s + 4.5661}{\left(s^2 + \left(\frac{\pi}{2}\right)^2\right)^2} \quad (3.32)$$

Si el modulador  $\Sigma\Delta$  CT BP de cuarto orden se construye con resonadores, como se muestra en la Fig. 3.9, no es posible construir la función de transferencia que se tiene en (3.32), debido a que se tienen cuatro coeficientes en el numerador de  $H(s)$  mientras que en la arquitectura de la Fig. 3.9 sólo se tienen dos parámetros con los cuales trabajar.

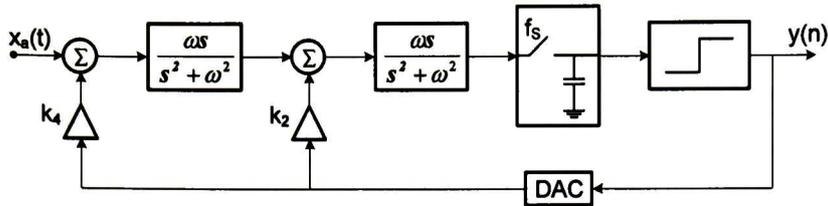


Fig. 3.9 Diagrama a bloques de un modulador  $\Sigma\Delta$  CT BP de cuarto orden.

Sin embargo, si se utilizan múltiples retroalimentaciones, como se muestra en la Fig. 3.10, se tendrán los cuatro parámetros que se necesitan. En la Fig. 3.10, los caminos más cortos (coeficientes  $k_2$ ) sólo tienen un resonador para hacer la convolución con los pulsos de los DACs, de manera que se generan las funciones de transferencias que se tienen en (3.29). Los lazos más grandes (coeficientes  $k_4$ ) tienen dos resonadores en cascada, cuya función de transferencia es:

$$L[h_4(t)] = \frac{\omega^2 s^2}{(s^2 + \omega^2)^2} \quad (3.33)$$

Las funciones de transferencia del filtro del lazo en tiempo discreto de un modulador CT con el filtro del lazo dado por (3.33) para los DAC's NRZ, RZ y HRZ respectivamente, son mostradas en (3.34).

$$Z[R_{NRZ}(t) * h_2(t)]_{t=nT_s} = \frac{0.25\pi z^{-1}(1 - z^{-1} - z^{-2} + z^{-3})}{(1 + z^{-2})^2} \quad (3.34a)$$

$$Z[R_{RZ}(t) * h_2(t)]_{t=nT_s} = \frac{\pi z^{-1}(0.1616 - 0.2651z^{-1} + 0.0151z^{-2} + 0.0883z^{-3})}{(1 + z^{-2})^2} \quad (3.34b)$$

$$Z[R_{HRZ}(t) * h_2(t)]_{t=nT_s} = \frac{\pi z^{-1}(0.0883 + 0.0151z^{-1} - 0.2651z^{-2} + 0.1616z^{-3})}{(1 + z^{-2})^2} \quad (3.34c)$$

Se necesita ahora determinar el valor de cuatro coeficientes a partir de cuatro ecuaciones lineales. Matlab cuenta con funciones que permiten hacer transformaciones de continuo a discreto considerando que el DAC es NRZ, siendo posible extenderlo para los DACs RZ y HRZ. También esa herramienta permite resolver las ecuaciones lineales y por lo tanto, encontrar los valores de los coeficientes  $k$ 's [29]. El código Matlab para encontrar los coeficientes de la Fig. 3.10 se muestra en el Apéndice A. Los valores de los coeficientes son:  $k_{4RZ}=2.6815$ ,  $k_{4HRZ}=-1.1107$ ,  $k_{2RZ}=-1.7547$  y  $k_{2HRZ}=3.1109$ .

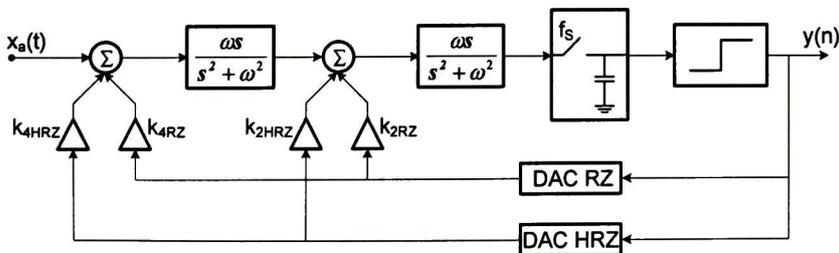


Fig. 3.10 Diagrama a bloques de un modulador  $\Sigma\Delta$  CT BP de cuarto orden con múltiple retroalimentación (RZ y HRZ).

## 3.6 Conclusiones

Los moduladores  $\Sigma\Delta$  CT tienen varias ventajas con respecto a los diseños en DT, una de las más importantes es que presentan un comportamiento anti-aliasing inherente, con lo cual se facilitan las especificaciones del filtro anti-aliasing que requieren los moduladores  $\Sigma\Delta$ , o incluso, permiten prescindir de él. Su diseño se facilita al hacer uso de la conversión DT a CT, la cual permite obtener la función de transferencia del filtro CT. Realizar el diseño de manera directa puede simplificar la arquitectura del modulador, pero no se podría hacer uso de toda la información que se tiene sobre los moduladores  $\Sigma\Delta$  DT.

El uso de resonadores en los moduladores  $\Sigma\Delta$  CT pasa-banda produce una función de transferencia en el tiempo discreto que no es la típica para los moduladores  $\Sigma\Delta$  DT. Se utiliza el método de múltiples retroalimentaciones para lograr la igualdad entre la función de transferencia en tiempo discreto, con la que se obtiene en los moduladores CT, de manera que el comportamiento sea el mismo. Realizar la igualdad DT-CT y obtener los valores de los coeficientes de las retroalimentaciones se simplifica al utilizar programas que realizan los cálculos matemáticos como Matlab, el cual contiene funciones que permiten realizar las conversiones DT-CT deseadas.

## Capítulo 4

### Diseño del Modulador $\Sigma\Delta$ BPCT

Se presenta la metodología de diseño de un modulador  $\Sigma\Delta$  BPCT soportada en un análisis comportamental y del cual se obtienen las características óptimas de operación. Luego, como parte de la operación óptima, se realiza el diseño de un circuito comparador a nivel transistor y se presentan resultados de simulación. La metodología que se presenta usa SIMSIDES (SIMulink based Sigma-Delta Simulator) y de ella se obtienen los bloques básicos que forman al modulador; la herramienta también es útil para implementar diversas topologías y/o modos de operación que permiten determinar el desempeño del modulador. De éste se muestran los resultados de un modulador  $\Sigma\Delta$  pasa-banda en tiempo continuo de 4º orden donde se han incluido, una a una, las no idealidades de cada bloque para determinar su impacto en el desempeño del modulador.

#### 4.1 Introducción

**S**IMSIDES es la herramienta usada para realizar el análisis comportamental del modulador sigma-delta pasa-banda en tiempo continuo (BPCT) de cuarto orden. Esta herramienta permite observar el desempeño del sistema utilizando bloques ideales y, luego de verificar el desempeño a nivel sistema, es posible introducir fuentes de error para determinar el impacto en la estimación de la razón señal-a-ruido (SNR). Las fuentes de error no sólo incluyen errores propios del proceso de cuantización, sino también las no idealidades que los diferentes bloques, a nivel transistor, presentan. A este nivel de abstracción, toda vez que los parámetros óptimos de operación son determinados, se procede al diseño a nivel transistor de un circuito comparador, el cual está soportado en las especificaciones obtenidas del diseño comportamental.

#### 4.2 SIMSIDES

Esta herramienta permite realizar simulaciones de comportamiento en convertidores  $\Sigma\Delta$ , e incluye las aproximaciones SC (del Inglés *Switched-Capacitor*), SI (del Inglés *Switched-Current*) y considera también técnicas CT; cuenta además con opciones para incluir no idealidades [5]. En la **Tabla 4.1** se muestran los bloques fundamentales y las

no idealidades que incluye SIMSIDES. Esta herramienta presenta un entorno gráfico versátil y puede acceder a sus recursos todo usuario. Estructuralmente está compuesto de tres partes:

Librerías: La integran los bloques básicos mostrados en la **Tabla 4.1**.

- Rutinas de postprocesado: son funciones descritas en Matlab que permiten procesar y analizar los resultados de simulación.

Interfaz gráfica: Es una GUI (del inglés *Graphic User Interface*) que se utiliza para realizar las operaciones necesarias para la construcción, diseño y análisis de cualquier modelo.

**Tabla 4.1** Bloques fundamentales y no idealidades que incluye SIMSIDES.

Técnica circuital	Bloque	No idealidad
SC	Integradores (opams, interruptores, capacitores)	Ganancia finita y no lineal
		Limitaciones dinámicas ( <i>settling</i> , distorsión armónica)
		Saturación del voltaje de salida
		Ruido térmico, $R_{on}$ no nula y no lineal
	<i>Mismatch</i>	
Resonadores	Errores intrínsecos a los integradores	
SI	Integradores	Ganancia finita y no lineal
		Conductancia finita de salida-entrada
		Limitaciones dinámicas ( <i>settling</i> , inyección de carga)
	Resonadores	Error en la ganancia de los lazos
		Errores intrínsecos a los integradores
CT	Integradores	Ganancia finita y no lineal
		Limitaciones dinámicas (capacidades parasitas, polos de baja y alta frecuencia, <i>settling</i> incompleto)
		Ruido térmico
		Saturación de la tensión de salida
	<i>Offset</i>	
	Resonadores	Errores intrínsecos a los integradores
Otros	Reloj	<i>Jitter</i>
	Comparadores	Histéresis, <i>offset</i>
	Cuantizadores	No linealidad, error de ganancia, error de <i>offset</i> , <i>jitter</i> y retardo de lazo.

#### 4.2.1 Librerías

Forman el núcleo de la herramienta, las cuales mediante bloques básicos de SIMULINK, emulan el comportamiento de un determinador dispositivo. Al utilizar rutinas escritas en C (S-function) el tiempo de simulación es muy corto, estando muy próximo al de simuladores comportamentales escritos enteramente en C. Mediante la utilización de máscaras el manejo de las funciones es totalmente transparente. En [5] se puede encontrar más información sobre las librerías y modelos desarrollados para SIMSIDES.

#### 4.2.2 Rutinas de postprocesado

Son funciones de Matlab que procesan los datos que se obtienen de simulación. Tanto para sistemas pasa-bajas como pasa-banda es posible evaluar los siguientes parámetros:

El espectro de la señal de salida.

El ruido integrado en la banda de la señal.

La distorsión armónica.

La relación señal a ruido y/o relación señal-ruido más distorsión.

Generar histogramas.

- Obtener curvas paramétricas mono-dimensionales de todas las figuras de mérito anteriores.
- Desarrollar curvas paramétricas bidimensionales de diversas figuras de mérito.

### 4.2.3 Interfaz gráfica

Mediante la interfaz se realiza la edición de un modelo, se evalúan los resultados de su simulación y se tiene ayuda *on-line*, etc. (ver Fig. 4.1). La interfaz es una GUI de menús emergentes de manera que todas las acciones se centran en una misma ventana. Las principales funciones a realizar son las siguientes:

Abrir un modelo existente o crear uno nuevo.

Editar un modelo.

Seleccionar librerías.

Evaluar resultados mediante rutinas de postprocesado.

Realizar análisis paramétricos y biparamétricos.

Realizar un análisis Montecarlo.

Ejecutar optimización de arquitecturas.

Aplicar una ayuda *on-line*.

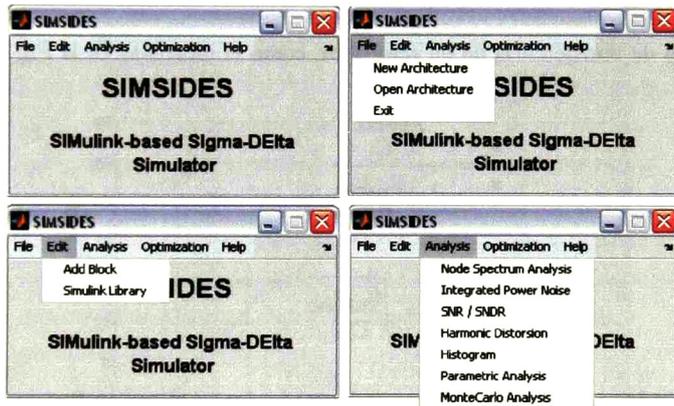


Fig. 4.1 Interfaz gráfica de SIMSIDES.

## 4.3 Análisis comportamental

El diagrama a bloques del modulador -en el que se centra el análisis comportamental- se muestra en la Fig. 4.2, el cual es un modulador  $\Sigma\Delta$  pasa-banda en tiempo continuo de 4º orden; el orden del modulador está definido por el número de resonadores incluidos en el diagrama. Los valores de las ganancias de retroalimentación, por otro lado, se obtienen haciendo la conversión DT-CT descrita en el Capítulo 3; por esta razón es que la estructura cuenta con dos lazos de retroalimentación. La respuesta del modulador corresponde a la obtenida de un modulador pasa-baja de segundo orden en tiempo discreto. El propósito es analizar el espectro de la señal y el SNDR del modulador para obtener los parámetros de diseño que permitan obtener el mejor desempeño para un ancho de banda  $BW=200\text{KHz}$  con una frecuencia intermedia  $f_{IF}=10.7\text{ MHz}$ . Tomando en cuenta los requerimientos descritos se obtienen los siguientes datos:

$$f_s = 4f_{IF} = 42.8\text{MHz} \quad (4.1)$$

$$M = \frac{f_s}{2Bw} = 107 \quad (4.2)$$

donde la frecuencia de muestreo ( $f_s$ ) es cuatro veces  $f_{IF}$  para hacer la equivalencia entre un modulador pasa-bajas y otro pasa-banda tal y como se describe en el Capítulo 2, de ahí que la razón de sobre-muestreo ( $M$ ) sea fijo para este diseño.

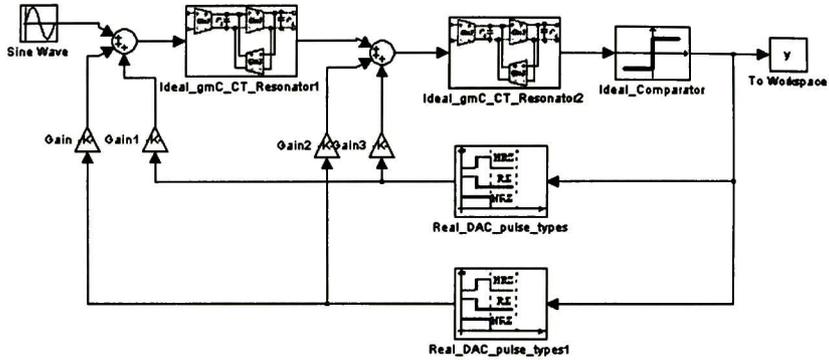


Fig. 4.2 Modulador  $\Sigma\Delta$  pasa-banda en tiempo continuo de 4º orden.

La función de transferencia de un resonador, como el mostrado en la Fig. 4.3, está dada por

$$\frac{v_0}{v_i} = \frac{g_{m1}g_{m2}}{s^2 + \frac{g_{m2}g_{m3}}{C_1C_2}} \quad (4.3)$$

donde

$$\omega_0 = 2\pi f_{IF} = \sqrt{\frac{g_{m2}g_{m3}}{C_1C_2}} \quad (4.4)$$

Este resultado permite obtener los valores de los elementos. Por ejemplo, si  $C=C_1=C_2=3\text{pF}$ , entonces  $g_m=g_{m1}=g_{m2}=201.1\mu\text{S}$ .

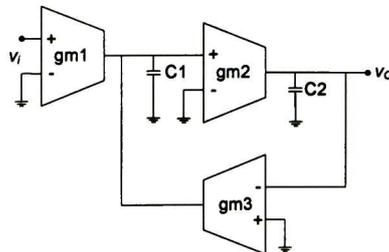


Fig. 4.3 Diagrama a bloques del resonador.

### 4.3.1 Desempeño ideal

Para observar el impacto de las no idealidades del modulador, primero se obtiene su desempeño ideal, donde sólo se toma en cuenta los valores de  $g_m$  y  $C$ , y el rango de salida del DAC y el del comparador. En este ejemplo, el espectro de la señal para una entrada de 0.5V de amplitud se muestra en la Fig. 4.4 a), donde se observa que el

modulador trabaja adecuadamente porque la frecuencia  $f_{IF}$  está alrededor de 10.7 MHz y se conforma correctamente el ruido. Idealmente el modulador alcanza un  $SNR_{max}$  de aproximadamente 76dB como se ve en la gráfica SNR vs Amplitud de entrada (A) que se muestra en la Fig. 4.4 b).

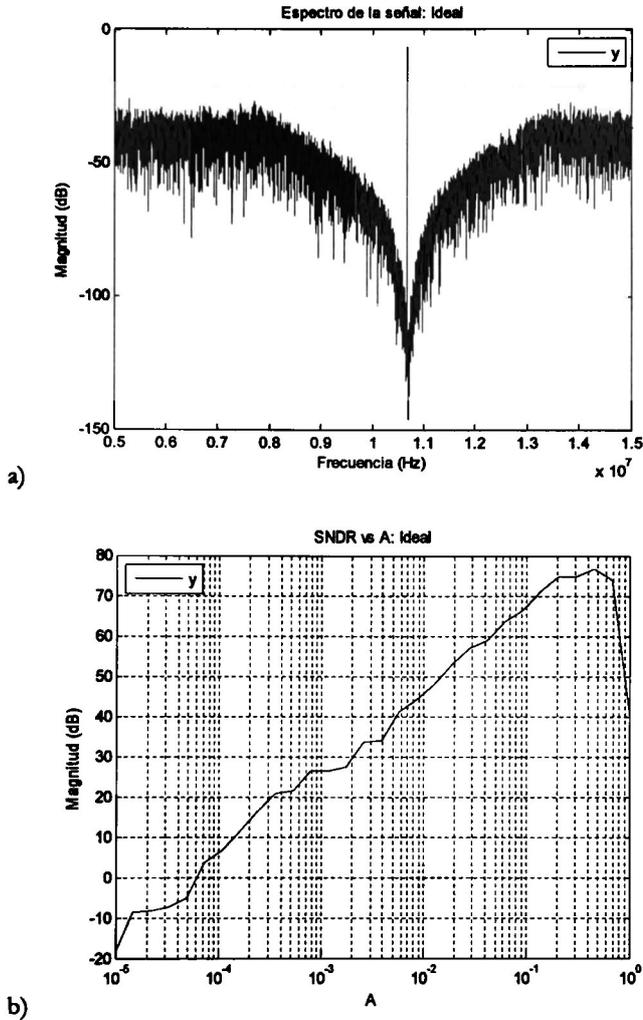


Fig. 4.4 Simulación del desempeño del modulador ideal: a) Espectro, b) SNR

En lo que sigue, los efectos de las no idealidades se toman de manera acumulativa iniciando con los resonadores (comparador y DAC ideal), después con el comparador (resonador real y DAC ideal) y posteriormente con el DAC (resonador y comparador real) para obtener el desempeño del modulador con todos sus bloques reales, incluyendo sus no idealidades, y comparar su desempeño con el funcionamiento del modulador real. En cada no idealidad que se analice se obtienen valores, ya sea de componentes o del tiempo, que permiten mantener el desempeño del modulador lo más cercano al ideal. Estos valores permitirán obtener además las especificaciones para el diseño de cada bloque, por ello se busca que no sean muy demandantes para que el diseño sea simple, lo cual es una de las ventajas de los moduladores  $\Sigma\Delta$ .

### 4.3.2 Resonador de un polo en pequeña y gran señal

Se modela el resonador de la Fig. 4.3 utilizando el modelo de un polo para cada OTA, con lo que se toma en cuenta la ganancia finita y el error asociado a la constante de tiempo de integración. Este modelo se presenta en la Fig. 4.5. Al considerar la distorsión en gran señal permite definir rangos de entrada/salida, y se incluye el efecto en pequeña señal debido a la no linealidad de la transconductancia  $g_m$ . Con esos valores es posible observar el efecto de cada no idealidad en la respuesta del sistema y, en base a ello, determinar qué valores se necesitan para no afectar el desempeño del modulador. Los valores que se seleccionan de ese proceso se introducen en las siguientes etapas de simulación que se realizan.

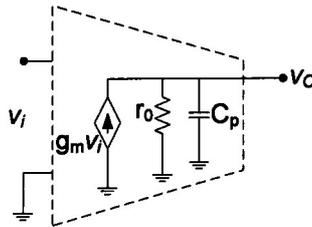


Fig. 4.5 Modelo de un polo para el OTA.

#### 4.3.2.1 Rango de entrada y de salida

La distorsión en gran señal se debe a la saturación en voltaje y corriente, por ello se definen los valores de voltaje a la entrada del OTA para los cuales trabaja en la zona lineal y se ponen los límites, máximo y mínimo, permitidos a la salida. Es muy importante considerar los rangos entrada/salida con los que trabajan cada uno de los bloques debido a que la alimentación de éstos será de 1V. El modulador trabaja correctamente, sin embargo se requieren valores muy grandes en las entradas y salidas de los resonadores. El histograma de la Fig. 4.6 muestra los valores que toman la entrada y salida de cada resonador.

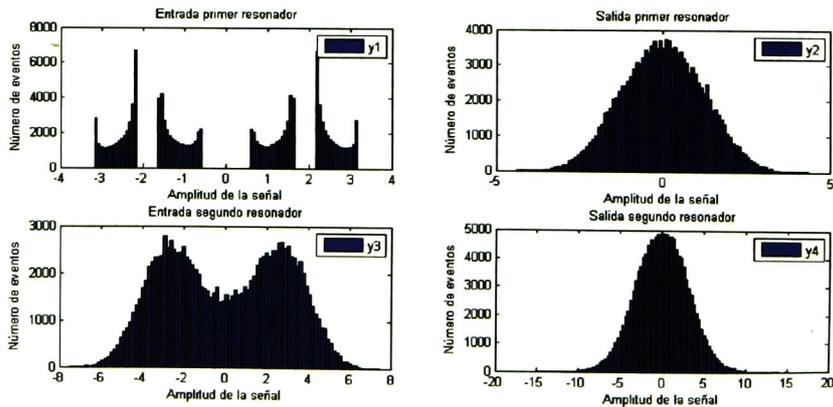


Fig. 4.6 Histograma del número de veces que toma un valor las entradas y salidas de los resonadores.

Para ajustar los valores de las entradas y salidas de los resonadores hasta que estén dentro del rango  $\pm 1V$ , se disminuye el valor de los coeficientes de retroalimentación y se modifican los valores del transconductor ( $g_m$ ) de entrada de cada resonador. Con esos ajustes se obtienen los histogramas que se muestran en la Fig. 4.7. Obsérvese

que se logra disminuir los valores que toman las entradas y salidas de los resonadores, manteniéndose dentro del rango  $\pm 1V$ .

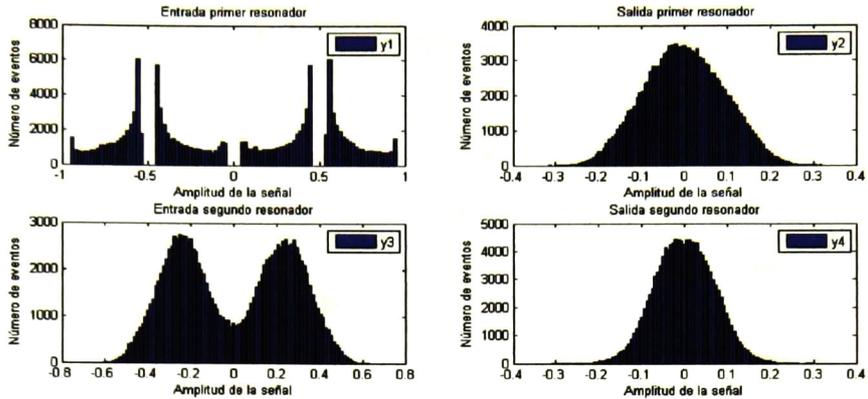


Fig. 4.7 Histograma del número de veces que toma un valor las entradas y salidas de los resonadores con coeficientes ajustados.

En la Fig. 4.8 se muestra la gráfica SNDR vs A del modulador con ajuste y en la misma figura se muestra la grafica SNDR vs A del modulador sin ajuste para propósitos de comparación. Se observa que el desempeño del modulador con ajustes es más lineal debido a que las variaciones de voltaje con los que trabaja el modulador son menores, pero al disminuir el valor de los coeficientes de retroalimentación disminuye también el máximo valor de entrada con el cual el modulador funciona correctamente, como se puede observar con el  $SNR_{MAX}$  de cada modulador. El  $SNR_{MAX}$  en el modulador con ajuste es de 73dB y se obtiene para una entrada de 0.2V mientras que en el modulador sin ajuste es de 76dB y se obtiene con una entrada de 0.5V. Así, al hacer las modificaciones en la retroalimentación y transconductancia de los resonadores se cumple con la especificación de tener un rango de operación de  $\pm 1V$  y se consigue además aumentar la linealidad del modulador, sin embargo disminuye el desempeño del modulador 3dB y disminuye 0.3V el máximo valor de entrada con el que el modulador funciona correctamente.

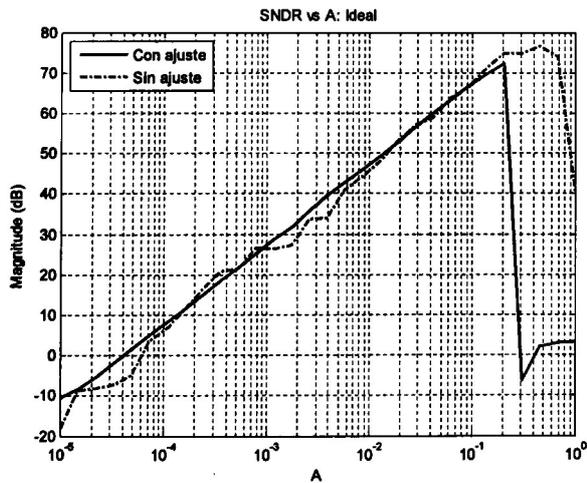


Fig. 4.8 Simulación del desempeño del modulador ideal con ajuste y sin ajuste de coeficientes.

### 4.3.2.2 Efecto de la ganancia finita de los OTAs

Para obtener el desempeño ideal del modulador se consideró que el OTA presenta una resistencia de salida infinita, lo que es imposible en la práctica. En el modelo de un polo mostrado en la Fig. 4.5 se incluye la resistencia de salida finita,  $R_o$ , la cual es la responsable del desplazamiento del polo desde el origen hasta un valor finito, lo que significa que tiene una ganancia en DC finita dada por  $A_0 = g_m r_o$ . El efecto de  $A_0$  es un error en magnitud y fase del resonador lo que supondrá una degradación en el conformado del ruido de cuantización del modulador.

Para ver el efecto de esta no idealidad se varían los valores de ganancia en DC del par de resonadores para observar a partir de qué valor la operación del modulador deja de ser satisfactorio. En la Fig. 4.9 se observa cómo para valores de ganancia menores a 250 el SNDR disminuye rápidamente. Por lo tanto, la ganancia no debe ser menor que 250, siendo preferible que no sea muy grande para simplificar el diseño y también para disminuir el consumo de potencia. En la práctica, al contar con una ganancia baja hay un aumento del ruido dentro de la banda. Por lo anterior se selecciona una ganancia de 1000 y evitar la reducción de SNR.

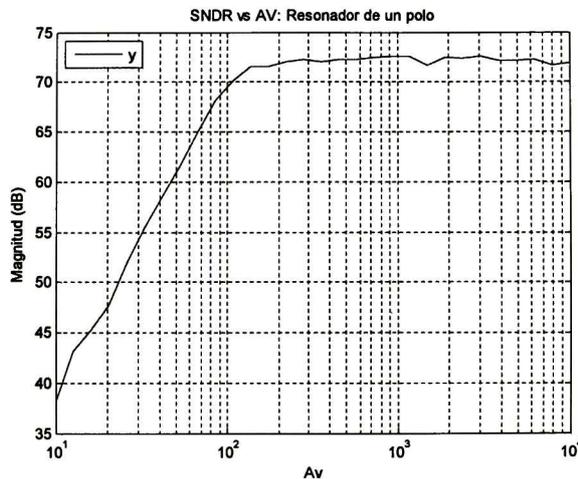


Fig. 4.9 Efecto de la ganancia finita de los OTA's del resonador de un polo.

### 4.3.2.3 Efecto del error en la constante de tiempo de integración

Este error es causado por las capacitancias parásitas en el nodo de salida del OTA, las cuales se incluyen en el modelo de un polo (ver Fig. 4.5). El error en la constante está dado por

$$\epsilon_{t1} = (C_{p1} + C_{p3})/C_1 \quad y \quad \epsilon_{t2} = C_{p2}/C_2 \quad (4.5)$$

Para evaluar el efecto de esta variación se varía el error en la constante de tiempo de integración de los dos resonadores en el rango 0.0001 a 0.1. Este rango se selecciona porque la constante de tiempo es la razón de las capacitancias parásitas y los capacitores del resonador y, generalmente, ésta es de 0.001 por lo que el rango seleccionado permitirá observar a partir de qué valor se ve afectado el desempeño del modulador. Como se puede observar en la Fig. 4.10, para valores del error mayores a 0.004 ya aparece una reducción considerable en el SNDR, por lo que, para no degradar este parámetro, el error debe ser menor a 0.004; este error afecta a la frecuencia intermedia. Para propósitos prácticos, se selecciona un valor 0.003.

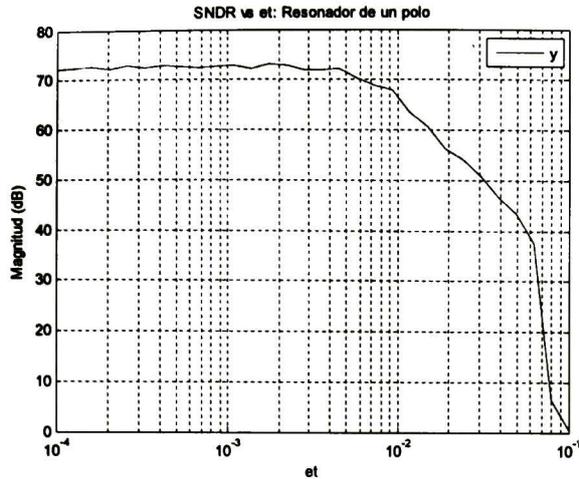


Fig. 4.10 Efecto del error en la cte. de tiempo de int. del res. de un polo.

#### 4.3.2.4 Efecto de la transconductancia no lineal

En los apartados anteriores se ha supuesto que el OTA opera de forma lineal. Sin embargo, en la práctica la característica estática de un transconductor es una función no lineal del voltaje de entrada, causando distorsión armónica a la salida del modulador. El efecto producido por la no linealidad, modelada como una transconductancia no lineal ( $g_m^n v_i$ ), se aproxima por un desarrollo en serie de potencia (por ejemplo la serie de Taylor), obteniendo los parámetros  $g_{mnl1}$  y  $g_{mnl2}$ , como se muestra en la Fig. 4.11, que corresponden al segundo y tercer coeficiente de la serie respectivamente.

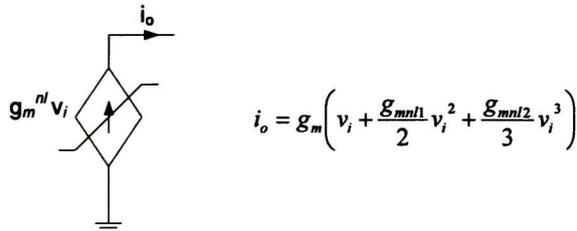


Fig. 4.11 Modelado de la transconductancia no lineal de los OTA.

Primero se analiza el efecto del segundo coeficiente y después el efecto causado por el tercer coeficiente. En la Fig. 4.12 se puede ver que para valores mayores a 0.006 el valor del coeficiente de segundo orden disminuye de manera importante. Para correcta operación se selecciona el valor 0.001 como límite para que no se encuentre muy cercano al valor donde el desempeño del modulador comienza a disminuir. Luego, para el análisis del coeficiente de tercer orden, se observa en la Fig. 13 que para valores mayores a 0.05 el funcionamiento del modulador disminuye rápidamente. Se selecciona entonces un valor de 0.01 para obtener una menor disminución de SNDR.

#### 4.3.2.5 Desempeño del modulador con no idealidades de los resonadores

Las no idealidades incluidas en el análisis de los resonadores se muestran en la Tabla 4.2, donde se considera únicamente a los resonadores como bloques no ideales. Para observar el impacto de las no idealidades en los resonadores se grafica el espectro de la señal y el de SNR vs A. En la Fig. 4.14 a) se muestra el espectro de la señal con una entrada de 0.2V. Se observa que la frecuencia intermedia se mantiene inalterable y que

el conformado del error es adecuado a pesar de aumentar un poco el ruido dentro de la banda de la señal. En la Fig. 4.14 b) se observa que el SNR máximo es 72.4dB, por lo que con las no idealidades del resonador, el desempeño disminuye menos del 5%, donde el requerimiento del rango de entrada y salida es lo que más afecta siendo su impacto del 4%. Por lo anterior los valores para los resonadores son adecuados porque el desempeño del modulador no fue alterado (menos del 1%).

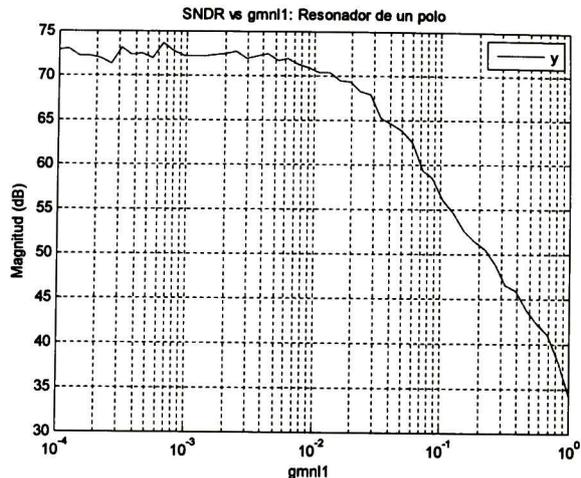


Fig. 4.12 Efecto del coeficiente de no linealidad de segundo orden.

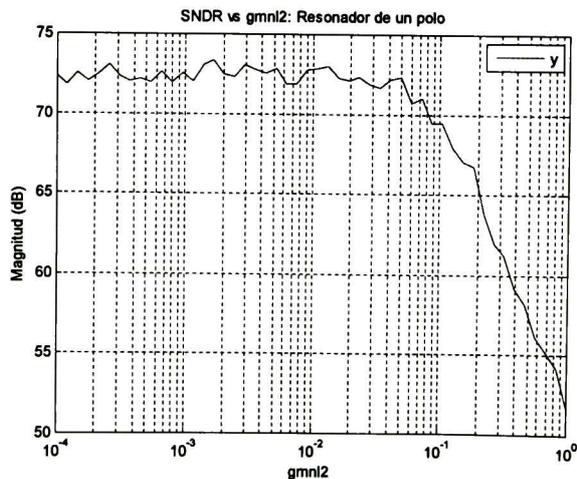


Fig. 4.13 Efecto del coeficiente de no linealidad de tercer orden.

Tabla 4.2 Especificaciones del modulador con no idealidades del resonador.

Bloque	Especificaciones
Resonador	Rango de entrada: $\pm 1V$ Rango de salida: $\pm 1V$ Ganancia DC: 1000 Error cte. tiempo de int : 0.003 Coef. no idealidad 2do orden: 0.001 Coef. no idealidad 3er orden: 0.01
DAC	Ideal
Cuantizador	Ideal

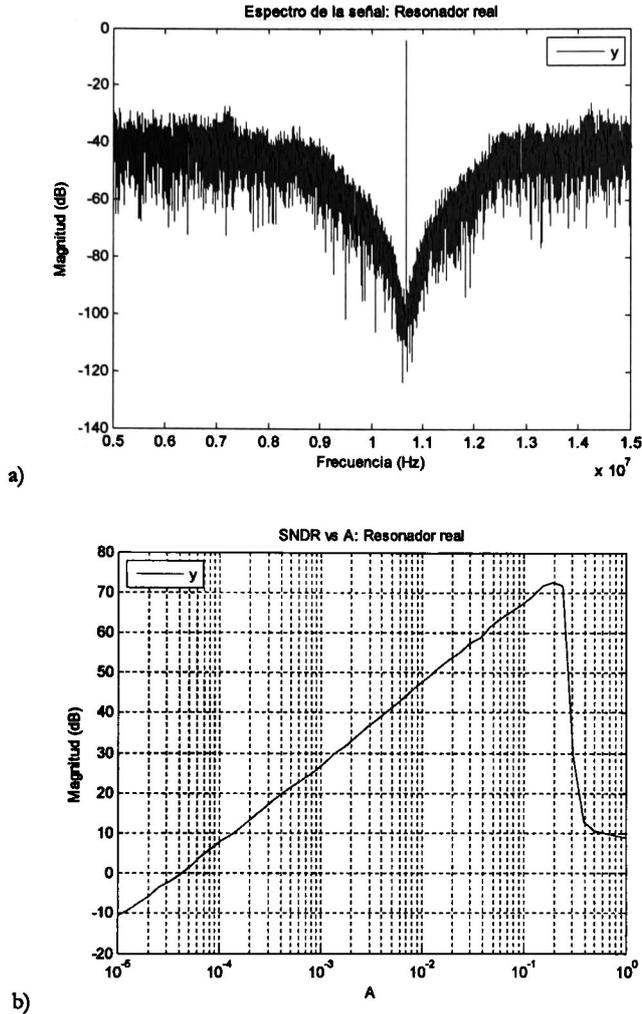


Fig. 4.14 Desempeño del modulador para las especificaciones de la Tabla 4.2: a) Espectro, b) SDNR.

### 4.3.3 Cuantizador real

El modelo para el cuantizador real se muestra en la Fig. 4.15 [3], donde la entrada ideal,  $x_a$ , es afectada en primer lugar por un *offset* y una ganancia  $\gamma$ . El resultado  $w_a$  entra a un bloque no lineal con función de transferencia  $\phi$  y finalmente es cuantizada por un convertidor A-D ideal. Las ecuaciones que rigen el comportamiento de este modelo son:

$$y_a = \phi(w_a) = (1 - \epsilon_0)w_a + \frac{\epsilon_0}{A^2} w_a^3 \quad (4.6a)$$

$$\epsilon_0 = \frac{\sqrt{27}}{2^B - 2} \text{INL} \quad (4.6b)$$

$$w_a = \gamma(x_a + \text{off}) \quad (4.6c)$$

$$A = (2^{B-1} - 1)\Delta \quad (4.6d)$$

$$\gamma = \frac{1}{1 + \Delta\epsilon_g} \quad (4.6e)$$

$$\text{off} = (I_1\epsilon_g - \epsilon_{\text{off}})\Delta \quad (4.6f)$$

$$I_1 = -\frac{F_{SR}}{2G} + \frac{\Delta}{2} \quad (4.6g)$$

donde B representa el número de bits del cuantizador y  $\Delta$  es el paso de cuantización, también llamado bit menos significativo (LSB por sus siglas en inglés) que se obtiene dividiendo la escala completa  $F_{SR}$  entre el número de niveles del cuantizador  $2^B-1$ . El parámetro G denota la ganancia nominal del cuantizador, que puede ser distinta a la unidad. Las unidades de los errores de ganancia  $\epsilon_g$ , de *offset*  $\epsilon_{\text{off}}$  y de no linealidad INL son LSBs.

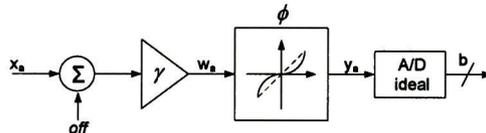


Fig. 4.15 Modelo de comportamiento del cuantizador (1 bit) real.

Para observar los efectos de las no idealidades del cuantizador, se asume que el DAC es ideal. Las no idealidades que incluye el comparador son: histéresis, INL, error de ganancia y error de *offset*. En la práctica, el impacto de sus no idealidades en el funcionamiento de los moduladores  $\Sigma\Delta$  es mucho menor que el impacto causado por el resto de los bloques por la posición que éste ocupa en el lazo del modulador. De ahí que el modulador es insensible a la mayoría de los errores descritos; INL no se presenta además en el cuantizador de 1 bit porque es inherentemente lineal. Por lo anterior, sólo se analiza el efecto que produce la histéresis, que es la no idealidad del comparador que más afecta al modulador.

#### 4.3.3.1 Histéresis

Se utiliza el modelo determinista para observar el efecto de memoria que posee el comparador debido al cual el estado anterior queda almacenado, siendo necesaria una sobrecarga en la señal de entrada para lograr que el comparador cambie hacia el estado correcto, lo que provoca que si la señal de entrada permanece por abajo del umbral marcado por la histéresis, el estado a la salida será igual que el estado anterior.

Los efectos no deseados de las no idealidades del comparador también son conformados por el modulador. Aun así, se observa en la Fig. 4.16 una importante disminución del SNR al aumentar la histéresis. Este error provoca que aumente el error dentro de la banda de la señal. Se observa también que para valores mayores a 0.02 el SNDR empieza a disminuir. Se toma el valor de 0.01 como límite para alejarle del valor en el que el desempeño del modulador comienza a degradarse.

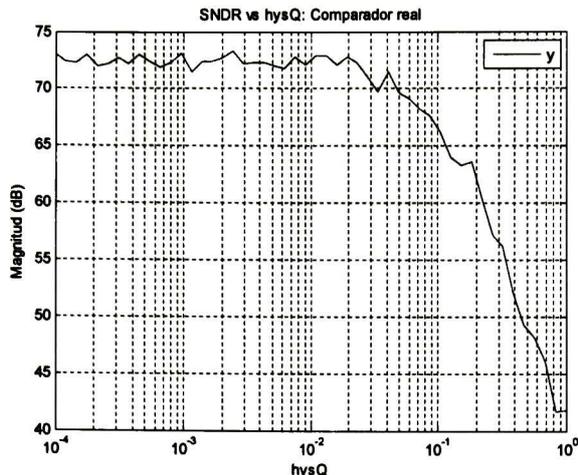


Fig. 4.16 Efecto de la histéresis en el cuantizador real.

#### 4.3.3.2 Desempeño del modulador con no idealidades en los resonadores y en el comparador

Las no idealidades están incluidas en la **Tabla 4.3**, donde los resonadores y el comparador son reales y, como ya fue mencionado, el DAC es ideal. Para observar el impacto de éstas se grafica tanto el espectro de la señal como el SNR *versus* A.

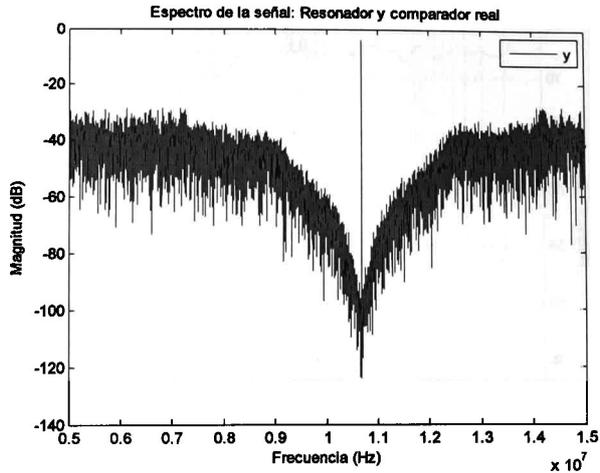
**Tabla 4.3** Especificaciones del modulador con no idealidades del resonador y comparador.

Bloque	Especificaciones
Resonador	Rango de entrada/salida: $\pm 1V$ Ganancia DC: 1000 Error cte. tiempo de int.: 0.003 Coef. no idealidad 2do orden: 0.001 Coef. no idealidad 3er orden: 0.001
Cuantizador	Rango de entrada/salida: $\pm 1V$ Histéresis: 0.01
DAC	Ideal

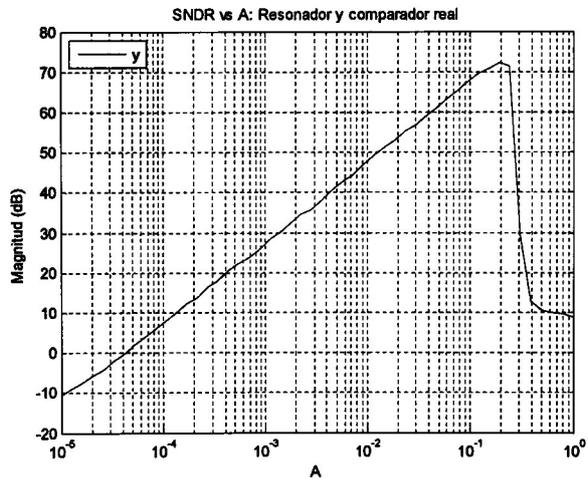
En la **Fig. 4.17 a)** se muestra el espectro de la señal con una amplitud de 0.2V. No se observan cambios en la frecuencia intermedia ni en el conformado del error. Por otro lado, en la **Fig. 4.17 b)** se observa que el SNR máximo es de 72.2dB, por lo que, al incluir las no idealidades del comparador con las del resonador, el desempeño cambio muy poco, sólo 0.2 dB. En base a lo anterior se considera que las especificaciones del comparador son adecuadas ya que se mantuvo el correcto desempeño del modulador.

#### 4.3.4 DAC Real

El modelo para el cuantizador real se muestra en la **Fig. 4.18 [3]**. Las ecuaciones que rigen el comportamiento de este modelo son mostradas en (4.6). Para observar los efectos de las no idealidades de los DACs también se consideran reales los resonadores y el comparador. Las no idealidades incorporadas son INL, retardo de lazo, error de ganancia, error de *offset* y *jitter*.



(a)



(b)

Fig. 4.17 Desempeño del modulador para los datos de la Tabla 4.3: a) Espectro, b) SNDR.

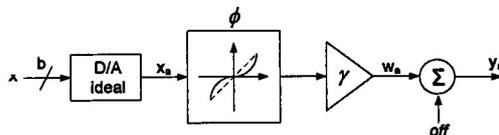


Fig. 4.18 Modelo de comportamiento del DAC real.

#### 4.3.4.1 Retraso en el lazo

Una vez que la señal de entrada al DAC ha sido muestreada, la salida no se actualiza hasta que pase un  $\Delta t$  (retraso del lazo). Este retraso incluye tanto el retraso del DAC como el del cuantizador. El retraso real de un cuantizador es dependiente del nivel de la señal de entrada debido a la ganancia finita que posee. Así, para entradas con un nivel de amplitud pequeño requiere un largo tiempo para que la salida alcance los niveles  $\pm 1$ . Para emular esta característica se utiliza el siguiente modelo matemático

$$\text{delay}(v_{in}) = d_0 + \frac{d_1}{|v_{in}|x_1} < d_{\max} \quad (4.7)$$

Éste presenta dos contribuciones: una debida a un retraso fijo ( $d_0$ ) propio de la circuitería y otra debida a la dependencia con el nivel de la señal de entrada ( $d_1/(|v_{in}|x_1)$ ). Ésta es una de las no idealidades que más afectan el desempeño del modulador; incluir este error en el análisis genera una disminución de 3 dB en el SNDR. Por lo anterior, se incorpora un retardo en el lazo y se observa el efecto que tiene en el desempeño del modulador (ver Fig. 4.19). Para retardos mayores al 15% del tiempo de muestreo, el SNDR disminuye rápidamente debido a que el modulador se vuelve inestable. Entonces se asumió un valor del 10% en el retardo de lazo como límite para que no esté muy cercano al valor donde el desempeño del modulador comienza a disminuir. Es recomendable que el retardo de lazo sea lo más grande posible, ya que relaja las restricciones de tiempo que tiene cada bloque para responder a sus entradas, lo que permite facilitar el diseño de los bloques del modulador.

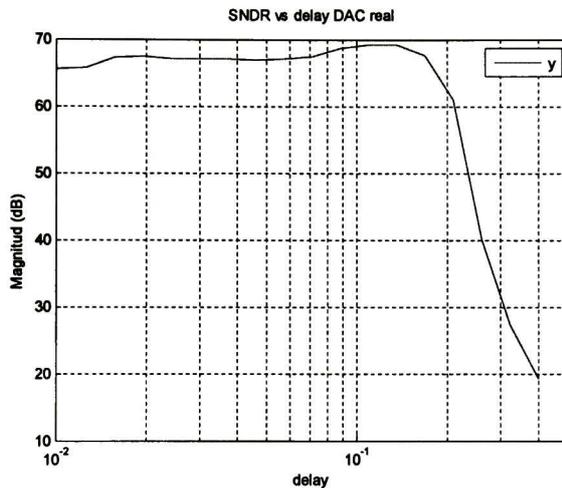


Fig. 4.19 Efecto del retardo en el lazo.

#### 4.3.4.2 Error de ganancia

Se hace variar este parámetro para ver el efecto que en la respuesta del modulador. En la Fig. 4.20 se observa cómo afecta, en particular, al SNDR. Para valores mayores a 15% en el error de ganancia, el valor del SNR empieza a alterarse. Este error afecta al conformado del error incrementando su contribución dentro de la banda de la señal. Para evitar ese desempeño anómalo se selecciona un valor del 5% para el error de ganancia.

#### 4.3.4.3 Error debido a *offset*

Este parámetro se introduce en los DACs y su efecto en el desempeño de SNDR se muestra en la Fig. 4.21. Para valores mayores a 80mV se observa una reducción en SNDR. Debido a que el incremento del *offset* aumenta el ruido dentro de la banda de la señal, se selecciona un *offset* de 50mV.

#### 4.3.4.4 Efecto del *Jitter*

El reloj de todo sistema de comunicaciones presenta el denominado ruido *jitter*. Éste provoca que los flancos de subida y de bajada del reloj estén afectados por ligeras

desviaciones respecto al instante ideal. En los convertidores  $\Sigma\Delta$  CT esto supone una variación en la cantidad de carga que es realimentada por ciclo, provocando una especie de “modulación de fase” que provoca en el ruido de cuantización un efecto de ruido blanco en la banda de la señal. Para modelar este error se utiliza un bloque con tasa de muestreo variable. Los instantes de muestreo están dados por la expresión:

$$t_n = nT_s + \beta_n \quad (4.8)$$

donde  $\beta_n$  es una variable aleatoria normal de media cero y desviación típica  $\sigma_n$ .

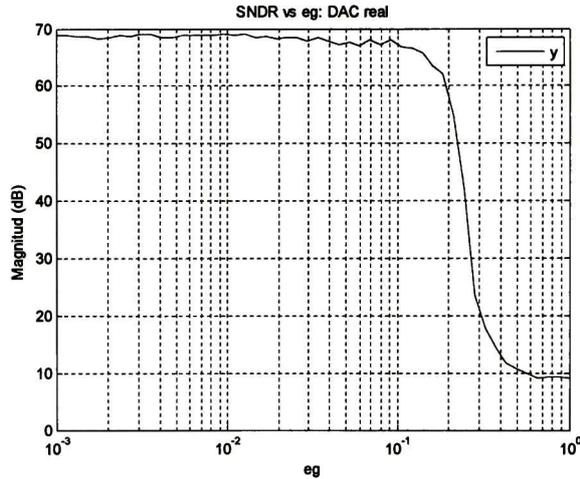


Fig. 4.20 Efecto del error de ganancia en el DAC real.

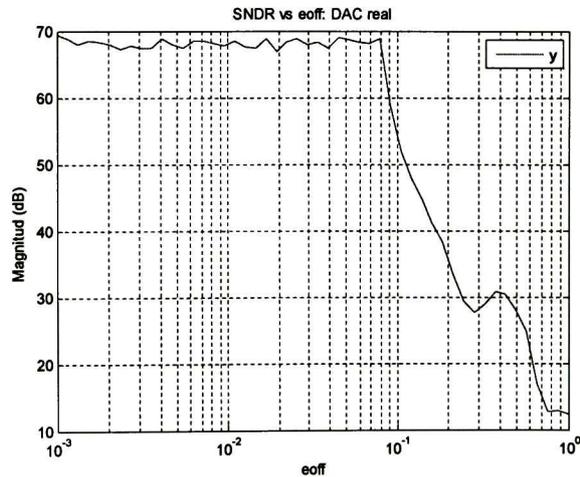


Fig. 4.21 Efecto del error de offset en el DAC real.

Esta no idealidad se muestra en la Fig. 4.22. El *jitter* afecta principalmente el desempeño de los moduladores en tiempo continuo. Se ha reportado que aun para valores muy pequeños el SNR disminuye drásticamente, como ejemplo, en la Fig. 4.22 se observa ese efecto para dos diezmilésimas partes de  $T_s$ . El *jitter* provoca que no se conforme adecuadamente el ruido, incrementando su valor en la banda de la señal. Para propósitos prácticos se selecciona una diezmilésima parte de  $T_s$  (2.3364 ps) para no afectar el desempeño del modulador.

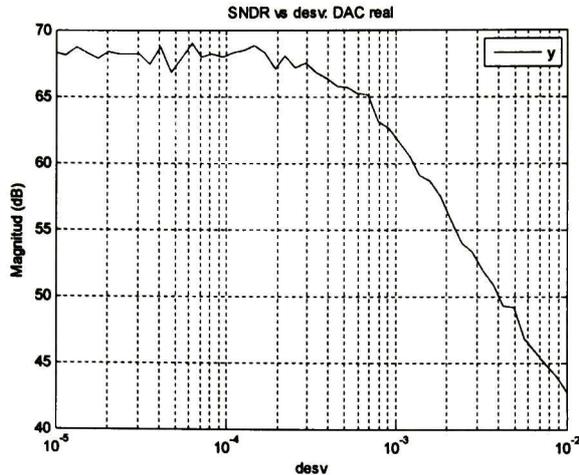


Fig. 4.22 Efecto del jitter en el DAC real.

### 4.3.5 Modulador real

Se analiza el comportamiento del modulador con sus bloques ideales y las correspondientes no idealidades. Las especificaciones se muestran en la **Tabla 4.4**.

**Tabla 4.4** Especificaciones para todos los bloques reales.

Bloque	Especificaciones
Resonadores	Rango de entrada/salida: $\pm 1V$ Ganancia DC: 1000 Error cte. tiempo de int.: 0.003 Coef. no idealidad 2do orden: 0.001 Coef. no idealidad 3er orden: 0.001
Cuantizador	Rango de entrada/salida: $\pm 1V$ Histéresis: 0.01
DAC's	Error ganancia = 0.05 Error offset = 0.05 Retardo lazo = 10% ( $0.1 \cdot T_s$ ) Jitter = 0.0001

La **Fig. 4.23** muestra el espectro y el SNDR del modulador considerando las no idealidades analizadas. Se observa que el desempeño del modulador es de 68.6dB, es decir 4.5dB menos respecto al ideal (ver **Fig. 4.23 b**). La variación se debe al aumento del error dentro de la banda de la señal; no se observa variación en la frecuencia intermedia.

Con el análisis comportamental se obtienen las especificaciones mínimas necesarias a cumplir por cada uno de los bloques del modulador para máximo desempeño. Al asignar un valor a cada especificación, se facilita el diseño de cada bloque a nivel transistor porque el bloque se diseña *a la medida*. Más información sobre los modelos matemáticos de las no idealidades de los bloques del modulador  $\Sigma\Delta$  en [5], [27].

## 4.4 Diseño del comparador a nivel transistor

El diseño y simulación del comparador es en tecnología CMOS065 de STMicroelectronics (ST). En el diseño se usan los modelos y librerías de ST así como Cadence Composer para realizar el esquemático, Cadence Virtuoso para el diseño a

nivel *layout*, y herramientas varias para la verificación como Calibre. CMOS065 es de 65nm e incluye distintos tipos de transistores (para RF, de baja potencia, de diferentes  $V_{th}$ , con óxido delgado o grueso). En este trabajo se utilizan los transistores NSVTGP y PSVTGP, los cuales son de propósito general (GP) y de  $V_{th}$  estándar (SVT).

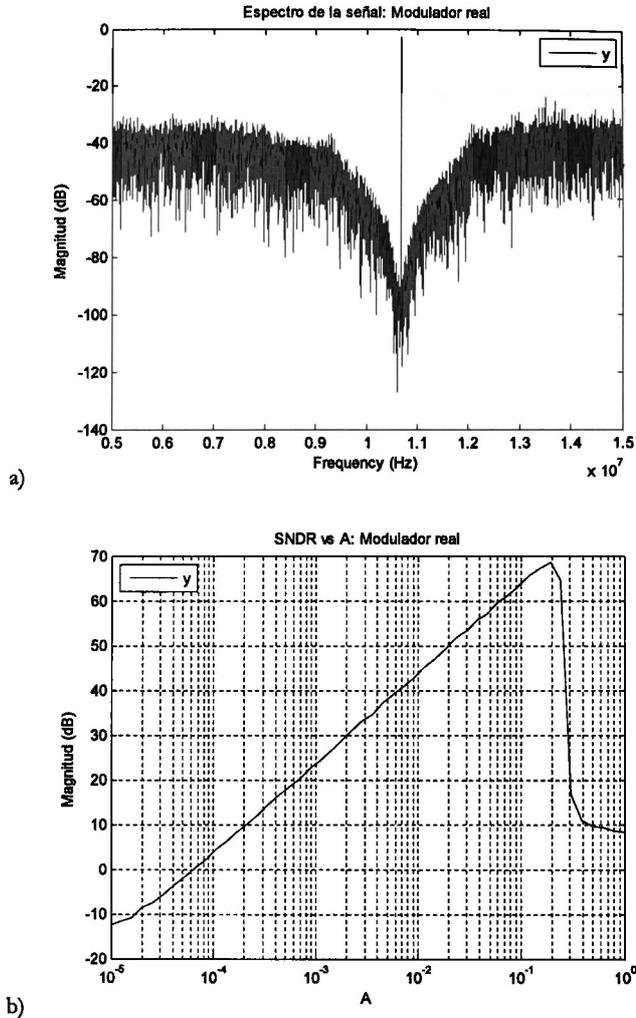


Fig. 4.23 Desempeño para las especificaciones de la Tabla 4.5: (a) Espectro, (b) SNDR.

#### 4.4.1 Especificaciones y diseño del comparador

Las especificaciones del comparador (ver Fig. 4.24) se muestran en la Tabla 4.5; este circuito cuenta con un preamplificador y un circuito bi-estable; su operación es con una sola fase de reloj.

Tabla 4.5 Especificaciones que debe cumplir el comparador.

Especificación	Valor
Histéresis	10mV
Resolución en tiempo	<1ns

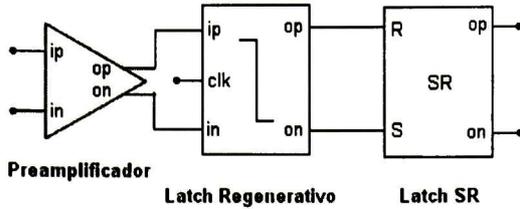


Fig. 4.24 Componentes del comparador regenerativo con una sola fase de reloj.

#### 4.4.1.1 Preamplificador

Este circuito es un par diferencial de entrada P, con un voltaje en DC en sus nodos de salida de 0.5V. La entrada tipo P genera ruido intrínseco en menor proporción que su contraparte NMOS y soporta mayores variaciones de voltaje en modo común (DC). Para lograr mayor simetría y minimizar el efecto de las variaciones propias del proceso de fabricación, se optó por un circuito con una impedancia de salida equivalente a  $1/g_m$ . En la Fig. 4.25 se muestra el esquemático del preamplificador.

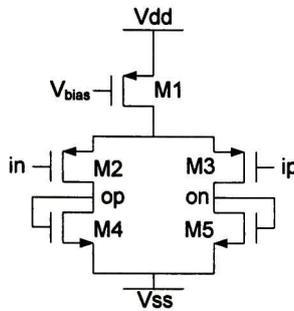


Fig. 4.25 Esquema eléctrico del preamplificador.

En la **Tabla 4.6** se muestran las dimensiones de los transistores del preamplificador; el régimen de operación de los transistores es en saturación y se diseñó para que el voltaje en DC en los nodos de salida (op, on) sea de 500mV.

**Tabla 4.6** Dimensiones de los transistores del preamplificador.

Transistor	w/l	Vdd	Vss
M1	31/0.12	1V	0V
M2, M3	31/0.12		
M4, M5	1.2/0.12		

#### 4.4.1.2 Latch regenerativo

La **Fig. 4.26** muestra el esquemático del *latch*. Esta estructura es atractiva para aplicaciones de alta rapidez de respuesta debida principalmente a tres propiedades:

1. La disipación de potencia estática es cero.
2. Requiere solamente una fase de reloj, lo que hace fácil el *enrutado* del CI.
3. El *offset* es dominado por el par diferencial del preamplificador y no por los transistores que forman el arreglo *cross coupling*, los cuales forman –dicho sea de paso– dos inversores.

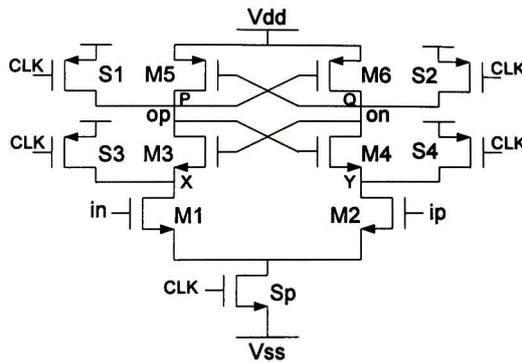


Fig. 4.26 Esquema eléctrico del latch regenerativo con una sola fase de reloj.

Su funcionamiento es de la siguiente manera: Cuando el reloj (CLK) está en nivel bajo Sp está apagado y S1-S4 están encendidos, por lo tanto los nodos P, Q, X e Y están precargados a  $V_{DD}$ . Por esta razón es necesario añadir el *latch* SR a la lógica del comparador para que se guarden los niveles del estado lógico anterior. Cuando CLK cambia a nivel alto, Sp se enciende y S1-S4 se apagan, en consecuencia M1-M2 ya pueden procesar las entradas provenientes del preamplificador. Lo anterior provocará que un transistor este “más encendido” que otro. Los transistores M3-M4 están encendidos, lo que hace que los nodos P y Q tengan conexión a  $V_{SS}$  (los transistores M5 y M6 están apagados). Uno de los nodos P o Q cambiará más rápido a  $V_{SS}$ , encendiendo más rápido a M5 o M6, y consecuentemente apagando a M3 o M4; éstos últimos son los transistores que están conectados al nodo que sea más lento, lo que indica que descargará al nodo más rápido a  $V_{SS}$  y al nodo más lento a  $V_{DD}$ . Cuando estén totalmente encendidos los transistores se mantendrán los niveles de voltaje debido al proceso de regeneración.

Para el diseño del *latch* regenerativo se diseñaron los transistores que trabajan como *switch* (Sp, S1-S4) con la dimensión mínima que permite la tecnología. Los transistores M3-M6 también son de dimensión mínima para favorecer la rapidez del proceso de regeneración. Los transistores de entrada M1-M2 son un poco más grandes debido a que, generalmente, deberán trabajar sin estar totalmente encendidos. En la **Tabla 4.7** se muestran las dimensiones de los transistores que forman al *latch*.

**Tabla 4.7** Dimensiones de los transistores del latch regenerativo.

Transistor	w/l	Vdd	Vss
M1,M2	3/0.12	1V	0V
M3- M6	0.6/0.12		
Sp, S1-S4	0.12/0.06		

#### 4.4.1.3 Latch SR

Para conservar los valores del comparador cuando CLK cambie a nivel bajo se utiliza un *latch* SR-NAND debido a que necesita mantener la respuesta del *latch* cuando la salida de éste cambie a un nivel alto. El esquemático del *latch* se muestra en la **Fig. 4.27 a)** y circuito de la compuerta NAND en la **Fig. 4.27 b)**. En la **Tabla 4.8** se muestran las dimensiones de los transistores de las compuestas NAND que forman al *latch*.

**Tabla 4.8** Dimensiones de los transistores del latch SR-NAND.

Transistor	w/l	Vcc	gnd
M1,M2	0.3/0.12	1V	0V
M3,M4	0.3/0.12		

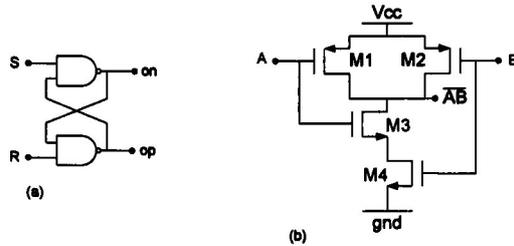


Fig. 4.27 Esquema eléctrico del latch SR y de la compuerta NAND.

#### 4.4.2 Resultados de simulación

El esquemático para propósitos de simulación se muestra en la Fig. 4.28, donde se ha considerado que el comparador está correctamente polarizado y únicamente se muestran la entrada, la salida y el reloj.

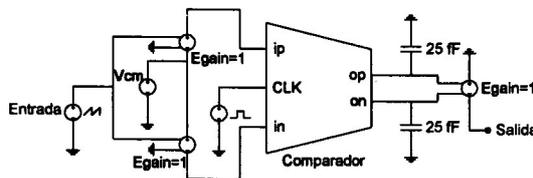


Fig. 4.28 Esquemático del comparador regenerativo.

En la Fig. 4.29 se muestra el resultado de simulación Montecarlo para un escalón de entrada de  $\pm 10\text{mV}$  y un voltaje en modo común ( $V_{cm}$ ) de  $500\text{mV}$ . El reloj presenta un periodo de  $2\text{ns}$ , con lo cual cumple la especificación de resolución en el tiempo. En la Tabla 4.9 se muestran los tiempos de subida ( $T_{sub}$ ) y de bajada ( $T_{baj}$ ) para diferentes valores de  $V_{cm}$ .

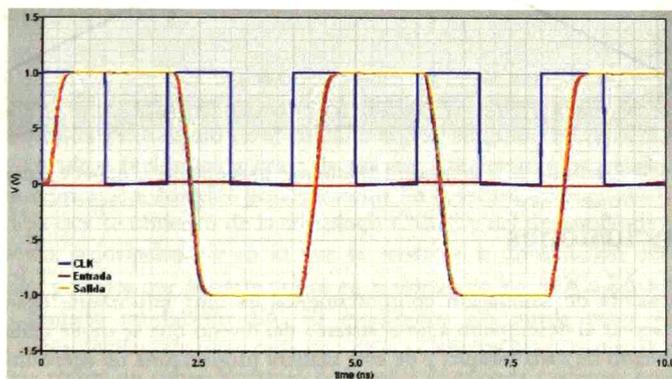


Fig. 4.29 Resultado de la simulación Montecarlo para obtener la resolución en tiempo.

Tabla 4.9 Resultados de simulación para obtener la resolución en tiempo.

$V_{cm}$ (mV)	$T_{sub}$ (ps)	$T_{baj}$ (ps)
400	391.7	380.8
500	400	386.4
600	418.2	400.4

Para medir el offset y la histéresis se utiliza la misma configuración; la señal de entrada es necesario que cambie muy lentamente con respecto a la señal de reloj. De esta manera, tanto el offset como la histéresis se definen como

$$\text{offset} = \frac{\text{lastT} + \text{firstT}}{2} \quad (4.9)$$

$$\text{histéresis} = \frac{\text{lastT} - \text{firstT}}{2} \quad (4.10)$$

donde lastT y firstT son los voltajes donde se da la última y primera transición respectivamente. En la Fig. 4.30 se observa el resultado de simulación para medir el *offset* y la histéresis; se observa que la entrada cambia muy lento con respecto a la señal de reloj. En la Tabla 10 se muestran los resultados de simulación, donde se verifica el cumplimiento de las especificaciones de diseño con un Vcm de 500mV.

Tabla 4.10 Resultados de simulación.

	Primera transición	Ultima transición	Offset	Histéresis
Subida	-3.19 mV	5.98 mV	745 μV	5.235 mV
Bajada	-4.49 mV	4.07 mV		

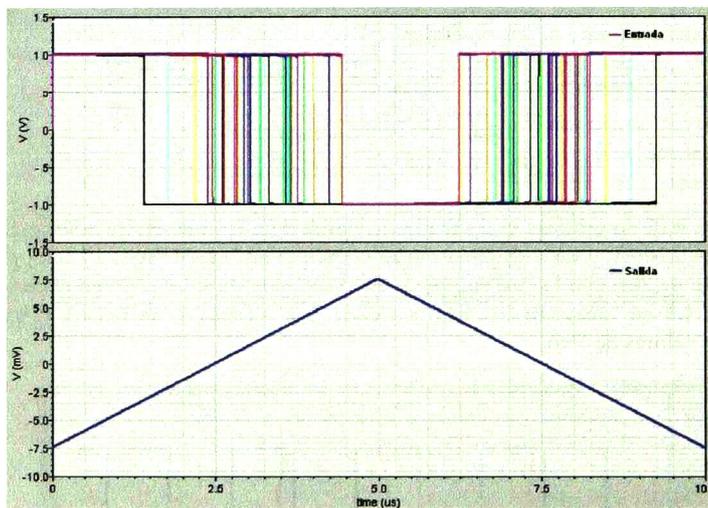


Fig. 4.30 Resultado de la simulación Montecarlo para obtener el offset e histéresis.

## 4.5 Conclusiones

Una herramienta de simulación comportamental es muy importante debido a que permite observar el desempeño a nivel sistema del diseño que se desee realizar, ver el comportamiento de cada bloque, y de esta manera proporciona un acercamiento a las especificaciones que se deben cumplir para realizar el diseño a nivel eléctrico y posteriormente a nivel layout. SIMSIDES es la herramienta utilizada para simular el modulador  $\Sigma\Delta$ , permite analizar diferentes arquitecturas para ver cuál cumple con las especificaciones de diseño, ver el comportamiento de cada bloque dentro de la arquitectura, cuenta con modelos de simulación muy exactos, comprobados al comparar resultados de simulación y de test.

En base a los resultados obtenidos en SIMSIDES se hace el diseño a nivel eléctrico del comparador con la tecnología de 65nm. En general, las especificaciones no son muy demandantes, sólo la relacionada con el tiempo de respuesta del circuito impone más dificultades ya que puede llegar a afectar enormemente el desempeño del modulador, de ahí que sea necesario prestarle más atención.

# Capítulo 5

## Conclusiones y trabajo futuro

Se presentan las conclusiones obtenidas a partir de la realización de este trabajo de tesis, el cual se enfocó a los fundamentos del modulador  $\Sigma\Delta$  y en la utilización de SIMSIDES, herramienta de simulación compartamental que, entre otras cosas, permite obtener las especificaciones de los bloques que componen al modulador. Esto se muestra mediante un ejemplo de diseño. Además se muestra el trabajo a futuro que permitirá continuar con el desarrollo de esta investigación.

### 5.1 Conclusiones

**L**os ADC  $\Sigma\Delta$  son una buena opción para ser implementado en el mismo chip donde se encuentran los circuitos digitales por que parte del proceso de conversión es realizado en el dominio digital, relajando las especificaciones de los circuitos analógicos a pesar de no ser muy favorecidos por las modernas técnicas de fabricación, basados principalmente en la tecnología digitales CMOS. Las características que se obtienen de la tecnología CMOS y del desarrollo de las técnicas de fabricación, principalmente en lo que se refiere a la disminución del voltaje de alimentación, provoca que la parte crítica en el diseño de los ADCs  $\Sigma\Delta$  sea el bloque analógico, llamado modulador  $\Sigma\Delta$ . El modulador  $\Sigma\Delta$  puede tener resoluciones mayores a la resolución que tiene cada uno de los distintos bloques que lo componen, debido a que realiza un sobre-muestreo de la señal de entrada y además porque genera un conformado del error de cuantización, lo que disminuye el error de cuantización dentro de la banda de la señal aumentando así el desempeño del modulador.

Como ya se describió en el capítulo 2, el modulador está formado principalmente por un filtro, un cuantizador y un DAC en el lazo de retroalimentación. De acuerdo a esta estructura y a su funcionamiento, hay tres características que se pueden modificar para mejorar su desempeño:

- Aumentar el orden del filtro, aunque ello presenta el problema de inestabilidad para órdenes mayores a dos.

Utilizar mayor sobre-muestreo. Es posible aumentar el valor hasta los límites permitidos por la tecnología seleccionada; ello también incrementa la disipación de potencia.

- Incrementar los bits del cuantizador: disminuye la potencia del error de cuantización dentro de la banda, pero es más complejo y el DAC debe tener los mismos bits que el cuantizador, por lo que se aumenta el efecto de sus no idealidades.

Entonces, existe un compromiso entre la resolución y la complejidad del modulador: si se quiere un diseño sencillo con un filtro de bajo orden y el cuantizador de un bit, la resolución que se tenga no será muy grande; si se quiere altas resoluciones, se tendrá que utilizar cuantizadores multi-bit y alguna otra estructura, como utilizar moduladores en cascada. También es importante para seleccionar el tipo de modulador conocer el tipo de señal que se va a convertir, ya que si se quiere trabajar con señales de altas frecuencias lo mejor es utilizar un modulador pasa-banda con el cual sólo se convierte el ancho de banda deseado y, al igual que los moduladores pasa-baja, también puede ser multi-bit o de cualquier otro tipo, de manera que se obtenga la resolución deseada.

Hasta hace poco, la mayoría de los diseños de moduladores  $\Sigma\Delta$  eran en tiempo discreto, es decir, el filtro que utilizan trabajan con señales discretas. Sin embargo, a partir del desarrollo de la tecnología CMOS se ha visto que los moduladores  $\Sigma\Delta$  con filtros CT tienen varias ventajas con respecto a los diseñados en DT, debido principalmente a que son más robustos a las no idealidades propias del proceso de muestreo. Una cualidad muy importante de los moduladores  $\Sigma\Delta$  CT es que presentan un comportamiento anti-aliasing inherente, con lo cual ya no es necesario incorporar uno, como es el caso en los moduladores DT. Su análisis es más complicado y al no ser una tecnología tan madura hace su diseño más limitado. Sin embargo, es posible hacer uso del conocimiento de los moduladores  $\Sigma\Delta$  DT para diseñar los CT al hacer uso de una conversión DT-CT, lo cual se facilita más al utilizar herramientas como Matlab para hacer los cálculos. Los tipos de moduladores que se pueden implementar en CT son los mismos que se tienen en DT, de manera que para aplicaciones inalámbricas lo mejor es utilizar moduladores  $\Sigma\Delta$  CT pasa-banda, en el cual es necesario utilizar múltiples retroalimentaciones debido a la igualdad DT-CT que se desea.

En todo proceso de diseño es de vital importancia contar con software que permita simular el comportamiento del circuito a diseñar y su desempeño antes de que se fabrique, y el diseño de los moduladores  $\Sigma\Delta$  no es la excepción. La herramienta SIMSIDES es una de las mejores opciones a utilizar para simular moduladores  $\Sigma\Delta$ . Está basado en la plataforma de Matlab y realiza una simulación comportamental lo que le da mayor rapidez de simulación en comparación a un simulador eléctrico. Permite simular una gran variedad de tipos de simuladores tanto en DT como en CT, multi-bit, además de permitir generar nuevas arquitecturas. Incorpora las principales no idealidades de cada uno de los bloques con lo que obtiene gran precisión en sus resultados; éstos pueden ser procesados utilizando Matlab para obtener información gráfica del desempeño del modulador, todo ello es fácil de realizar a través de la interfaz gráfica con la que cuenta.

El uso de SIMSIDES permite, entre otras cosas:

- Comprobar que la arquitectura seleccionada genera el desempeño deseado.
- Obtener las especificaciones que debe cumplir cada bloque de manera que se pueda realizar su diseño eléctrico a la medida, es decir, sin sobre-dimensionar los circuitos.
- Analizar el efecto de las no idealidades de manera que se preste mayor atención a aquellas que sean críticas para el funcionamiento correcto del modulador.

Se utiliza SIMSIDES para simular un modulador  $\Sigma\Delta$  CT pasa-banda de cuarto orden, en base a los resultados observados se obtienen las especificaciones del comparador y se procede a hacer el diseño a nivel eléctrico: se toman las dimensiones mínimas que permitan cumplir con las especificaciones. En SIMSIDES se observó que retardo del lazo es una de las no idealidades que más afectan el desempeño del modulador, de manera que se pone especial atención al tiempo de respuesta del comparador. En el diseño a nivel eléctrico se trabajó con la tecnología CMOS 65nm.

## 5.2 Trabajo futuro

Las principales líneas de trabajo son:

- Revisión y actualización de SIMSIDES.  
SIMSIDES incluye la mayoría de las no idealidades principales de los bloques que componen al modulador, sin embargo, las investigaciones actuales han generado mejoras a los modelos matemáticos que obliga a la actualización de SIMSIDES. Además es deseable incluir más no idealidades que permitan mejorar la precisión de los resultados.
- Diseño de un convertidor  $\Sigma\Delta$ -4G.  
Se utilizará SIMSIDES para realizar el diseño y optimización de un convertidor  $\Sigma\Delta$  4G, el cual tendrá aplicaciones en sistemas de comunicación personal portátiles. SIMSIDES permitirá explorar entre diferentes arquitecturas aquellas que cumplan en mayor porcentaje las especificaciones del diseño.
- Fabricación y caracterización del convertidor  $\Sigma\Delta$ .  
La fabricación permitirá comprobar el desempeño del convertidor, de manera que se podrá corroborar la funcionalidad de la arquitectura así como la validez de los modelos incorporados a la herramienta de simulación comportamental, SIMSIDES.

Es importante mencionar que el inicio de estas actividades se desarrollará en las instalaciones de IMSE-CNM (Sevilla, España) y ocurrirá antes de la culminación del 2008. Cabe señalar que IMSE es un centro de diseño líder en ADCs  $\Sigma\Delta$ .

**INTENCIONALMENTE EN BLANCO**

**INTENCIONALMENTE EN BLANCO**

**INTENCIONALMENTE EN BLANCO**

# Apéndice A

## Cálculo de las ganancias de retroalimentación del modulador $\Sigma\Delta$ CT pasa-banda de cuarto orden utilizando Matlab

Se presenta la metodología utilizada para calcular el valor de las ganancias de retroalimentación del modulador  $\Sigma\Delta$  CT pasa-banda de cuarto orden mediante el uso de la herramienta matemática Matlab. Se incluye el código utilizado para realizar el cálculo.

### A.1 Introducción

Para el diseño de los moduladores  $\Sigma\Delta$  CT se utiliza una transformación DT-CT, de manera que a partir de una función de transferencia en DT se obtiene una función de transferencia en CT. La transformación del impulso invariante, que es el nombre que recibe la transformación usada, se realiza mediante cálculos matemáticos complejos, los cuales se pueden realizar utilizando alguna herramienta matemática. Matlab cuenta con rutinas que permiten realizar la transformación.

### A.2 Uso de Matlab para realizar la transformación DT-CT y para calcular las ganancias

El modulador  $\Sigma\Delta$  CT pasa-banda de cuarto orden que se desea diseñar se mostró en el capítulo 3, y se reproduce en la Fig. A.1 por comodidad. Se utilizan resonadores como filtros y la función de transferencia en DT en lazo abierto es:

$$H_4(z) = \frac{2z^{-2} + z^{-4}}{(1 + z^{-2})^2} = \frac{2z^2 + 1}{(1 + z^2)^2} \quad (\text{A.1})$$

Las funciones de transferencia en lazo abierto de los caminos de retroalimentación de la Fig. A.1 son  $H_{4HRZ}(s)$ ,  $H_{4RZ}(s)$ ,  $H_{2HRZ}(s)$  y  $H_{2RZ}(s)$ . Al hacer la transformación se obtienen las funciones de transferencia en tiempo discreto equivalentes  $H_{4HRZ}(z)$ ,  $H_{4RZ}(z)$ ,  $H_{2HRZ}(z)$  y  $H_{2RZ}(z)$ .

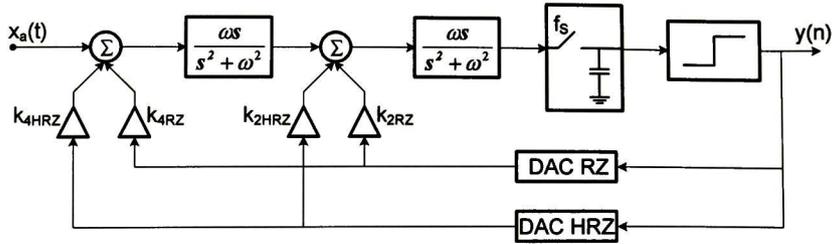


Fig. A.1 Diagrama a bloques de un modulador  $\Sigma\Delta$  CT BP de cuarto orden con múltiple retroalimentación (RZ y HRZ).

Se requiere satisfacer la igualdad que se muestra en (A.2) para calcular los valores de las ganancias de retroalimentación.

$$\left[ H_{4HRZ}(z) + H_{4RZ}(z) + H_{2HRZ}(z) + H_{2RZ}(z) \right] \frac{z^2 + 1}{z^2 + 1} = \frac{2z^2 + 1}{(1 + z^2)^2} \quad (\text{A.2})$$

Utilizando el código de Matlab que se muestra en la Fig. A.2 se obtienen los valores de los coeficientes de retroalimentación:  $k_{4RZ}=2.6815$ ,  $k_{4HRZ}=-1.1107$ ,  $k_{2RZ}=-1.7547$  y  $k_{2HRZ}=3.1109$ . Algunas de las funciones que se encuentran en el código de la Fig. A.2 son:

- $[A,B,C,D]=tf2ss(\text{num},\text{den})$ : Dado un sistema continuo  $H(s)$   $\text{num}(s)/\text{den}(s)$  devuelve su descripción en variables de estado.
- $\text{sysc}=\text{ss}(A,B,C,D,Ts)$ : Crea un objeto que describe el sistema discreto mediante ecuaciones en variables de estado con tiempo de muestreo  $Ts$ . Si se omite  $Ts$ , devuelve un objeto que describe el sistema continuo descrito por esas ecuaciones en variables de estado. Se puede acceder a las matrices que describen el sistema mediante  $\text{sysc.A}$ ,  $\text{sysc.B}$ , etc.
- $\text{sysd}=\text{c2d}(\text{sysc},Ts,\text{'method'})$ : Convierte el sistema continuo  $\text{sysc}$  a un sistema discreto con tiempo de muestreo  $Ts$ , empleando el método de discretización 'method'. Se puede acceder a las matrices que describen el sistema mediante  $\text{sysd.A}$ ,  $\text{sysd.B}$ , etc.
- $\text{sysc}=\text{d2c}(\text{sysd},\text{'method'})$ : Realiza lo inverso a  $\text{c2d}$ .
- $[\text{hsnum},\text{hsden}]=\text{d2cm}(\text{num},\text{den},Ts,\text{'method'})$ : Convierte el sistema discreto con tiempo de muestreo  $Ts$ , dado por la función de transferencia  $\text{num}(z)/\text{den}(z)$  utilizando el método 'method', a su sistema continuo equivalente  $\text{hsnum}(s)/\text{hsden}(s)$ .
- $[\text{Ad},\text{Bd},\text{Cd},\text{Dd}]=\text{c2dm}(A,B,C,D,Ts,\text{'method'})$ : Convierte el sistema continuo descrito por ecuaciones en variables de estado al sistema discreto equivalente en ecuaciones en variables de estado usando el método 'method' y suponiendo un tiempo de muestreo  $Ts$ .
- $\text{sys}=\text{tf}(\text{num},\text{den},Ts)$ : Crea un objeto que representa la función de transferencia discreta  $\text{num}(z)/\text{den}(z)$ . Si se omite  $Ts$ , crea un objeto que representa la función de transferencia continua  $\text{num}(s)/\text{den}(s)$ .

```

%%%% Matlab para encontrar los coeficientes en moduladores multi-realimentados %%%
%l I(s)=pi/2/(s^2+(pi/2)^2)
p2=pi/2;

%Hacer sistema NRZ de 2do orden
[a2,b2,c2,d2]=tf2ss([0 0 p2],[1 0 p2*p2]);
sysc2=ss(a2,b2,c2,d2);
sysd2n=c2d(sysc2,Ts);
%Encontrar sistema RZ
sysd2r=sysd2n;
sysd2r.b=inv(sysc2.a)*(expm(sysc2.a)-expm(sysc2.a*0.5))*sysc2.b;
%Encontrar sistema HRZ
sysd2h=sysd2n;
sysd2h.b=inv(sysc2.a)*(expm(sysc2.a*0.5)-eye(size(sysc2.a)))*sysc2.b;
%Multiplicamos coeficientes de 2do orden por (z^2+1)/(z^2+1)
tf2=tf([1 0 1],[1 0 1],Ts);
tfd2n=tf(sysd2n)*tf2;
tfd2r=tf(sysd2r)*tf2;
tfd2h=tf(sysd2h)*tf2;

%Hacer sistema NRZ de 4do orden
[a4,b4,c4,d4]=tf2ss([0 0 0 0 p2^2],[1 0 2*p2*p2 0 p2^4]);
sysc4=ss(a4,b4,c4,d4);
sysd4n=c2d(sysc4,Ts);
%Encontrar sistema RZ
sysd4r=sysd4n;
sysd4r.b=inv(sysc4.a)*(expm(sysc4.a)-expm(sysc4.a*0.5))*sysc4.b;
%Encontrar sistema HRZ
sysd4h=sysd4n;
sysd4h.b=inv(sysc4.a)*(expm(sysc4.a*0.5)-eye(size(sysc4.a)))*sysc4.b;
%Encontrar funciones de transferencia de 4to orden
tfd4n=tf(sysd4n);
tfd4r=tf(sysd4r);
tfd4h=tf(sysd4h);

% crear matriz LHS para resolver - asumir RZ y HRZ DAC's
amat=zeros(4,4);
num=tfd4r.num{:}; amat(:,1)=num(2:5);
num=tfd2r.num{:}; amat(:,2)=num(2:5);
num=tfd4h.num{:}; amat(:,3)=num(2:5);
num=tfd2h.num{:}; amat(:,4)=num(2:5);

%Resolver para las K's retroalimentaciones que satisfacen 2*z^2+1
%(pasa-banda)
kd=amat\ [0;2;0;1];
k4r=kd(1)
k2r=kd(2)
k4h=kd(3)
k2h=kd(4)

```

Fig. A.2 Código de Matlab para el cálculo de las ganancias de retroalimentación.

Todas estas transformaciones suponen el uso de un DAC NRZ. En principio, es posible extender las transformaciones a otros tipos de pulsos realizando la modificación a la matriz B, en la descripción en ecuaciones en variables de estado del sistema, mostrado por (A.3), para sistemas continuos, y (A.4) para sistemas discretos [29].

$$\hat{B}_{(\alpha,\beta)} = [\exp(\hat{A}(1-\alpha)) - \exp(\hat{A}(1-\beta))]^{-1} (A - I) \hat{B}_{(0,1)} \quad (A.3)$$

$$B_{(\alpha,\beta)} = \hat{A}^{-1} [\exp(\hat{A}(1-\alpha)) - \exp(\hat{A}(1-\beta))] \hat{B}_{(0,1)} \quad (A.4)$$

donde  $\alpha$  y  $\beta$  son parámetros que definen el tipo de pulso. Se debe tener cuidado cuando algunas matriz que se vaya a invertir sea singular. Se recomienda consultar el manual de Matlab para obtener mayor información acerca de las funciones utilizadas para realizar la transformación y cálculo de las ganancias de retroalimentación.

# REFERENCIAS

- [1] M. Ortmanns, F. Gerfers, "Continuous-Time Sigma-Delta A/D Conversion: Fundamentals, Performance Limits and Robust Implementations", Springer, 2006.
- [2] J. C. Candy, "An Overview of Basic Concepts", Capítulo 1 en *Delta-Sigma Data Converters: Theory, Design and Simulation*. IEEE Press, 1997.
- [3] F. Medeiro, B. Pérez-Verdú y A Rodríguez-Vázquez. "Top-Down design of high performance sigma-delta modulators", Kluwer Academic Publisher, 1999.
- [4] J. Moreno, "SDTOOLBOX: Una herramienta para la simulación de moduladores sigma-delta en el entorno de matlab/simulink", Proyecto de Fin de Carrera, Ingeniería de Telecomunicación, Universidad de Sevilla, 2002.
- [5] J. Ruiz, "Entorno de Simulación y Optimización de Moduladores Sigma-Delta de Tiempo Discreto y Tiempo Continuo Basado en el Uso Combinado de Matlab/Simulink y Fridge", Proyecto de Fin de Carrera de Ing. de Telecomunicación, Univ. de Sevilla, Mayo 2003.
- [6] The Math Works Inc, "Writing S-Functions", Version 4.
- [7] R. del Rio, F. Medeiro, B. Pérez-Verdú, J.M. de la Rosa y A. Rodriguez-Vázquez, "CMOS Cascade Sigma-Delta Modulators for Sensors and Telecom: Error Analysis and practical Design". Springer, 2006.
- [8] J. M. de la Rosa, "Convertidores A/D Sigma-Delta para chips de comunicaciones" Julio 2002.
- [9] D. A. Johns y K. Martins, "Analog Integrated Circuit Design", *Jhon Wiley&Sons*, 1997.
- [10] M. Gustavsson, J. J. Wikner, N. Tan, "CMOS Data Converters for Communications", Kluwer, 2000.
- [11] R. M. Gray, "Quantization Noise Spectra" *IEEE Transactions on Information Theory*, vol. 36, pp. 1220-1244, Noviembre 1990.
- [12] P. Hendricks, "Specifying communication DAC's", *IEEE Spectr.*, pp. 58-69, Julio 1997.
- [13] R. Domínguez-Castro, A. Rodríguez-Vázquez, J. M. de la Rosa, M. Delgado-Restituto, y F. Medeiro, "CMOS Comparators". Capítulo 4 en *CMOS Telecom Data Converters*, Kluwer Academic Publishers, 2003.
- [14] K. R. Laker y W. M. C. Sansen, "Design of Analog Integrated Circuits and Systems", McGraw-Hill, 1994.

- [15] B. Razavi y B. A. Wooley, "Design Techniques for High-Speed, High Resolution Comparators", *IEEE Journal of Solid-State Circuits*, vol 25, pp. 1379-1384, 1990.
- [16] L. O. Chua, C. A. Desoer y E. S. Kuh, "Linear and Nonlinear Circuits" McGraw-Hill, 1987.
- [17] B. Razavi, "Principles of Data Conversion System Design" IEE
- [18] H. Inose, Y. Yasuda, y J. Murakami, "A Telemetry System by Code Modulation -  $\Delta\Sigma$  Modulation". *IRE Transactions on Space Electronics and Telemetry*, vol. 8, pp. 204-209, Septiembre 1962.
- [19] Y. Geerts, M. Steyaert, and W. Sansen, *Design of Multi-Bit Delta-Sigma A/D Converters*. Kluwer Academic Publishers, 2002.
- [20] J. C. Candy y O. J. Benjamin, "The structure of quantization noise from sigma-delta modulation". *IEEE Transactions on communications*, vol. 29, pp. 1316-1323, Septiembre 1981.
- [21] S. P. Lipshitz, R. A. Wannamaker, y J. Vanderkoy, "Quantization and Dither: A Theoretical Survey" *Journal of the Audio Engineering Society*, vol. 40, pp. 355-375, Mayo 1992.
- [22] J. C. Candy, "A Use of Double Integration in Sigma-Delta Modulation". *IEEE Transactions on Communications*, vol.33, pp. 249-258, Marzo 1985.
- [23] R. W. Adams y R. Schreier, "Stability theory  $\Sigma\Delta$  Modulators", Capítulo 4 en *Delta-Sigma Data Converters: Theory, Design and Simulation*. IEEE Press, 1997.
- [24] M. Goodson, B. Zhang, y R. Schreier, "Proving Stability of Delta-Sigma Modulators Using Invariant Sets". *Proc. of the IEEE international Symposium on Circuits and Systems*, vol. 2, pp. 633-636, 1995.
- [25] W. Chou, P. Wong, y R. Gray, "Multi-Stage Sigma-Delta Modulation". *IEEE Transactions on Information Theory*, vol. 35, pp. 784-796, Julio 1989.
- [26] R. Domínguez-Castro, A. Rodríguez-Vázquez, J. M. de la Rosa, M. Delgado-Restituto, y F. Medeiro, "Bandpass Sigma-Delta A/D Converters: Fundamentals, Architectures and Circuits". Capítulo 11 en *CMOS Telecom Data Converters*, Kluwer Academic Publishers, 2003.
- [27] R. Romay, "Una Contribución al Análisis, Modelado y Simulación de Moduladores Sigma-Delta de Tiempo continuo", Proyecto de Fin de Carrera de Ing. de Telecomunicación, Univ. de Sevilla, Octubre 2000.
- [28] H. Aboushady, "Desing for Reuse of Current-Mode Continuous-Time Sigma-Delta Analog-to-Digital Converters", Tesis de Doctorado, Universidad de Paris VI, Enero 2002.
- [29] J. A. Cherry y W. M. Snelgrove, "Continuous-Time Delta-Sigma Modulators for High-Speed A/D Conversion: Theory, Practice and Fundamental Performance Limits", Kluber Academic Publishers, 2002.

- [30] A. A. Marchena, "Diseño de Bloques Básicos Para un Modulador Sigma-Delta en Cascada de Tiempo Continuo y Alta Velocidad", Proyecto de Fin de Carrera de Ing. en Electrónica, Univ. de Sevilla, Septiembre 2007.
- [31] A. M. Thurston, T. H. Pearce, y M. J. Hawksford. "Bandpass Implementation of the Sigma-Delta A/D Conversion Technique", *Int. Conf. on A-D and D-A Conversion*, pp. 81-86, 1991.
- [32] O. Shoaici, "Continuous-Time Delta-Sigma A/D Converters for High Speed Applications", Tesis de Doctorado, Universidad Carleton, 1995.



# CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA

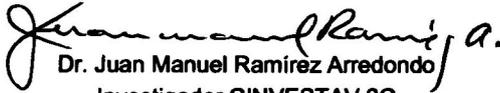
El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

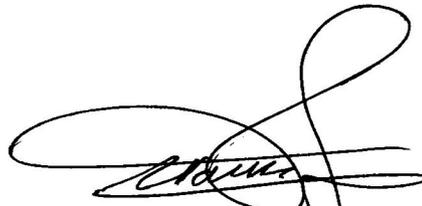
Metodología de Diseño para Moduladores Sigma-Delta en Tiempo Continuo y Tiempo Discreto en Tecnología CMOS de 65nm

del (la) C.

José Gerardo GARCÍA SÁNCHEZ

el día 31 de Octubre de 2008.

  
Dr. Juan Manuel Ramírez Arredondo  
Investigador CINVESTAV 3C  
CINVESTAV Unidad Guadalajara

  
Dr. Juan Luis Del Valle Padilla  
Investigador CINVESTAV 3C  
CINVESTAV Unidad Guadalajara

  
Dr. Federico Sandoval Ibarra  
Investigador CINVESTAV 3B  
CINVESTAV Unidad Guadalajara



CINVESTAV  
BIBLIOTECA CENTRAL



SSIT000008948