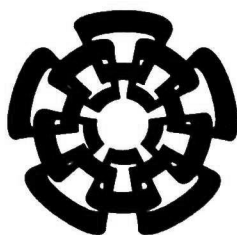


XX(178687.1)



Centro de Investigación y de Estudios Avanzados del I.P.N.
Unidad Guadalajara

Diseño de un amplificador de potencia clase-E usando un transistor N-MOS de alto voltaje en una tecnología CMOS estándar



**CENTRO DE INVESTIGACIÓN Y
DE ESTUDIOS AVANZADOS DEL
INSTITUTO POLITÉCNICO
NACIONAL**

**COORDINACIÓN GENERAL DE
SERVICIOS BIBLIOGRÁFICOS**

Tesis que presenta:
José Andrés Herrera Barragán

para obtener el grado de:
Maestro en Ciencias

en la especialidad de:
Ingeniería Eléctrica

Director de Tesis
Dr. Federico Sandoval Ibarra

**CINVESTAV
IPN
ADQUISICION
DE LIBROS**

Guadalajara, Jalisco, Abril de 2009.

CLASIF.: TR165.G8 .H47 2009
ADQUIS.: 351-555
FECHA: 2-04-09
PROC.: DON-04
\$

ID: 160797-1001

Diseño de un amplificador de potencia clase-E usando un transistor N-MOS de alto voltaje en una tecnología CMOS estándar

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

Por:

José Andrés Herrera Barragán
Ingeniero en Comunicaciones y Electrónica
Universidad de Guadalajara 1998-2002

Becario de Conacyt, expediente no. 180876

Director de Tesis
Dr. Federico Sandoval Ibarra

CINVESTAV del IPN Unidad Guadalajara, Abril de 2009.

Agradecimientos.

Pocas son las ocasiones en que públicamente se puede externar agradecimiento. Así, quiero expresar mi más profundo agradecimiento a Carmen Barragán y Andrés Herrera, mis padres, quienes son en gran medida responsables de este éxito personal. Además, quiero agradecer también a mis hermanos quienes, gracias a su apoyo y respeto, han colaborado en la consecución de este logro.

Mi agradecimiento, por supuesto, también se extiende al Doctor Juan Luís Del Valle; primero, al transmitirme y compartir parte de su conocimiento; después, por ser el guía de este trabajo; y finalmente, por confiar nuevamente en mí para que esta tesis pudiera ser concluida.

También quiero aprovechar estas líneas para agradecer al Doctor Federico Sandoval: gracias por su excelente enseñanza y por ser participe en la revisión y corrección de este trabajo.

En este mismo rubro, quiero agradecer al Doctor Raúl Loo, al Doctor Antonio Zenteno Ramírez y al Doctor Fernando Mendoza Hernández quienes contribuyeron en el escrutinio de esta Tesis.

No puedo olvidar mencionar al Doctor Juan Manuel Ramírez Arredondo. Sin su ayuda este trabajo no pudiera haber sido concluido.

Finalmente, y por supuesto no menos importante, quiero reconocer y agradecer la labor del CINVESTAV y CONACYT. Siempre estaré agradecido con este par de instituciones.

Sinceramente.

José Andrés Herrera Barragán.

Diseño de un Amplificador de Potencia Clase-E usando un transistor N-MOS de alto voltaje en una tecnología CMOS Estándar.

Resumen.

Por José Andrés Herrera Barragan.

Las comunicaciones inalámbricas han adquirido vital importancia en nuestra vida diaria. Cada vez son más los dispositivos que funcionan sin necesidad de usar cables. Bajo estas circunstancias nuevos retos de diseño han aparecido. Uno de los más importantes es la eficiencia: como estos dispositivos pueden trabajar adecuadamente usando la menor cantidad posible de energía. Por otro lado, el reducir el tamaño de estos dispositivos también se ha convertido en un aspecto a resaltar en el diseño. En este contexto, los amplificadores de potencia que consumen poca energía y ocupan poco espacio son un tópico importante para los nuevos diseñadores.

Existen diferentes tipos de amplificadores de potencia. Cada uno de ellos pueden presentar características ideales de acuerdo a la aplicación para lo que son desarrollados. El amplificador de potencia clase E es considerado como uno de los ideales para aplicaciones que demandan bajo consumo de potencia. Muchos trabajos han sido presentados mostrando el diseño correcto de este tipo de amplificadores dependiendo del dispositivo que sea seleccionado como elemento activo del circuito. El conseguir una alta eficiencia es uno de los aspectos más estudiados para este tipo de amplificadores. Así, el presente trabajo se enfoca en este aspecto; particularmente, basado en el desarrollo de un transistor N-MOSFET capaz de soportar altos voltajes de rompimiento, tal como demanda esta aplicación.

El trabajo que se muestra a continuación, esta basado en principio, en el análisis físico del transistor N-MOSFET y posteriormente, en la simulación del circuito que pueda llevar al correcto análisis de los diferentes retos que están presente en la configuración seleccionada. Este trabajo pretende contribuir en el desarrollo de una metodología para el correcto diseño de un amplificador de potencia clase E, usando un transistor N-MOS como conmutador; además se presenta un solución integral y de bajo costo para este tipo de amplificadores. El diseño, análisis y desarrollo del transistor de alto voltaje que funciona como conmutador de este circuito, es también parte del presente trabajando; concluyendo con el posterior diseño físico y fabricación de dicho dispositivo.

Esta tesis se baso principalmente en dos trabajos: El primero de ellos presentador por D. K. Choi, en el cual expone una metodología para desarrollar el amplificador clase E basado en el análisis físico y el tamaño del transistor, teniendo como reto la estimación de los diferentes efectos indeseables que un transistor de mayor dimensión representa. El segundo trabajo, es el trabajo de tesis presentado por Isdriel Urías, en donde de una manera simple pero efectiva se describe una metodología para el desarrollo de un transistor de alto voltaje en una tecnología CMOS estándar.

El desarrollo de esta tesis fue realizado principalmente con la ayuda de las siguientes herramientas: MATLAB (para la simulación analítica del amplificador), T-Spice (para la simulación del circuito), L-Edit (para el diseño físico del transistor de alto voltaje), e ISE (para la estimación de los parámetros propios de la tecnología AMI 0.5 μm y la simulación del transistor a fabricar).

Cabe mencionar que los resultados analíticos y simulados fueron tal como se esperaban, sin embargo las mediciones físicas no correspondieron a lo esperado. En el análisis posterior se encontraron las posibles causas de esta discrepancia.

Algunos aspectos a resaltar de este trabajo, son el diseño de un dispositivo de alto voltaje en una tecnología de 0.5 μm dentro del grupo de diseño electrónico por primera vez. Además, es también digno de mencionar la estimación de los parámetros tecnológicos que se realizó de dicha tecnología. Como aspectos a mejorar quedan la nueva fabricación del dispositivo de alto voltaje con los parámetros adecuados para su correcto funcionamiento. Además, de que algunos aspectos en el análisis del amplificador fueron tomados como ideales (por ejemplo, la red de carga del circuito del amplificador).

A Class-E Power Amplifier design using a High Voltage N-MOS transistor in a CMOS standard technology.

Summary.

By Jose Andres Herrera Barragan.

Wireless communications have acquired critical importance in the day by day life. More devices are incorporated to this new technology daily. It is common to see how not just cell phones and notebooks but also a huge number of other wireless devices increased considerably. From this perspective, new design challenges show up. One of the most important is efficiency: how a device can work and transmit using the lowest possible energy. In other hand, miniaturization also has appeared as a really relevant aspect when designing. In this context, power amplifiers that consume low energy and have small real state have become a worth topic for new designers. Hence, the problem consists in designing a power amplifier that meets both above at low cost.

There are different kind of power amplifiers. Features that present each of them might be consider as ideal, depending of the application it is developed to. Class E PA is considered as one of the ideal for applications that demand low power at high frequencies, when linearity is not really important. Many works have been presented showing the correct designing according to the selected active device, developing all class of analysis that help to estimate the different effects to be maximized or minimized, depending of the application. To get high efficiency has been one of the most important topics in different studies. Therefore, this work focuses on this aspect, but in this case, based on the develop of a NMOS transistor able to support high breakdown voltages in a standard CMOS technology.

The design shown here is based on first, a physical analysis of the device, and then a simulation analysis capable to address all the different issues presented in this kind of topology. This work contributes to develop a methodology for the design of a class E power amplifier when MOS transistor is used, and also presents a cheap and integral solution for these kind of amplifiers. The design and analysis of the high voltage transistor that works as active devices has been also part of this work, finishing with the physical design and corresponding fabrication.

This thesis was based mainly in other two works: First, the physical analysis for a Class-E PA presented by D. K. Choi. This analysis provides a methodology to develop a class E PA based on the size of the NMOS transistor, dealing with all the undesirable effects that a big device represents. The second work is the thesis presented by Isdriel Urias, where a simple but effective methodology to get a high breakdown voltage device in CMOS standard technology was detailed.

For the study and analysis in this thesis different tools were used, mainly:

Matlab: To get an analytical prediction of the amplifier behavior.

T-Spice: To run needed simulations of the suggested circuit.

L-Edit: To develop the layout for device fabrication.

ISE: To estimate technology parameters and also to predict the behavior of the device.

Simulation results were as expected, but physical results were not as the design demanded. However, the further analysis allowed in some way to found the root cause of the problem.

Something that was new in this thesis within "electronic design" group, was the design and fabrication of a high voltage device in the 0.5 um technology. The proposal of using a structural methodology based on transistor size was also one of the highlights of this thesis; of course this methodology was proposed by [Choi], however this work complements his analysis going deeper in some other aspects and obviously proposing the high voltage device as solution to get a better performance. Besides this, the obtaining of most of AMI 0.5um technology parameters through ISE is worthy of mentioning.

On the lowlights, the failure on the high voltage device fabrication can be mentioned; however this aspect allow us to know more about this technology, specifically the diffusion of N-Well mask. Besides this, some other aspects could be cited: the load circuit in PA-E was taken as ideal, and no analysis of this topic was discussed.

As future research, the re-fabrication of the high voltage device –this time with the "correct" length parameters- is proposed, in order to proceed with the connection of the complete amplifier system to characterize it and correlate it with corresponding simulations.

CONTENIDO

AGRADECIMIENTOS.	II
RESUMEN.	III
CONTENIDO	VII
ÍNDICE DE FIGURAS.	X
ÍNDICE DE TABLAS.	XIII
CAPÍTULO 1	
INTRODUCCIÓN.	I
1.1 Motivación.	2
1.2 Objetivo.	4
1.3 La tecnología CMOS.	5
1.4 Transistores NMOS de drenador extendido.	6
1.5 Organización de la tesis.	6
Referencias.	8
CAPÍTULO 2	
AMPLIFICADORES DE POTENCIA EN RF	9
2.1 Conceptos básicos.	9
2.1.1 Diferencia entre un amplificador de potencia y un amplificador de pequeña señal.	9
2.1.2 Eficiencia (Eff).	10
2.1.3 Ganancia (G).	11
2.1.4 Eficiencia de Potencia añadida (PAE, <i>Power Added Efficiency</i>).	11
2.1.5 Linealidad.	11
2.2 Tipos de amplificadores.	12
2.2.1 Amplificadores de potencia en Modo Fuente de Corriente.	12

Amplificador de potencia clase A. -----	13
Amplificador de potencia clase B. -----	14
Amplificador de potencia clase AB. -----	16
Amplificador de potencia clase C. -----	16
2.2.2 Amplificadores de potencia en Modo Conmutado.-----	17
Conmutación Suave y Conmutación rígida.-----	18
Amplificador de potencia clase D. -----	19
Amplificador de potencia clase F -----	20
2.2 Conclusiones. -----	21
Referencias.-----	22

CAPÍTULO 3

EL AMPLIFICADOR DE POTENCIA CLASE E. -----	23
3.1 El funcionamiento del amplificador de potencia clase E. -----	24
3.2 Diseño de un amplificador de potencia clase E Ideal. -----	29
3.3 La resistencia de encendido (R_{ON}).-----	34
3.4 Diseño en base al dimensionamiento del transistor. -----	37
3.4.1 Dimensionamiento del transistor. -----	43
3.4.2 Simulación en SPICE.-----	49
3.5 Pérdidas de potencia en los componentes pasivos. -----	51
3.6 Entonación del circuito y resultados del diseño final.-----	51
3.7 Conclusiones de la simulación de SPICE.-----	55
3.7 Comentarios finales. -----	56
Referencias.-----	58

CAPÍTULO 4

TRANSISTOR DE ALTO VOLTAJE.-----	61
4.1 Límites de la tecnología CMOS estándar.-----	62
4.1.1 El efecto de los electrones calientes en el canal. -----	62
4.1.2. Rompimiento por Avalancha.-----	63
4.1.3. Rompimiento en la superficie.-----	63
4.1.4. Rompimiento en el óxido de la compuerta. -----	64

Índice de Figuras.

Capítulo 1

Fig. 1.1 Diagrama a bloques de un sistema transmisor-receptor diseñado con diferentes tecnologías	2
Fig. 1.2 Diagrama básico de un sistema transmisor-receptor	3
Fig. 1.3 Espectro radioeléctrico	4

Capítulo 2

Fig. 2.1 Configuración de un amplificador en fuente común	10
Fig. 2.2. Configuración básica de los amplificadores de potencia en modo fuente de corriente	12
Fig. 2.3 Línea de carga y forma de onda de la corriente de salida para un amplificador clase A	13
Fig. 2.4 Línea de carga y forma de onda de la corriente de salida para un amplificador clase B	15
Fig. 2.5 Línea de carga y forma de onda de la corriente de salida para un amplificador clase C	17
Fig. 2.6 Diagrama simplificado de un amplificador conmutado para simplificar la diferencia entre conmutación suave y conmutación rígida	18
Fig. 2.7 Circuito simplificado del amplificador clase D y sus formas de onda asociadas	20
Fig. 2.8 Circuito simplificado del amplificador clase F y sus formas de onda asociadas	21

Capítulo 3

Fig. 3.1 Modelo eléctrico de un amplificador clase E ideal	24
Fig. 3.2 Formas de onda de corriente y voltaje normalizadas en el conmutador de un amplificador clase E	25
Fig. 3.3 Efectos del valor de L_{chk} en la variación de la corriente en el inductor de choque. (a) $L_{chk}=5$ mH, (b) $L_{chk} = 10$ Mh	30
Fig. 3.4 Efectos del valor de L_{chk} en el tiempo en el cual se alcanza un estado estable del voltaje de salida en el amplificador. (a) $L_{chk} = 5$ mH, (b) $L_{chk}=10$ mH	31
Fig. 3.5 Formas de Onda en el conmutador	32
Fig. 3.6 Detalle del voltaje en el conmutador al momento de cierre del mismo	32
Fig. 3.7 Modelo eléctrico corregido del amplificador clase E	33
Fig. 3.8. Efectos del ajuste de las componentes del circuito de carga	33
Fig. 3.9 Forma de ondas en el conmutador después del ajuste	34
Fig. 3.10 Circuito eléctrico del AP clase E con un transistor NMOS y sus formas de onda asociadas	35
Fig. 3.11 Rectas de Carga del amplificador clase E en un transistor NMOS de la tecnología AMI 0.5 μ m	36
Fig. 3.12 Concepción de Transistores inter-digitados	38
Fig. 3.13 Celda Básica y factor de multiplicación	38

Fig. 3.14 Circuito equivalente de entrada para un N-MOSFET	39
Fig. 3.15 Circuito completo del AP clase E sustituyendo el FET con su modelo equivalente	42
Fig. 3.16 Ambiente visual del programa desarrollado en MatLab para el análisis del AP	44
Fig. 3.17a Figuras de merito para $V_{DD} = 2\text{ V}$, $P_{out}=1\text{ W}$, $W=125\text{ }\mu\text{m}$	47
Fig. 3.17b Figuras de merito para $V_{DD} = 4.5\text{ V}$, $P_{out}=0.400\text{ W}$, $W=125\text{ }\mu\text{m}$	48
Fig. 3.18 Potencia de salida, Eficiencia y PAE vs. el factor de multiplicación n para un transistor de ancho W igual a $40\text{ }\mu\text{m}$ y $125\text{ }\mu\text{m}$. Para un voltaje V_{dd} igual a 4.5 V y una potencia de salida deseada igual a 400 mW	49
Fig. 3.19 Figuras corriente-voltaje para un transistor $W/L = 40\text{ }\mu\text{m} / 0.5\text{ }\mu\text{m}$ para (a) un modelo BSIM3 de un transistor convencional y (b) el mismo modelo con $RSH=1000\text{ Ohm/cuadro}$ para propósitos de simulación del transistor de alto voltaje. La curva con el voltaje máximo en la compuerta es igual 4.5 V	50
Fig. 3.20. Modelo equivalente de componente pasivos	51
Fig. 3.21 Circuito final simulado en T-Spice para el diseño propuesto del AP clase E	52
Fig. 3.22 Efecto de la inductancia parásita en la fuente del transistor para las características del AP. (a)Potencia de entrada, salida y DC; (b) Eficiencia y Eficiencia Añadida	53
Fig. 3.23 Efecto de la inductancia parásita en la fuente del transistor en las formas de onda de corriente y voltaje del amplificador simulado. (a) $I_s = 0$; (b) $I_s = 2.5\text{ }\mu\text{H}$	53
Fig. 3.24 Factores de mérito simulados en SPICE usando BSIM3 vs. el factor de multiplicación, para un $V_{DD} = 4.5\text{ V}$	54
Fig. 3.25 Factores de mérito simulados en SPICE usando BSIM3 vs. el factor de multiplicación, para un $V_{DD} = 2.0\text{ V}$	54
Fig. 3.26. Valores simulados de Potencia de Salida y Ganancia de potencia (dB) vs. el factor de multiplicación para $V_{DD} = 4.5\text{ V}$ y $V_{DD} = 2\text{ V}$	55

Capítulo 4

Fig. 4.1 Ilustración del fenómeno de electrones calientes en el canal	62
Fig. 4.2 Ilustración del efecto de aplicar un voltaje en el <i>field plate</i> que se encuentra encima de una unión p-n	64
Fig. 4.3 Dispositivo N-MOSFET diseñando en MDRAW de ISE para buscar la correlaciona con el modelo simulado en T-Spice	66
Fig. 4.4 Obtención del voltaje de umbral a través de DESIS	66
Fig. 4.5 Comparación de las curva I-V obtenidas en ISE y T-Spice para un transistor NMOS	67
Fig. 4.6 Comparación de las curva I-V obtenidas en ISE y T-Spice para un transistor PMOS	68
Fig. 4.7 Concentración de dopado para el transistor PMOS simulado en ISE	68
Fig. 4.8 Obtención del voltaje de ruptura (BV) a través de la simulación directa en ISE	69
Fig. 4.9 Sección transversal de un transistor para alto voltaje, de drenador extendido tipo P y tipo N	70

Fig. 4.10 Creación del transistor HVXDNMOS visto desde el diseño del layout en L-Edit	71
Fig. 4.11 Parámetros de diseño del HVXDNMOS	73
Fig. 4.12 Voltaje de ruptura y resistencia de encendido (pendiente de la curva de voltaje-corriente), para un transistor N-MOS convencional y un HVNMOS con dos valores distintos para L_{g1}	75
Fig. 4.13 Dispositivo HVXDNMOS diseñado en MDRAW para su simulación en ISE	76
Fig. 4.14 Curvas de I-V para el transistor XD HV-NMOS. $L_g = 0.75 \mu\text{m}$	77
Fig. 4.15 Comparación de la región lineal para el transistor HV diseñado. El modelo de Spice corresponde al modelo BSIM3 con la modificación propuesta en el capítulo anterior para el parámetro R_{SH}	77
Fig. 4.16 Comparación entre un transistor convencional y uno de alto voltaje desde el punto de vista de layout	78
Fig. 4.17 Estructura de layout propuesta para el transistor de $W=800 \mu\text{m}$	79
Fig. 4.18 Disposición final del chip mandado a fabricar	80
Fig. 4.19 Tarjeta usada para realizar las mediciones en el chip	82
Fig. 4.20 Configuración usada para realizar las mediciones I-V	83
Fig. 4.21 Características I-V medidas en los cuatro dispositivos de $W=40 \mu\text{m}$ fabricados	84
Fig. 4.22 Voltaje de umbral medido para el dispositivo NMOS. El inciso (b) muestra un acercamiento para poder estimar el valor	84
Fig. 4.23 Corriente medida en función del parámetro L_g	85

Índice de tablas.

Capítulo 1

Tabla 1.1 Algunos estándares de comunicación	5
---	---

Capítulo 3

Tabla 3.1 Resumen de ecuaciones que describen el comportamiento de un amplificador clase, usando condiciones ideales y un ciclo de trabajo del 50%	27
Tabla 3.2 Resumen de ecuaciones que describen el valor de las componentes discretas de un AP clase E. Condiciones ideales y un ciclo de trabajo del 50 %	28
Tabla 3.3 Resumen de ecuaciones que describen el valor de las componentes discretas de un AP clase E incluyendo el valor del ángulo de fase φ . Condiciones ideales y un ciclo de trabajo del 50 %	28
Tabla 3.4 Variables independientes propuestas para el diseño de AP clase E	29
Tabla 3.5 Valores de las componentes discretas para los dos casos ideales de diseño	30
Tabla 3.6 Valores tecnológicos obtenidos de la última corrida de MOSIS	41
Tabla 3.7 Características finales del AP diseñado	56

Capítulo 4

Tabla 4.1 Descripción de los dispositivos fabricados en el chip	81
Tabla 4.2 Descripción de los pines del chip	81

Capítulo 1

Introducción.

EL presente trabajo se centra en el análisis y diseño de un amplificador de potencia clase E, capaz de operar en el estándar GSM utilizando una tecnología CMOS convencional. Como es sabido, los amplificadores de potencia son responsables de gran parte del consumo de energía en los sistemas móviles, y habrá que tener en cuenta que en dichos sistemas, el uso de baterías es un punto crucial, puesto que el periodo de funcionamiento estará limitado al tiempo en que estos sistemas puedan ser usados sin necesidad de ser recargados.

Así, en este trabajo se exponen los conceptos básicos de los amplificadores de potencia, los distintos tipos que existen, y las ventajas y desventajas de los mismos, para finalmente considerar el amplificador de potencia clase E como el idóneo para la aplicación que se propone; así mismo, se presentará un análisis completo para el diseño óptimo del amplificador clase E, basado en las características propias de un transistor CMOS. Esto llevará a cuestionar las limitaciones de la topología utilizada y a la consecuente propuesta del uso de un dispositivo de alto voltaje para obtener mayores prestaciones en dicho amplificador.

Finalmente, se analizará la opción de crear el transistor de alto voltaje usando la tecnología CMOS convencional; se efectuará el diseño de dicho transistor con la finalidad de obtener los resultados que permitan la fabricación del dispositivo, para después obtener los datos experimentales que sustenten el diseño y la solución para el amplificador de potencia propuesto.

1.1 Motivación.

El rápido crecimiento de las comunicaciones inalámbricas en el mundo actual ha tenido como consecuencia un aumento en el diseño de circuitos integrados para radiofrecuencia (RFIC). Cada vez son más los productos que ofrecen la posibilidad de comunicación sin la necesidad de cables, y el número de usuarios de dichos productos va en aumento exponencial [1]. Ejemplos claros de lo mencionado anteriormente son el uso cada vez más amplio de teléfonos celulares así como de teléfonos y módems inalámbricos.

Dentro de este panorama de constante cambio es necesario contar con sistemas que cada vez ofrezcan una mayor versatilidad en su funcionamiento sin perder de vista el costo. Además otro aspecto muy importante es la miniaturización de dichos sistemas lo que demanda un esfuerzo de los diseñadores para conseguir mayores niveles de integración.

Es por esto que el diseño de sistemas de transmisión y recepción que disipen poca potencia ha llegado a ser un reto para quien actualmente diseña sistemas de comunicación inalámbricos; y debido a las tendencias actuales, lo seguirá siendo durante futuras generaciones. Los diseñadores cuentan con un gran número de posibilidades en cuanto a tecnologías se refiere (CMOS, BICMOS, Bipolar, GaAS MESFET, HBT, etc.). Generalmente para el desarrollo de un sistema completo, se utiliza una combinación entre las diferentes tecnologías de acuerdo con las características propias de cada bloque, como se observa en la Figura 1.1 [2].

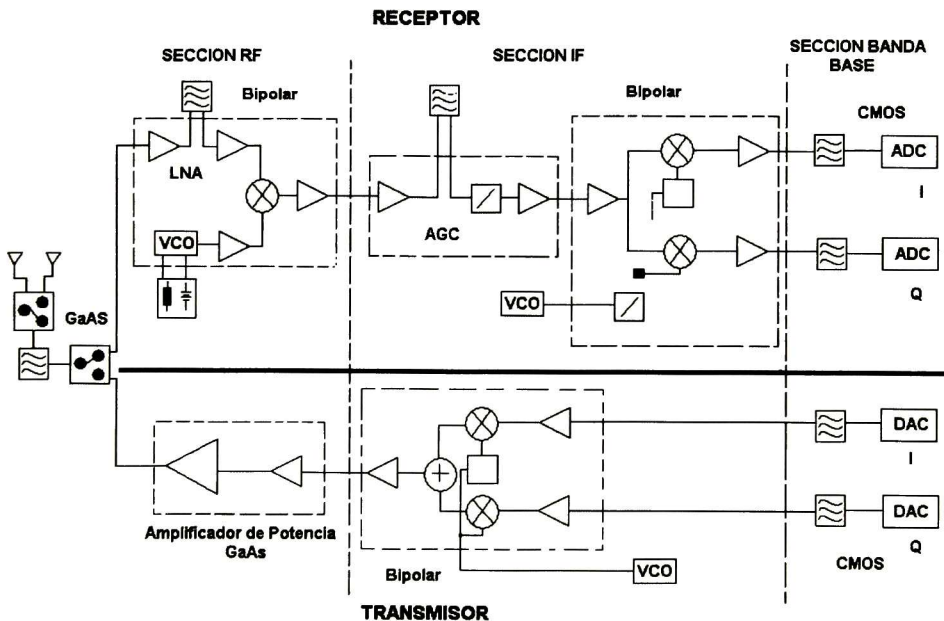


Fig. 1.1 Diagrama a bloques de un sistema transmisor-receptor diseñado con diferentes tecnologías.

La estructura básica de un sistema de transmisión y recepción de información para RF se muestra en la Figura 1.2 y su funcionamiento en términos generales es como sigue:

En el transmisor (Fig. 1.2a), los datos digitales son codificados inicialmente, luego los canales independiente para datos (I y Q) son mezclados por un modulador en cuadratura, en seguida la señal resultante es llevada a la frecuencia RF de la portadora. Después de ser filtrada, la señal entra al amplificador de potencia cuya salida esta conectada a la antena y esta, a su vez, radiará la información haciendo que la transmisión esté completa.

En el receptor sucede lo contrario (Fig. 1.2b), la señal recibida por la antena es filtrada para seleccionar la RF de interés para después entrar en el “amplificador de bajo ruido” (LNA). La señal resultante es filtrada y llevada a una frecuencia intermedia (IF), luego la señal es separada en sus componentes I y Q, para finalmente ser digitalizada y poder ser procesada [3].

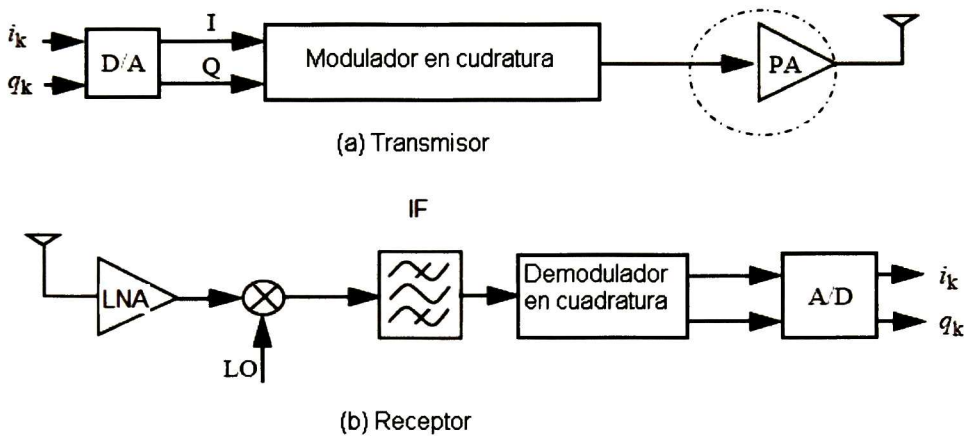


Fig. 1.2 Diagrama básico de un sistema transmisor-receptor.

Dentro de estos sistemas, los amplificadores de potencia, son responsables de un significativo consumo de la potencia total del sistema; por lo tanto, para este tipo de aplicaciones se requieren amplificadores que sean capaces de tener eficiencias altas de conversión de energía (de DC a RF), y que disipen así poca potencia.

Así pues, existe la motivación de diseñar un amplificador que sea capaz de tener una eficiencia alta, pero que por otro lado sea de bajo costo y que además, pueda ser integrado fácilmente en un sistema completo.

Existen diferentes tipos de amplificadores de potencia que ofrecen distintas ventajas de acuerdo a la aplicación, pero son los amplificadores en modo de conmutación los que ofrecen en teoría (y generalmente en la práctica) una mayor eficiencia. Recientemente el AP clase F y en especial el clase E han tenido un mayor estudio y han sido motivo de investigación y desarrollo para las aplicaciones RF [4]. Así, el amplificador clase E es una buena opción para el desarrollo de aplicaciones de comunicación móvil, las cuales se encuentran dentro de la banda de frecuencias ultra altas (UHF). En el Capítulo 3 se analizará con mayor detalle las ventajas de

este amplificador (clase E) sobre otros amplificadores para la aplicación propuesta en este trabajo. En la Figura 1.3 podemos ver el rango completo de frecuencias para el área considerada RF, así como las distintas aplicaciones que se tienen para cada una de las bandas.

	VLF	LF	MF	HF	VHF
f	30 kHz	300 kHz	3 MHz	30 MHz	300 MHz
	Navegación Sonar	Radiofaros	Radio AM	Onda corta M. marítimo	Televisión FM Radio-móvil
λ	10 km	1 km	100 m	10 m	1 m

	UHF	SHF	EHF	Infrarrojo
f	3 GHz	30 GHz	300 GHz	3 THz
	Televisión T. celular	Microondas Comunic. por Satélite Radar	Radar experimental	Comunic. ópticas
λ	100 mm	10 mm	1 mm	100 μ m

Fig. 1.3 Espectro radioeléctrico.

1.2 Objetivo.

Como se ha señalado una de las aplicaciones de RF es la de las comunicaciones móviles. En la Tabla 1.1 tenemos las características de algunos estándares para las comunicaciones inalámbricas, incluyendo la frecuencia. De esta manera, este trabajo tiene como objetivo el diseño de un amplificador de potencia que sea capaz de operar en una de las tecnologías actuales y de gran demanda, como lo es el estándar GSM [5]. Sus características serán una frecuencia de 900 MHz y una capacidad para la potencia de salida de 280 mW (25 dBm), ya que estas son las especificaciones de dicho estándar

Cabe mencionar que debido a los requerimientos de eficiencia y frecuencia ya señalados y en base al análisis que se hará en el Capítulo 2, se ha escogido el AP clase E como el idóneo para este diseño. Además, por lo que se mencionará en la Sección 1.3 y 1.4, se propone la tecnología CMOS usando un dispositivo de alto voltaje (XDNMOS) que sea capaz de cubrir las

necesidades de voltaje de ruptura (BV, por sus siglas en inglés) y resistencia de encendido (R_{ON}), para tener un AP con mayores prestaciones.

Parámetro	NADC	IS-95 CDMA	GSM	DECT
RF Tx. Frec. (MHz)	824-849	1860-1910	890-915	1880-1900
Acceso Múltiple	TDMA/FDM	CDMA/FDM	TDMA/FDM	TDMA/FDM
Numero de Canales	832	20	124	10
Espacio para cada canal	30kHz	1.25MHz	200kHz	1.728MHz
Modulación	$\pi/4$ -DQPSK	$\pi/4$ -DQPSK	GMSK	GFSK

Tabla 1.1 Algunos estándares de comunicación.

Es necesario señalar que toda la labor de diseño será desarrollada en la tecnología CMOS AMI 0.5 μm debido a que es una de las tecnologías a la que se tiene acceso a través del servicio de implementación de la tecnología CMOS (MOSIS) y que es capaz de alcanzar la frecuencia requerida.

1.3 La tecnología CMOS.

Hay que destacar que las capacidades de la tecnología CMOS hacen que esta sea particularmente atractiva para los diseñadores, pues como es bien conocido, su bajo costo, su gran capacidad de integración, su bajo consumo de potencia, así como la gran cantidad de literatura y software que se puede encontrar para su desarrollo [6], hacen de esta tecnología una de las más utilizadas en el mundo de los dispositivos electrónicos.

Sin embargo, en la búsqueda del desarrollo de AP existen para esta tecnología una serie de limitantes o desventajas para las cuales se han propuesto distintas alternativas o soluciones en la literatura. Los retos que se pueden encontrar para el diseño de amplificadores de potencia en esta tecnología son:

1. El relativamente bajo voltaje de ruptura entre las terminales de drenador-fuente y compuerta-fuente en los transistores CMOS, hacen que esta tecnología tenga una desventaja para el desarrollo de AP puesto que en algunas clases tales como el clase B y F, el voltaje en el drenador se duplica con respecto al voltaje de alimentación e incluso se triplica en el caso del AP clase E [7]. Así, el voltaje de alimentación (V_{DD}) tendrá que ser muy bajo, limitando la potencia de salida que se puede alcanzar además de la eficiencia.
2. En la mayoría de las tecnologías CMOS que existen, el sustrato se encuentra relativamente muy dopado, lo que provoca una interacción con los dispositivos creándose corrientes de fuga que pueden llegar a afectar la estabilidad del amplificador.
3. Otro reto con el que un diseñador se encuentra, es que los modelos que existen para los transistores CMOS en general no han sido lo suficientemente desarrollados para RF, así que probablemente no se pueden tener datos muy exactos para este tipo de aplicaciones.

4. Como las corrientes que se maneja en un AP son relativamente altas puede llegar a existir electro migración causando de esta manera, la degradación del dispositivo.

Dentro de estas desventajas, la primera de ellas es la que tiene un especial interés en este trabajo. Una de las estrategias que se han propuesto para solucionarla, es el uso de múltiples etapas que eviten tener voltajes drenador-fuente altos, sin embargo una mejor solución sería el diseño de transistores capaces de tener mayores voltajes de ruptura (*Breakdown Voltage*, BV).

1.4 Transistores NMOS de drenador extendido.

En muchas de las aplicaciones que existen en la actualidad y que demandan el manejo de altos voltajes es preferible hacer el procesamiento de las señales en voltaje bajo. Aplicaciones como estas pueden ser encontradas en la robótica, en la industria automotriz o en el control de pantallas planas. De esta manera el procesamiento de las señales se realiza en bajos voltajes, o voltajes nominales, para después ser llevados a niveles superiores, a través de dispositivos que sean capaces de servir de interfase entre estos dos niveles.

Generalmente, los voltajes nominales para la tecnología CMOS estándar se encuentran en el orden de 1 a 5 V, entendiéndose así que cualquier voltaje que supere estos rangos puede ser considerado como alto voltaje (HV). Como se mencionó en la sección anterior, las bondades de la tecnología CMOS, hacen que esta sea superior en cierta forma (integración, costo, capacidad de producción, acceso) a muchas de las tecnologías dedicadas.

Una aproximación para poder resolver el problema de la compatibilidad, es el diseño de los llamados transistores de drenador extendido (XD, *Extended Drain*) o extensión de voltaje inteligente (SVX, *Smart Voltage Extension*) que pueden ser fabricados en la tecnología CMOS estándar sin la necesidad de incluir máscaras o procesos extras [8]; simplemente haciendo un par de modificaciones en el layout del dispositivo que finalmente ayudaran a aumentar el voltaje de ruptura.

1.5 Organización de la tesis.

La forma en que esta organizada este trabajo es la siguiente:

En el Capítulo 2 se definen y analizan las características generales de las distintas clases de amplificadores de potencia, sus conceptos básicos tales como eficiencia, linealidad, eficiencia añadida, ganancia; además se hace una comparación de todos ellos resaltando sus características de eficiencia, para finalmente resaltar el amplificador clase E como el idóneo para la aplicación propuesta en este trabajo.

El Capítulo 3 se centra en el AP clase E. Se hace una revisión de sus características y funcionamiento comenzando con un diseño idealizado para las especificaciones propuestas, para después hacer un análisis de todas las no idealidades y poder obtener el tamaño de los

transistores, tanto para alto como bajo voltaje. Así mismo, se presentan los resultados finales de dicho diseño.

En el Capítulo 4 se comenzará con un repaso de las limitaciones de la tecnología CMOS en cuanto a voltaje se refiere, así mismo se hará una estimación de los parámetros de la tecnología para dar paso al análisis y diseño de transistores de alto voltaje NMOS o también llamado NMOS de drenaje extendido (XDNMOS) en tecnología CMOS estándar. Se continuará con el diseño del layout y fabricación del dispositivo que sea capaz de tener las características deseadas (alto BV y baja resistencia de encendido) para operar como el conmutador del AP clase E. Finalmente, se presentará una comparación entre los resultados simulados y los resultados obtenidos en la medición.

Por último, en el Capítulo 5 se presentarán las conclusiones y el trabajo futuro a desarrollar, en base a los resultados obtenidos.

Referencias.

- [1] Lawrence E. Larson, "Integrated Circuit Technology Options for RFIC's—Present Status and Future Directions", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 3, MARCH 1998 387.
- [2] David M. Binkley, James M. Rochelle, Brian K. Swann, Lloyd G. Clonts and Rhonda N. Goble, "A Micropower CMOS, Direct-Conversion, VLF Receiver Chip for Magnetic-Field Wireless Applications", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 3, MARCH 1998.
- [3] R. Sekhar Narayanaswami, "The Design Of A 1.9GHz 250mW CMOS Power Amplifier For DECT", Tesis.
- [4] Nathan O. Sokal and Alan D. Soka,l "Class E-A New Class of High-Efficiency Tuned Single-Ended Switching Power Amplifiers" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-10, NO. 3, JUNE 1975.
- [5] Siegmund M. Redl, Matthias K. Weber, Malcolm W. Oliphant: "GSM and Personal Communications Handbook", Artech House, May 1998, ISBN-13: 978-089006.
- [6] Troels Emil Kolding, "Review of RF CMOS Performance and Future Process Innovations", Technical Report R98-1014 ISSN 0908-1224 October 8, 1998.
- [7] Edward Spears, Scott Martin, Kerry Burger and David Ngo, "Power amplifier design for portable applications", RF Micro Devices.
- [8] Juan Isdriel Urias Meza, "Transistor de Alto Voltaje en Tecnología CMOS estándar", Tesis.

Capítulo 2

Amplificadores de potencia en RF.

ALCANZAR la mayor potencia de salida con la máxima eficiencia posible, tratando de obtener alta linealidad es el reto de los diseñadores de AP. En este capítulo se hace un breve repaso por los distintos tipos de amplificadores que existen para finalmente resaltar las características del amplificador de potencia clase E como las idóneas para cubrir las expectativas de la aplicación propuesta.

2.1 Conceptos básicos.

Para poder hacer un estudio detallado de las distintas clases de los amplificadores de potencia, es necesario contar con una serie de conceptos propios del tema. Por principio, será necesario definir con claridad, la diferencia entre un amplificador de pequeña señal y un AP, pues muchas veces esta discrepancia entre uno y otro no es del todo clara.

2.1.1 Diferencia entre un amplificador de potencia y un amplificador de pequeña señal.

En los amplificadores existe un compromiso entre linealidad y eficiencia, dos características principales las cuales serán definidas con exactitud posteriormente en este capítulo. Sin embargo, mientras que en los AP se busca optimizar la capacidad de potencia entregada a la carga, así como la eficiencia del mismo aun a costa de su linealidad, en los amplificadores de

pequeña señal sucede lo contrario: la linealidad es el parámetro a optimizar a costa de la eficiencia [1], por lo que generalmente un amplificador de pequeñas señal exhibirá mayor linealidad que un AP, pero a su vez, estos últimos tendrán una eficiencia mayor.

Para observar esto con mayor claridad, veamos el siguiente ejemplo. En la Figura 2.1 se puede observar la configuración de un amplificador en fuente común con las características DC del transistor NMOS y sus formas de onda asociadas. Es claro en la figura como la entrada de pequeña señal es obtenida a la salida con la misma forma, es decir, sin ser distorsionada pues se mantiene dentro de la región de saturación del transistor; sin embargo por esta misma razón, la potencia que pudiera liberar a la carga es baja. Por otro lado podemos observar que la entrada de gran señal llega a alcanzar las regiones de corte y ohmica o lineal del transistor, por lo que a la salida se aprecia una pequeña distorsión en las crestas de la señal, sin embargo la potencia que puede alcanzar será mayor.

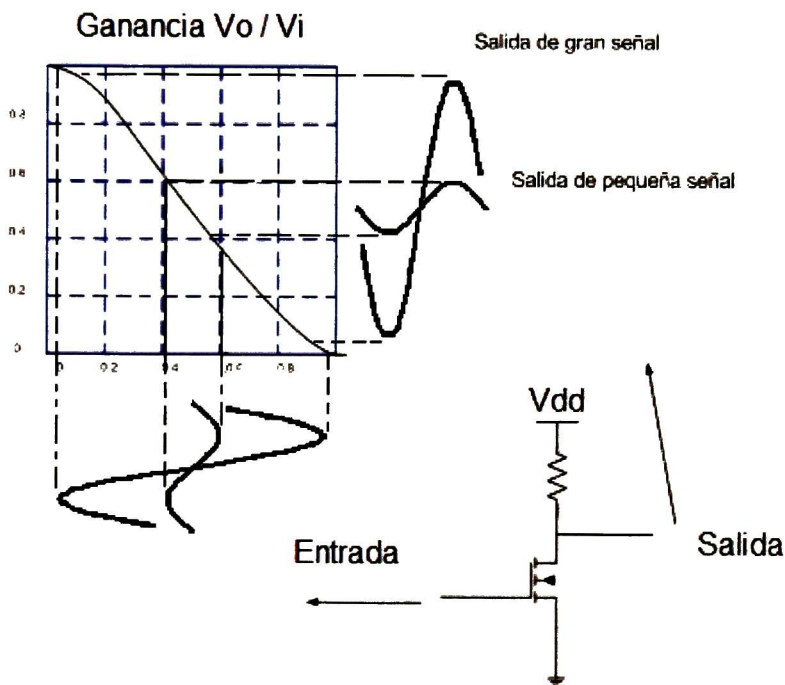


Fig. 2.1 Configuración de un amplificador en fuente común.

Una vez dejando en claro el concepto de AP, se pasará a definir los conceptos básicos.

2.1.2 Eficiencia (Eff).

También conocida como Eficiencia de drenador (DE), la eficiencia es una de las características principales de los amplificadores y es una medida de que tan bien es convertida la potencia de DC proporcionada por la fuente a potencia RF en la carga. Matemáticamente tenemos que:

$$Eff = DE = \eta = \frac{P_{OUT,RF}}{P_{DC}} \quad (2.1)$$

donde $P_{OUT,RF}$ es la potencia de salida entregada a la carga y P_{DC} es la potencia entregada por la fuente de DC.

2.1.3 Ganancia (G).

La ganancia describe la conversión de potencia de RF en la entrada a potencia de RF en la salida, es decir, que tanto aumenta la potencia de RF en el amplificador. La ganancia se puede obtener de la siguiente manera:

$$G = \frac{P_{OUT,RF}}{P_{IN,RF}} \quad (2.2)$$

En este caso $P_{IN,RF}$ es la señal de radio-frecuencia de entrada al amplificador.

2.1.4 Eficiencia de Potencia añadida (PAE, *Power Added Efficiency*).

La eficiencia de la potencia añadida es un concepto alternativo en los amplificadores, que sin embargo, puede llegar a ser de gran importancia si tomamos en cuenta que la potencia que se disipa en la entrada del transistor es incluida en este parámetro; en muchas ocasiones la potencia de entrada que es proporcionada por una etapa anterior (generalmente conocida como *driver*) se desprecia, pero ésta puede llegar a ser grande debido al gran tamaño de los transistores y aun más si se trabaja en RF, lo que implica tener un desperdicio de energía y posiblemente problemas para suministrar esta potencia; por esta razón es de suma importancia contar con una buen PAE para esta aplicación. Su definición matemática es:

$$PAE = \frac{P_{OUT,RF} - P_{IN,RF}}{P_{DC}} \quad (2.3)$$

2.1.5 Linealidad.

Como se mencionó en la Sección 2.1.1, la linealidad es otro de los conceptos básicos en los amplificadores, que sin embargo en algunas aplicaciones de potencia, llega a perder valor, pues debido al tipo de modulación no es necesario que la señal de salida tenga la forma de la señal de entrada. Debido a que la aplicación aquí propuesta es una de las que no requieren gran linealidad, simplemente será mencionado que existen dos conceptos que permiten estimar la linealidad: La distorsión armónica central y la “compresión de la ganancia” Más detalles pueden ser consultados en [1] [2].

2.2 Tipos de amplificadores.

Existen principalmente dos tipos de amplificadores dependiendo de la región en que opere el dispositivo activo de estos (generalmente un transistor): amplificadores de potencia en modo fuente de corriente y amplificadores de potencia en forma conmutada. A su vez, ambos pueden subdividirse en diferentes clases según la forma de operación. A continuación se hace una descripción detallada de estos.

2.2.1 Amplificadores de potencia en Modo Fuente de Corriente.

Estos amplificadores están caracterizados porque el transistor (asumiendo que es un FET) trabaja en la región de corte y saturación. La Figura 2.2 muestra la configuración básica de este tipo de amplificadores. La configuración de fuente común que se presenta en la figura es la más usual puesto que es la que permite tener una máxima eficiencia. Como podemos apreciar en la figura, el drenador se conecta a la alimentación a través de un inductor llamado de Choque (RF Choke) el cual actúa idealmente como una fuente de corriente, presentando una resistencia teóricamente infinita para la frecuencia de operación. Además en el circuito se tiene un capacitor llamado de bloqueo (C_B) que elimina cualquier nivel de DC a la salida, y un circuito resonante (C_O , L_O) que permitirá filtrar la señal de salida hacia la carga; en este caso descrito se trata de un circuito tanque.

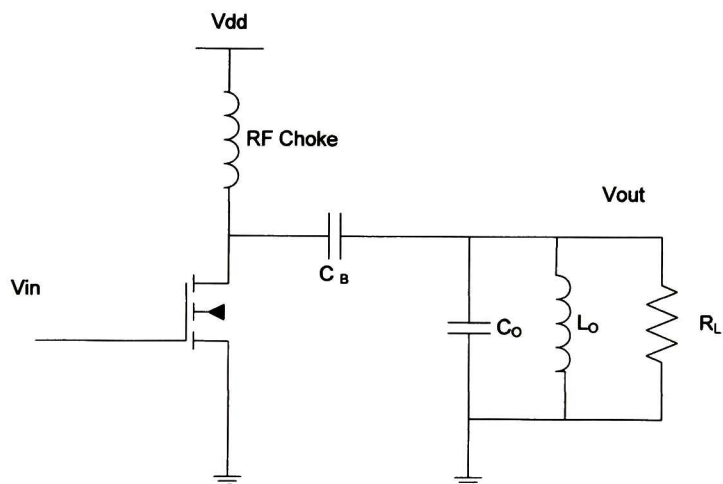


Fig. 2.2. Configuración básica de los amplificadores de potencia en modo fuente de corriente.

Las clases de amplificadores que se encuentran dentro de esta categoría son: el clase A, el clase B, el clase AB y el clase C; estos amplificadores difieren únicamente como veremos a continuación, en el punto en que se encuentra operando el transistor, y por lo tanto, en el ángulo de conducción, el cual puede ser definido matemáticamente como:

$$Angulo.de.Conduccion = 360^\circ \left(\frac{T_{ON}}{T_{RF}} \right) \tag{2.4}$$

donde T_{ON} es el tiempo durante el cual el transistor se encuentra conduciendo y T_{RF} se refiere al periodo de la señal de RF de entrada.

Amplificador de potencia clase A.

También muchas veces llamado amplificador lineal, esta clase se caracteriza por conducir durante los 360° , es decir, el transistor se encuentra encendido en todo el ciclo de entrada. Sin embargo, es importante mencionar que no por esta razón, este tipo de amplificador deja de presentar no-linealidades, pues como ya vimos en la sección anterior, el hecho de que la señal de entrada pueda superar la región de saturación provoca una distorsión en la forma de onda de la salida, lo que idealmente no debería de suceder en este tipo de amplificadores. Sus formas de onda características se muestran en la Figura 2.3.

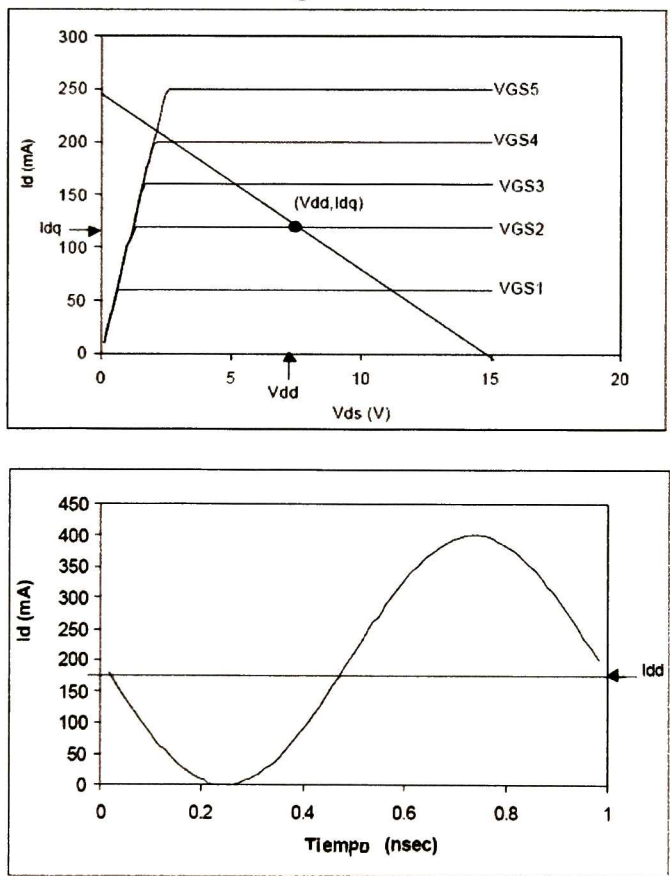


Fig. 2.3 Línea de carga y forma de onda de la corriente de salida para un amplificador clase A.

Debido a su característica, y como era de esperarse, esta clase de amplificador es el que en teoría presenta una menor eficiencia en comparación con los demás, pues su potencia de salida en el mejor de los casos, cuando el voltaje del drenador vaya de 0 a $2V_{DD}$, será igual a:

$$P_{OUT} = \frac{V_{DD}^2}{2R_L} \quad (2.5)$$

y a su vez la potencia de DC consumida será igual a:

$$P_{DC} = V_{DD} I_{DD} = \frac{V_{DD}^2}{R_L} \quad (2.6)$$

Por lo tanto, remitiéndonos a la definición matemática antes descrita para la eficiencia y sustituyendo la ecuación 2.5 y 2.6 en ésta, tenemos que:

$$Eff = \frac{P_{OUT}}{P_{DC}} = \frac{\frac{V_{DD}^2}{2R_L}}{\frac{V_{DD}^2}{R_L}} = \frac{1}{2} \quad (2.7)$$

Así, teóricamente la mayor eficiencia que se puede lograr para este tipo de AP será del 50%.

Amplificador de potencia clase B.

Como vimos en la sección anterior, el hecho de que el AP clase A conduzca todo el tiempo, hace que sea poco eficiente. Así, una manera de incrementar la eficiencia sería disminuyendo el ángulo de conducción. El amplificador de potencia clase B, es un tipo de amplificador que tiene la misma configuración que se mostró en la Figura 2.2, sin embargo el transistor conducirá solo la mitad del ciclo completo de RF, haciendo que la eficiencia aumente. Como era de esperarse también el número de frecuencias indeseadas, es decir aquellas que no son la frecuencia a la que debería trabajar el amplificador, aumentarán; sin embargo el circuito tanque se encargara de filtrar la frecuencia fundamental. Sus formas de onda puede observarse en la Figura 2.4.

Ahora se procederá a obtener la Eficiencia teórica del amplificador clase B, tal como lo hicimos para el AP clase A. La potencia de salida en el mejor de los casos al igual que en el AP clase A será:

$$P_{OUT} = \frac{V_{DD}^2}{2R_L} \quad (2.8)$$

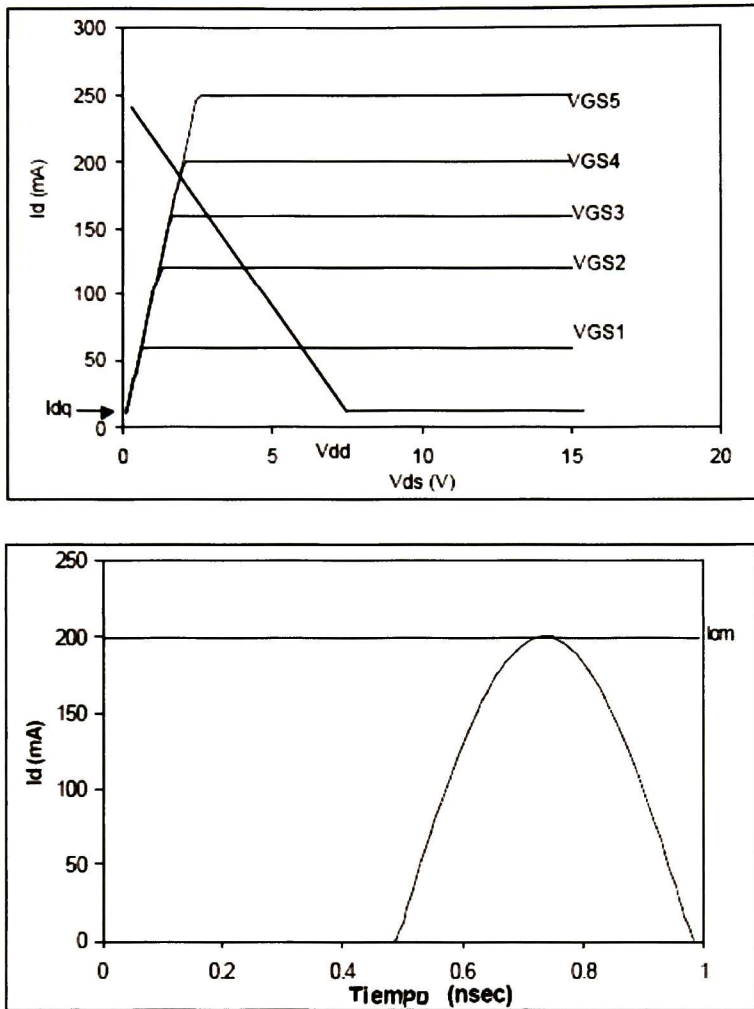


Fig. 2.4 Línea de carga y forma de onda de la corriente de salida para un amplificador clase B.

Sin embargo la potencia de DC será diferente y se puede obtener calculando el promedio de un ciclo de RF. Así

$$P_{DC} = V_{DD} I_{DC} \tag{2.9}$$

donde

$$I_{DC} = \frac{1}{T_{RF}} \int_0^{T_{RF}/2} \text{sen}\left(\frac{2\pi}{T_{RF}} t\right) dt = \frac{2}{\pi} \frac{V_{DD}}{R_L} \tag{2.10}$$

por lo tanto sustituyendo la ecuación 2.10 en la ecuación 2.9 tenemos

$$P_{DC} = \frac{2}{\pi} \frac{V_{DD}^2}{R_L} \quad (2.11)$$

entonces la Eficiencia será:

$$Eff = \frac{P_{OUT}}{P_{DC}} = \frac{\frac{V_{DD}^2}{2R_L}}{\frac{2V_{DD}^2}{\pi R_L}} = \frac{\pi}{4} \cong 0.785 \quad (2.12)$$

Así este tipo de amplificador exhibe teóricamente una Eficiencia cercana al 80%.

Amplificador de potencia clase AB.

En ciertas aplicaciones es necesario contar con un amplificador capaz de tener una mayor eficiencia que el amplificador clase A pero que además ofrezca mejor linealidad que el amplificador clase B. Así inmediatamente la solución que salta a la vista es hacer que el transistor conduzca en un punto entre 180° (π) y 360° (2π). A este tipo de amplificado se le conoce como clase AB. Como era de esperarse su eficiencia, en teoría, estará entre 0.5 y 0.785 dependiendo del ángulo de conducción.

Amplificador de potencia clase C.

Algunas veces, y sobre todo en aplicaciones de RF, no es necesario contar con amplificadores que exhiban gran linealidad, puesto que se utilizan otros tipos de modulación. Sin embargo estas aplicaciones requieren tener mayor eficiencia que la que puede alcanzarse con un amplificador clase B. Así pues, el amplificador clase C cumple con estas especificaciones ya que su ángulo de conducción es menor a 180° . En la Figura 2.5 se puede observar sus formas de onda.

Su eficiencia máxima estará determinada precisamente por el tiempo en que el transistor se encuentre conduciendo y teóricamente estará dada por la siguiente expresión:

$$Eff = \frac{2y - \text{sen}(2y)}{4(\text{sen}(y) - y \cos(y))} \quad (2.13)$$

donde el parámetro y corresponde al ángulo de conducción expresado como un porcentaje del periodo de RF.

Así mismo la potencia que podrá proporcionar con esta eficiencia será:

$$P_{OUT} = \frac{2y - \text{sen}(2y)}{8\pi(1 - \cos(y))} \tag{2.14}$$

Como se puede notar la eficiencia puede ser incrementada disminuyendo el ángulo de conducción, sin embargo la capacidad de potencia de salida se vera disminuida hasta llegar a cero.

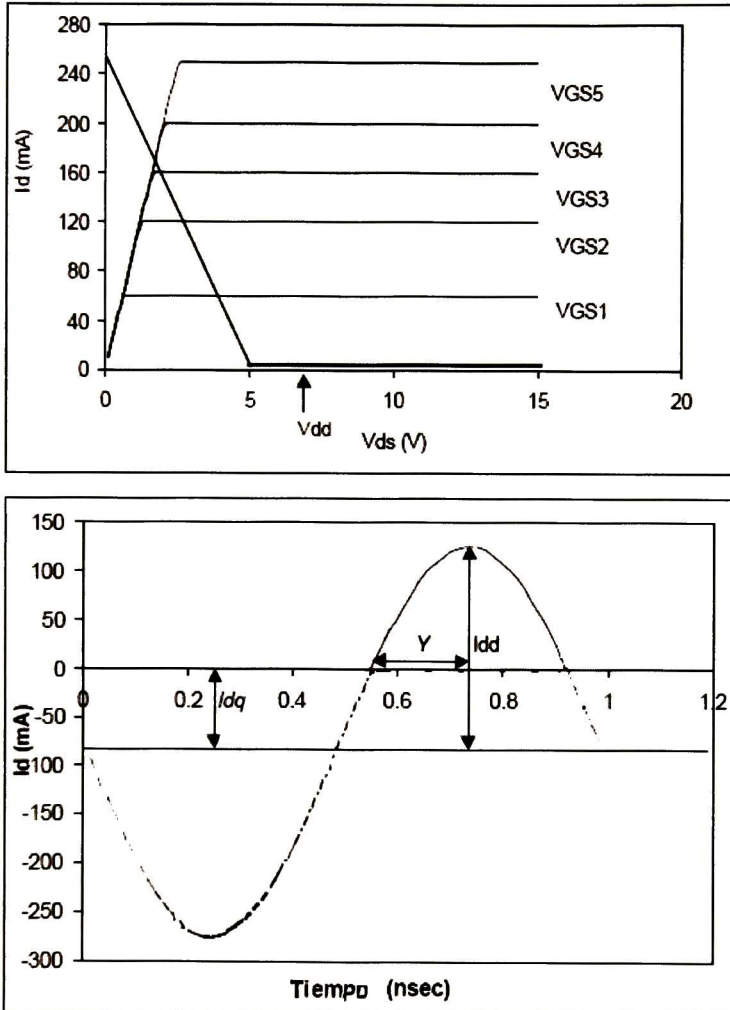


Fig. 2.5 Línea de carga y forma de onda de la corriente de salida para un amplificador clase C.

2.2.2 Amplificadores de potencia en Modo Conmutado.

Una de las limitantes de los amplificadores de potencia en modo fuente de corriente es que incluso teóricamente no pueden alcanzar una eficiencia del 100%. Por esta razón surgieron los amplificadores en forma conmutada que tienen como principal característica el uso del

transistor como un conmutador o *switch*. Así, con condiciones ideales en el transistor, es decir una resistencia de encendido igual a cero, una resistencia infinita en estado apagado y tiempos de subida y bajada de la señal nulos, es posible alcanzar la eficiencia teórica del 100%.

En esta sección se hará un repaso de los amplificadores de potencia clase D y clase F. El amplificador de potencia clase E, al ser el tema principal en este trabajo, será analizado con mayor detalle en el siguiente capítulo. Pero antes, será conveniente detallar un par de conceptos básicos en este tipo de amplificadores: la conmutación suave y la conmutación rígida.

Conmutación Suave y Conmutación rígida.

Para entender mejor el concepto de conmutación suave y conmutación rígida será necesario remitirnos a la Figura 2.6. En esta figura podemos observar el circuito simplificado de un amplificador de conmutación; se asume que el conmutador para este circuito es ideal, es decir presenta las características mencionadas en la Sección 2.2.2. Así, si el conmutador se cierra en el tiempo T_1 , la energía almacenada en el capacitor C_{SHUNT} será desperdiciada puesto que quedará cortocircuitado a tierra, provocando un traslape entre la corriente y voltaje en el conmutador como se observa en la figura. Por lo tanto, aunque se tenga un conmutador ideal, incluso teóricamente la eficiencia no será del 100%. A esta condición se le conoce como conmutación rígida.

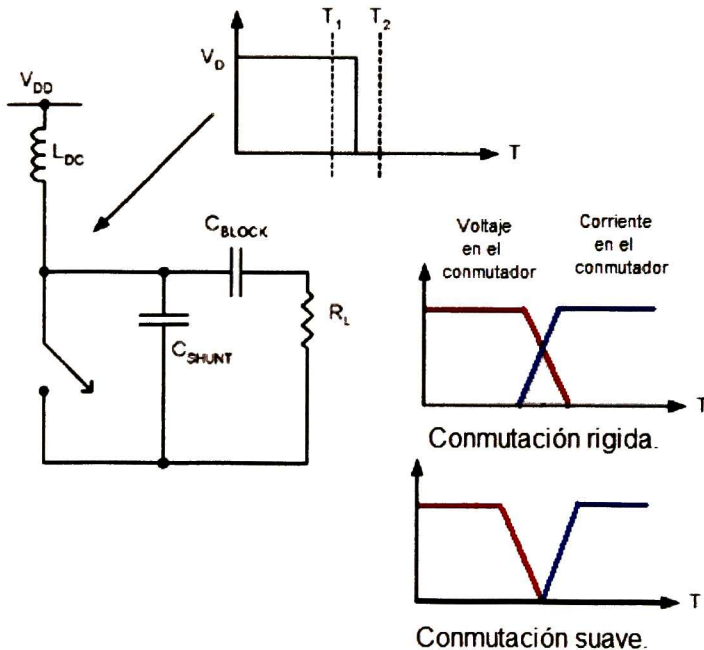


Fig. 2.6 Diagrama simplificado de un amplificador conmutado para simplificar la diferencia entre conmutación suave y conmutación rígida.

Por otro lado, si el conmutador es cerrado en el tiempo T_2 , el capacitor habrá entregado toda su energía almacenada a la carga, lo que evitará el traslape entre corriente y voltaje en el conmutador y por lo tanto, permitirá tener en teoría una eficiencia del 100%. A esta condición se le conoce como conmutación suave.

Amplificador de potencia clase D.

Algunas veces, y sobre todo en aplicaciones de RF, no es necesario contar con amplificadores que exhiban gran linealidad, puesto que se utilizan otros tipos de modulación. Sin embargo estas aplicaciones requieren tener mayor eficiencia que la que puede alcanzarse con un amplificador clase B. Así pues, el amplificador clase C cumple con estas especificaciones ya que su ángulo de conducción es menor a 180° . En la Figura 2.5 se puede observar sus formas de onda.

En la Figura 2.7 se puede observar la implementación básica de un amplificador clase D. Así mismo, la figura muestra las formas de onda asociadas a este tipo de amplificador.

El funcionamiento de este tipo de amplificador a grandes rasgos es como sigue: la inductancia L_{ch} , al igual que en los amplificadores de la sección anterior, funciona como una fuente de corriente. El transistor conmuta del punto entre el punto A y el punto B, con un ciclo de trabajo del 50%. La carga esta conectada a través de un circuito serie resonante entonado a la frecuencia de operación. Debido a esto, podemos ver que la corriente de salida será una señal sinusoidal [3].

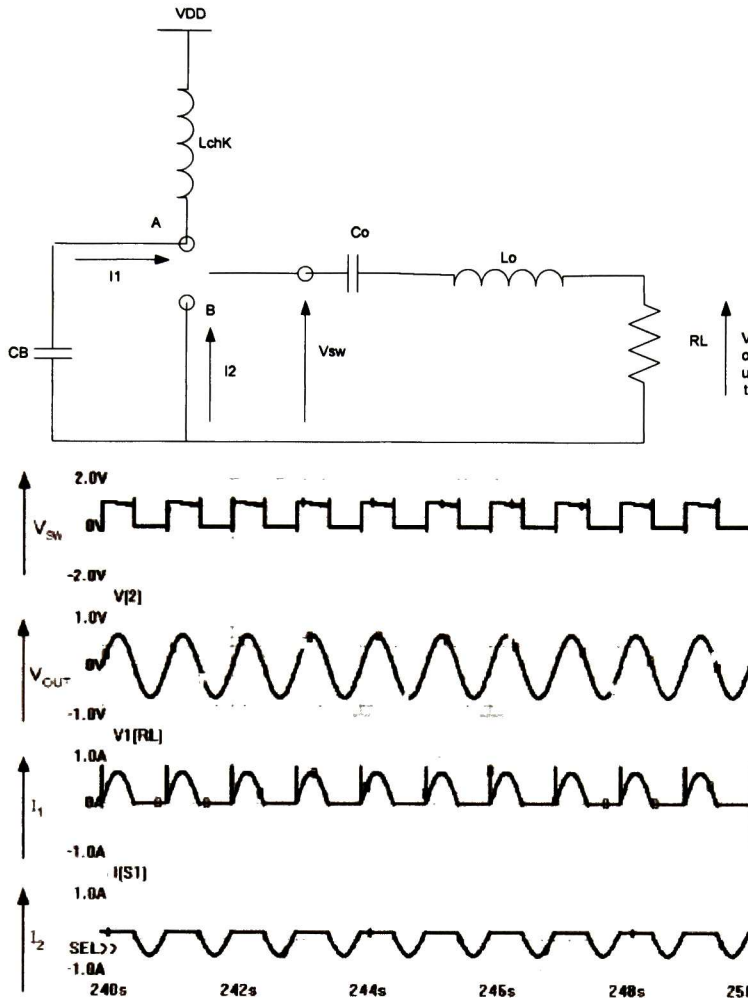


Fig. 2.7 Circuito simplificado del amplificador clase D y sus formas de onda asociadas.

Amplificador de potencia clase F.

En la Figura 2.8 podemos observar el circuito básico de un amplificador de potencia clase F, así como sus formas de onda asociadas. El funcionamiento de este tipo de amplificador considerando un conmutador ideal, es como sigue: la red de carga de este amplificador consiste en una línea de transmisión de $\frac{1}{4}$ de onda, y el circuito resonante en paralelo RLC que se encuentra entonado a la frecuencia fundamental.

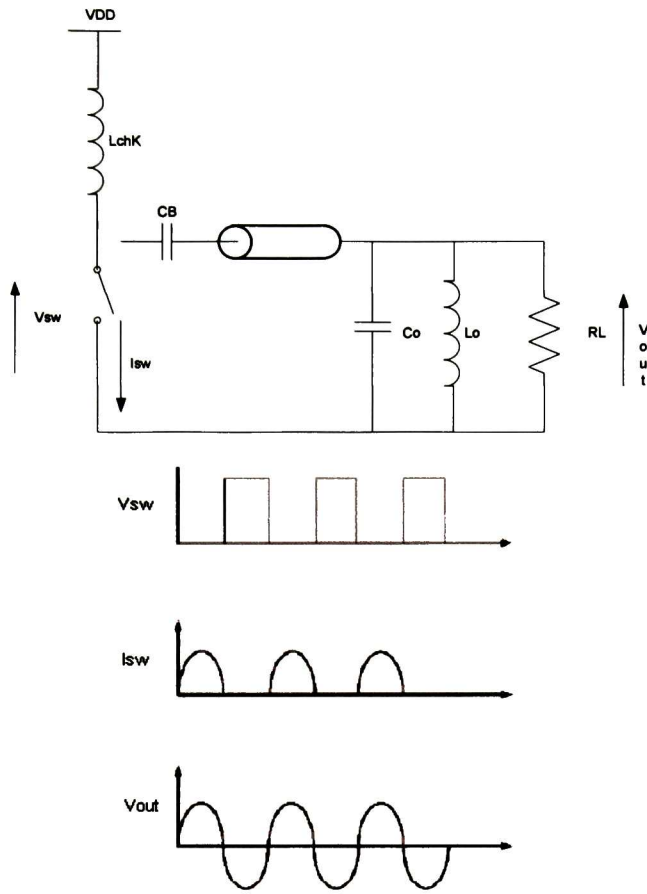


Fig. 2.8 Circuito simplificado del amplificador clase F y sus formas de onda asociadas.

2.2 Conclusiones.

Cabe señalar que debido a sus características de eficiencia, los amplificadores en forma de fuente de corriente fueron descartados para ser utilizados en la aplicación propuesta en esta tesis. Por otro lado, el amplificador clase D, debido a sus características de conmutación rígida, está limitado a frecuencias de RF bajas (menores a 150 MHz en la mayoría de los casos) por lo que también se descartó para ser utilizado en este sistema de 900 MHz. Así los amplificadores clase E y F son los ideales para cubrir las especificaciones propuestas. Sin embargo, hay dos aspectos que resaltan al amplificador clase E sobre el amplificador clase F: primero, el amplificador clase E puede ser implementado más fácilmente ya que es más sencillo que el amplificador clase F; y segundo, el hecho de contar con mayor literatura para implementar exitosamente el AP clase E en tecnología CMOS. Estos dos puntos fueron los que finalmente contribuyeron para que el AP clase E fuera seleccionado para implementar la aplicación propuesta.

Referencias.

- [1] Stephen Christopher Ferry, "Development of a High-Efficiency, Low-Power RF Power Amplifier for Use in a High-Temperature Environment", Tesis.
- [2] Walt Kester, "Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor", Analog Devices.
- [3] Abulet Mihai, "RF power amplifiers", ISBN 1-884932-12-6.

Capítulo 3

El amplificador de potencia clase E.

LAS aplicaciones actuales de comunicación móvil demandan altas eficiencias de energía para tener un mayor rendimiento en las baterías. Parte fundamental en un sistema de comunicación son los amplificadores de potencia, responsables en gran medida del consumo de energía. Para obtener alta eficiencia en un amplificador de potencia se requiere de topologías de conmutación suave, es decir aquellas en las que las condiciones de voltaje y corriente en el conmutador no coinciden en el tiempo.

Sin embargo, el uso de un transistor como dispositivo de conmutación, requiere también de cierta potencia de entrada para la saturación del mismo, y esta potencia se incrementa considerablemente cuando se trabaja en RF, pues como es bien sabido a frecuencias altas las componentes parásitas del transistor usado como conmutador, tendrán un mayor peso. Un parámetro importante para medir esta demanda de potencia en la entrada es la Eficiencia de Potencia Añadida (PAE).

En el presente capítulo se establece el concepto del funcionamiento del amplificador de potencia clase E, perteneciente al tipo de amplificadores conmutados que tiene la posibilidad de trabajar en RF con una alta eficiencia. Se propondrá una metodología de diseño en base al dimensionamiento del transistor y consecuentemente a su resistencia de encendido (R_{on}) que permita obtener una alta eficiencia al igual que un alto porcentaje de PAE. Así mismo se verán las ventajas de utilizar un mayor voltaje de alimentación en el circuito, lo cual llevara a proponer el uso de dispositivos que cuenten con un mayor voltaje de ruptura.

3.1 El funcionamiento del amplificador de potencia clase E.

Para comenzar el análisis del AP clase E se supondrá condiciones ideales, es decir una resistencia de encendido en el conmutador (R_{on}) igual a cero y una resistencia infinita cuando el conmutador esta apagado. Se considerara también tiempos de encendido y apagado nulos, así como cero demanda de la potencia de entrada y un ciclo de trabajo del conmutador del 50%. En la Figura 3.1 podemos observar el diagrama eléctrico idealizado del AP clase E.

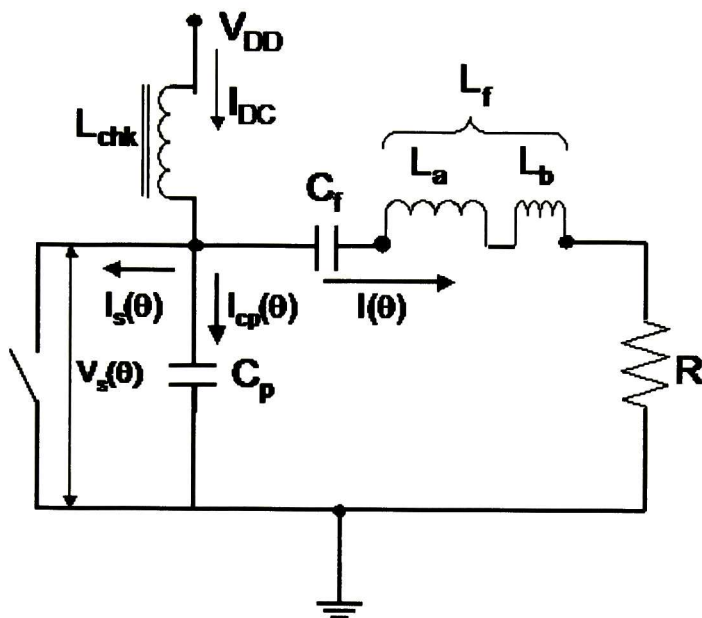


Fig. 3.1 Modelo eléctrico de un amplificador clase E ideal.

Las condiciones deseadas de un amplificador clase E ideal para alcanzar una eficiencia teórica del 100% son la no-coincidencia en el tiempo de la corriente $I_s(\theta)$ y voltaje $V_s(\theta)$ en el conmutador, así como un voltaje cero con una pendiente nula cuando el conmutador se cierra. La gráfica de la Figura 3.2 ilustra las formas de onda ideales para el voltaje y la corriente en el conmutador normalizadas.

Cuando el conmutador está cerrado el voltaje en el mismo será igual a cero y la corriente a través del conmutador es la suma de la corriente sinusoidal de salida, $I(\theta)$ y la corriente I_{DC} constante de la fuente de voltaje V_{DD} . Cuando el conmutador está abierto no habrá corriente circulando por el conmutador, mientras que el voltaje $V_s(\theta)$ será igual a la corriente que carga al capacitor por la reactancia en el mismo, esto es:

$$i_s(\theta) = I_{dc} \left(1 + \frac{\pi}{2} \text{sen} \theta - \cos \theta\right) \quad (0 < \theta \leq \pi) \quad (3.1), (3.2)$$

$$v_s(\theta) = \frac{I_{dc}}{\omega C_p} \left(\theta - \frac{3\pi}{2} - \frac{\pi}{2} \cos \theta - \text{sen} \theta\right) \quad (\pi < \theta \leq 2\pi) \quad (1)$$

$$i_s(\theta) = 0, \quad (\pi < \theta \leq 2\pi) \quad v_s(\theta) = 0, \quad (0 < \theta \leq \pi)$$

El conmutador opera a la frecuencia

$$\omega = 1 / \sqrt{L_s C} \quad (3.3)$$

de tal manera que la reactancia de la inductancia en exceso, L_s , causa que $V_s(\theta)$ retorne a cero con una pendiente igual a cero antes de que el conmutador se cierre [1].

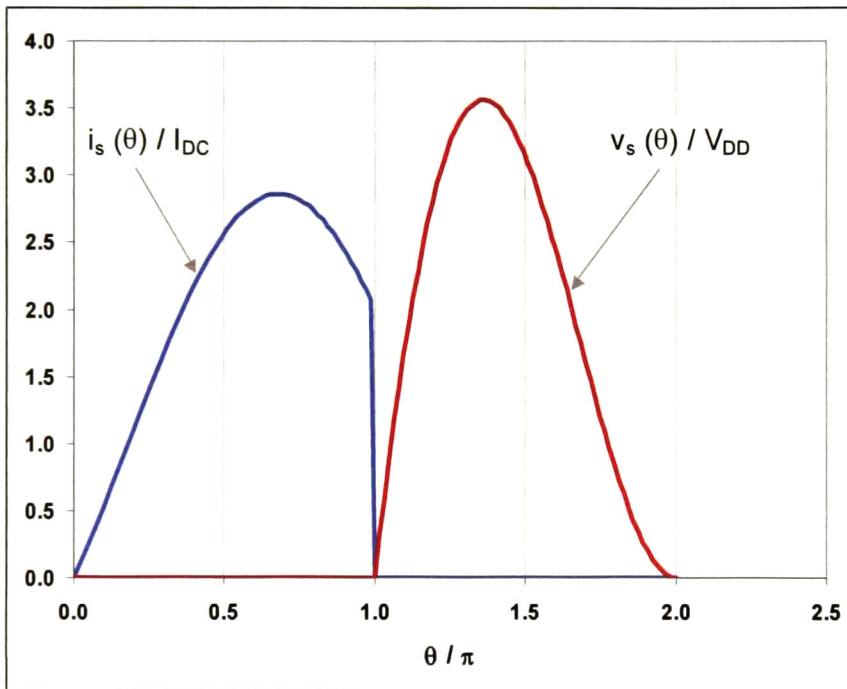


Fig. 3.2 Formas de onda de corriente y voltaje normalizadas en el conmutador de un amplificador clase E.

De las condiciones de corriente de Kirchoff en el nodo no aterrizado del conmutador, se obtienen las ecuaciones de conmutación necesarias para cumplir con las condiciones deseadas de un amplificador clase E ideal. De estas ecuaciones puede encontrarse el ángulo de fase necesario a proveer por el circuito entonado de carga, así como los valores del máximo voltaje en el conmutador y la máxima corriente en el mismo.

Tomando como variables independientes la frecuencia de operación (f), la potencia de salida deseada (P_{OUT}) y el factor de calidad del circuito resonante (Q_L), se puede calcular los parámetros de la red de carga del amplificador en función de las ecuaciones de conmutación, empleando el método de análisis de Fourier del voltaje en el conmutador.

En las Tablas 3.1, 3.2, 3.3, se muestra un resumen de las ecuaciones más importantes de un amplificador clase E utilizando un conmutador ideal con el 50% de ciclo de trabajo [2], [3].

Un punto importante a resaltar es que la corriente máxima en el conmutador del amplificador clase E, es alrededor de tres veces su corriente promedio y su voltaje máximo del orden de 3.5 veces el voltaje de alimentación (Fig. 3.2).

Puesto que se propone el uso de un N-MOSFET como dispositivo de conmutación, para el primer caso debe cuidarse que el transistor tenga la capacidad de proporcionar la corriente demandada y en el segundo, el transistor debe de contar con un voltaje de ruptura adecuado. Dado que los voltajes de ruptura de los actuales transistores MOSFET en la escala de sub-micrones, tienen un relativamente bajo voltaje de ruptura, para este tipo de aplicaciones será conveniente encontrar un diseño que permita incrementar su voltaje de ruptura o usar topologías de diseño adecuadas como se verá en el siguiente capítulo.

El modelo de conmutador ideal es adecuado para describir el comportamiento global del amplificador, siempre y cuando los efectos parásitos sean despreciables.

Corriente en el conmutador en el intervalo $0 < \theta \leq \pi$	$i_s(\theta) = I_{DC} \left[1 + \frac{\pi}{2 \sin \phi} \sin(\theta + \phi) \right]$ $i_s(\theta) = I_{DC} \left[1 + \frac{\pi}{2} \sin(\theta) - \cos(\theta) \right]$
Voltaje en el conmutador en el intervalo $\pi < \theta \leq 2\pi$	$v_s(\theta) = \pi V_{DD} \left\{ (\theta - \phi) - \frac{\pi}{2 \cos \phi} [\cos(\theta + \phi) + \cos \phi] \right\}$ $v_s(\theta) = \pi V_{DD} \left[\theta - \frac{3\pi}{2} - \frac{\pi}{2 \cos \phi} \cos \theta - \sin \theta \right]$
Angulo de fase ϕ para cumplir con las condiciones nominales: $v_s(\theta) = 0$ y $\frac{dv_s(\theta)}{d\theta} = 0$ en $\theta = 2\pi$	$\phi = \arctan\left(-\frac{2}{\pi}\right) + n\pi$
Amplitud de la corriente senoidal en la carga	$I_m = -\frac{\pi}{2 \cos \phi} I_{DC}$ $I_m = -\frac{\pi P_R}{2 V_{DD} \cos \phi}$
Amplitud del voltaje senoidal en la carga	$V_{RM} = -\frac{4 V_{DD} \cos \phi}{\pi}$ $V_{RM} = \frac{2 P_R}{I_m}$
Intensidad de la componente de corriente directa	$I_{DC} = \pi \omega C_p V_{DD}$ $I_{DC} = \frac{P_R}{V_{DD}}$
Corriente maxima en el conmutador	$I_{sm} = I_{DC} + I_m$ <p>para $\theta'' = \omega t_{sm} = \frac{3\pi}{2} - \phi$</p>
Voltaje maximo en el conmutador	$V_{sm} = \pi V_{DD} (\theta' - \pi)$ <p>donde $\theta' = \omega t_{vm} = \arcsin\left(-\frac{2 \cos \phi}{\pi}\right) - \phi + 2\pi$</p>

Tabla 3.1 Resumen de ecuaciones que describen el comportamiento de un amplificador clase E, usando condiciones ideales y un ciclo de trabajo del 50%.

Resistencia de carga	$R = \frac{8 V_{DD}^2 \cos^2 \phi}{\pi^2 P_R}$
Capacitancia en paralelo con el conmutador	$C_p = \frac{P_R}{\pi \omega V_{DD}^2}$
Inductancia total del circuito resonante	$L_f = \frac{Q_L R}{\omega}$
Capacitancia del circuito resonante	$C_r = \frac{1}{\omega^2 (L - L_b)}$
Inductancia necesaria para proveer el ángulo de fase necesario para la operación nominal del amplificador clase E	$L_b = \frac{R [(1/8)\pi^2 - \cos^2 \phi]}{\omega - \sin \phi \cos \phi}$

Tabla 3.2 Resumen de ecuaciones que describen el valor de las componentes discretas de un AP Clase E. Condiciones ideales y un ciclo de trabajo del 50 %.

Resistencia de carga	$R = 0.5768 \frac{V_{DD}^2}{P_R}$
Capacitancia en paralelo con el conmutador	$C_p = 0.318 \frac{P_R}{\omega V_{DD}^2}$
Inductancia necesaria para proveer el ángulo de fase necesario para la operación nominal del amplificador clase E	$L_b = 1.1525 \frac{R}{\omega}$
Corriente máxima en el conmutador	$I_{em} = \frac{P_R}{V_{DD}} \left[1 - \frac{\pi}{2 \cos \phi} \right] \quad I_{em} = 2.862 \frac{P_R}{V_{DD}}$
Voltaje máximo en el conmutador	$V_{em} = 3.553 V_{DD}$
Tiempo para V_{em}	$\theta' = 1.36 \pi \text{ rad}$
Tiempo para I_{em}	$\theta'' = 2.138 \text{ rad}$
Amplitud de la corriente senoidal en la carga	$I_m = 1.862 \frac{P_R}{V_{DD}} \quad I_m = 1.862 I_{DC}$
Amplitud del voltaje senoidal en la carga	$V_{RM} = 1.074 V_{DD}$

Tabla 3.3 Resumen de ecuaciones que describen el valor de las componentes discretas de un AP clase E incluyendo el valor del ángulo de fase ϕ . Condiciones ideales y un ciclo de trabajo del 50 %.

3.2 Diseño de un amplificador de potencia clase E Ideal.

Como se menciona en la sección anterior, tomando como variables independientes la frecuencia de operación (f), la potencia de salida deseada (P_{OUT}), el factor de calidad del circuito resonante (Q_1) y el voltaje de alimentación (V_{DD}) se puede calcular los parámetros de la red de carga del amplificador en base a las ecuaciones presentadas en la sección anterior.

El primer paso consistirá en definir las variables independientes para lo cual se usan los siguientes criterios:

1) Criterio de selección de Q.

El factor Q del circuito de salida de sintonía en serie debe ser suficientemente alto de manera que la corriente de salida $I(\theta)$ sea una senoidal a la frecuencia de la portadora minimizando al máximo los armónicos.

2) Criterio de selección de la inductancia L_{ch} .

La inductancia del *choke* de RF debe de ser lo suficientemente alta para que la corriente que fluya a través de él, I_{DC} , sea esencialmente constante, pero también, como se explicará más adelante, con un valor que permita la pronta estabilización del sistema.

3) Criterio de selección del voltaje de alimentación (V_{DD}).

Como se justificara, es conveniente utilizar un voltaje de alimentación lo más alto posible, pero al mismo tiempo y como se comento en la sección anterior, existe la limitante del voltaje de ruptura puesto que se utilizara un transistor MOSFET como dispositivo de conmutación. Así, se propone el diseño con dos voltajes distintos: 2 V para un transistor convencional y 4.5 V para un transistor de alto voltaje, que se diseñara en el siguiente capítulo.

En la Tabla 3.4 se pueden observar las especificaciones propuestas para el diseño, que como se había mencionado en el Capítulo 1, corresponden a los estándares GSM.

Variables Independientes	
Potencia de Salida	280mW (25dBm)
Frecuencia	900 MHz
Factor de Calidad del Circuito	7
Voltaje de alimentación	2V, 4.5V

Tabla 3.4 Variables independientes propuestas para el diseño de AP clase E.

La Tabla 3.5 muestra los valores de las componentes del circuito resonante para el circuito idealizado, usando las formulas de las Tablas 3.2 y 3.3, tanto para 2 V como para 4.5 V.

Valores Obtenidos		
	2 V	4.5 V
R	8.24 Ω	41.72 Ω
C_p	3.94 pF	0.78 pF
L_r	10.2 nH	51.6 nH
L_b	1.7 nH	8.5 nH
C_f	3.7 pF	7.2 pF
L_s	8.5 nH	43.1 nH

Tabla 3.5 Valores de las componentes discretas para los dos casos ideales de diseño.

El modelo representado en la Figura 3.1 fue simulado en T-Spice [4], usando los valores de la tabla anterior, tanto para 2 como 4.5 V. A continuación se describen los resultados obtenidos.

Influencia de la inductancia del choque de RF.

Con la inductancia del choque a 5mH, la variación pico a pico de la corriente en el mismo es del orden de 2 mA (Figura 3.3a), mientras que usando una inductancia de 10 mH la corriente pico a pico es del orden de 1 mA (Figura 3.3b). La reducción es del 100%. Podría usarse una inductancia de choque de mayor valor para reducir esta variación, sin embargo, el tiempo necesario para alcanzar un estado estacionario varía proporcionalmente con el valor de la inductancia de referencia. La Figura 3.4 muestra este efecto. El tiempo para alcanzar una oscilación senoidal estable en la carga cambia de 1 mseg (3.4a) a 3 mseg (3.4b) si el cambio de la inductancia es de 5mH a 10 mH.

La Figura 3.5 muestra las formas de onda de la corriente y el voltaje en el conmutador en el estado estable para el caso de V_{DD} igual a 4.5 V, usando los valores de las componentes obtenidas del diseño. Nuevamente habrá que resaltar que el valor máximo obtenido en el conmutador llega a ser incluso mayor que 3.5 veces el voltaje de alimentación (aproximadamente 19 V en este caso). En el caso de la corriente el valor máximo es de aproximadamente 290 mA.

Como puede observarse en la Figura 3.6, al hacer un acercamiento en las formas de onda de la Figura 3.5, el diseño del amplificador no cumple con las condiciones nominales de voltaje cero y pendiente nula al momento de cierre del conmutador. Esto se debe al efecto del valor de la inductancia del choque de RF que no ha sido tomado en cuenta por simplicidad en la teoría básica del amplificador. De hecho la inductancia L_{chk} forma parte del circuito resonante, como se muestra en la Figura 3.7 [5].

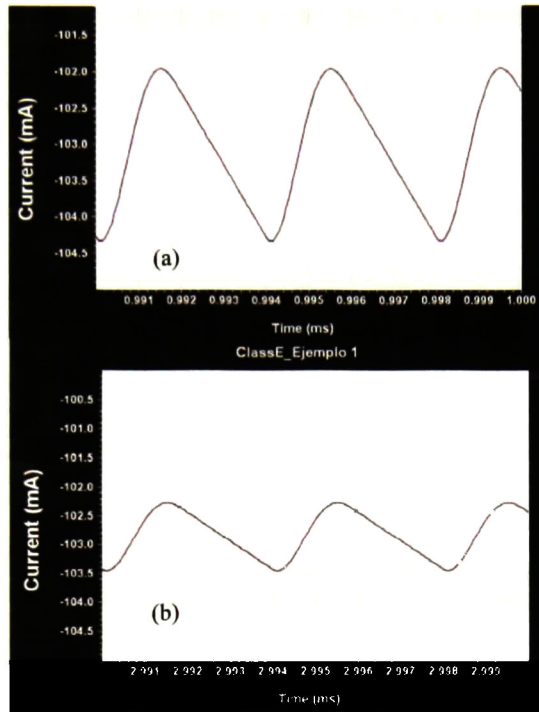


Fig. 3.3 Efectos del valor de L_{chk} en la variación de la corriente en el inductor de choque. (a) $L_{chk} = 5 \text{ mH}$, (b) $L_{chk} = 10 \text{ mH}$.

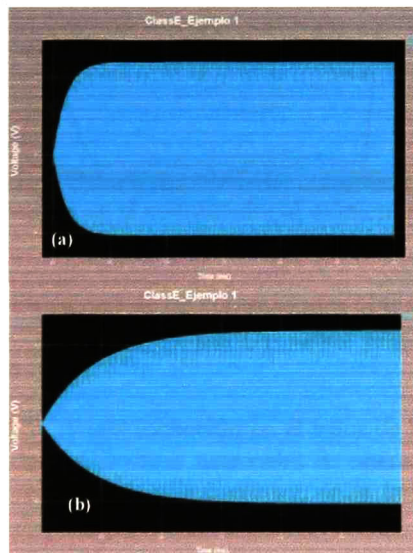


Fig. 3.4 Efectos del valor de L_{chk} en el tiempo en el cual se alcanza un estado estable del voltaje de salida en el amplificador. (a) $L_{chk} = 5 \text{ mH}$, (b) $L_{chk} = 10 \text{ mH}$.

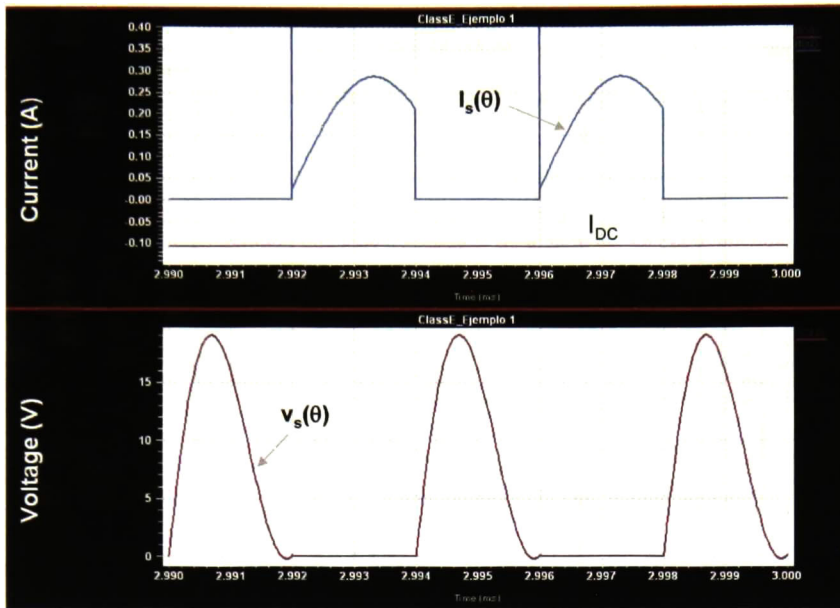


Fig. 3.5 Formas de Onda en el conmutador.

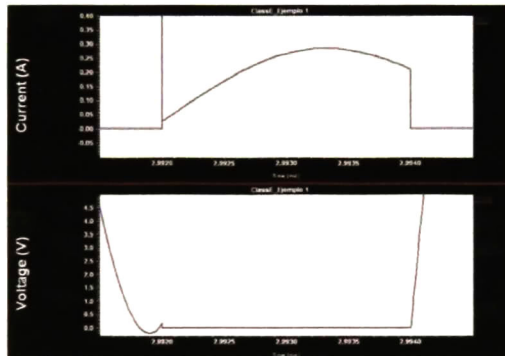


Fig. 3.6 Detalle del voltaje en el conmutador al momento de cierre del mismo.

Para corregir este problema, los valores de las componentes obtenidas teóricamente pueden ser afinados, siguiendo los procedimientos de [1], [3]. Estos procedimientos se basan en los efectos señalados en la Figura 3.8.

Un incremento en el valor de C_p y una reducción en el valor de la resistencia de carga, R , son suficientes para cumplir con las condiciones nominales de operación del amplificador clase E en ambos casos de diseño, corrigiendo así los efectos de la inductancia L_{chk} . La Figura 3.9, muestran las formas de onda de interés finales.

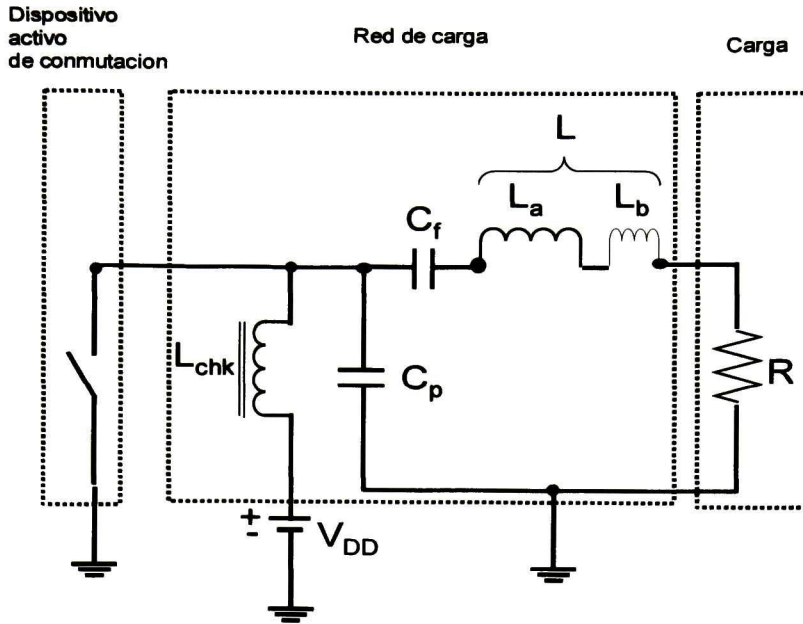


Fig. 3.7 Modelo eléctrico corregido del amplificador clase E.

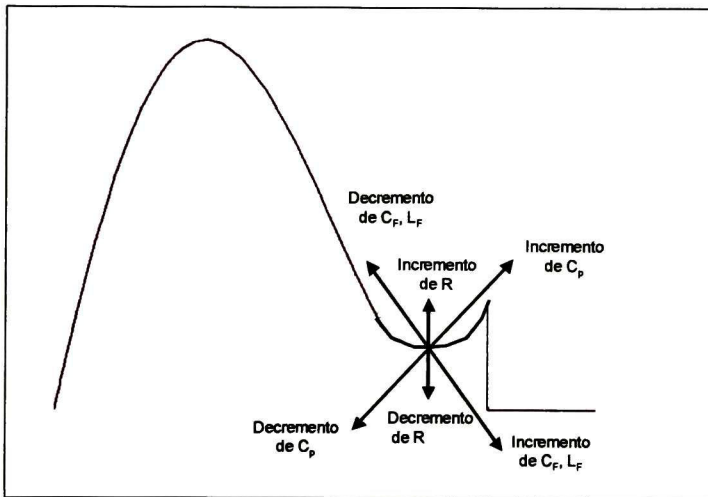


Fig. 3.8. Efectos del ajuste de las componentes del circuito de carga.

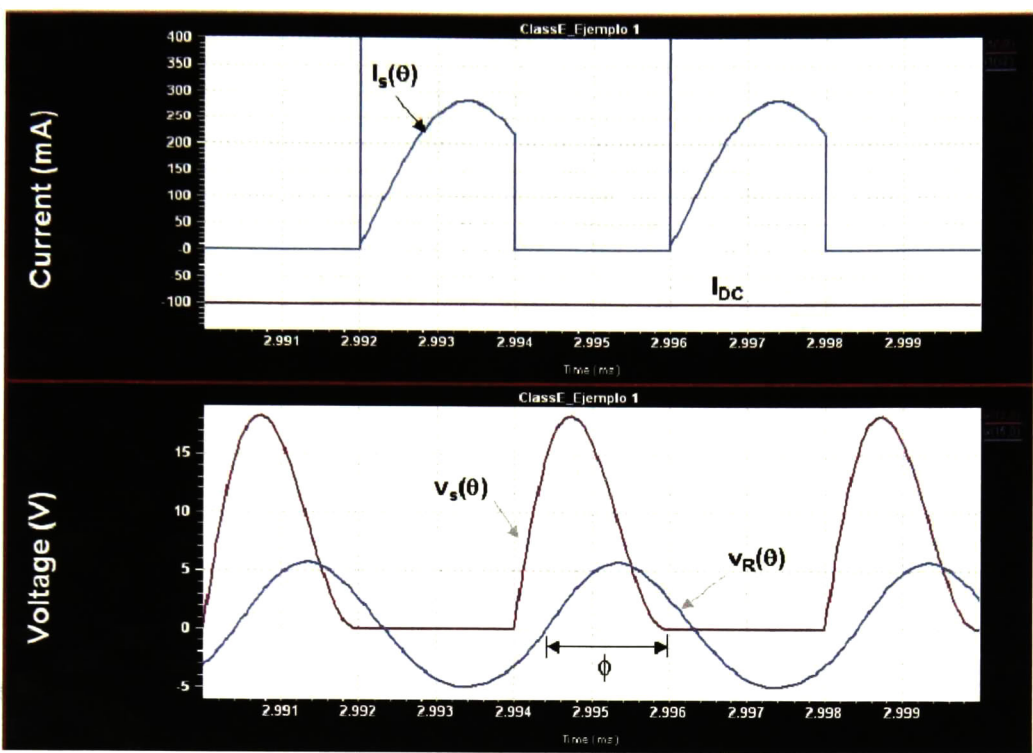


Fig. 3.9 Forma de ondas en el conmutador después del ajuste.

Finalmente se obtiene la potencia de salida y la potencia de DC directamente de SPICE gracias al comando `.power` [6]. Como era de esperarse, debido a que se utilizó un modelo ideal ambas potencias (P_{out} y P_{DC}) son iguales, teniendo una eficiencia del 100%. En este caso no podemos estimar el PAE debido a que no existe potencia de entrada consumida puesto que se trata de un conmutador ideal.

3.3 La resistencia de encendido (R_{ON}).

Si bien el uso de un modelo con un conmutador ideal es una buena base para obtener una aproximación *a priori*, los resultados obtenidos están aun lejos de ser una representación de la realidad puesto que existen muchos elementos que no han sido considerados.

La Figura 3.10 muestra el circuito eléctrico del amplificador clase E, esta vez incorporando el N-MOSFET en lugar del conmutador ideal, así mismo se pueden observar las formas de onda asociadas a este circuito.

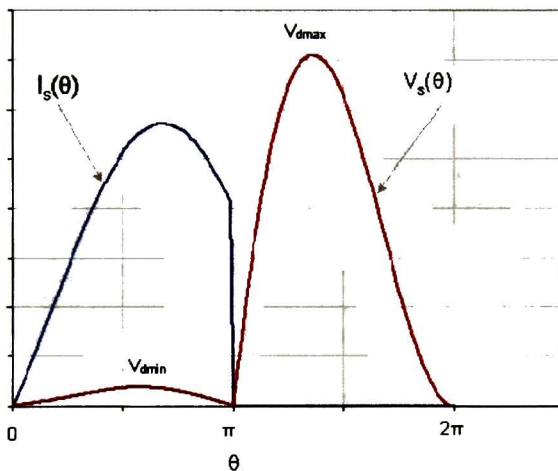
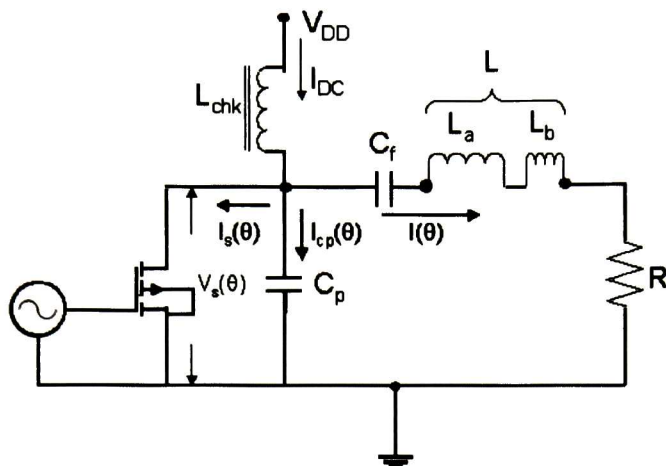


Fig. 3.10 Circuito eléctrico del AP clase E con un transistor NMOS y sus formas de onda asociadas.

Por conveniencia, al ser un transistor NMOSFET el que actúa como conmutador, los subíndices *S* (*Switch*) serán sustituidos por el subíndice *d*, para denotar que se trata de la corriente y el voltaje en el drenador. Así, las formas de onda para $I_d(\theta)$ y $V_d(\theta)$ estarían determinadas por las ecuaciones siguientes [8]:

$$\begin{aligned}
 I_d(\theta) &= I_{DC}(1 + \pi/2 * \text{sen}\theta - \text{cos}\theta), \dots 0 < \theta \leq \pi \\
 I_d(\theta) &= 0, \dots \pi < \theta \leq 2\pi
 \end{aligned}
 \tag{3.4a}$$

$$\begin{aligned}
 V_d(\theta) &= I_{DC} R_S(1 + \pi/2 * \text{sen}\theta - \text{cos}\theta) + V_{d\text{min}}, \dots 0 < \theta \leq \pi \\
 V_d(\theta) &= I_{DC} / \omega C_d (\theta - 3\pi/2 - \pi/2 * \text{cos}\theta - \text{sen}\theta) + \\
 &\dots + V_{d\text{min}} + 2I_{DC} R_S \dots \pi < \theta \leq 2\pi
 \end{aligned}
 \tag{3.4b}$$

Como se puede ver existe una diferencia substancial en este modelo, ya que una vez que el transistor se encuentra conduciendo (encendido), el voltaje en el drenador no llega a ser cero y existe un voltaje mínimo (V_{dmin}). Esto se debe principalmente a que existe una resistencia de encendido (R_{on}) en el transistor diferente de cero [7]. Este es el principal motivo de que la eficiencia no alcance el 100%, puesto que durante el periodo en que el transistor se encuentra conduciendo existirá una potencia disipada en el mismo. Además el uso del transistor NMOSFET tiene como consecuencia que exista una potencia de entrada finita (P_{in}), puesto que a pesar de que la compuerta presenta una resistencia casi infinita para cuestiones de DC, a la frecuencia de 900 MHz habrá elementos parásitos que causaran una disminución en el valor de la impedancia de entrada [8]. Estos efectos de gran importancia para la determinación de la eficiencia de la potencia añadida (PAE), se analizarán en las siguientes secciones de este capítulo.

Para tratar de tener las menores perdidas posibles, se puede pensar en tener un transistor de grandes dimensiones con lo que se aseguraría una R_{on} pequeña y por lo tanto un voltaje mínimo pequeño para así obtener eficiencias altas. Sin embargo existe un compromiso, puesto que el hecho de aumentar el tamaño del transistor se traduce en una capacitancia de entrada mayor con lo que aumentará la P_{in} y consecuentemente se verán reducidos otros parámetros, principalmente el PAE y la Ganancia.

Debido a la operación del amplificador clase E, las curvas de carga estática seguirán las trayectorias que se muestran en la Figura 3.11, es decir: el voltaje en el drenador ira de 0 a V_{dmax} (aproximadamente $3.5 V_{dd}$) sin que exista corriente fluyendo a través del transistor; después la corriente aumentará hasta I_{max} con una ligera pendiente debida a la resistencia de encendido, el voltaje correspondiente a esta corriente será V_{dmin} . Así, se puede notar que entre más alto sea el voltaje en la compuerta mayor será la pendiente y por lo tanto menor la resistencia de encendido. El mayor voltaje en la compuerta que se puede utilizar confiablemente en el caso de esta tecnología es de 4.5 V. Más allá de este voltaje los fenómenos que se describirán en el Capítulo 4 pueden tener consecuencias catastróficas en el dispositivo.

Como se puede observar, si el amplificador trabaja adecuadamente el MOSFET siempre se encontrará operando o bien en la región de corte, o bien en su región lineal, pero sin llegar a saturarse.

En la siguiente sección se describe un método, basado en la física de los dispositivos MOSFETs, para el diseño de amplificadores clase E, en tecnologías estándar de circuitos integrados de silicio [8].

Fundamentalmente el método consiste en dimensionar el tamaño del transistor de tal manera que conduzca a un máximo PAE, para una red de salida clase E, diseñada para un conjunto determinado de especificaciones.

Como se mencionó anteriormente existe un conflicto entre alta ganancia de potencia y una alta eficiencia añadida del transistor. En este método se analiza como las componentes parásitas del transistor (R_g , R_s , R_d , y capacitancias) y la transconductancia finita del transistor afectan la ganancia y la eficiencia de conversión. Sus autores [8], David K, Choi y Stephen I. Long,

desarrollan ecuaciones analíticas para las potencias de entrada, de salida y de DC que permiten construir un modelo coherente que conduce a la optimización para máximo PAE.

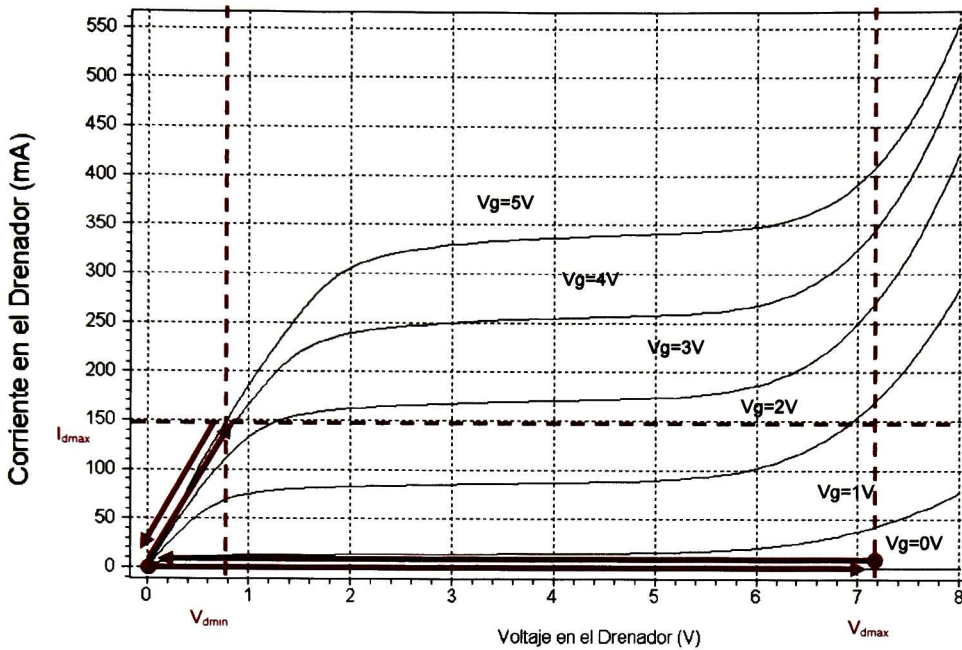


Fig. 3.11 Rectas de Carga del amplificador clase E en un transistor NMOS de la tecnología AMI 0.5 μ m.

3.4 Diseño en base al dimensionamiento del transistor.

En este análisis se considera que las capacitancias parásitas son proporcionales al ancho W del canal y que los resistores parásitos se escalan inversamente con la dimensión W del transistor. Se considera, así mismo, que la longitud de cada dedo de compuerta es constante y que el transistor FET adopta un topología íter-digitada en su concepción (ver Fig. 3.12). El principal parámetro de esta topología de diseño es el número de dedos, n , que se establece como un factor de multiplicación en el código de SPICE. Luego, las capacitancias parásitas normalizadas serán proporcionales a n , se incrementarán, en tanto que las resistencias parásitas serán inversamente proporcionales con este parámetro, decrecerán. La corriente del drenador se incrementara proporcionalmente con n , así como la transconductancia específica del transistor (ver Fig. 3.13). El análisis se lleva a cabo para una celda básica del amplificador con ancho W y un factor de multiplicación n . Finalmente se incluyen las siguientes consideraciones: una red de acoplamiento de carga ideal (que cumple con los valores de diseño de un amplificador clase-E), una señal de entrada con un ciclo de trabajo del 50% (una señal senoidal de entrada polarizada al voltaje de umbral del transistor a la frecuencia fundamental de trabajo), un factor Q de siete para la red de sintonía y elementos reactivos ideales.

Debido a la alta frecuencia en el AP y a la transconductancia finita del transistor, el desempeño en general se verá disminuido debido a la existencia de las componentes parásitas del mismo [8]. Por tal motivo es necesario desarrollar un modelo físico que permita tomar en cuenta todas estas componentes.

Un parámetro que generalmente es despreciado en el diseño de los AP es la potencia de entrada (P_{in}), sin embargo este parámetro puede llegar a tener gran importancia, ya que si se tiene un diseño con un transistor de gran tamaño, se necesitará una gran cantidad de corriente para poder manejar la capacitancia de entrada en el mismo. Así este parámetro puede llegar a cobrar gran importancia.

En la literatura se encontraron varios trabajos que analizan la impedancia de entrada de la compuerta de un MOSFET, por ejemplo [9]. Sin embargo, este trabajo se basa en [8] ya que el propósito de su análisis para esta impedancia de entrada, es el de dimensionar el transistor para su uso posterior en un AP clase E, como lo es en este trabajo.

En la Figura 3.14 se muestra un diagrama eléctrico equivalente para el N-MOSFET (Fig. 3.14a). Las impedancias de entrada serán diferentes tanto para la condición de encendido (Fig. 3.14b), como la de apagado (Fig. 3.14c). Luego, la potencia de entrada en un ciclo completo será la suma de la potencia de entrada en el semiciclo positivo (circuito equivalente (b)) y la correspondiente al semiciclo negativo (circuito equivalente (c)). Se puede observar una serie de componentes a considerar para la obtención de la P_{in} potencia de entrada.

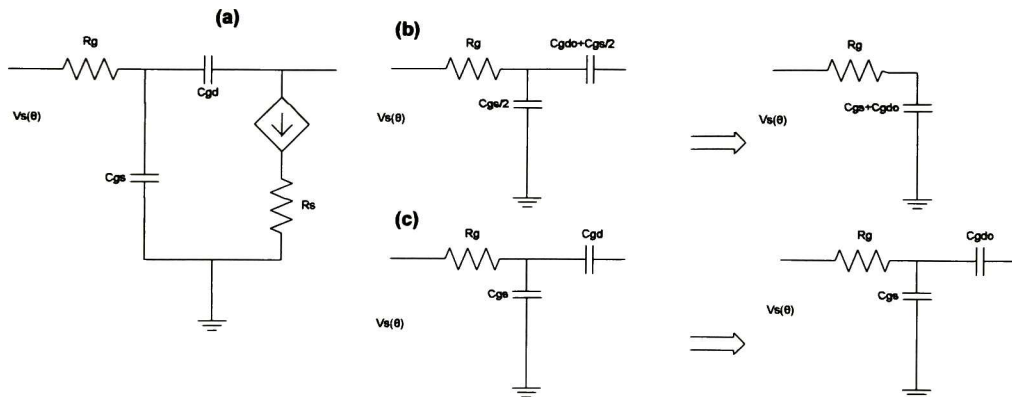


Fig. 3.14 Circuito equivalente de entrada para un N-MOSFET.

Basándose en el modelo físico presentado en la figura anterior, se puede estimar la potencia de entrada; sin embargo será conveniente hacer una revisión de cada uno de los elementos de este modelo para poder calcular su valor.

El voltaje de entrada esta representado por $V_s(\theta)$, y será el voltaje ideal proporcionado por la fuente de entrada, es este caso una senoidal a la frecuencia propuesta.

Tanto R_g (Resistencia de compuerta) como R_s (Resistencia de la fuente) serán resistencias parásitas que será necesario evaluar de acuerdo con los propios parámetros de la tecnología, así como la técnica de layout utilizada. Ambas resistencias incluyen la resistencia del contacto ohmico, así como la resistencia de los cables de conexión del chip. En el caso de R_g , también esta incluida la resistencia del polysilicio de la compuerta. Para minimizar esta resistencia, como se verá en el capítulo siguiente, en la sección del layout, se utilizo doble contacto de compuerta. Así, el calculo de esta resistencia estará dado por

$$R_g = r_m + \frac{r_g}{n} = r_m + \frac{1}{n} \left(\frac{\rho_{gate} W}{3L} + r_c \right) \quad (3.5)$$

donde n es un número de multiplicación del transistor unitario tomado como base con un ancho W específico. Esta ecuación se explicará con mayor detalle posteriormente y será determinante para la selección del tamaño W del transistor a usar, además del tipo de layout. Sin embargo, los detalles de cada parámetro se pueden consultar en la Tabla 3.6.

En el caso de C_{gd} que es la capacitancia parasita entre compuerta y drenaje, se tiene un valor diferente para cada región de operación, pues mientras se encuentra el transistor en corte esta capacitancia será solo la de capacitancia traslape entre drenador y compuerta (C_{gd0}); esto se puede apreciar en la Figura 3.13c. Sin embargo, durante el periodo cuando el FET se encuentra encendido esta capacitancia se vera incrementada por el enriquecimiento del canal, y estará dada por C_{gd0} más un medio de C_{gs} (**Fig. 3.13b**), donde

$$C_{gdo} = nc_{gdo} = nC_{GDO}W \quad (3.6)$$

Nuevamente n representa el factor de multiplicación del transistor de W unitario; y C_{GDO} será propio de la tecnología a utilizar. Como era de esperarse esta capacitancia aumentara directamente con el tamaño del transistor.

En el caso de la capacitancia parásita entre compuerta y fuente se asume que

$$C_{gs} = nc_{gs} = n \frac{K'WL}{\mu} \quad (3.7)$$

En el caso del periodo de conducción, C_{gs} será solo un medio del valor calculado en la Ecuación 3.7 (**Fig. 3.14b**). Así, finalmente la capacitancia de entrada total durante la conducción será la suma C_{gs} más C_{gd0} .

De esta manera se puede calcular de forma analítica la potencia de entrada en el transistor, lo que nos permitirá la obtención de la Ganancia y PAE.

En la Tabla 3.6 podemos observar los valores de los distintos parámetros que se tomaron de acuerdo a los datos proporcionados por MOSIS. Estos valores se tomaron de la ultima corrida de la tecnología a utilizar (AMI 0.5).

Parámetros de MOSIS para la tecnología AMI 0.5μm		
K'	Transconductancia intrínseca	2×10^4
μ	Movilidad de los electrones	489.06
C_{GDO}	Capacitancia de traslape Compuerta-Drenador	38.1 fF
ρ_{GATE}	Resistencia de hoja del polysilicio	160.133 $\Omega \cdot m$
r_m	Resistencia del metal	0.07 Ω
r_c	Resistencia del contacto metal-polysilicio	1.8 Ω

Tabla 3.6 Valores tecnológicos obtenidos de la ultima corrida de MOSIS.

De acuerdo con este modelo la potencia de entrada total estará dada por [8]

$$P_{in} = \frac{n\omega^2 V_S}{4} \frac{r_g (c_{gs} + c_{gdo})}{1 + [\omega r_g (c_{gs} + c_{gdo})]^2} \times [2V_S (c_{gs} + c_{gdo}) + V_{dmax} c_{gdo}] \quad (3.8)$$

donde V_{dmax} estará dado por la ecuación:

$$V_{dmax} = 1.13 \frac{I_{DC}}{\omega C_d} + V_{dmin} + 2I_{DC} R_s \quad (3.9)$$

Luego, para calcular la potencia de entrada se necesitan conocer los valores de los parámetros I_{DC} y V_{dmin} . En lo que sigue se presentaran expresiones analíticas para calcular estos parámetros.

Para continuar con el análisis, es importante resaltar que en este modelo la R_{ON} está indirectamente representada por la transconductancia finita de la fuente de corriente I_d controlada por el voltaje $V_{gs}(\theta)$. Esto se puede apreciar en la Figura 3.15.

Habrà que señalar que con el propósito de encontrar el valor adecuado para el tamaño total del transistor (W_{total}) se utilizará, como ya se mencionó, el factor n como el factor de multiplicación para las características del tamaño del transistor tomado como base ($W_{unitaria}$)

Ahora bien, teniendo en cuenta el modelo mostrado en la Figura 3.15 podemos hacer el cálculo para I_{DC} , evaluando el valor promedio para el voltaje en el nodo del drenador para un ciclo completo de acuerdo con la ecuación

$$\langle V_d(\theta) \rangle = \frac{1}{2\pi} \left[\int_0^\pi (V_{dmin} + I_d(\theta)R_s) d\theta + \int_\pi^{2\pi} (V_d(\theta) + V_{dmin} + I_d(\pi)R_s) d\theta \right] = V_{dd} \quad (3.10)$$

Así para I_{DC} se tiene que

$$I_{DC} = \frac{\pi\omega C_d V_{dd} - V_{d\min}}{1 + 2\pi\omega R_s C_d} \quad (3.11)$$

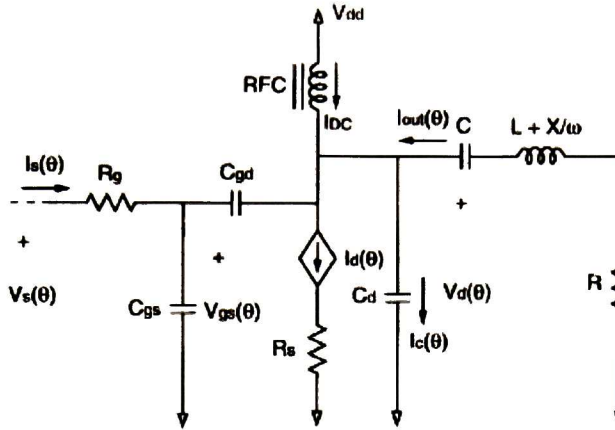


Fig. 3.15 Circuito completo del AP clase E sustituyendo el FET con su modelo equivalente.

Por otro lado $V_{d\min}$ se define por medio de la ecuación:

$$V_{ds}(\pi) = V_{d\min} \quad (3.12)$$

Y de acuerdo con la ecuación para la región triodo del FET

$$I_d(\pi) = \frac{K'W}{2L} [2V_{gs}(\pi)V_{ds}(\pi) - V_{ds}(\pi)^2] = 2I_{DC} \quad (3.13)$$

se puede llegar a obtener la ecuación para $V_{d\min}$, la cual estará dada por la solución de la ecuación cuadrática [8]:

$$V_{d\min} = -\frac{b + \sqrt{b^2 - 4ac}}{2a} \quad (3.14)$$

donde

$$a = 1 - 2\pi\omega R_s C_d$$

$$b = 2 \left[2\pi\omega R_s C_d [V_{dd} - V_{gs}(\pi)] - 2\pi\omega C_d \frac{L}{K'W} - V_{gs}(\pi) \right]$$

$$c = 4\pi\omega C_d \frac{L}{K'W} V_{dd}$$

con

$$V_{gs}(\pi) = |V'_{gs}| \sin(\pi + \chi) - I_d(\pi)R_s \quad (3.15)$$

$$|V'_{gs}| = \frac{|V_s|}{\sqrt{1 + [\omega(R_g + R_s)(C_{gs} + C_{gd})]^2}} \quad (3.16)$$

$$\chi = \arctan[-\omega(R_g + R_s)(C_{gs} + C_{gd})] \quad (3.17)$$

donde $|V'_{gs}|$ y χ son la amplitud y la fase del voltaje de compuerta-fuente relativas a la amplitud del voltaje de señal $|V_s|$.

La potencia de corriente directa, P_{DC} , se puede calcular fácilmente multiplicando la Ecuación 3.11 por V_{dd} .

$$P_{DC} = I_{DC}V_{dd} = \frac{\pi\omega C_d(V_{dd} - V_{dmin})}{1 + 2\pi\omega R_s C_d} V_{dd} \quad (3.18)$$

Finalmente, en base a este modelo se puede llegar a calcular la potencia de salida, usando la formula [8]:

$$P_{out} = \frac{\pi^2 + 4}{8} I_{DC}^2 R \left[1 + \left(\frac{\omega R_s C_d}{2} \right)^2 \right] \quad (3.19)$$

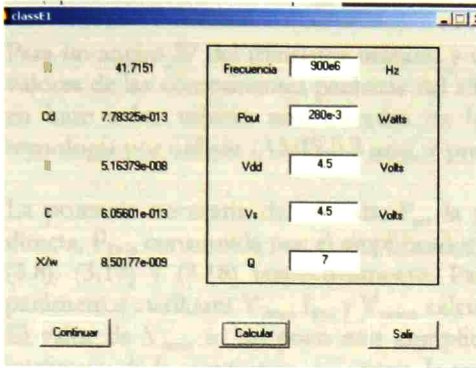
Con base a este desarrollo y las definiciones vistas en el capítulo anterior, podemos llegar a calcular analíticamente los parámetro de Ganancia, Eff y PAE para el diseño del AP, lo cual nos permitirá definir el dimensionamiento óptimo del transistor.

3.4.1 Dimensionamiento del transistor.

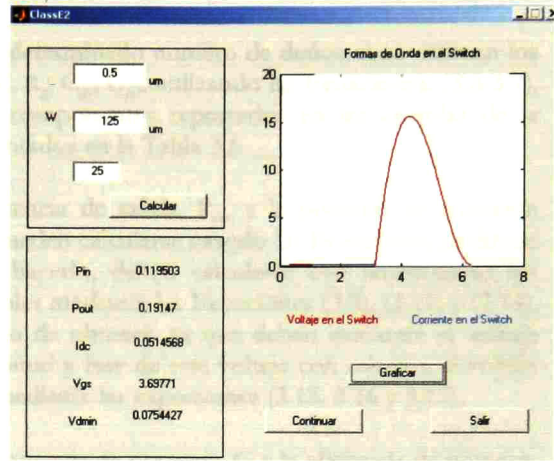
En base a las ecuaciones vistas en la sección anterior, se puede llegar a estimar los distintos parámetros para el AP con diferentes anchos de compuerta del transistor (W) en función del número de dedos del dispositivo.

Para poder obtener las figuras de merito que proporcionen la información analítica de estimación de este procedimiento, se recurrió a Matlab y a su herramienta GUIDE (*Grafical User Interfase Developer Enviroment*) [10] para desarrollar un programa que tuviera una interfase amigable para el usuario pero sobre todo, que permitiera tener la flexibilidad para el uso de distintos parámetros de entrada y así poder llegar a la opción que nos permita tener las mejores eficiencias y Ganancia en nuestro diseño.

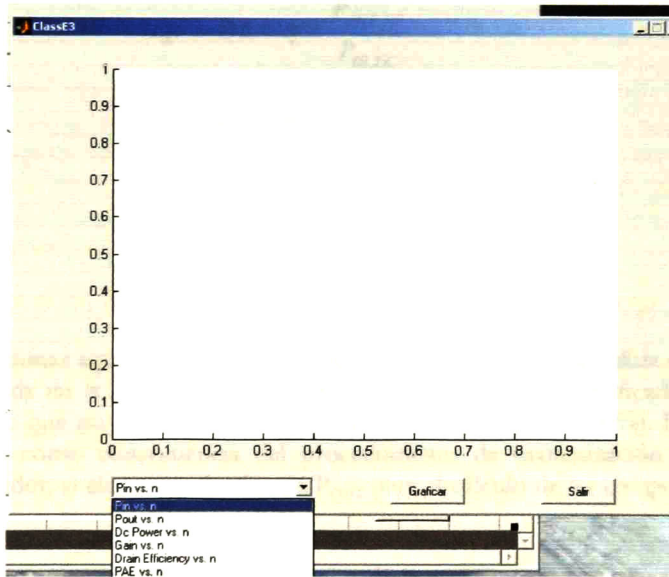
En la Figura 3.16 se muestran las distintas pantallas del programa desarrollado que permiten llegar finalmente a las figuras de merito deseadas.



(a) Calculo de las componentes discretas.



(b) Obtención de los distintos parámetros del transistor en base a su W del transistor unitario.



(c) Características a graficar vs. n (factor de multiplicación).

Fig. 3.16 Ambiente visual del programa desarrollado en Matlab para el análisis del AP.

Las dimensiones óptimas del transistor que maximicen el PAE del amplificador, con una buena ganancia de potencia, se calcularon en base a las especificaciones del amplificador

mostradas en la Tabla 3.4. De éstas especificaciones se determinan los parámetros de la red de carga de las componentes discretas del amplificador clase E, usando las ecuaciones resumidas en la Tabla 3.2. Estos valores se muestran en la Tabla 3.5 para dos condiciones del voltaje de alimentación del drenador V_{dd} .

Para un ancho W del transistor unitario y un determinado número de dedos, n , se estiman los valores de las componentes parásitas del FET: R_g , C_{gs} , C_{gd} , utilizando las Ecuaciones. (3.5-3.7), en base a los valores normalizados de las componentes reportados en las corridas de la tecnología por utilizar (AMIS 0.5 μm), y presentados en la Tabla 3.6.

La potencia necesaria de entrada, P_{in} , la potencia de salida, P_{out} y la potencia de corriente directa, P_{DC} , consumida por el amplificador, pueden calcularse usando las Ecuaciones analíticas (3.8). (3.19) y (3.18) respectivamente. Para hacerlo, deben calcularse con anterioridad los parámetros auxiliares V_{dmax} , I_{DC} y V_{dmin} , calculables mediante las Ecuaciones (3.9), (3.11) y (3.14). El valor de V_{dmin} es un poco más complicado de obtener, ya que deben evaluarse el voltaje intrínseco de la compuerta, así como, la magnitud y fase de este voltaje con relación al voltaje de entrada V_s . Estos tres factores se evalúan mediante las expresiones (3.15, 3.16 y 3.17).

Finalmente la eficiencia del drenador, Eff , la ganancia de potencia, G y la eficiencia de potencia añadida (PAE), se obtienen de las ecuaciones conceptuales básicas (2.1 a 2.3) que aquí se reproducen por comodidad:

$$Eff = DE = \eta = \frac{P_{OUT,RF}}{P_{IN,DC}} \quad (3.14)$$

$$G = \frac{P_{OUT,RF}}{P_{IN,RF}}$$

$$PAE = \frac{P_{OUT,RF} - P_{IN,RF}}{P_{DC}}$$

Es de valor mencionar aquí, que la especificación sobre la potencia de salida del amplificador, 282 mW, mostrada en la Tabla 3.4, no podría lograrse con un amplificador que usara un transistor, puesto que no es un conmutador perfecto (Eficiencia < 100%). La especificación podrá alcanzarse como consecuencia del procedimiento de maximización de la eficiencia añadida del drenador, si elevamos el valor de P_{OUT} para el cálculo de las componentes de la red de carga.

El siguiente reto consiste en saber cual es el valor de P_{OUT} que permitirá tener las máximas Eff y PAE. A continuación en esta sección, se resaltará gráficamente este punto y la selección de la P_{OUT} que permita cumplir las expectativas de diseño.

Las Figuras 3.17a y 3.17b muestran una comparación entre las graficas de Eff , P_{out} , P_{in} , G , P_{DC} y PAE, en función de n , tanto para 2 V como para 4.5 V.

Del análisis de las gráficas 3.17 puede verse que:

- La potencia de entrada, P_{in} , como era de esperarse, es proporcional al tamaño del transistor, puesto que entre más grande sea este, mayor será la potencia necesaria para manejarlo.
- Tanto P_{out} como P_{DC} serán en principio pequeños y menores al valor calculado puesto que el transistor no es capaz de entregar la corriente necesaria a la carga, sin embargo conforme n aumenta, llega el punto en que tanto P_{DC} como P_{out} se vuelven constantes. En este punto hay que resaltar que P_{out} nunca alcanza el valor propuesto puesto que eso implicaría que el AP no tuviera pérdidas.
- En el caso del PAE vemos que existe un punto máximo a partir del cual la eficiencia disminuye considerablemente. Esto era de esperarse y tiene explicación en las graficas de P_{in} y P_{out} . Puesto que este punto máximo coincide regularmente con el máximo de la ganancia, será este el que nos determine el valor n óptimo del transistor en conjunción con la potencia de salida requerida.
- En relación con el valor del voltaje de alimentación del drenador, $V_{DD} = 2\text{ V}$ (Fig. 3,16 a), se cumpliría con el requerimiento de la potencia de salida con un transistor de aproximadamente 40 dedos, de ancho $W = 125\ \mu\text{m}$. Sin embargo la eficiencia del drenador sería del orden del 55%, con un PAE del 40% y una ganancia de potencia de 4. La potencia de salida ideal de 1W, fue utilizada para calcular los valores de las componentes de la red de carga del amplificador clase E.
- En contraste, un transistor diseñado para soportar un voltaje de ruptura de 20V, permitiría un voltaje de compuerta de 4.5 V en su aplicación como elemento de conmutación en un amplificador clase E. Un número de 15 dedos sería suficiente para proporcionar una potencia de salida del orden de 280 mW, con un PAE del 78%, una eficiencia del drenador del orden del 90% y una ganancia de potencia de 9. En este caso se uso una potencia ideal, P_{out} , de 400 mW.

Habiendo mostrado que el diseño de un transistor de alto voltaje de ruptura es una mejor opción para el diseño un amplificador clase E, en base a una tecnología de circuitos integrados, el siguiente problema fue el evaluar el papel del ancho W del transistor de base consistió que permitiera obtener las mejores prestaciones. Nuevamente se recurrió a hacer distintas aproximaciones con el programa desarrollado.

La Figura 3.18 muestra la comparación de las características de Eff, PAE y P_{out} con distintos anchos W , del transistor de base, para una potencia de salida ideal, P_{out} , de 400 mW y un $V_{DD} = 4.5\text{ V}$.

- Para el MOSFET con $W=125\ \mu\text{m}$, los resultados son semejantes a los reportados en la Figura 3.17b, esto es, un numero de 15 dedos sería suficiente para proporcionar una potencia de salida del orden de 280 mW, con un PAE del 78%, una eficiencia del drenador del orden del 90% y una ganancia de potencia de 9.

- Por otro lado un transistor diseñado con un ancho $W = 40 \mu\text{m}$, necesitaría un número de dedos del orden de 55, para proporcionar la potencia de salida de acuerdo a la especificación demandada, una eficiencia del drenador del 90% y un PAE del 82 %.

Los resultados muestran que para cuestiones de eficiencia, es conveniente tener un ancho W grande. Sin embargo, es preferible tener un transistor de tamaño tal que los distintos parámetros que se muestran en la Tabla 3.6 sean confiablemente reproducibles, puesto que más allá de un ancho de transistor de $40 \mu\text{m}$ estos parámetros pueden variar de forma no lineal. Por lo tanto este fue el tamaño seleccionado como W del transistor base para el diseño del transistor de potencia

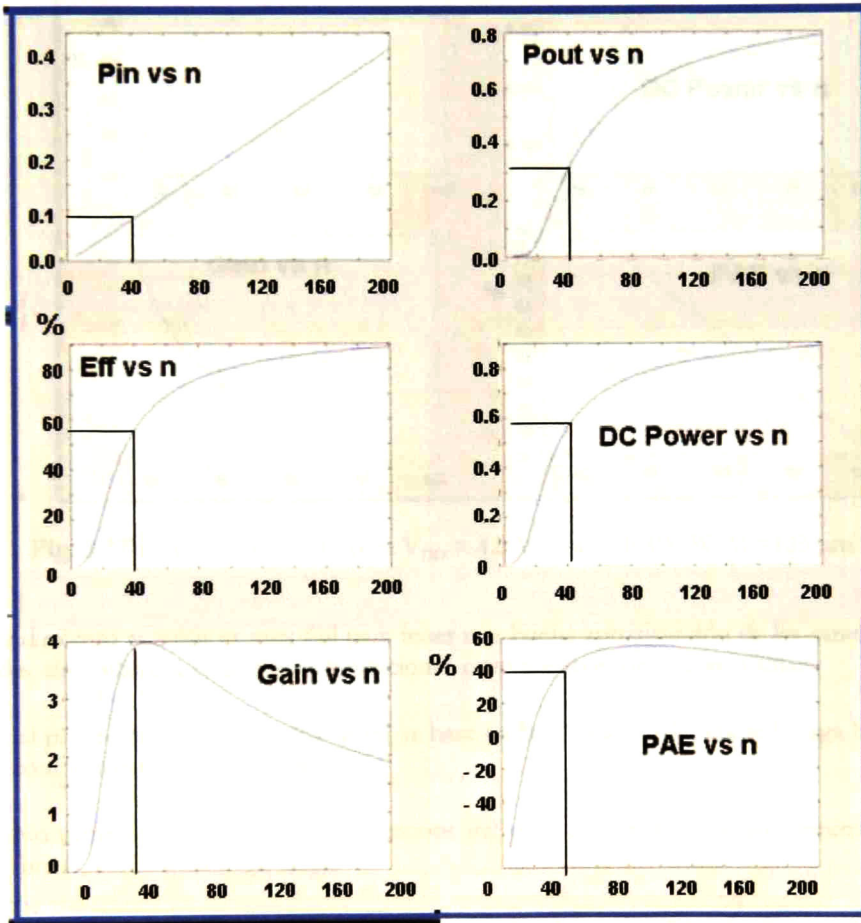


Fig. 3.17a Figuras de merito para $V_{DD} = 2 \text{ V}$, $P_{out}=1\text{W}$, $W=125 \mu\text{m}$

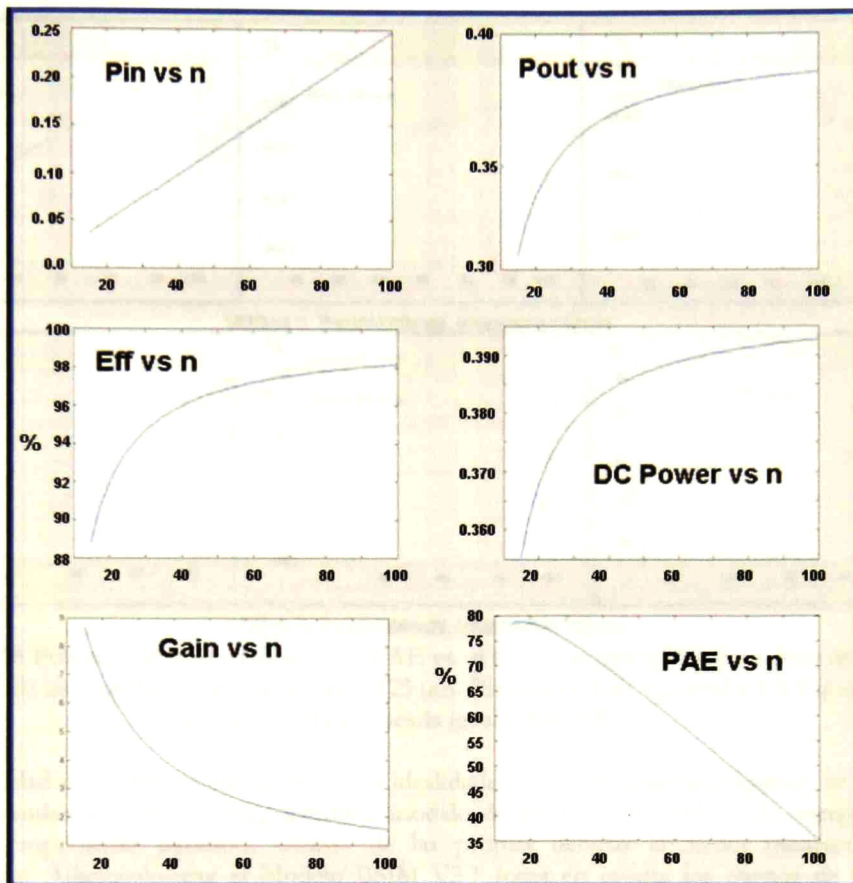


Fig. 3.17b Figuras de merito para $V_{DD} = 4.5 \text{ V}$, $P_{out} = 0.400 \text{ W}$, $W = 125 \mu\text{m}$

El procedimiento anterior es muy útil para tener una buena aproximación de las características esperadas, sin embargo, tiene ciertas limitaciones cuyo efecto es necesario evaluar:

- El procedimiento propuesto en [8] se base en la utilización de una red carga basada en componentes discretas ideales.
- No toma en cuenta las interconexiones del chip del transistor a las terminales de la fuente, compuerta y red carga.
- Utiliza como primera aproximación para la determinación de V_{dmin} un modelo apropiado para un dispositivo de canal largo (Ec. 3.13).
- Utiliza implícitamente únicamente transistores MOSFET estándar.

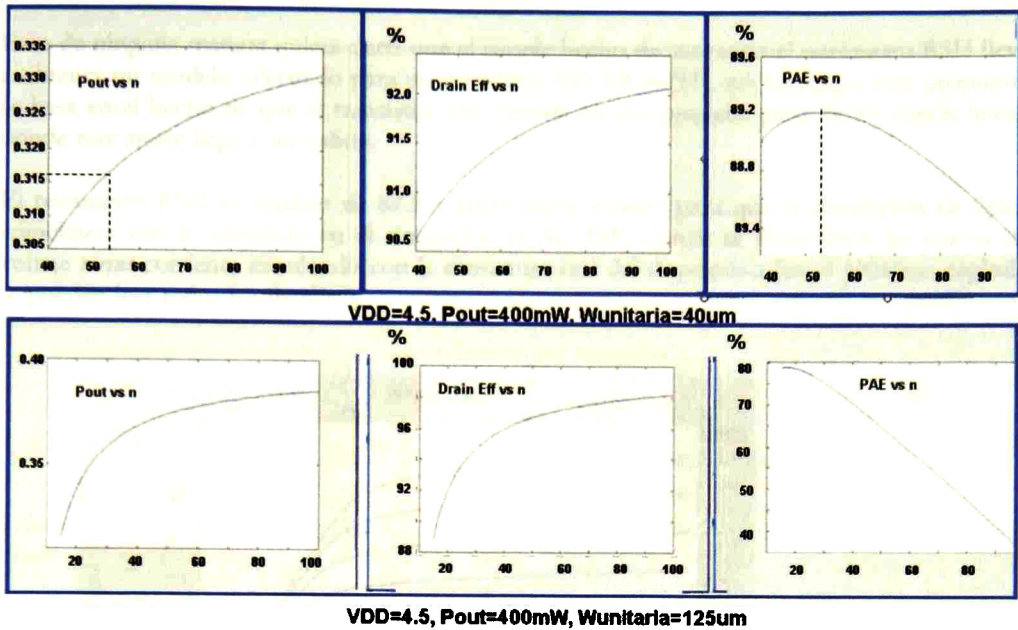


Fig. 3.18 Potencia de salida, Eficiencia y PAE vs. el factor de multiplicación n para un transistor de base ancho W igual a $40 \mu m$ y $125 \mu m$. Para un voltaje V_{dd} igual a $4.5 V$ y una potencia de salida deseada igual a $400 mW$.

Con la finalidad de evaluar el efecto de las no idealidades del procedimiento anterior, se opto por hacer simulaciones en T-Spice, usando el modelo de nivel 49, (BSIM3 V.3.1), agregando todas las componentes parásitas, además de las propias debidas al layout mencionadas anteriormente. Adicionalmente el Modelo BSIM V3.1 toma en cuenta los efectos de canal corto involucrados en la tecnología de $0.5 \mu m$ seleccionada para fabricar el transistor.

3.4.2 Simulación en SPICE.

Basándose en las figuras de merito obtenidas a través del programa, se puede resaltar que el uso de un mayor voltaje de alimentación permite tener mayores prestaciones en el AP. Así pues, la tarea consiste, como ya se ha venido mencionando, en diseñar un dispositivo que permita utiliza un mayor voltaje para alimentar el circuito, en una tecnología CMOS estándar.

Sin embargo, como se vera en el capítulo siguiente, el uso de un transistor XD MOS no solo implica el beneficio de tener un mayor voltaje de ruptura, sino que debido a su estructura (un drenador extendido y poco dopado) se tendrá una mayor R_{on} (y por lo tanto mayor V_{dmin}) para un tamaño dado.

Con la finalidad de tener una aproximación para el Modelo BSIM3 del transistor de alto voltaje que pudiera ser simulado en T-Spice, se propuso aumentar el parámetro conocido como la resistencia de hoja (RSH), de manera tal que hubiera una ajuste entre la curva obtenida a través de ISE (ver capítulo siguiente) y la curva simulada con T-Spice.

Esto de ninguna manera quiere decir que el simple hecho de aumentar el parámetro RSH lleve a obtener un modelo adecuado para un transistor XD MOS [11], sin embargo, esta propuesta se basa en el hecho de que el transistor solo trabaja en una pequeña parte de su región lineal, donde este ajuste llega a ser valido.

El parámetro RSH se cambio de 87.5 a 1000 ohms/cuadro para que la simulación de Spice coincidiera con lo obtenido en el simulador TCAD-ISE, donde se obtuvieron las curvas de voltaje ~~vgs~~ corriente simulando con la estructura real del dispositivo (en el próximo capítulo se pueden leer todos los detalles).

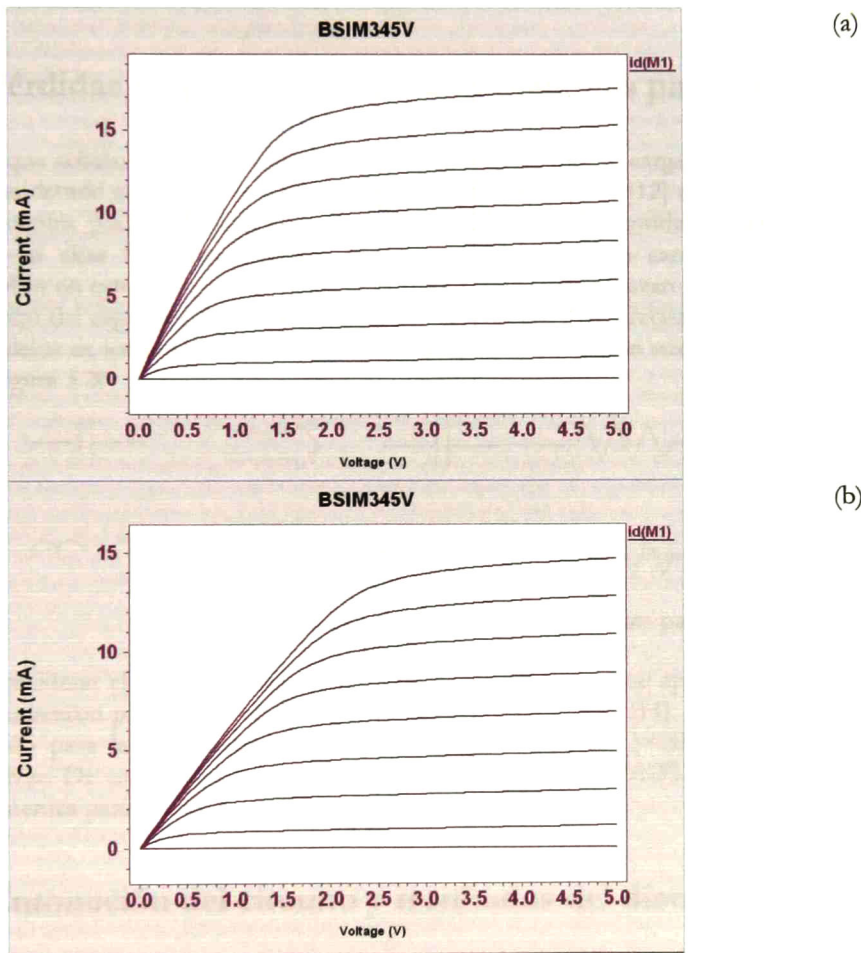


Fig. 3.19 Figuras corriente-voltaje para un transistor $W/L = 40 \mu\text{m} / 0.5 \mu\text{m}$ para (a) un modelo BSIM3 de un transistor convencional y (b) el mismo modelo con $RSH=1000$ Ohms/cuadro para propósitos de simulación del transistor de alto voltaje. La curva con el voltaje máximo en la compuerta es igual 4.5 V.

Las Figura 3.19 muestran las curvas corriente-voltaje de salida para el transistor de ancho W seleccionado igual a 40um con el modelo BSIM3, tanto para bajo voltaje (transistor convencional) como para alto voltaje. Es notorio como la pendiente para el transistor de alto voltaje es menor dado su mayor resistencia de encendido.

Se podría llegar a pensar que este incremento tan considerable en la R_{on} echaría por tierra los beneficios de utilizar el HV NMOS, pero los resultados obtenidos en la siguiente sección muestran que su impacto no es tan importante.

Cabe señalar que en lo sucesivo siempre que se haga referencia al modelo SPICE de simulación del HVNMOS se estará utilizando el modelo BSIM3 con el nuevo valor para el parámetro RSH.

3.5 Pérdidas de potencia en los componentes pasivos.

Habría que señalar que los componentes discretos de la red de carga del AP también tendrán pérdidas debido su Factor de Calidad (Q) finito. De acuerdo a [12] el comportamiento de los componentes pasivos (inductores, capacitores) difiere de los modelos idealizado cuando se trabaja en altas frecuencias debido al efecto "skin", y a los campos magnéticos que se desarrollan en estos; además de que a altas frecuencias se comienzan a presentar pérdidas en el dieléctrico del capacitor. Para lograr tener una simulación más precisa y acorde con la realidad, los modelos de los componentes pasivos del amplificador fueron sustituidos como se muestra en la Figura 3.20.

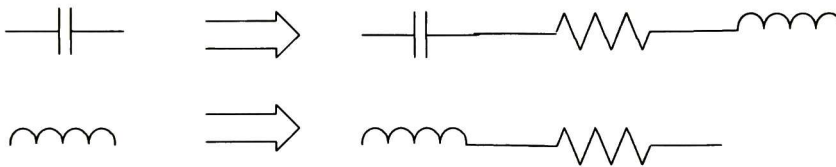


Fig. 3.20 Modelo equivalente de componentes pasivos.

Para considerar el valor adecuado de las componentes extras que aparecen en estos modelos, se consideraron parámetros de componentes comerciales [13], [14]. Así, se propuso un valor de $Q=25$ para las componentes inductivas y un factor de $Q=200$ para las componentes capacitivas. De esta manera y con la ayuda del programa HEPA-PLUS [15] se calcularon las componentes parásitas de los elementos del circuito de carga.

3.6 Entonación del circuito y resultados del diseño final.

La Figura 3.21 muestra el diagrama eléctrico final del AP clase E simulado donde se incluyen todas las componentes con las que se hizo la simulación final de los diseños propuestos.

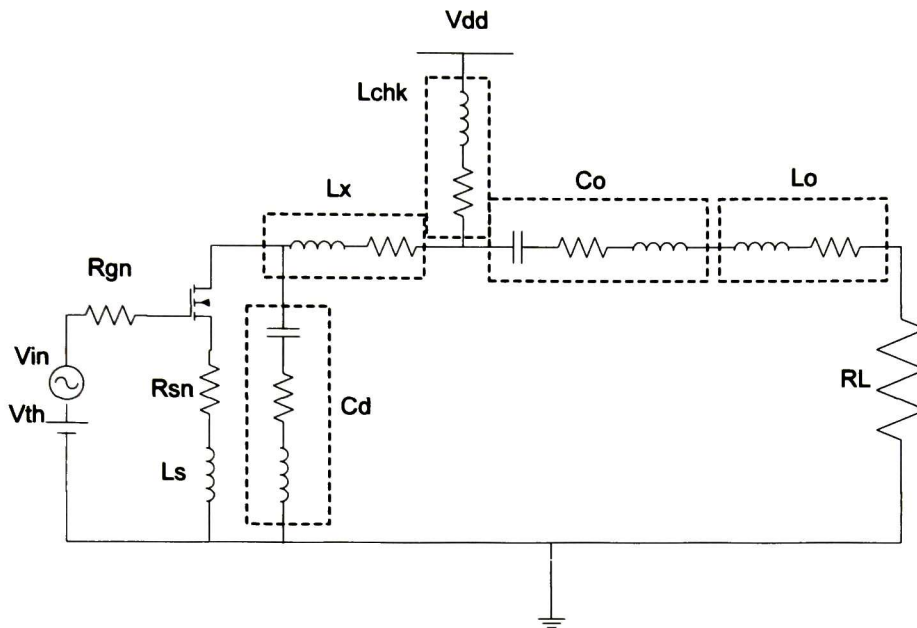


Fig. 3.21 Circuito final simulado en T-Spice para el diseño propuesto del AP clase E.

Un aspecto a resaltar en la simulación final, es la inclusión de la inductancia parásita en la fuente L_s . Esta inductancia se presenta en las diferentes terminales del transistor debido a las condiciones de empaquetado o los *wire bonds* [16]; sin embargo es en la fuente donde este efecto se vuelve notorio creando un voltaje entre la terminal de fuente y tierra, disminuyendo el voltaje entre drenaje y fuente, dando como resultado un decremento de la transconductancia del transistor de conmutación. Este hecho afecta substancialmente las formas de onda características del amplificador de potencia que en general limitan la posibilidad de una conmutación suave.

En las gráficas 3.22a y 3.22b, podemos observar el efecto de esta inductancia parásita. En el caso de nuestro diseño, el valor "propuesto" para esta inductancia es de 2.5 nH. Naturalmente, al ser un efecto parásito, el valor de dicha inductancia no es un parámetro que se pueda proponer. Sin embargo, al contar con poca o nula información para la estimación de dicho valor, se resolvió tomar un valor arbitrario (dentro del rango encontrado en distintos trabajos) que permita tomar en cuenta este efecto.

En las Figuras 3.23a y 3.23b, se muestran los efectos de una inductancia de fuente finita en las formas de onda de corriente y voltaje en el drenador.

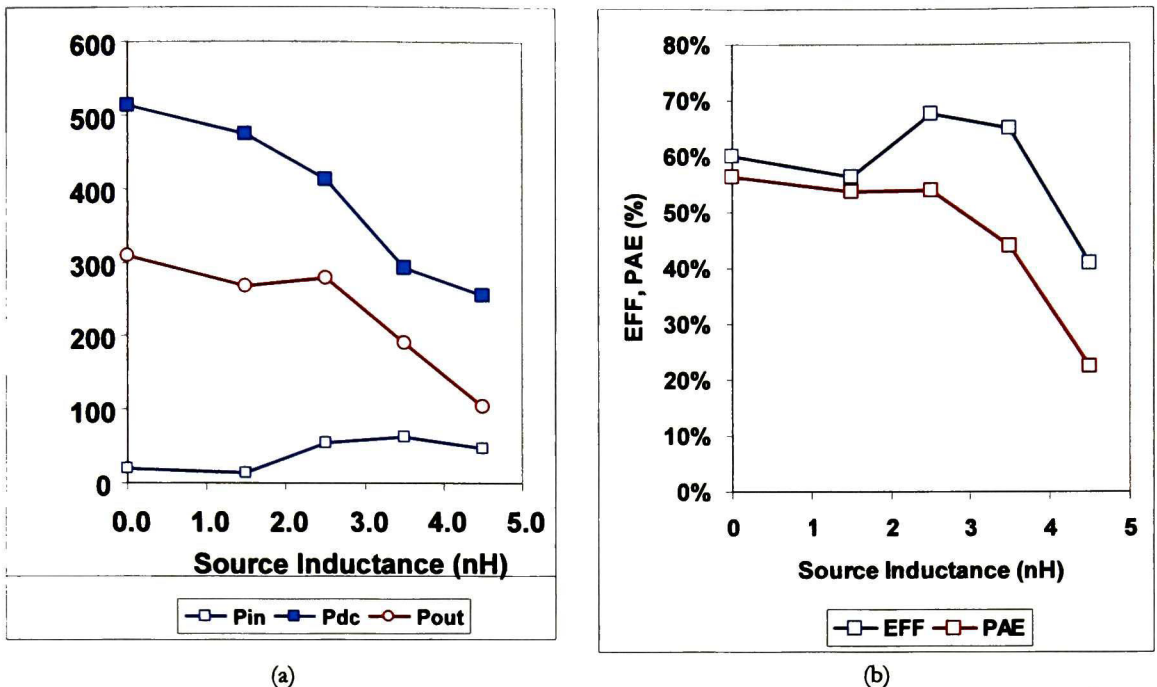


Fig. 3.22 Efecto de la inductancia parásita en la fuente del transistor para las características del AP. (a)Potencia de entrada, salida y DC; (b) Eficiencia y Eficiencia Añadida.

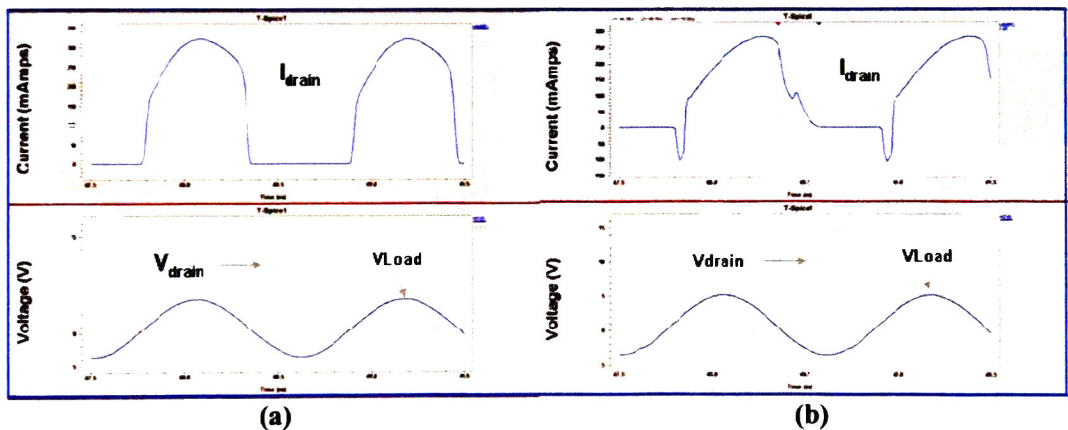


Fig. 3.23 Efecto de la inductancia parasita en la fuente del transistor en las formas de onda de corriente y voltaje del amplificador simulado. (a) $L_s = 0$; (b) $L_s = 2.5 \mu H$.

Tal como se hizo en la sección 3.2 y debido a que el comportamiento del AP completo difiere un poco del esperado, se procedió a entonar las componentes de manera que se pudiera cumplir con las condiciones básicas del AP clase E y llegar a la entonación del circuito.

La Figura 3.24 muestra los resultados más importantes de simulación para un voltaje de polarización $V_{DD} = 4.5$ V. Los puntos simulados fueron ajustados con un polinomio de sexto grado.

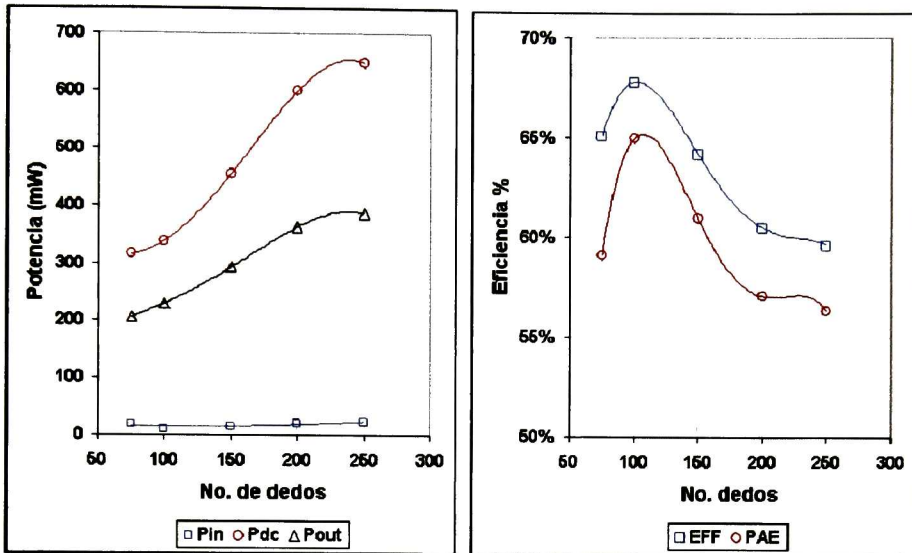


Fig. 3.24 Factores de mérito simulados en SPICE usando BSIM3 vs. el factor de multiplicación, para un $V_{DD} = 4.5$ V.

La Figura 3.25 muestra resultados similares para un voltaje de polarización $V_{DD} = 2.0$ V.

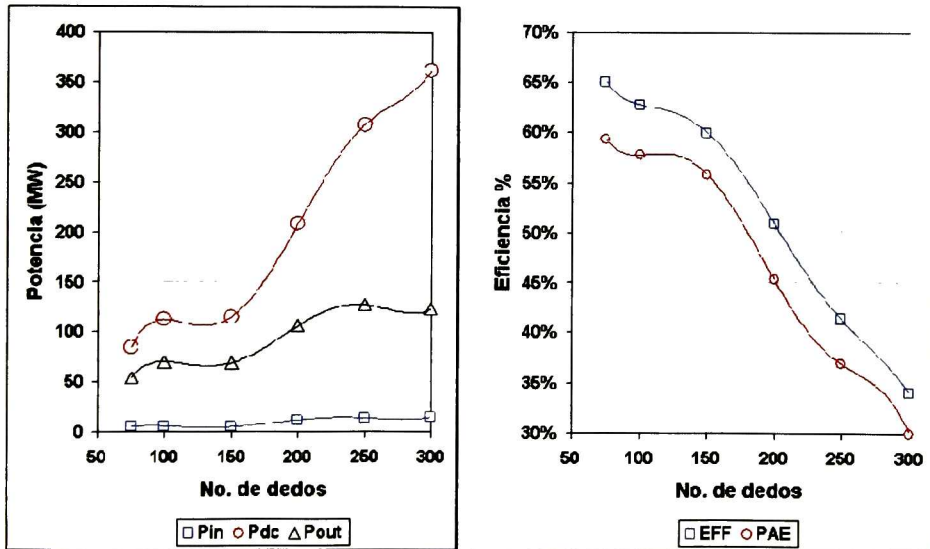


Fig. 3.25 Factores de mérito simulados en SPICE usando BSIM3 vs. el factor de multiplicación, para un $V_{DD} = 2.0$ V.

Finalmente las Figuras 3.26a y 3.26b muestran las potencias de salida y la ganancia en dB para ambas voltajes de drenador $V_{DD}=4.5V$ y $V_{DD}=2.0V$, con propósitos de comparación.

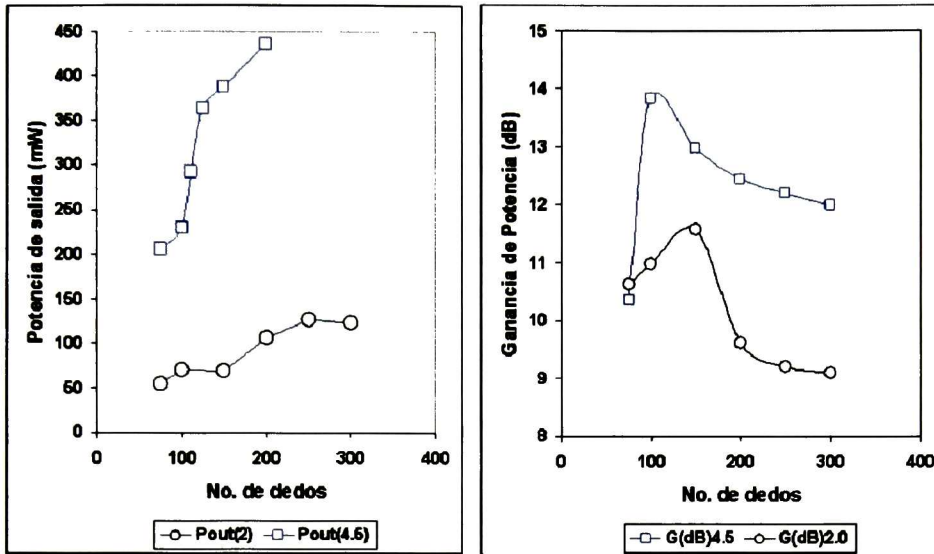


Fig. 3.26. Valores simulados de potencia de salida y ganancia de potencia (dB) vs. el factor de multiplicación para $V_{DD} = 4.5 V$ y $V_{DD} = 2V$.

3.7 Conclusiones de la simulación de SPICE.

Como se puede observar en la gráfica de la potencia de salida de la Figura 3.20, el diseño con alto voltaje V_{DD} de polarización, es el único que en este caso cumple con la expectativa de 280mW. Mientras que en el otro diseño, $V_{DD} = 2.0 V$ la máxima P_{out} alcanzada es igual a 140mW. Como vemos para el punto de operación de $P_{out} = 280mW$ en el diseño de 4.5 V, el número de dedos o factor de multiplicación n es igual 120 lo que multiplicado por el ancho $W_{unitaria}$ (igual a $40 \mu m$), nos da una W total de $4800 \mu m$. Vemos que la Eficiencia para $n=120$ será del 64%, mientras que el PAE será del 61% y la ganancia de potencia de 19.86 (13.8 dB). Estos valores son, de acuerdo a la literatura revisada, considerados aceptables para un amplificador clase E con tecnología de silicio.

Así, podemos concluir que el análisis y la metodología aquí propuesta es práctica y cercana a la realidad, ya que se tomaron en consideración la mayoría de efectos parásitos que pueden afectar el diseño.

El diseño cumple satisfactoriamente los estándares requeridos siempre y cuando se incorpore el transistor de alto voltaje que será tema del próximo capítulo.

A manera de resumen, la Tabla 3.7 muestra los parámetros finales del diseño de 4.5 V que mostró las mejores prestaciones.

Parámetro	Valor
V_{dd}	4.5 V
$W_{unitaria}$	40 μm
N	112
L_o	4.5nH
C_o	6.9pF
R_L	11
ESR (L_1)	2.26
ESR (L_o)	1.03
ESR (C_o)	90 m
ESR (L_2)	840 m
I_{dmax}	288mA
V_{max}	15.7
P_{in}	14.7mW
P_{DC}	455mW
P_{out}	292mW
Eff	64%
PAE	61%
G	19.86

Tabla 3.7 Características finales del AP diseñado.

3.7 Comentarios finales.

Una condición ideal que es difícil de cumplir en la práctica, concierne a los tiempos de retardo para las condiciones de apagado (*off*) y encendido (*on*) de los transistores usados como dispositivos de conmutación. Los tiempos de conmutación de los transistores pueden llegar a ser una fracción apreciable del periodo de la onda portadora. Así que, mientras Kazimierczuk [17] analiza los efectos del tiempo de caída de la corriente de colector en un amplificador clase E, N.O. Sokal [1] [3] describe una estrategia basada en un diseño apropiado de la red de carga que, retarda el inicio del crecimiento del voltaje en el conmutador hasta que la corriente se haya reducido a cero, así mismo que, fuerza a que el voltaje del transistor retorne a cero antes que la corriente comience a crecer.

Es importante comentar aquí, que la eficiencia de conversión del amplificador es una función muy importante del ciclo de trabajo del circuito de excitación, como lo demuestran Kessler y Kazimierczuk en su artículo [18] sobre los efectos del ciclo de trabajo y las resistencias parásitas de las componentes de la red de carga en el comportamiento de amplificadores clase E. La eficiencia de conversión es pobre, para ciclos de trabajo menores al 30%. Esto es un punto a considerar cuando se usan moduladores de ancho de pulso para excitar el amplificador.

El efecto de una capacitancia de salida no lineal del transistor de conmutación en un amplificador clase E, es abordado en la Ref. [19]. En síntesis el efecto es incrementar la corriente que pasa por el dispositivo de conmutación, imponiendo así un requerimiento extra de corriente en el transistor que debe ser considerado en su selección o eventualmente en su diseño.

Referencias.

- [1] N. O. Sokal, "Class-E RF Power Amplifiers" QEX. Jan-Feb. 2001 pp. 6-20.
- [2] "Class E CMOS Power Amplifier," by Martin Tsai.
- [3] N.O. Sokal and A. D. Sokal, "Class E-A new class of high-efficiency tuned single-ended switching power amplifiers," I.E.E.E. Journal of Solid State Circuits, vol. SC-10, pp. 168-176, June 1975.
- [4] Tanner EDA, T-Spice Circuit Simulator,
http://www.tanner.com/EDA/product/TSpice_CircuitSim.html
- [5] David K. Choi and Stephen I. Long, "Finite DC Feed Inductor in Class E Power Amplifiers-A Simplified Approach".
- [6] "T-Spice User Guide",
<http://www.ece.unm.edu/~payman/classes/ECE595/tspice.pdf>
- [7] C. Li and Y. Yam, "Analysis and design of the class E amplifier with non-zero ON resistance," Microwave Opt. Technology Letters. vol. 7, pp. 337-341, May 1994.
- [8] D.K. Choi, and S.I. Long" A physically Based Analytic Model of FET Class-E power Amplifiers- Designing for Maximum PAE" IEEE Trans. On Microwave theory and Techniques. Vol. 47, pp.1713-1720. September 1999.
- [9] Troels Emil Kolding, "Calculation of MOSFET Gate Impedance", Technical Report R98-1009 ISSN 0908-1224.
- [10] Matlab, The MathWorks™, <http://www.mathworks.com/products/matlab/>
- [11] Takao Myono, "High-Voltage MOS Device Modeling with BSIM3v3 SPICE Model", IEICE Trans. ELECTRON., VOL.E82-C, NO.4 APRIL 1999.
- [12] Eric Bogatin, "Signal Integrity – Simplified", Prentice Hall Modern Semiconductor Design Series' Sub Series: PH Signal Integrity Library.
- [13] <http://www.murata.com/catalog/c02e.pdf>
- [14] <http://www.murata.com/catalog/o05e.pdf>
- [15] HEPA-PLUS User Manual, Design Automation, Inc, Lexiton, MA, 1990-2001.
- [16] "Source Inductance Choosing the Right MOSFET Package"
www.eepn.com/Locator/Products/ArticleID/29270/29270.html

-
- [17] Marian Kazimierzuk. "Effects of the Collector Current Fall Time on the Class E Tuned Power Amplifier" *IEEE Journal of Solid State Circuits*, Vol. SC-18 No.2, p.181-193, April 1983.
- [18] Donald J. Kessler and Marian Kazimierzuk." Power Losses and Efficiency of Class-E Power Amplifier at Any Duty Ratio" *IEEE Transactions On Circuits and Systems-Regular papers*. Vol 51. No. 9.p. 1675-1689. September 2004.
- [19] "The Use of Parasitic Nonlinear Capacitors in Class E Amplifiers", M. J. Chudobiak, *IEEE Trans. on Circuits and Systems, Part I*, vol. 41, p.941. Dec. 1994.

Esta página fue dejada intencionalmente en blanco.

Capítulo 4

Transistor de alto voltaje.

COMO se mencionó en el capítulo anterior es posible y, para muchas aplicaciones deseable, diseñar transistores CMOS que sean capaces de tener mayores voltajes de ruptura sin procesos extras en una tecnología comercial y de bajo costo.

En este capítulo se comenzara por revisar algunos de los aspectos teóricos básicos que permitirán entender las limitaciones de voltaje debido a los distintos fenómenos físicos que se presentan en los dispositivos.

A través de una herramienta de diseño por computadora a nivel físico del dispositivo (ISE TCAD), se obtendrán valores de voltajes de ruptura para la tecnología CMOS estándar, así mismo se extraerán los parámetros propios de la tecnología que darán la base para la creación del transistor de alto voltaje.

Finalmente se revisara las estrategias y modificaciones para aumentar la capacidad de voltaje para después hacer el diseño correspondiente y finalmente llegar al layout, las estrategias que se utilizaron y la fabricación de un chip, el cual fue medido y probado para comparar con los resultados esperados.

4.1 Límites de la tecnología CMOS estándar.

Debido a las necesidades de tener transistores con mayor transconductancia, menores componentes parásitas y un óptimo voltaje de encendido, en las tecnologías sub-micrométricas ha sido necesario incrementar los niveles de dopado y disminuir el ancho del óxido por debajo de la compuerta; esto ha tenido como consecuencia un incremento de algunos efectos indeseados, como el efecto de los electrones calientes en el canal y además una disminución en el voltaje de ruptura. Así, para evitar daños en los transistores ha sido necesario aplicar cada vez voltajes menores de alimentación.

Cuando una de las terminales de un transistor de bajo voltaje es sometida a un voltaje más allá de los límites determinados por la tecnología, varios fenómenos físicos pueden presentarse e inclusive, algunos de ellos, son capaces de dañar de forma permanente el dispositivo. Los mecanismos o fenómenos que se presentan dentro de los dispositivos y que serán revisados a continuación son: rompimiento por avalancha, rompimiento de la superficie, rompimiento “*snapback*” y rompimiento en el óxido de la compuerta. Pero antes de dar paso al análisis de estos mecanismos, se hará una revisión del llamado efecto de electrones calientes en el canal (CHE. *Channel Hot Carrier Effect*), que da paso a mucho de estos fenómenos [1].

4.1.1 El efecto de los electrones calientes en el canal.

Dentro de un dispositivo semiconductor, en este caso un transistor CMOS, los electrones y huecos se encuentran en un equilibrio térmico mientras no exista un campo eléctrico externo actuando sobre ellos. Sin embargo al aplicar un voltaje, este equilibrio es roto provocando que los electrones y huecos adquieran una velocidad proporcional al campo eléctrico y al factor de movilidad (μ_n , μ_p). Esta velocidad va en aumento hasta que llegan a colisionar con la red perdiendo así su energía. Sin embargo, al momento de la colisión estos electrones cuentan con una energía superior y proporcional a su temperatura efectiva, la cual puede ser varias órdenes de magnitud mayor a la temperatura ambiente. Por tal razón estos son llamados portadores calientes.

En el caso de un transistor de canal n, los electrones entran en el canal hasta llegar a la región donde existe el campo eléctrico más intenso, es decir, en la unión con el drenador. A estos electrones se les conoce como “Electrones calientes en el canal” (CHE). Varios efectos pueden tener lugar debido a este fenómeno. Esto se muestra en la Figura 4.1.

Como podemos ver en la figura anterior, la corriente de sustrato I_{sub} se debe principalmente a la generación de pares electrón-hueco debido a los electrones calientes. Así mismo, algunos de estos electrones adquieren la energía suficiente para penetrar el óxido, algunos de ellos quedan atrapados mientras que otros constituyen la corriente I_g . En ambos casos existe una degradación del transistor, ya sea modificándose el voltaje de encendido o disminuyendo la transconductancia del dispositivo. De esta manera ambas corrientes I_{sub} e I_g son una buena estimación del efecto de CHE y por lo tanto una medida para el tiempo de vida del transistor.

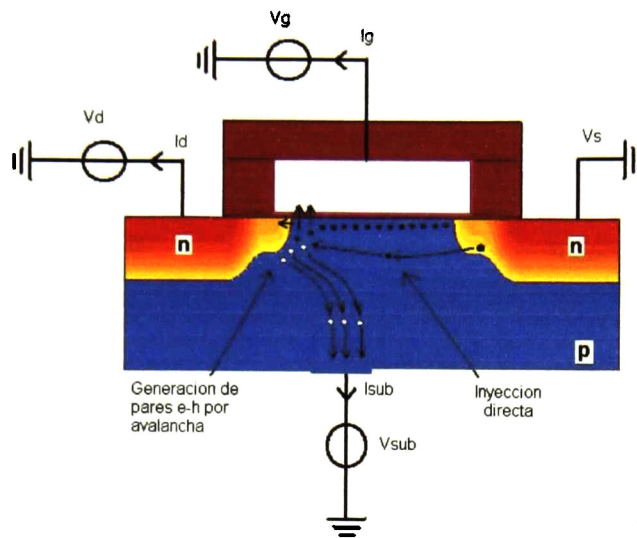


Fig. 4.1 Ilustración del fenómeno de electrones calientes en el canal.

4.1.2. Rompimiento por Avalancha.

El rompimiento por avalancha es un fenómeno que se puede presentar en algunos dispositivos semiconductores, en el caso de un MOSFET, esto sucede cuando el voltaje del drenador es llevado más allá del límite de la tecnología, provocando que la ionización por impacto tienda a ser infinita.

Este efecto tiene lugar debido a que en la polarización inversa de la unión p-n, formada en este caso por el drenador y el sustrato, se generan pares de electrones y huecos que al entrar al campo eléctrico de la unión son arrastrados, generando así una corriente de avalancha para un campo eléctrico crítico.

4.1.3. Rompimiento en la superficie.

Un aspecto a resaltar es el hecho de que el rompimiento por avalancha se presenta primeramente en las regiones cilíndricas de la unión, es decir, donde existe una curvatura. Esto sucede debido a que es en esta zona donde se concentran con más intensidad las líneas del campo eléctrico (E). Sin embargo existe un factor que tiene gran influencia en este fenómeno, y es la carga que pueda existir en la superficie del dispositivo.

Como se puede observar en la Figura 4.2, en donde se tiene el mismo caso de la unión p-n, si existe un electrodo conductor sobre la unión (comúnmente llamado “*Field Plate*”) y a esta se le aplica un voltaje, se tendrá un impacto directo sobre las líneas del campo eléctrico. Si el voltaje aplicado es menor que cero, las líneas de campo tenderán a concentrarse más sobre la

curvatura, provocando una disminución en el voltaje de rompimiento. En cambio, cuando es aplicado un voltaje positivo al electrodo de campo, las líneas del campo serán distribuidas, teniendo como consecuencia que el voltaje de ruptura aumente.

Cabe señalar que el voltaje de ruptura puede llegar a aumentar o disminuir en proporción directa al voltaje aplicado sobre el electrodo de campo. Sin embargo, existe un límite en que el voltaje de ruptura ya no podrá aumentar o disminuir más aunque el voltaje en el electrodo lo siga haciendo.

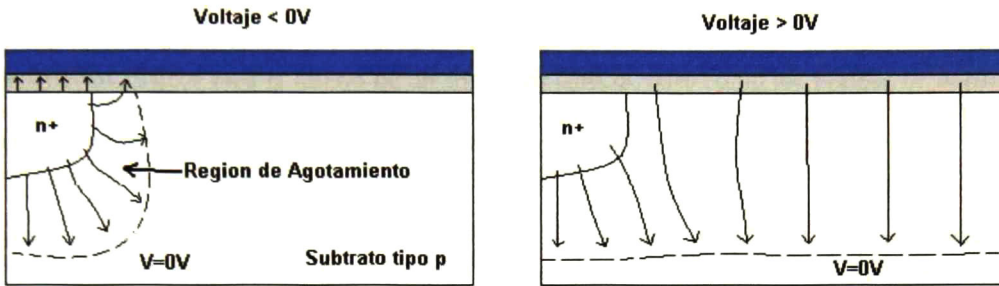


Fig. 4.2 Ilustración del efecto de aplicar un voltaje en el *field plate* que se encuentra encima de una unión p-n.

4.1.4. Rompimiento en el óxido de la compuerta.

Este fenómeno ocurre cuando el voltaje en la compuerta es llevado más allá del límite establecido por la tecnología. Como era de esperarse, este efecto está directamente ligado al grosor del óxido por debajo de la compuerta.

Como se vio en la sección 4.1.1, el efecto de los electrones calientes en la compuerta, pueden degradar el funcionamiento del dispositivo al haber cargas atrapadas en el óxido; pero si el voltaje es aun superior se puede llegar a la destrucción del transistor.

El hecho de que el grosor del óxido en la compuerta sea cada vez más delgado, debido al escalamiento de la tecnología, tiene como consecuencia que el límite del voltaje en la compuerta sea cada vez menor. Además el hecho de que existan defectos en el óxido de silicio (SiO_2) provoca que este voltaje límite tenga una reducción.

4.2 Extracción de los parámetros de la tecnología AMI 0.5 μm .

Una cuestión primordial para poder hacer la evaluación y el posible diseño de un dispositivo es conocer los parámetros tecnológicos de la tecnología en que se va a trabajar. Así mismo, es importante conocer antes que todo, las limitaciones de la tecnología seleccionada para poder estimar en que rango de voltaje es posible operar, sin que el dispositivo se vea dañado o alterado por alguno de los fenómenos descritos en la sección anterior.

La tecnología propuesta para realizar el diseño de los transistores de alto voltaje, que tendrán como propósito funcionar como conmutador del amplificador de potencia clase E analizado en el capítulo anterior, es la tecnología AMI C5 0.5 μm . Esta es una tecnología que cuenta con tres capas de metal y dos capas de polisilicio y que nominalmente esta diseñada para aplicaciones de 5 V [2]. La selección de esta tecnología obedece principalmente a dos factores: primero la disponibilidad de la misma gracias al servicio de MOSIS (*MOS Implementation Service*) [3]; y segundo el hecho de que se esta buscando una aplicación de alta frecuencia, por lo tanto es conveniente trabajar con una tecnología de dimensiones menores de lo que pudiera ser la tecnología AMI ABN 1.2 μm (la otra de las tecnologías disponibles a través de MOSIS).

Ahora bien, la información a la que se tiene acceso para esta tecnología, es reducida; algunos parámetros básicos para el diseño de un transistor CMOS, tales como los perfiles de dopado, no están disponibles en los modelos que son proporcionados por MOSIS; por lo tanto es importante encontrar un método a través del cual se puedan extraer los parámetros de dicha tecnología para así poder estimar su voltaje de ruptura.

Una solución propuesta para este problema es el uso de ISE TCAD [4]. Este programa de simulación por computadora es una herramienta que permite el desarrollo y optimización de las tecnologías de semiconductores y los dispositivos creados en ellas. Esta herramienta se basa en la resolución de ecuaciones diferenciales fundamentales a nivel de la física de los semiconductores, lo que hace que esta aproximación sea de gran precisión. Inclusive en muchas ocasiones es posible y preferible sustituir, para ganar tiempo y reducir costos, el uso de un simulador como este para el desarrollo y caracterizado de una nueva tecnología o dispositivo.

Por otro lado, tenemos la simulación de las características I-V en T-Spice basada en un modelo como BSIM3. MOSIS proporciona todos los parámetros requeridos para realizar dichas simulaciones para la tecnología mencionada. Los parámetros de este modelo junto con su descripción pueden ser encontrados en [5].

Así, un buen método para obtener los resultados deseados, anteriores a la fabricación del dispositivo, es el ajuste de la simulación obtenida en ISE en concordancia con los resultados obtenidos a través de T-Spice. Generalmente esto puede lograrse cambiando los perfiles de dopado de la estructura del dispositivo propuesto en ISE, hasta llegar a obtener curvas de voltaje *versus* corriente que ajusten con las obtenidas en T-Spice.

El primer paso consiste es contar con el dimensionamiento del dispositivo, lo cual se realizo en MDRAW de ISE, tomando en cuenta algunos datos propios de la tecnología, tales como la mínima longitud del canal (L_{\min}), el grosor del óxido por debajo de la compuerta (t_{ox}), así como la concentración de dopado en el sustrato. Además, es importante mencionar que esta tecnología cuenta con LDD (*lightly doped drain*) [6]. El esquema final del dispositivo NMOS a simular en ISE para una estructura nominal de bajo voltaje, se muestra en la Figura 4.3.

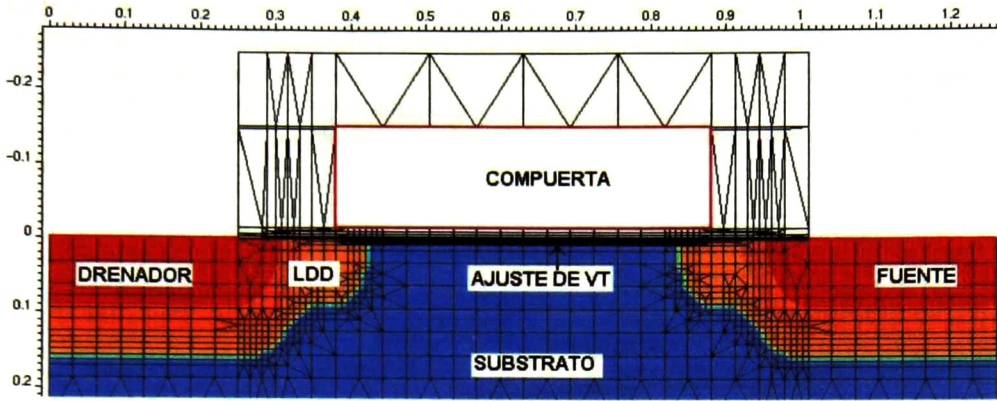


Fig. 4.3 Dispositivo N-MOSFET diseñando en MDRAW de ISE para buscar la correlaciona con el modelo simulado en T-Spice.

Una vez teniendo el dispositivo virtual a simular, se procedió a cambiar los perfiles de dopado como ya se había mencionado, hasta lograr el mejor ajuste con las curvas de I-V de T-Spice; además también se buscó obtener un voltaje de umbral igual al proporcionado por los datos de MOSIS. Es necesario señalar que el voltaje de umbral pudo ser obtenido gracias a una herramienta de ISE (*DESI*) como se muestra en la Figura 4.4.

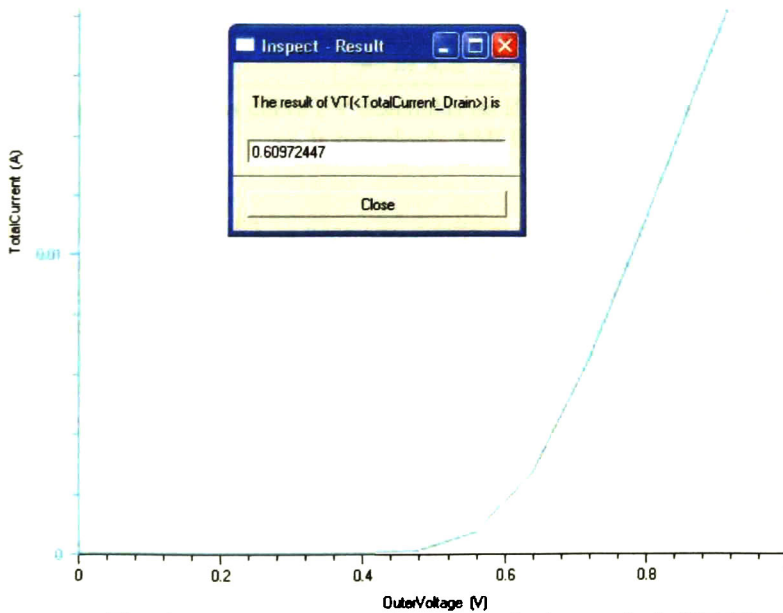


Fig. 4.4 Obtención del voltaje de umbral a través de DESI.

La Figura 4.5 muestra una comparación entre los grupos de curvas obtenidas a través de ISE y el grupo de curvas simuladas en T-Spice con el modelo del transistor BSIM3 [7], después de hacer el ajuste necesario en los perfiles de dopado. Como se puede observar en esta gráfica, el modelo de ISE muestra un buen ajuste, tanto para las curvas de corriente, como para el voltaje de umbral, por lo que los perfiles de dopado propuestos deberán estar muy cercanos a la realidad.

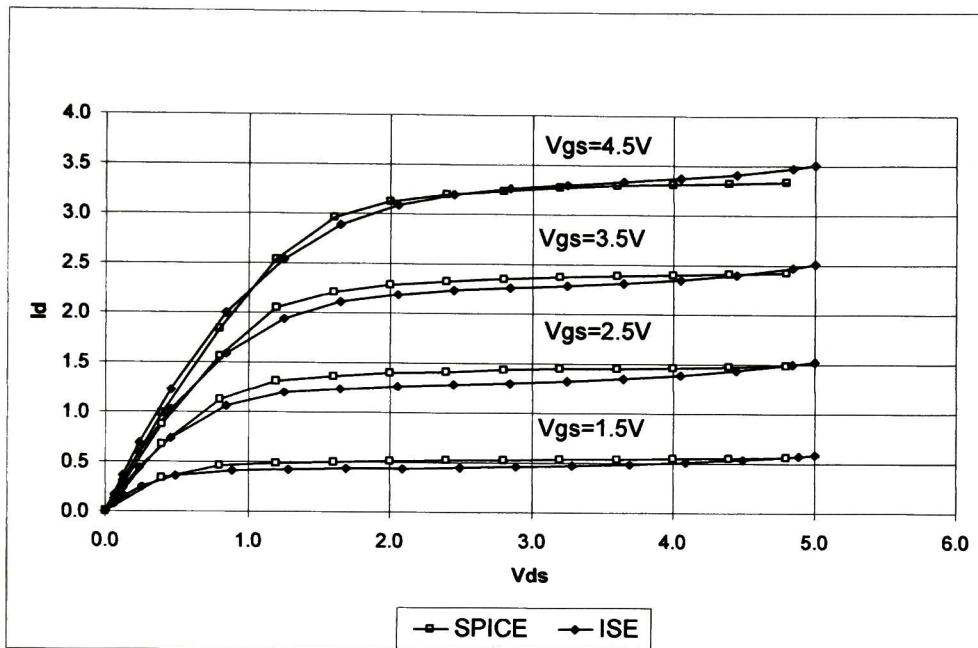


Fig. 4.5 Comparación de las curva I-V obtenidas en ISE y T-Spice para un transistor NMOS en la tecnología AMI 0.5 μm .

Como se verá en la Sección 4.3, es necesario contar con las características del perfil de dopado del pozo N para realizar el diseño del transistor de alto voltaje. Para realizar un transistor PMOS en la tecnología CMOS se debe crear un pozo N para formar el sustrato, por lo cual una buena manera de estimar los parámetros de esta máscara (pozo N), es realizar el mismo procedimiento que se realizó para el transistor NMOS, es decir hacer un ajuste de los perfiles de dopado hasta obtener los valores más cercanos al modelo BSIM3 para el transistor tipo P; es decir, las características I-V, como el voltaje de umbral; los resultados son mostrados en las Figura 4.6. La concentraciones de dopado para el transistor PMOS que se simuló en ISE son presentados en Figura 4.7.

Finalmente para terminar esta sección, se mencionará que existen distintos métodos que permiten calcular numéricamente en base al modelo físico, el valor del Voltaje de Ruptura (BV) [1]; sin embargo, gracias al simulador T-CAD ISE este valor puede ser obtenido directamente, ya que como se había mencionado anteriormente, ISE toma en cuenta los fenómenos físicos para realizar la simulación. Así, el valor del BV que se obtiene para el transistor NMOS en la

tecnología AMI 0.5 μm es de aproximadamente 10.1V. Esto simulación que se muestra en la Figura 4.8.

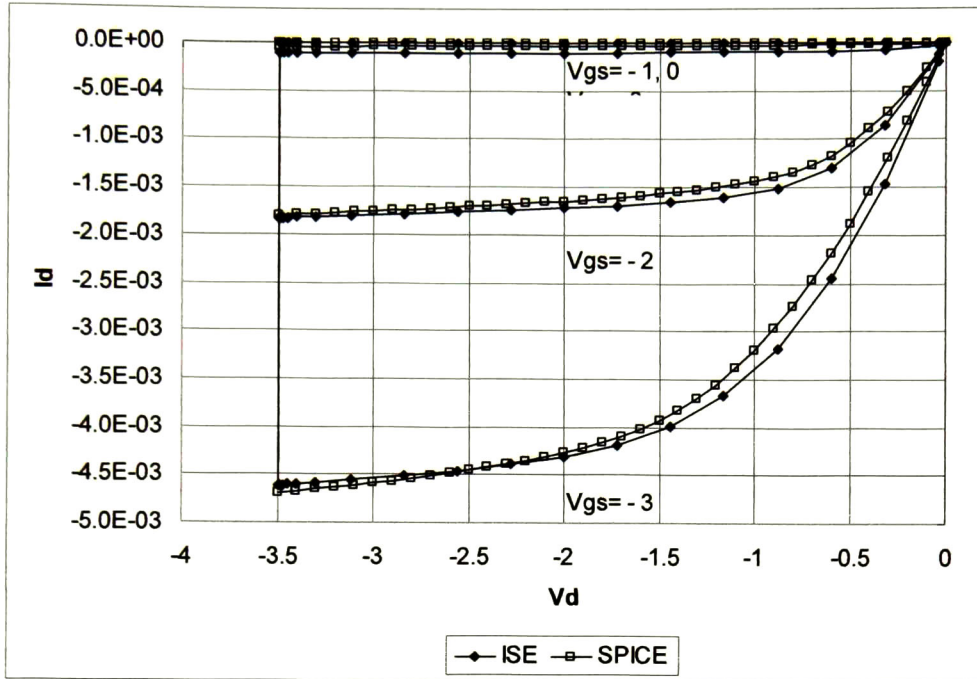


Fig. 4.6 Comparación de las curva I-V obtenidas en ISE y T-Spice para un transistor PMOS.

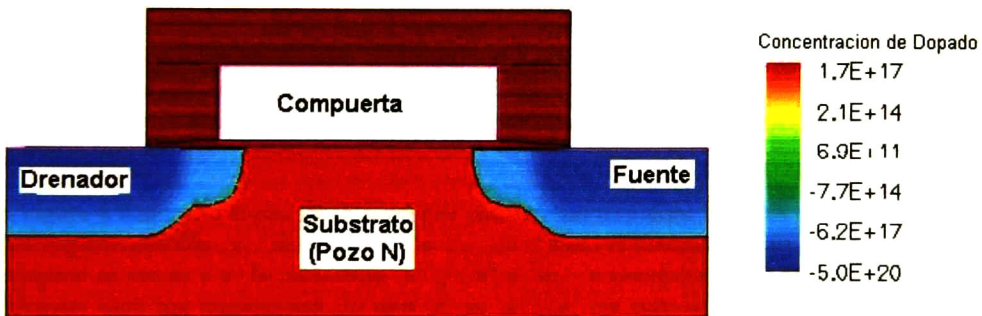


Fig. 4.7 Concentración de dopado para el transistor PMOS simulado en ISE.

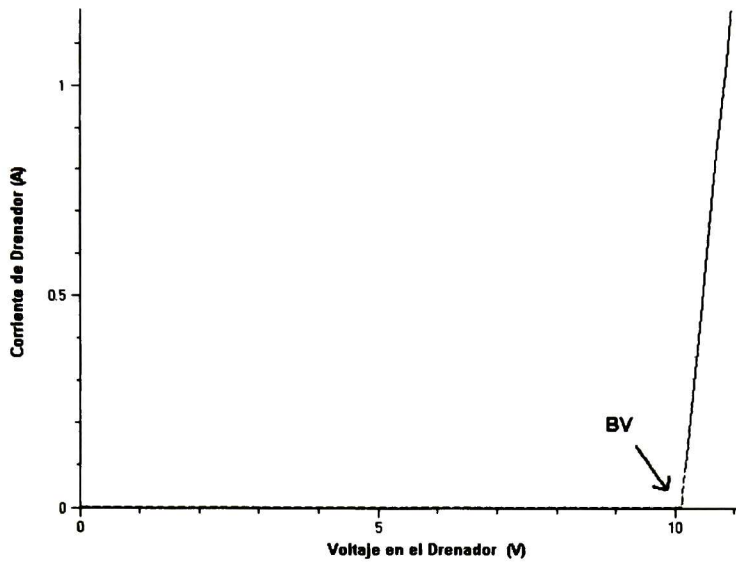


Fig. 4.8 Obtención del voltaje de ruptura (BV) a través de la simulación directa en ISE.

4.3. El transistor XD MOS.

Para obtener un transistor que sea capaz de tener un mayor voltaje de ruptura, hay básicamente dos modificaciones que se hacen: primero, se extiende el drenador con una región con menor nivel de dopado, lo que comúnmente es conocido como drenador extendido (*Extended Drain, XD*) o drenador ligeramente dopado (*Light Doped Drain, LDD*); la segunda modificación que se hace, es extender la compuerta por encima de un óxido grueso (FOX, *Field Oxide*) formando el plato de campo (*field plate*), que había sido discutido someramente en la Sección 4.1.3, que ayuda distribuir el campo eléctrico superficial.

Cabe señalar que ninguna de estas modificaciones emplean un proceso extra o representan una capa especial en la tecnología CMOS, simplemente se emplean algunas otras máscaras que suelen utilizarse con otros propósitos, y se hacen algunas alteraciones en el layout estándar de un transistor.

La Figura 4.9 muestra la sección transversal tanto de un transistor NMOS, como uno transistor PMOS para alto voltaje. Como se puede ver, en el caso del transistor tipo N, la extensión del drenador se forma con la capa pozo N (*N-Well*), que generalmente se utiliza como cuerpo o sustrato para los transistores de tipo P; en el caso del dispositivo de tipo P, el drenador extendido se forma con una implantación llamada "P-Base", aunque la máscara para formar este implante puede variar de acuerdo a la tecnología que se esta empleando.

Debido al interés en la creación de un transistor de alto voltaje NMOS para la aplicación vista en el capítulo anterior (AP clase E), será este transistor el que se analice para su posterior diseño y simulación.

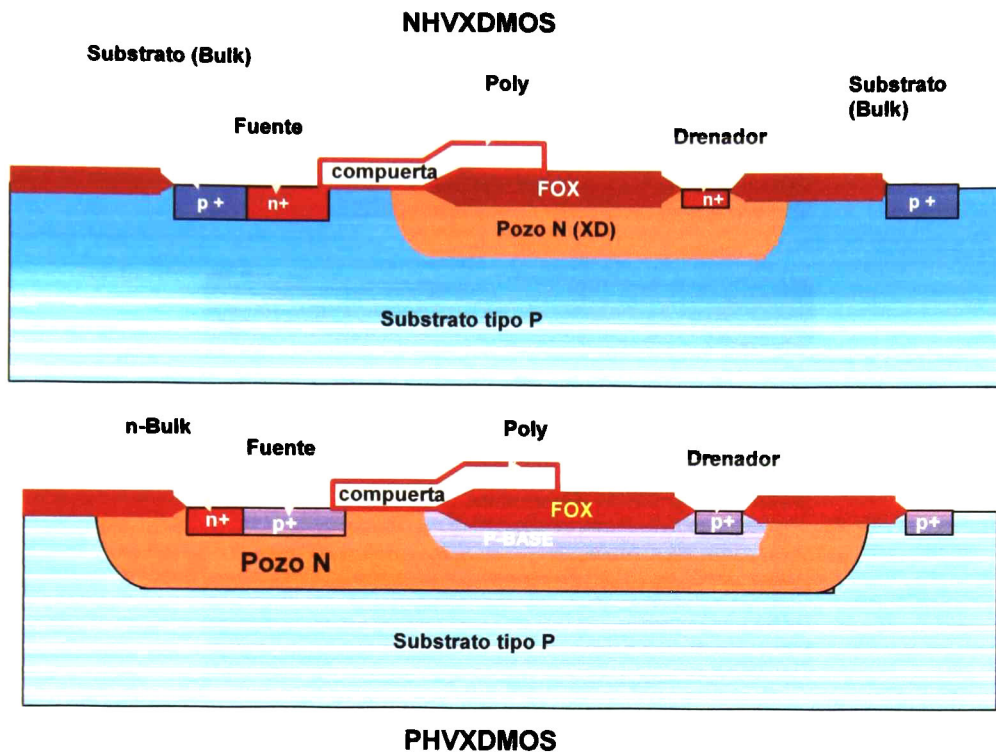


Fig. 4.9 Sección transversal de un transistor para alto voltaje, de drenador extendido tipo P y tipo N.

La Figura 4.10 muestra el layout de una celda básica del transistor de alto voltaje realizada a través del programa L-Edit [8]. Es importante mencionar que en este programa, el procedimiento de designación de capas o *layers* es de alto nivel, por lo que cada inciso de la figura pudiera involucrar una o más etapas tecnológicas del proceso. El principal objetivo de esta figura es identificar y dimensionar las regiones más importantes del diseño, de acuerdo con las reglas y metodología recomendada para el layout. Así, cabe aclarar que efectivamente hay una violación en las reglas de diseño [9], lo que no evita que el dispositivo pueda ser fabricado.

Para tener una idea más precisa del proceso de fabricación del transistor de alto voltaje, a continuación se describen brevemente los pasos que se siguen en dicho proceso. Cabe señalar que esta descripción es en base a la estimación que se ha hecho del proceso, y también del conocimiento de otras tecnologías, pues como ya se ha venido mencionado, se carece de la información exacta por parte del fabricante de las condiciones tecnológicas de su fabricación.

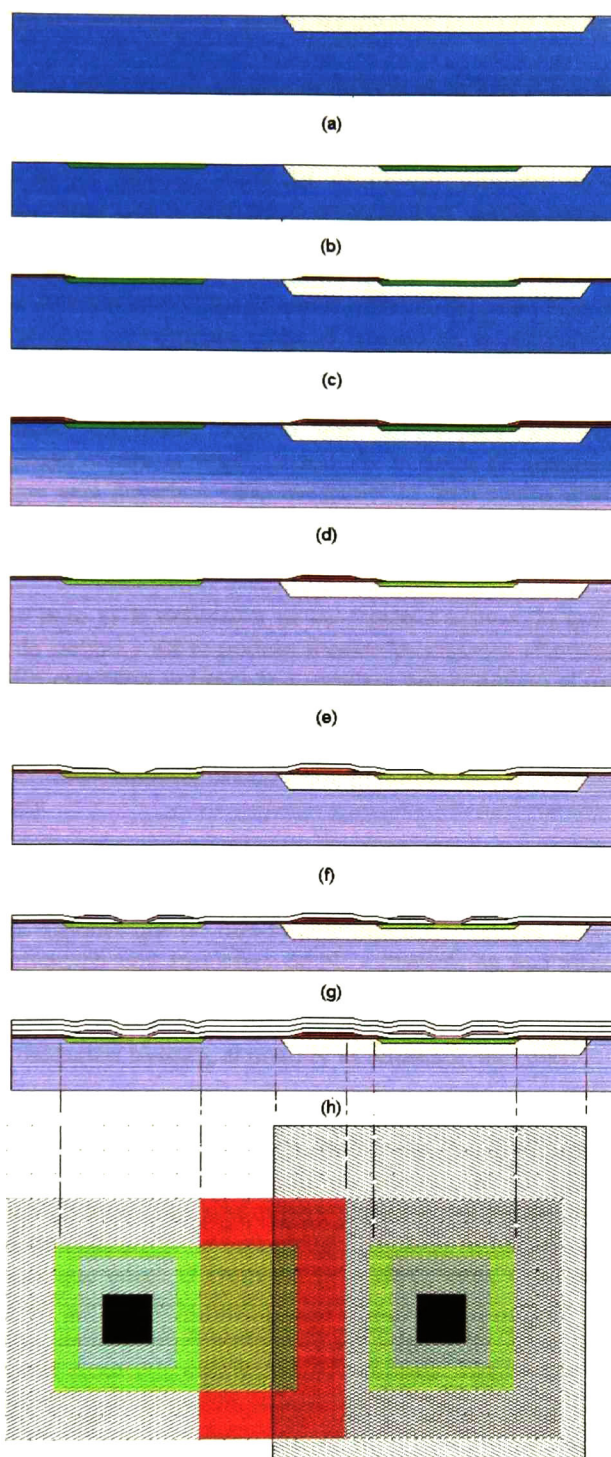


Fig. 4.10 Creación del transistor HVXDNMOS visto desde el diseño del layout en L-Edit.

4.3.1. Tecnología de fabricación de un transistor NMOS de alto voltaje

- 1) Como ya se ha mencionado en esta tecnología se trabaja sobre una oblea tipo P, por lo que el primer paso para la implantación de lo que será el drenaje ligeramente dopado o extensión del drenaje, será utilizar la máscara para el pozo N. Es en este paso donde existe uno de los mayores retos del diseño del transistor de alto voltaje, pues esta implantación tiene una profundidad relativamente grande (entre 2 y 3 μm), lo que se traduce en una difusión lateral que puede variar notablemente el desempeño del dispositivo. Sin embargo, se menciona que el proceso de esta tecnología toma en cuenta esta difusión lateral por lo que la máscara del pozo N es reducida de manera tal que al difundirse lateralmente tenga el tamaño de la máscara original [6]. Este paso comienza por el crecimiento de un óxido grueso que posteriormente es delimitado de acuerdo a la máscara del pozo N definida. Entonces después, en esta región "desnuda" se hace crecer un óxido delgado que servirá para proteger el silicio, para que posteriormente ocurra la implantación de la dosis de fósforo. Así se procede a la difusión, que será llevada a cabo mediante un incremento notable en la temperatura (más de 1000° C); primero en un ambiente libre de oxígeno y posteriormente en una atmósfera con oxígeno seco.
- 2) El segundo paso es la definición de las regiones activas, lo que evitará el crecimiento del óxido de campo y así se podrán formar las regiones altamente dopadas y la región del canal. En este paso se procede a remover por completo el óxido crecido durante el paso anterior, para dar marcha al crecimiento de un óxido delgado en una atmósfera de oxígeno seco, el cual posteriormente será cubierto por una capa de nitruro sobre las regiones definidas como activas, lo que permitirá que la foto-resina sea removida del resto del área.
- 3) Se hace crecer el óxido de campo (FOX) a través del proceso conocido como Oxidación local (LOCOS, por sus siglas en inglés). Como se mencionó este óxido solo crece en las regiones que no fueron definidas como activas. Este paso se realiza en dos etapas, primero en una atmósfera de N_2 y después en una atmósfera húmeda; ambas con temperaturas superiores a los 900° C. Además, el nitruro del paso anterior es removido al igual que el óxido delgado crecido durante el paso 1. Cabe mencionar que durante la oxidación térmica, el pozo N es difundido aun más.
- 4) Se hace crecer una capa fina de óxido de alta calidad que servirá de aislante entre el contacto de la puerta y el canal. La calidad de este óxido evitara el posible rompimiento en el óxido de la compuerta visto en la sección 4.1.5. Después se realiza una implantación de Boro que servirá para ajustar el voltaje de umbral del dispositivo. Al ser ésta una implantación de baja energía, el ajuste es hecho solo en el canal, ya que el óxido grueso que cubre el resto del dispositivo evita que esta implantación llegue a otras áreas del silicio. Posteriormente se hace la deposición de la capa de polisilicio que servirá como contacto de la compuerta del dispositivo. Este polisilicio es dopado para que el material alcance la conductividad necesaria. Finalmente, el óxido de alta calidad es removido de las áreas que no sean la compuerta.

- 5) Se realiza la implantación iónica para crear las regiones altamente dopadas que definirán el drenador y fuente. Esto se consigue con una dosis de Fósforo, que penetra a través de un óxido crecido previamente en estas áreas bajo condiciones especiales.
- 6) Se deposita una capa aislante de CVD SiO₂ de gran grosor, con excepción de las regiones definidas como contactos para drenador, fuente y sustrato.
- 7) El siguiente paso consiste en el depósito de una capa metálica de aluminio que servirá para la interconexión del dispositivo. Esta deposición se hace a través de la máscara definida como Metal1.
- 8) Finalmente se completan todas las capas de metalización, para que así el dispositivo quede terminado.

4.4. Diseño y simulación de un transistor NMOS de alto voltaje.

Para el diseño de un transistor de alto voltaje NMOS existen una serie de parámetros que pudieran ser modificados en aras de conseguir un mayor voltaje de ruptura; algunos de ellos, como los perfiles de dopado son propios de la tecnología y no pueden ser modificados a voluntad, pero otros como las dimensiones del dispositivo, pueden ser cambiados en cierta forma, dentro de las restricciones impuestas por las reglas de diseño.

Sin embargo como se vio en el capítulo anterior, el parámetro que se define como la resistencia de encendido del transistor (R_{on}) es de suma importancia, y tiene que ser lo más pequeño posible para obtener un diseño óptimo del amplificador de potencia clase E. Como se vera el valor de R_{on} también se ve afectado por los parámetros de diseño que analizaremos a continuación.

En la Figura 4.11 tenemos los parámetros de diseño, definidos como longitud de canal (L_c) y longitud del drenador extendido (L_{dd}); la longitud L_{dd} se divide en la región del drenador antes del plato de campo (L_d) y la longitud del plato de campo (L_p), que a su vez se divide en la sección por encima del óxido fino (L_{g1}) y la sección que esta por encima del óxido de campo (L_{g2}).

La longitud de canal mínima (L_c) que se puede tener es de 2λ , considerando las reglas de diseño. Sin embargo si consideramos que la difusión del pozo pudiera entrar al canal, este se vería reducido. Esto podría provocar tener un voltaje de ruptura menor pues se pudiera dar un rompimiento por alcance de las regiones de depleción, lo que provocaría que hubiera corriente aun sin existir un voltaje en la compuerta.

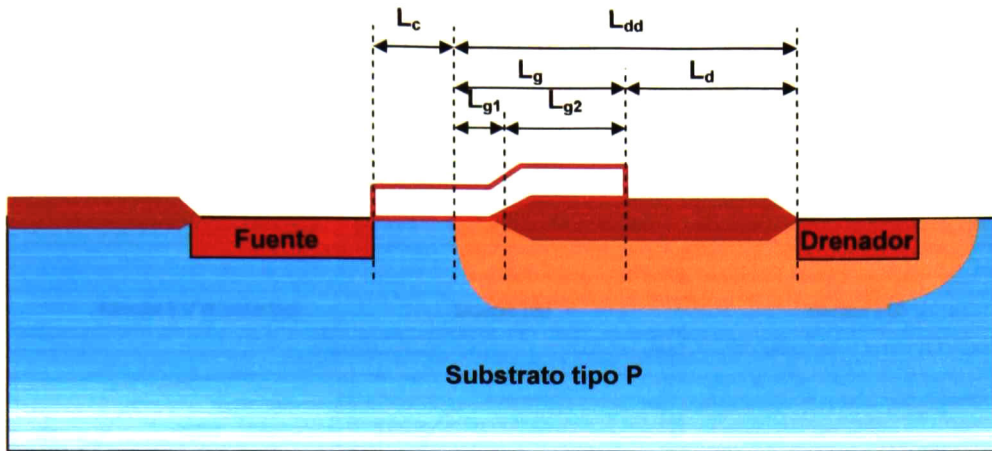


Fig. 4.11 Parámetros de diseño del HVXDNMOS.

En el caso de la longitud del drenador extendido existe un compromiso, pues por un lado al reducir esta región, lógicamente se tendría una resistencia de encendido menor, pero por otro lado el BV se vería reducido, y viceversa, si aumentamos esta longitud, se obtendría un mayor voltaje de ruptura pero también una resistencia mayor lo que no sería conveniente para el AP. Así pues, este parámetro jugará un papel fundamental en el desempeño del transistor de alto voltaje y consecuentemente, en el AP. Además, como se menciona en el inciso (a) de la sección anterior, la longitud L_{g1} (parte de la longitud del drenador extendido) tendrá que ver con la difusión lateral de la máscara del pozo N (la cual no está del todo definida). Esta longitud es de suma importancia, puesto que incidirá directamente en el voltaje de ruptura como en la resistencia de encendido. La Figura 4.12 muestra una comparación desarrollada en ISE entre el transistor de bajo voltaje y el transistor de alto voltaje con dos valores distintos para la longitud L_{g1} . Como era de esperar el voltaje de ruptura estará relacionado inversamente a esta longitud, así mismo la resistencia de encendido se verá incrementada conforme esta longitud disminuya.

Para el diseño de nuestro dispositivo, en primera instancia se proponen utilizar los menores valores permisibles por las reglas de diseño. El dispositivo resultante realizado en la herramienta de M-DRAW se muestra en la Figura 4.13. Como se puede observar la región del drenador extendido es reducido o “grabado” en la parte del canal por el implante para el ajuste del voltaje de umbral. Dado el carácter experimental del diseño de este dispositivo, se propuso tres dispositivos con valores de L_g diferentes. Esto es $L_g = 0.6 \mu\text{m}$, $0.75 \mu\text{m}$ y $0.9 \mu\text{m}$.

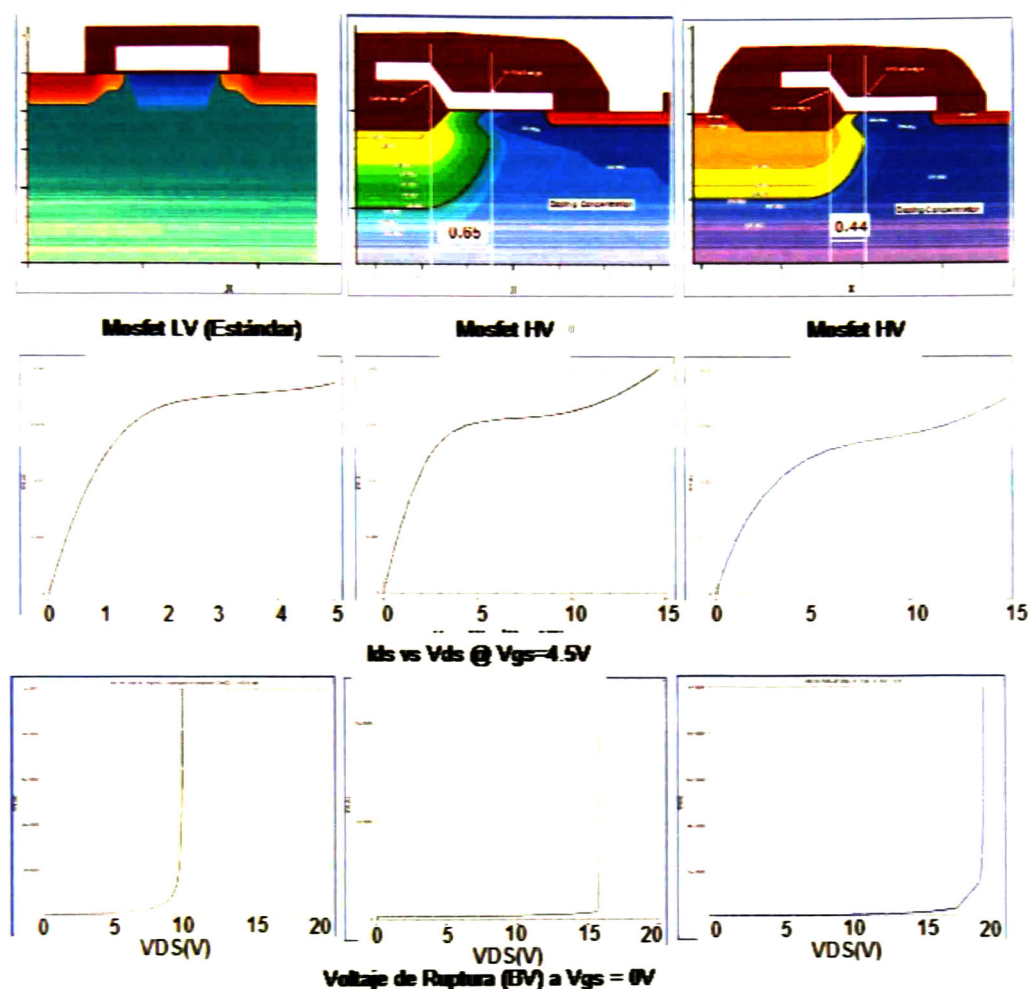


Fig. 4.12 Voltaje de ruptura y resistencia de encendido (pendiente de la curva de voltaje-corriente), para un transistor N-MOS convencional y un HVN MOS con dos valores distintos para L_g .

Sin embargo, en la literatura se encontraron referencias que se contradicen en cuanto a la difusión de la capa pozo N (directamente relacionada al parámetro L_g). Por un lado [10] menciona que al hacer el diseño del layout, la máscara pozo N no contempla la difusión lateral que ésta tendrá. En cambio en [6], se menciona que cuando se define la máscara de layout para el pozo N, el fabricante reduce el área de implantación, de tal manera que cuando este se difunde, el borde de la implantación quedará justo en el borde de la máscara definida. Esta última afirmación parece más contundente y lógica. Así pues, en el diseño de nuestro dispositivo se asume que la máscara de layout toma en cuenta la difusión lateral y por lo tanto la longitud L_g estará completamente definida desde el diseño de layout.

Finalmente, en la Figura 4.14 se muestra las características I-V del dispositivo considerado como ideal ($L_g = 0.75 \mu\text{m}$) de acuerdo a las simulaciones en ISE. El voltaje de ruptura fue calculado con DESIS y se estableció en 19.9 V, lo que asegura tener un margen de al menos 20% respecto al máximo voltaje estimado para el AP clase E, el cual es de 15.7 V. Esta condición es de suma importancia para asegurar el buen funcionamiento del transistor. La resistencia de encendido fue calculada para la máxima corriente a manejar y esta fue igual a 1.2 Ω .

Es conveniente aclarar nuevamente, que el modelo BSIM3 para SPICE con el parámetro RSH modificado, solo coincide con las curvas de la Figura 4.14 en su región lineal y dado que esta es la sección donde estará trabajando el AP cuando el transistor se encuentre activo, este modelo se consideró válido para dicho propósito. Esto se puede apreciar en la Figura 4.15.

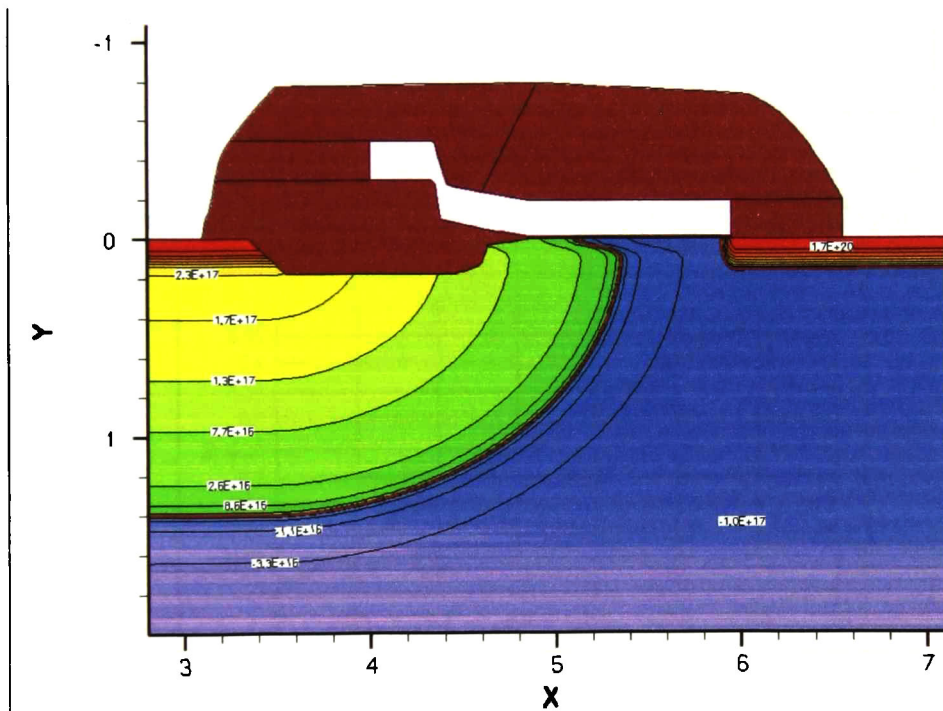


Fig. 4.13 Dispositivo HVXDNMOS diseñado en MDRAW para su simulación en ISE.

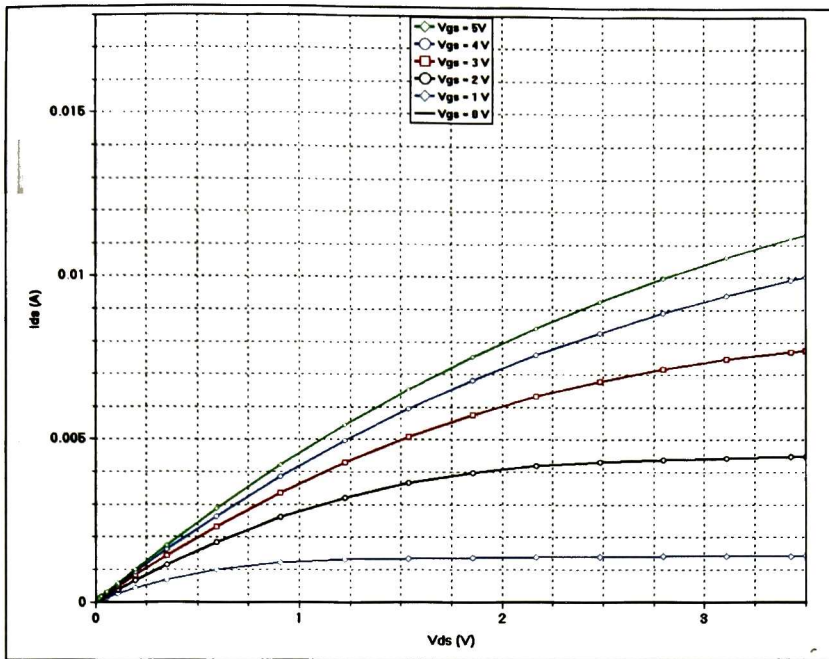


Fig. 4.14 Curvas de I-V para el transistor XD HV-NMOS. $L_g = 0.75 \mu\text{m}$.

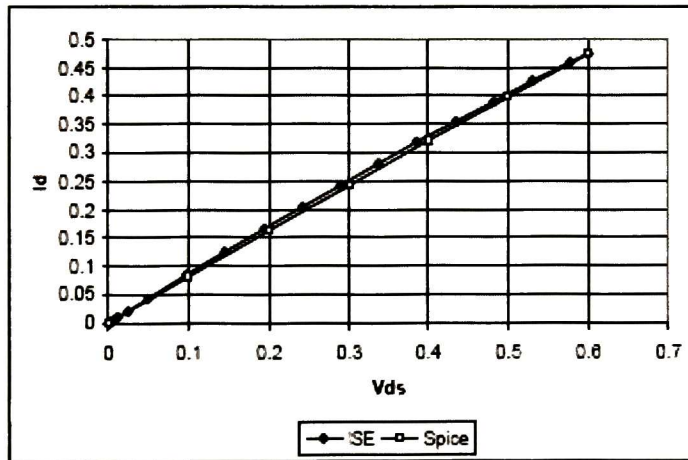


Fig. 4.15 Comparación de la región lineal para el transistor HV diseñado. El modelo de Spice corresponde al modelo BSIM3 con la modificación propuesta en el capítulo anterior para el parámetro R_{SH} .

4.5. Implementación del diseño y consideraciones de Layout.

Con la finalidad de corroborar los datos de la sección anterior, se propuso el diseño de 4 diferentes dispositivos de prueba para su fabricación: un transistor NMOS de bajo voltaje o convencional y tres transistores NMOS de alto voltaje (drenador extendido) con los tres diferentes valores de L_{g1} . En los 4 dispositivos se usó la longitud de canal mínima permitida ($0.6\mu\text{m}$). La celda básica de diseño para el transistor de bajo voltaje se ajustó con los valores mínimos de diseño dados por la tecnología Mosis. Mientras que para el caso de alto voltaje, como ya había sido mencionado anteriormente, fue necesario hacer algunas violaciones a dichas reglas, dada la presencia de la máscara del pozo N dentro del canal. La celda básica de diseño puede observarse en la Figura 4.16. El transistor de alto voltaje que se observa en esta figura, representa solo uno de los tres dispositivos fabricados, en este caso el de $L_{g1} = 0.5\lambda$. Los cuatro dispositivos mencionados se diseñaron con un ancho $W=40\mu\text{m}$ como se había propuesto en el capítulo anterior para el propósito de la celda unitaria. Todo el diseño de layout se hizo utilizando el programa L-Edit, que viene incluido en el paquete de diseño de circuitos integrados de Tanner.

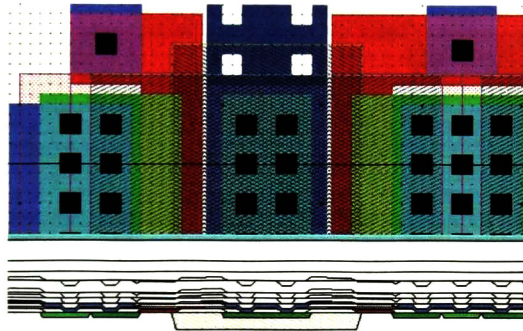


Fig. 4.16 Celda básica del transistor de alto voltaje. $L_{g1}=0.15\mu\text{m}$

Además de los cuatro transistores ya mencionados se propuso la fabricación de los dos dispositivos más, capaces de manejar una mayor corriente y que pudieran actuar como conmutador en el AP: uno convencional y otro de alto voltaje. En ambos casos el ancho W seleccionado fue de $800\mu\text{m}$ con una celda unitaria $n=40\mu\text{m}$, como previamente había sido descrito. Cabe aclarar que este no fue el ancho W final propuesto en el capítulo anterior para el AP, sin embargo dado el carácter experimental de este diseño, se creyó conveniente fabricar primero un dispositivo de menores dimensiones que en cierta forma sería más fácilmente controlable. La idea es que posteriormente, y con la certeza del diseño del dispositivo de alto voltaje se pudiera hacer incluso la integración de más componentes del AP en el mismo chip.

Para el diseño propio del layout se recurrió a repetir la celda básica tantas veces como fuese necesario hasta lograr el dimensionamiento propuesto del transistor; sin embargo, como ya había sido mencionado en la Sección 3.4, las resistencias de contacto para la compuerta tienen un considerable efecto en el diseño final del AP. Por esta razón se optó por usar un doble contacto en la compuerta como se sugiere en [11] y así reducir en la medida de lo posible dicha

resistencia. Además, a la frecuencia que se estará trabajando el paso de la corriente por drenador y fuente, comienza a ser un factor que hay que cuidar para no tener pérdidas debido a los distintos fenómenos que se pudieran presentar.

Así pues, se procedió a encontrar la mejor alternativa para el diseño del transistor; en la literatura se encontraron distintas propuestas que estudiaban y proponían distintas estructuras para el diseño; incluso se encontró en la propuesta de un diseño de transistor en forma de anillo o circular. Esta parecía una buena propuesta, sin embargo, dadas las limitaciones del programa L-Edit, solo se pudo contemplar una estructura cuadrada, como la que se observa en la Figura 4.17. En esta estructura cada uno de los cuatro sectores tiene el mismo dimensionamiento, tratando de que exista así, una distribución más homogénea de la corriente y que todos los "dedos" o celdas unitarias tengan más o menos la misma resistencia de contacto.

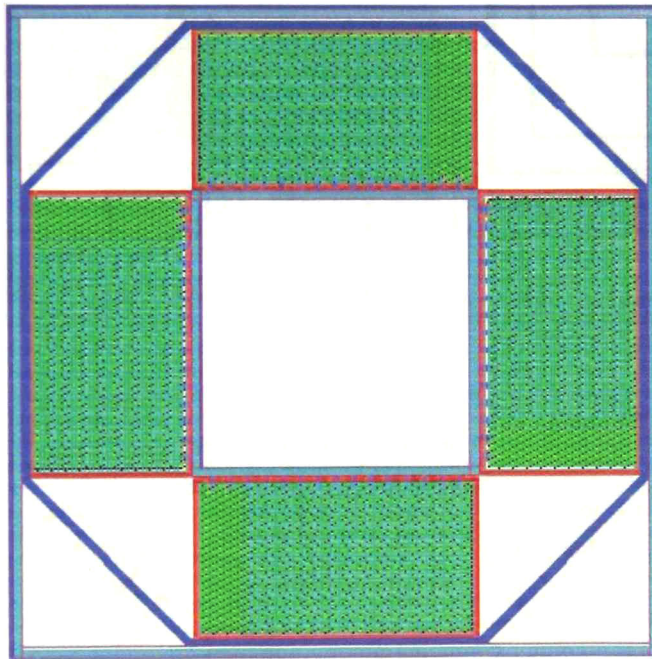


Fig. 4.17 Estructura de layout propuesta para el transistor de $W=800 \mu\text{m}$.

La Figura 4.18 muestra la disposición final del chip que se mando fabricar. Como se puede observar, además de los dispositivos ya mencionados anteriormente, existen otros dos: una resistencia de prueba y un conmutador para un amplificado D que esta formado por dos transistores. Estos dos dispositivos corresponden al trabajo de otros miembros del equipo de diseño electrónico.

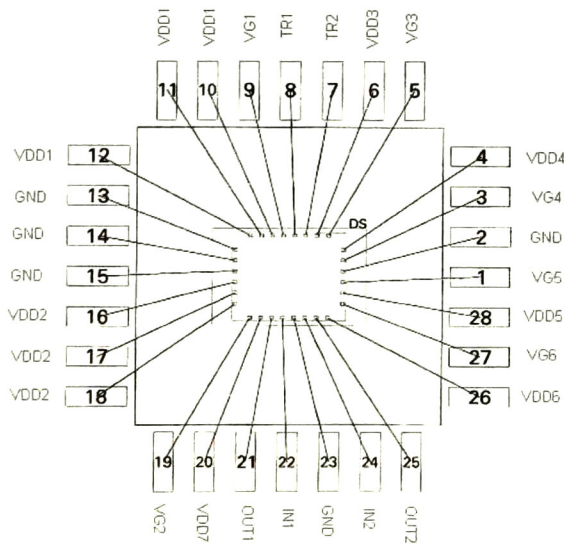
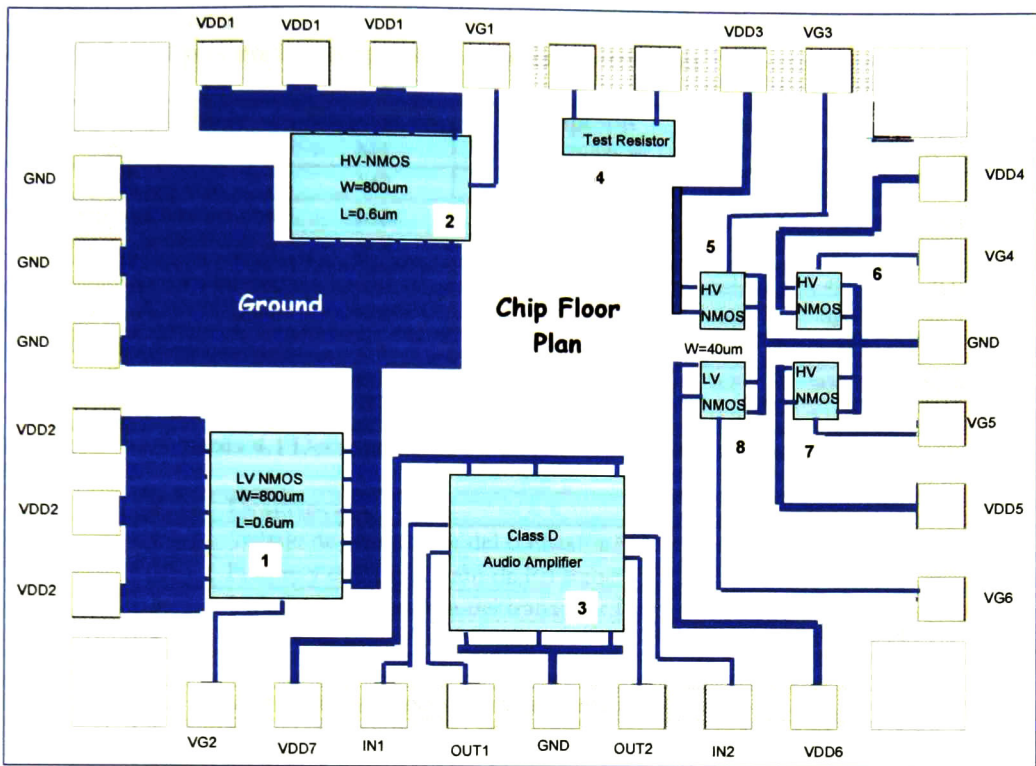


Fig. 4.18 Disposición final del chip mandado a fabricar.

La Tabla 4.1 muestra un resumen de todos los dispositivos diseñado dentro del chip, mientras que la Tabla 4.2 muestra la descripción de cada uno de los pines.

Propósito	Dispositivo	Descripción	L (μm)	W(μm)	Lg(μm)
AP clase E	M1	XDHV NMOS	0.6	800	0.75
AP clase E	M2	LV NMOS	0.6	800	N.A.
Transistor de Prueba	M3	XDHV NMOS	0.6	40	0.9
Transistor de Prueba	M4	XDHV NMOS	0.6	40	0.75
Transistor de Prueba	M5	XDHV NMOS	0.6	40	0.6
Transistor de Prueba	M6	LV NMOS	0.6	40	N.A.
Resistor de Prueba	R1	-	100	100	N.A.
AP clase D	M7	LV PMOS	0.6	9000	N.A.
AP clase D	M8	LV PMOS	0.6	1100	N.A.

Tabla 4.1 Descripción de los dispositivos fabricados en el chip.

PIN	Descripción
1	Voltaje de compuerta del transistor M5
2	Fuente y cuerpo común de los transistores M3, M4, M5, M6
3	Voltaje de compuerta del transistor M4
4	Voltaje de drenador del transistor M4
5	Voltaje de compuerta del transistor M3
6	Voltaje de drenador del transistor M3
7	Terminal 1 del Resistor de Prueba
8	Terminal 2 del Resistor de Prueba
9	Voltaje de compuerta del transistor M1
10	Voltaje de drenador del transistor M1
11	Voltaje de drenador del transistor M1
12	Voltaje de drenador del transistor M1
13	Fuente y cuerpo común de los transistores M1, M2
14	Fuente y cuerpo común de los transistores M1, M2
15	Fuente y cuerpo común de los transistores M1, M2
16	Voltaje de drenador del transistor M2
17	Voltaje de drenador del transistor M2
18	Voltaje de drenador del transistor M2
19	Voltaje de compuerta del transistor M2
20	Voltaje de alimentación del amplificador clase D
21	Salida 1 del amplificador clase D
22	Entrada 1 del amplificador clase D
23	Tierra del amplificador clase D
24	Entrada 2 del amplificador clase D
25	Salida 2 del amplificador clase D
26	Voltaje de drenador del transistor M6
27	Voltaje de compuerta del transistor M6
28	Voltaje de drenador del transistor M5

Tabla 4.2 Descripción de los pines del chip.

4.6. Mediciones y resultados.

Después de haber mandado fabricar el chip en cuestión, se procedió a hacer las mediciones correspondientes para corroborar lo datos simulados y tener la certeza de que el transistor NMOS, tanto de bajo como de alto voltaje, funcionaría para los propósitos que fue diseñado. Para hacer dichas mediciones se uso una tarjeta previamente diseñada, la cual tiene un *socket* que se adapta perfectamente al tipo de empaquetado de chip fabricado. Esta tarjeta es propiedad del grupo de diseño electrónico del CINVESTAV y se muestra en la Figura 4.19. Esta tarjeta facilita en gran medida la tarea ya que sin ella sería realmente complicado hacer las mediciones. Si bien es cierto que la tarjeta por si misma podría constituir elementos parásitos extras, ya que no se encuentra optimizada para cuestiones de altas frecuencias, las mediciones realizadas en ella son exclusivamente de DC, para caracterizar las curvas de I-V de los distintos dispositivos así como su voltaje de umbral.

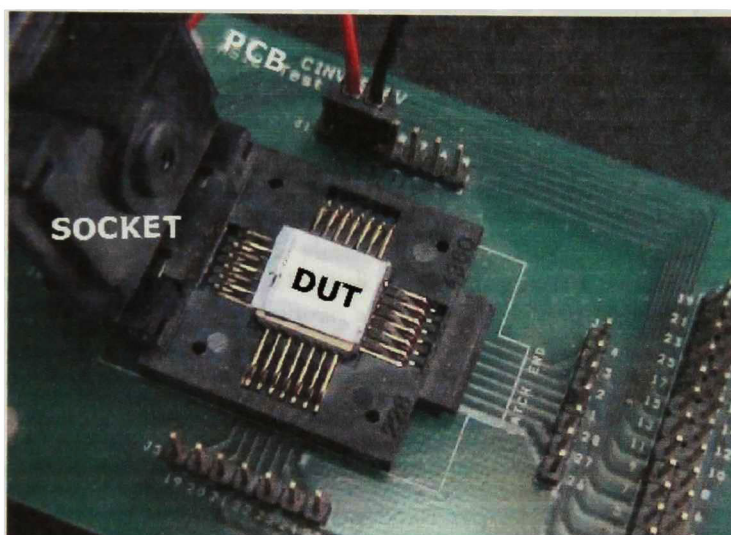


Fig. 4.19 Tarjeta usada para realizar las mediciones en el chip.

Para dicho propósito se utilizo la configuración mostrada en la Figura 4.20. Se hizo variar el voltaje en el drenador a un voltaje de compuerta fijo, conectando un amperímetro entre la fuente V_{DD} del drenador y el dispositivo para así medir la corriente en el dispositivo. En el caso del voltaje de umbral, se puso fijo el voltaje en el drenador a 50mV, y se hizo variar el voltaje en la compuerta hasta que se observo un aumento considerable en la corriente. Como era de esperarse, no se procedió a medirse el voltaje de ruptura de los distintos dispositivos ya que esto representaba el daño permanente en el transistor.

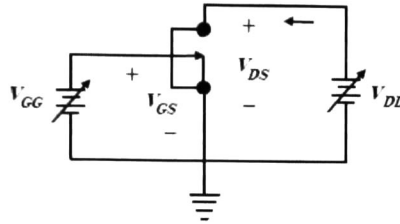


Fig. 4.20 Configuración usada para realizar las mediciones I-V.

En la Figura 4.21 se puede observar las características medidas de I-V de los distintos dispositivos de 40 μm . Como se puede apreciar, el transistor NMOS de bajo voltaje tiene un comportamiento casi idéntico al simulado tanto en T-Spice como en ISE (consultar Figura 4.5); sin embargo los transistores de alto voltaje presentan un comportamiento diferente al esperado; si bien es cierto que la corriente es mayor conforme el valor de L_g aumenta, como se había predicho (Fig. 4.12), se puede apreciar que a pesar de que el voltaje en la compuerta es igual a cero, existe una corriente que se incrementa conforme el voltaje en el drenador crece. Por tal motivo, no se pudo encontrar el voltaje de umbral para los dispositivos de alto voltaje ya que parecería que siempre se encuentran activos. En contraste, la Figura 4.22 muestra la obtención del voltaje de umbral para el dispositivo de bajo voltaje, el valor corresponde al esperado. Es necesario aclarar que por cuestiones de resolución del equipo de medición fue necesario hacer una aproximación gráfica, como se muestra (Fig. 4.22b).

Finalmente las curvas de la gráfica 4.23 muestran la corriente en función del parámetro L_g .

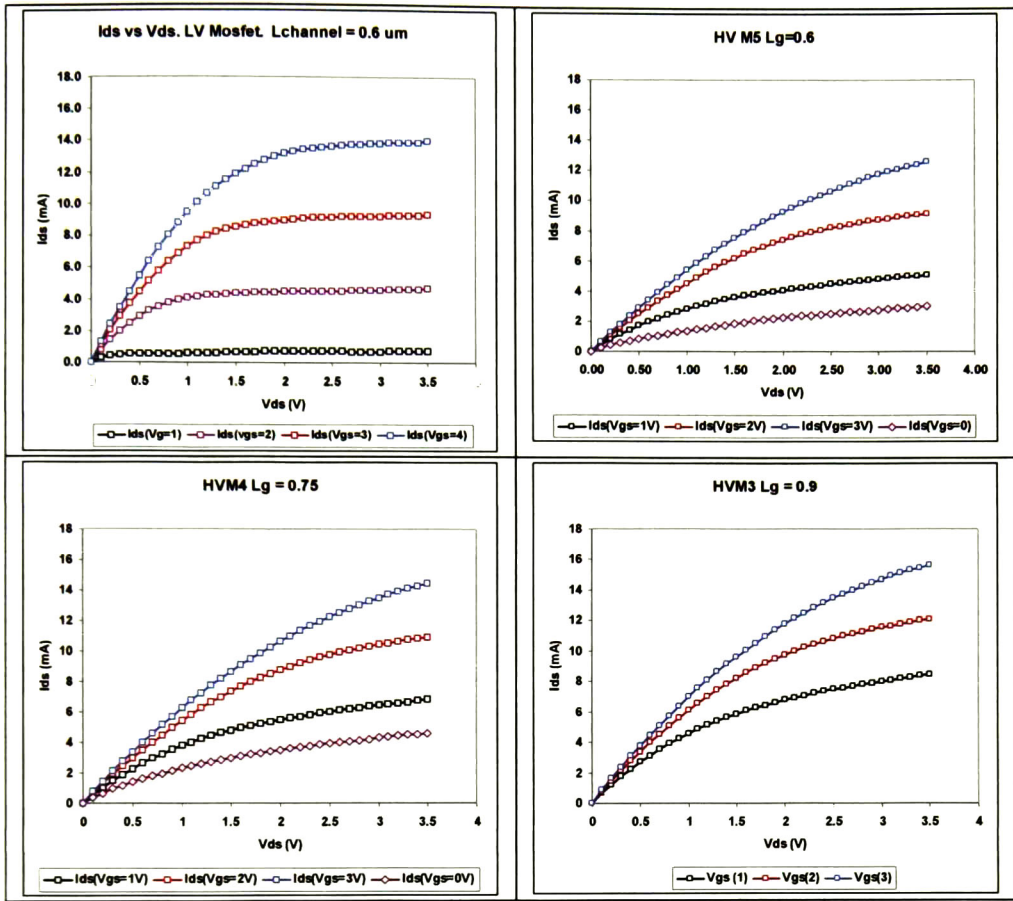


Fig. 4.21 Características I-V medidas en los cuatro dispositivos de $W=40 \mu m$ fabricados.

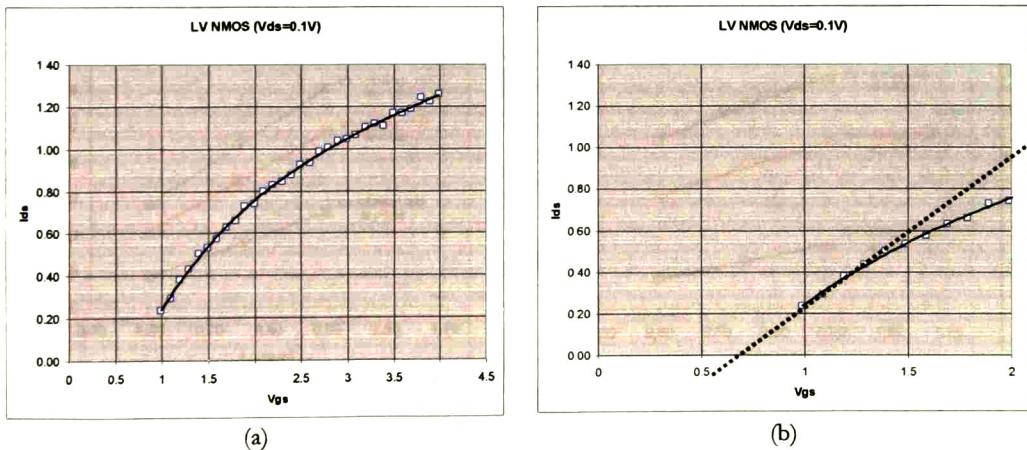


Fig. 4.22 Voltaje de umbral medido para el dispositivo NMOS. El inciso (b) muestra un acercamiento para poder estimar el valor.

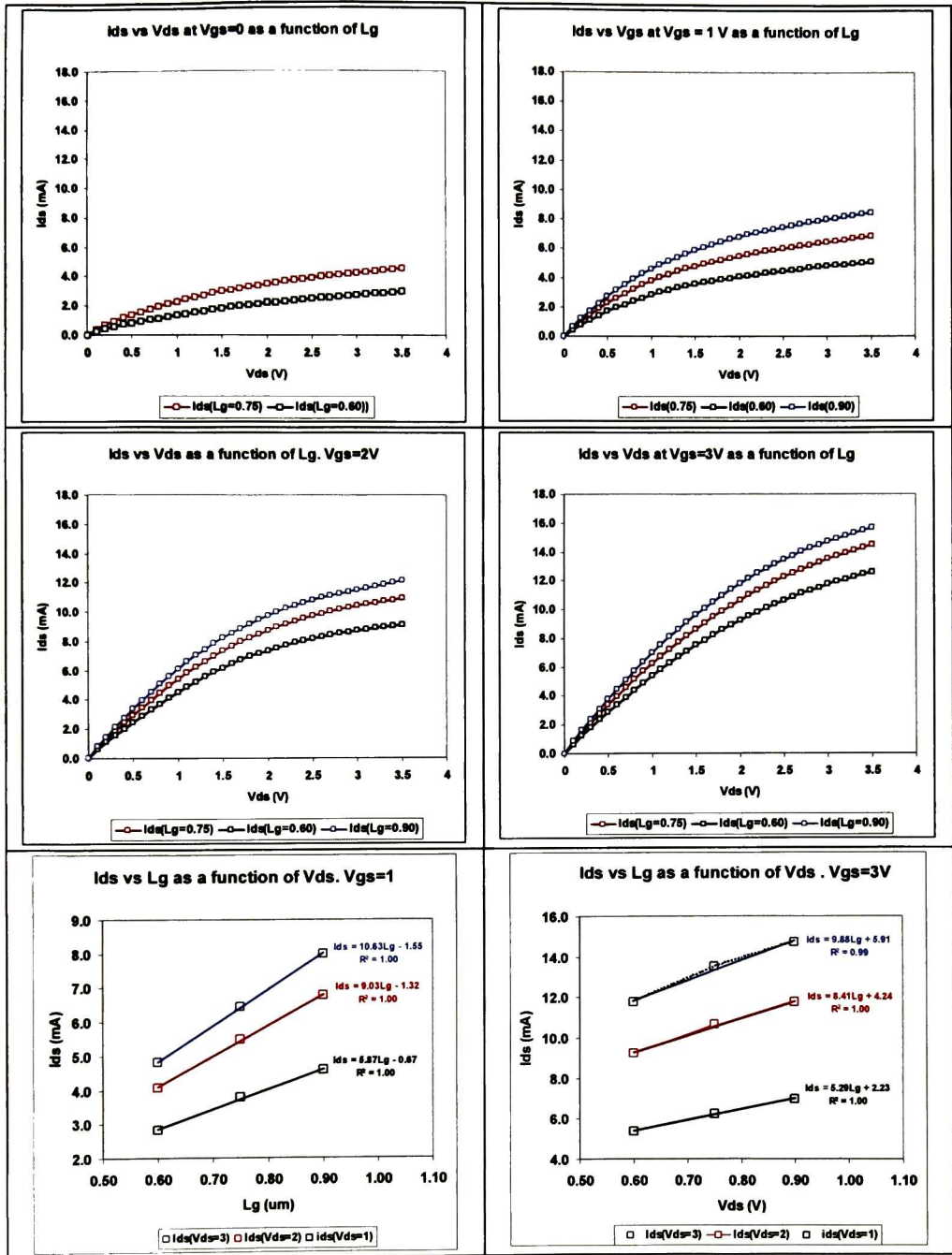


Fig. 4.23 Corriente medida en función del parámetro L_g .

4.7. Conclusiones.

Como vimos en la sección anterior los resultados de la medición no fueron los esperados ya que el transistor de alto voltaje nunca se comporta como tal. Aunque parecería que los valores propios de la tecnología obtenidos a través de ISE están muy cerca de la realidad, el diseño final muestra un error que desafortunadamente evita el uso del transistor de alto voltaje para el fin que fue diseñado, puesto que como conmutador del AP se necesita un resistencia infinita cuando se encuentra apagado, lo cual no sucede con los tres experimentos aquí presentados.

Al parecer la razón de esta falla esta en el valor de L_g ; aunque este valor fue propuesto para que específicamente L_{g1} fuera igual a 0, 0.15 y 0.3 μm , parecería que en la realidad este parámetro se quedo muy distante de estos valores. La razón por la cual sucedió esto se encontraría en la difusión lateral del pozo N.

Como se menciona en la Sección 4.4, en la literatura se encontró información contradictoria al respecto: mientras que en [10] se mencionaba que la máscara de layout de esta difusión no contemplaba la difusión lateral, en [6] se encontró lo contrario, y esta última información parecía más sólida.

Sin embargo, dado los resultados que aquí se presentan y después de hacer alguna experimentación inicial en ISE, se determinó que esta máscara presenta una difusión lateral que no esta contemplada en el layout, lo que ocasiona que el pozo N entre hasta la región de la fuente, provocando que exista una corriente aun cuando el voltaje de la compuerta sea igual a cero.

En términos generales se puede concluir que el diseño aquí propuesto conlleva una serie de riesgos dada la incertidumbre que ocasiona el no tener la información completa de la tecnología; sin embargo el resultado de este diseño, da la certeza de contar con modelos adecuados para la tecnología CMOS convencional. El posterior ajuste del parámetro L_g podría dar como resultado el diseño exitoso del transistor XDHV NMOS lo que llevaría a que aplicaciones específicas, como la que aquí se propone, pudieran tener el éxito deseado a un menor costo y con la ventaja de una mayor integración.

Referencias.

- [1] Hussein Ballan, Michel Declercq. "High voltage devices and circuits in standard CMOS technologies. ISBN 0-7923-8234-X
- [2] <http://www.mosis.com/products/fab/vendors/amis/c5/>
- [3] <http://www.mosis.com>
- [4] Synopsis, ISE TCAD, <http://www.synopsys.com/Tools/TCAD/Pages/default.aspx>
- [5] http://eesof.tm.agilent.com/docs/iccap2002/MDLGBOOK/7DEVICE_MODELING/_3TRANSISTORS/3BSIM3/PUBLICATIONS/ADS_docu.pdf
- [6] P. M. Santos, A. P. Casimiro, M. Lança, and M. I. Castro Simas, "CMOS Compatible HV Gate- Shifted LDD-NMOS", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 48, NO. 5, MAY 2001.
- [7] UC Berkeley: BSIM3V3.1 Manual
- [8] Tanner EDA: Tanner Tools for Physical Layout. L-Edit.
- [9] http://www.tanner.com/EDA/product/Tools_PhysicalLayout.html
- [10] Juan Isdriel Urias Meza, "Transistor de Alto Voltaje en Tecnología CMOS estándar", Tesis.
- [11] C. Bassin, H. Ballan, M. Declercq. "High-Voltage CMOS Devices Compatible with Standard Low-Voltage CMOS Technologies".
- [12] Hyungcheol Shin, "RF CMOS", School of Electrical Engineering Seoul National University.

Esta página fue dejada intencionalmente en blanco.

Capítulo 5

Conclusiones generales.

COMO se vio en este trabajo, el diseño de un amplificador clase E no es una tarea sencilla ya que no existe una fórmula o "receta" que ayude a obtener los valores de las componentes del amplificador directamente. El diseño podrá tomar múltiples matices dependiendo de las características o prestaciones que se quieran maximizar. Además el dispositivo que se usa como conmutador tendrá una implicación directa en el diseño, lo que nos puede llevar a la tarea de diseñar también dicho dispositivo si se necesita características aun más especiales, como sucedió en este caso.

Hablando particularmente del diseño presentado en este trabajo podemos concluir lo siguiente:

- El voltaje de alimentación V_{dd} para un AP clase E estará directamente relacionado con el desempeño de este. El incremento de este voltaje nos llevará a tener mejores características en nuestro amplificador. Sin embargo, el funcionamiento propio del AP clase E conlleva a que el voltaje en el nodo del conmutador llegue a ser aproximadamente 3.5 veces el voltaje de alimentación, por lo que se deberá tener cuidado en la selección del dispositivo a usar como conmutador.
- Se pueden usar como conmutador, dispositivos dedicados con voltajes de ruptura superiores y apropiados para el diseño. Mas estas tecnologías son generalmente de alto costo y poca integración. Así, el uso de la tecnología CMOS convencional reduce notablemente los costos, además de que puede ser usada para integrar en un solo chip, no solo los demás componentes del AP, sino también el resto de los bloques usados en un dispositivo de comunicación.

- El uso de un dispositivo CMOS como conmutador de un AP clase E, conlleva a un desarrollo apropiado de los modelos físicos del dispositivo que nos permitan modelar el comportamiento que el dispositivo va a presentar trabajando a altas frecuencias. Además, como se menciona en puntos anteriores, es necesario considerar las condiciones estresantes eléctricamente dadas el alto voltaje que tendrá que soportar; por los motivos anteriores, es deseable tener un diseño funcional que nos permita tener un dispositivo diseñado en tecnología CMOS capaz de soportar voltajes mayores.
- Una técnica adecuada de layout, puede llevarnos a reducir de manera considerable algunas de las componentes parásitas que pudieran disminuir el desempeño del AP. El diseño de layout se vera comprometido por el ancho máximo del transistor que puede ser usado sin tener repercusiones en los parámetros propios de la tecnología, y de esta manera presentar característica reproducibles de la tecnología.
- El diseño de un dispositivo de drenador extendido es una solución que satisface las necesidades del diseño; aun cuando su resistencia de encendido es mayor que la que ofrece un dispositivo convencional, se demostró que en general es una mejor opción.
- El diseño de un transistor HV-XDNMOS puede representar un esfuerzo notable si se cuenta con poca información de la tecnología a utilizar, pero como se mostró en este trabajo es posible tener una buena aproximación de los parámetros propios de la tecnología, utilizando la metodología propuesta en este trabajo.
- La definición de longitudes en un dispositivo de drenador extendido será una tarea complicada puesto que será de carácter experimental, mientras no se cuente con la información exacta; en este caso particular esta definición se verá reducida a la experimentación a través de un simulador como ISE, que si bien es una herramienta bastante poderosa, no deja de ser solo una parte de la realidad.
- La difusión lateral jugo un papel importante en este diseño puesto que nunca se tuvo la información suficiente para determinar el valor adecuado para las longitudes del HV-XDNMOS. El desconocimiento preciso de este parámetro ocasionó que el dispositivo no funcionara de acuerdo con las características esperadas del diseño.
- El diseño aquí presentado puede ser usado como una base sólida para el entendimiento y diseño de un AP clase E usando un transistor CMOS como conmutador. Así mismo, en su segunda parte, puede representar un buen esfuerzo en la consecución de un dispositivo de alto voltaje y de bajo costo capaz de satisfacer las necesidades de este diseño, y posiblemente de algunos otros.

Como trabajo futuro se propone:

Primero, ajustar el modelo creado en ISE de tal forma que el pozo N, esta vez, este difundido lateralmente (como se presume ocurrió en la realidad), de tal forma que se pueda ajustar a las mediciones que se obtuvieron (el proceso inverso de diseño que se siguió en este trabajo). Una vez que se tenga la información exacta acerca de la difusión lateral del pozo N en esta tecnología, se pueda hacer una segunda corrida ajustando adecuadamente las distancias en el dispositivo de alto voltaje.

El siguiente paso consistiría en montar el diseño del AP aquí propuesto, usando los dispositivos fabricados como conmutador; posteriormente se procedería a caracterizar el AP, esperando tener una correlación bastante acercada a los números planteados en el diseño.

Finalmente, esto nos llevaría a una tarea más ambiciosa donde, primero se buscaría integrar en la medida de lo posible, los componentes del AP para posteriormente, unir distintos bloques con la finalidad de completar un dispositivo de comunicación, que si bien no tendría características superiores a los que ya existen, podría tener un impacto considerable en el costo y en el tamaño de dicho dispositivo.

APENDICE

PUBLICACIONES

900 MHz band class E PA using high voltage n-channel transistors in standard CMOS technology

J. A. Herrera¹, J. L. Del Valle²

¹Electronics Design Group, MS Student, CINVESTAV Guadalajara, Jal. Mexico

²Electronics Design Group, CINVESTAV Guadalajara, Jal. Mexico

Phone (523) 331-345570 Fax (523) 331-345579 E-mail: delvalle50@yahoo.com.mx

Abstract — The operation of a single ended CMOS class E power amplifier imposes voltage stresses on the drain terminal of the switching transistor that preclude the use of large bias drain voltages. On this paper we present a design of a high voltage n-channel transistor, compatible with CMOS technology that avoids the above limitation. A design methodology based on physical models, which allows the comparison of class E power amplifiers performance, is also presented for the low voltage versus the high voltage options. Simulation results using BSIM3 V3.2, including components losses and a finite feed inductor topology, show that the high voltage approach is the best option to meet an output power design specification of 25 dBm at 900 MHz.

Keywords — Power amplifiers, class E operation, high voltage CMOS, CMOS RF.

I. INTRODUCTION

Class E Power Amplifiers (PA) are becoming a solution to improve battery's efficiency and reduce heating problems in wireless mobile applications, due to its high drain efficiency. On the other side, CMOS is an attractive technology for RF-IC development due to its low cost and the possibility for designing integrated solutions.

The Class E amplifier is a soft switch mode amplifier. This means that, ideally, either the voltage over the switch or the current through the switch is zero. This behavior is achieved using an appropriated series tuned load network (L_0C_0) which imposes a sinusoidal current to the load (R_L), with an additional inductive reactance in excess (L_X) which gives the right phase angle (θ) to cope with the design's requirements of zero voltage and zero voltage slope (zero current) at the end of the turn-off period [1]. Figure.(1) shows a circuit diagram of the amplifier.

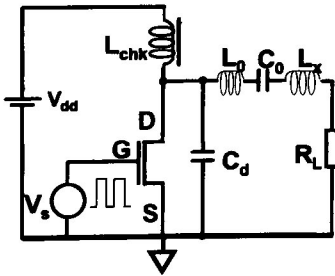


Fig. 1 Circuit diagram of a single ended class E power amplifier.

The class E power amplifier concept is best defined through its waveforms. Fig. (2) illustrates these waveforms. Three parameters are important for non ideal switches: the drain peak current during the on state period, I_{dmax} , the maximum voltage at the drain-source terminals during the off state period, V_{dmax} and the minimum drain voltage at on state, V_{dmin} .

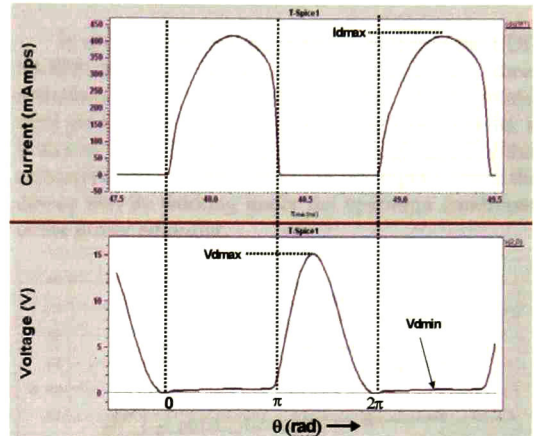


Fig. 2. Drain voltage and current waveforms of a class E amplifier.

Two main figures of merit are defined for the class E power amplifier: the Drain Efficiency (1); and the Power Added Efficiency (2).

$$Eff = \frac{P_{out}}{P_{DC}} \quad (1)$$

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} \quad (2)$$

where P_{out} is the RF power on the load (R_L), P_{in} is the power input, and P_{DC} is the power provided by V_{dd} .

The maximum drain current will determine the size and transconductance of the device under design. The maximum drain voltage is about $3.5V_{dd}$, this voltage must be at least 20% of the device's breakdown voltage and inside the allowed limits to guarantee the device's reliability due to hot carrier degradation effects [2]. Finally V_{dmin} represents main power losses in the device and the effect of the parasitic elements present on the device's input at the operation frequency [3].

As the drain bias V_{dd} , must be maintained low to guarantee device's reliability, the output power

capability of the device will be also relatively low, due to that the output power is proportional to the square of the V_{dd} bias. A possible solution to this problem is to build high voltage transistors on CMOS technology capable to support higher drain bias voltages [4].

The paper is organized as follows: in the second section are presented the results of simulations using the code T-CAD ISE [5] of an extended drain n-channel high voltage CMOS device; in the third section the results of a design approach are presented, based on a physical model of multi-digitated devices to search for an optimum device size to meet the specifications; on the fourth section, simulations results, using T-Spice and the current BSIM3 V3.2 parameters of the AMIS 0.5 μm technology, are shown, as well as our conclusions. Target specifications for the RF power amplifier are: $f_0=900$ MHz, output power 280 mW.

II. HIGH VOLTAGE TRANSISTOR

It is possible to design transistors with a higher breakdown voltage (BV) in technology CMOS standard without process modifications or additional masks [4][6]. In order to increase BV, two modifications are made, violating basically just one of the design rules: first the extended drain region, formed using the n-well layer, and second, the poly gate extension over the field oxide (field-plate). Fig. (3) shows, for the sake of comparison, the cross sections of an extended drain NMOS high voltage and a low voltage standard NMOS devices.

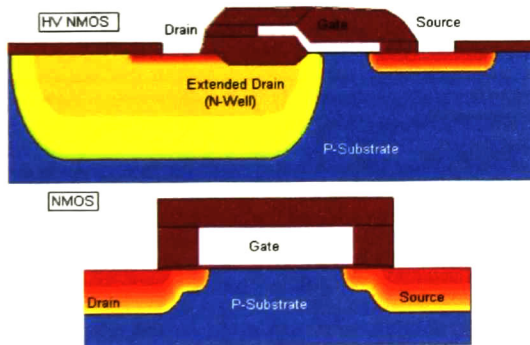


Fig. 3. HV NMOS and NMOS cross section.

To make the correct design of the device, it is necessary to know the parameters of the technology. Due this information is not fully available, parameters were estimated in base to a physic model using TCAD-ISE. Doping profiles of NMOS and PMOS low voltage transistors were adjusted to obtain the simulation of current-

voltage characteristics similar to model BSIM3 level 49 in T-Spice. The NMOS comparison is shown in Fig. (4).

In base to this physic model and due the information about the BV of the NMOS low voltage transistor is not normally available, it was determined as 10 volts.

In the case of PA application, there is a trade off between a BV higher than 18.82V and a small R_{ON} . The device design was made taking into account these characteristics. In this way the BV for the high voltage NMOS device designed was 20V and the R_{ON} (for the maximum current to handle) was 1.2 Ω .

In order to have an appropriated model of the LDD NMOS transistor to simulate in Spice, the sheet resistance (RSH) was modified in the BSIM3 model until get a similar behavior between both simulations; it is shown in fig. (5). It is important to highlight that this approximation is made just in the I-V region where the device will be working under the operation conditions of the power amplifier.

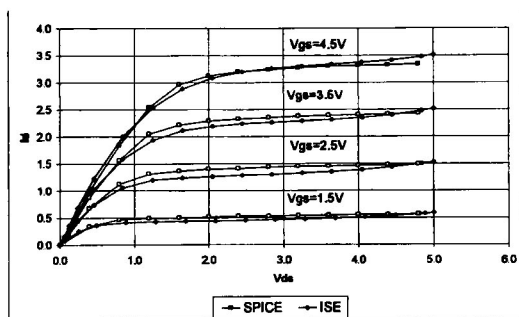


Fig. 4. I_{ds} vs V_{ds} simulated characteristics as a function of V_{gs} in T-Spice and T-CAD ISE. Low voltage transistor.

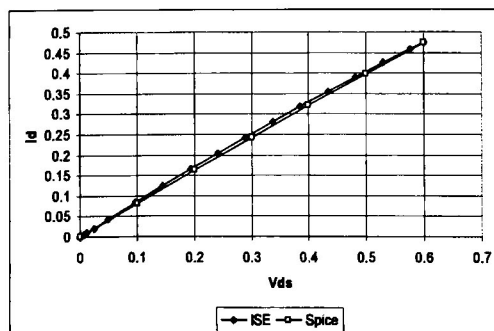


Figure 5. ISE simulation versus Spice Simulation. The sheet resistance was modified of 83.7 Ω to 1000 Ω . The W of the transistor is 4480 μm .

III. DEVICE SIZING

There is a trade off between drain efficiency and Power added efficiency. While a large transistor would approach an ideal switch, due to the fact that it will reduce conduction losses, it will increase also the value of its parasitic capacitances, limiting the frequency of operation of the amplifier and increasing the necessary power input to drive it. On the contrary a small transistor would improve the PAE, but would limit the power capability of the amplifier and would reduce the drain efficiency. Following a multi-fingered layout approach, and by using a multiplicity factor, we were able to find an initial estimate about the total width of the transistor, or equivalently the number of fingers for the required operating conditions that could maximize the power added efficiency, following the guide lines of an analytic model, based on the fundamental physics of a single FET as switching device, in a class E power amplifier [3].

The model was implemented in Matlab with the parameters of the AMIS 0.5 micron technology [6], including the appropriate parasitic capacitances, sheet resistivity and contact resistance of different metals and polycrystalline layers.

Fig. 5 shows main results of the model, using a unit cell width, W_0 , of $125\mu\text{m}$. The input power increases linearly with the number of fingers, while the DC power and power output practically saturates for a large number of fingers. For these reasons the drain efficiency increases negligibly for a large number of fingers, while the power added efficiency shows a maximum for $n=25$.

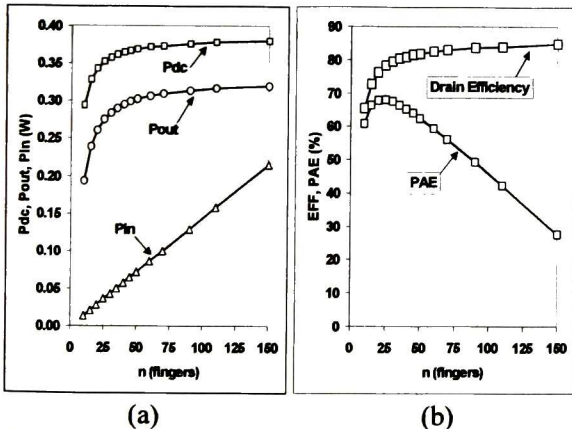


Fig. 5. (a) DC Power, Power Output, Power Input. (b) Efficiency, PAE vs. the number of fingers

While the previous model [3] takes into account the effects of the input drive and is very useful to have a first guess about device size, it models only the intrinsic part of a fundamental FET (3) that not takes into account the degradation of intrinsic trans-conductance, due to short channel effects, of necessary sub-micron devices, and uses an a-priory criteria, based on ideal switches, to select the components of the load network.

$$I_d = \frac{K'nW}{2L} (2V_{gs}V_{ds} - V_{ds}^2) \quad (3)$$

where K' is intrinsic transconductance, n is the digit number, W is the width of the unit cell transistor and L the channel length.

To simulate a more realistic behavior of a class E power amplifier, we choose a device compact model corresponding to BSIM3 V.3.1 Level 49 of the intended technology [6] and a transient mode for a T-Spice code.

Here, a unit wide finger of $40\mu\text{m}$ has been selected in order to improve the model's reliability. Indeed, the model's parameters are extracted from small sized devices.

The layout parameters are specified taking into account the recommendations reported in ref. [7]. The model interface offers the necessary multiplicity factor M for the multi-fingered selected layout. Beside a double contacted gate, to reduce input gate resistance, and single side contacted source extrinsic resistances are included.

Concerning the load network external components, we included the effect of the associated resistive losses, selecting an unloaded quality factor of 25 for the inductive components, and 200 for the capacitive ones. Main components of load network were estimated using the HEPA-PLUS software [8], fine components tuning for class E operation was made using the methods of ref. [1]. Finally the simulated circuit topology was that corresponding to a class E Power amplifier with finite feed inductance, as suggested by [9]. Here it is worth to mention that we modify the parameter's card for the RSH one. Concerning the 4.5V bias device, we use 1000 ohms/sq instead of the nominal value of 83.7 ohms/sq used in the 2V bias device. This modification was performed to take into consideration the extended drain region of the high voltage device, as discussed early in section II.

Fig. (6) and (7) shows main Spice simulation results. In fig.(6) results obvious that high voltage CMOS devices would have superior power output capabilities than the low voltages ones. For devices with the same dimensions, the power output of the high voltage devices is larger. Devices biased at two volts are not capable to attain the necessary output power specifications.

Figure (7) shows that both, the drain efficiency and the power added efficiency; maintain relatively high values for a reduced number of fingers, while they monotonically decreases as the number of fingers increases.

In resume the high voltage n-channel CMOS device would meet the design specifications of frequency (900 MHz), and power output, (25 dBm), with a drain efficiency of 64% and a power added efficiency of 61%.

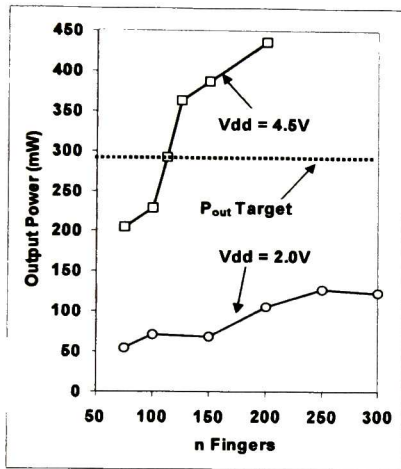


Fig. 6. Spice simulated Output Power vs the number of fingers for high and low Vdd bias. Unit cell width 40 μ m.

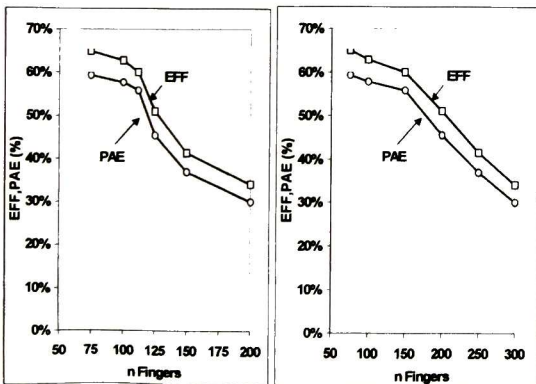


Fig. 6. Efficiency, PAE vs the number of fingers. (a) Vdd = 4.5V, (b) Vdd = 2.0 V

Finally the current and voltage stresses for the high voltage device were: 290 mA and 15.5 V. This last value is 22% lower than the punch through voltage of ISE's simulated high voltage device.

V. CONCLUSIONS

A design based in a multi-fingered layout structure searching for optimal dimensions shows that a single ended class E power amplifier with 25 dBm output power at 900 MHz. 64% of drain efficiency and 61% of power added efficiency would be feasible in the AMIS 0.5 micron technology, if a high voltage n-channel CMOS device is incorporated into the design. Simulations results show that this last approach would be practical. The designed amplifier includes a finite dc feed inductor and the expected parasitic resistances of the network components.

REFERENCES

- [1] N. O. Sokal, "Class-E RF Power Amplifiers" QEX, Jan-Feb. 2001 pp. 6-20.
- [2] M. Kakumu, M. Kinugawa and K. Hashimoto "Choice of Power-Supply Voltage for Half-Micrometer and Lower Submicrometer CMOS Devices" *IEEE Trans. on Electron Devices*, Vol. 37, No.5, pp. 1334-1346. May 1990.
- [3] D.K. Choi, and S.I. Long "A physically Based Analytic Model of FET Class-E power Amplifiers-Designing for Maximum PAE" *IEEE Trans. On Microwave theory and Techniques*. Vol. 47, pp.1713-1720. September 1999.
- [4] J.I. Urias "Transistor de alto voltaje en tecnologia CMOS estandar" (in Spanish) M. S. Thesis Dissertation, Electronic design Group. Cinvestav Guadalajara, México. Nov. 2003.
- [5] P.,M Santos, A.P Casimiro and M.I: Castro "CMOS compatible HV Gate-Shifted LDD-NMOS" *IEEE Trans. On Electron Devices*, Vol. 48, No.5,pp.1013-1015, May 2001.
- [6] The MOSIS service. "MOSIS parametric Test Results" Run T51T, Vendor AMIS, Feature size: 0.5 microns. Available at <http://www.mosis.org/Technical/Testdata/ami-c5-prm.ht>
- [7] T.R. Kolding,"Compact Model Specification of RF MOSFET with DC and AC Evaluations" Technical Report, 99-1005, RF integrated Systems & Circuits (RISC) Group. ISSN 0908-124. <http://citeseer.ist.psu.edu/kolding99compact.html>
- [8] HEPa-PLUS User Manual, Design Automation, Inc, Lexington, MA, 1990-2001.
- [9] D.K. Choi and S.I.Long "Finite DC Feed Inductor in Class E Power Amplifiers- A simplified Approach". TH2D-5, 2002 IEEE MIT-S Digest. pp. 1643-1646.



CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

Diseño de un amplificador de potencia clase-E usando un transistor N-MOS de alto voltaje en una tecnología CMOS estándar

del (la) C.

José Andrés HERRERA BARRAGÁN

el día 03 de Abril de 2009.

Dr. Juan Luis Del Valle Padilla
Investigador CINVESTAV 3C
CINVESTAV Unidad Guadalajara

Dr. Federico Sandoval Ibarra
Investigador CINVESTAV 3B
CINVESTAV Unidad Guadalajara

Dr. José Raúl Loo Yau
Investigador CINVESTAV 2B
CINVESTAV

Dr. Antonio Zenteno Ramirez
Ingeniero de Hardware
INTEL



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000009059