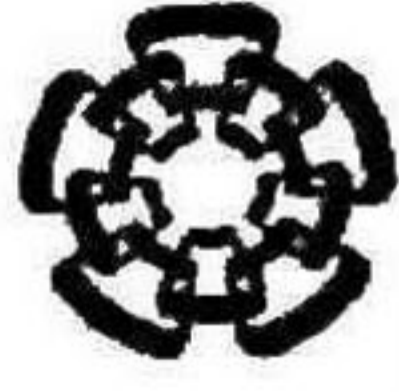




XX(178747.1)



CINVESTAV  
BIBLIOTECA CENTRAL



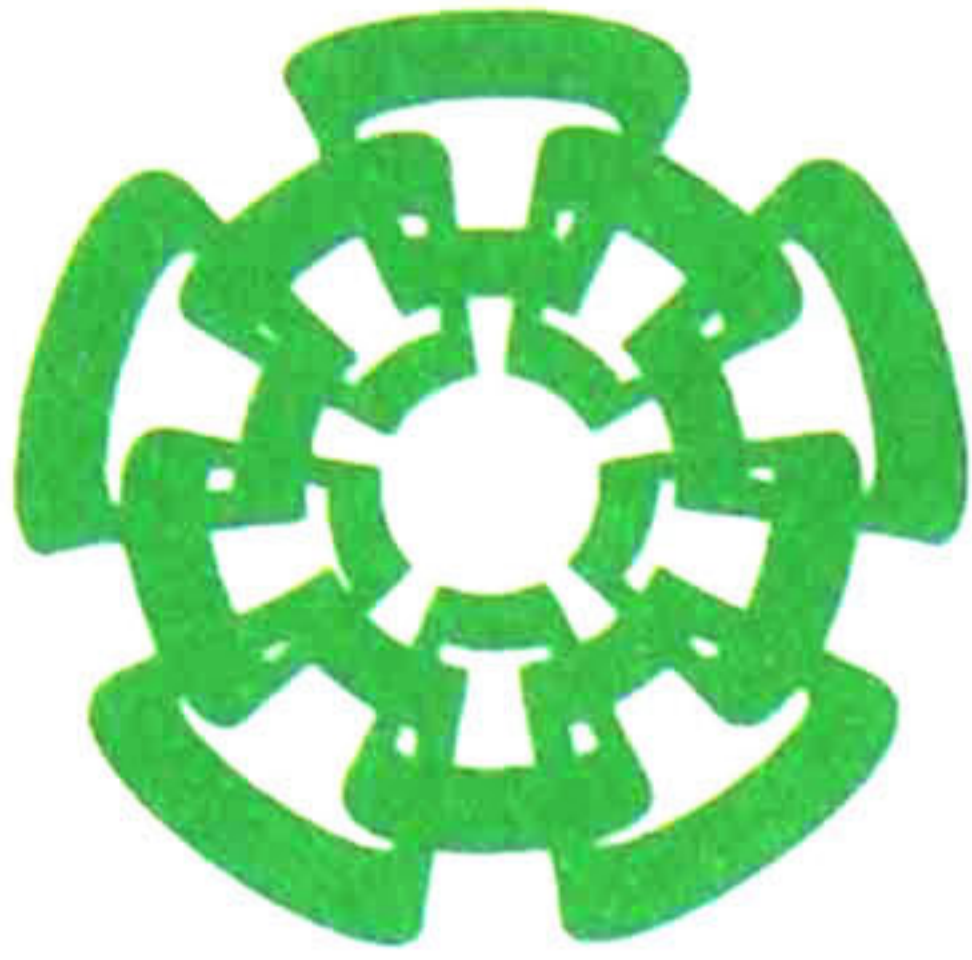
SSIT000009520

TK165.98

.R36

2009

**CINVESTAV  
IPN  
ADQUISICION  
DE LIBROS**



Centro de Investigación y de Estudios Avanzados  
del Instituto Politécnico Nacional  
Unidad Guadalajara

**Diseño de Filtros Activos CMOS para  
Aplicaciones de Baja Frecuencia**

Tesis que presenta:  
**Juan Francisco Ramírez Aguilar**

para obtener el grado de:  
**Maestro en Ciencias**

en la especialidad de:  
**Ingeniería Eléctrica**

Director de Tesis  
**Dr. Federico Sandoval Ibarra**



CENTRO DE INVESTIGACIÓN Y  
DE ESTUDIOS AVANZADOS DEL  
INSTITUTO POLITÉCNICO  
NACIONAL

COORDINACIÓN GENERAL DE  
SERVICIOS BIBLIOGRÁFICOS

CINVESTAV del IPN Unidad Guadalajara, Guadalajara, Jalisco, Diciembre de 2009.

CLASSIF.: TK165.G8, 436 2009  
ADQUIS.: SSI-598  
FECH.: 21-Mayo-2010  
PROCED.: DON.-2010  
4

164593-1001

# **Diseño de Filtros Activos CMOS para Aplicaciones de Baja Frecuencia**

**Tesis de Maestría en Ciencias  
Ingeniería Eléctrica**

Por:

**Juan Francisco Ramírez Aguilar**

Ingeniero en Electrónica y Telecomunicaciones

Universidad Autónoma del Estado de Hidalgo 2002-2006

Becario de Conacyt, expediente no. 13497

Director de Tesis

**Dr. Federico Sandoval Ibarra**

## AGRADECIMIENTOS

*A mis padres Juan Francisco Ramírez Perón y Rosa María Aguilar Torrescano y mi hermana Ross Mery Ramírez Aguilar, por su apoyo incondicional y por siempre creer en mí e impulsarme para realizar mis objetivos.*

*A mi abuelo Herlindo Aguilar Uribe, que aunque ya no está con nosotros físicamente, siempre está en mi corazón y en mi mente a través de sus enseñanzas y consejos.*

*A mi abuelo Álvaro Ramírez Castañeda, por todo su cariño, empeño y confianza que me ha brindado, así como sus consejos, siendo este un logro más.*

## **AGRADECIMIENTOS**

A DIOS, por brindarme la capacidad necesaria para concluir satisfactoriamente la Maestría.

A mis padres, por sus incansables ánimos y apoyo a lo largo de toda mi vida, así como sus consejos, enseñanzas y valores que me han formado, ustedes son mi modelo a seguir y mi motivación para superarme día a día.

A mi hermana, por estar siempre a mi lado apoyándome en lo que necesito y por ser un ejemplo de una persona tenaz, responsable y emprendedora.

A mi familia, en especial a mis abuelos Herlindo, Anita, Álvaro e Isabel, por su gran cariño.

Al Dr. Federico Sandoval Ibarra, por su acertada guía y sus valiosas aportaciones a lo largo de este trabajo.

A los Doctores: Juan Luis del Valle, Amner Ramírez, Raúl Loo, Mariano Aguirre y Ramón Parra por la excelente labor docente que desarrollan en el Cinvestav.

A mis compañeros de Maestría de las Generaciones 2005, 2006, 2007 y 2008, en especial a Luis Ilich, Raymundo Carranza, Héctor Saavedra, Alberto Osorio, Dafne Arias, Jorge Urbina, Juan Medina, Gerardo García, Omar Ávila, Pilar, Elizabeth Sirk, por la convivencia diaria y los buenos momentos a lo largo de estos 2 años.

Al Cinvestav, académicos y personal administrativo, por ser una institución de excelencia que brinda la posibilidad de realizar el desarrollo profesional.

Al Conacyt por el apoyo otorgado, que permitió realizar los estudios de maestría.



## RESUMEN

Los circuitos de filtrado son uno, de varios sub-sistemas, en una gran cantidad de aplicaciones relacionadas con el procesamiento de señales. Si bien el desarrollo de estos circuitos ha logrado una madurez, también es verdad que nuevas aplicaciones demandan nuevas propuestas de desempeño, que no solo cumplan las especificaciones requeridas, sino que permitan ser incorporados en una gran variedad de sistemas portátiles. Lo cual implica que el producto final presente bajo volumen, mínimo peso, y sin olvidar que el mercado de hoy también demanda portabilidad.

En la práctica, un buen porcentaje de sistemas portátiles aun están siendo desarrollados con componentes electrónicos, discretos, y de propósito general. Sin embargo, la tendencia tecnológica muestra, día a día, una miniaturización de todo sistema portátil de entretenimiento, de comunicación personal, y de otras aplicaciones como el censado de señales para uso en prótesis, por citar al menos una. De esta última, es comprensible la reducción no sólo del volumen de la circuitería electrónica, sino también en su masa. Aun más, cuando esta aplicación demanda el procesamiento de señales de bajas frecuencias, las especificaciones de diseño aumentan porque los niveles de ruido deben ser eliminados; éstos incluyen el ruido generado por los elementos resistivos, de gran valor, que se requieren para limitar el ancho de banda impuesta por la propia aplicación.

Por lo anterior, en esta investigación se propone el desarrollo de un sistema de filtrado de baja frecuencia, 200-1200 Hz, completamente integrado en silicio. El sistema de filtrado, a ser integrado en una prótesis mecánica, se desarrolla a partir de la ejecución de un flujo de diseño que incluye la validación del prototipo –en el dominio de la frecuencia- usando componentes discretos. El prototipo, basado en la propuesta de Sallen-Key, se seleccionó por incluir resistores flotantes y aterrizados, lo cual dio lugar a la búsqueda de una propuesta que permitiera el diseño de resistores activos. La propuesta resistiva final, en conjunción con las características intrínsecas del transistor MOS, permite trasladar la propuesta RC de Sallen-Key, en una implementación gmC, y en el que el uso del amplificador operacional de voltaje tradicional fue sustituido por un amplificador operacional de transconductancia. En el desarrollo del sistema de filtrado todos los amplificadores y componentes se diseñaron a partir de las facilidades tecnológicas de una tecnología 0.35 $\mu$ m CMOS, 3.3V, estándar.



# ABSTRACT

The Filtering circuits are one of several sub-systems into a large number of signal processing applications. While development of these circuits has reached maturity, new applications require new proposals for performance, which not only meet the required specifications, but allow to be integrated into a variety of portable systems. This implies that the final products has low volume, minimal weight, and meet the portability that the current markets demand.

In practice, a high percentage of portable systems are still being developed with discrete and general purpose electronic components. However, the technological trend shows, a miniaturization of all portable entertainment system, personal communications, and other applications such as signals sensing for use in prosthetics, for example. This last one, it is understandable not only the reducing of the volume of electronic circuitry, but also on its mass. Furthermore, when the application demands processing low-frequency signals, the design specifications are increased due levels of noise should be eliminated; these include the noise generated by the resistive elements of high value, which are required to limit the frequency bandwidth required by the application.

For these reasons, this research proposes the development of a low frequency filter, 200-1200Hz, fully integrated on silicon. The filtering system to be integrated into a mechanical prosthesis was developed by following a flow design that includes: validation of the prototype –in frequency domain- using discrete components. The prototype, based on a Sallen-Key topology was selected to include floating and grounded resistors; this implied a search of a proposal that would allow the design of active resistors. The final resistive proposal together the intrinsic characteristics of MOS transistor, allows the proposal to transfer RC Sallen-Key, in a gmC implementation, and in which the use of traditional voltage operational amplifier was replaced by a transconductance operational amplifier. In the development of filtering system, all amplifiers and components were designed for a standard 0.35 $\mu$ m CMOS technology, 3.3V.



# Índice

## Capítulo 1

1.	Introducción .....	- 1 -
1.1	Antecedentes.....	- 1 -
1.2	Planteamiento del Problema.....	- 3 -
1.3	Objetivos .....	- 4 -
1.4	Estructura del Trabajo de Tesis .....	- 4 -

## Capítulo 2

2.	Diseño de Filtros Activos.....	- 7 -
2.1	Diseño de Sistemas de Filtrado.....	- 7 -
2.2	Topologías de Segundo Orden .....	- 9 -
2.2.1	Topología Sallen-Key .....	- 13 -
2.3	Respuesta en Frecuencia .....	- 15 -
2.4	Aproximaciones.....	- 17 -
2.5	Simulación .....	- 19 -
2.6	Implementación con Componentes Comerciales .....	- 21 -
2.7	Diseño del Amplificador.....	- 24 -
2.7.1	Referencias de Voltaje.....	- 26 -
2.7.2	Par Diferencial.....	- 28 -
2.8	Sistema de Filtrado Integrado .....	- 31 -
2.9	Conclusiones .....	- 34 -

## Capítulo 3

3.	Sistema de Filtrado Pasa-banda .....	- 35 -
3.1	Introducción.....	- 35 -
3.2	Teoría de los Sistemas de Filtrado Pasa-Banda .....	- 36 -
3.3	Diseño.....	- 37 -
3.4	Implementación en CI.....	- 41 -
3.5	Conclusiones .....	- 44 -

## Capítulo 4

4.	Sistema de Filtrado Pasa-bajas con Resistores Activos.....	- 45 -
4.1	Introducción.....	- 45 -
4.2	Diseño del Sistema de Filtrado Pasa-Bajas con Resistores Activos (RA) .....	- 46 -
4.2.1	Técnica para RA empleando Rama de Transistores CMOS .....	- 46 -
4.2.2	Técnica para RA empleando un Arreglo Ajustable .....	- 47 -
4.3	Diseño Layout y Simulación Post-Layout.....	- 53 -
4.4	Conclusiones .....	- 58 -

## Capítulo 5

5. Conclusiones y Trabajo Futuro .....	- 61 -
5.1 Vista General.....	- 61 -
5.2 Conclusiones .....	- 62 -
5.3 Trabajo Futuro.....	- 63 -

## Apéndices

Apéndice A .....	- 67 -
A.1 Archivos de Simulación SPICE .....	- 67 -
A.2 Archivo de Matlab para la interfaz GPIB.....	- 73 -
Apéndice B .....	- 77 -
Publicaciones realizadas .....	- 77 -

# Índice de Figuras

Fig. 2.1 Flujo de Diseño .....	-9-
Fig. 2.2 Filtro Sallen-Key Pasa-Bajas .....	-11-
Fig. 2.3 Filtro Multiple Feedback pasa-bajas .....	-11-
Fig. 2.4 Filtro State-Variable Bicuadrático de 3 opamps .....	-12-
Fig. 2.5 Filtro Biquad o Bicuadrático .....	-12-
Fig. 2.6 Topología general Sallen-Key .....	-13-
Fig. 2.7.a Respuesta un filtro de primer orden pasa-bajas .....	-16-
Fig. 2.7.b Respuesta de un filtro pasa-banda.....	-16-
Fig. 2.8 Desplazamiento en frecuencia.....	-18-
Fig. 2.9 Respuesta del filtro pasa-bajas, Butterworth, Sallen-Key.....	-20-
Fig. 2.10 Respuesta del filtro pasa-altas, Aproximación Butterworth, Sallen-Key .....	-20-
Fig. 2.11 Esquemático del Filtro pasa-bajas con componentes pasivos .....	-21-
Fig. 2.12 Setup empleado en la medición .....	-22-
Fig. 2.13 Respuesta en frecuencia del sistema pasa-bajas a $f_0=10\text{kHz}$ .....	-23-
Fig. 2.14 Respuesta en frecuencia del sistema pasa-bajas a $f_0=20\text{kHz}$ .....	-23-
Fig. 2.15 Respuesta en frecuencia del sistema pasa-bajas a $f_0=50\text{kHz}$ .....	-24-
Fig. 2.16 Modelo a 2 puertos del amplificador .....	-25-
Fig. 2.17.a Rama Resistiva .....	-26-
Fig. 2.17.b Rama de Polarización .....	-26-
Fig. 2.17.c Amplificador Rama Simple.....	-26-
Fig. 2.18 Respuesta en frecuencia del amplificador de 1 rama.....	-28-
Fig. 2.19 Par Diferencial con rama de polarización .....	-29-
Fig. 2.20 Respuesta en frecuencia del par diferencial.....	-29-
Fig. 2.21 Símbolo del par diferencial con resistor de carga.....	-30-
Fig. 2.22 Esquemático del par diferencial con resistor de carga .....	-30-
Fig. 2.23 Sistema de Filtrado pasa-bajas con componentes pasivos.....	-31-
Fig. 2.24 Respuesta en frecuencia del sistema pasa-bajas pasivo .....	-31-
Fig. 2.25 Circuito correspondiente a los resistores pasivos .....	-32-
Fig. 2.26 Respuesta en frecuencia del sistema activo pasa-bajas.....	-33-
Fig. 2.27 Espectro de frecuencias .....	-33-
Fig. 3.1. Esquemático del sistema de filtrado pasa-banda .....	-38-
Fig. 3.2. Respuesta en frecuencia del sistema de filtrado pasa-banda.....	-39-
Fig. 3.3. Representación gráfica de cascar los sistemas pasa-bajas y pasa-altas .....	-40-
Fig. 3.4. Topología del sistema de filtrado pasa-banda con seguidor de voltaje.....	-40-
Fig. 3.5. Respuesta en frecuencia del sistema pasa-banda con seguidor de voltaje .....	-40-
Fig. 3.6. Esquemático del sistema de filtrado pasa-bajas.....	-41-
Fig. 3.7. Respuesta en frecuencia del sistema pasa-bajas activo.....	-42-
Fig. 3.8. Esquemático del sistema pasa-altas con rama de polarización .....	-42-
Fig. 3.9. Respuesta en frecuencia del sistema pasa-altas.....	-43-
Fig. 3.10. Respuesta en frecuencias del sistema pasa-banda integrado .....	-44-
Fig. 4.1. Topología Sallen-Key para el sistema pasa-bajas .....	-46-
Fig. 4.2. Topología para implementar los Resistores Activos .....	-47-
Fig. 4.3. Resistor Activo Variable.....	-47-
Fig. 4.4. Rama de polarización con 4 transistores .....	-48-
Fig. 4.5. Par diferencial con ramas de 4 transistores .....	-48-
Fig. 4.6. Respuesta en frecuencia del par diferencial.....	-49-
Fig. 4.7. Topología del OTA.....	-49-
Fig. 4.8. Respuesta en frecuencia del OTA .....	-50-
Fig. 4.9. Arreglo resistivo y arreglo de transistores .....	-50-

Fig. 4.10. Topología del Resistor Activo Variable con rama de polarización.....	-51-
Fig. 4.11. Respuesta en frecuencia del resistor activo variable .....	-51-
Fig. 4.12. Respuesta en frecuencia del sistema pasa-bajas con resistor activo.....	-52-
Fig. 4.13. Layout del BIAS .....	-53-
Fig. 4.14. Layout del Par Diferencial .....	-54-
Fig. 4.15. Layout del OTA .....	-55-
Fig. 4.16. Layout del Resistor Activo Variable.....	-56-
Fig. 4.17. Layout del Sistema de Filtrado Pasa-bajas con capacitores ideales .....	-56-
Fig. 4.18. Respuesta en Frecuencia del sistema de filtrado pasa-bajas con capacitores ideales.....	-57-
Fig. 4.19. Layout del sistema de filtrado pasa-bajas con RA.....	-57-
Fig. 4.20. Respuesta en frecuencia del sistema de filtrado pasa-bajas con RA .....	-58-



## Índice de Tablas

Tabla 2.1. Comparativa de las características de las topologías bicuadráticas.....	-12-
Tabla 2.2. Combinaciones para Zi, función de transferencia y respuesta resultante .....	-15-
Tabla 2.3. Coeficientes de Butterworth de orden n .....	-17-
Tabla 2.4. Valores de Resistencias, factor de ganancia y error relativo.....	-22-
Tabla 2.5. Valores nominales de componentes, frecuencias de corte ideal y medida y error relativo de las frecuencias de corte.....	-24-
Tabla 2.6. Parámetros obtenidos de la simulación del sistema.....	-32-
Tabla 3.1. Especificaciones del sistema de filtrado pasa-banda .....	-37-
Tabla 3.2. Valores comerciales de los componentes discretos.....	-38-
Tabla 3.3. Frecuencias características del sistema de filtrado pasa-banda .....	-41-
Tabla 3.4. Valores de diseño de los componentes.....	-43-
Tabla 4.1. Especificaciones del sistema de filtrado pasa-bajas .....	-46-
Tabla 4.2. Geometrías de los transistores del sistema pasa-bajas .....	-52-

# Capítulo 1

## Introducción

Se presentan los antecedentes de los sistemas de filtrado, dando lugar al origen del problema a resolver, posteriormente se describe el planteamiento del problema y los objetivos del trabajo de tesis. Finalmente se describe brevemente como se conforma la tesis a lo largo de los capítulos.

### 1.1 Antecedentes

**L**OS circuitos integrados (CIs) pueden ser definidos como la incorporación de todos los componentes activos y pasivos de un circuito electrónico de manera conjunta en un único chip semiconductor [1]. En la actualidad, el diseño de CIs, tanto analógicos como mixtos (llamados también de señal mezclada) han tenido un gran auge y un especial interés, por lo que cada vez es mayor el número de aplicaciones que recurren a su integración en un sólo chip, como es el caso de las Telecomunicaciones. El desarrollo que han experimentado las comunicaciones móviles ha revolucionado el campo de integración de circuitos y sistemas, teniendo en poco tiempo sistemas completamente integrados. Por ejemplo, se han reportado sistemas denominados *radios de silicio* que integran un receptor de RF, y circuitería para realizar procesos analógicos y digitales en un sólo chip, a lo que se le llama *system-on-chip (SoC)*. Estos sistemas se construyen a partir de una serie de circuitos analógicos con funciones sencillas basados en amplificadores, fuentes de corriente y de voltaje, convertidores A/D y D/A, así como sistemas de filtrado [2].

Con relación a los sistemas de filtrado, éstos tienen una amplia variedad de aplicaciones pero, sin duda alguna, la primordial es realizar la selección de rangos de frecuencia

específicos no sólo para procesamiento de señales, sino también para eliminar señales no deseadas como el ruido, y/o no idealidades de las técnicas de procesamiento, por ejemplo el denominado *aliasing*. Históricamente, los primeros filtros eléctricos, que eran sistemas de tiempo continuo, estaban basados en “tanques resonantes” LC, siendo el principal objetivo diseñar circuitos con bajas pérdidas y en los que la resonancia se utilizaba para generar los polos complejos, y determinar las bandas de transición entre las bandas pasantes y las atenuadas. Con el desarrollo de nuevas técnicas, se buscan microminiaturizar los sistemas, y debido a que los inductores son demasiado grandes, sobre todo al trabajar en baja frecuencia, y tienen fuertes componentes parásitas, los diseñadores sustituyen los filtros RLC pasivos por circuitos RC activos.

Aunque en una primera época los CIs, compuestos primordialmente por estructuras RC activas en torno al amplificador operacional, eran dominantes pero no únicos, a finales de la década de los 70s y principios de los 80s se produjo una variante en el desarrollo de los CIs, dándose el cambio debido al crecimiento de la microelectrónica, con el fin de integrar más dispositivos en menor área (tal y como sucede hoy en día). De esta manera se comienza a considerar los dispositivos de señal mezclada analógico-digital. Los principales problemas que presentaron estos dispositivos fueron las excesivas tolerancias que los circuitos RC activos clásicos presentaban en su realización, así como la incompatibilidad de sus procesos de integración con las técnicas utilizadas para los circuitos digitales [3].

Debido a las desventajas de los circuitos analógicos, como la escasa capacidad de programación, reconfiguración y repetitividad, así como baja robustez y precisión, a causa de limitaciones físicas, ha hecho que sus aplicaciones quedaran acotadas. Sin embargo, los diseñadores continuaron ampliando el campo del procesado analógico. Fue así como, una solución a nivel CIs con procesado en tiempo-discreto fue usar la técnica denominada de capacitancias conmutadas o SC (*Switched Capacitors*) [4]. Los circuitos SC, si bien son sistemas analógicos (puesto que no se realiza cuantificación de la señal), su descripción formal se hace en términos discretos (en el dominio de la transformada  $z$ ), ya que trabajan en base al muestreo de las señales analógicas que procesan. Durante los primeros años de la década de los 80 su evolución fue a un paso vertiginoso, poniéndose a la altura, e incluso superando a los clásicos circuitos RC activos, apareciendo, por ejemplo, modelos comerciales de filtros SC con prestaciones en cuanto a programabilidad y frecuencia de corte bastante aceptables. Las ventajas de los circuitos SC son su eficaz (aunque limitada) programabilidad y entonado. No obstante, las limitaciones teóricas, predichas por la teoría se alcanzaron rápidamente en la práctica. La principal limitación consiste en la frecuencia, pues por tratarse de circuitos que muestrean la señal, y debido al Teorema de Nyquist, siempre la frecuencia máxima de funcionamiento debe estar, como mínimo, un orden de magnitud por debajo de la frecuencia de muestreo para obtener resultados de proceso satisfactorios.

Para finales de los 80s, se presentó otra alternativa a los SC. Las técnicas de corrientes conmutadas o SI (*Switched Currents*) [5] que, como la SC, también procesan la señal analógica en tiempo-discreto. Sin embargo, presentan claras ventajas con una base similar a los circuitos SC, las técnicas SI resultan mucho más simples (utilizan como condensadores las capacitancias *gate-channel* intrínsecas de los transistores MOS), pueden trabajar con niveles de polarización bajos, lo cual las hace idóneas en circuitos *low-voltaje*, y son aptas para integrar circuitos de este tipo con tecnologías digitales. El problema principal de estas técnicas, aparte de los derivados del proceso de muestreo, continúa siendo el limitado ancho de banda en el cual pueden trabajar, similar al de los sistemas SC. Además las técnicas SC y SI comparten el problema añadido del efecto de acoplamiento del reloj, que reduce la precisión del diseño e incrementa los niveles de distorsión y ruido.

Paralelamente a las técnicas muestreadas, se continuaron desarrollando nuevas técnicas en tiempo-continuo que facilitaron el camino a la integración de este tipo de sistemas. Inicialmente fueron los llamados circuitos OTA-C (o  $g_m$ -C) [6], que emplean exclusivamente condensadores y elementos activos de transconductancia (*Operational Transconductance Amplifiers*), con lo cual se eliminan las voluminosas e incómodas resistencias (que consumen gran área de silicio al ser integradas, sobretodo en frecuencias de audio). Son técnicas ventajosamente simples que además trabajan sin realimentación local, lo cual hace que se obtengan estructuras rápidas y, por tanto, con resultados buenos cuando son empleadas en alta frecuencia. Además conllevan asociada la ventaja del entonado permitida normalmente por el OTA, proporcionando la posibilidad de ajustes y correcciones frente a dispersiones de los procesos de fabricación.

En los últimos años la investigación se ha llevado a cabo en la obtención de OTAs lo más lineales posibles (uno de los principales inconvenientes de estas técnicas) y en la búsqueda de una operación a mayores anchos de banda [7]. De forma simultánea a las técnicas OTA-C aparece la alternativa conocida como MOSFET-C [8] que, utilizando en sustitución de resistencias la característica voltaje-corriente del transistor MOS, sigue empleando el amplificador operacional como elemento activo básico.

Este uso permite aprovechar las mismas topologías de los circuitos RC activos, pudiéndose pasar de una técnica a otra de forma casi inmediata. A pesar de esto, dichas técnicas MOSFET-C han tenido menos relevancia en estos años que los OTA-C (desarrolladas un poco antes), ya que los nichos de aplicación de ambas técnicas son muy similares, aunque se ha comprobado que las técnicas OTA-C pueden trabajar a mayores frecuencias que las MOSFET-C. A pesar de esta limitación, las técnicas MOSFET-C siguen siendo una interesante solución en problemas de procesamiento analógico de tiempo continuo, sobre todo en bajas frecuencias, junto con la posibilidad de automatización del diseño [9]. Sin dejar de mencionar que las tecnologías de fabricación actuales (como la utilizada en el presente trabajo) permiten el diseño de amplificadores operacionales CMOS con excelentes características.

Finalmente, para conseguir las características de capacidad de programación, reconfiguración y repetitividad, así como alta robustez y precisión, en los últimos años se está presentando el desarrollo de estructuras analógicas reprogramables, llamadas FPAA (*Field Programmable Analog Arrays*) [10], cuyos límites al comienzo del siglo XXI todavía están por determinarse, aunque se espera que en pocos años sean tan amplios como los FPGA, sus equivalentes del mundo digital.

## 1.2 Planteamiento del Problema

Los circuitos de filtrado son parte esencial en las aplicaciones relacionadas con el procesamiento de señales. Si bien se tienen desarrollos importantes, también es cierto que nuevas aplicaciones demandan nuevas propuestas de desempeño, como es el ser incorporados en una variedad de sistemas portátiles. Lo cual implica que el producto final presente bajo volumen, mínimo peso y portatibilidad.

En la práctica, un buen porcentaje de sistemas portátiles aun están siendo desarrollados con componentes electrónicos, discretos, y de propósito general. Sin embargo, la tendencia tecnológica muestra, día a día, una miniaturización de todo sistema portátil de entretenimiento, de comunicación personal, y de otras aplicaciones como el censado de

señales para uso en prótesis, por citar al menos una. De esta última, es comprensible la reducción no sólo del volumen de la circuitería electrónica, sino también en su masa. Aun más, cuando esta aplicación demanda el procesamiento de señales de bajas frecuencias, las especificaciones de diseño aumentan porque los niveles de ruido deben ser eliminados; éstos incluyen el ruido generado por los elementos resistivos, de gran valor, que se requieren para limitar el ancho de banda impuesta por la propia aplicación.

Por lo anterior, en esta investigación se propone el desarrollo de un sistema de filtrado de baja frecuencia, 200-2000 Hz, completamente integrado en silicio. El sistema de filtrado, a ser integrado en una prótesis mecánica, se desarrolla a partir de la ejecución de un flujo de diseño que incluye la validación del prototipo –en el dominio de la frecuencia- usando componentes discretos. El prototipo, se podrá basar en la propuesta de Sallen-Key, seleccionándose por incluir resistores flotantes y aterrizados, lo cual da lugar a la búsqueda de una propuesta que permita el diseño de resistores activos. La propuesta resistiva final, en conjunción con las características intrínsecas del transistor MOS, debe permitir trasladar la propuesta RC de Sallen-Key, en una implementación gmC, y en el que el uso del amplificador operacional de voltaje tradicional será sustituido por un amplificador operacional de transconductancia. En el desarrollo del sistema de filtrado final todos los amplificadores y componentes se diseñarán a partir de las facilidades tecnológicas de una tecnología 0.35 $\mu$ m CMOS, 3.3V, estándar.

## 1.3 Objetivos

### General

Desarrollar circuitos CMOS que emulen altos valores de resistencia y que demanden baja área de integración; características necesarias para la implementación de sistemas de filtrado portátiles de baja frecuencia e integrados completamente en silicio.

### Específicos

- Comprobar que la metodología de diseño es escalable en tecnologías CMOS.
- Desarrollar una metodología de prueba para verificar que los valores resistivos que se implementaron son consistentes con los postulados teóricos.
- Presentar la metodología de diseño basada en aproximaciones resistivas.
- Realizar diseños completamente integrados de sistemas de filtrado para aplicaciones de baja frecuencia (del orden de kHz)

## 1.4 Estructura del Trabajo de Tesis

El Capítulo 1 presenta una breve descripción de los antecedentes, así como el planteamiento del problema junto a una posible solución, para finalmente plantear los objetivos del trabajo de tesis.

El Capítulo 2 describe el flujo de diseño, topologías de sistemas de filtrado de segundo orden más conocidas, dentro de las cuales se analiza la Sallen-key que es la base de los diseños presentados en este trabajo. Por otra parte también se hace una breve descripción de la aproximación de diseño más conocida (Butterworth). Se desarrolla como ejemplo el diseño de un sistema de filtrado pasa-bajas de segundo orden a 10kHz, el cual conlleva un inconveniente a nivel integración, debido al valor de las resistencias que resultan (los capacitores del diseño son del orden de pF). Por lo anterior, se presenta una solución CMOS basada en una aproximación resistiva. Se presenta simulación SPICE que corrobora el cumplimiento de especificaciones. Finalmente, con el propósito de validar la solución propuesta se hace una implementación discreta; la medición de esta implementación se apoya en una interfaz GPIB.

En el Capítulo 3 se muestra el diseño de un sistema de filtrado pasa-banda, con frecuencias de corte laterales en  $f_L=200\text{Hz}$  y  $f_H=1.20\text{kHz}$ , este sistema se simula con componentes ideales (para verificar su desempeño). Posteriormente se valida el funcionamiento de forma práctica con una implementación discreta, y luego se presentan resultados SPICE que muestran el cumplimiento de los requerimientos del sistema de filtrado con la sustitución de los componentes discretos por su implementación CMOS.

El Capítulo 4 presenta el diseño de un sistema pasa-bajas a 2kHz, debido a la búsqueda de un sistema con programabilidad, éste se conforma de una manera similar al presentado en el Capítulo 2, sin embargo tiene como característica contar con ramas de 4 transistores, una vez que se simula la implementación con la etapa de ganancia y componentes pasivos, se realiza la integración de una técnica para emular los resistores, la cual consta de un seguidor de voltaje y un arreglo de transistores, obteniendo así la frecuencia de corte requerido con  $R_1=R_2=R=7.92\text{M}\Omega$  y  $C_1=C_2=C=2\text{pF}$ . También se realizó el diseño Layout, en donde se hace la simulación post-layout, obteniendo resultados positivos. Sin embargo, queda para trabajo futuro la construcción física de dicho sistema para la verificación de la programabilidad de la frecuencia de corte.

En el Capítulo 5 se muestran las conclusiones y las actividades a desarrollarse en un futuro.

Para finalizar se encuentran los Apéndices, los cuales contienen los programas de simulación SPICE para los sistemas finales presentados en los Capítulos 2, 3 y 4, además de observar el archivo M-File de Matlab, con el que se realiza la medición mediante la interfaz GPIB, por último se encuentra el artículo presentado en el XV Workshop Iberchip en la ciudad de Buenos Aires, Argentina, durante el mes de Marzo 2009.



## Capítulo 2

### Diseño de Filtros Activos

Se describe la importancia que tienen los sistemas de filtrado en el diseño electrónico, sus aplicaciones y principales características, así como su implementación a nivel circuito integrado (CI). Se describe el flujo de diseño empleado, y se ejemplifica con el diseño de un sistema pasa-bajas. Se presentan también las topologías más destacadas para implementar el sistema, la aproximación Butterworth y la respuesta del sistema en el dominio de la frecuencia. Posteriormente se muestra un caso práctico con fines ilustrativos, incluyendo su simulación Spice. Para validar los conceptos se hace trabajo en laboratorio para caracterizar un sistema pasa-bajas (basado en componentes discretos) a diversas frecuencias. Dado que el propósito es implementar el sistema de filtrado a nivel de circuitos integrados, la topología seleccionada, al ser activa, requiere el diseño de una etapa de ganancia. Ésta se diseña mediante la técnica Aproximación Resistiva y considera las reglas de diseño de una tecnología CMOS estándar (1.5 $\mu$ m, pozo N, 5V). Se presentan resultados de simulación del sistema de filtrado, RC activo, completamente integrado y en el que sólo los elementos capacitivos son componentes pasivos.

#### 2.1 Diseño de Sistemas de Filtrado

**L**OS diseñadores de sistemas de filtrado disponen de alternativas de diseño presentadas en 3 grupos:

- Filtros de Tiempo Continuo (CTF). En estos circuitos la señal de entrada, continua en el tiempo, es procesada directamente por el filtro diseñado, sin necesidad de ningún tipo de muestreo previo.



- Filtros de Capacitancias Conmutadas (SCF) y de Corrientes Conmutadas (SIF). En ellos puede ser necesario un filtro adicional (de tiempo continuo) a la entrada, para atenuar así las componentes de frecuencias elevadas de la señal, eliminando problemas ocasionados por el fenómeno de *aliasing* (filtro *anti-aliasing*) de dichas componentes en el proceso de muestreo. También, a la salida de los mismos, se necesita otro filtro (también de tiempo continuo) de aislamiento (*smoothing filter*) que suavice los 'escalones' de la señal de salida producidos por el muestreo del sistema, eliminando así el ruido de alta frecuencia.
- Filtros Digitales (DF). Donde es necesario la mayoría de las veces el uso de los filtros *anti-aliasing* y *smoothing*, como en el caso anterior, aunados a los convertidores A/D y D/A.

En aplicaciones donde la programabilidad es primordial, los filtros digitales pueden ser la solución idónea, siempre y cuando la circuitería periférica asociada a él no represente un problema. Para aplicaciones de medio y bajo margen dinámico, si la programabilidad no es importante, los filtros analógicos pueden ser ventajosos en términos de disipación de potencia, área de integración, y posibilidad de trabajar en alta frecuencia. En bajas frecuencias las alternativas de tiempo continuo y de capacitancias conmutadas ofrecen soluciones semejantes. A pesar de ello, el diseño práctico de SCF no es fácil, debido a la presencia de algunas no-idealidades como los efectos de acoplamiento o perturbaciones provocadas por el reloj del sistema sobre la señal de salida y la limitación en altas frecuencias por el hecho de que son circuitos que muestrean la señal. Por ello los CTF son más usados, ya que sus estructuras son más simples de forma general, y porque no necesitan bloques adicionales al propio filtro.

Los CTF presentan la ventaja adicional de que, para una misma tecnología, pueden trabajar a mayores anchos de banda, lo cual los hace idóneos en aplicaciones, no sólo en banda base (baja frecuencia), sino también en aplicaciones de telefonía móvil para el desarrollo de sistemas de tercera generación. Una aplicación importante en los últimos tiempos de los CTF en circuitos integrados en procesado directo de señal es en los canales de lectura de los *drivers* de discos en donde, a pesar de que las CTF no tienen buena programabilidad, los requerimientos en cuanto a velocidad y disipación de potencia se cumplen casi idealmente. Otras aplicaciones son el enlace y envío de datos a altas velocidades, etapas de sintonía de señales de radiofrecuencia, filtros de lazo para *phase-locked loops* (PLL), sistemas de telefonía, sistemas de comunicación por hilos, etc., además de las aplicaciones *anti-aliasing* y *smoothing* en sistemas DSP de audio y televisión digitales.

Ahora bien, una vez que se decide el tipo de filtro a diseñar es necesario seguir un flujo de diseño, el cual constituye una guía para el diseñador donde se indica cómo cumplir de manera óptima todos los requerimientos (ver Fig. 2.1). En la realización de cualquier diseño se observa que todo parte de un conjunto de especificaciones, que dan lugar a la etapa de análisis y diseño, donde el objetivo es plasmar las especificaciones con el uso de modelos matemáticos, ecuaciones de diseño, topologías y circuitos eléctricos hasta obtener el cumplimiento de todas y cada una de ellas. Enseguida, se da paso a la simulación y optimización del diseño. Acto seguido, se realiza el Layout, el cual consiste en implementar el diseño a nivel silicio, implementación que también se simula para verificar especificaciones y someterlo a fabricación. Luego, al chip se realizan pruebas con las cuales se verifica el cumplimiento de especificaciones del diseño y se toma la decisión de si las cumple o no. Es importante considerar que en cualquier etapa del flujo puede existir una retroalimentación a etapas anteriores. Toda vez que el flujo de diseño es simple

y comprensible, es importante contar con las bases teóricas para realizar un diseño, por ende el grupo de especificaciones debe ser comprensible en su totalidad, como ejemplo se tiene el diseño de un sistema de filtrado, siendo sus especificaciones iniciales un tipo de respuesta pasa-bajas, una topología activa de segundo orden y una frecuencia de corte  $f_0$ . Por lo tanto, y como se mostrará más adelante, como base teórica se considera al conjunto de topologías existentes que son útiles para realizar el diseño.

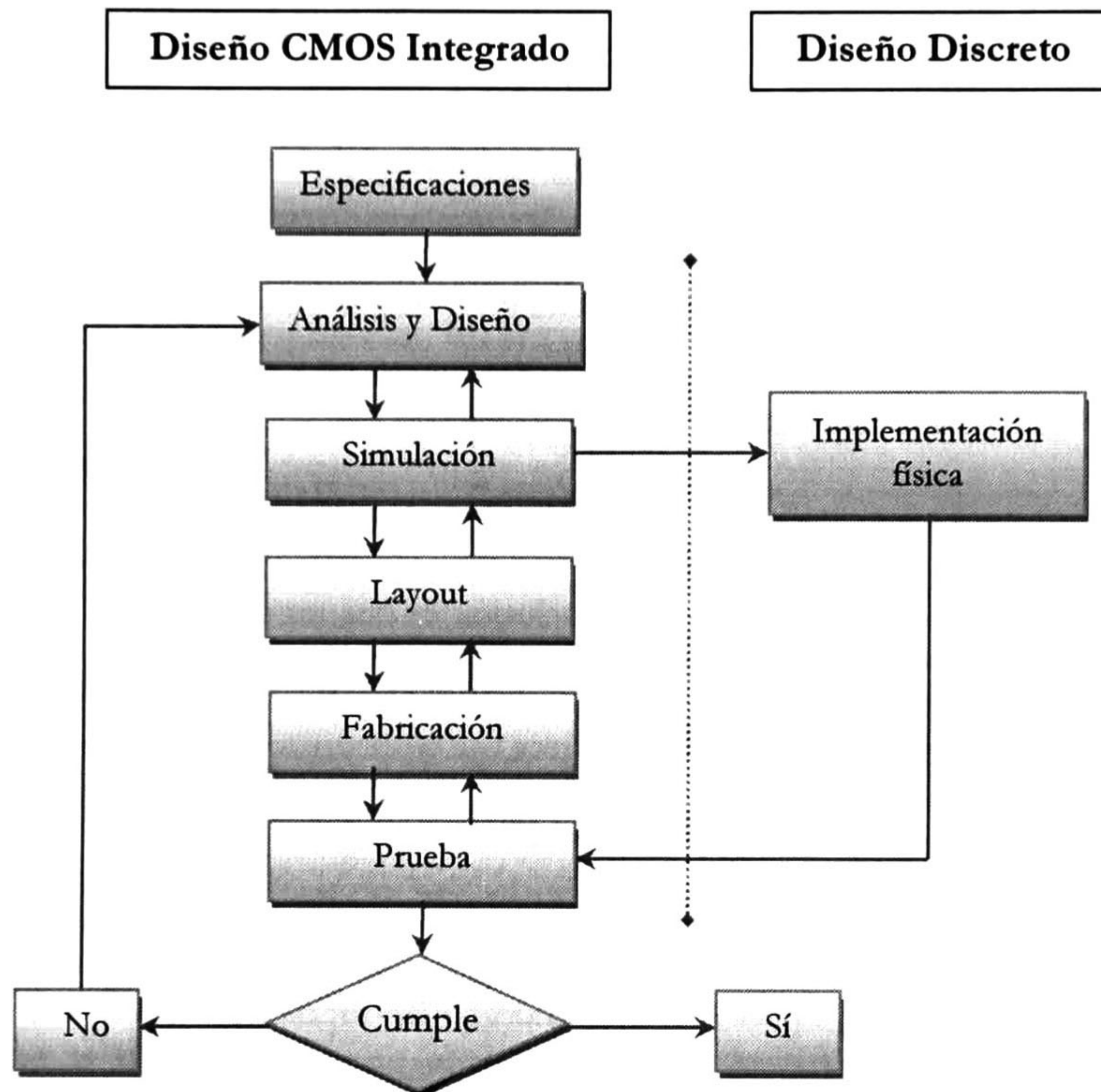


Fig. 2.1 Flujo de Diseño

## 2.2 Topologías de Segundo Orden

Existen diversas topologías para el diseño de un sistema de filtrado, las cuales presentan variantes como el número de amplificadores y el número de componentes pasivos que las forman. Estas variantes son importantes porque, para su implementación en silicio, el consumo de potencia, el área de integración, y el número de componentes pasivos son consideraciones fundamentales del diseño. Las topologías pueden variar desde implementaciones pasivas (sólo resistores, capacitores e inductores) hasta desarrollos activos. Los primeros tienen la ventaja de lo sencillo que es diseñarlos e implementarlos ya que al diseñarlos como sistemas de uno o dos polos, éstos pueden ser fácilmente calculados a través de (2.1). La característica de un polo es la atenuación de las señales a 20dB por década, sin embargo y contrario a la sencillez de su diseño tiene como desventaja la alta sensibilidad que presenta el sistema a las tolerancias de los componentes; entendiéndose por sensibilidad las dispersiones en la respuesta debido a las variaciones en los valores de cada componente. La sensibilidad varía con el orden del filtro.

$$f_0 = \frac{1}{2\pi RC} \quad (2.1)$$

Además, debido a que un filtro pasivo no proporciona ganancia y siendo ésta usualmente parte de las especificaciones de diseño, entonces se opta por un filtro activo. Esta implementación es una red pasiva con bloques de amplificación; esta alternativa ha permitido el desarrollo de una enorme cantidad de topologías, usualmente modeladas por funciones de transferencia de 2° orden. Obsérvese que un diseño activo no evita los inconvenientes de los valores resistivos y/o capacitivos si la aplicación es de baja frecuencia. El diseño activo sólo permite incorporar una especificación común de diseño: la ganancia. Para propósitos de este trabajo, las implementaciones de interés son las de segundo orden, llamadas también etapas bicuadráticas. En (2.2) se muestra la representación matemática de un filtro bicuadrático, donde  $z_n$  y  $p_n$  ( $n=1, 2$ ) representan los ceros y polos del sistema, respectivamente.

$$H(s) = H(0) \frac{(s+z_1)(s+z_2)}{(s+p_1)(s+p_2)} \quad (2.2)$$

Del análisis de esta ecuación, la primera conclusión es que un filtro puede representarse matemáticamente como el producto de funciones de primer orden, lo que es conveniente para analizar la respuesta en el dominio de la frecuencia mediante la Gráfica de Bode [11]. Posteriormente se mostrará la ventaja que ofrece esa representación en la síntesis del filtro y, dependiendo del método de aproximación seleccionada, se aprovechará la existencia de ceros simples o conjugados en la respuesta del filtro.

Tradicionalmente el uso de bicuadráticos permite el diseño de filtros de orden superior simplemente conectando en cascada tantas etapas bicuadráticas como sean necesarias para satisfacer el conjunto de especificaciones. Luego, las topologías: Sallen-Key, *Multiple Feedback*, *State Variable* y *Biquad*, tienen diferencias principalmente en el número de opamps, en la cantidad de componentes, en el área de integración, etc.; existen otras variantes, sin embargo estas 4 representan la base en los filtros activos. En lo que sigue se analizan las topologías en implementaciones pasa-bajas (Sallen-Key y *Multiple FeedBack*), debido a que este tipo de respuesta se trabajará a modo de ejemplo.

La topología Sallen-Key (ver Fig. 2.2) fue presentada en 1955 por R.P. Sallen y E.L. Key en el Laboratorio Lincoln de MIT. Esta es una de las topologías más usadas ya que conserva la fase de la señal a través del sistema de filtrado debido a su comportamiento no inversor. La frecuencia de corte ( $f_0$ ) es inversamente proporcional al producto RC, mientras que el factor de calidad (Q) es inversamente proporcional a la ganancia ( $3-k$ ), siendo  $f_0$  y  $k$  en esta topología parámetros independientes entre sí porque no muestran variaciones uno con respecto al otro. El filtro mostrado en la Fig. 2.2 tiene ganancia unitaria, además ambos resistores son de idéntico valor, al igual que ambos capacitores. Esta topología presenta una gran versatilidad en la implementación de los componentes así como una menor sensibilidad.

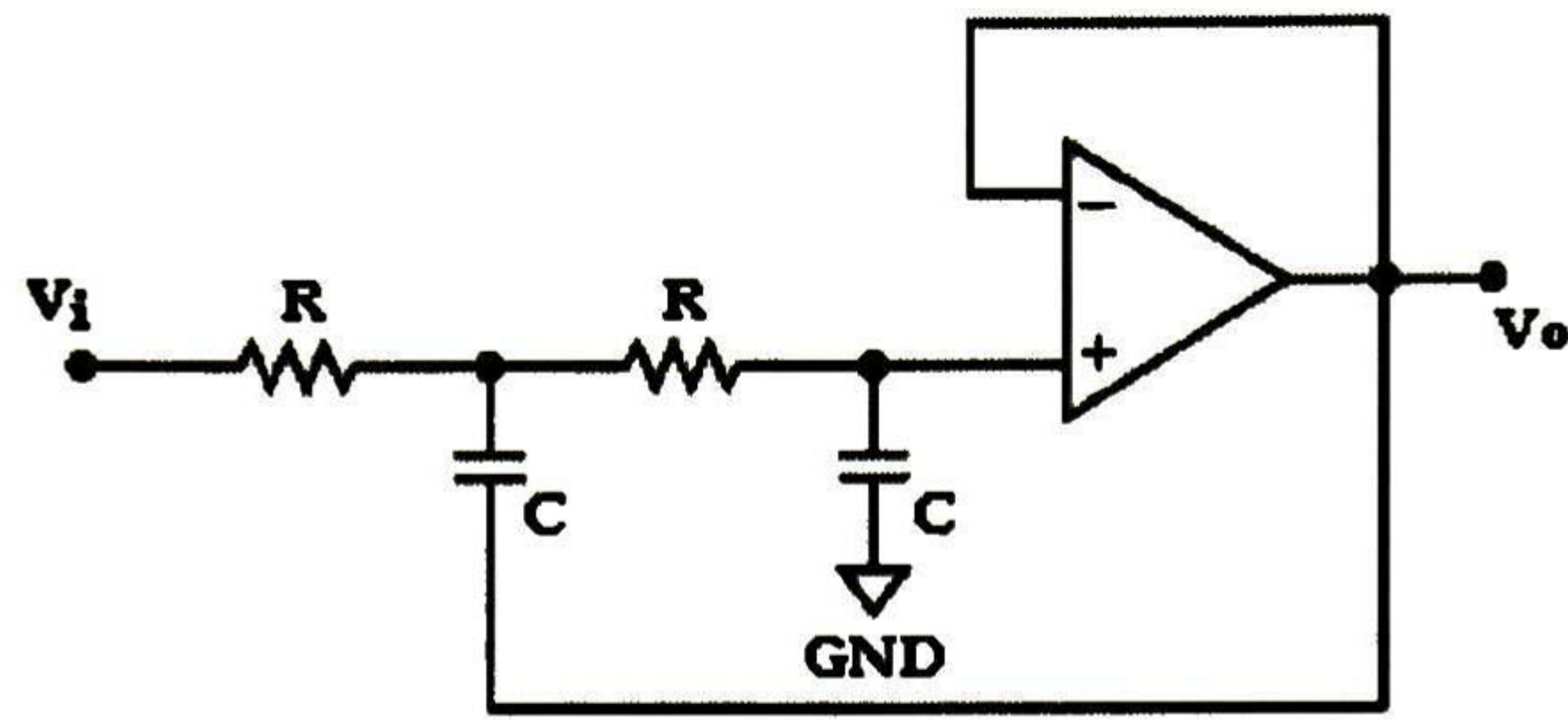


Fig. 2.2 Filtro Sallen-Key Pasa-bajas.

Para la topología *Multiple Feedback*, los parámetros  $Q$ ,  $f_0$  y  $k$  presentan dependencia entre sí, limitando y dificultando la optimización de los componentes. Otra característica es que presenta cambio de fase en la señal. En la Fig. 2.3 se muestra un filtro pasa-bajas, el cual cuenta con 3 resistores y 2 capacitores, todos de diferente valor y un sólo amplificador. El incremento de componentes que presenta respecto a la topología Sallen-Key es factor de mérito al momento de la implementación en silicio, debido a que requiere mayor área de integración.

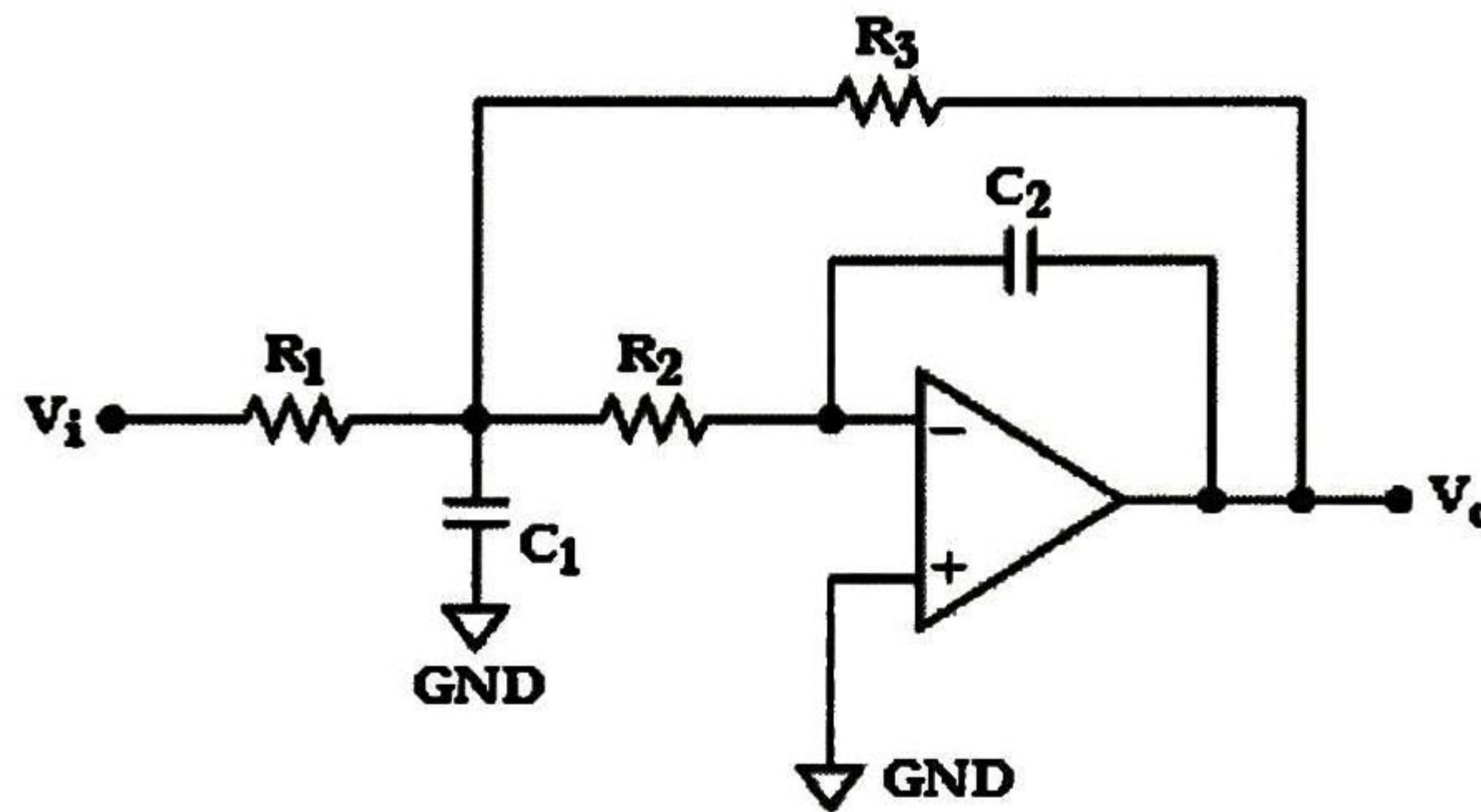


Fig. 2.3 Filtro Multiple Feedback pasa-bajas.

La topología *State Variable* cuenta con más componentes que las 2 topologías anteriores, además de tener 3 opamps (2 más que la topología Sallen-Key y *Multiple Feedback*). La topología mostrada en la Fig. 2.4 es capaz de producir los 3 tipos de respuesta de interés pasa-bajas, pasa-altas y pasa-banda simultáneamente (en diferentes nodos), aunado a esto cuenta con ajuste independiente de los parámetros  $k$ ,  $f_0$  y  $Q$  mediante el valor de los componentes. Por otra parte, una característica es el cambio de fase en el dominio de tiempo de la señales para respuestas pasa-bajas y pasa-altas, mientras que para la respuesta pasa-banda se conserva la fase; el mayor inconveniente que presenta es el área que consume para la integración en CI.

La topología *Biquad* mostrada en la Fig. 2.5, mantiene semejanza con la topología *State Variable*, contiene una función bicuadrática tanto en el numerador como en el denominador, fue expuesta en 1968 por J. Estopa y posteriormente en 1971 por el Sr. L. C. Thomas [11]. La topología *biquad* es una reorganización de la topología *State Variable*, sin embargo ya no cuenta con una respuesta pasa-altas independiente y en cambio tiene dos respuestas pasa-bajas, una que conserva la fase y otra que la invierte, mientras que la respuesta pasa-banda de igual manera invierte la fase, en caso de desear una respuesta pasa-altas, es necesario anexar una etapa de ganancia, produciendo que el sistema cuente con 4 etapas, lo cual es prohibitivo para un diseño de bajo consumo.

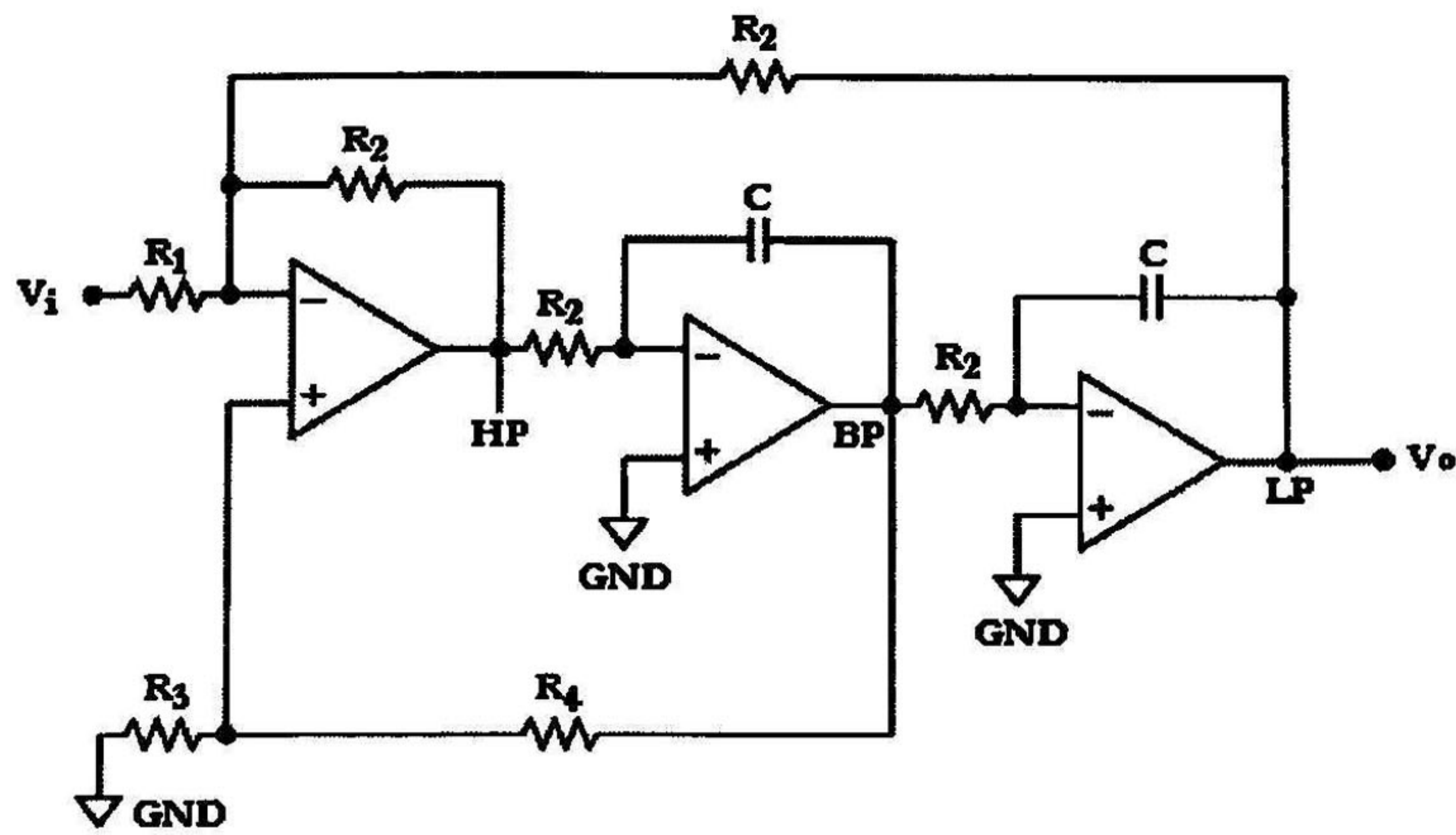


Fig. 2.4 Filtro State-Variable Bicuadrático de 3 opamps.

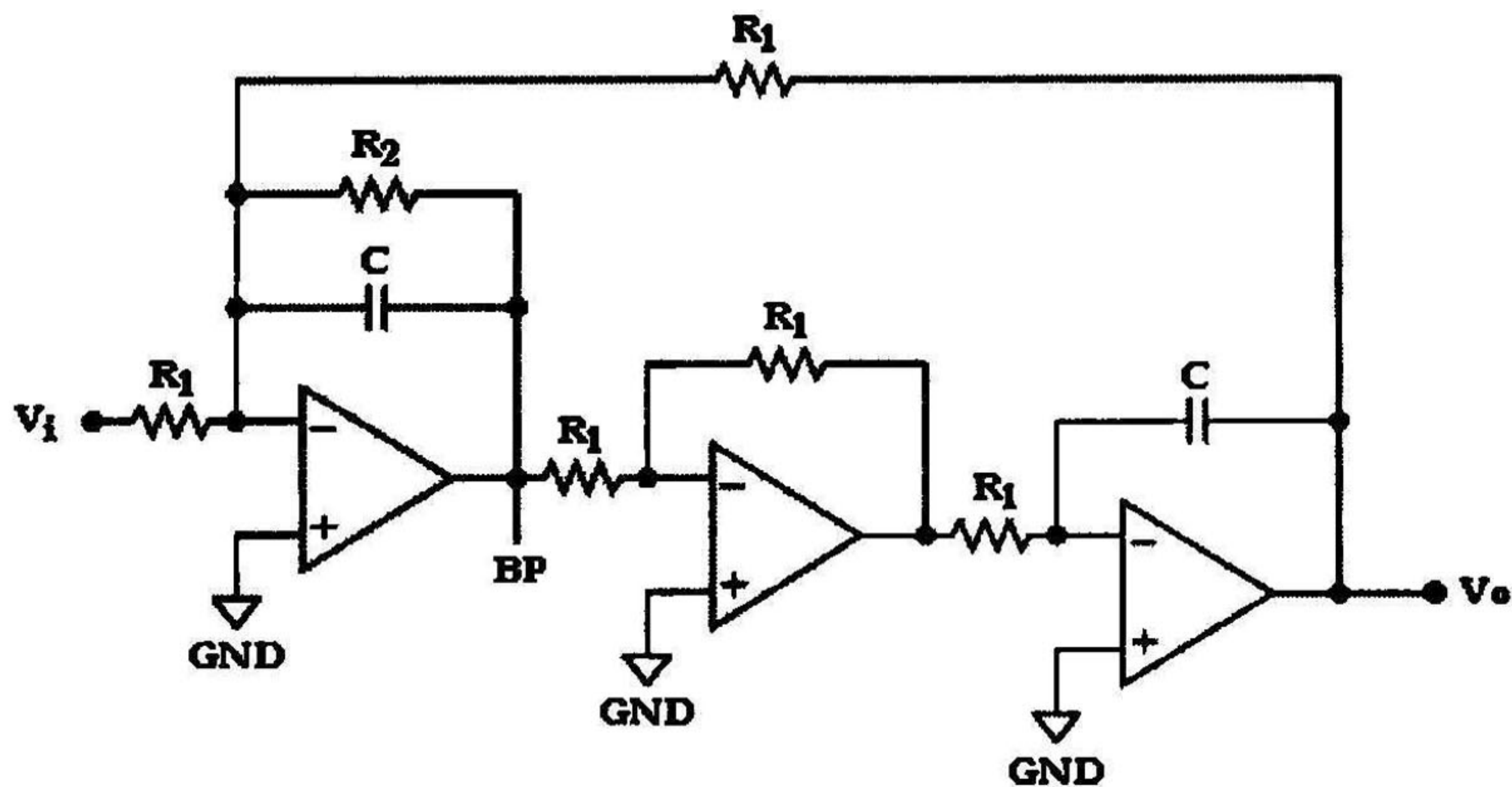


Fig. 2.5 Filtro Biquad o Bicuadrático.

En la Tabla 2.1 se muestra una comparativa de las 4 topologías antes presentadas, las características a comparar son el número de opamps y número de componentes, consumo de potencia estimado, área de integración, tipos de respuestas y finalmente (pero no menos importante) la facilidad para realizar la optimización de los parámetros  $f_0$ ,  $Q$  y  $k$ ; llamando a esta característica parámetros independientes.

Topología	Opamps	Componentes	Consumo de Potencia	Área de Integración	Respuesta Simultánea			Parámetros independientes ( $f_0$ , $Q$ y $k$ )
					Pasa-Bajas	Pasa-Altas	Pasa-Banda	
Sallen-key	1	4	Bajo	Poca	Sí	No	No	Sí
Multiple-Feedback	1	5	Bajo	Poca	Sí	No	No	No
Variable State	3	9	Alto	Mucha	Sí	Sí	Sí	Sí
Biquad	3	8	Alto	Mucha	Sí	No	Sí	Sí

Tabla 2.1 Comparativa de las características de las Topologías Bicuadráticas.

De las topologías analizadas, la topología Sallen-Key presenta un menor número de componentes y un solo amplificador lo que genera una menor área de integración. Al tener menos componentes el sistema tiene una menor sensibilidad. Esta topología maneja un bajo consumo de potencia por lo que es la indicada para la integración en silicio, por otra parte brinda un control independiente en los parámetros  $k$ ,  $Q$  y  $f_0$ , lo que conlleva a realizar optimizaciones de manera simple. Debido a que esta topología resulta ser la más apropiada por la existencia de resistores flotantes en su implementación pasa-bajas, ya que los resistores aterrizados son relativamente fáciles de integrar, será tomada como la topología de referencia en este trabajo.

## 2.2.1 Topología Sallen-Key

Esta red es activa porque incluye un bloque de ganancia  $k$ . Obsérvese que la red consta de cuatro impedancias (ver Fig. 2.6), lo que significa que el diseñador puede proponer la naturaleza de cada  $Z_i$  ( $i=1, 2, 3, 4$ ) tal que el sistema resultante sea de segundo orden<sup>1</sup>.

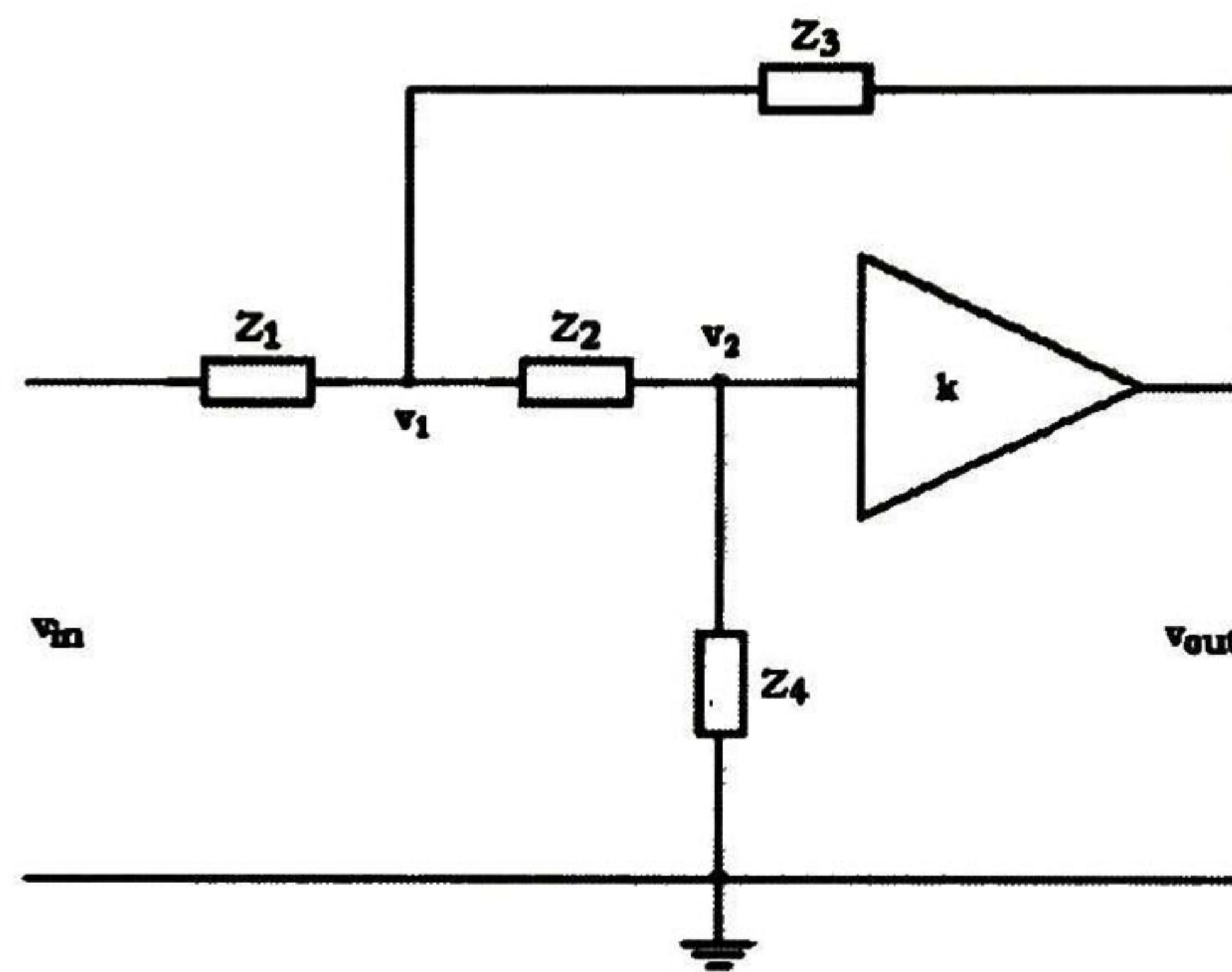


Fig. 2.6 Topología general Sallen-Key

Con esta topología, también conocida como filtro de fuente de voltaje controlada por voltaje (por sus siglas en inglés VCVS), es posible proporcionar respuestas pasa-bajas, pasa-altas y pasa-banda. Es fácil demostrar que las ecuaciones de nodo necesarias para obtener la función de transferencia son las siguientes:

$$\frac{v_{out}}{Z_3} = \left( \frac{1}{Z_1} + \frac{1}{Z_2} + \frac{1}{Z_3} \right) v_1 - \left( \frac{1}{Z_2} \right) v_2 - \left( \frac{1}{Z_1} \right) v_{in} \quad (2.3)$$

$$\frac{v_1}{Z_2} = \left( \frac{1}{Z_4} + \frac{1}{Z_2} \right) v_2 \quad (2.4)$$

$$v_{out} = kv_2 \quad (2.5)$$

donde se aplican las leyes de corriente de Kirchhoff (por sus siglas en inglés KCL) para la obtención de (2.3) y (2.4), mientras que tomando ventaja de la naturaleza lineal del

<sup>1</sup> Nótese que  $Z_i$  refiere impedancias, mientras que  $z_i$  representa ceros.

amplificador se deduce directamente (2.5). Resolviendo para  $v_{out}/v_{in}$  se obtiene el siguiente resultado

$$\frac{V_{out}}{V_{in}} = \frac{k(Z_3 Z_4)}{Z_1(Z_4(k-1) - Z_2) - Z_3(Z_1 + Z_2 + 1)} \quad (2.6)$$

Para propósitos puramente ilustrativos se asumirá que las impedancias están asociadas a elementos de red simples, es decir, se omitirán combinaciones serie y paralelo. Entonces, si  $Z_R=R$  y  $Z_C=1/sC$  representan la impedancia de resistores y capacitores, respectivamente en el dominio de la variable de Laplace, las diferentes combinaciones de  $Z_i$  se muestran en la Tabla 2.2 al igual que la función de transferencia resultante y la respuesta en frecuencia correspondiente.

Una característica importante de la función de transferencia  $H(s)=N(s)/D(s)$  de un sistema de segundo orden es que tanto la frecuencia de corte  $\omega_0 (=2\pi f_0)$  como el factor de calidad son fácilmente obtenidos de los coeficientes de denominador, al expresar éste en la forma de la ecuación bicuadrática (2.7), donde  $\omega_0$  se obtiene del término independiente y  $Q$  se despeja del término lineal.

$$s^2 + s\left(\frac{\omega_0}{Q}\right) + \omega_0^2 \quad (2.7)$$

Obsérvese que  $Q$  es un parámetro sin dimensión porque  $[s]=\text{rad/s}$ , de igual manera lo es  $H(s)$  ya que  $[D(s)]=[N(s)]=(\text{rad/s})^2$ . Una característica necesaria del diseño de un sistema de filtrado, es tener control independiente de  $Q$ ,  $\omega_0$  y  $k$ . Del análisis de las diversas  $H(s)$  mostradas en la Tabla 2.2 se puede ver que no todas las configuraciones cumplen con esta característica, lo cual causa un conflicto en la implementación del sistema al limitar su controlabilidad. Apelando a la condición de control deseada se escogen la primera y última configuración de la Tabla 2.2, las cuales proporcionan respuestas pasa-altas y pasa-bajas, respectivamente.

Esta selección de configuraciones se realizó basándose principalmente en el término que denota a la frecuencia de corte, el cual corresponde al término independiente del polinomio mostrado en (2.7), donde  $\omega_0$  depende sólo de los elementos capacitivos y resistivos. Por otra parte, la ganancia del amplificador  $k$  influye tanto para determinar el valor de  $Q$ , como para el cálculo de la ganancia de baja frecuencia del sistema. Posteriormente se mostrará que, seleccionando otro nodo como *nodo de salida* el sistema de filtrado presentará una ganancia independiente de  $k$ , la cual será útil para aquellas aplicaciones que así lo demanden. En (2.8) y (2.9) se muestran las funciones de transferencia de las configuraciones seleccionadas:

$$\frac{V_{out}}{V_{in}} = \frac{k}{R_1 R_2 C_1 C_2} \frac{1}{s^2 + s\left(\left(1 + \frac{R_1}{R_2}\right)\left(\frac{1}{R_1 C_1}\right) - \left(\frac{1}{R_2 C_2}\right)(k-1)\right) + \left(\frac{1}{R_1 R_2 C_1 C_2}\right)} \quad (2.8)$$

$$\frac{V_{out}}{V_{in}} = \frac{ks^2}{s^2 + s\left(\left(\frac{1}{R_2}\right)\left(\frac{1}{C_1} + \frac{1}{C_2}\right) - \frac{k-1}{R_1 C_1}\right) + \frac{1}{R_1 R_2 C_1 C_2}} \quad (2.9)$$

$Z_1$	$Z_2$	$Z_3$	$Z_4$	Función de Transferencia	Respuesta
$R_1$	$R_2$	$\frac{1}{sC_1}$	$\frac{1}{sC_2}$	$\frac{V_{out}}{V_{in}} = \frac{\frac{k}{R_1 R_2 C_1 C_2}}{s^2 + s \left( \left( 1 + \frac{R_1}{R_2} \right) \frac{1}{R_1 C_1} - \left( \frac{1}{R_2 C_2} \right) (k-1) \right) + \left( \frac{1}{R_1 R_2 C_1 C_2} \right)}$	Pasa-Bajas
$R_1$	$\frac{1}{sC_1}$	$R_2$	$\frac{1}{sC_2}$	$\frac{V_{out}}{V_{in}} = \frac{\frac{k}{R_1 C_2}}{s + \left( \left( \frac{1}{C_1} + \frac{1}{C_2} \right) \left( \frac{1}{R_1} \right) + \left( \frac{1}{R_2} \right) \left( \frac{1}{C_1} - \frac{k-1}{C_2} \right) \right)}$	Pasa-Bajas
$R_1$	$\frac{1}{sC_1}$	$\frac{1}{sC_2}$	$R_2$	$\frac{V_{out}}{V_{in}} = - \frac{\frac{ks}{(k-1)R_1 C_2}}{s^2 - s \left( \left( \frac{1}{C_1} + \frac{1}{C_2} \right) \frac{1}{(k-1)R_2} \right) - \left( \left( \frac{1}{C_1} + \frac{1}{C_2} \right) \left( \frac{1}{(k-1)R_1 R_2 C_2} \right) \right)}$	Pasa-Banda
$\frac{1}{sC_1}$	$R_1$	$R_2$	$\frac{1}{sC_2}$	$\frac{V_{out}}{V_{in}} = \frac{\frac{ks}{R_1 C_2}}{s^2 + s \left( \left( \frac{1}{R_1} \right) \left( \frac{1}{C_1} + \frac{1}{C_2} \right) + \frac{1}{R_2 C_1} \right) + \left( \frac{1-k}{R_1 R_2 C_1 C_2} \right)}$	Pasa-Banda
$\frac{1}{sC_1}$	$R_1$	$\frac{1}{sC_2}$	$R_2$	$\frac{V_{out}}{V_{in}} = \frac{\frac{ksR_2 C_1}{C_1(R_1 + R_2) + C_2(R_1 - R_2(k-1))}}{s + \left( \frac{1}{C_1(R_1 + R_2) + C_2(R_1 - R_2(k-1))} \right)}$	Pasa-Banda
$\frac{1}{sC_1}$	$\frac{1}{sC_2}$	$R_1$	$R_2$	$\frac{V_{out}}{V_{in}} = \frac{ks^2}{s^2 + s \left( \left( \frac{1}{R_2} \right) \left( \frac{1}{C_1} + \frac{1}{C_2} \right) - \frac{k-1}{R_1 C_1} \right) + \frac{1}{R_1 R_2 C_1 C_2}}$	Pasa-Altas

**Tabla 2.2** Combinaciones para  $Z_i$ , su función de transferencia y respuesta para la topología Sallen-Key.

Obsérvese que la frecuencia de corte presenta la misma dependencia en ambas respuestas; lo mismo es cierto para la ganancia del sistema.

## 2.3 Respuesta en Frecuencia

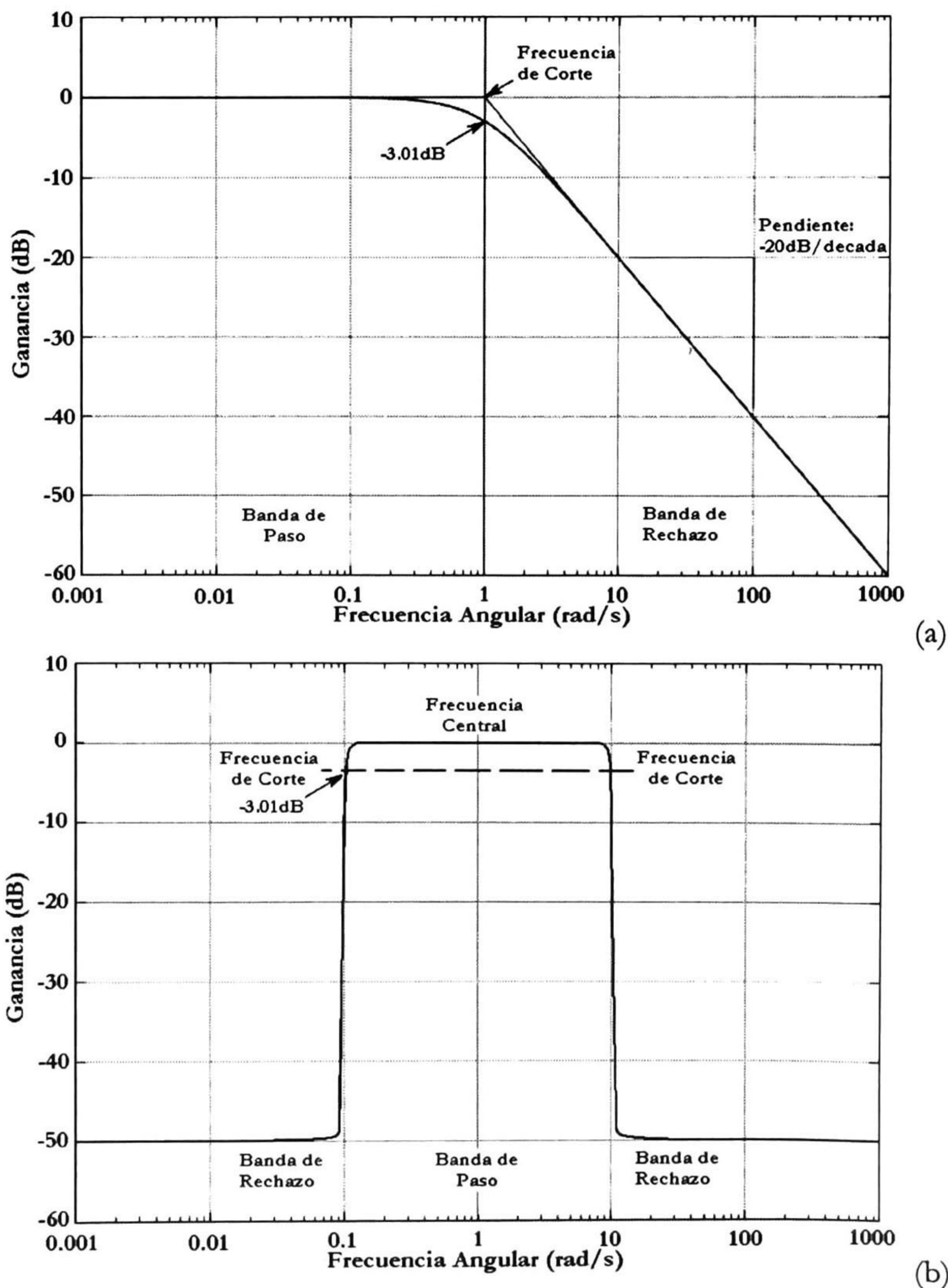
Se puede ver una señal como una superposición de componentes senoidales que ocupan una banda de frecuencias. Los sistemas de filtrado separan esa señal del ruido y otras señales no deseadas, dejando pasar selectivamente las frecuencias de interés y atenuando todas las demás. Generalmente, el filtro realiza cambios a las señales de forma definida dando más peso o énfasis a ciertas frecuencias frente a otras, o cambiando la fase de algún componente de la señal [12]. En general, los filtros reciben una clasificación de acuerdo a la respuesta que presentan en el dominio de la frecuencia:

- Un filtro pasa-bajas evita la atenuación de la señal de entrada desde DC hasta una frecuencia deseada, siendo ésta denotada por  $\omega_0$  (ver Fig. 2.7.a).
- Un filtro pasa-altas permite el paso de las señales de frecuencia mayor a  $\omega_0$ , mientras que atenúa todas las señales de frecuencias menores a ésta.
- Un filtro pasa-banda permite el paso de un rango limitado de frecuencias, de manera tal que atenúa todas las señales de frecuencia fuera de la banda de paso. Un filtro de este tipo le caracterizan 3 frecuencias de interés, 2 de las cuales se consideran frecuencias de corte y la restante se denomina frecuencia central. A la frecuencia central se presenta la máxima amplitud de la señal. Al rango de frecuencias permisibles se le denomina también ancho de banda (ver Fig. 2.7.b).
- Un filtro rechaza-banda a diferencia de un pasa-banda sólo atenúa una selección de frecuencias facilitando el paso al espectro de frecuencias restante.



- Los filtros pasa-todo permiten el paso de todas las frecuencias, es un circuito que se usa como retardo.
- Un filtro *notch* es un filtro rechaza-banda específico que sólo actúa en un pequeñísimo rango de frecuencias.

En el diseño de sistemas de filtrado, en ocasiones sólo es de interés variar la amplitud a diferentes frecuencias: este tipo de filtros se pueden usar como de pre-énfasis, ecualizadores o control de tonos, por mencionar algunas aplicaciones. En la práctica el rango de frecuencias seleccionado está definido por la aplicación a la cual está orientado el diseño del sistema de filtrado. Una vez que se selecciona el tipo de respuesta y se tiene su función de transferencia, se define el método de aproximación a utilizar en la síntesis del filtro.



**Fig. 2.7** Respuesta de un filtro de primer orden pasa-bajas (a) y respuesta de un filtro pasa-banda (b).

## 2.4 Aproximaciones

Para realizar la síntesis del filtro existen diferentes métodos de aproximación, los cuales satisfacen en distinto modo las especificaciones de la banda de paso deseada, presentando en consecuencia, rasgos característicos a lo largo de la banda de frecuencia. Por lo anterior, se establecen 3 criterios fundamentales para realizar el diseño: 1) establecer un máximo de atenuación permisible de la señal dentro de la banda de paso, 2) definir una atenuación mínima de la señal fuera de la banda de interés (llamada también *banda de rechazo*) y 3) especificar una región de transición entre ambas bandas. Los principales métodos de aproximación con los que se cuentan son: Butterworth, Chebyshev, Bessel, Gauss, etc. En la Tabla 2.3 se presenta, a manera de ejemplo, los coeficientes para polinomios Butterworth de orden  $n=2$  hasta 6. Los polinomios son de la forma:

$$s^n + a_1s^{n-1} + a_2s^{n-2} + \dots + a_{n-2}s^2 + a_{n-1}s + 1 \quad (2.10)$$

donde  $n$  es el orden del sistema de filtrado. Obsérvese que tanto el término independiente como el de  $n$ -ésimo orden cuentan con coeficientes unitarios.

$n$	$a_1$	$a_2$	$a_3$
2	1.414		
3	2.000		
4	2.613	3.414	
5	3.236	5.236	
6	3.863	7.464	9.141

**Tabla 2.3** Coeficientes Butterworth de orden  $n$ .

Considerando el diseño de un filtro pasa-bajas mostrado en (2.8) y usando los coeficientes Butterworth para  $n=2$ , el polinomio característico construido es:

$$s^2 + 1.414s + 1, \quad (2.11)$$

Para este diseño es posible igualar (2.11) con (2.12) y obtener los valores de los componentes que satisfagan, en su conjunto, el valor de los coeficientes.

$$s^2 + s \left( \left( 1 + \frac{R_1}{R_2} \right) \left( \frac{1}{R_1 C_1} \right) - \left( \frac{1}{R_2 C_2} \right) (k-1) \right) + \left( \frac{1}{R_1 R_2 C_1 C_2} \right) \quad (2.12)$$

Como primer consideración se propone que  $R=R_1=R_2$  y  $C=C_1=C_2$  con la finalidad de minimizar el número de variables. Entonces:

$$s^2 + s \left( \frac{3-k}{RC} \right) + \left( \frac{1}{RC} \right)^2 \quad (2.13)$$

de la cual resulta la siguiente propuesta:  $R=1\Omega$  y  $C=1F$ . Este resultado es congruente con (2.11) y define una frecuencia de corte normalizada a 1 rad/s.

Luego, de los términos lineales se calcula el valor de la ganancia que es la única variable por resolver; el valor de  $k$  es 1.58 debido a la siguiente igualdad:

$$3 - k = 1.414, \quad (2.14)$$

Sin embargo, como ya se mencionó, la expresión resultante corresponde a la frecuencia normalizada  $\omega_0 = 1.0$  rad/s, de manera que para fines prácticos no es útil, por lo que se debe realizar una denormalización en frecuencia. La denormalización se produce a través del uso del factor  $\alpha$  (ver Fig. 2.8). Este factor modifica el valor del capacitor mediante la siguiente expresión:

$$\omega_p = \alpha \omega_0 = \alpha \frac{1}{(1\Omega)(1F)} = \frac{1}{(1\Omega)\left(\frac{1F}{\alpha}\right)}, \quad (2.15)$$

donde  $\omega_p$  es la frecuencia de corte deseada;  $\omega_p$  se obtiene modificando el valor del capacitor debido a que la denormalización actúa directamente en las reactancias, tanto capacitivas como inductivas, en caso de encontrarse en el sistema:

$$H(s) \Big|_{s \rightarrow j\omega_0} = H(j\omega_0), \quad (2.16)$$

En (2.16) se observa que al modificar  $\omega_0$  por consiguiente se modifican todos los valores de capacitores e inductores al presentar una reactancia como se muestra en (2.17). En el caso de los inductores su valor se multiplica por  $\alpha$ , mientras que para los capacitores se divide.

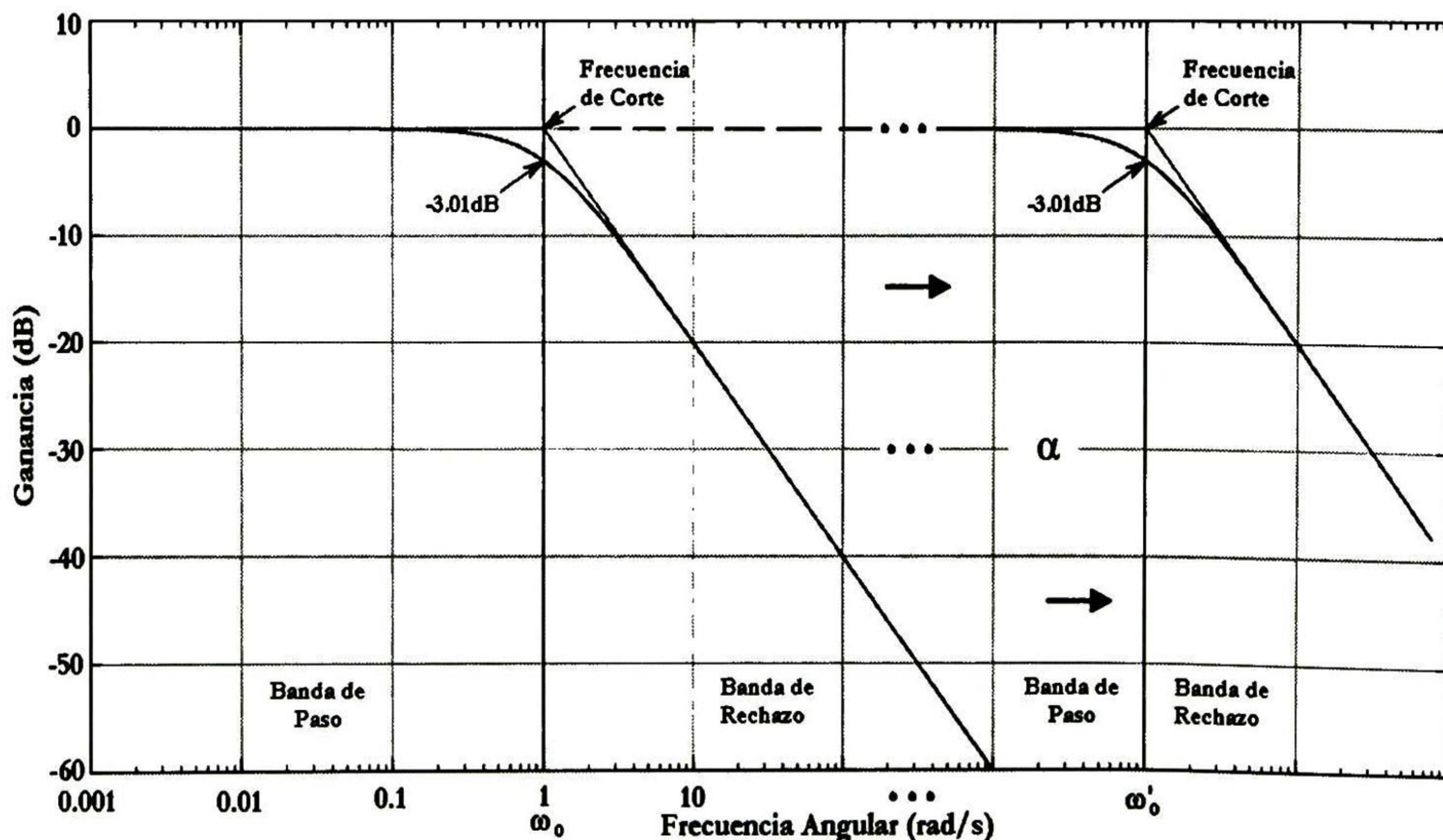


Fig. 2.8 Desplazamiento en frecuencia

$$Z_R = R \quad Z_R = R \quad (2.17-a)$$

$$Z_L = sL \quad \therefore \quad Z'_L = s \frac{L}{\alpha} \quad (2.17-b)$$

$$Z_C = \frac{1}{sC} \quad Z'_C = \frac{1}{s \frac{C}{\alpha}} \quad (2.17-c)$$

Si se requiere cambiar el valor de los componentes, la opción es realizar una denormalización en impedancia, para realizar esta denormalización lo principal es fijar un valor de un resistor o capacitor, para así ajustar el restante. La siguiente expresión denota la denormalización:

$$R' = (1\Omega)(\beta) \leftrightarrow C' = \frac{C}{\beta}, \quad (2.18)$$

donde se considera a  $\beta$  el factor de denormalización en impedancia. Se propone un valor para el resistor ( $R'$ ), en consecuencia se obtiene  $\beta$ , con el que se ajustará al capacitor afectado por  $\alpha$  anteriormente ( $C'$ ). Dando lugar al nuevo valor del capacitor ( $C''$ )<sup>2</sup>.

Con propósitos puramente ilustrativos se propone como especificación una  $f_0=10\text{kHz}$ , teniendo  $\alpha=(2\pi)(10000)$ , por lo tanto  $C=15.91\mu\text{F}$ , siendo la implementación en silicio de este capacitor impráctica. Es necesario realizar una denormalización en impedancia para utilizar un capacitor más pequeño, siendo un valor de capacitor de  $1\text{pF}$  conveniente. De (2.18) se tiene una  $\beta$  de un valor de  $6.28 \times 10^{-8}$ . Así  $R=15.91\text{M}\Omega$ , valor de resistencia que también es difícil implementar en circuitos integrados, sin embargo existen técnicas que permiten resolver estos problemas.

En caso de requerir una implementación en silicio de los componentes resistivos y capacitivos, en el momento de su realización se puede observar que el resistor es mucho mayor que el capacitor en área al integrarlos en silicio. Al realizar una comparación entre el capacitor y el resistor se tiene que el área del resistor es 172 veces mayor con respecto al área del capacitor por lo que se optaría por constituir el resistor de forma activa. Sin embargo, éste será un punto a resolver posteriormente, con la ayuda de diferentes técnicas existentes, mientras tanto es indispensable analizar esta parte del diseño con la obtención de los valores de componentes y ganancia; por lo que es necesario verificar que el sistema cumpla con las especificaciones.

## 2.5 Simulación

La etapa de simulación tiene como objetivo realizar una verificación de las especificaciones previstas para el dispositivo mediante software, siendo utilizada para este trabajo la simulación SPICE. Al realizar la simulación del sistema de filtrado diseñado hasta este punto, se cuenta con los valores de los componentes (resistores y capacitores), así como del valor que requiere el bloque de ganancia, mismo que se contempla como un modelo basado en una VCVS, lo cual provee un criterio de idealidad. Sin embargo con el modelo es prioritario verificar el cumplimiento de las especificaciones, para posteriormente realizar el amplificador.

<sup>2</sup> Nótese que  $\alpha$  y  $\beta$  son factores sin dimensión, con lo cual no se alteran las dimensiones de la constante de tiempo (s).

De la Fig. 2.10, se extraen los valores para  $f_0=10\text{kHz}$ ,  $k_{(\text{dB})}=4\text{dB}$  y de igual manera una atenuación próxima a  $40\text{dB/década}$ , se cumplen las especificaciones de igual manera que en el sistema de filtrado pasa-bajas, teniendo en consideración una señal de entrada indicada en  $1\text{V}$  de amplitud<sup>3</sup>.

## 2.6 Implementación con Componentes Comerciales

Con la finalidad de tener una manera de validar el diseño de una manera temprana, mediante mediciones experimentales, se diseñó y construyó un circuito de filtrado pasa-bajas con circuitos integrados comerciales y con resistores y capacitores discretos de valores comerciales, debido a la ventaja que presenta en cuanto a costo y tiempo de elaboración.

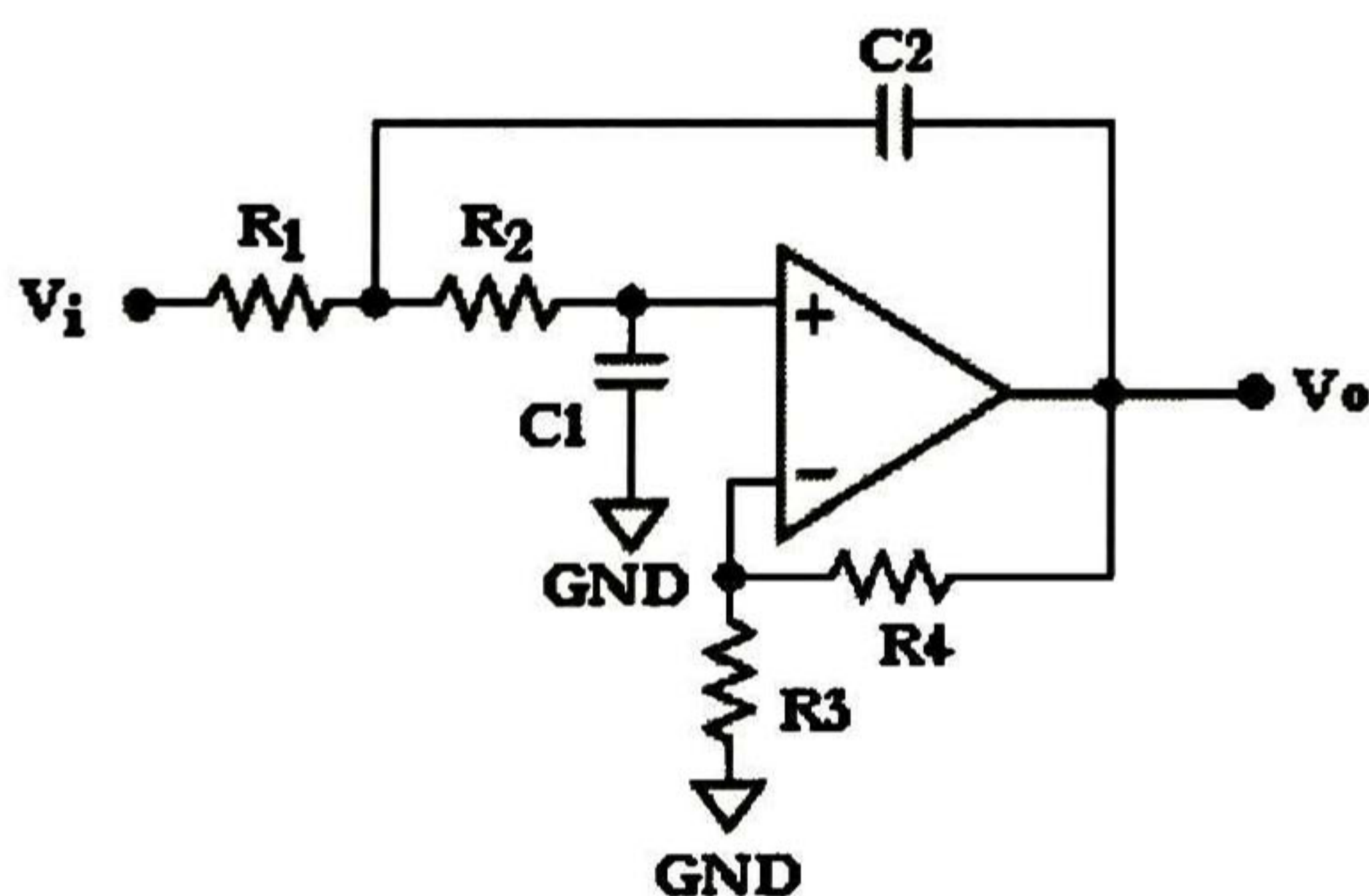
La implementación se inicia mediante la búsqueda de circuitos que faciliten el cumplimiento de las especificaciones, por lo cual siendo la etapa de ganancia un bloque fundamental para el sistema, se seleccionaron los amplificadores operacionales (OPAMP) como la base para el desarrollo de la etapa de ganancia. Se consideran resistores y capacitores comerciales, lo que repercute en variaciones a los valores de diseño, generando un error relativo en algunos casos considerables.

El OPAMP en CI comercial corresponde a un OPAMP de la familia LM741, de National Semiconductors, comúnmente usado en prácticas de laboratorio.

La etapa de ganancia se establece con la configuración que se presenta en la Fig. 2.11, en donde la ganancia depende de  $R_3$  y  $R_4$ , modelada por la siguiente ecuación:

$$k = 1 + \frac{R_3}{R_4}, \quad (2.19)$$

Teniendo como especificación  $k=1.58$ , se buscan combinaciones de valores comerciales para  $R_3$  y  $R_4$  de manera tal que se cumpla la ganancia con el menor error relativo posible, estos valores son mostrados en la Tabla 2.4.



**Fig. 2.11** Esquemático del Filtro Pasa-bajas con componentes pasivos.

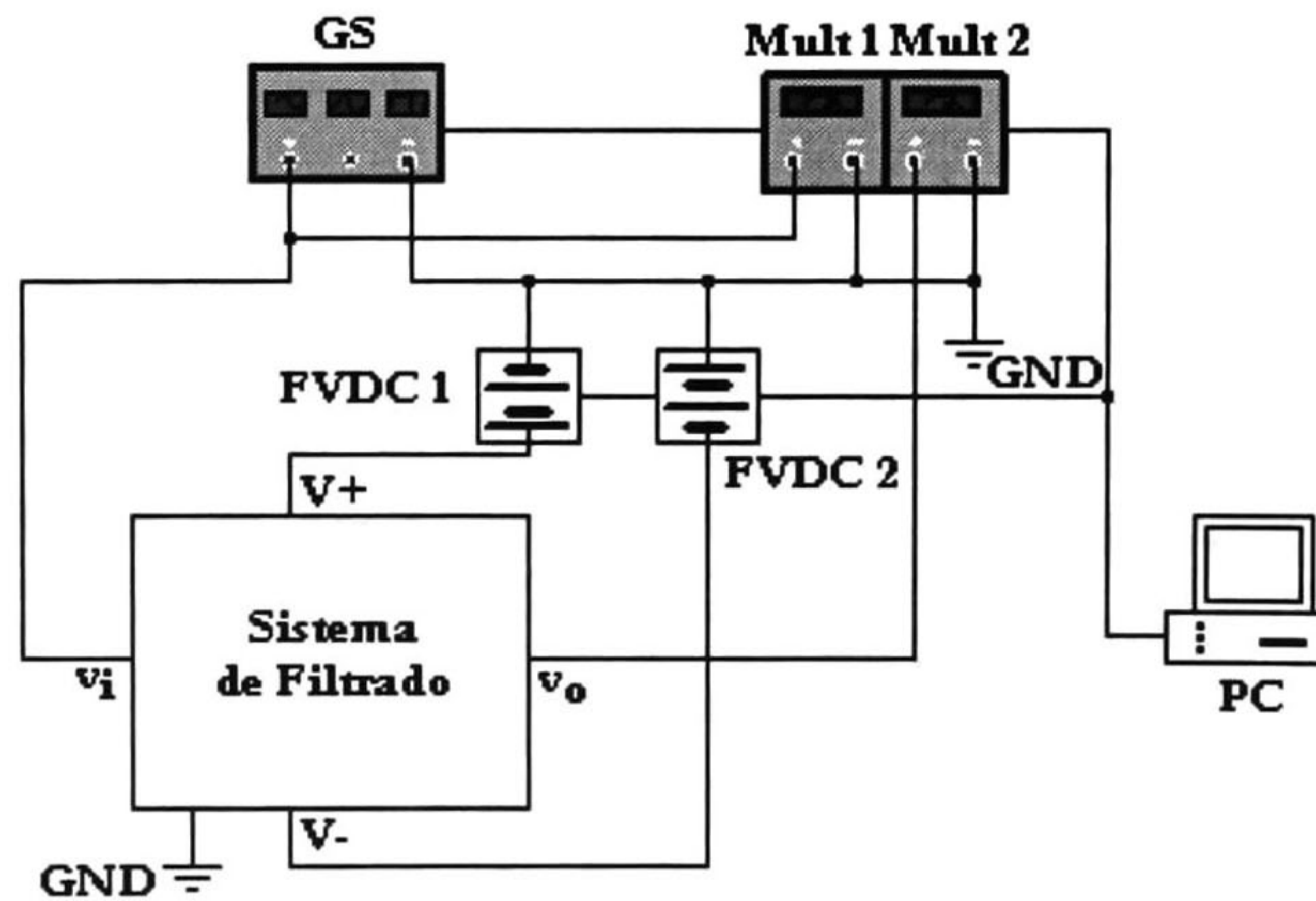
<sup>3</sup> Siendo en casos prácticos mucho menor de manera que se trabaja en pequeña señal

Empleando el conjunto de resistencias con el menor error relativo se indica  $R_3=1.20k\Omega$  y  $R_4=680\Omega$ , de igual manera se busca el menor error relativo con los componentes propios del sistema de filtrado, se realiza una denormalización en impedancia para  $C_1$ ,  $C_2$ ,  $R_1$  y  $R_2$ , con valores comerciales teniendo como resultado  $C_1=C_2=10\mu F$  y  $R_1=R_2=1.50k$ .

n	$R_3(\Omega)$	$R_4(\Omega)$	$k_n$	$\epsilon(\%)$
1	1.20k	680	1.57	1.20
2	2.20k	1.20k	1.54	9.15
3	4.70k	2.70k	1.57	2.67
4	5.60k	10k	1.56	-

**Tabla 2.4** Valores de Resistencias, Factor de Ganancia y Error Relativo.

Se implementó y caracterizó el sistema de filtrado en *protoboard*, utilizando el equipo del laboratorio de diseño electrónico del CINVESTAV Unidad Guadalajara siguiente: 2 multímetros Agilent Mod. 34411A, 1 generador de señales H, 2 fuentes de voltaje en DC Agilent Mod. E3645A, una interfaz GPIB/USB Agilent Mod. 32357B, 4 cables GPIB Agilent 10833A y la PC. Se interconectan los multímetros, el generador de señales y las fuentes de voltaje DC con los cables GPIB y por último mediante la interfaz GPIB/USB, la PC controla el generador de señales y las fuentes de voltaje en DC, mientras recibe la información de los multímetros. El setup usado para la medición se muestra en la Fig. 2.12.



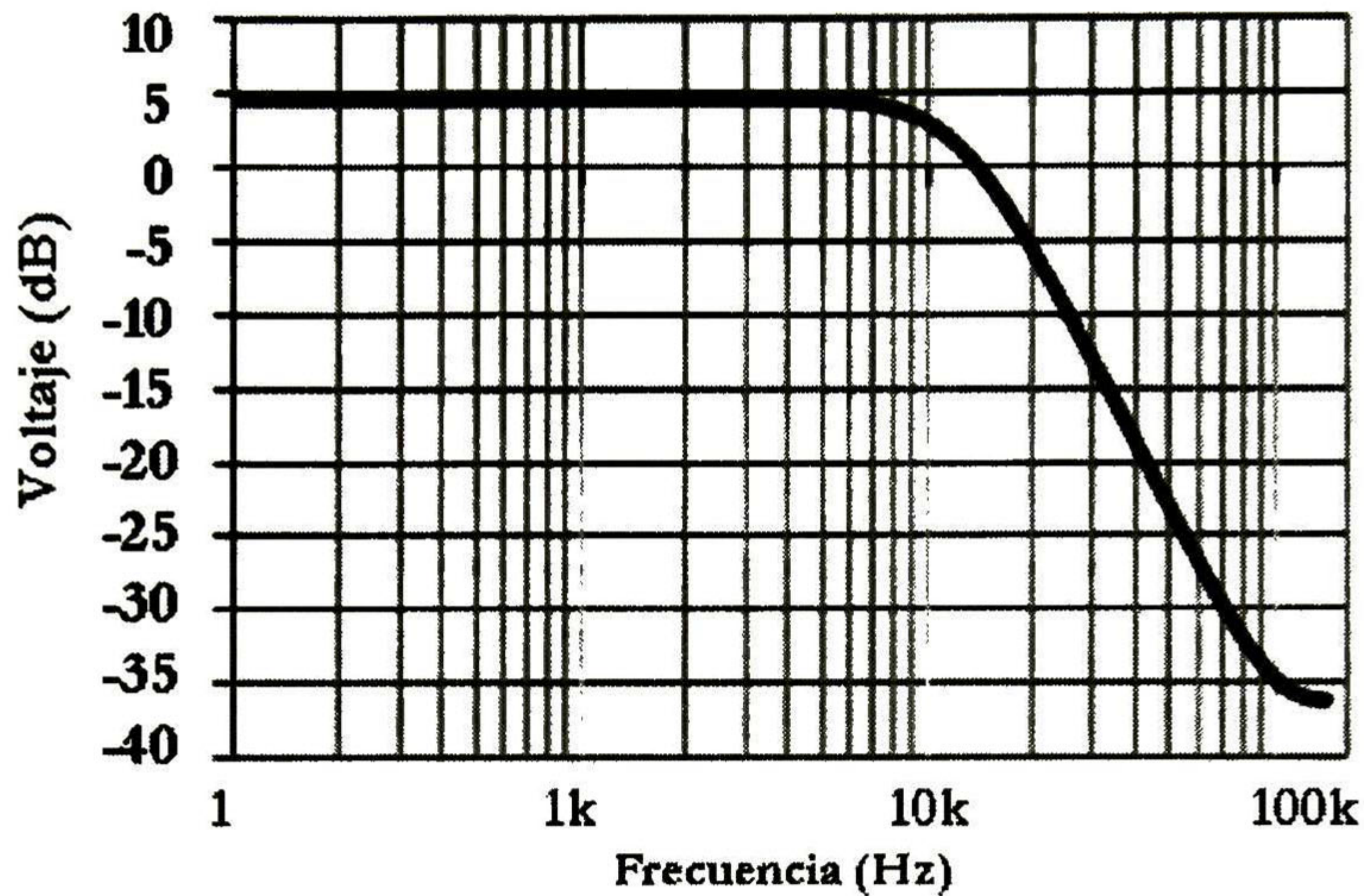
**Fig. 2.12** Setup empleado en la medición

Se escribió un archivo \*.m (realizado en Matlab 2006)<sup>4</sup> para mandar las indicaciones pertinentes a los equipos respectivos, siendo las fuentes de voltaje en DC (FVDC 1 y FVDC 2) las primeras en recibir una señal para proporcionar un voltaje de salida de 9V, estas fuentes, se conectan de forma que el amplificador operacional obtenga dos voltajes, indicados en  $\pm 9V$  como se muestra en la Fig. 2.12.

Posteriormente se programa el generador de señales (GS), en donde se realizará un barrido de frecuencia a un voltaje de  $1V_{p-p}$  en AC (en el nodo de entrada  $v_i$ ), en cada paso de frecuencias se muestrean las mediciones proporcionadas por los multímetros (Mult 1 y Mult 2), y se capturan dichos valores directamente a la PC, lo que conlleva a una

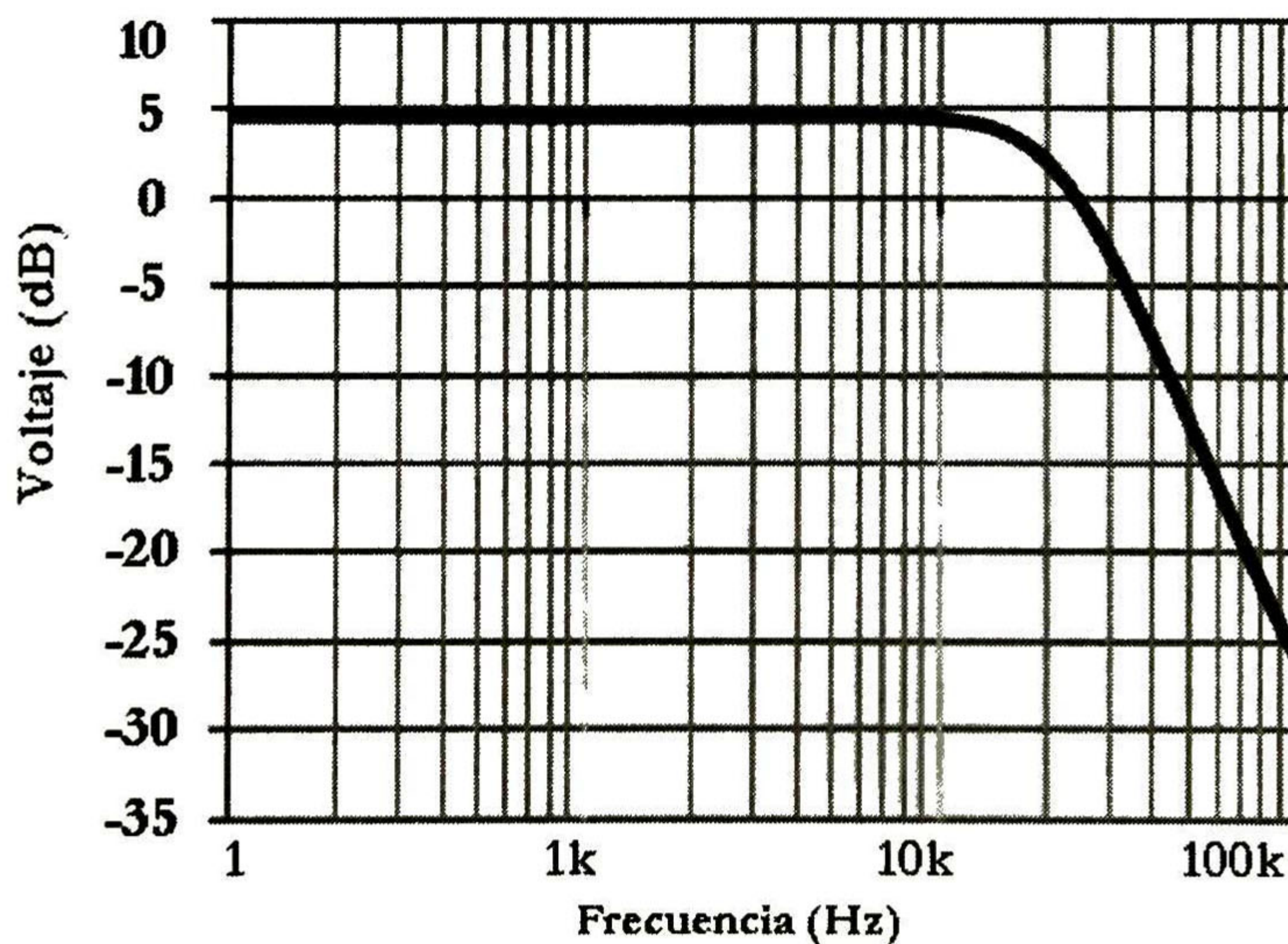
<sup>4</sup> Se presenta el archivo \*.m en el apéndice A.2

eliminación del error humano que se presenta al momento de la captura, finalmente el archivo realiza las gráficas magnitud vs frecuencia tanto del nodo de entrada como de salida, aunando a éstas un archivo CITI, con el cual se trabajan los datos obtenidos de la medición exportándolos a una hoja de cálculo; obteniendo así la gráfica mostrada en la Fig. 2.13.



**Fig. 2.13** Respuesta en frecuencia del sistema pasa-bajas a  $f_0=10\text{kHz}$

En la Fig. 2.13 se aprecia una frecuencia de corte de  $f_0=12.1\text{kHz}$ , que representa un error relativo del 21% respecto a la especificación de diseño, debido a las variaciones del valor de diseño de los componentes a su valor comercial, el sistema sin embargo presenta un comportamiento idóneo en la respuesta de acuerdo al tipo de aproximación, así como una atenuación próxima a los 40dB/década, confirmando así la validez del método de diseño. Con la finalidad de ratificar dicho método, se efectuó el diseño e implementación del sistema de filtrado a frecuencias de corte de 20kHz y 50kHz, respectivamente; se realiza la caracterización de los sistemas obteniéndose las gráficas mostradas en las Figs. 2.14-15

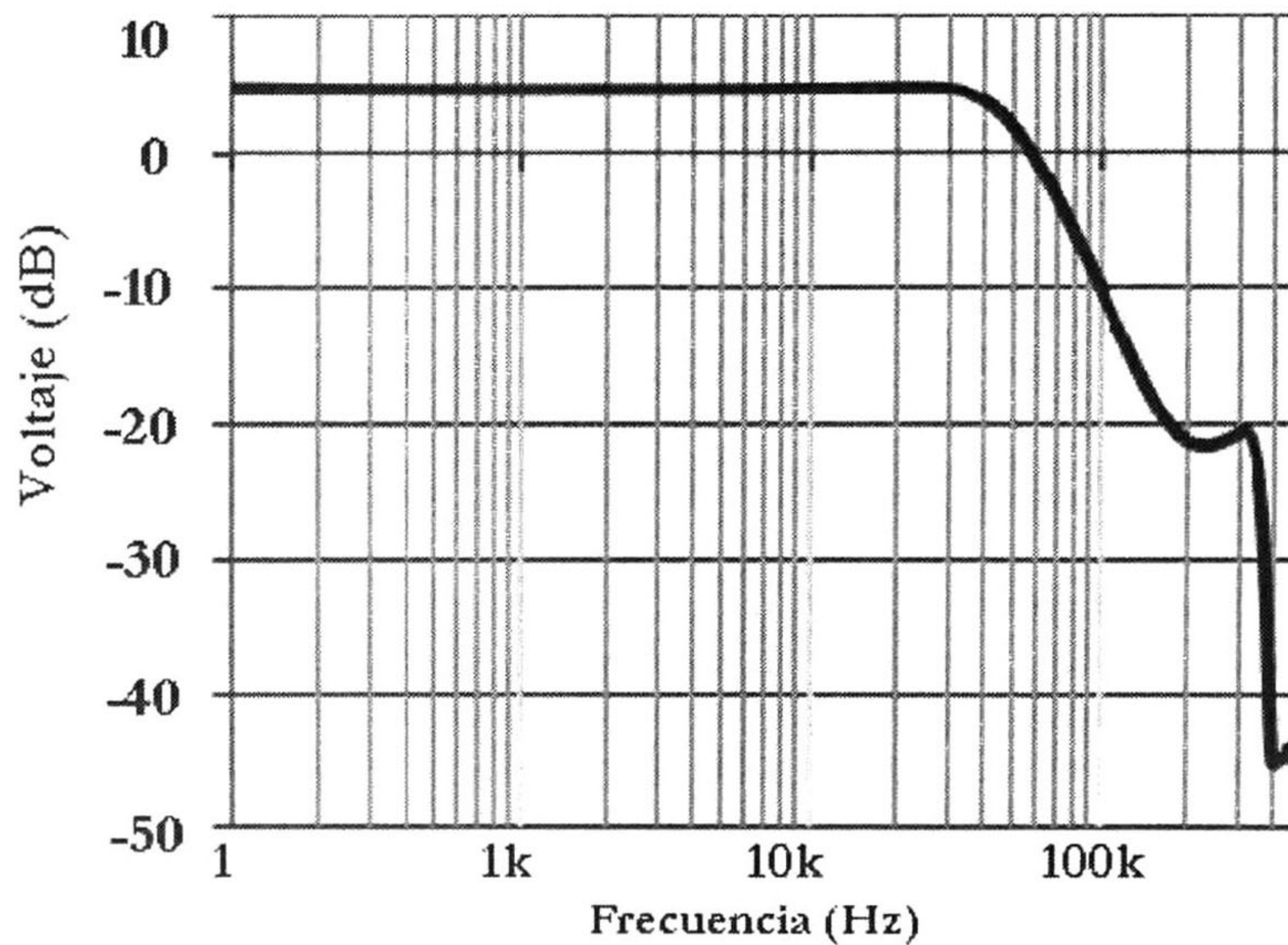


**Fig. 2.14** Respuesta en frecuencia del sistema pasa-bajas a  $f_0=20\text{kHz}$ .

En la Tabla 2.5 se presentan los datos capturados en el proceso de medición, los valores nominales de los componentes propios para cada sistema, la frecuencia de corte ideal y su error relativo

N	R( $\Omega$ )	C(nF)	$f_0$ (kHz)	$f_{0,meas}$ (kHz)	$\epsilon$ (%)
1	1.20k	680	10	12.10	2.1
2	2.20k	1.20k	20	20.80	4
3	4.70k	2.70k	50	51.10	2.2

**Tabla 2.5** Valores nominales de componentes, frecuencia de corte ideal, frecuencia de corte medida y error relativo de la frecuencia de corte.



**Fig. 2.15** Respuesta en frecuencia del sistema pasa-bajas a  $f_0=50$ kHz.

De la Fig. 2.15 se observa que el sistema presenta ceros a una frecuencia de 200kHz aproximadamente (causados por elementos parásitos y no idealidades del amplificador operacional y la tarjeta de prototipos), recortando el ancho de banda, lo que repercute en un acotamiento de aplicaciones de frecuencias mayores. Siendo el CI LM741 una restricción al diseño del sistema, se opta por buscar una etapa de ganancia propia a las especificaciones dadas y que a su vez sea viable su implementación en silicio.

## 2.7 Diseño del Amplificador

Los amplificadores son un elemento clave en el procesamiento de señales analógicas, siendo el circuito en el que la mayoría de las veces recaen las prestaciones finales del sistema, como es el caso del ancho de banda del sistema de filtrado, ésta y otras prestaciones se pueden observar como características eléctricas del amplificador, modelando al amplificador como un sistema electrónico de dos puertos (ver Fig. 2.16), se tiene una función de transferencia que relaciona las señales de los 2 puertos entre sí, de esta función de transferencia se extraen una serie de características fundamentales que permiten guiar el diseño y el análisis



de los amplificadores. La principal característica de diseño de un amplificador es la ganancia, expresada como el cociente entre las amplitudes de la señal de salida y la señal de entrada.

Estas señales pueden ser de voltaje o de corriente (para este trabajo se trabajarán con amplificadores de voltaje), y a medida que aumente la frecuencia de la señal de entrada, la ganancia se mantendrá hasta llegar a una frecuencia donde la ganancia comience a disminuir, esta frecuencia se puede distinguir a partir de lo que se llama un polo dominante, es decir, aquél cuya frecuencia es mucho menor que la del resto de polos de la función de transferencia.

A partir de esta frecuencia la ganancia disminuye a una razón de 20dB/década, coincidiendo el ancho de banda del amplificador con la frecuencia de corte a -3dB. Las dos características ganancia ( $k$ ) y ancho de banda (BW) permiten definir adecuadamente la respuesta en frecuencia del amplificador.

Las otras 2 características importantes son la impedancia de entrada ( $Z_{in}$ ) y la impedancia de salida ( $Z_{out}$ ), que están relacionadas con lo que sucede al incluir el amplificador en el sistema de procesamiento analógico de la señal.

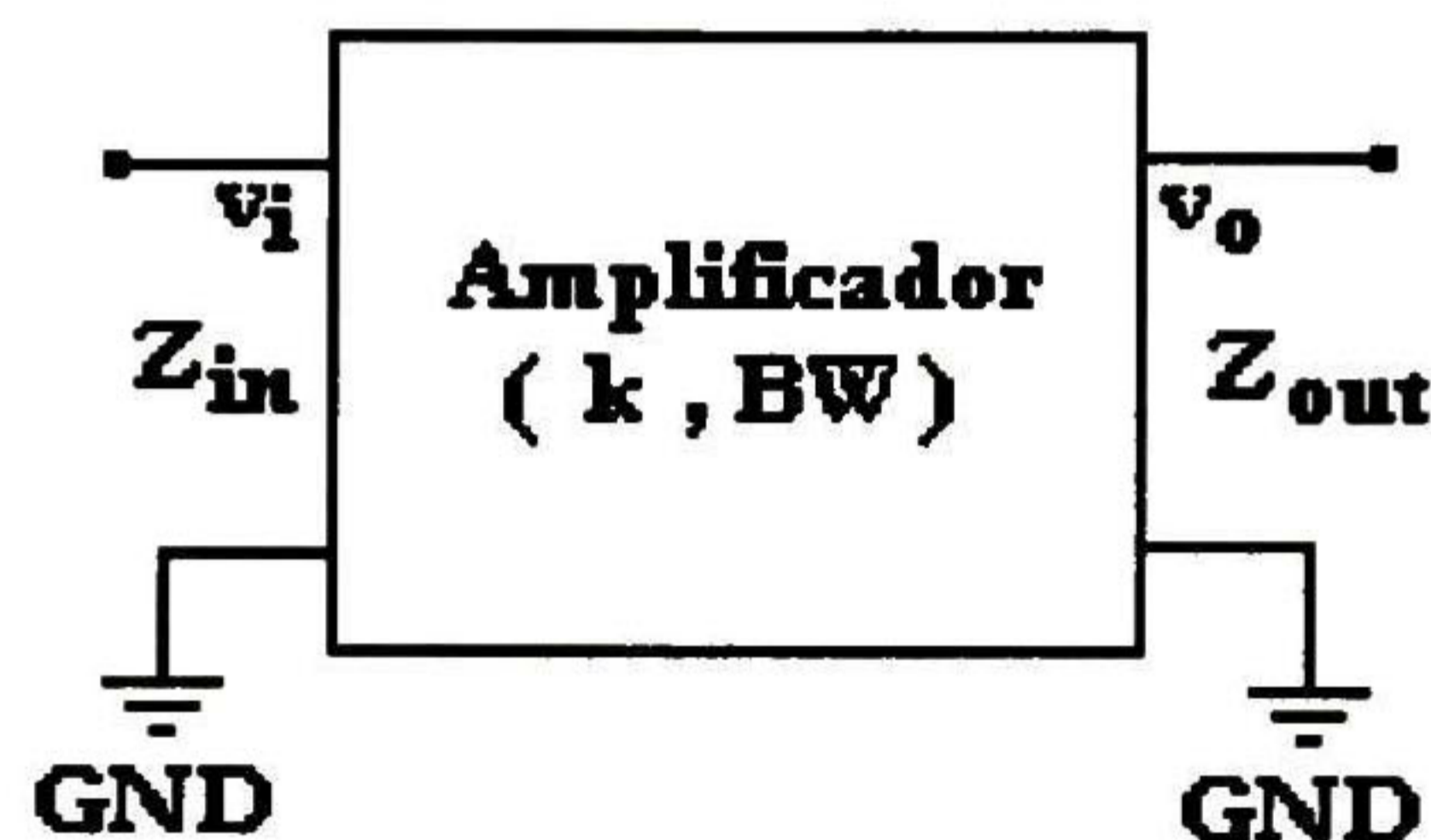


Fig. 2.16 Modelo a 2 puertos del amplificador.

Por último, la característica que no se considera explícitamente, es el comportamiento de la fase con la frecuencia, en la función de transferencia alimentada con una señal senoidal, siendo importante el conocimiento de la fase en caso de existir una retroalimentación, debido a que si se tiene una retroalimentación positiva se puede llevar el circuito a inestabilidad.

Algunas de las etapas sencillas y usualmente en los amplificadores más complejos, contienen en su estructura lazos de retroalimentación intrínsecos que pueden hacer que el amplificador sea inestable o que presente rizado en su función de transferencia, si sus polos dominantes se sitúan en el semieje negativo o son complejos conjugados. Es necesario introducir redes de compensación o realizar un cuidadoso diseño para conseguir amplificadores estables.

Los amplificadores al integrarlos en silicio se conforman por transistores, los transistores se deben polarizar de manera que trabajen en alguna región determinada (corte, saturación o lineal), esto significa que además de los voltajes de alimentación también se requiere de voltaje constantes (llamados referencias de voltaje), estos voltajes se superponen a las señales que contienen la información que el amplificador procesará.

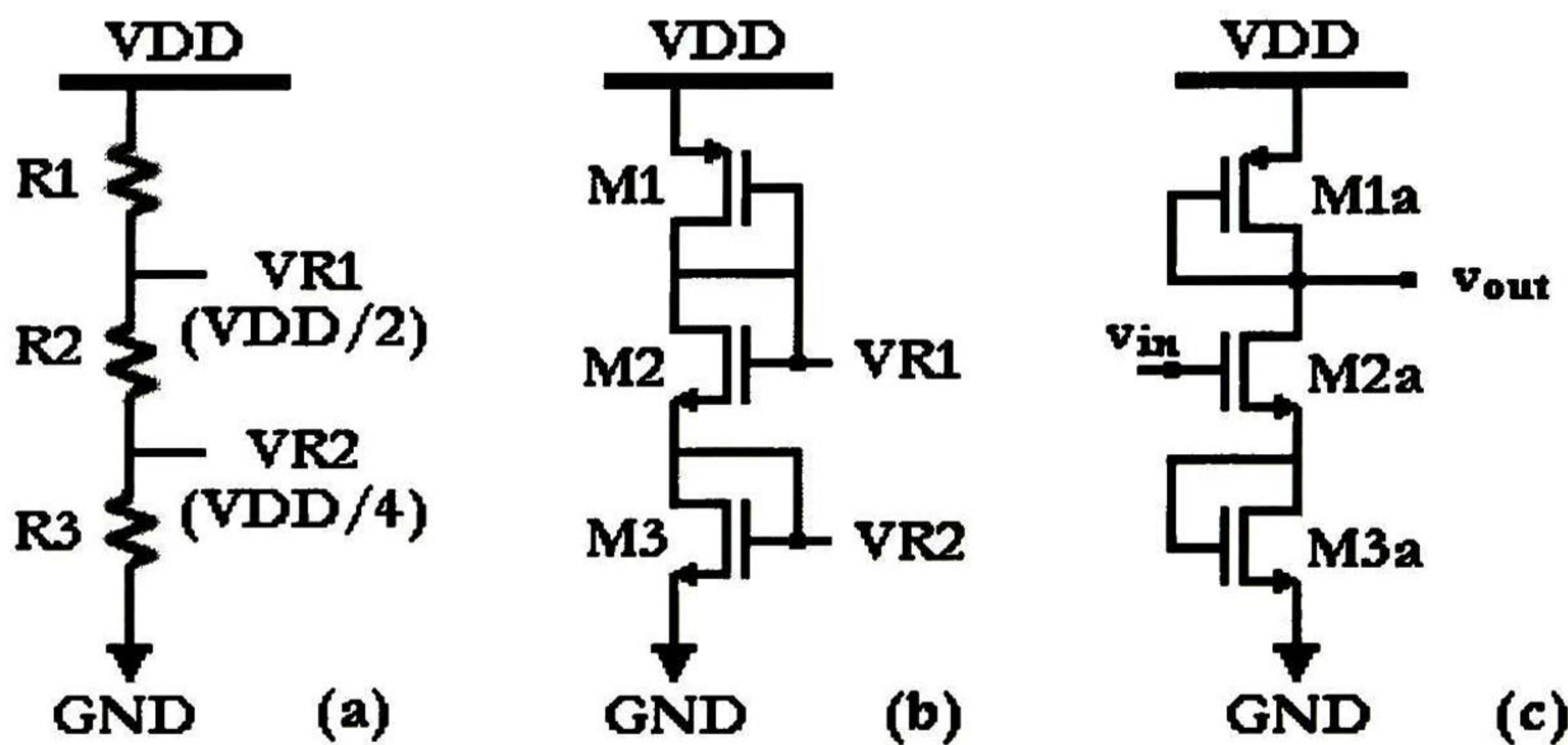
Estas referencias de voltaje también condicionan el diseño debido a que forman un voltaje de offset, que se superpone a la señal de salida desplazándola de su valor medio previsto

(llamado margen dinámico), limitando la excursión máxima de la señal de salida sin producir distorsión. De aquí la importancia de las referencias de voltaje.

### 2.7.1 Referencias de Voltaje.

Las referencias de voltaje son circuitos cuya función es proporcionar un valor constante y estable de voltaje en un nodo, puede estar referido al voltaje más negativo de todo el sistema o bien, a otro nodo del sistema, al cual se le llamará *referencia flotante*. Es importante mencionar que para realizar dicha polarización se busca una simetría en los valores de los voltajes empleados como referencia.

Utilizando la metodología de diseño llamada “aproximaciones resistivas” [13]. Se establecen las fuentes de alimentación, tanto en DC como en AC (ver Fig. 2.17-a), se tiene en cuenta que el nivel de entrada que maneja el sistema de filtrado y por tanto el amplificador, es de pequeña señal.



**Figs. 2.17 (a) Rama Resistiva, (b) Rama de Polarización (c) Amplificador Rama Simple.**

Los voltajes de referencia establecidos cumplen con la polarización por manejar transistores en saturación, con estos voltajes se tienen las ecuaciones de diseño mostradas en (2.20 y 2.21).

$$I = \frac{V_{DD}}{2R_1} = \frac{V_{DD}}{4R_2} = \frac{V_{DD}}{4R_3} \quad (2.20)$$

$$\frac{R_1}{R_3} = 2 \quad \frac{R_2}{R_3} = 1 \quad (2.21)$$

Se reemplazan los resistores por transistores en retroalimentación visualizándolos como transconductancias de acuerdo al modelo de pequeña señal (ver Fig. 2.17-b).

De la Fig. 2.17-b, los transistores son propuestos de la siguiente manera: 1 transistor superior tipo P y los 2 inferiores tipo N, siendo el intermedio un transistor flotante, teniendo variación en su voltaje de encendido. Estos transistores se diseñarán mediante la ecuación de transconductancia del transistor (2.22), con la cual se manifiesta la necesidad de parámetros de tecnología.

$$g_{mn} = 2KP_j \left( \frac{W_i}{L_i} \right) (|V_{GS}| - |V_{th, j}|) \quad (2.22)$$

Donde  $g_{mn}$  es el valor de la transconductancia del transistor y el recíproco de su resistencia ( $1/R=g_{mn}$ ),  $KP_j$  es el producto de los parámetros tecnológicos: la capacitancia del óxido  $[C_{ox}]=Fm^{-2}$  y la movilidad de portadores  $[\mu_0]=cm^2V^{-1}s^{-1}$  al que se le llamará constante de transconductancia, este parámetro es determinado por la tecnología y dado por el fabricante ([www.mosis.org](http://www.mosis.org)), el cual lo reporta como  $(\frac{1}{2}C_{ox}\mu_0)$  para tecnologías de gran canal.

Sustituyendo (2.22) en (2.21) se tienen los cocientes mostrados a continuación:

$$2 = \frac{2KP_n \left( \frac{W_3}{L_3} \right) (|V_{GS}| - |V_{th, n0}|)}{2KP_p \left( \frac{W_1}{L_1} \right) (|V_{GS}| - |V_{th, p0}|)}, \quad (2.23)$$

$$1 = \frac{2KP_n \left( \frac{W_3}{L_3} \right) (|V_{GS}| - |V_{th, n0}|)}{2KP_n \left( \frac{W_2}{L_2} \right) (|V_{GS}| - |V_{th, n}|)}, \quad (2.24)$$

Nótese que las etiquetas de los voltajes denotan el tipo de transistor con el que se trabaja, teniendo una variante para el transistor flotante, siendo necesario incluir la tecnología que se emplea en este trabajo, debido a que la constante de transconductancia, los voltajes de encendido de los transistores y las dimensiones mínimas del transistor cambian dependiendo de la tecnología usada. El diseño se realizará usando los parámetros de una tecnología CMOS 1.5 $\mu$ m. Se realizan consideraciones para resolver (2.23) y (2.24), donde se propone una L con valor idéntico para todos los transistores igual a  $3\lambda$ , obteniendo las siguientes expresiones:

$$W_1 = 0.62W_3 \quad W_2 = 1.75W_3 \quad (2.27)$$

Se propone una W mínima a  $M_1$  igual  $W_1=6\lambda=3.6\mu$ m obteniendo los anchos para los transistores restantes  $W_2=10.1\mu$ m y  $W_3=5.8\mu$ m, se simula el circuito mostrado en la Fig. 1.18 con las geometrías obtenidas y el modelo SPICE de los transistores en nivel 49 y se optimizan las geometrías para tener la mejor aproximación al valor de los voltajes de referencia de diseño, de manera que con las geometrías  $W_1=3.6\mu$ m,  $W_2=9.6\mu$ m y  $W_3=4.8\mu$ m se tiene  $V_{R1}=2.48V$  y  $V_{R2}=1.22V$ , los cuales refieren a un error relativo de 0.8% y 2.4% respecto a los valores ideales (siendo errores tolerables).

Con la rama de polarización diseñada se procede a la búsqueda del amplificador, teniendo en primera instancia un amplificador de etapa sencilla (ver Fig. 2.17-c), la cual provee una ganancia baja, suficiente a las necesidades del sistema de filtrado, se muestra su respuesta en frecuencia en la Fig. 2.18 de esta etapa<sup>5</sup>.

<sup>5</sup> El archivo de simulación \*.SP se presenta en el Apéndice A.1

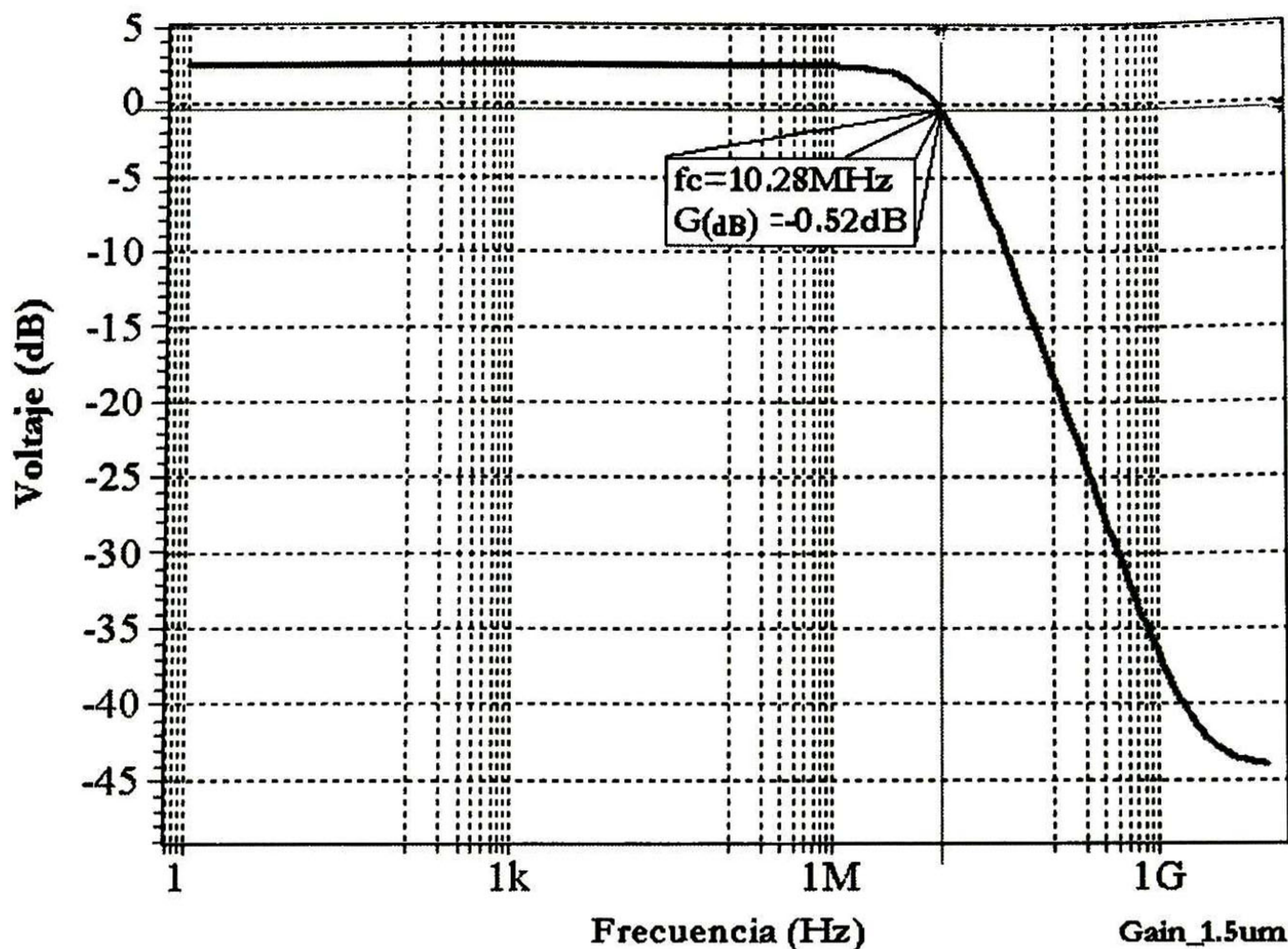


Fig. 2.18 Respuesta en frecuencia del amplificador de 1 rama.

De la Fig. 2.18 se aprecia un ancho de banda permisible, sin embargo el problema que presenta es la impedancia de salida, la cual carece de un manejo de un valor de carga elevado, de manera que se recurre a diseñar un amplificador más complejo, recurriendo a la teoría se observa que la base de los amplificadores más complejos es el par diferencial, por lo que se analiza y se diseña a continuación.

### 2.7.2 Par Diferencial.

El par diferencial es la estructura básica de la mayoría de los amplificadores integrados, permite amplificar la diferencia de voltaje entre dos nodos y el hecho de amplificar una entrada diferencial tiene múltiples ventajas y aplicaciones como la supresión de ruido en modo común, posibilidad de referenciar la entrada a voltajes distintos de los nodos de alimentación, realizar operaciones con dos señales unipolares y amplificar el resultado (operación básica para la retroalimentación), etc. En la Fig. 2.19, se muestra el esquema del par diferencial.

El funcionamiento de esta etapa se intuye de forma simple ya que el nodo de salida está conectado a una carga (entrada de la siguiente etapa), En el punto de trabajo,  $v_{in+} = v_{in-}$ ,  $v_{in} = 0V$  (ya que  $v_{in} = V_{in+} - V_{in-}$ ), el espejo de corriente copia la corriente de M2b por M1c, como  $I_{D1b} = I_{D2b} = I_{D1c}$  toda la corriente en M1c es manejada a su vez por M2c.

Cuando la entrada  $v_{in}$  es positiva, la corriente circulando por M2b se hace mayor que la que circula por M2c, con lo cual la corriente que proporciona M1c es mayor que la que absorbe M2c, y existe una corriente positiva hacia la carga que provoca un incremento en el voltaje de salida  $v_{out}$  respecto a su punto de trabajo. Por el contrario, si  $v_{in}$  es negativa, la corriente proporcionada por M1c se hace menor que la manejada por M2c, y se tiene una disminución del  $v_{out}$ .

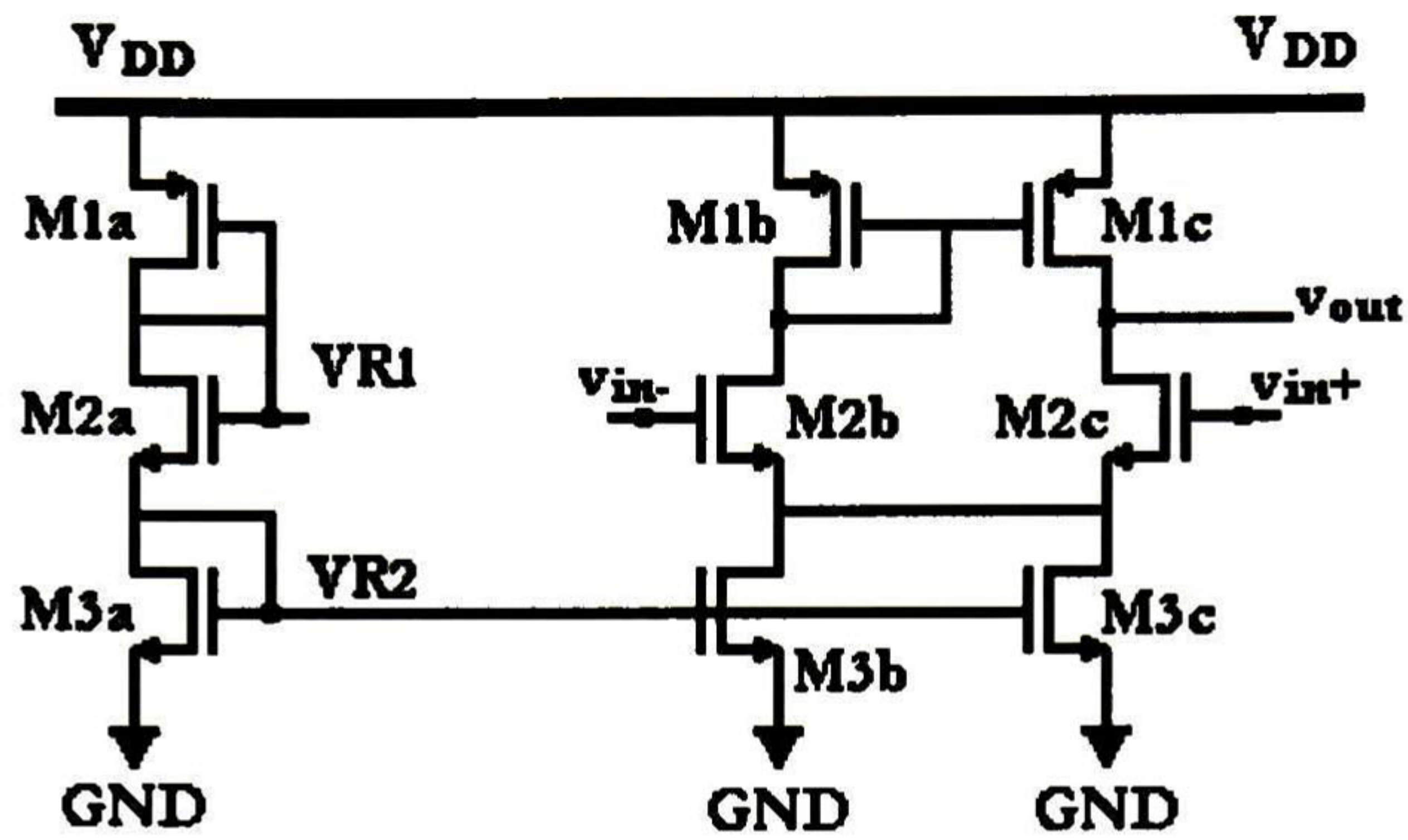


Fig. 2.19 Par Diferencial con Rama de Polarización.

La ganancia del circuito se obtiene mediante el uso del modelo en pequeña señal, resultando la expresión:

$$k = g_{m_{2c}} r_o \quad (2.27)$$

donde:

$$r_{out} = \frac{1}{g_{ds1c} + g_{ds2c}} \quad (2.28)$$

Se aprecia que la ganancia depende directamente del valor de la transconductancia de  $M_{2c}$ .

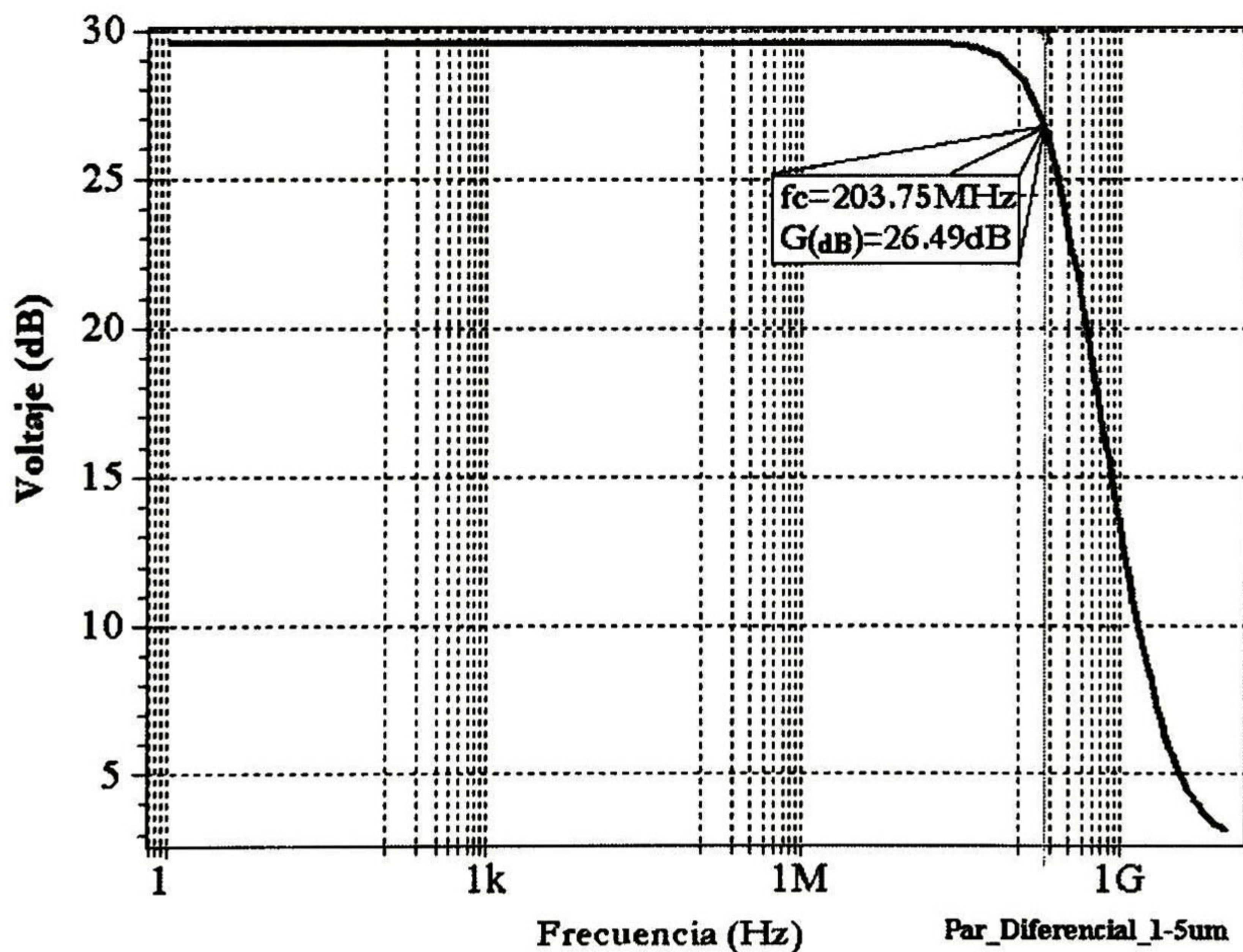


Fig. 2.20 Respuesta en frecuencia del par diferencial.

Usando las geometrías obtenidas para la rama de polarización se procede con la simulación del par diferencial.

En la Fig. 2.20 su respuesta en frecuencia<sup>6</sup>, donde se observa un mayor ancho de banda, teniendo una frecuencia de corte en 203.75MHz a una carga de  $C_L=5\text{pF}$  y una ganancia cercana a de 26.49dB, siendo mayor a la requerida en las especificaciones.

Este diseño, al proporcionar una ganancia mayor a las especificaciones, necesita de un acotamiento para reducir la ganancia, este se da mediante la modificación de la resistencia de carga, extrayendo los valores de las conductancias del archivo \*.OUT de simulación SPICE, se calcula que la resistencia intrínseca de salida es  $r_{out}=248.75\text{k}\Omega$ , de modo que se coloca un resistor de carga con un valor de  $7.98\text{k}\Omega$  (ver Fig. 2.21).

Sin embargo, esta acción no se realiza de forma pasiva, sino que se implementa con una etapa compuesta de 3 transistores emulando un resistor, el diseño de esta etapa se basa en la metodología de aproximaciones resistivas, por lo tanto, el diagrama final del par diferencial se presenta en la Fig. 2.22.

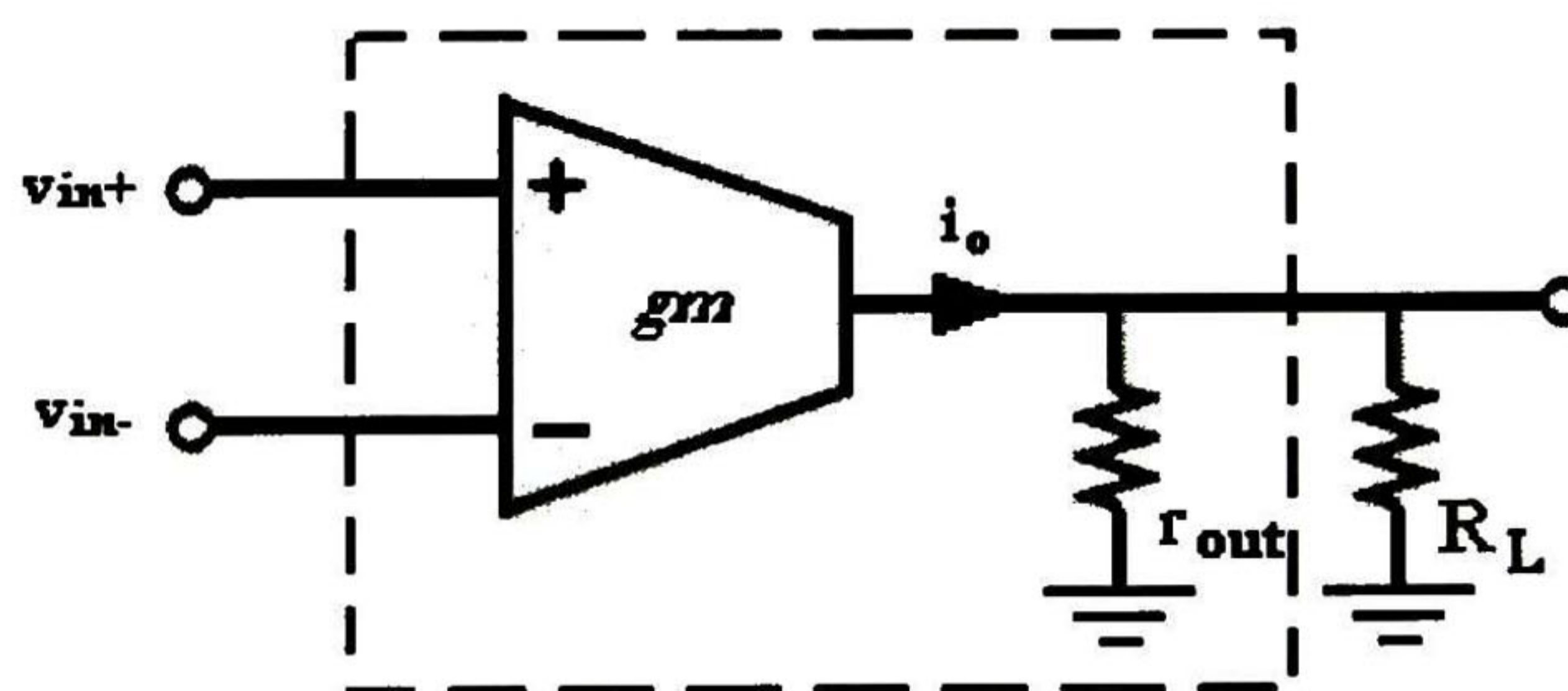


Fig. 2.21 Símbolo del par diferencial con resistor de carga.

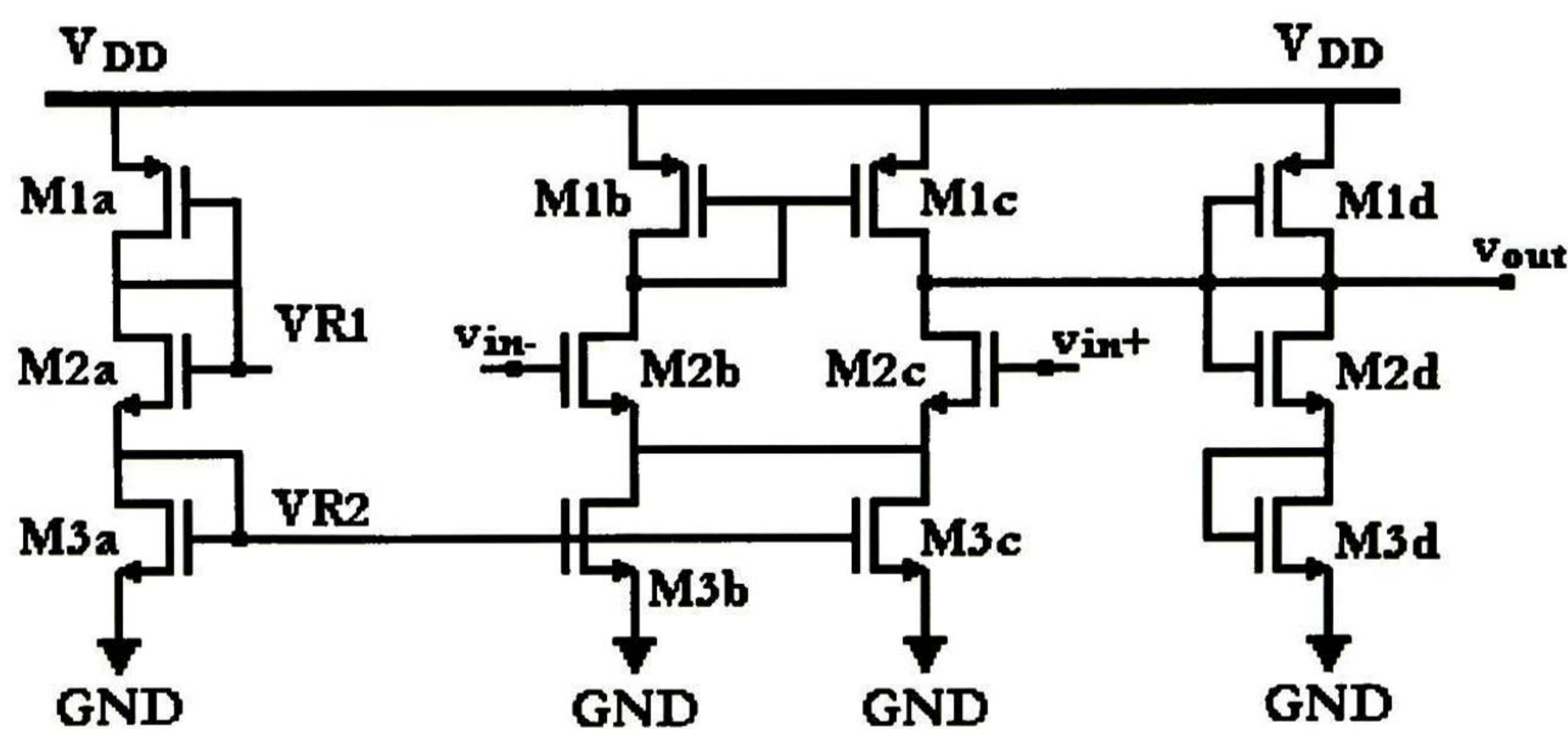


Fig. 2.22 Esquemático del par diferencial con resistor de carga.

donde  $R_L$  corresponde en a la rama d, con la simulación del esquema mostrado en la Fig. 2.22 se reduce la ganancia  $k=1.48$  o  $k(\text{dB})=3.39\text{dB}$ , por lo tanto se consigue tener una ganancia cercana a la especificación presentando un error relativo  $\varepsilon=6.30\%$ , siendo factible su implementación; de esta forma se concluye el diseño del amplificador CMOS, no sin antes mencionar que el circuito final corresponde a un amplificador operacional de transconductancia (OTA).

<sup>6</sup> Se presentan los archivos de Simulación \*.SP en el Apéndice A.1

## 2.8 Sistema de Filtrado Integrado

Al incorporar los componentes (R's y C's), el circuito resultante se muestra en la Fig. 2.23, donde se indica la entrada  $v_{in+}$  conectada a GND y en  $v_{in}$  una señal de AC de 1V, se simula el circuito, realizando la medición del nodo de salida en dB; se tiene la gráfica mostrada en la Fig. 2.24, de la cual se resalta una frecuencia de corte de 7.6MHz, una ganancia  $k=3.39$ dB y atenuación cercana a los 40dB/década en la banda de rechazo, los valores de los componentes refieren a  $R=6.35k\Omega$  y  $C=1pF$ .

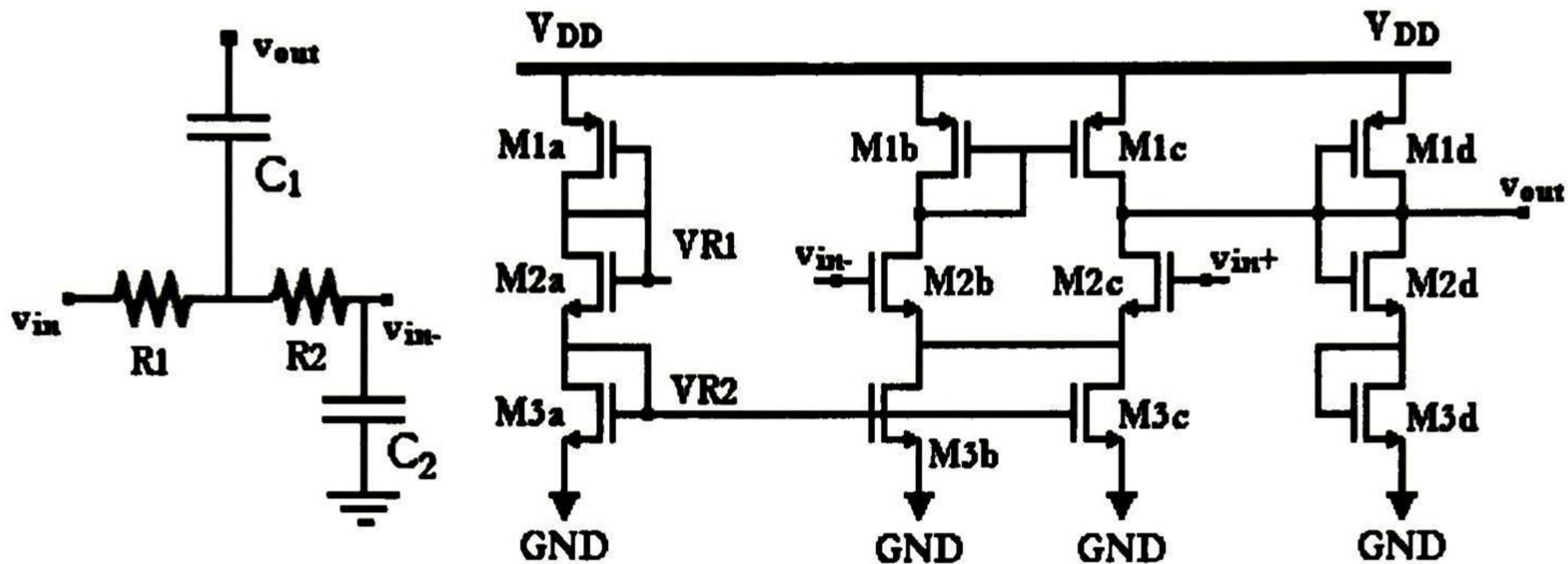


Fig. 2.23 Sistema de Filtrado Pasa-bajas con componentes pasivos.

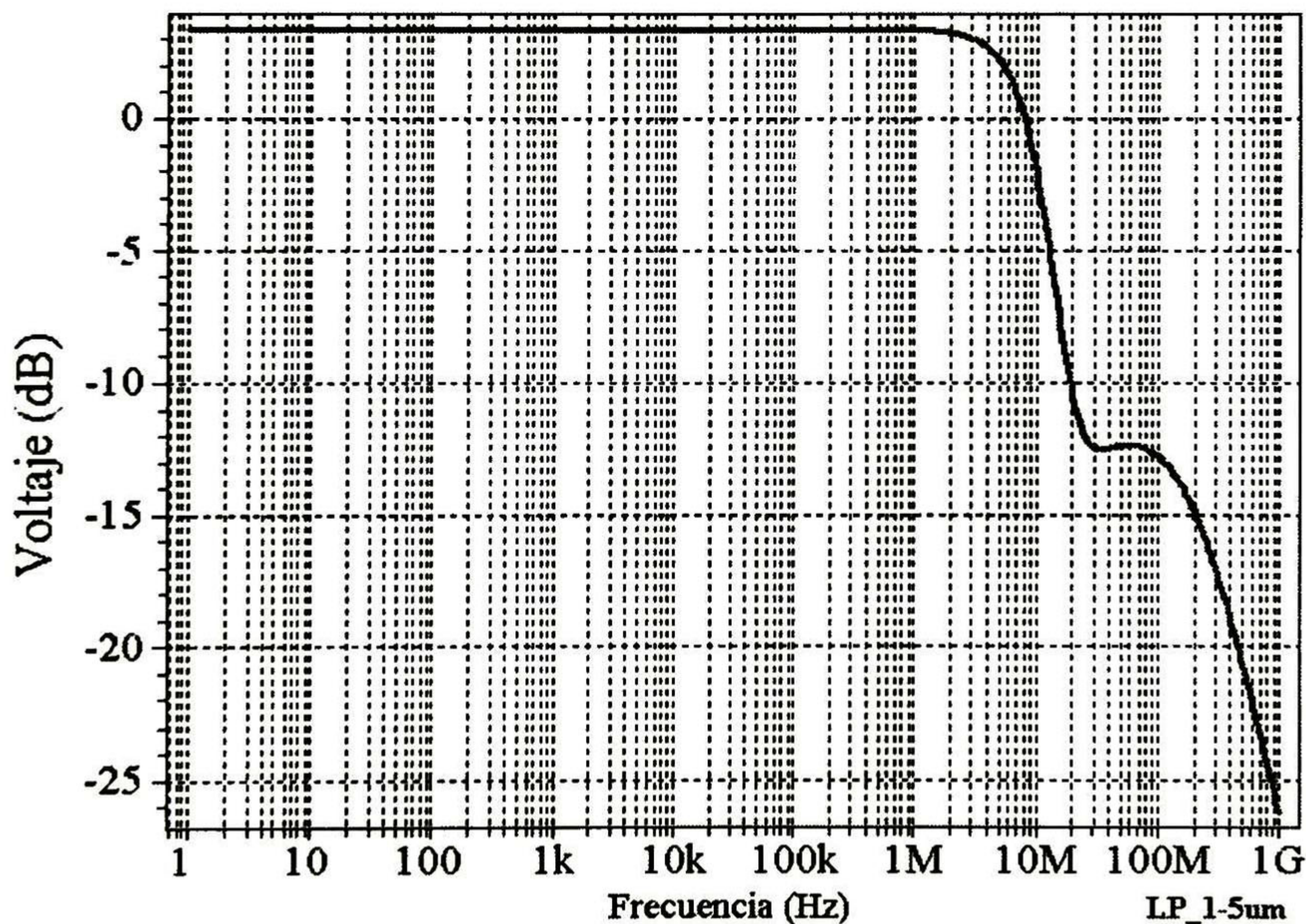


Fig. 2.24 Respuesta en frecuencia del sistema pasa-bajas pasivo.

Se sustituyen los componentes por elementos activos, con la finalidad de tener una completa integración del sistema, esto se consigue mediante los transistores, con los cuales se pueden emular resistores de diversos valores, pero siempre dependientes a su transconductancia o conductancia, mismas que dependen de la región a la que trabajen los transistores.

El diseño de estos elementos activos se realiza mediante ramas de transistores iguales a las trabajadas anteriormente, de las cuales ya se extrajo el valor de su transconductancia, y mediante la transconductancia se obtiene el valor del resistor emulado. Sin embargo, para realizar esta acción, es imprescindible que los transistores  $M_{1c}$  y  $M_{3c}$  presenten una alta impedancia en comparación con  $M_{2c}$ , por lo tanto se referencian a  $V_{R1}$  y  $V_{R2}$  respectivamente para apreciarlos como conductancias debido al modelo de pequeña señal del transistor, este esquema se presenta en la Fig. 2.25.

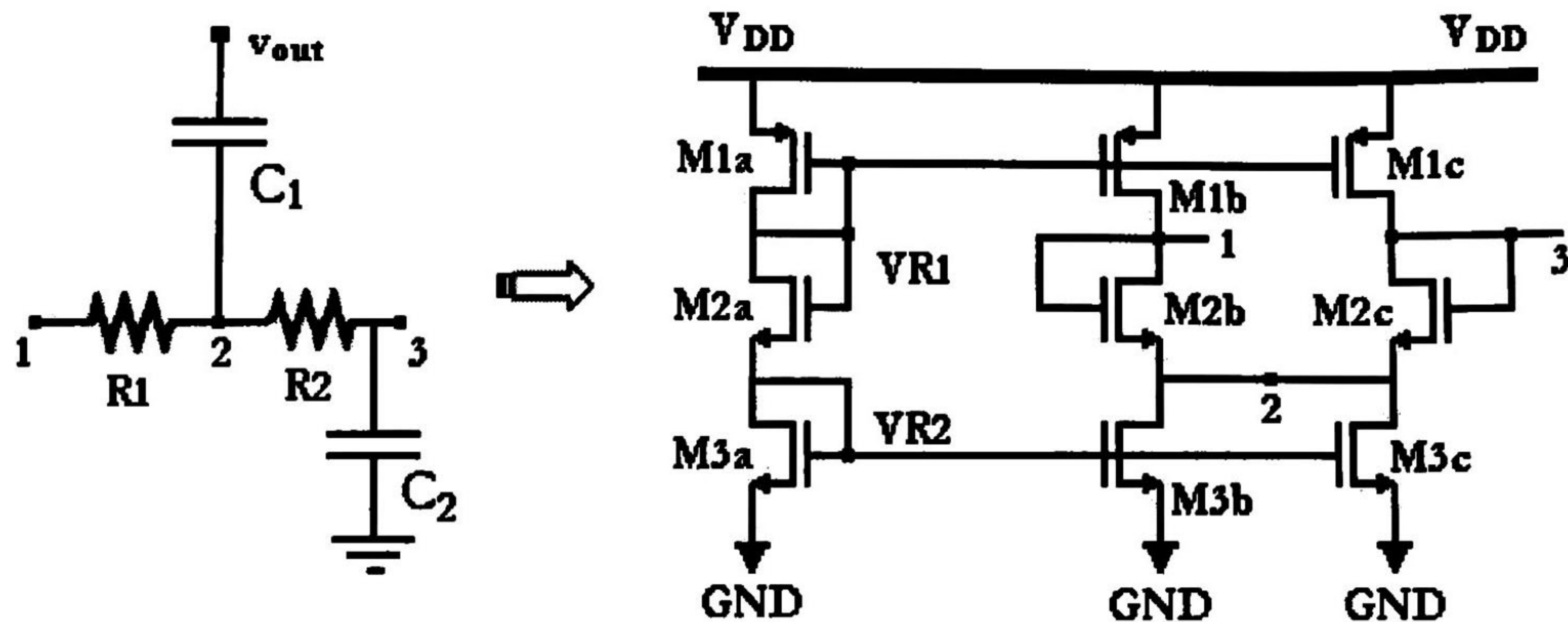


Fig. 2.25 Circuito correspondiente a los resistores pasivos

De la Fig. 2.25 se aprecia que el nodo 1 corresponde a el voltaje de entrada del sistema de filtrado, sin embargo no es posible ingresar la señal de entrada  $v_{in}$  debido a que ese nodo esta referenciado a corriente, por lo que se opta por incluir una etapa extra en la entrada que cumpla con la condición de un seguidor de voltaje, para no alterar la ganancia del sistema; esta etapa se logra mediante una rama de transistores, presentando una aproximación eficaz, se simula el sistema con esta etapa y se obtienen los resultados mostrados en la Tabla 2.6.

Prestaciones del Sistema	
$f_{C(-3dB)} @ A_{0,1}$	5.7MHz
$A_{0,1}$	1.54
$A_{0,1}(dB)$	3.78 dB
Atenuación (dB/década)	41.25 dB/década
$f_{C(-3dB)} @ A_{0,2}$	6.74MHz
$A_{0,2}$	1.04
$A_{0,2}(dB)$	0.38dB
Atenuación (dB/década)	29.70 dB/década

Tabla 2.6 Parámetros obtenidos de la simulación del sistema.

En la Tabla 2.6 se muestran 2 frecuencias de corte, esto es debido a que utilizando otro punto de salida de la topología Sallen-Key se tiene ganancia unitaria, como se aprecia, la diferencia entre una frecuencia y otra se podría considerar importante a simple vista pero no lo es, ya que al ser del mismo orden de magnitud son valores muy próximos debido a la escala logarítmica.



Los valores obtenidos en la Tabla 2.6, son obtenidos del archivo de simulación \*.out y su gráfica correspondiente se muestra en la Fig. 2.26.

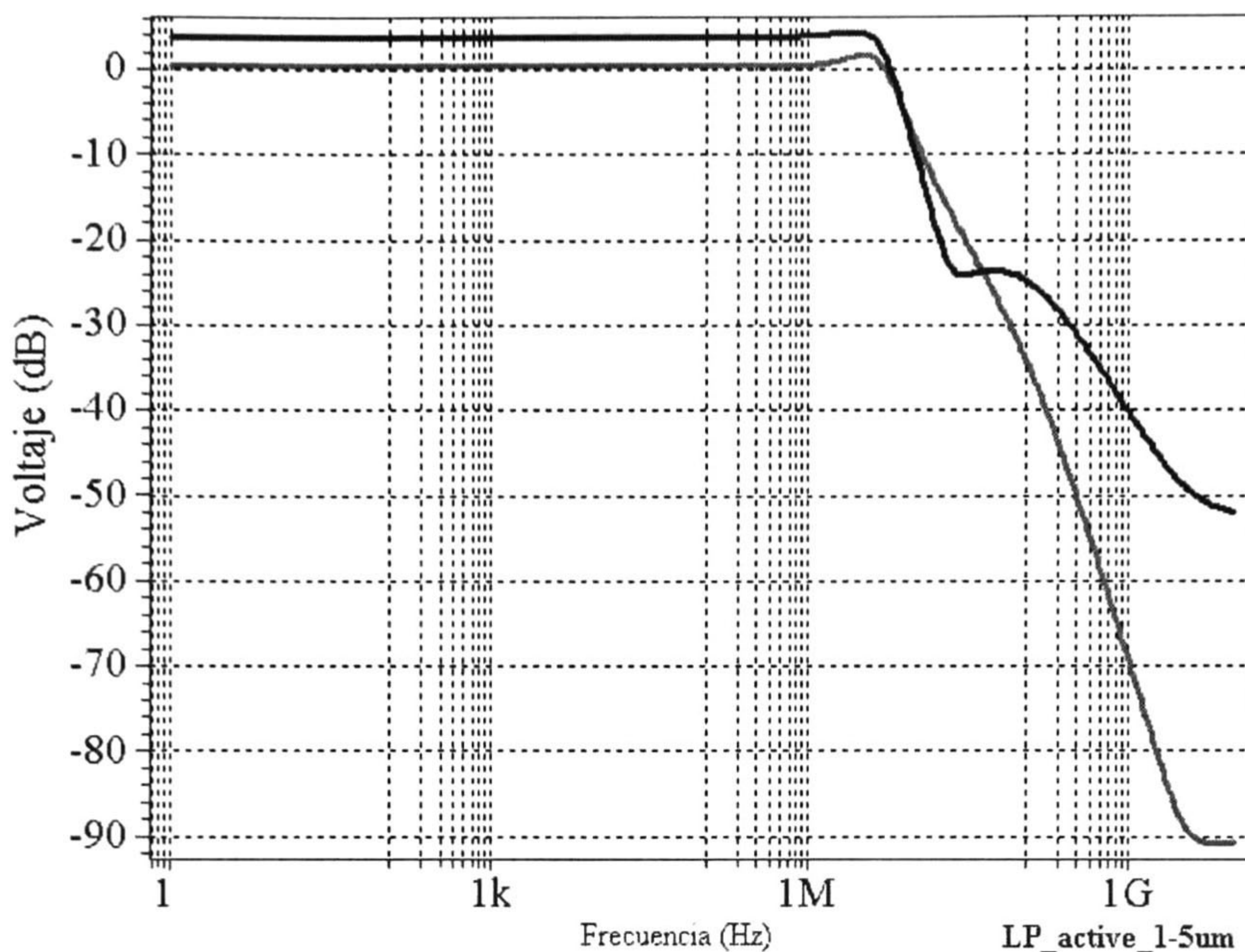


Fig. 2.26 Simulación de la respuesta en frecuencia del sistema activo pasa-bajas.

De la Fig. 2.26 se aprecia que la respuesta con mayor ganancia presenta una respuesta plana, característica importante en la Aproximación Butterworth, sin embargo, también presenta alteraciones por ceros y polos en la banda de rechazo, mientras que la respuesta de menor ganancia, presenta un mejor comportamiento así como una mayor atenuación.

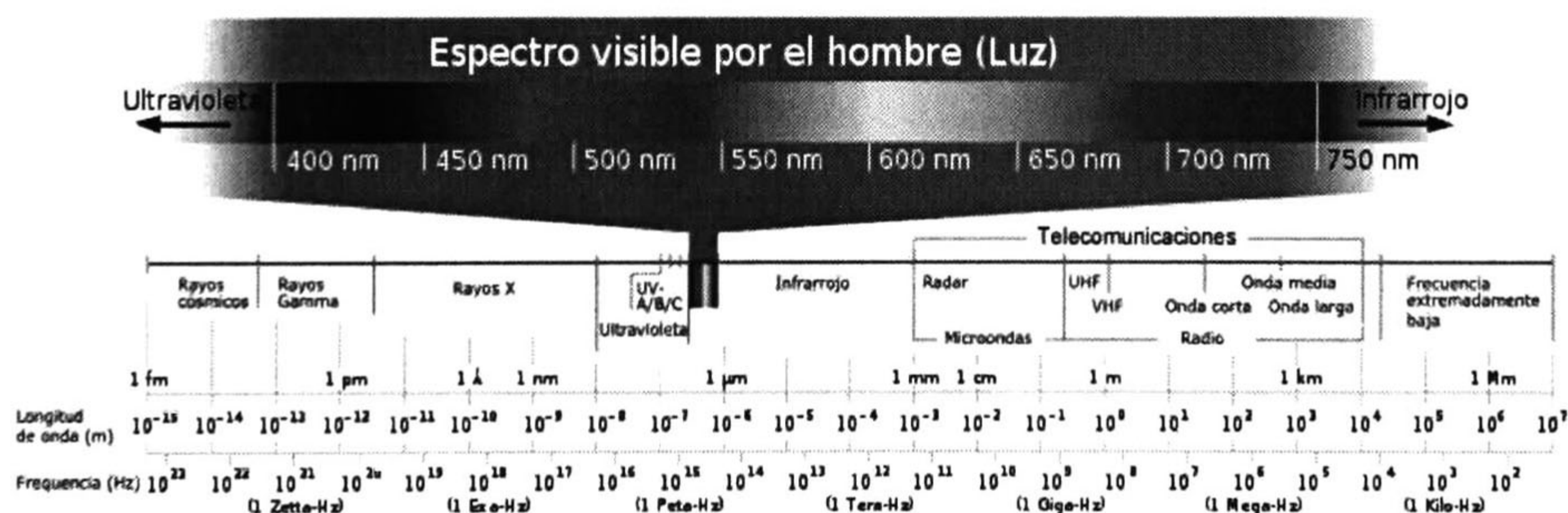


Fig. 2.27 Espectro de frecuencias.

Con el sistema de filtrado trabajando con frecuencias de corte del orden de MHz, el conjunto de aplicaciones disponibles es amplio, pero sin duda está dirigido mayormente a las Telecomunicaciones. En la Fig. 2.27 se muestra el espectro de frecuencias con sus aplicaciones respectivas, entre las aplicaciones pertenecientes a este rango de frecuencias se encuentran las comunicaciones de radio y de onda corta.

## 2.9 Conclusiones

Se presentó una metodología de diseño cuyo flujo facilita en gran manera el diseño de sistemas de filtrado, haciéndolo práctico y sencillo de seguir. Por otra parte la simulación obtenida es confiable por lo que al momento de trasladar estos aspectos a la práctica se constata que hay concordancia entre ambas etapas y los resultados obtenidos.

Se realizó trabajo en laboratorio presentándose diversos problemas o dificultades que provocan un trabajo extra que desemboca en una mayor comprensión de conceptos. Se capturaron datos con diversos tipos de errores de manera manual, posteriormente se usó una técnica mediante la interfaz GPIB que permite eliminar errores, como es el caso del error humano al momento de capturar los valores, así como reducir el error que se presenta por calentamiento, al tener el sistema polarizado un menor tiempo. En consecuencia, los datos obtenidos son completamente confiables, ahora con esto se comprobó que lo realizado en la teoría se reproduce en la práctica, sin embargo al considerar aproximaciones es básico entender la presencia de errores relativos en la respuesta del sistema, en este aspecto refiriéndose principalmente a los componentes pasivos.

Finalmente, se presentó una metodología de diseño (Aproximaciones Resistivas), la cual permitió el desarrollo de un Amplificador basado en tecnología CMOS, con el cual se integró el sistema en CI, presentando complicaciones al momento de sumar los componentes, por lo que se buscaron técnicas para emular resistores, lo cual se consigue sin perder la simetría pero sacrificando el control del valor de los resistores, restringiendo así, el campo de aplicaciones a las que se pueda dirigir el sistema.

## Capítulo 3

### Sistema de Filtrado Pasa-banda

Se presentan los fundamentos y teoría de los sistemas de filtrado pasa-banda, así como su realización mediante componentes discretos; para comprobar la funcionalidad y congruencia con lo diseñado. Posteriormente se realiza el diseño y simulación de forma ideal de un sistema de filtrado pasa-banda cuyas frecuencias de corte son del orden de Hz a kHz a manera de ejemplo, con la finalidad de dar lugar a la realización de un sistema de filtrado pasa-bajas que se presentará en el Capítulo 4.

#### 3.1 Introducción

**E**L campo de aplicaciones de los sistemas de filtrado depende directamente de la frecuencia a la que se trabaje, por lo que se estipula en este trabajo, aplicaciones de baja frecuencia (del orden de kHz). Algunas aplicaciones presentes en este rango de frecuencias son el filtrado en convertidores D-A, filtrado en sistemas de voz (Hz), el filtrado en sistemas PWM, etc. Siendo la finalidad de la mayoría de las aplicaciones aislar rangos de señales, éstas se delimitan dependiendo de los rangos a discriminar, por lo tanto, en algunos casos se requiere aislar tanto señales de bajas frecuencias como altas, he aquí la necesidad de los sistemas de filtrado pasa-banda, ya que al tener la presencia de 3 frecuencias características: una frecuencia central y dos frecuencias de corte laterales (baja y alta respectivamente), generan un rango de frecuencias también conocido como ancho de banda (BW). Este ancho de banda es de suma importancia debido a que esta prestación define muchas características del sistema como lo son los componentes (resistores y capacitores), ganancia ( $k$ ) y finalmente un factor de calidad ( $Q$ ).

Para comprender mejor estas características se describe a continuación la teoría de los sistemas de filtrado pasa-banda.

## 3.2 Teoría de los Sistemas de Filtrado Pasa-Banda

La expresión que representa a un sistema de filtrado pasa-banda de segundo orden es la siguiente:

$$H(s) = k \frac{\frac{1}{Q} \left( \frac{s}{\omega_0} \right)}{\left( \frac{s}{\omega_0} \right)^2 + \frac{1}{Q} \left( \frac{s}{\omega_0} \right) + 1} \quad (3.1)$$

La determinación de los polos ya ha sido presentada en el Capítulo 2, por otra parte se tienen 2 ceros: en  $s=0$  y  $s=\infty$ .

La respuesta en amplitud corresponde a:

$$|H(f)| = \frac{H_0}{\sqrt{1 + Q^2 \left( \frac{f}{f_0} - \frac{f_0}{f} \right)^2}} \quad (3.2)$$

El sistema de filtrado pasa-banda tiene 2 frecuencias de corte, centradas con respecto a la frecuencia característica  $f_0$ . Para calcularlas, se impone la condición de que la magnitud de la salida del sistema a las frecuencias de corte en una escala logarítmica es de -3dB, o bien a una escala lineal la magnitud es  $1/\sqrt{2}$ , teniendo:

$$|H(f)| = \frac{H_0}{\sqrt{1 + Q^2 \left( \frac{f}{f_0} - \frac{f_0}{f} \right)^2}} = \frac{H_0}{\sqrt{2}} \quad (3.3)$$

simplificando (3.3) se obtiene:

$$Q \left( \frac{f}{f_0} - \frac{f_0}{f} \right) = \pm 1 \quad (3.4)$$

de (3.4) se generan 2 ecuaciones de segundo grado:

$$\left( \frac{f}{f_0} \right)^2 + \frac{1}{Q} \left( \frac{f}{f_0} \right) - 1 = 0 \quad (3.5-a)$$

$$\left( \frac{f}{f_0} \right)^2 - \frac{1}{Q} \left( \frac{f}{f_0} \right) - 1 = 0 \quad (3.5-b)$$

de (3.5-a) se demuestra que:

$$\frac{f}{f_0} = \frac{1}{2Q} \pm \sqrt{\frac{1}{4Q^2} + 1} \quad (3.6)$$

de (3.6) la solución negativa no tiene validez, debido a que el resultado es un número imaginario. De (3.5-b) se tiene la segunda frecuencia de corte:

$$\frac{f}{f_0} = -\frac{1}{2Q} \pm \sqrt{\frac{1}{4Q^2} + 1} \quad (3.7)$$

en (3.7), nuevamente solo la solución positiva tiene validez, por lo tanto, las dos frecuencias de corte (frecuencia superior  $f_H$  y frecuencia inferior  $f_L$ ) del sistema de filtrado pasa-banda son:

$$f_H = f_0 \left( \frac{1}{2Q} + \sqrt{\frac{1}{4Q^2} + 1} \right) \quad (3.8-a)$$

$$f_L = f_0 \left( -\frac{1}{2Q} + \sqrt{\frac{1}{4Q^2} + 1} \right) \quad (3.8-b)$$

Con la teoría expuesta se procede a realizar el diseño de un sistema de filtrado pasa-banda a manera de ejemplo, considerando condiciones ideales.

### 3.3 Diseño

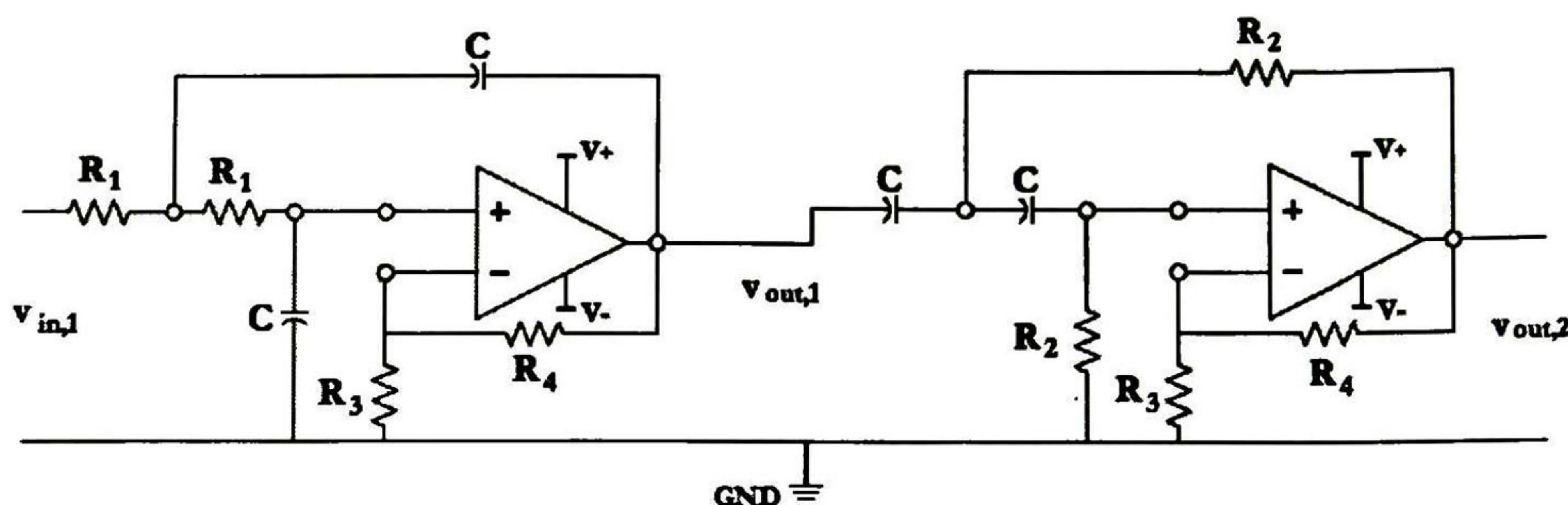
El sistema de filtrado pasa-banda, requiere un conjunto de especificaciones de diseño, para la realización de este filtro se considera la topología Sallen-Key, un sistema de segundo orden pasa-bajas y uno pasa-altas como los mostrados en el capítulo 2, las frecuencias de corte laterales y el conjunto de especificaciones se presentan en la Tabla 3.1.

Especificaciones	
$f_L$	200Hz
$f_H$	1200 Hz
Aproximación	Butterworth
Orden	2do.
Topología	Sallen-Key

**Tabla 3.1** Especificaciones del Sistema de Filtrado Pasa-banda.

En la siguiente etapa de diseño, se requiere diseñar 2 sistemas de filtrado de segundo orden, un pasa-bajas y un pasa-altas, con el procedimiento de diseño descrito en el Capítulo 2 y basado en las ecuaciones y topologías mostradas en la Tabla 3.2 se obtienen los valores de los componentes, se integran ambos bloques obteniendo la topología mostrada en la Fig. 3.1.

Se procede con el ensamble del circuito mediante componentes discretos, cabe mencionar que los valores de los componentes de diseño se sustituyen con valores comerciales más próximos mostrados en la Tabla 3.2.



**Fig. 3.1** Esquemático del Sistema de Filtrado Pasa-banda

Para la implementación del circuito mostrado en la Fig. 3.1 se realizó una comparativa entre las características de 2 amplificadores operacionales comerciales, resultando que el CI TL084 presenta mejores prestaciones en comparación con el LM 741, aunado a esto el CI TL084 está compuesto por 4 amplificadores en un solo encapsulado (requiriendo 2 amplificadores para este diseño).

Elementos	Valor
R <sub>1</sub>	12kΩ
R <sub>2</sub>	82kΩ
R <sub>3</sub>	1.2kΩ
R <sub>4</sub>	680Ω
C	10nF

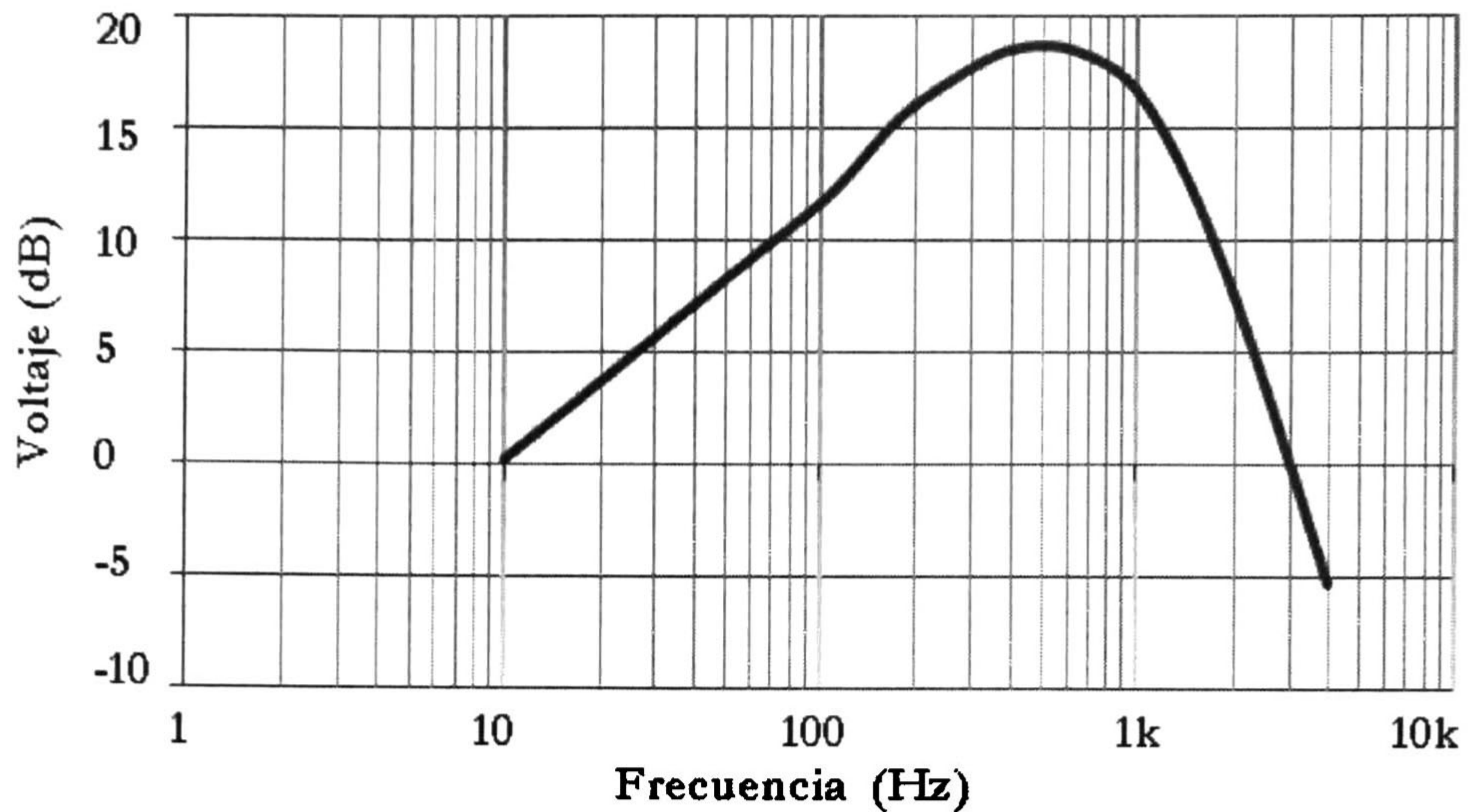
**Tabla 3.2** Valores comerciales de los componentes discretos.

Con el amplificador CI TL084 y los componentes resistivos y capacitivos comerciales indicados en la Tabla 3.2 se realiza la simulación, acto seguido, se ensambla en una tarjeta de prototipos, posteriormente se realiza el trabajo en laboratorio, obteniendo su medición con el uso de 2 multímetros, 2 fuentes de voltaje DC, 1 generador de ondas, una interfaz GPIB, y la PC; todos los instrumentos son controlados por la PC a través de la interfaz GPIB como en el capítulo 2.

El método de medición tiene a su control diversos puntos importantes como lo son: magnitud de voltaje de ambas fuentes de DC, configuración de los multímetros, así como el control total del generador de ondas, comprendiendo magnitud, frecuencia y tipo de la señal a introducir al sistema.

Mediante este método de medición, se logra una disminución de los errores humanos ocurridos en la captura de valores, en adición a esto, se logra una disminución del tiempo de elaboración de la prueba, así como una mayor facilidad para el manejo de la información, ya que todo se puede leer en un archivo CITI, o bien extraer los valores a una Tabla para el manejo en programas basados en tablas de datos, como es el caso del programa EXCEL, se concluye por consecuencia la confiabilidad de la medición y se

muestra en la Fig. 3.2 el gráfico obtenido de la medición del sistema de filtrado pasa-banda.



**Fig. 3.2** Respuesta en frecuencia del sistema de filtrado pasa-banda.

De la Fig. 3.2 se aprecia las frecuencias de corte laterales las cuales corresponden a  $f_L=190\text{Hz}$  y  $f_H=1.11\text{kHz}$ , el que genera un error relativo ( $\epsilon$ ) del 5 y 7.5% respectivamente; este error es generado principalmente por la variación de los componentes comerciales, ya que no existen los valores específicos obtenidos en el diseño. Sin embargo esto genera una buena aproximación y aporta una práctica de laboratorio importante al momento de corroborar el funcionamiento del sistema, se obtiene la frecuencia central ( $f_0$ ), a la cual le corresponde un valor de 510Hz, el factor de calidad ( $Q$ ) se determina empleando la siguiente expresión:

$$Q = \frac{f_0}{f_H - f_L} = \frac{510\text{Hz}}{1110\text{Hz} - 190\text{Hz}} = 0.55 \quad (3.9)$$

Al comparar los resultados obtenidos con los esperados, se observa una gran diferencia en la respuesta frecuencial aunque pareciera que lo diseñado es correcto, esto es cierto desde el punto de vista matemático, ya que al realizar el producto de estas 2 funciones se tiene:

$$\frac{c}{s+a} \times \frac{s}{s+b} = \frac{sc}{s^2 + s(a+b) + ab} \quad (3.10)$$

es decir, se tiene la representación matemática de cascar los sistemas de filtrado pasa-bajas y pasa-altas, siendo el producto obtenido de ambas funciones de transferencia un indicativo de la existencia de una frecuencia de corte dada por la multiplicación de la constante  $a$  por  $b$ . En la Fig. 3.3 se tiene la representación gráfica de lo esperado de este producto. Sin embargo, esto representa un error en la práctica, debido a que se tiene una componente extra en la carga del sistema de filtrado pasa-bajas, dado por los capacitores de entrada del sistema de filtrado pasa-altas como se aprecia en la Fig. 3.1, Por lo cual, se requiere colocar un seguidor de voltaje entre ambas etapas, este seguidor de voltaje se

realiza mediante un amplificador operacional el cual se encuentra disponible en el mismo integrado TL084, de manera que se facilita su implementación. La topología final se muestra en la Fig. 3.4

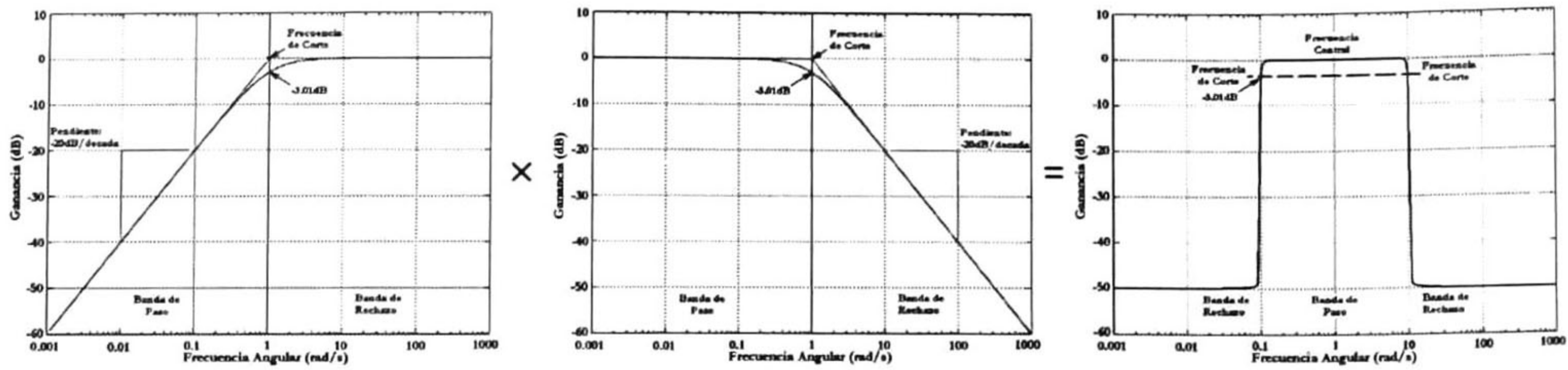


Fig. 3.3 Representación gráfica de cascar los sistemas de filtrado pasa-bajas y pasa-altas.

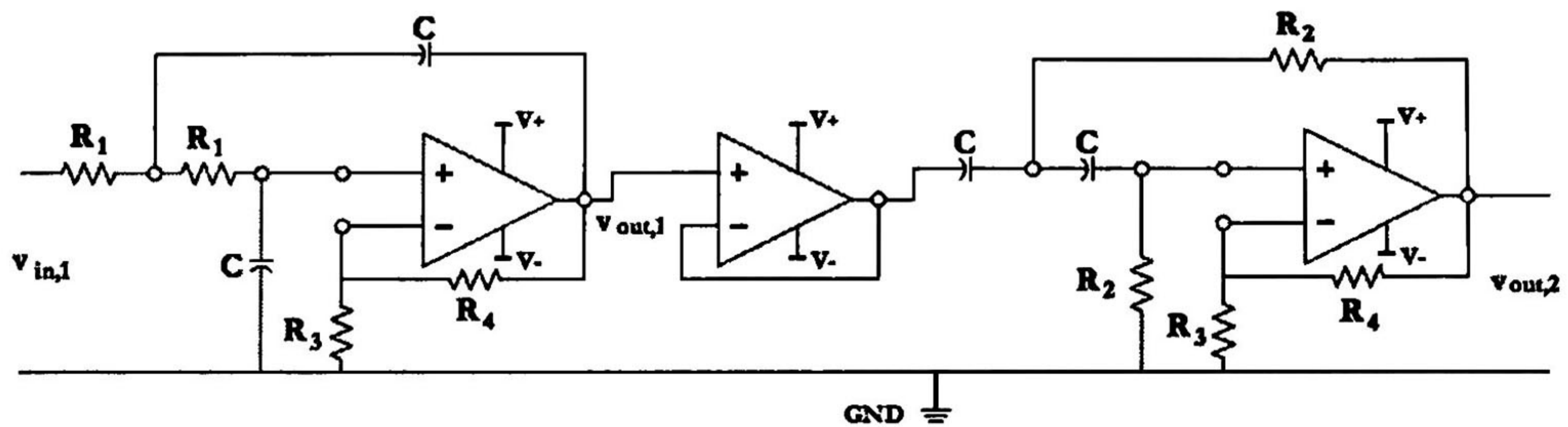


Fig. 3.4 Topología del sistema de filtrado pasa-banda con seguidor de voltaje.

Con esta topología se realiza la implementación y medición del sistema obteniendo la gráfica que se muestra en la Fig. 3.5, con la cual se coteja un correcto funcionamiento, aunando a esto una respuesta en frecuencia idónea a la esperada por el diseño. Con esta gráfica y la extracción de los valores de las frecuencias de corte mostrados en la Tabla 3.3 se verifica el sistema y se da paso a la siguiente etapa de diseño, la cual constituye la implementación del sistema en silicio bajo condiciones ideales.

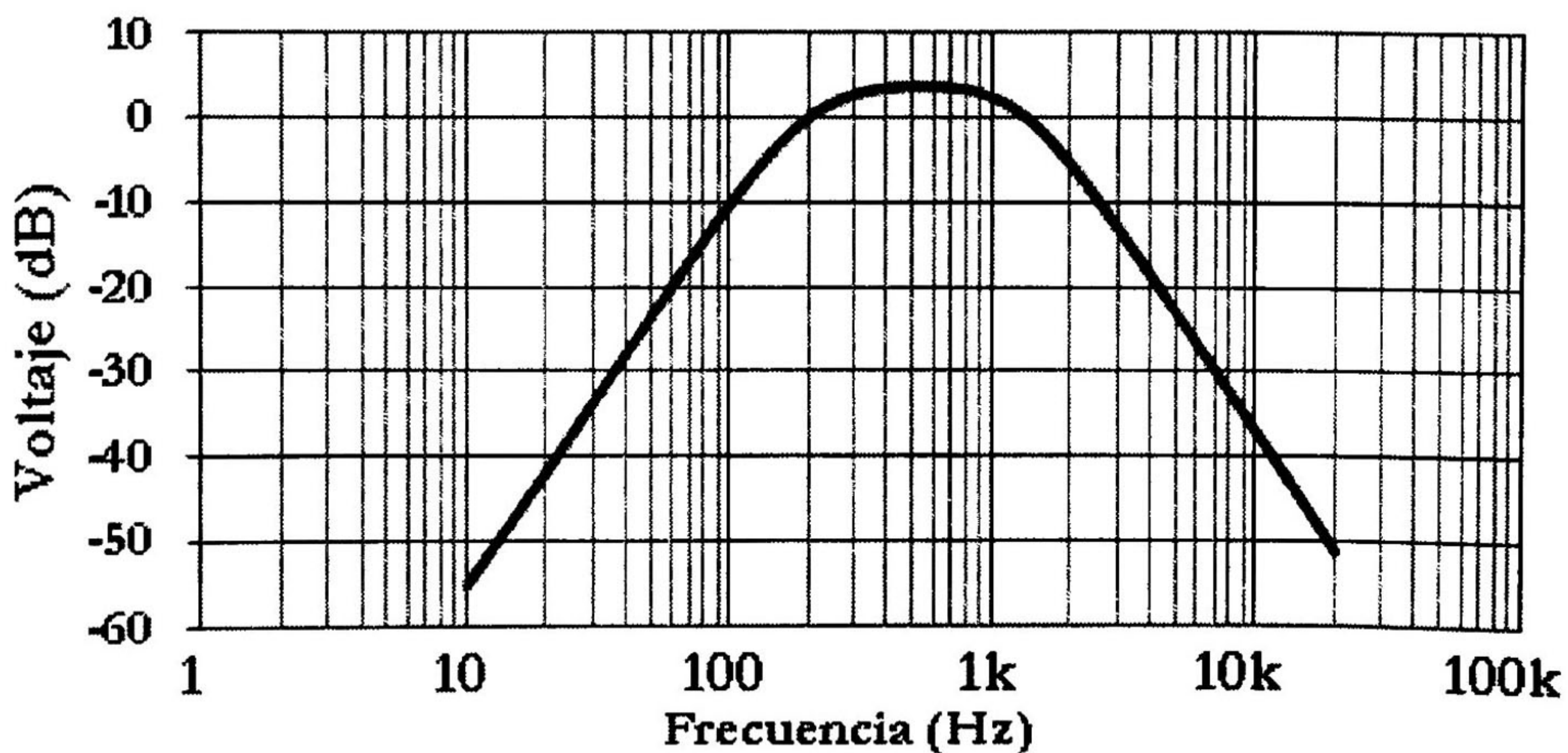


Fig. 3.5 Respuesta en Frecuencia del Sistema de filtrado pasa-banda con seguidor de voltaje.



De la Tabla 3.3 se tienen los valores de las frecuencias de corte, con lo que se tienen errores relativos correspondientes a  $\epsilon_L=10\%$  y  $\epsilon_H=5\%$ , los cuales son buenos, aunando a esto que la característica de la función de transferencia es más representativa del filtro que se diseñó.

Características Obtenidas	
$f_L$	220Hz
$f_H$	1.14kHz
Ganancia (dB)	3.63
Q	0.58

Tabla 3.3 Frecuencias características del sistema de filtrado pasa-banda

Finalmente se da paso a la etapa de diseño CMOS integrado, en la cual se realiza la implementación en silicio.

### 3.4 Implementación en CI

Empleando el sistema pasa-bajas mostrado en el capítulo 1, se implementa con los valores óptimos de diseño, para la frecuencia de corte indicada en 1.2kHz. Ya que cuando se trabaja con CI se tiene una mayor precisión al obtener el valor de los componentes comparado con los comerciales, los valores son:  $R=1/g_{mn1b}=7.94k\Omega$  y  $C_1=C_2=5.78nF$ , teniendo el esquema presentado en la Fig. 3.6.

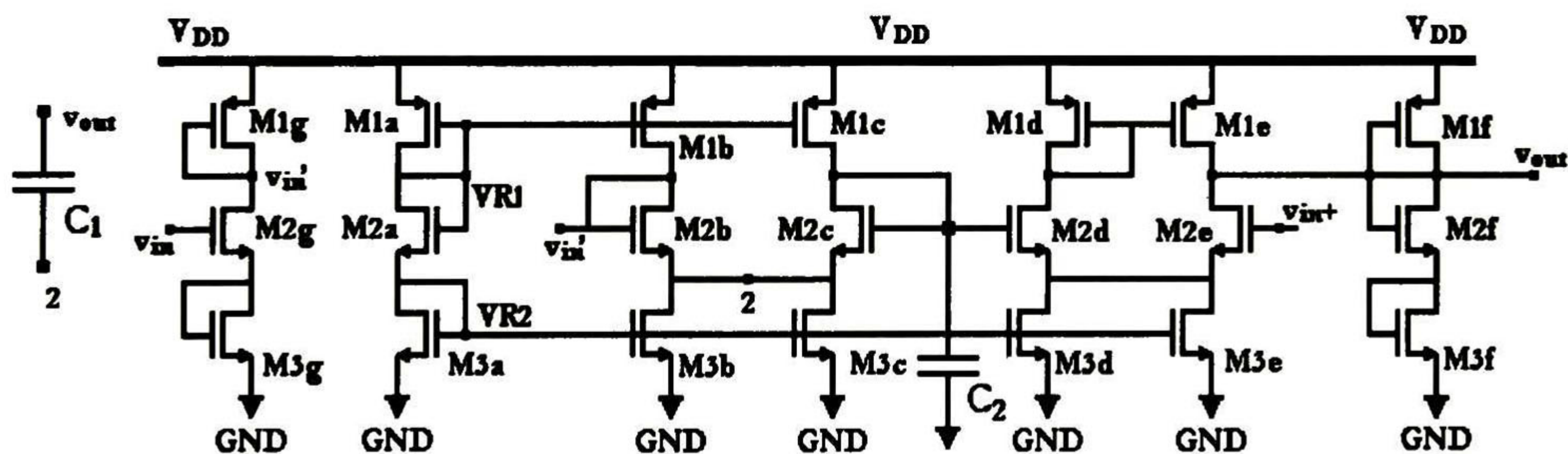
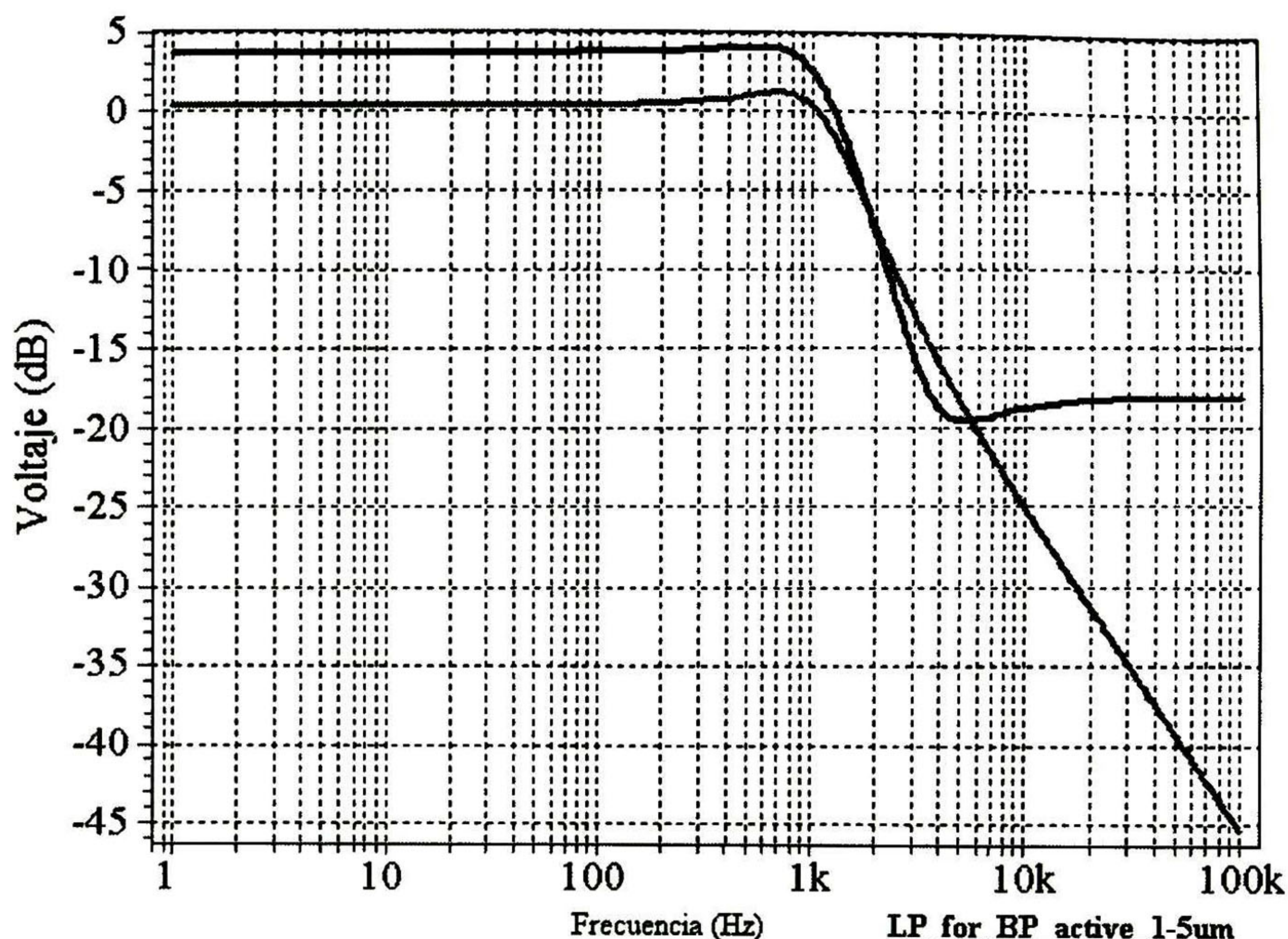


Fig. 3.6 Esquemático del Sistema de Filtrado Pasa-bajas.

La simulación del esquemático se muestra en la Fig. 3.7, donde se grafican las señales de los nodos de ganancia unitaria y de salida del sistema, se aprecia que la frecuencia de corte es de 1200Hz, cumpliendo con las especificaciones, además se observa que el circuito presenta una ganancia  $A_0(\text{dB})=3.77\text{dB}$  a la salida del amplificador, sin embargo, se indica una mayor atenuación en la banda de rechazo en la señal de ganancia unitaria.

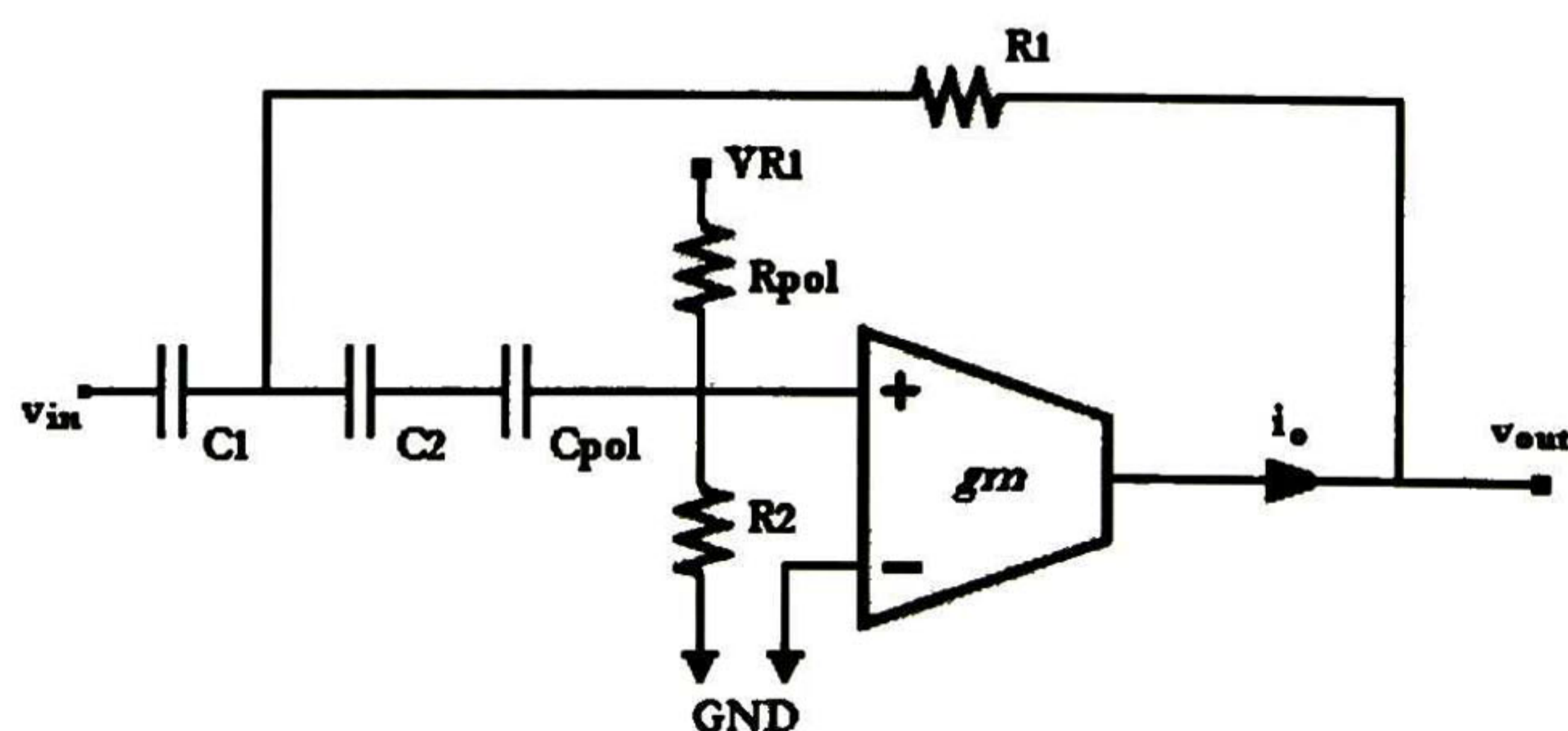
Posteriormente, se desarrolla el sistema de filtrado pasa-altas, comenzando con el OTA, al momento de la simulación se presenta un conflicto con el punto de polarización en DC, debido a los capacitores que se encuentran a la entrada de la topología, aislando la componente de DC, por lo cual es importante utilizar una rama de polarización.

La rama de polarización propuesta consta de 2 elementos, un capacitor ( $C_{pol}$ ) que se encuentra en serie con  $C_2$  y un resistor ( $R_{pol}$ ) que conecta al nodo de referencia de voltaje VR1 con el nodo de entrada del OTA.



**Fig. 3.7** Respuesta en frecuencia del sistema pasa-bajas activo.

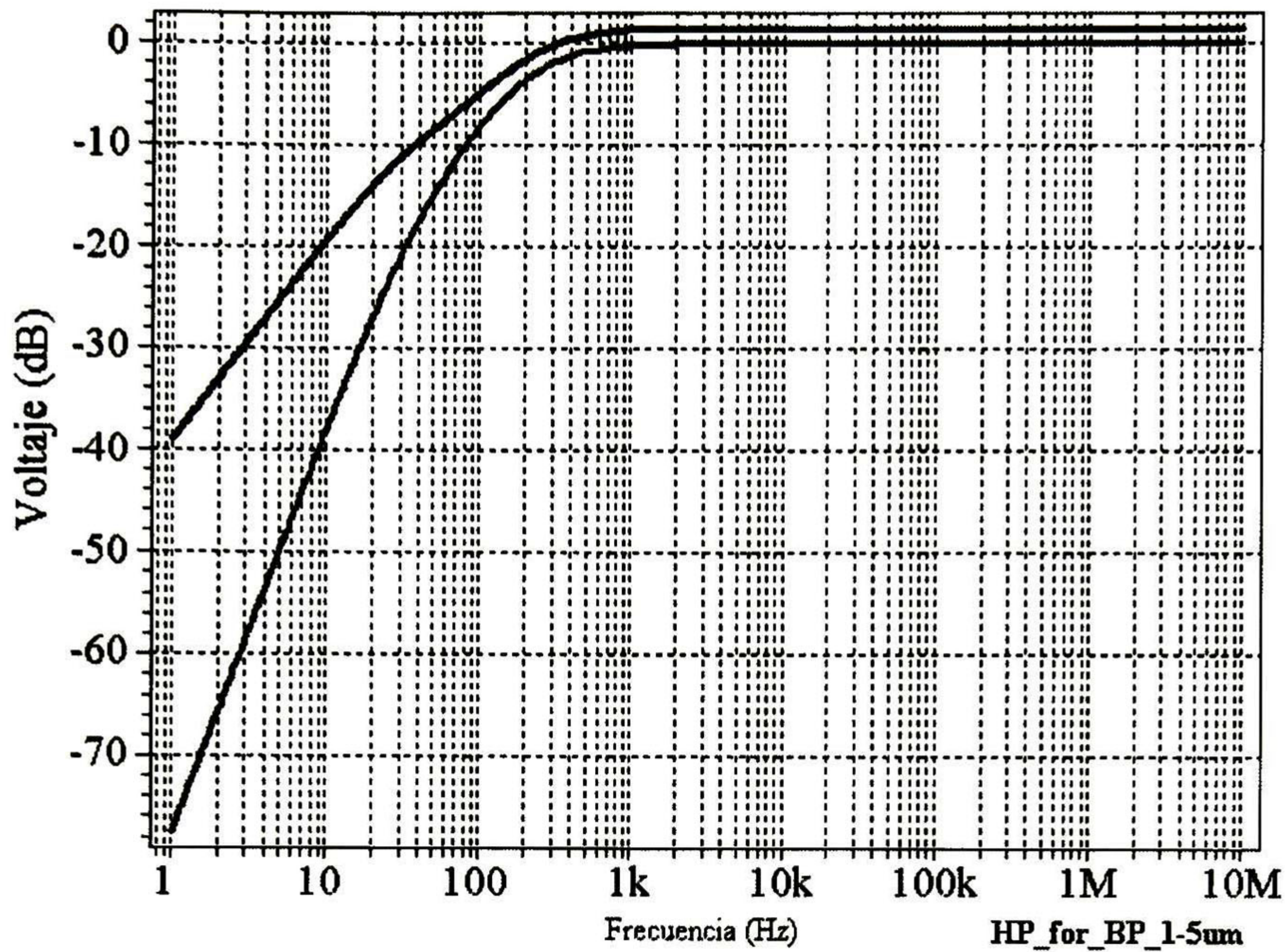
Nótese, que el OTA se encuentra a nivel transistor y en ello repercute la existencia de esta rama, misma que se muestra en la fig. 3.8, junto con el sistema de filtrado pasa-altas.



**Fig. 3.8** Esquemático del Sistema Pasa-altas con rama de polarización.

Las características del resistor y capacitor de polarización no deben afectar los niveles de voltaje principalmente, además de mantener la frecuencia de corte y un ancho de banda adecuado, por lo que el valor del resistor deberá tender a infinito o bien a un valor lo suficientemente alto, ya que forma un divisor de tensión junto con  $R_2$ . Por otra parte el capacitor deberá también ser de un valor grande con el objetivo de que no genere un cero extra dentro de la banda de interés. Con estas consideraciones se realiza la simulación SPICE, usando elementos pasivos  $R_1=R_2=7.93\text{k}\Omega$  y  $C_1=C_2=144.38\text{nF}$  y se proponen los valores para  $R_{pol}=100\text{M}\Omega$  y  $C_{pol}=1\text{F}$  de manera ideal.

La simulación se presenta en la Fig. 3.9, de donde se obtienen los valores de la frecuencia de corte y la ganancia principalmente para verificar el funcionamiento del sistema.



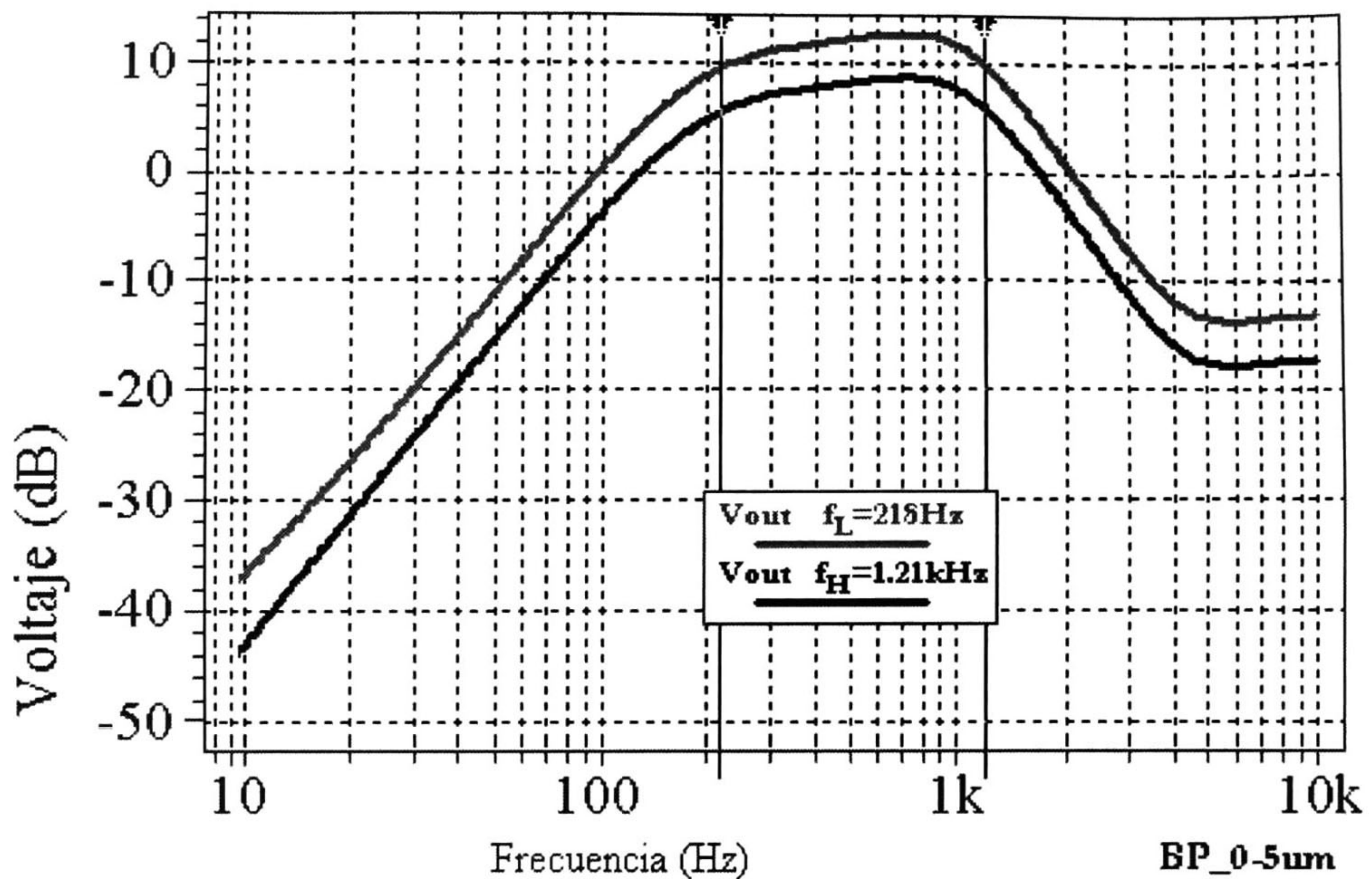
**Fig. 3.9** Respuesta en frecuencia del Sistema pasa-altas.

Para concluir el diseño del sistema pasa-banda se integran ambos sistemas realizándolos en cascada, los valores de los componentes se presentan en la Tabla 3.4, y la simulación se aprecia en la Fig. 3.10.

Elementos	Valor
$R_1$	72.08k $\Omega$
$R_2$	79.57k $\Omega$
$C_{1L}$	11.55nF
$C_{2L}$	11.55nF
$C_{1H}$	10.00nF
$C_{2H}$	10.00nF

**Tabla 3.4** Valores de diseño de los componentes.

Las frecuencias de corte laterales se indican en  $f_L=218.08\text{Hz}$  y  $f_H=1,219.00\text{Hz}$ , así como su frecuencia central  $f_0=727.78\text{Hz}$ , generando un  $Q=0.92$ , se tiene un error relativo  $\epsilon(f_L)=9.04\%$  y  $\epsilon(f_H)=1.58\%$ ; el error relativo que presenta la frecuencia de corte inferior implica un gran valor debido a que la magnitud es pequeña por lo que las variaciones por pequeñas que sean provocan un error significativo, sin embargo, la tolerancia puede incrementarse en frecuencias tan bajas.



**Fig. 3.10** Respuesta en frecuencia del Sistema pasa-banda.

Se observa también que el valor de los capacitores es prohibitivo si se desea realizar de manera pasiva, por lo que es indispensable buscar técnicas con las cuales se logren estas frecuencias de corte con una pequeña área de integración y un bajo consumo de potencia, características que se encuentran ligadas y dependientes entre sí, la técnica a encontrar se presentará y analizará en el siguiente capítulo mediante el desarrollo de un sistema de filtrado pasa-bajas.

### 3.5 Conclusiones

Se desarrolló el diseño de un sistema de filtrado pasa-banda, el cual consta de 11 ramas de 3 transistores cada rama, manejando:  $I_{DD} = 18 \mu\text{A}$ ,  $V_{DD} = 3.3\text{V}$  y  $P = 59.4 \mu\text{W}$ . Por otra parte, este diseño presentó una rama de polarización (en su respuesta pasa-alta), que se formó por componentes ideales y de gran valor, para evitar conflicto en la banda de frecuencia de interés, así como un cambio no deseado en el voltaje de referencia.

Por otro lado, el método de diseño basado en aproximaciones resistivas tuvo una respuesta adecuada con la tecnología CMOS  $0.5 \mu\text{m}$ , con lo cual durante el siguiente Capítulo, la tecnología que se empleará será CMOS  $0.35 \mu\text{m}$ , lo que validará la escalabilidad de la metodología de diseño.

Finalmente, en el siguiente Capítulo, en busca de una característica de programabilidad en la frecuencia de corte lateral superior, se realizará el diseño de un sistema pasa-bajas a  $2 \text{ kHz}$ , en el entendido de lograr una frecuencia de  $1.2 \text{ kHz}$  al momento de la fabricación, debido al ajuste que provee el arreglo que emula el valor resistivo.

## Capítulo 4

# Sistema de Filtrado Pasa-bajas con Resistores Activos

Se presenta el diseño de un sistema de filtrado pasa-bajas con resistores integrados de manera activa, para estas implementaciones se recurre a dos técnicas, la primera es un arreglo de transistores simple y como segunda opción se tiene un arreglo de transistores de 2 ramas respaldado por un seguidor de voltaje que provee la corriente al arreglo de transistores de manera que brinda variaciones en el valor del resistor emulado, estos resistores son de un gran valor lo que provee la facilidad de integrar sistemas de filtrado pasa-bajas con aplicaciones de baja frecuencia. Finalmente se realiza el Layout del sistema y se obtiene la simulación post-layout para corroborar las especificaciones.

### 4.1 Introducción

**L**OS sistemas de filtrado dirigidos a aplicaciones de bajas frecuencias, al momento de integrarse en Silicio presentan como principal problema componentes tanto resistivos como capacitivos de gran valor, dichos componentes si se implementan de forma pasiva tienen una gran área de integración (imposibilitando su construcción debido a los altos costos de fabricación), de aquí surge la necesidad de encontrar circuitos capaces de reproducir las características de estos componentes, sin embargo en los capacitores se percibe una gran facilidad para realizarlos de forma pasiva si son de un valor pequeño (del rango de decenas de pF), por lo cual se debe realizar una denormalización en impedancia a manera de tener valores pequeños en los capacitores y que el impacto lo reciban los resistores, por tal motivo, se estudiaron técnicas para emular resistores y se presentan a continuación.

## 4.2 Diseño del Sistema de Filtrado Pasa-Bajas con Resistores Activos (RA)

Se desarrolla el diseño de la misma manera que en los casos de capítulos anteriores, iniciando con las especificaciones, las cuales se describen en la Tabla 4.1

Especificaciones	
f(-3dB)	2kHz
Aproximación	Butterworth
Orden	2do.
Topología	Sallen-Key
$C_1=C_2$	<30pF

Tabla 4.1 Especificaciones del Sistema de Filtrado Pasa-bajas.

La topología del sistema de filtrado pasa-bajas se muestra en la Fig. 4.1, en la cual ya se considera un amplificador operacional de transconductancia (OTA), se emplean las ecuaciones descritas en el Capítulo 2 por lo que la ganancia que debe proporcionar el amplificador debe ser de una magnitud igual a 1.58.

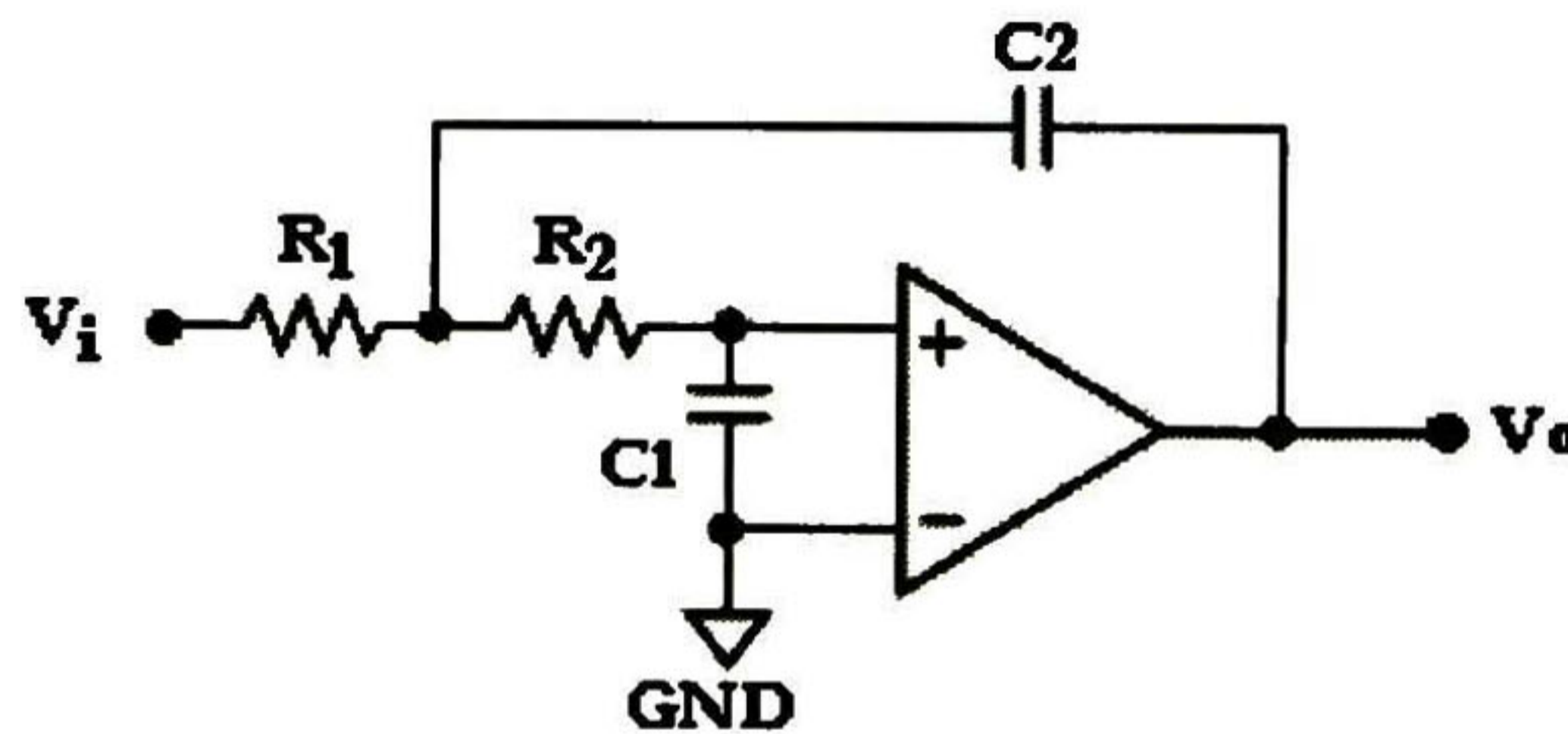


Fig. 4.1 Esquemático Sallen-Key para el sistema de filtrado pasa-bajas.

Posteriormente se proponen valores capacitivos  $C_1=C_2=10\text{pF}$ , generando  $R_1=R_2=7.95\text{M}\Omega$ , por lo que se considera realizarlos con una rama de transistores semejante a las utilizadas anteriormente compuestas por 1 PMOS y 2 NMOS. El diseño detallado se presenta a continuación.

### 4.2.1 Técnica para RA empleando Rama de Transistores CMOS

Se emplea el OTA mostrado en la Fig. 1.24, obteniendo una ganancia cercana a 1.48, enfocándose en los resistores, la topología sugerida se muestra en la Fig. 4.2, de la cual el valor a obtener será inversamente proporcional a la transconductancia del transistor  $M_{2b}$  en saturación dada por

$$R = \frac{1}{g_{mn,sat}} \quad (4.1)$$

Dicho valor se obtiene del archivo \*.out de simulación SPICE (modelo nivel 49), teniendo así una mayor aproximación en comparación a trabajar con la ecuación cuadrática (de nivel 1 de simulación).

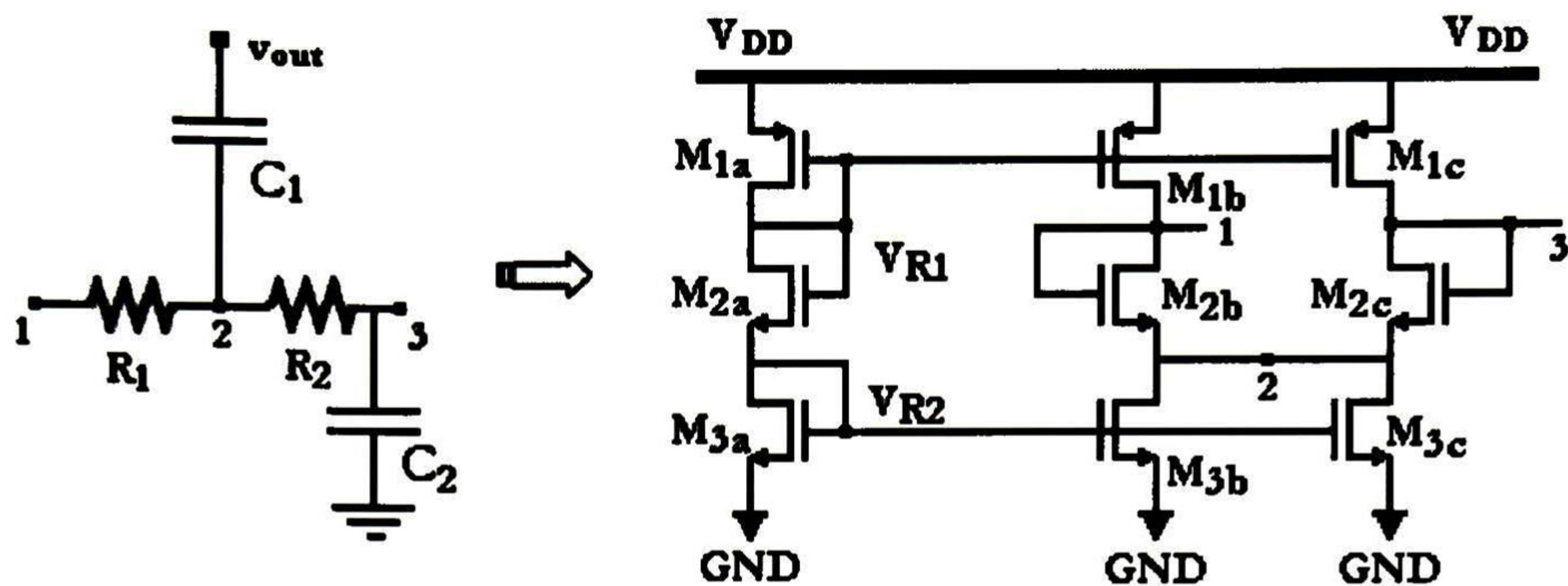


Fig. 4.2 Topología para implementar los Resistores Activos.

Con la topología empleada se simula en SPICE, de manera que se tiene el valor de la transconductancia, dando un Resistor emulado de un valor próximo a  $8k\Omega$ , siendo éste un valor bajo al requerido por las especificaciones.

#### 4.2.2 Técnica para RA empleando un Arreglo Ajustable

Ésta cuenta con una topología que se forma por un seguidor de voltaje y un arreglo de transistores que generan un resistor variable [14], como se muestra en la Fig. 4.3, este arreglo de transistor cuenta con ramas de 4 transistores (ver Fig. 4.4), por lo que es indispensable rediseñar la rama de polarización y el OTA con ramas de 4 transistores para lograr una simetría en el diseño (tanto en los voltajes de referencia, como en el diseño Layout).

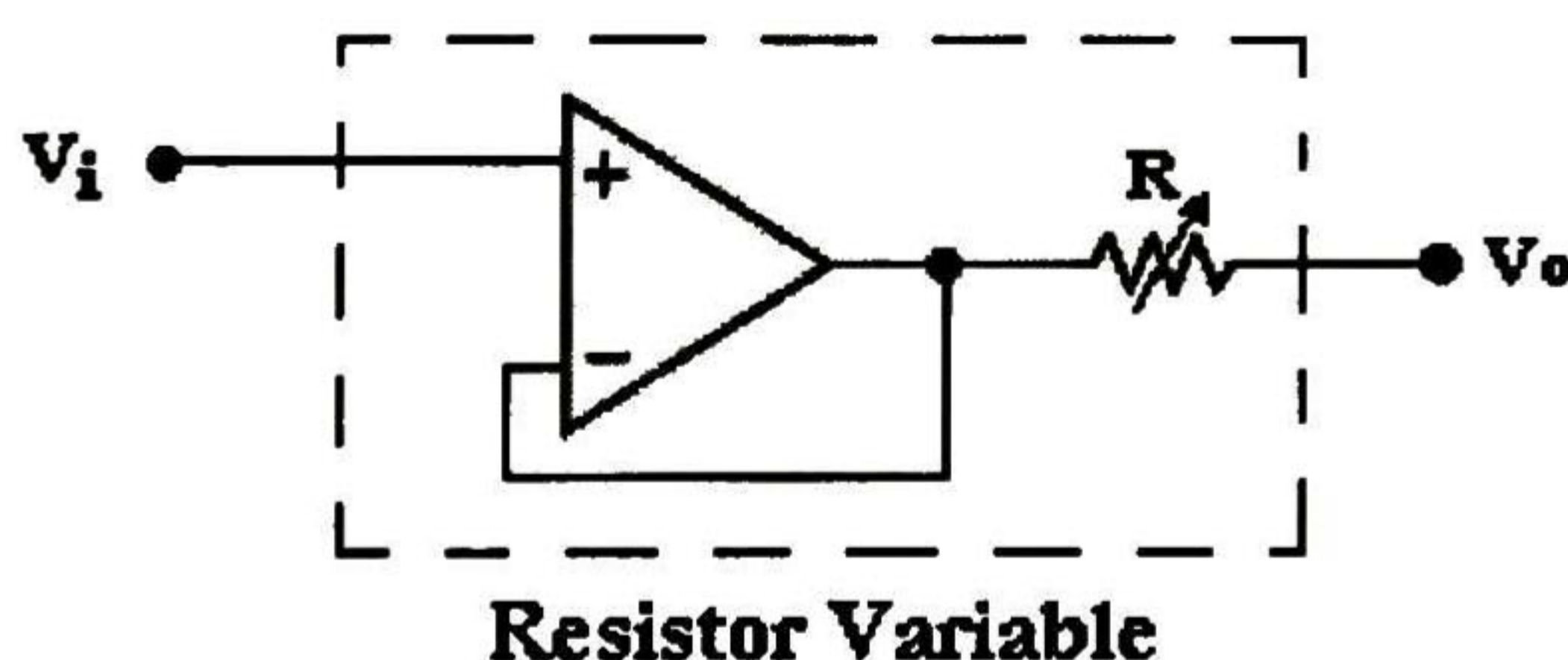


Fig. 4.3 Resistor Activo Variable.

La rama de polarización se desarrolla mediante 4 transistores (ver Fig. 4.4), con los cuales se obtienen 3 voltajes, sin embargo solo se consideran 2 relevantes, a los cuales se les nombra  $V_{R1}$  y  $V_{R2}$ ; siendo los voltajes de referencia a usar en el circuito que representa a todo el sistema. Es importante mencionar que todos los M2 de las etapas que se diseñen contarán con un pozo independiente, el cual se encontrará polarizado al voltaje presente en la fuente del transistor, el que asegura que el voltaje de encendido del transistor sea el mismo que el proporcionado por el fabricante para casos como los M1. Mediante el método de aproximaciones resistivas se obtienen las geometrías de los transistores, teniendo  $W_{p1}=4.4\mu m$ ,  $W_{p2}=4.8\mu m$ ,  $W_{n1}=1.2\mu m$  y  $W_{n2}=1.2\mu m$ ; se utilizan los parámetros propios de la tecnología CMOS  $0.35\mu m$  debido a la necesidad de verificar la escalabilidad en tecnología del método de diseño. Se simula la rama de polarización, recordando que el voltaje de alimentación es  $V_{DD}=3.3V$ ; se obtiene del archivo \*.out los voltajes de

referencia  $V_{R1}=1.54V$  y  $V_{R2}=0.70V$ , con lo que se termina el diseño de la rama de polarización y se continua con el diseño del OTA, empezando con el Par Diferencial.

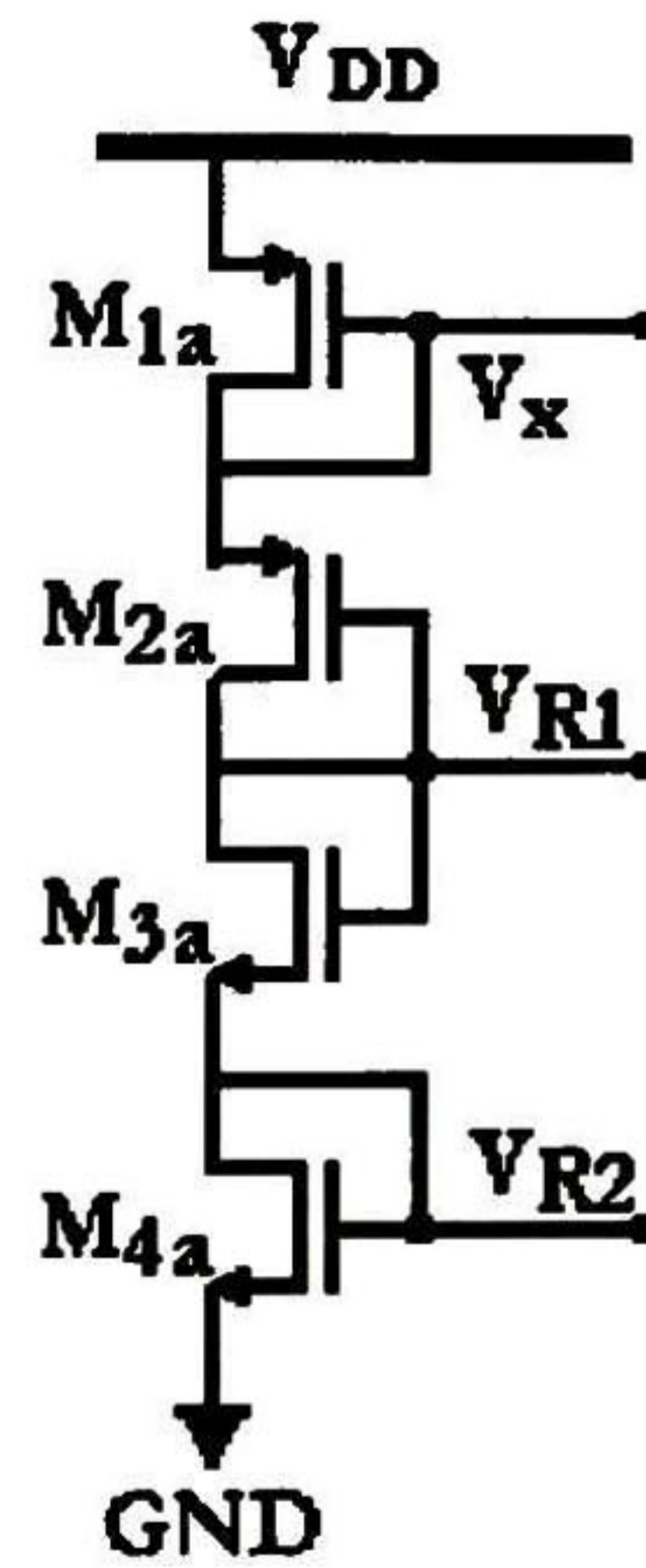


Fig. 4.4 Rama de Polarización con 4 transistores.

El par diferencial se muestra en la Fig. 4.5, en donde se tienen los transistores y el nombre de los nodos dentro del archivo de simulación SPICE, este esquemático cuenta con la rama de polarización antes diseñada. Mediante la simulación de la etapa completa se obtiene la gráfica mostrada en la Fig. 4.6, en donde se resalta la ganancia que presenta  $k=39.77dB$  y la frecuencia de corte dada por el polo situado en  $1.87MHz$ .

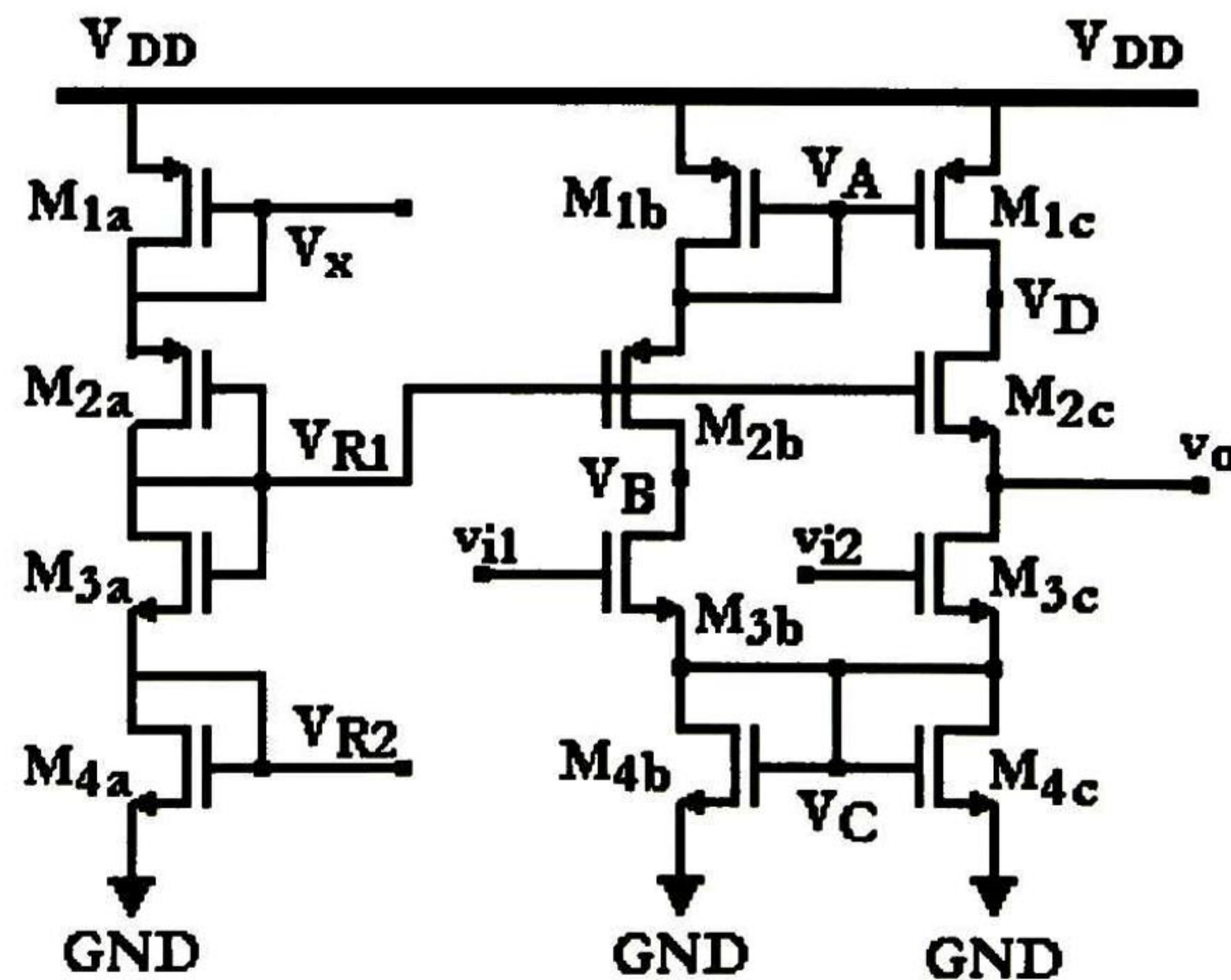


Fig. 4.5 Par Diferencial con ramas de 4 transistores.

Al igual que en ejemplos anteriores, en este caso es necesario acotar la ganancia disponible para esta etapa, por lo que se le adiciona una rama de transistores, la cual forma un resistor de carga (ver Fig. 4.7). Con esta rama la ganancia proporcionada por el circuito es de  $0.76dB$  a una frecuencia de corte de  $30MHz$ ; la gráfica de la simulación se presenta en la Fig. 4.8. Se aprecia que estas frecuencias de corte no representan un problema para las frecuencias de trabajo del sistema de filtrado pasa-bajas, cuyas frecuencias son del orden de decenas de  $kHz$ , por lo que se finaliza el diseño de la etapa de ganancia para continuar con el diseño del resistor activo.



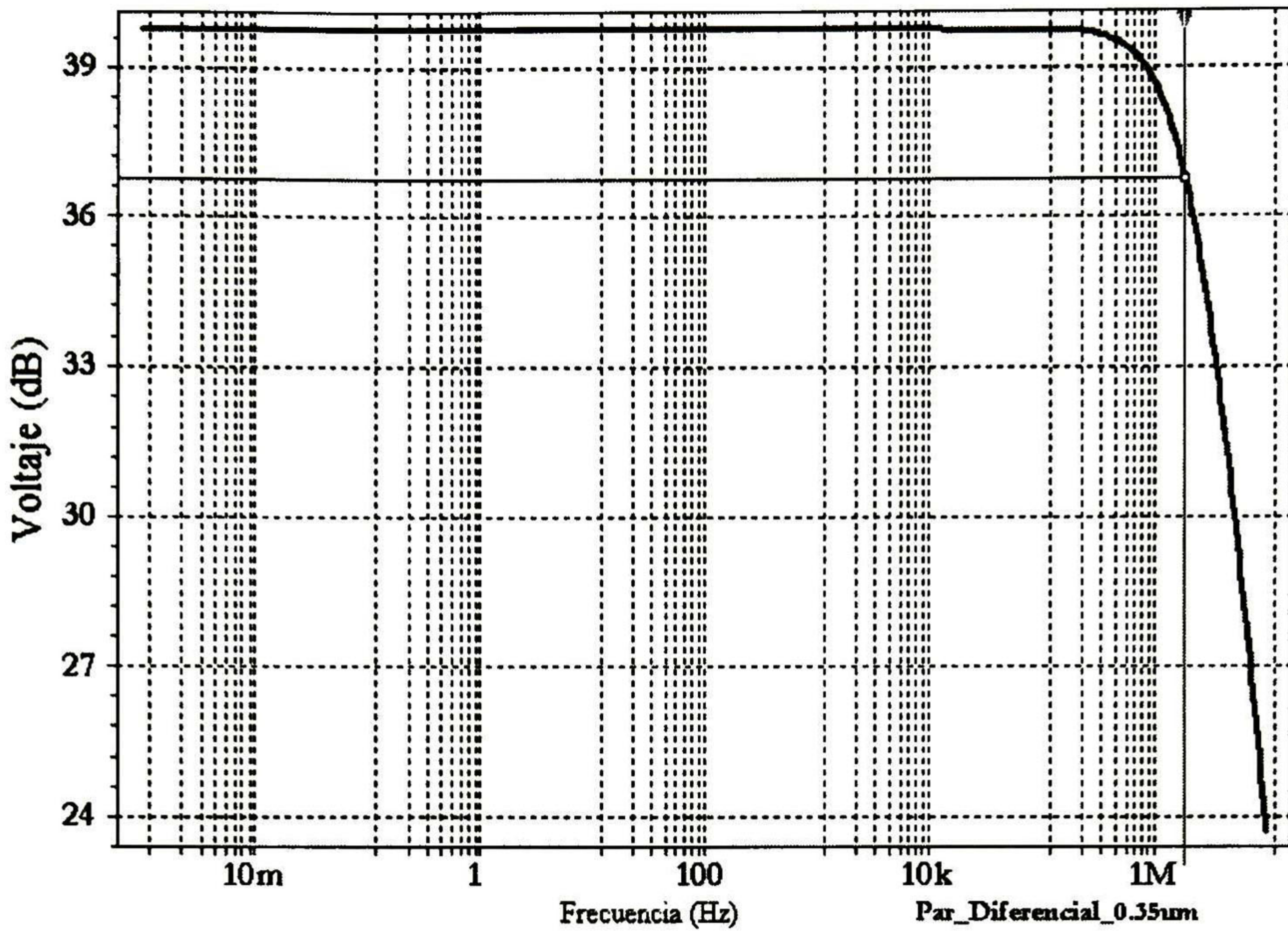


Fig. 4.6 Respuesta en Frecuencia del par diferencial con  $C_L=0.5\text{pF}$ .

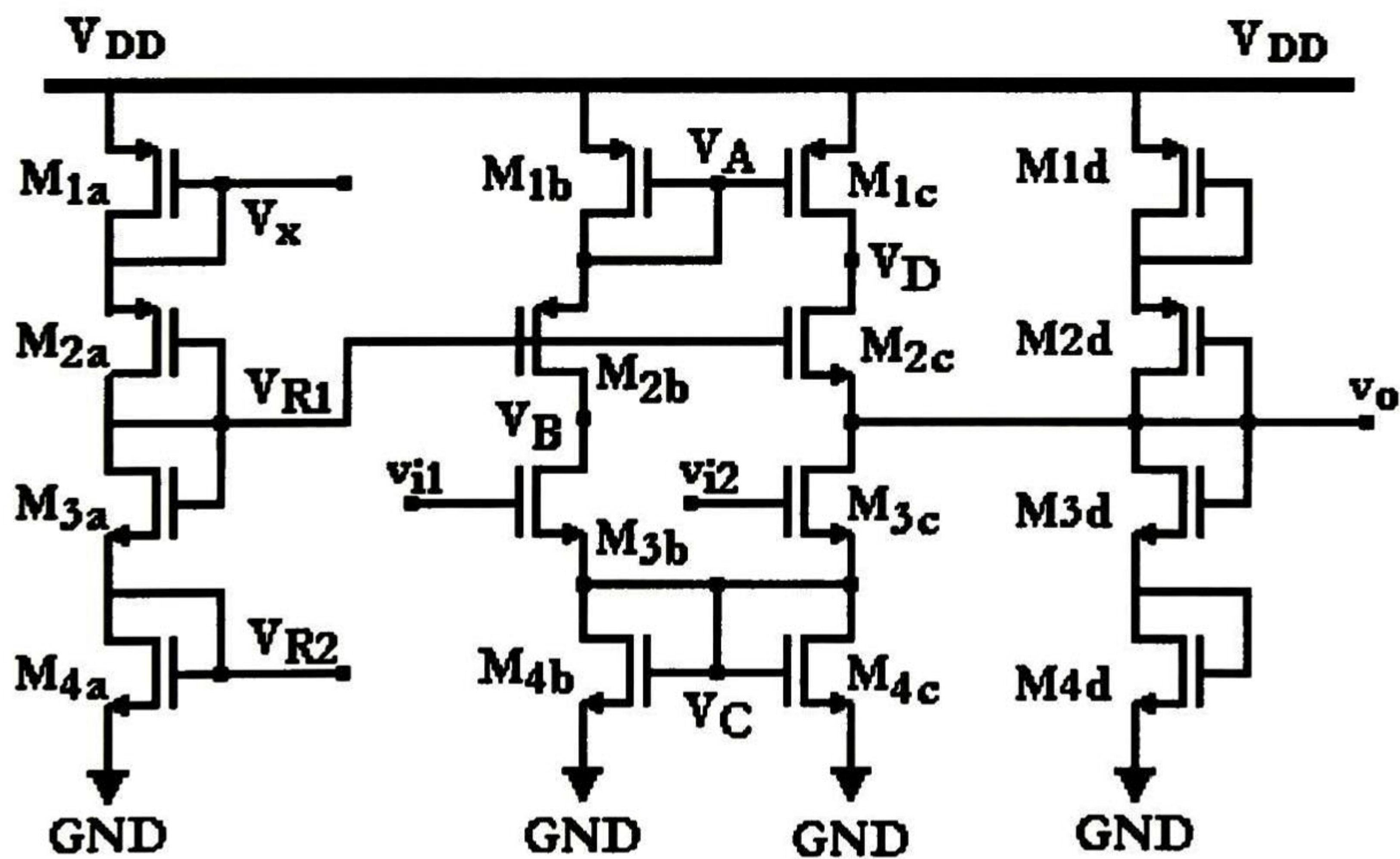


Fig. 4.7 Topología del OTA.

El resistor activo como ya se vió, cuenta con un seguidor de voltaje, que está interconectado al arreglo de transistores; dicho arreglo de transistores se representa como un arreglo resistivo como se aprecia en la Fig. 4.9, el equivalente al resistor emulado sería:

$$R_{AB} = (r_{o3} + r_{o4}) || (r_{o1} + r_{o2}) \quad (4.2)$$

donde  $r_{o1}$ ,  $r_{o2}$ ,  $r_{o3}$  y  $r_{o4}$  son las resistencias de salida de los transistores M2a, M2b, M3a y M3b, respectivamente.

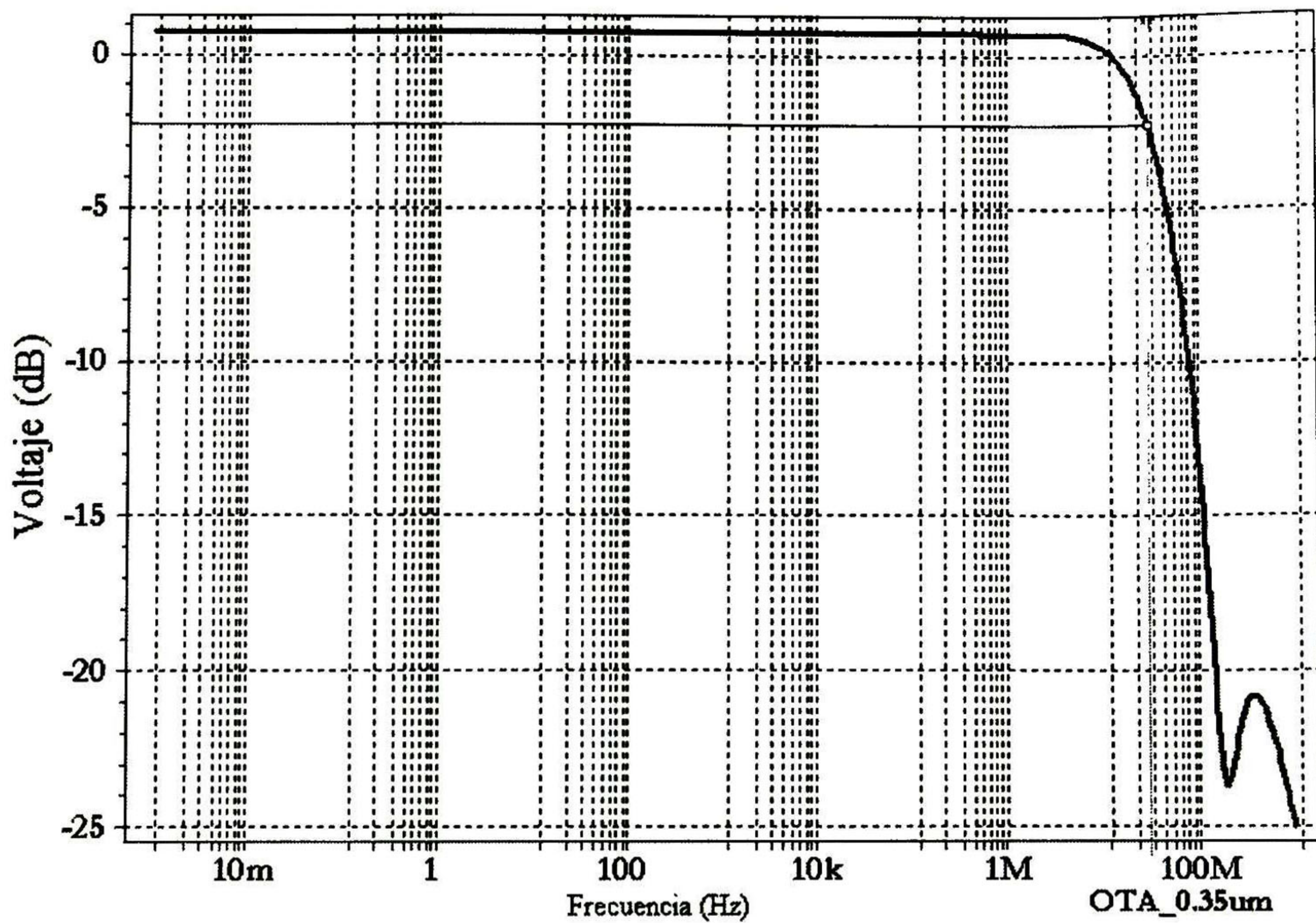


Fig. 4.8 Respuesta en frecuencia del OTA con  $C_L=0.5\text{pF}$ .

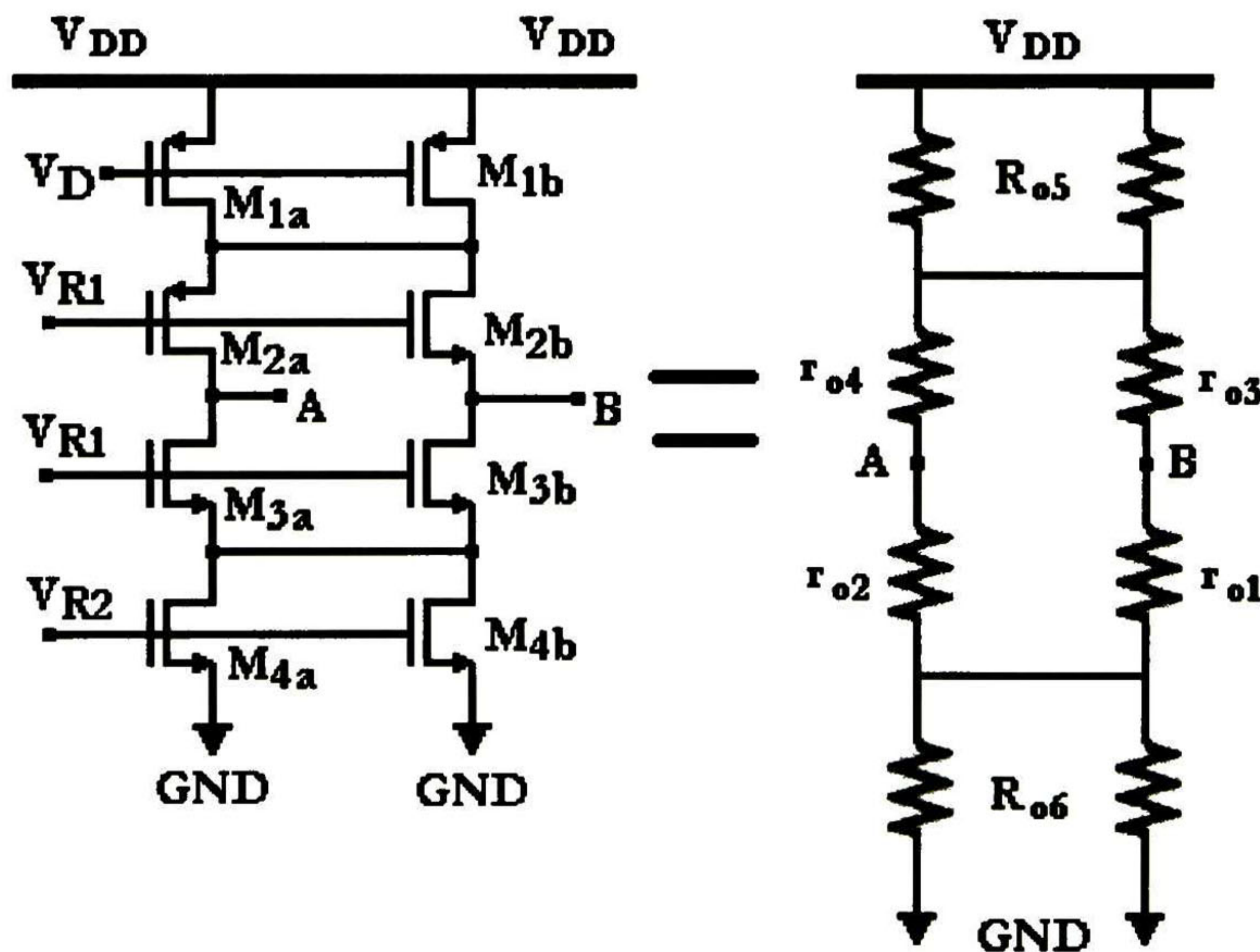


Fig. 4.9 Arreglo Resistivo y arreglo de transistores.

De la Fig. 4.9 se observa que los Resistores  $R_{o5}$  y  $R_{o6}$  representan el recíproco de la conductancia, con lo cual su valor es mucho mayor al de  $r_{o1}$ ,  $r_{o2}$ ,  $r_{o3}$  y  $r_{o4}$ , dando lugar a manejar el valor del resistor activo solo con los transistores centrales, también se observa un voltaje  $V_D$  el cual corresponde al proveniente del seguidor de voltaje que se presenta en la Fig. 4.10.

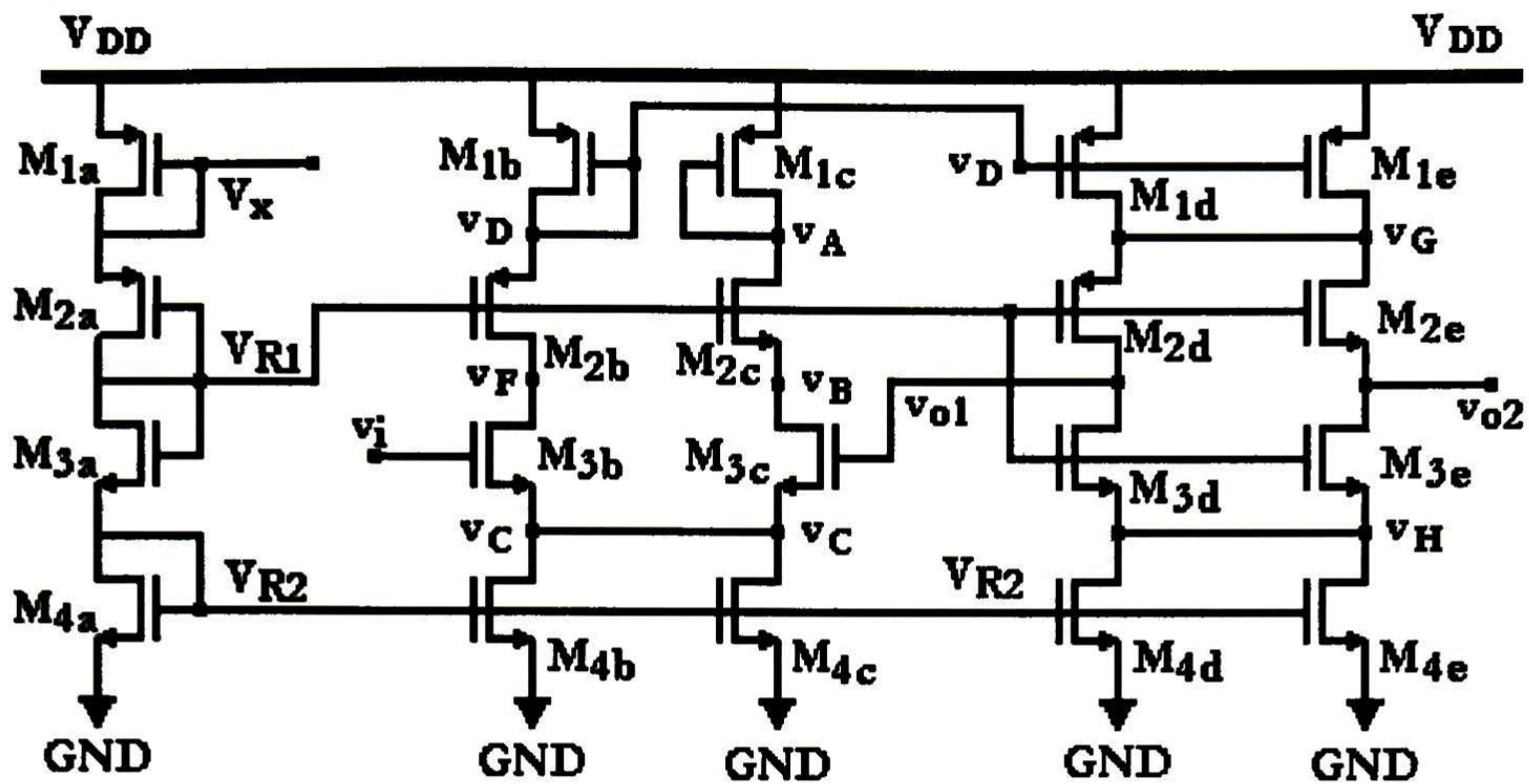


Fig. 4.10 Topología del Resistor Activo con Rama de Polarización.

De la Fig. 4.10, se observa que el diseño está dividido en 2 etapas; la primera corresponde a un amplificador operacional con ganancia unitaria (también llamado seguidor de voltaje), mientras que la segunda constituye el arreglo resistivo, este arreglo cuenta con una corriente igual a la que generan los transistores M4, debido al espejo de corriente del seguidor. Por lo tanto, si se hace un cambio en el voltaje de la compuerta de M4b-c, se genera un cambio en la corriente y por ende el arreglo resistivo también manejará una corriente diferente, logrando así un cambio en el valor del resistor emulado.

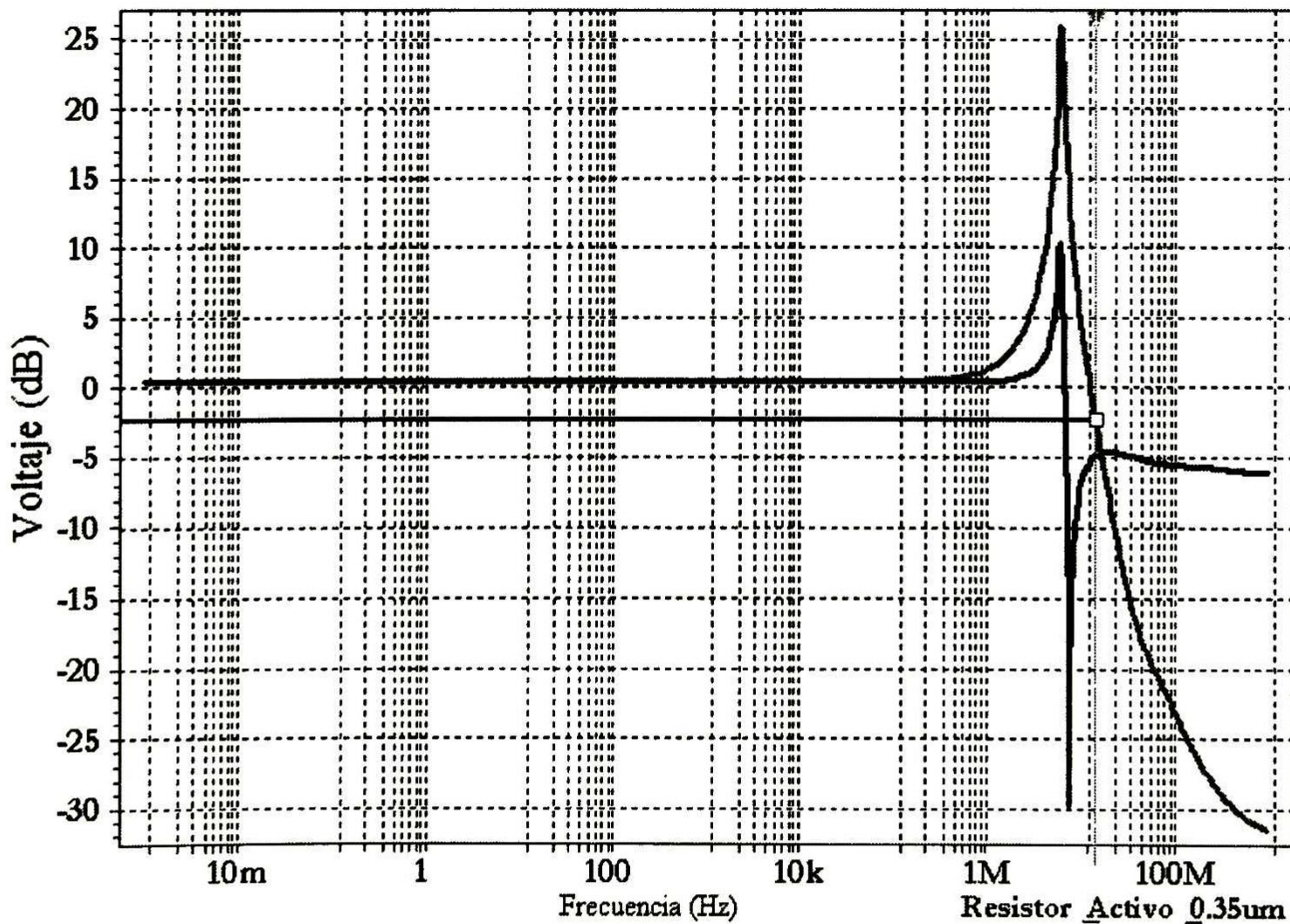
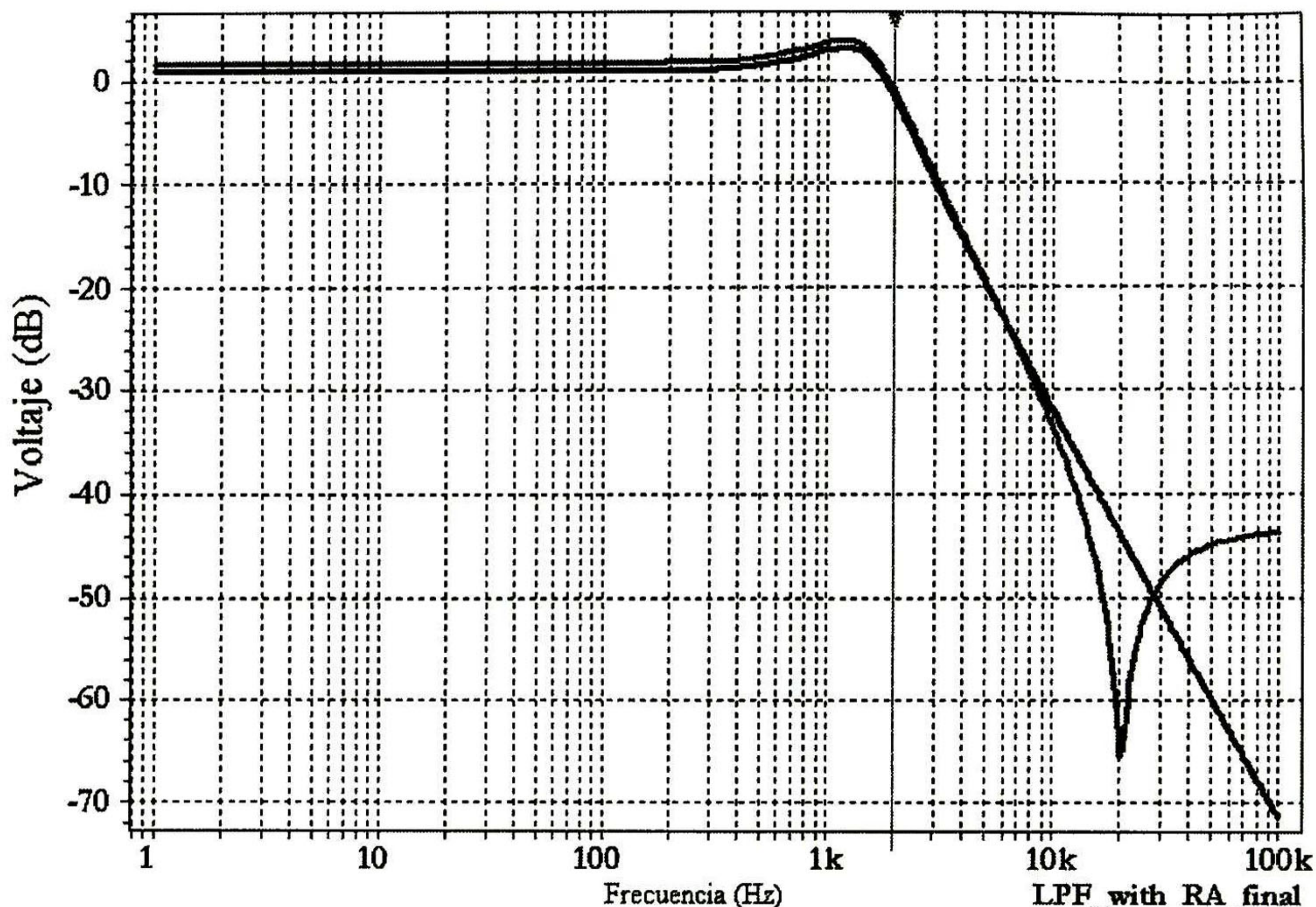


Fig. 4.11 Respuesta en frecuencia del resistor activo variable para  $C_L=0.5\text{pF}$ .

Para el caso particular de tener un valor fijo ( $V_{R2}$ ), esta etapa se simula y se gráfica la respuesta del seguidor y del arreglo resistivo en el dominio de la frecuencia (ver Fig. 4.11). Los resultados obtenidos del RA indican que a frecuencias mayores de 10MHz ya no es confiable, sin embargo esto da un rango de operación adecuado a los requerimientos de diseño, por lo que se procede con la integración del sistema obteniendo la respuesta en frecuencia mostrada en la Fig. 4.12.



**Fig. 4.12** Respuesta en frecuencia del sistema de filtrado pasa-bajas con resistor activo.

En la Fig. 4.12 se observan 2 respuestas, la respuesta de la salida del sistema de filtrado cuenta con una atenuación en la banda de rechazo mayor a 40dB y  $k=1.72\text{dB}$ , mientras que la respuesta restante corresponde a la entrada del OTA, siendo esta una respuesta con mejor transición entre banda de paso y de rechazo, además cuenta con una atenuación en la banda de rechazo mayor a 70dB y  $k=0.95\text{dB}$  con una carga  $C_L=0.50\text{pF}$ .

Por otra parte, con estas respuestas se verifica el funcionamiento del RA obteniendo  $R=7.92\text{M}\Omega$ , y una  $f_c=2.01\text{kHz}$ . Estos valores se obtienen con las geometrías mostradas en la Tabla 4.2, dando inicio al Diseño Layout y la simulación Post-Layout.

<b>Geometrías de los transistores del sistema de filtrado pasa-bajas</b>	
Wp1	4.4um
Wp2	4.8um
Wn1	1.2um
Wn2	1.2um
Lg1	2.4um
Lg2	1.8um
LM	3.6um

**Tabla 4.1** Geometrías de los transistores del sistema de filtrado pasa-bajas.

### 4.3 Diseño Layout y Simulación Post-Layout.

El diseño Layout consta en realizar la forma física de los transistores a través de una herramienta CAD que permite al usuario el diseño de forma interactiva del circuito integrado (CI) así como su verificación con las reglas de diseño para finalmente hacer la simulación SPICE de los componentes extraídos, corroborando el funcionamiento del sistema a diseñar [15].

Para iniciar un diseño Layout se requiere de un archivo donde se indiquen las reglas de la tecnología a usar, para este trabajo se utiliza una tecnología CMOS 0.35um, por lo cual se carga el archivo de la tecnología y se prosigue con el diseño de la rama de polarización (BIAS).

Al realizar el layout del BIAS (ver Fig. 4.13), se observa que esta tecnología es capaz de manejar 5 metales, 2 polisilicios y pozos n ya que el substrato es tipo p, también se detalla los contactos utilizados, para los cuales se les colocan puertos con los que se nombran los nodos de interés, estos puertos facilitan la simulación post-layout, debido a la ausencia de nodos numéricos, ya que se tiene una mejor vista de los transistores y sus conexiones.

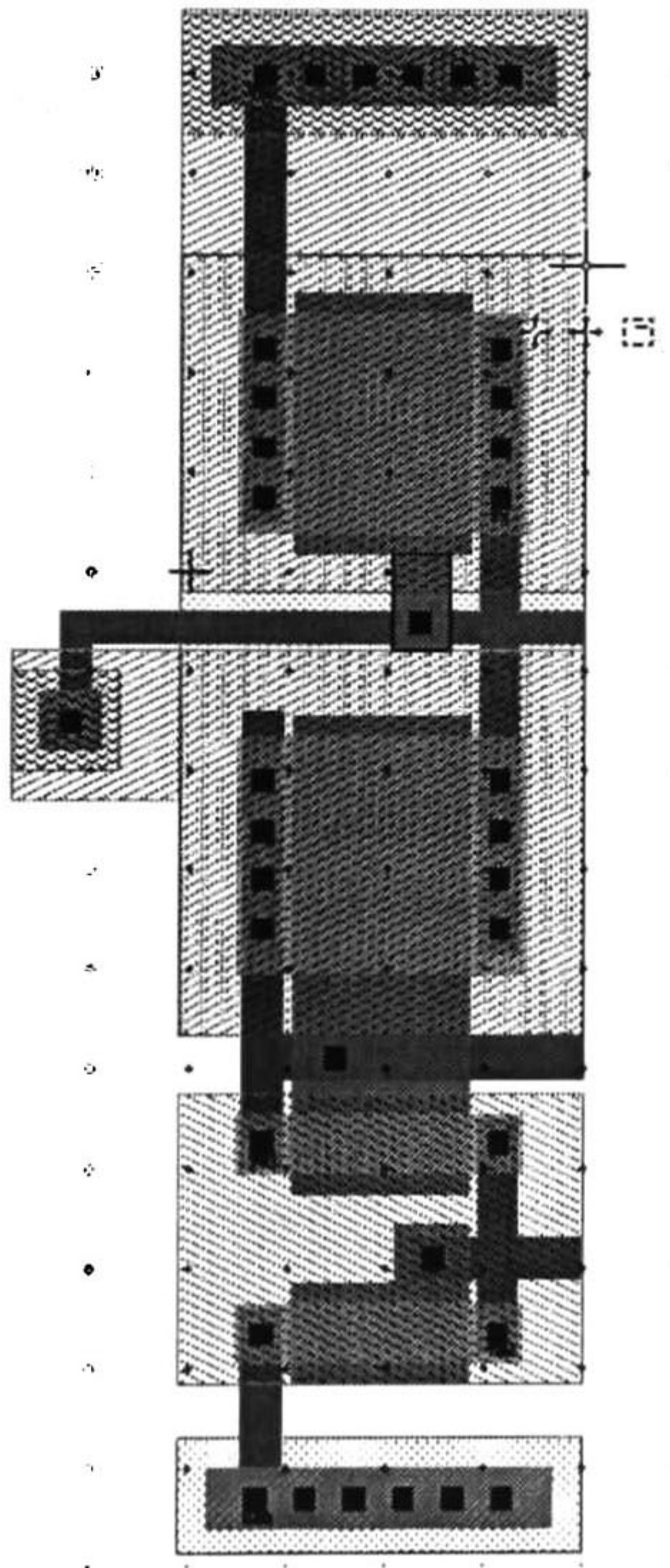
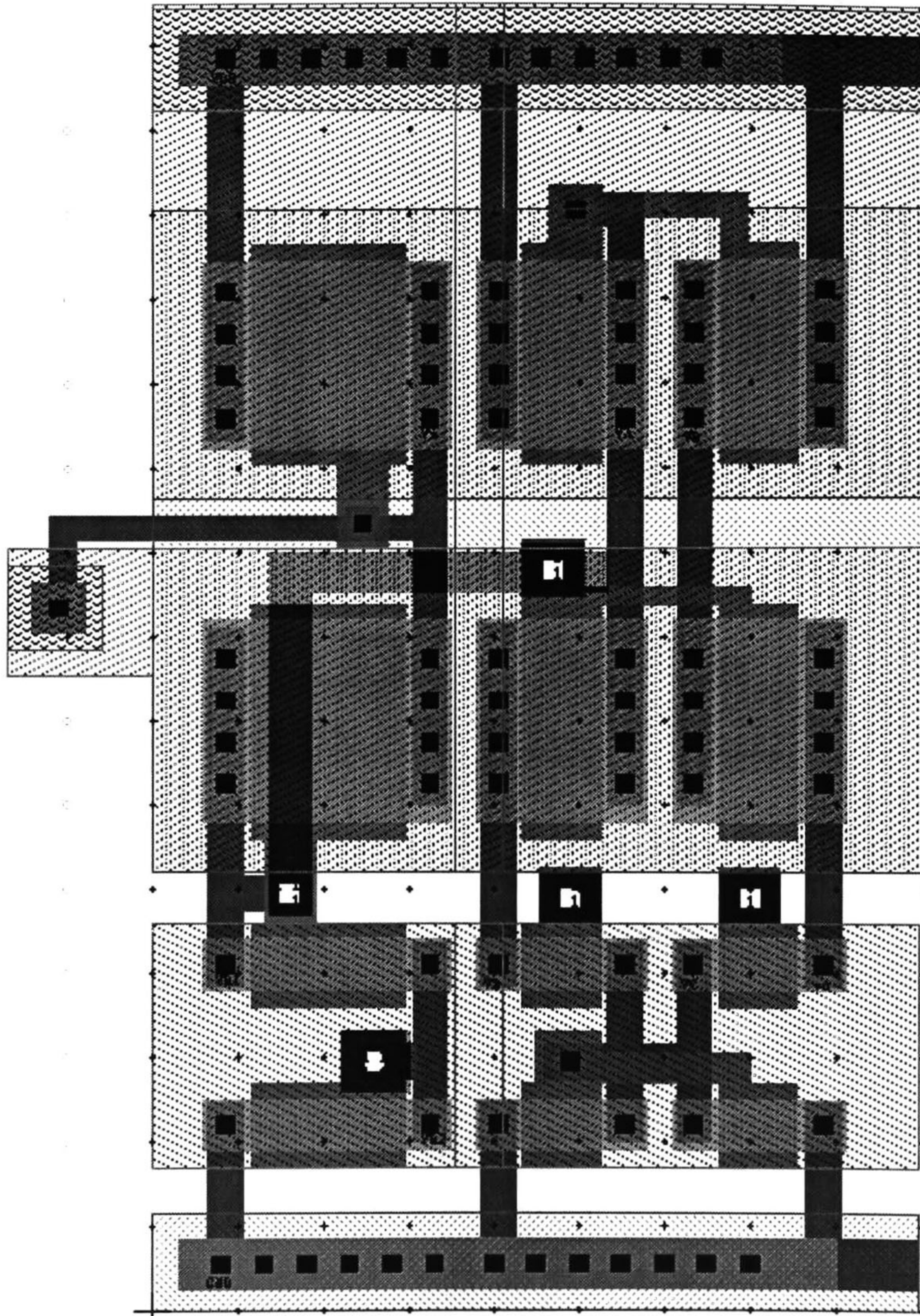


Fig. 4.13 Layout del BIAS.

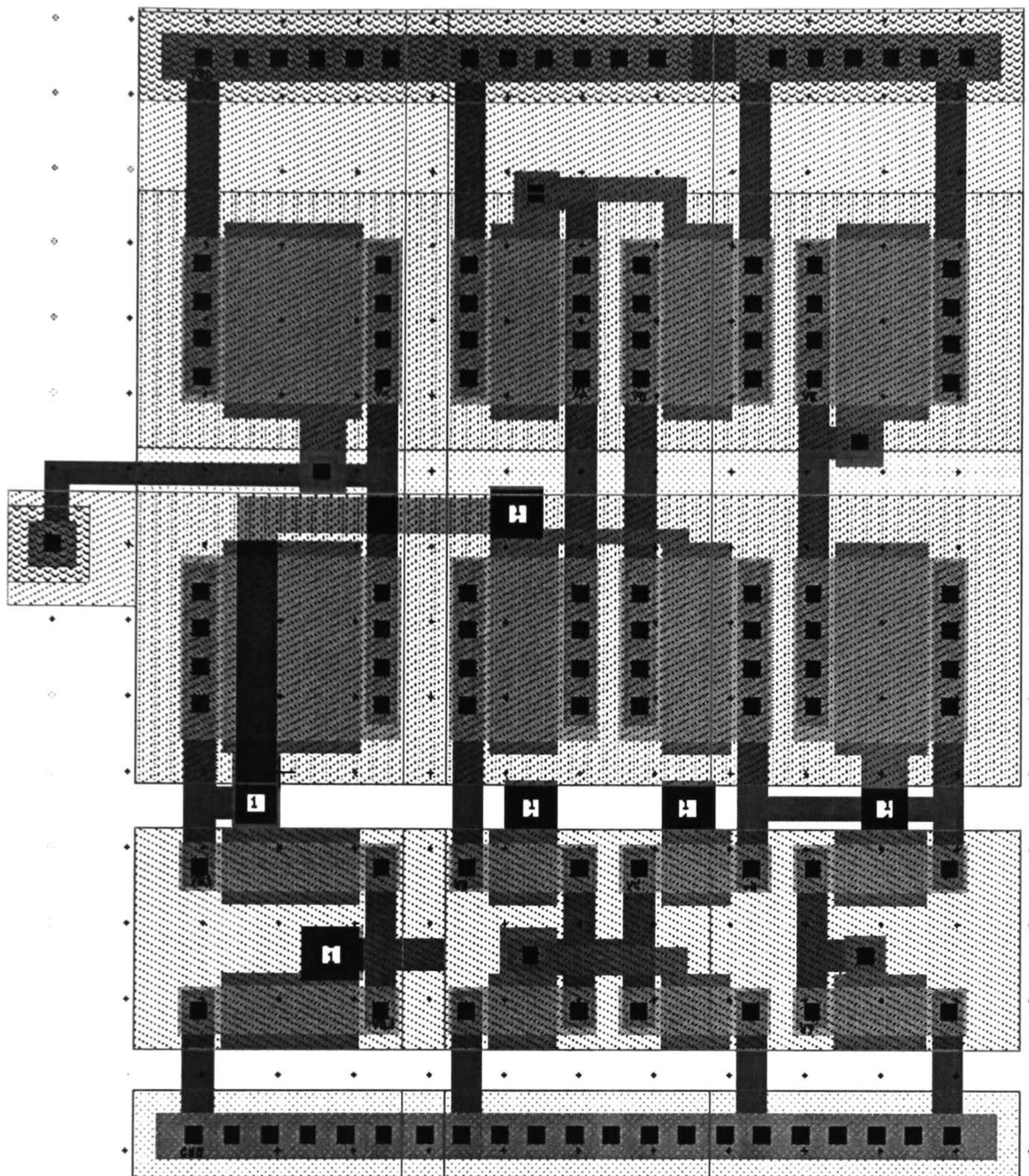
Del layout del BIAS se extrae un archivo de simulación SPICE, éste contiene los transistores empleados y las capacitancias parásitas del circuito, al archivo extraído se le incorporan los modelos SPICE de los transistores de nivel 49 de simulación, y se agrega las fuentes de alimentación pertinentes, para este caso solo es necesaria una fuente de DC ( $V_{DD}=3.3V$ ). Al simular se obtienen los voltajes de referencia que se emplearán denominándolos  $V_x=2.42V$ ,  $V_{R1}=1.55V$  y  $V_{R2}=0.70V$ .

A continuación se realiza el Layout del Par diferencial, el cual se muestra en la Fig. 4.14 y al simular la extracción se obtiene una ganancia  $k=40\text{dB}$ ; siguiendo con el Layout se le incorpora el Resistor de carga para formar el OTA.



**Fig. 4.14** Layout del Par Diferencial.

El layout del OTA se muestra en la Fig. 4.15, de la cual se comenta que al igual que en el layout del par diferencial se tiene el BIAS incorporado, ya que se requiere el voltaje de referencia  $V_{R1}$  y se dejan indicados con vías los nodos de alimentación del OTA ( $v_{i1}$  y  $v_{i2}$  respectivamente), también es importante observar la diferencia entre el ancho de canal de los transistores, y esto se debe a que el ancho es directamente proporcional al valor resistivo que se emula en la etapa del resistor de carga, ya que provoca un cambio en la corriente y esto repercute en una mayor o menor ganancia en el Par Diferencial también. El OTA diseñado en Layout se extrae y simula obteniendo  $k=1.22\text{dB}$  y un ancho de banda (por sus siglas en inglés BW) mayor a  $400\text{kHz}$ , siendo afín al diseño.

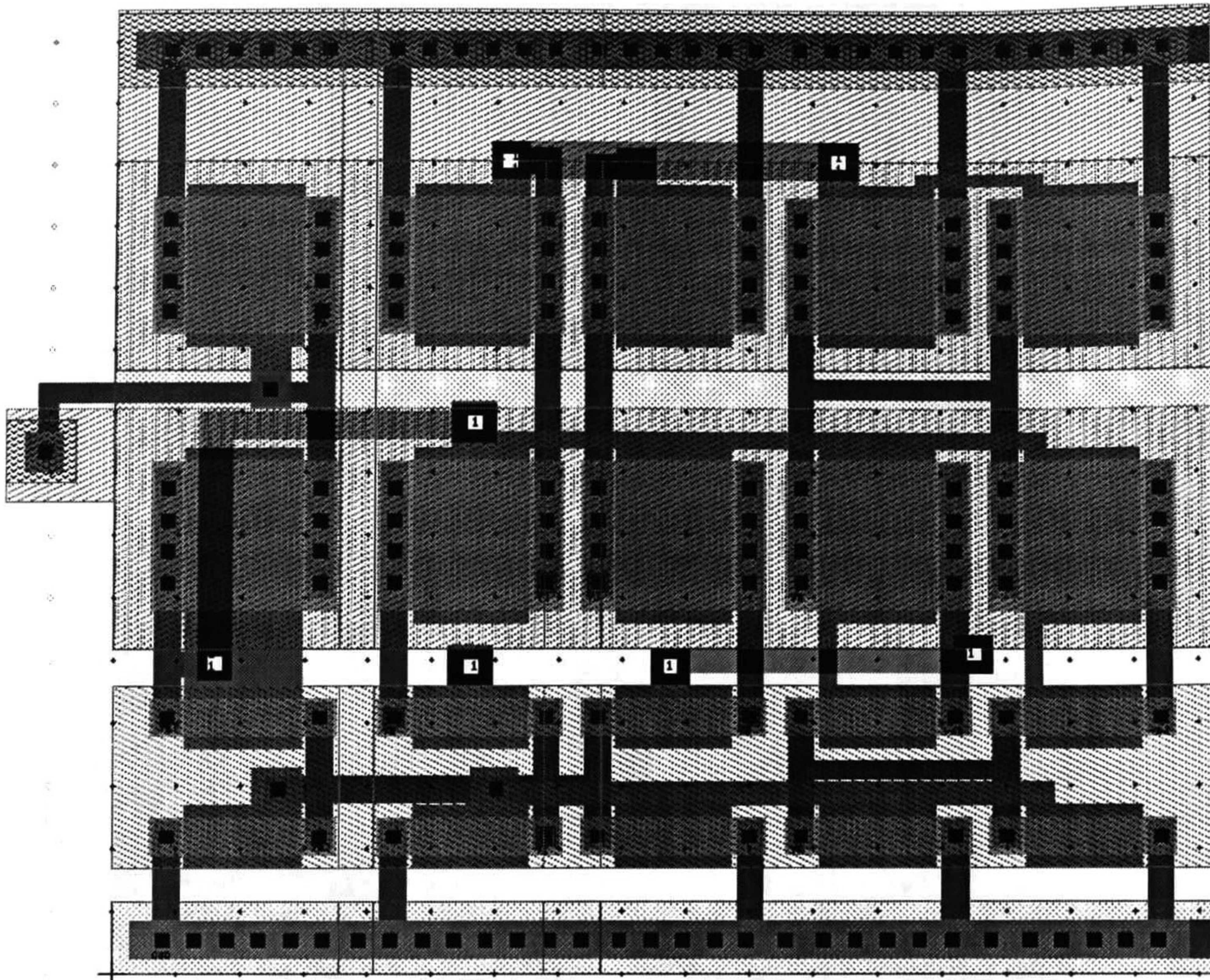


**Fig. 4.15** Layout del OTA.

El siguiente paso es realizar el Layout del Resistor Activo, el cual se muestra en la Fig. 4.16, es importante mencionar que de igual manera se le anexa la rama correspondiente al BIAS, ya que también requiere de voltajes de polarización y aunado a esto cuenta con el nodo de entrada del sistema de filtrado pasa-bajas.

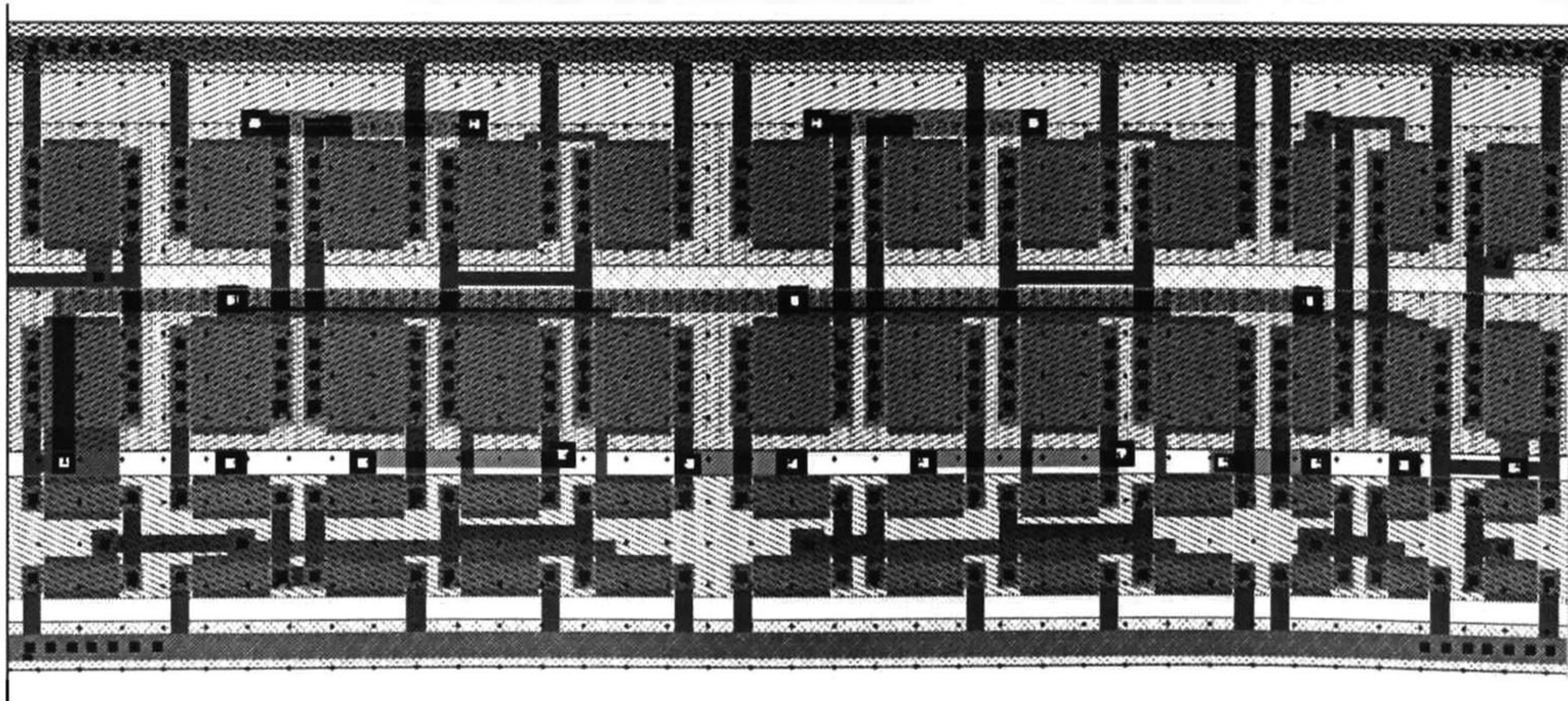
Se continúa con la integración del sistema de filtrado sin capacitores (ver Fig. 4.17), los cuales se anexan de manera ideal para verificar el comportamiento de la respuesta de frecuencias del sistema de filtrado pasa-bajas, para posteriormente implementarlos con polisilicio.

Se simula la extracción del layout del sistema de filtrado pasa-bajas, anexándole los capacitores  $C_1=C_2=10\text{pF}$  de manera ideal, con lo que se obtiene  $k=1.83$  y  $f_c=1.38\text{kHz}$ , al igual que en la simulación SPICE se indica la señal a la entrada del amplificador, ya que siendo la implementación Sallen-Key, en ese nodo se tiene una señal con ganancia próxima a la unitaria ( $k=0.61\text{dB}$ ) y  $f_c=1.38\text{kHz}$ , siendo su respuesta similar a la obtenida en el nodo de salida (ver Fig. 4.18).



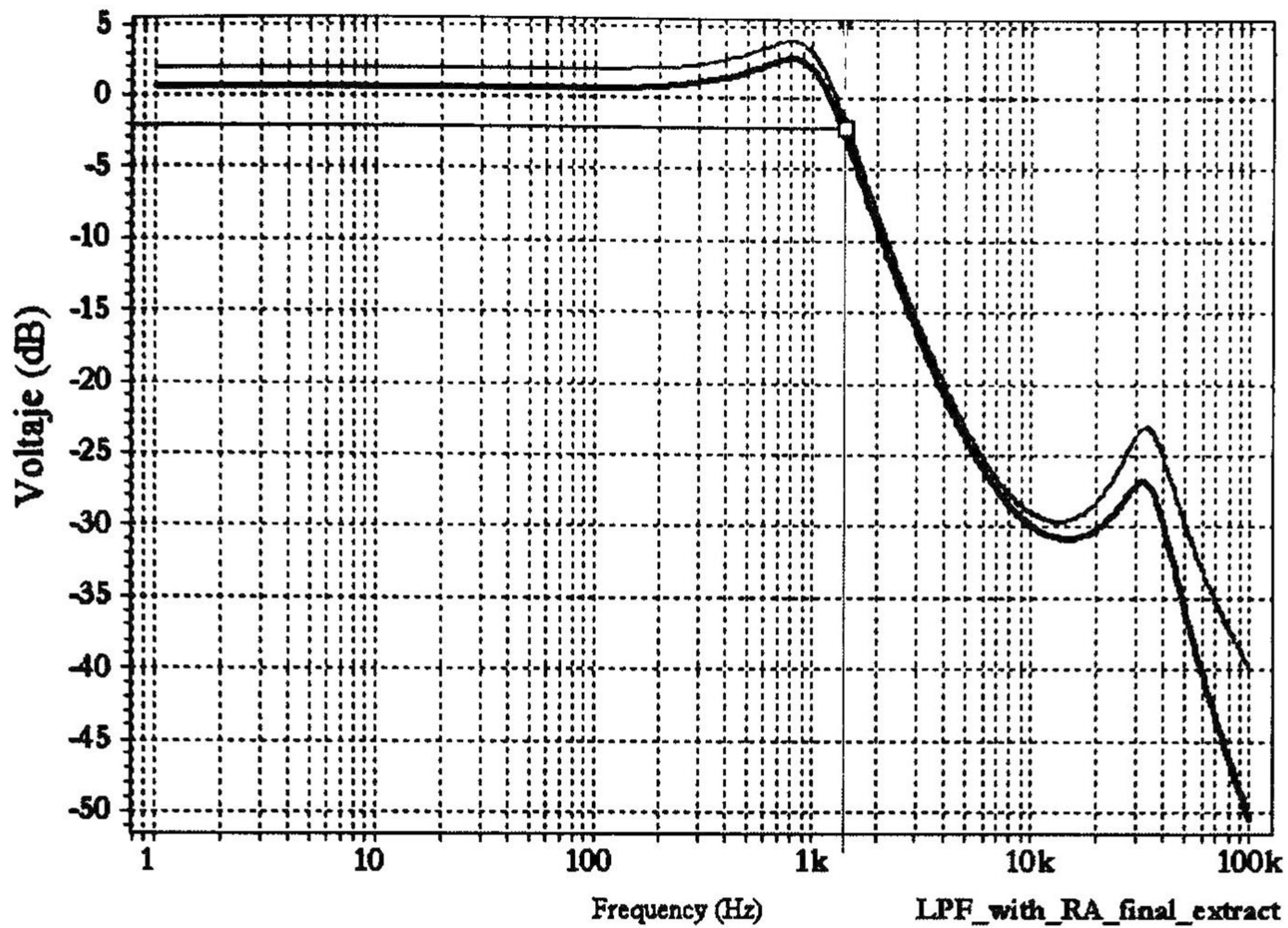
**Fig. 4.16** Layout del Resistor Activo Variable.

Finalmente se realiza la implementación de  $C_1$  y  $C_2$ , para estos se realiza una optimización debido que después de la simulación post-layout la frecuencia de corte se recorta a 1.39kHz, por lo tanto los valores de los capacitores son:  $C_1=C_2=2\text{pF}$ , se realiza el Layout teniendo el sistema final mostrado en la Fig. 4.19 y su respuesta en el dominio de la frecuencia en la Fig. 4.20. Del archivo de simulación post-layout se obtienen:  $V_{DD}=3.3\text{V}$ ,  $i(V_{DD})=18.39\mu\text{A}$ ,  $A_o=1.83\text{dB}$  y  $f_c=2.03\text{kHz}$ .



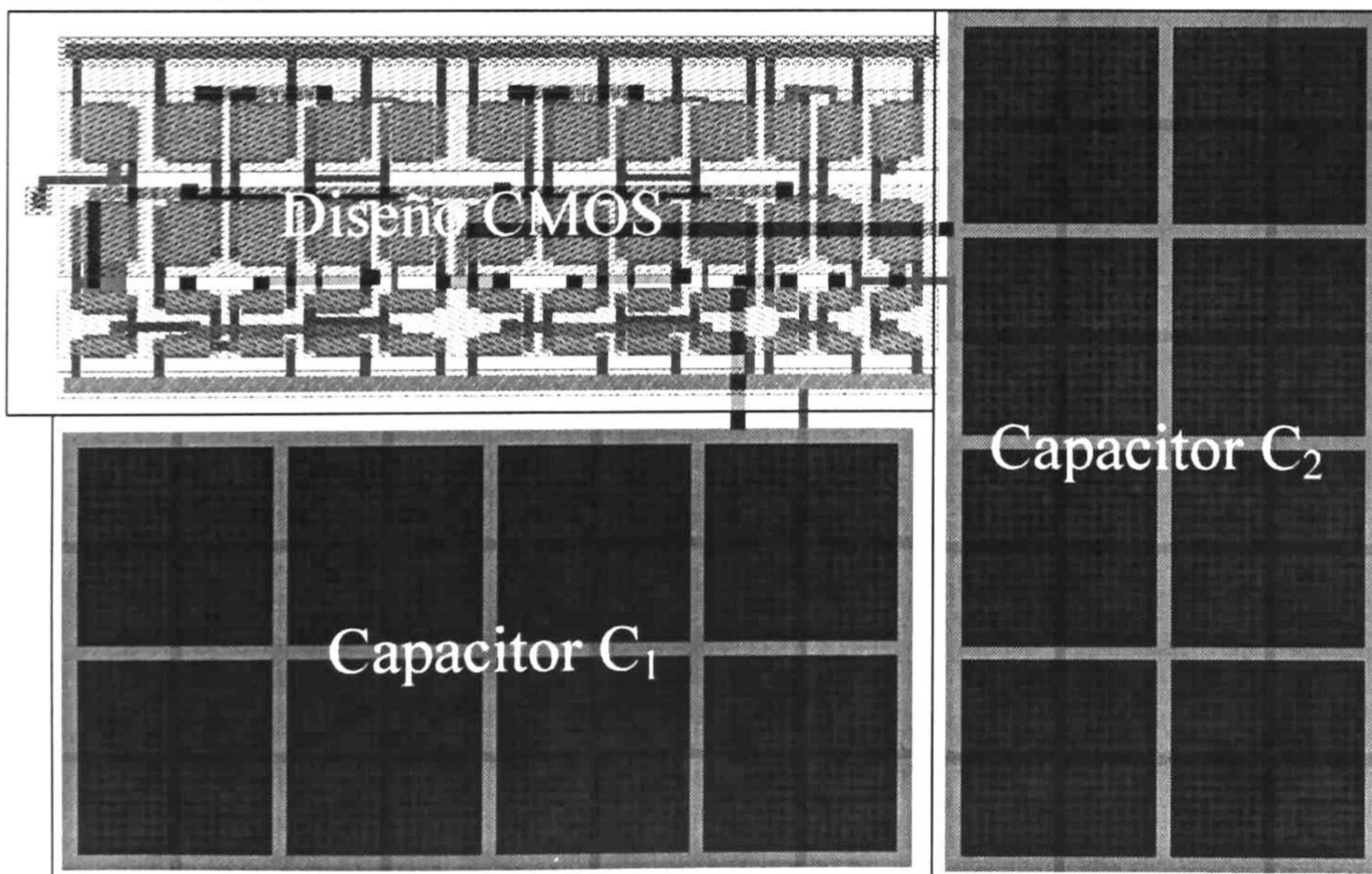
**Fig. 4.17** Layout del Sistema de Filtrado Pasa-bajas con capacitores ideales.





**Fig. 4.18** Respuesta en Frecuencia del Sistema de Filtrado Pasa-bajas con capacitores ideales.

Las dimensiones del sistema de filtrado pasa-bajas final son  $113.6\mu\text{m} \times 73.8\mu\text{m}$ , lo cual da un área de integración mínima a comparación de haber realizado una implementación de los resistores de forma pasiva. Por otra parte el consumo de potencia es relativamente bajo, lo que ayuda a su fácil polarización. Sin olvidar la posibilidad de realizar un ajuste mediante un cambio de voltaje en los transistores M4 del seguidor de voltaje de los resistores activos.



**Fig. 4.19** Layout del Sistema de Filtrado Pasa-bajas con RA.

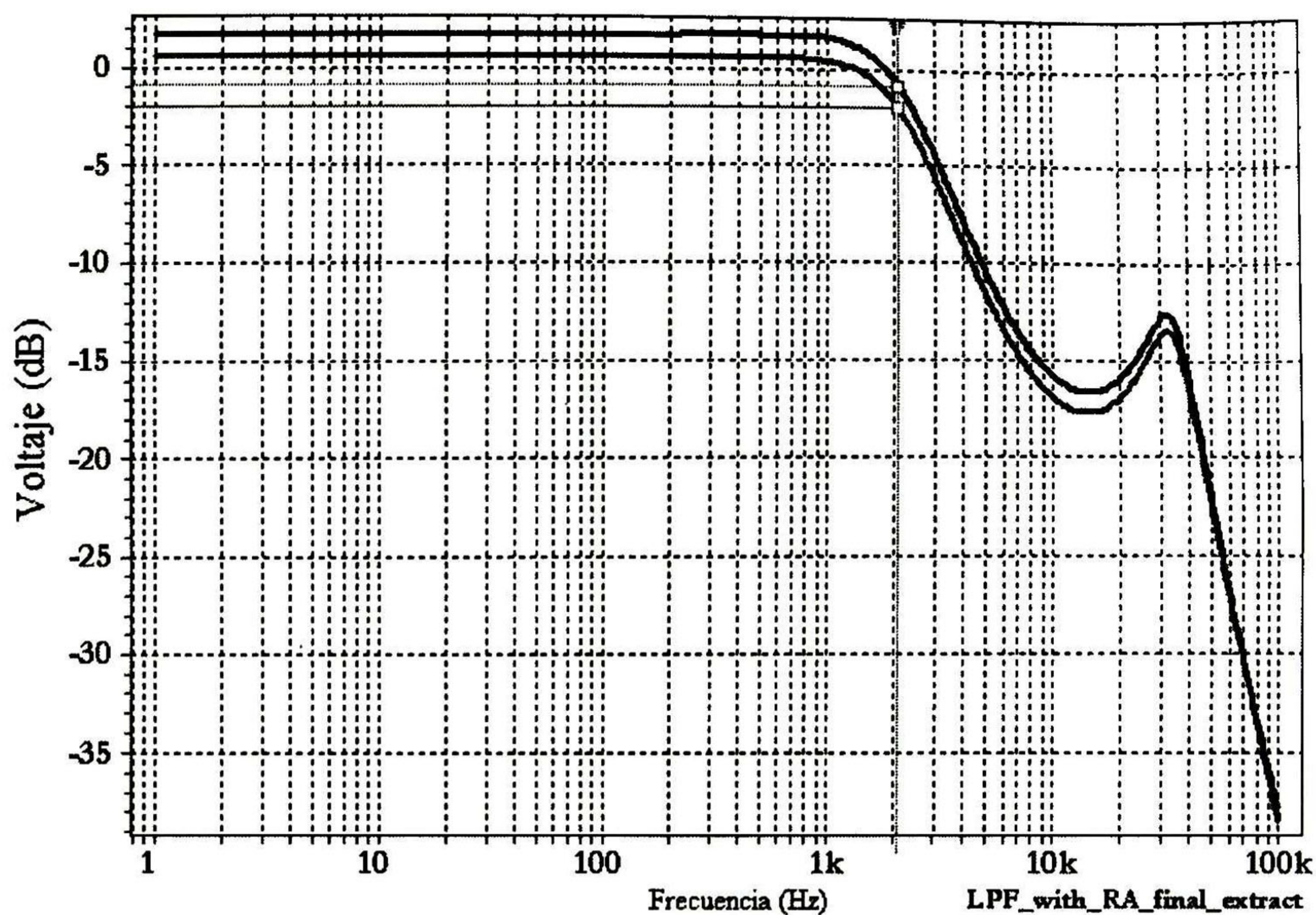


Fig. 4.20 Respuesta en Frecuencia del Sistema de Filtrado Pasa-bajas con RA.

Finalmente se presentan las conclusiones del diseño realizado y la técnica utilizada para la implementación del resistor activo.

## 4.4 Conclusiones

Se presentó el diseño de un sistema de filtrado pasa-bajas orientado a aplicaciones de bajas frecuencias (del orden de decenas de kHz), lo cual tiene un impacto en el valor de los componentes a utilizar; mediante una denormalización en impedancia se indican valores de capacitores bajos, con la finalidad de implementarlos de forma pasiva debido a la practicidad de los mismos; mientras que los resistores cuentan con valores altos lo que conlleva a la búsqueda de técnicas para implementarlos de forma activa, ya que al considerarlos de manera pasiva tienen como principal desventaja una gran área de integración, siendo poco viable su implementación.

Dentro del diseño presentado se mostró una técnica que no cumplía con los valores establecidos para los resistores (del orden de  $M\Omega$ ), siendo que obtenían valores del rango de centenas de  $k\Omega$ , por lo que se encuentra como segunda opción la técnica constituida por el seguidor de voltaje y el arreglo de transistores, esta técnica además de cumplir con el rango de valores deseados para los resistores, también presenta como ventaja adicional la posibilidad de realizar ajustes después de la fabricación, esto se logra mediante cambios de voltaje en M4 del seguidor de voltaje y debido al espejo de corriente se modifica la corriente que manejan las ramas del arreglo de transistores, cambiando la transconductancia y por ende el valor del resistor emulado. Esta técnica se considera la mejor opción.

Finalmente se presentó el Layout de las celdas que conforman al sistema de filtrado y la simulación SPICE de la extracción. Considerando los resultados parciales, se continuó con la integración total del sistema, obteniendo un comportamiento adecuado con respecto al diseño y los requerimientos.



## Capítulo 5

### Conclusiones y Trabajo Futuro

Este capítulo se compone de 3 secciones. En la primera se realiza una revisión general del trabajo. En la segunda sección se expone lo que se ha concluido una vez finalizado el proyecto. Finalmente en la tercera sección se proponen temas y actividades posibles a realizar en un futuro, y que han surgido a través de la realización de este trabajo.

#### 5.1 Vista General

**E**N el presente trabajo se ha presentado una breve reseña de los antecedentes de los sistemas de filtrado, para posteriormente enfocarse en la descripción de su diseño. Se da inicio con la presentación la teoría de los sistemas de filtrado exponiendo como primer punto su clasificación; siendo los sistemas en tiempo continuo los referidos en este trabajo. Más adelante se presentan las topologías de segundo orden más comunes y se enfoca el trabajo en la topología Sallen-Key, se realiza una descripción de la respuesta en frecuencia, así como de las aproximaciones.

A continuación, se simula un ejemplo con respuesta pasa-bajas y se implementa con componentes comerciales para verificar el funcionamiento y seguir con la simulación a nivel transistor (implementación en silicio). Se obtiene como referencia la problemática al momento de implementar los componentes de manera pasiva, por lo que se presenta un arreglo de transistores que satisface los valores para frecuencias del orden de decenas de MHz.

Posteriormente se desarrolla un diseño de un sistema de filtrado pasa-banda con aplicaciones en bajas frecuencia, el que se implementa al igual que el anterior con componentes y CIs comerciales; para realizar la medición se hace uso de una interfaz GPIB, la cual se programa mediante software controlando los equipos disponibles en

laboratorio. Se verifica el funcionamiento del sistema y se realiza la implementación en CI de manera ideal, corroborando la teoría y lo hecho en el diseño.

Se realiza el diseño de un sistema de filtrado pasa-bajas con frecuencia de corte en 2kHz, lo que provoca tener grandes magnitudes en el valor de los resistores, por lo tanto se buscan técnicas para la implementación de los mismos de manera activa, como requisito se busca la existencia de una pequeña área de integración, lo que refiere a un circuito constituido por un seguidor de voltaje y un arreglo resistivo como mejor opción, aunándole la ventaja de contar con un ajuste en el valor del resistor mediante una variación de voltaje a los transistores inferiores de las ramas del seguidor. Se integra el sistema de filtrado implementando los resistores activos con la técnica descrita, mientras que los capacitores se realizan de manera pasiva debido a su bajo valor. Al realizar la simulación post-layout se observa una disminución considerable en el valor de los capacitores debido al efecto de los compuestos parásitos, lo cual ayuda a reducir aún más el área de integración, logrando tan solo un CI con dimensiones de  $113.6\mu\text{m} \times 73.8\mu\text{m}$ . Se cumplen los requerimientos siendo absolutamente viable su fabricación.

## 5.2 Conclusiones

1. Se verifica la teoría del diseño de sistemas de filtrado, mediante una metodología de diseño llamada "Aproximaciones Resistivas", la cual tiene como ventaja ser escalable en tecnología.
2. Al realizar el diseño de sistemas de filtrado dirigidos a aplicaciones de baja frecuencia se tiene la disyuntiva acerca de la realización de los compuestos (resistores y/o capacitores) debido a su gran valor.
3. Existen pocas formas o topologías de realizar resistores de forma activa, los cuales cuenten de una pequeña área de integración, y si bien logran este requerimiento, eso repercute en altos consumos de potencia o inestabilidades, al generar compuestos no lineales.
4. La técnica presentada tiene un equilibrio en el *trade off* entre área de integración, consumo de potencia y no linealidades del componente emulado, así como se observa un ajuste del valor mediante una variación en VR2, siendo de gran ayuda, puesto que facilita la sintonizabilidad del sistema de filtrado una vez que ya se encuentre fabricado, así como la posibilidad de dirigirlo a aplicaciones cercanas a la frecuencia que se haya diseñado.
5. La etapa referente al seguidor de voltaje en el Resistor Activo presenta polos y ceros que afectan la atenuación en un rango de centenas de kHz, lo cual limita las aplicaciones a frecuencias superiores a decenas de kHz.
6. Los resultados de simulación post-layout muestran que el sistema de filtrado tiene las siguientes características:  $A_0=1.73\text{dB}$ ,  $f_c=2.01\text{kHz}$ ,  $i_{DD}=18.39\mu\text{A}$ ,  $V_{DD}=3.3\text{V}$ ,  $R_1=R_2=11.39\text{M}\Omega$  y  $C_1=C_2=1.98\text{pF}$  con una tecnología CMOS  $0.35\mu\text{m}$ , y dimensiones de  $113.6\mu\text{m} \times 73.8\mu\text{m}$ .

## 5.3 Trabajo Futuro

- Mejorar la etapa de seguidor de voltaje, desplazando los polos y ceros que presenta en la respuesta frecuencial a frecuencias más altas para tener una mejor atenuación en la banda de rechazo en frecuencias superiores en decenas de MHz.
- Buscar técnicas que satisfagan la implementación de resistores activos en sistemas de filtrado pasa-altas.
- Formar un sistema pasa-banda a frecuencias de audio cascando sistemas de filtrado pasa-altas y pasa-bajas.
- Realizar el escalamiento a una menor tecnología para verificar el comportamiento del resistor activo descrito.





# Referencias

- [1] F. Maloberti, "Analog Design for CMOS VLSI design systems", Kluwer Academic, Boston, 2001.
- [2] A. Rubio, J. Altet, "Diseño de Circuitos y Sistemas Integrados", Alfaomega, 2005.
- [3] E. Vittoz, "Analog Signal processing: Why, Where and How", Analog Integrated Circuits and Signal processing, vol. 6(nº1), pp. 27-44, July 1994.
- [4] G. S. Moschytz, "MOS Switched Capacitor Filters: Analysis and Desing", IEEE Press, 1986.
- [5] C. Toumazou, J. B. Hughes, N. C. Battersby (ed.), "Switched Currents: An Analogue Technique for Digital Technology" IEE Circuits and Systems Series 5. Peter Peregrinus, 1993.
- [6] R. L. Geiger, E. Sanchez-Sinencio, "Active Filter Desing Using Operational Transconductance Amplifiers: a Tutorial", IEEE Circuits And Devices Mag., 20,33, 1985.
- [7] E. Sánchez-Sinencio, "Low Power Analog Design. Tutorial" Proc of the XI Conference on Design of Integrated Circuits and Systems, DCIS'96, Barcelona, 1996.
- [8] Y.P. Tsvividis, M. Banu, J. K. Khoury, "Continuous-Time MOSFET-C Filters in VLSI", IEEE Journal of Solid-State Circuits, vol. 21(nº1), pp. 15-30, 1986.
- [9] I. R. Nielsen, "A C-T Compiler: From Specifications to Layout". Analog Integrated Circuits and Signal Processing, vol. 7. pp. 21-23, 1995.
- [10] D. Andreson, C. Marcjan, D. Bersch, H. Anderson, P. Hu, O. Palusinski, "a Field Programmable Analog Array and its application", IEEE 1997 Custom Integrated Circuits Conference, 1997.
- [11] L. D. Paarmann, "Design and analysis of analog filters: asignal processing perspective", Kluwer Academic, 2001.
- [12] K. Su, "Analog Filters. Second Edition", Kluwer Academic; Boston, 2002.
- [13] F. Sandoval, J.F. Ramírez, "Design of Active Filters From Discrete Components to Fully-Integrated Ones", XV Workshop Iberchip, Buenos Aires, Marzo 2009.
- [14] D.Ma, B.Wilamowski, F. Fa Dai., "A tunable CMOS Resistor with Wide Tuning Range for Low Pass Filter Application", IEEE, Auburn University, 2009.

- [15] J. Baker, "CMOS Circuit Design, Layout, and Simulation", 2nd ed., Ed. Wiley-Interscience, 2005.

# Apéndice A

Se presentan los archivos de simulación SPICE, así como el archivo requerido para controlar los equipos mediante la interfaz GPIB.

## A.1 Archivos de Simulación SPICE

Sistema de Filtrado Pasa-bajas con  $f_c=5.7\text{MHz}$  correspondiente al Capítulo 2.

```
**** Parámetros a emplear ****
.param vps=5
.param lambda=0.6u
.param lg=lambda*3
.param wp=lambda*6
.param wn1=lambda*15
.param wn2=lambda*8
**** Fuente de alimentación ****
vdd 1 0 vps
vin vi 0 dc 2.4988 ac 1.0
**** Rama de Polarización ****
Mp1a VR1 VR1 1 1 CMOSP l=lg w=wp
Mn2a VR1 VR1 VR2 0 CMOSN l=lg w=wn1
Mn3a VR2 VR2 0 0 CMOSN l=lg w=wn2
**** Par Diferencial ****
Mp1b 2b 2b 1 1 CMOSP L=lg W=wp
Mn2b 2b 4 3b 0 CMOSN L=lg W=wn1
Mn3b 3b VR2 0 0 CMOSN L=lg W=wn2
Mp1c 2c 2b 1 1 CMOSP L=lg W=wp
Mn2c 2c VR1 3b 0 CMOSN L=lg W=wn1
Mn3c 3b VR2 0 0 CMOSN L=lg W=wn2
**** Etapa de Ganancia ****
Mp1d 2c 2c 1 1 CMOSP l=lg w=wp
Mn2d 2c 2c 3c 0 CMOSN l=lg w=wn1
Mn3d 3c 3c 0 0 CMOSN l=lg w=wn2
```

```

**** Resistores Activos ****
Mp1e 2 VR1 1 1 CMOSP l=lg w=wp
Mn2e 2 2 3 0 CMOSN l=lg w=wn1
Mn3e 3 VR2 0 0 CMOSN l=lg w=wn2
Mp1f 4 VR1 1 1 CMOSP l=lg w=wp
Mn2f 4 4 3 0 CMOSN l=lg w=wn1
Mn3f 3 VR2 0 0 CMOSN l=lg w=wn2
**** Circuito RC ****
C2lp 4 0 1p
C1lp 3 2c 1p
**** Etapa de Entrada ****
Mp1h 2 2 1 1 CMOSP l=lg w=wp
Mn2h 2 vi 3d 0 CMOSN l=lg w=wn1
Mn3h 3d 3d 0 0 CMOSN l=lg w=wn2
*R2 3 4 6.25k
*R1 vi 3 6.25k
**** Capacitor de Carga ****
CL 2c 0 0.5p
**** Análisis ****
.probe
.op
.acmodel {*}
.ac dec 2000 1 10G
.print ac vdb(4), vdb(2c)
*.tran 0.1m 1m
*.print VR1, VR2
**** Modelos de los Transistores ****

```

### Sistema de Filtrado Pasa-banda correspondiente al Capítulo 3.

```

**** Parámetros a emplear ****
.param vps=5
.param lambda=0.3u
.param lg=lambda*3
.param wp=lambda*6
.param wn1=lambda*25
.param wn2=lambda*15
**** Fuente de alimentación ****
vdd 1 0 vps
vin vi 0 dc 2.4961 ac 1.0
vin2 vi2 0 dc 2.4961
**** Rama de Polarización ****
Mp1a VR1 VR1 1 1 CMOSP l=lg w=wp
Mn2a VR1 VR1 VR2 0 CMOSN l=lg w=wn1
Mn3a VR2 VR2 0 0 CMOSN l=lg w=wn2

***** Filtro Pasa-bajas *****
*****+++++++*****
**** Par Diferencial ****
Mp1b 2b 2b 1 1 CMOSP L=lg W=wp
Mn2b 2b 4 3b 0 CMOSN L=lg W=wn1
Mn3b 3b VR2 0 0 CMOSN L=lg W=wn2
Mp1c 2c 2b 1 1 CMOSP L=lg W=wp
Mn2c 2c VR1 3b 0 CMOSN L=lg W=wn1
Mn3c 3b VR2 0 0 CMOSN L=lg W=wn2

```

```

**** Etapa de Ganancia ****
Mp1d 2c 2c 1 1 CMOSP l=lg w=wp
Mn2d 2c 2c 3c 0 CMOSN l=lg w=wn1
Mn3d 3c 3c 0 0 CMOSN l=lg w=wn2
**** Resistores Activos ****
Mp1e 2 VR1 1 1 CMOSP l=lg w=wp
Mn2e 2 2 3 0 CMOSN l=lg w=wn1
Mn3e 3 VR2 0 0 CMOSN l=lg w=wn2
Mp1f 4 VR1 1 1 CMOSP l=lg w=wp
Mn2f 4 4 3 0 CMOSN l=lg w=wn1
Mn3f 3 VR2 0 0 CMOSN l=lg w=wn2
**** Circuito RC ****
C2lp 4 0 11.5586n
C1lp 3 2c 11.5586n
**** Etapa de Entrada ****
Mp1g 2 2 1 1 CMOSP l=lg w=wp
Mn2g 2 vi 3d 0 CMOSN l=lg w=wn1
Mn3g 3d 3d 0 0 CMOSN l=lg w=wn2

***** Filtro Pasa-altas *****
*****+++++++*****
***** Par Diferencial *****
*Mp1b 2b 2b 1 1 CMOSP L=lg W=wp
*Mn2b 2b 2b 3b 0 CMOSN L=lg W=wn1
*Mn3b 3b VR2 0 0 CMOSN L=lg W=wn2
Mp1h 2b1 2b1 1 1 CMOSP L=lg W=wp
Mn2h 2b1 91 3b1 0 CMOSN L=lg W=wn1
Mn3h 3b1 VR2 0 0 CMOSN L=lg W=wn2
Mp1i 2c1 2b1 1 1 CMOSP L=lg W=wp
Mn2i 2c1 vi2 3b1 0 CMOSN L=lg W=wn1
Mn3i 3b1 VR2 0 0 CMOSN L=lg W=wn2
**** Etapa de Ganancia ****
Mp1j 2c1 2c1 1 1 CMOSP l=lg w=wp
Mn2j 2c1 2c1 3d1 0 CMOSN l=lg w=wn1
Mn3j 3d1 3d1 0 0 CMOSN l=lg w=wn2
**** Circuito RC ****
R1 41 0 79.57k
R2 31 2c1 79.57k
C2 31 41 10n
C1 2c 31 10n

**** elementos de polarización ****
Rpol VR1 91 100Meg
Cpol 41 91 1
**** Capacitor de Carga ****
CL 2c1 0 0.5p

**** Análisis ****
.probe
.op
.acmodel {*}
.ac dec 1000 10 10k
.print ac vdb(2c1), vdb(91)
*** modelos de los transistores ***

```

Archivo de simulación SPICE para el sistema de filtrado pasa-bajas con  $f_c=2\text{kHz}$  correspondiente al Capítulo 4.

```
.Param LM=3.6u
.param Lg1=1.8u
.param Lg2=2.4u
.Param W1=4.4u
.Param W2=4.8u
.Param W3=1.2u
.Param W4=1.2u
*** Fuentes de alimentación ***
VA VDD GND 3.3
*Voltaje de entrada
ve1 vi1 GND AC 1 DC 1.5462
ve2 vi2 GND DC 1.5462
*Fuentes de polarización
*VP1 VR1 GND DC1.6725e+000
*VP2 VR2 GND DC7.4477e-001
*** Rama de Polarización ***
Ma Vx Vx VDD VDD CMOS L=LM W=W1
Mb VR1 VR1 Vx Vx CMOS L=LM W=W2
Mc VR1 VR1 VR2 GND CMOSN L=LM W=W3
Md VR2 VR2 GND GND CMOSN L=LM W=W4
*** Subcircuitos ***
.SUBCKT ParDiferencial VDD GND VR1 VR2 Vi1 Vi2 Vo
M1 VA VA VDD VDD CMOS L=Lg1 W=W1
M2 VB VR1 VA VA CMOS L=Lg1 W=W2
M3 VB Vi1 VC GND CMOSN L=Lg1 W=W3
M4 VC VC GND GND CMOSN L=Lg1 W=W4
M5 VD VA VDD VDD CMOS L=Lg1 W=W1
M6 Vo VR1 VD VD CMOS L=Lg1 W=W2
M7 Vo Vi2 VC GND CMOSN L=Lg1 W=W3
M8 VC VC GND GND CMOSN L=Lg1 W=W4
.ENDS
*** Resistencia de Carga ***
.SUBCKT Resistencia VDD GND Vio
M1 VA VA VDD VDD CMOS L=Lg2 W=W1
M2 Vio Vio VA VA CMOS L=Lg2 W=W2
M3 Vio Vio VB GND CMOSN L=Lg2 W=W3
M4 VB VB GND GND CMOSN L=Lg2 W=W4
.ENDS
*** Amplificador ***
.SUBCKT Ganancia VDD GND VR1 VR2 vi1 vi2 Vo
XU1 VDD GND VR1 VR2 vi1 vi2 Vo ParDiferencial
XU2 VDD GND Vo Resistencia
.ENDS
*** Resistor ajustable ***
.SUBCKT ResistorT VDD GND VR1 VR2 vi1 Vo2 vo1
*** Primera etapa (transconductancia)
M1 VA VA VDD VDD CMOS L=LM W=W1
M2 VB VR1 VA VA CMOS L=LM W=W2
M3 VB vo1 VC GND CMOSN L=LM W=W3
M4 VC VR2 GND GND CMOSN L=LM W=W4
M5 VD VD VDD VDD CMOS L=LM W=W1
M6 VF VR1 VD VD CMOS L=LM W=W2
M7 VF Vi1 VC GND CMOSN L=LM W=W3
M8 VC VR2 GND GND CMOSN L=LM W=W4
```

```

*Segunda Etapa (Resistor)
M9a    VG    VD    VDD VDD CMOSP L=LM W=W1
M9b    VG    VD    VDD VDD CMOSP L=LM W=W1
M10a   Vo1   VR1   VG   VG   CMOSP L=LM W=W2
M10b   Vo2   VR1   VG   VG   CMOSP L=LM W=W2
M11a   Vo1   VR1   VJ   GND CMOSN L=LM W=W3
M11b   Vo2   VR1   VJ   GND CMOSN L=LM W=W3
M12a   VJ    VR2   GND  GND CMOSN L=LM W=W4
M12b   VJ    VR2   GND  GND CMOSN L=LM W=W4
.ENDS
*** Instancias ***
XU1    VDD  GND  VR1  VR2  vi1  Vo2  vseg1 ResistorT
XU2    VDD  GND  VR1  VR2  Vo2  Vo3  vseg2 ResistorT
CL2    Vo3  GND  10p
XUb    VDD  GND  VR1  VR2  Vo3  Vi2  VU    ganancia
CL1    VU   Vo2  10p
*** análisis ***
.op
.probe
.acmodel {*}
.AC Dec 1000 1 100k
.PRINT AC vdb(VU), vdb(vo3), vdb(vseg1), vdb(vo2)
** Modelo de CMOS 0.35um ** TSMC

```

Archivo de Simulación Post-Layout del sistema de filtrado pasa-bajas con  $f_c=2\text{kHz}$  correspondiente al Capítulo 3.

```

.Param LM=3.6u
.param Lg1=1.8u
.param Lg2=2.4u
.Param W1=4.4u
.Param W2=4.8u
.Param W3=1.2u
.Param W4=1.2u
*** Fuentes de alimentación ***
VA 1 0 3.3
*Voltaje de entrada
ve1 vi1 0 AC 1    DC 1.5462
ve2 vi2 0        DC 1.5462
*** Extracción ****
Cpar1 U24/VN 0 2.3906929p
Cpar2 1 0 15.78075p
Cpar3 vo 0 18.519821p
Cpar4 vi2 0 350.88191f
Cpar5 VF 0 610.05172f
Cpar6 VE 0 1.3147605p
Cpar7 VC 0 1.105758p
Cpar8 VD 0 1.2064476p
Cpar9 VB 0 832.98388f
Cpar10 VA 0 1.4665737p
Cpar11 11 0 1.837434p
Cpar12 VS 0 2.8529859p
Cpar13 VT 0 1.4111291p
Cpar14 VR 0 832.98388f
Cpar15 VQ 0 1.4565103p
Cpar16 VU 0 832.98388f

```

Cpar17 VL 0 2.8529859p  
Cpar18 VM 0 1.4111291p  
Cpar19 VK 0 832.98388f  
Cpar20 Vp 0 1.1382217p  
Cpar21 vo1 0 4.560394p  
Cpar22 VR1 0 5.8038002p  
Cpar23 vi1 0 351.52667f  
Cpar24 Vx 0 2.1653976p  
Cpar25 VR2 0 1.0769876p  
Cpar26 VI 0 971.05568f  
Cpar27 VJ 0 1.4565103p  
Cpar28 VH 0 832.98388f  
Cpar29 VG 0 2.3906929p  
Cpar30 30 0 1.837434p  
Cpar31 vo2 0 2.512012p  
M1 1 VE VE 1 PMOS L=2.4u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M2 1 VA VD 1 PMOS L=1.8u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M3 VA VA 1 1 PMOS L=1.8u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M4 VS VN 1 1 PMOS L=3.6u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M5 1 VN VS 1 PMOS L=3.6u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M6 1 VQ VQ 1 PMOS L=3.6u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M7 1 VN VN 1 PMOS L=3.6u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M8 1 VG VL 1 PMOS L=3.6u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M9 1 VG VL 1 PMOS L=3.6u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M10 Vx Vx 1 1 PMOS L=3.6u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M11 VJ VJ 1 1 PMOS L=3.6u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M12 VG VG 1 1 PMOS L=3.6u W=4.4u AD=4.84p PD=11u AS=4.84p PS=11u  
M13 vo vo VE Vx PMOS L=2.4u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u  
M14 vo VR1 VD Vx PMOS L=1.8u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u  
M15 VA VR1 VB Vx PMOS L=1.8u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u  
M16 vo vo VF 0 NMOS L=2.4u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M17 0 VF VF 0 NMOS L=2.4u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M18 vo vi2 VC 0 NMOS L=1.8u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M19 VC vo2 VB 0 NMOS L=1.8u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M20 0 VC VC 0 NMOS L=1.8u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M21 VC VC 0 0 NMOS L=1.8u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M22 VS VR1 vo2 Vx PMOS L=3.6u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u  
M23 11 VR1 VS Vx PMOS L=3.6u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u  
M24 VR VR1 VQ Vx PMOS L=3.6u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u  
M25 VT VR1 vo2 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M26 11 VR1 VT 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M27 VT Vp 0 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M28 0 Vp VT 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M29 0 Vp Vp 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M30 VR 11 Vp 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M31 VU VR1 VN Vx PMOS L=3.6u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u  
M32 vo1 VR1 VL Vx PMOS L=3.6u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u  
M33 30 VR1 VL Vx PMOS L=3.6u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u  
M34 VU vo1 Vp 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M35 0 Vp Vp 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M36 vo1 VR1 VM 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M37 30 VR1 VM 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M38 0 VR2 VM 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M39 0 VR2 VM 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u  
M40 Vx VR1 VR1 Vx PMOS L=3.6u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u  
M41 VJ VR1 VK Vx PMOS L=3.6u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u  
M42 VG VR1 VH Vx PMOS L=3.6u W=4.8u AD=5.28p PD=11.8u AS=5.28p PS=11.8u



```

M43 VR2 VR2 0 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u
M44 VR2 VR1 VR1 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u
M45 VI 30 VK 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u
M46 VI vi1 VH 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u
M47 VI VR2 0 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u
M48 VI VR2 0 0 NMOS L=3.6u W=1.2u AD=1.32p PD=4.6u AS=1.32p PS=4.6u
C1 vo vo1 248.66295f
C2 vo vo1 248.66295f
C3 vo vo1 248.66295f
C4 vo vo1 248.66295f
C5 0 vo2 248.66295f
C6 0 vo2 248.66295f
C7 0 vo2 248.66295f
C8 0 vo2 248.66295f
C9 vo vo1 248.66295f
C10 vo vo1 248.66295f
C11 vo vo1 248.66295f
C12 vo vo1 248.66295f
C13 0 vo2 248.66295f
C14 0 vo2 248.66295f
C15 0 vo2 248.66295f
C16 0 vo2 248.66295f
*** análisis ***
.probe
.op
.acmodel {*}
.AC Dec 1000 1 100k
.PRINT AC vdb(vo2), vdb(vo)
** Modelo de CMOS 0.35um **

```

## A.2 Archivo de Matlab para la interfaz GPIB.

Se presenta el archivo \*.m desarrollado para controlar los equipos (fuentes de voltaje, multímetros, generador de señales) mediante la PC a través de la PC.

```

clear all
clc
equipos=instrfind;
if ~isempty(equipos)
    fclose(equipos)
    delete(equipos)
    clear(equipos)
end
multigate=gpib('agilent',7,22);
multidrain=gpib('agilent',7,23);
fuentegate=gpib('agilent',7,6);
fuentedrain=gpib('agilent',7,5);
gene=gpib('agilent',7, 10);
fopen(gene)
fopen(multigate)
fopen(multidrain)
fopen(fuentegate)

```

```

fopen(fuentedrain)
gate=1.2:1:1.5;
% gene=1:1:10;
frecuencia_inicial=10
frecuencia_final=20000
frecuencia_paso=10
f=frecuencia_inicial:frecuencia_paso:frecuencia_final
fprintf(gene,'APPL:SIN 1,1')
fprintf(gene,'APPL?')
cxx=fscanf(gene)
fprintf(gene,'PULS:DCYC 50');
%fuelle de arriba
fprintf(fuentegate,'VOLT 9.0');
fprintf(fuentegate,'OUTP ON');
%fuelle de abajo
fprintf(fuentedrain,'VOLT 9.0');
fprintf(fuentedrain,'OUTP ON');
xxx=1
for a=frecuencia_inicial:frecuencia_paso:frecuencia_final
fprintf(gene,['APPL:SIN ',num2str(a)])
fprintf(gene,'VOLT 1')
fprintf(multigate,'MEAS:VOLT:AC?');
cx=fscanf(multigate);
Ict(1,xxx)=sscanf(cx,'%f,%f');
Ic(1,xxx)=Ict(1,xxx)*1.4142
fprintf(multidrain,'MEAS:VOLT:AC?');
cx=fscanf(multidrain);
Idt(1,xxx)=sscanf(cx,'%f,%f');
Id(1,xxx)=Idt(1,xxx)*1.4142
Icdb(1,xxx)=10*log(Ic(1,xxx));
Iddb(1,xxx)=10*log(Id(1,xxx));
xxx=xxx+1
end
subplot(3,2,1);semilogx(f,Ict)
subplot(3,2,2);semilogx(f,Idt)
subplot(3,2,3);semilogx(f,Ic)
subplot(3,2,4);semilogx(f,Id)
subplot(3,2,5);semilogx(f,Icdb)
subplot(3,2,6);semilogx(f,Iddb)
fprintf(gene,'VOLT .1');
fprintf(gene,'VOLT:OFFS 0')
for n=1:10
fprintf(gene,'SYST:BEEP');
fprintf(multidrain,'SYST:BEEP:STAT 1');
fprintf(multigate,'SYST:BEEP:STAT 1');
end
fprintf(fuentegate,'OUTP OFF');
fprintf(fuentedrain,'OUTP OFF');
fclose(multigate)
fclose(multidrain)
fclose(fuentegate)
fclose(fuentedrain)
fclose(gene)
instrreset
dir=size(Id);
dir2=size(Ic);
[filename,path]=uiputfile('*.','Nombre del Archivo a almacenar? ');

```

```

saveciti=[(path),(filename)]
name=fopen(saveciti, 'w');
fprintf(name,'%s \n','CITIFILE ');
fprintf(name,'%s \n','COMMENT Bode ');
fprintf(name,'%s %s %s\n','COMMENT FECHA ',datestr(clock,24),datestr(clock,14));
fprintf(name,'%s ','COMMENT VGS = ');
fprintf(name,'%s','COMMENT VDS = ');
fprintf(name,'%s\n','COMMENT Frecuencia = ');
fprintf(name,'\n');
fprintf(name,'%s\t','VAR frecuencia MAG');
fprintf(name,'%12.8f \n ',length(f));
fprintf(name,'%s\n','DATA Vin MAG ');
fprintf(name,'\n');
fprintf(name,'%s\n','DATA Vout MAG ');
fprintf(name,'\n');
fprintf(name,'%s \n','VAR_LIST_BEGIN ');
for i=1:length(f);
    fprintf(name,'%12.8f \n',f(i));
end
fprintf(name,'%s \n','VAR_LIST_END');
fprintf(name,'\n');
fprintf(name,'%s \n','BEGIN ');
for j=1:length(Id);
    fprintf(name,'%12.8f \n',Id(1,j));
end
fprintf(name,'%s \n','END');
fprintf(name,'%s \n','BEGIN ');
for j=1:length(Ic);
    fprintf(name,'%12.8f \n',Ic(1,j));
end
fprintf(name,'%s \n','END');
fprintf(name,'%s \n','BEGIN ');
for j=1:length(Icdb);
    fprintf(name,'%12.8f \n',Icdb(1,j));
end
fprintf(name,'%s \n','END');
fprintf(name,'%s \n','BEGIN ');
for j=1:length(Iddb);
    fprintf(name,'%12.8f \n',Iddb(1,j));
end
fprintf(name,'%s \n','END');

```



# Apéndice B

## Publicaciones realizadas

A partir de este trabajo surgió también la publicación del artículo:

**“Design of Active Filters From Discrete Components to Fully-Integrated Ones”**

F. Sandoval, J.F. Ramírez

Dicho artículo fue publicado en el XV Workshop Iberchip en la ciudad de Buenos Aires, Argentina. En el mes de Marzo 2009.

Se adjunta dentro de este apéndice y en el CD de documentación en la ruta “Unidad de CD:\Publicaciones\Filters-Iberchip-BsAs-FEB-20-2009.pdf”

# Apéndice B

## Publicaciones realizadas

A partir de este trabajo surgió también la publicación del artículo:

**“Design of Active Filters From Discrete Components to Fully-Integrated Ones”**

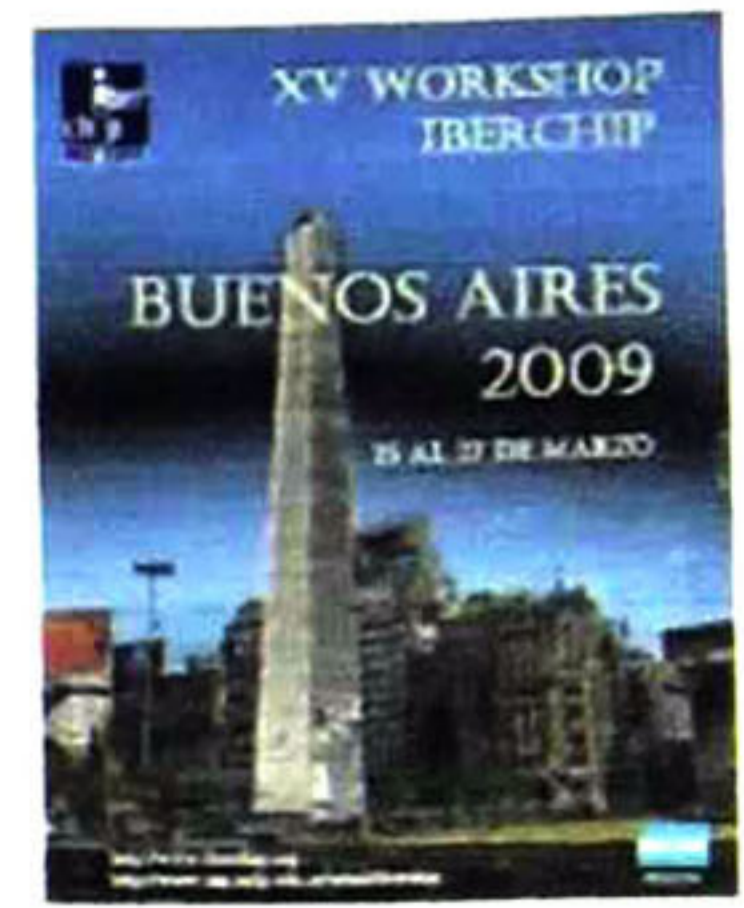
F. Sandoval, J.F. Ramírez

Dicho artículo fue publicado en el XV Workshop Iberchip en la ciudad de Buenos Aires, Argentina. En el mes de Marzo 2009.

Se adjunta dentro de este apéndice y en el CD de documentación en la ruta “Unidad de CD:\Publicaciones\Filters-Iberchip-BsAs-FEB-20-2009.pdf”



# XV Workshop Iberchip 2009 Buenos Aires, Argentina



La Plata, 26 de febrero de 2009

**Señor:** Federico Sandoval-Ibarra y J. F. Ramírez-Aguilar  
CINVESTAV – Unidad Guadalajara  
Zapopan - México

Estimado Autor:

Nos complace comunicarle que después de analizado el trabajo:

**77- “Design of Active Filters From Discrete Components to Fully-Integrated Ones”**

El Comité del “XV Workshop IBERCHIP” considera que el mismo reúne las condiciones requeridas para ser presentado en el evento, en carácter de: **Artículo**

Por lo tanto, nos es muy grato invitarlo a presentar su trabajo, en la sección correspondiente, lo que contribuirá en forma muy significativa al aporte de sus conocimientos en la temática desarrollada.

Nos sentiremos honrados de compartir con usted estos días de intercambio y enriquecimiento de experiencias comunes.

Esperando poder saludarle pronto, cordialmente,

**Ing. Antonio Adrián Quijano**  
**Presidente del Comité Organizador**

# Design of Active Filters from Discrete Components to Fully-Integrated Ones

F. Sandoval-Ibarra, J.F. Ramírez-Aguilar, M. Cuesta-Claros, R. Moreno-Espinosa, E. Ortiz-Levy, and L. Palacios-Betancourt

**Abstract**—The purpose of this paper is, by one hand, offer to students basics on active filter design by introducing the Butterworth approach as well as some practical examples not only to describe a design flow, but also to show that the stages of the design flow present a physical meaning mainly supported on physical laws. At experimental level, the laboratory-based learning adopted in this work has allowed to students be able to understand physical concepts, capture and analyze experimental data, as well as using design tools in a correct way to mainly avoid *trial-and-error* approaches. As an example, experimental results of Low-Pass (LP) filters ranging from 30- up to 135-kHz based on commercial components are presented. On the other hand, a Resistive Approach (RA) is also introduced not only to present an alternative design procedure, but also to show how RC passive networks can be translated to CMOS compatible active networks. In another example, it is shown how a differential amplifier is designed without affect neither the design procedure nor the operation point (OP) of the whole design. An advantage of the RA is that the design of analog circuits is based on both LEVEL=1 equations and LEVEL=49 simulations. At simulation level, the laboratory-based learning also adopted in this work has allowed to students be able to understand both physical concepts and the relevance of the OP in analog design. Simulation results of a 2<sup>nd</sup> order active filter are presented.

**Index Terms**—Active filters, lumped circuits, MOS transistor; CMOS circuits; spice.

## I. INTRODUCTION

ENGINEERING subjects can be divided in analysis and synthesis. In the *Analysis* stage, the designer translates *Input data* in a mathematical model in order to study the impact of design parameters on the response of the circuit under design (CUD). In the *Synthesis* field, on the other hand, the starting point is to translate the properties of the mathematical model in an electronic circuit basically to verify the fulfillment of the input data via simulation (see Fig. 1). However, because the electronic design without experimental results is unfortunately a common vacancy in undergraduate analog systems design, in this paper a laboratory-based

methodology to do the design of electronic circuits in the frequency domain is presented. As an introductory study case, the physical design of a Butterworth filter is used as vehicle to underline the advantage of the proposed laboratory-based methodology as well as to introduce to students a formal learning that enhance their skills in the analog design field. In that sense, section II presents the *Analysis* stage, where input data are given in order to build a mathematical model. The *Synthesis* stage is presented in Section III, where an active RC topology is synthesized. In the same section, it is demonstrated how the design procedure affects positively the value of each electronic component. In order to verify the fulfillment of input data, simulation results are discussed in Section IV. Experimental results of LP filters ranging from 30kHz up to 135kHz are presented in section V, where a test procedure based on basic laboratory facilities is also presented. Finally, as an extension of the analog design, the RA is presented in Section VI as a design method for translating the 2<sup>nd</sup> order LP filter based on commercial components to a CMOS compatible design. In the RA LEVEL=1 equations and LEVEL=49 simulations are the support to firstly verify voltage values of the operation-point (OP), and secondly to analyze the response of the CUD. At the end the conclusions are given.

## II. THE ANALYSIS STAGE

Let us suppose the following input data: Design a 2<sup>nd</sup> order Butterworth LP filter with a cutoff frequency of  $f_0=10.0$  kHz. From the point-of-view of modeling, a 2<sup>nd</sup> order model is a transfer function,  $H(s)=N(s)/D(s)$ , that includes basic parameters as quality factor (Q), cutoff frequency ( $\omega_0=2\pi f_0$ ), and low-frequency gain ( $A_0$ ) [1]. The function  $D(s)=s^2+(\omega_0/Q)s+(\omega_0)^2$  is a 2<sup>nd</sup> order polynomial,  $n=2$ , that defines the order of  $H(s)$ ; the function  $N(s)$  is responsible to define the characteristic of the model in the frequency domain, i.e.  $N(s)=k_2s^2+k_1s+k_0$ . For instance, to obtain the model of a LP characteristic  $N(s)$  is rewritten as  $N_{LP}(s)=k_0$ , where  $k_2=k_1=0$  and  $k_0\neq 0$ . Therefore, we have the model of the filter

$$H(s) = \frac{k_0}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (1)$$

In an ideal LP filter all signals within the band  $0\leq\omega\leq\omega_0$  are transmitted without loss, whereas inputs with frequencies  $\omega>\omega_0$  give zero output (see Fig. 1a). In practice, that response is unrealizable with physical elements, and thus it is necessary

Manuscript received February 20, 2009.

M. Cuesta-Claros, R. Moreno-Espinosa, E. Ortiz-Levy, and L. Palacios-Betancourt are with the Mecatronics Engineering School, Universidad Panamericana-Campus Guadalajara, Zapopan 45010, JAL, Mexico

J.F. Ramírez-Aguilar are with CINVESTAV-Guadalajara Unit, Zapopan, Jalisco 45015 MEXICO (+52-33-3670-3700; fax: +52-33-3670-3709; e-mail: framirez@gdl.cinvestav.mx)

F. Sandoval-Ibarra is with CINVESTAV-Guadalajara Unit, and with Mecatronics Engineering School, Universidad Panamericana-Campus Guadalajara, Mexico (sandoval@gdl.cinvestav.mx)



to approximate it. An approximation is the Butterworth approach that comprises a set of normalized polynomials  $P_n(s)$  where the coefficients for  $n$  up to 10 are shown in Table I. The Butterworth response for various values of  $n$  is plotted in Fig. 1a, where the magnitude of  $H(s)$  is down 3dB at  $\omega=\omega_0$  and is monotonically decreasing [2]; this approach presents a maximally flat response within a bandwidth of 1.0 rad/s (see Fig. 1b) because the poles are located on a circumference of radii  $r=1$ . From both Table I and (1), it is easy verify that  $D(s)=P_2(s)=s^2+1.4142s+1$ . So, what about the cutoff frequency (10 kHz) previously required? As Fig. 1b shows, the answer is to increase the radii from 1 to  $2\pi \times 10^4$  by applying a frequency denormalization factor that is defined by  $\Omega_0=\omega_p/\omega_0=2\pi(10\text{kHz})/(1.0\text{rad/sec})=2\pi \times 10^4$ . Then we have

$$H(s)\Big|_{s \rightarrow \frac{s}{\Omega_0}} = \frac{k_0 \Omega_0^2}{s^2 + 1.4142 \Omega_0 s + \Omega_0^2} \quad (2)$$

Note that the frequency denormalization factor just shift the response up to the cutoff frequency (see Fig. 1b), where the band-pass region presents an equivalent length equal to  $r=\Omega_0$ . Then, the CUD is modeled by (2), and its magnitude is obtained if  $s$  is replaced by  $j\omega$ :

$$|H(j\omega)| = \frac{k_0 \Omega_0^2}{\sqrt{(\Omega_0^2 - \omega^2)^2 + (1.4142 \Omega_0 \omega)^2}} \quad (3)$$

At very low frequencies (3) reduces to  $k_0$ , while at the frequency  $\omega=\Omega_0$  the magnitude presents a value  $|H(\Omega_0)|=k_0(0.7071)$  that is equivalent to  $[20\log(k_0)-3.0]\text{dB}$ .

### III. THE SYNTHESIS STAGE

One of several electronic circuits performing a 2<sup>nd</sup> order characteristic is shown in Fig. 2a. This circuit includes a pair of frequency-dependend components,  $C_1$  and  $C_2$ , hence  $n=2$ . It is easy to demonstrate that the transfer function is given by

$$H(s) = \frac{k}{C_1 R_1 C_2 R_2} \frac{1}{s^2 + s \left[ \frac{1}{C_1 R_1} \left( \frac{R_1}{R_2} + 1 \right) + \frac{1-k}{C_2 R_2} \right] + \frac{1}{C_1 R_1 C_2 R_2}} \quad (4)$$

Note that  $D(s)$  must be equivalent to the 2<sup>nd</sup> order Butterworth polynomial. It is, therefore, necessary to perform two basic equivalencies:  $C_1=C_2=1.0\text{F}$  and  $R_1=R_2=1\Omega$ . Then we have

$$H(s) = \frac{k}{s^2 + s(3-k) + 1} \quad (5)$$

where  $(3-k)=1.4142$  or equivalently  $k=1.5859$ . This result guaranties not only a maximally flat response within a bandwidth of 1.0rad/s, but also it establishes the value of the rate  $R_4/R_3$  (see Fig. 2a). By applying the frequency denormalization factor to (5), we obtain (6) where (6) and (2) are consequently equivalent models. Note that just capacitors change their value from  $C=1.0\text{F}$  to  $C'=C/\Omega_0=(1.0\text{F})/\Omega_0 \approx 15.9\mu\text{F}$  as shown in (6) and their effect is graphically illustrated in Fig. 1b; the constant time is now  $\tau'=RC'=(1/\Omega_0) \text{ s}$ .

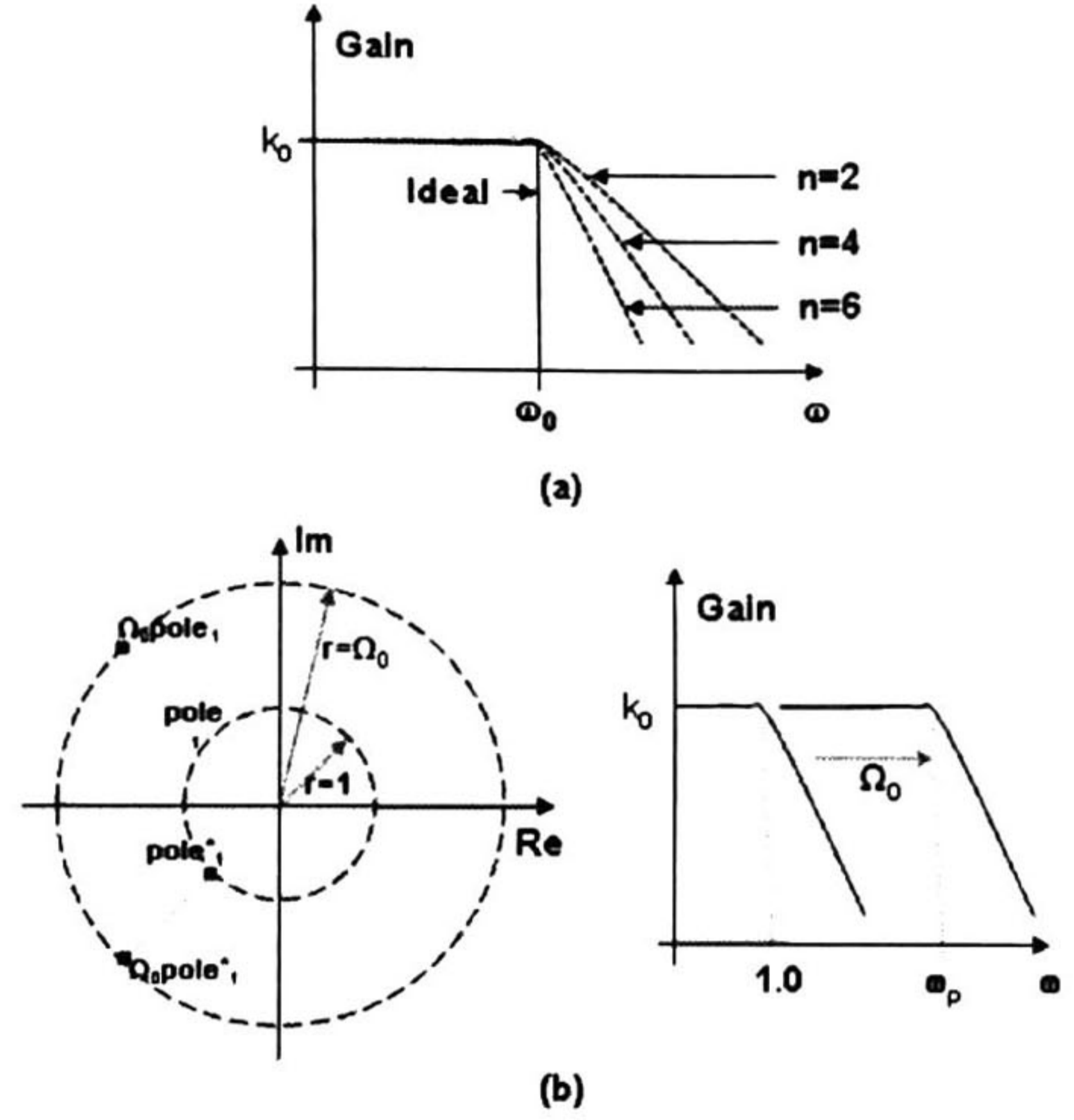


Fig. 1. Frequency response of Butterworth low-pass filters (a); poles location and their meaning in the frequency domain for a second-order design (b).

TABLE I  
BUTTERWORTH COEFFICIENTS

n	a <sub>1</sub>	a <sub>2</sub>	a <sub>3</sub>	a <sub>4</sub>	a <sub>5</sub>
2	1.414214				
3	2.000000				
4	2.613126	3.414214			
5	3.236068	5.236068			
6	3.863703	7.464102	9.141620		
7	4.493959	10.09783	14.59179		
8	5.125831	13.13707	21.84615	25.68835	
9	5.758770	16.58171	31.16343	41.98638	
10	6.392453	20.43172	42.80206	64.88239	74.23342

$$H(s)\Big|_{s \rightarrow \frac{s}{\Omega_0}} = \frac{k_0 \frac{1}{1.0 \left( \frac{1.0}{\Omega_0} \right) 1.0 \left( \frac{1.0}{\Omega_0} \right)}}{s^2 + \frac{1.4142}{1.0 \left( \frac{1.0}{\Omega_0} \right)} s + \frac{1}{1.0 \left( \frac{1.0}{\Omega_0} \right) 1.0 \left( \frac{1.0}{\Omega_0} \right)}} \quad (6)$$

However, since the capacitance  $C'=15.9\mu\text{F}$  is not a commercial one, an impedance denormalization (ID) step must be performed. Let us suppose that capacitances are modified from  $C'=15.9\mu\text{F}$  to a  $C''=0.1\mu\text{F}$ . The ID looks for a constant  $\alpha$  relating both quantities, i.e.  $\alpha=C'/C''=15.9\mu\text{F}/0.1\mu\text{F}=159.10$ . Then, the newest capacitance value is given by  $C''=C'/\alpha$ , and the new resistance value is  $R'=\alpha R=159.1 \times 1.0\Omega=159.1\Omega$  such that the constant time is not affected by the ID step,  $\tau'=R'C''=(\alpha R)(C'/\alpha)=RC'$ . This analysis yields

$$H(s) = \frac{k_0 \frac{1}{\alpha(1.0) \left( \frac{1.0}{\alpha \Omega_0} \right) \alpha(1.0) \left( \frac{1.0}{\alpha \Omega_0} \right)}}{s^2 + \frac{1.4142}{\alpha(1.0) \left( \frac{1.0}{\alpha \Omega_0} \right)} s + \frac{1}{\alpha(1.0) \left( \frac{1.0}{\alpha \Omega_0} \right) \alpha(1.0) \left( \frac{1.0}{\alpha \Omega_0} \right)}} \quad (7)$$

Since  $R_1=R_2=159\Omega$  is not a commercial component, our choice is  $162\Omega$  which is the nearest commercial one.

#### IV. THE SIMULATION STAGE

This stage is needed to perform simulation runs in order to evaluate the electrical performance of the CUD with the help of general-purpose circuit simulation programs. This design stage uses technical data (spice models) given by manufacturers and/or experimental data obtained from laboratory activities, i.e. *home-made* spice models. Note that, at this design level, simulation results generate the frequency response of a lumped network that is supported in a formal design procedure. This procedure not only gives to students the value of each passive component, but also invites to all of them to avoid trial-and-error procedures, i.e. changing randomly the value of resistors and/or capacitor up to obtain the *correct response*. On the other hand, taking into account unwanted effects, it is mandatory to obtain better simulation results by including variations (%) of the electronic components. The frequency response shown in Fig. 2b, carried out at room temperature, corresponds to a Montecarlo run where all passive components were allowed to vary no more than 5%. Simulation results show how the whole response of the filter is affected by the components' tolerance. An advice for designing analog circuits is to take into account data sheets of both commercial circuits and related components for writing the netlist as complete as possible. In that sense Martínez-Alvarado in [2] includes a library based on both commercial opamps and active topologies. Further, by choosing each one, the netlist includes automatically the opamp's electrical model as well as the topology description in spice syntax.

#### V. THE PHYSICAL DESIGN STAGE

Probably the most popular opamp is that of the 741 family. It is cheaper and widely used as a basic building block in undergraduate literature [3]. In order to verify step-by-step the operation of the CUD, the non-inverting amplifier is easily tested (see Fig. 3a), where the opamp (LM741, National Semiconductor) has been biased with a power supply  $V_{DD}=\pm 5V$  (1626, BK Precision). The input  $v_{in}$  is a function generator (4040A, BK precision), whereas the oscilloscope (TDS-2002B, Tektronix) measures the output response. Table II lists several suitable commercial resistors ( $R_3$  and  $R_4$ ) for generating the gain  $k$ . Since resistors suffer of a resistive variation commonly indicated in the standard resistance color code, a set of measurements is recommended in order to obtain the actual value of all design variables; Table II shows also the average gain factor  $k_{meas}$  for each pair of resistors, in the same table  $k_N$  is the gain factor due the nominal value, and  $\epsilon$  is the relative error defined by  $(k_N-k_{meas})/k_N$ . As Table II shows, the first pair of resistors is the authors' choice due its lowest relative error. Now, let us suppose the design of a 60kHz LP filter (see Table III), where  $f_N\approx 60.28\text{kHz}$  because of the nominal value of components. Then  $\Omega_0=2\pi(6\times 10\text{kHz})/(1.0\text{rad/s})=1.2\pi\times 10^5$  and  $C_1=C_2=2.6\mu\text{F}$  at  $R_2=R_1=1\Omega$ , or equivalently  $C_1=C_2=2.2\text{nF}$  at  $R_2=R_1=1.2\text{k}\Omega$ .

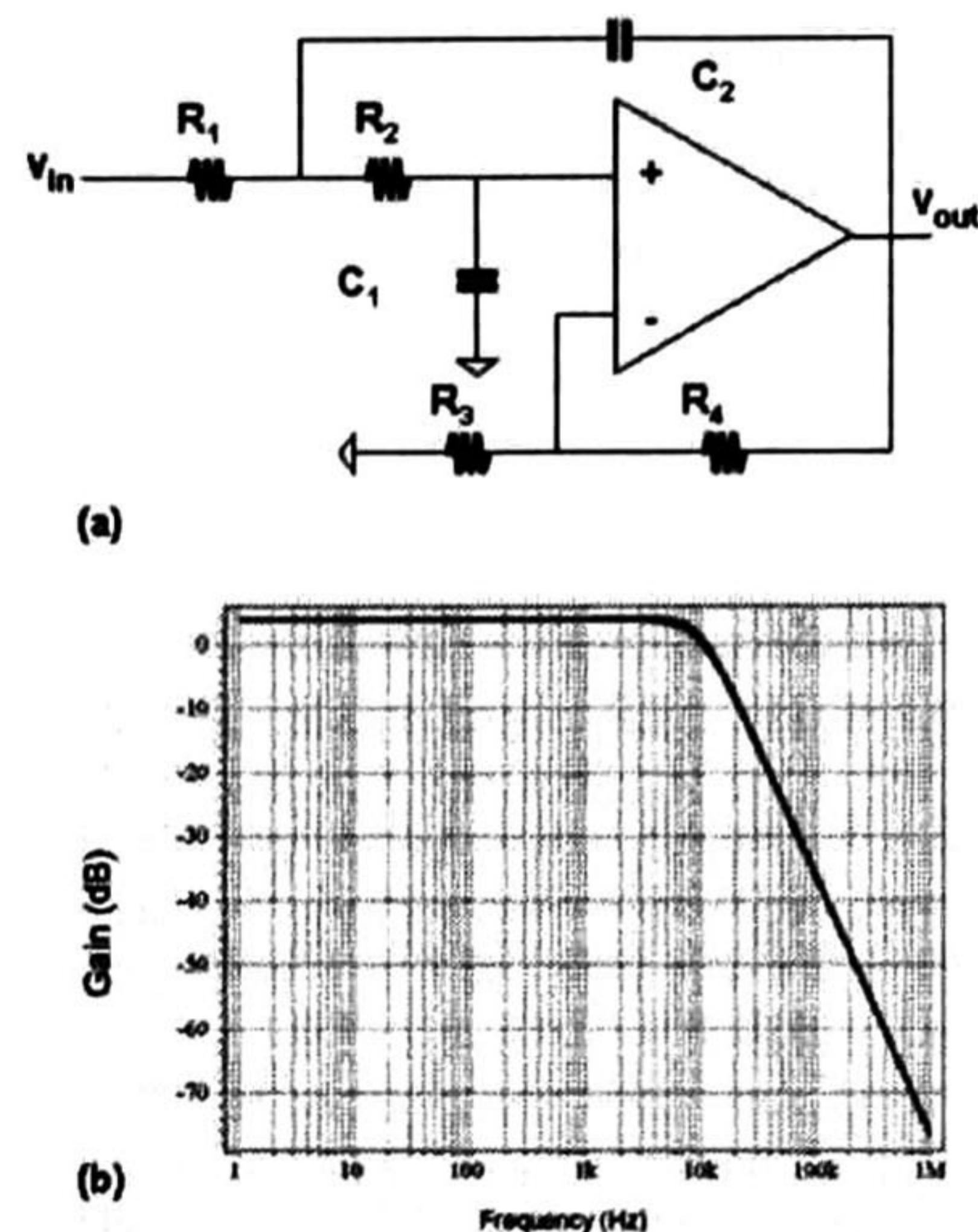


Fig. 2. Active 2<sup>nd</sup> order transfer function realization (a); spice result of the LP filter with  $R_1=R_2=162\Omega$ ,  $C_1=C_2=0.1\mu\text{F}$ ,  $R_3=560\Omega$ , and  $R_4=330\Omega$  (b).

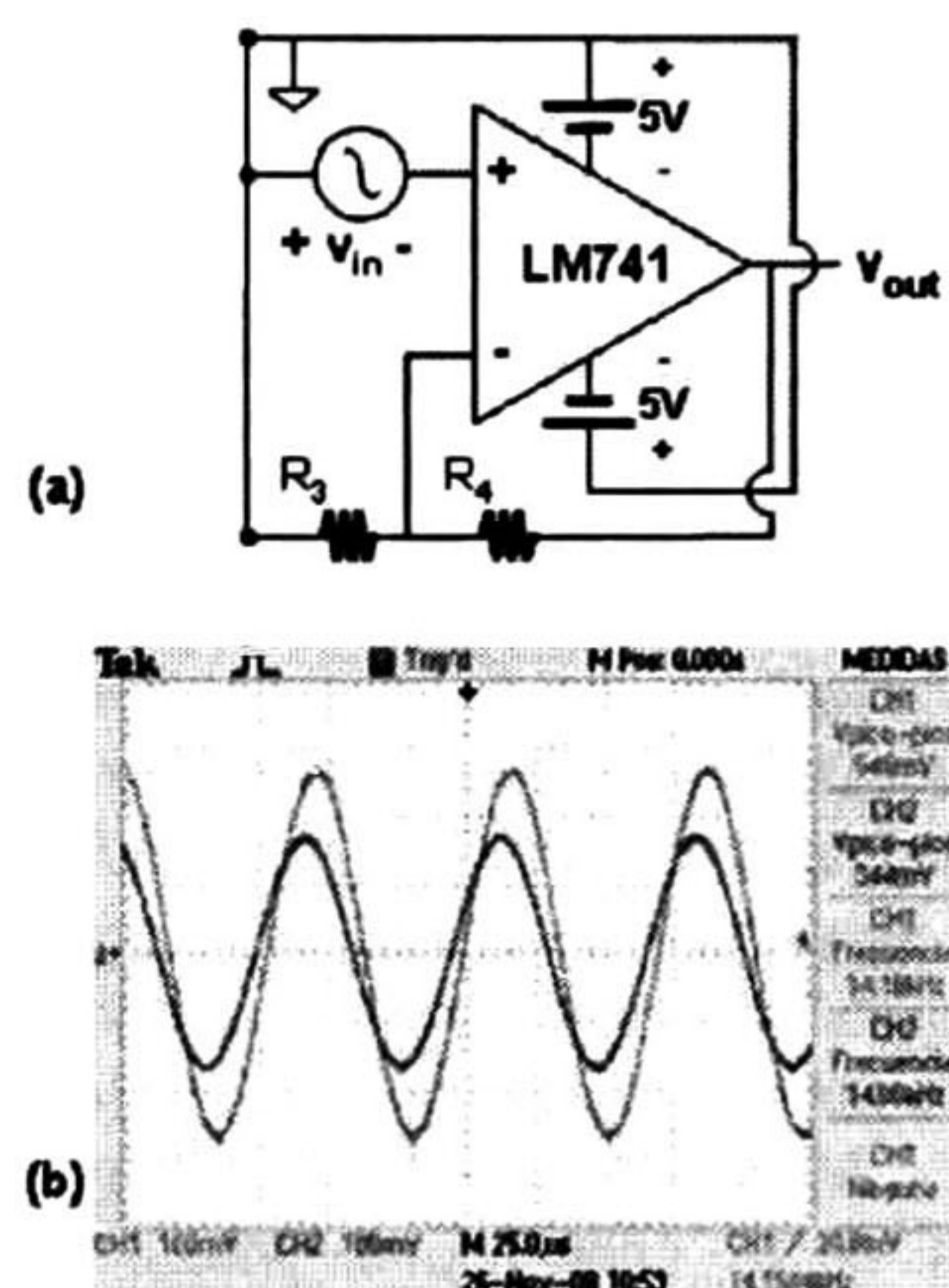


Fig. 3. Setup to measure the gain factor (a). Time domain signals at a frequency lower than the cut-off one (b).

TABLE II  
RESISTANCE VALUES, GAIN FACTOR, AND THE RELATIVE ERROR

$R_3$ ( $\Omega$ )	$R_4$ ( $\Omega$ )	$k_N$	$k_{meas}$	$\epsilon$ (%)
560	330	1.58	1.575	0.33
2.2k	1.2k	1.54	1.399	9.15
4.7k	2.7k	1.57	1.528	2.67
10k	5.6k	1.56	-	-

Note that to obtain the actual cut-off frequency, the signal generator is firstly typed to input a low frequency sine wave with amplitude  $V_{pp}=344\text{mV}$ , and offset voltage  $V_{off}=0V$ . A low frequency signal is needed for measuring not only the gain  $k$ , but also to avoid the attenuation effect of the filter's poles. Then, for frequencies lower than  $f_N$  the amplitude of  $v_{out}$  is equal to  $v_{in}k_{meas}$ , and at the cut-off frequency the

amplitude is computed by  $0.7v_{in}k_{meas}$  ( $=0.7 \times 1.59 \times 344\text{mV}$ ). Therefore, the actual cut-off frequency is found by varying the input frequency up to obtain an amplitude equal to  $382.87\text{mV}$ ; in this example  $f_{0,meas} \approx 59\text{kHz}$  (see Table III). Fig. 3b shows a sine input signal ( $344\text{mV}$ ,  $14\text{Hz}$ ) as well as the output response. This implies  $k=v_{out}/v_{in}=548\text{mV}/344\text{mV}=1.59 \approx 4\text{dB}$  at  $14\text{Hz}$ ; take measurements as much as possible allow obtaining a representative gain factor  $k_{meas}$ . Fig. 4a shows the gain-frequency characteristic of the  $60\text{kHz}$  Butterworth LP filter (spice simulation) and the time domain response at three specific frequencies. As we can see, the response that satisfies  $f \ll 60\text{kHz}$  is due to the gain factor only, i.e.  $v_{out}=v_{in}k_{meas}$  or  $v_{out}/v_{in}=548\text{mV}/344\text{mV}=1.59$  (see Fig. 4b). Next, at the cut-off frequency,  $f_0=60\text{kHz}$ , the output is  $v_{out}=0.7v_{in}k_{meas}$  or  $v_{out}/v_{in}=364\text{mV}/340\text{mV}$  (see Fig. 4c). Finally, the response for frequencies higher than  $60\text{kHz}$  is attenuated,  $v_{out}/v_{in}=92\text{mV}/132\text{mV}$  (see Fig. 4d), as described by theory. Note that Fig. 4 shows a recommended test option mainly when a spectrum analyzer is not a facility in laboratory. This test process could be slow but measuring design variables as much as possible is the correct way for accuracy. Another advantage of this procedure is that students verify the time response by watching how the output voltage's amplitude varies as the frequency of the input signal moves along the frequency range.

#### A. Preliminary conclusions

As result of the proposed methodology students have understood that the filter's response varies due to the tolerance of the passive components, which means (7) is a correct design model. Further, since measurement result is not complete, unless it informs about accuracy, students have measured the actual value (TX1 Multimeter, Tektronix) of several design parameters and have also computed relative errors. Experimental results shown in Fig. 4 is a resume of the laboratory-based learning integrated to an Electronics course (5<sup>th</sup> semester, Mechatronics Engineering, Universidad Panamericana Campus Guadalajara, Mexico). However, if active filters must be integrated in monolithic technologies, a procedure about how design both active blocks and passive components have to be also introduced. A design procedure based on the Ohm's law for designing analog CMOS circuits is presented in the following sections.

### VI. THE RESISTIVE APPROACH: ANALYSIS STAGE

In order to illustrate how the Ohm's law is used for designing analog circuits, Fig. 5a shows a current branch based on three ideal resistors. Since each node voltage is a parameter under the designer's control, two reference voltages are required to design the current branch; by assuming symmetry considerations each reference voltage takes just one value of a set of well defined values,  $V_{REF,1}=\{1/2V_{DD}, 3/4V_{DD}\}$  and  $V_{REF,2}=\{1/4V_{DD}, 1/2V_{DD}\}$ . With the help of the Ohm's law, it is easy verify that the design equations can be represented by (8), where  $V_{DD}$  is the power supply, and  $R_3$  is the basic design component (BDC) because by proposing its value the corresponding value of the others is obtained.

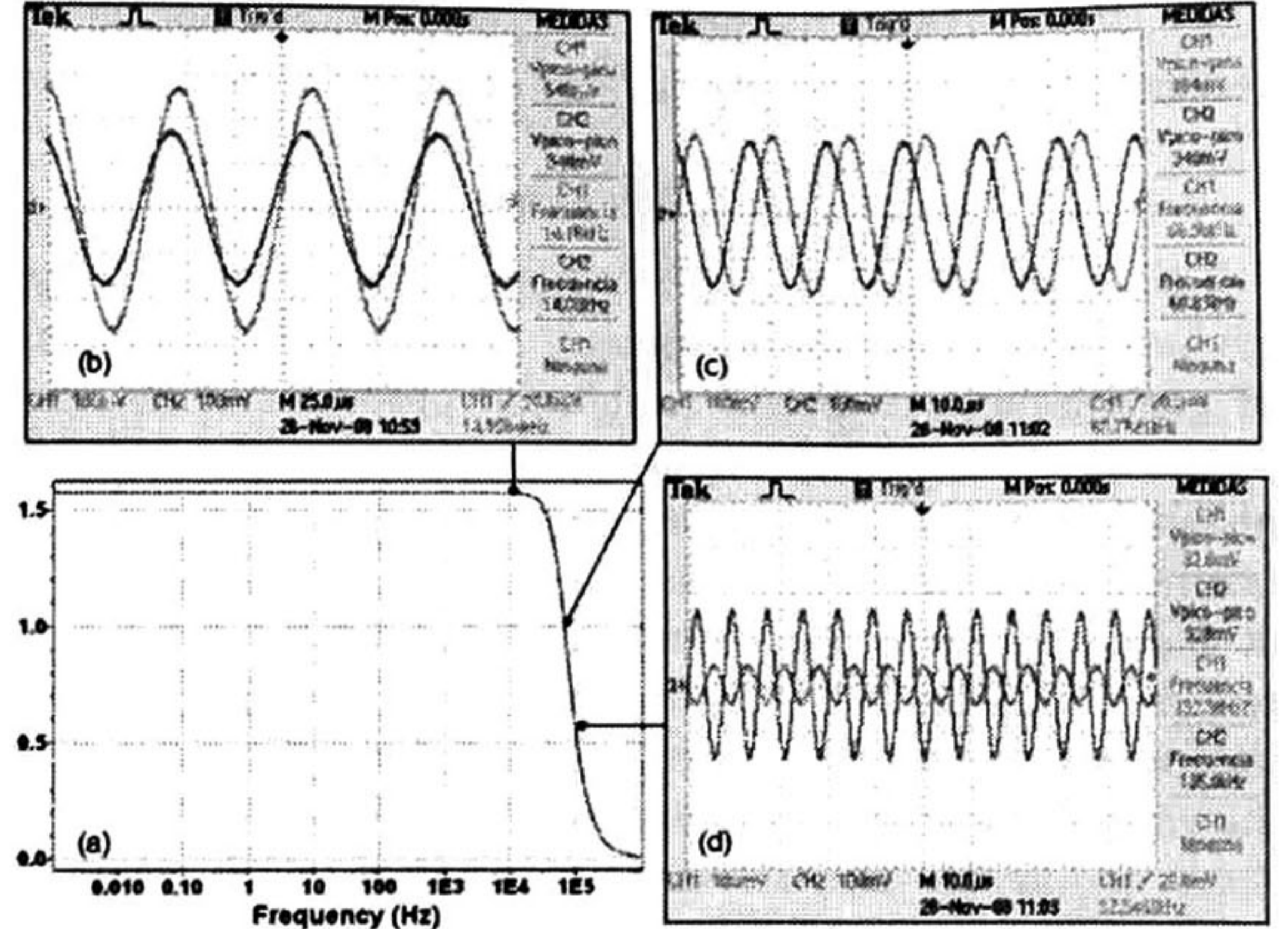


Fig. 4. Output responses of the LP filter.

TABLE III  
RESISTANCE/CAPACITANCE VALUES, CUT-OFF FREQUENCIES, AND THE RELATIVE ERROR

$R_1=R_2$ ( $\Omega$ )	$C_1=C_2$ (F)	$f_0$ (Hz)	$f_N$ (Hz)	$f_{0,meas}$ (Hz)	$\epsilon$ (%)
100	$0.1\mu$	16k	15.915k	13.6k	14.5
12k	440n	30k	30.142k	32k	5.8
330	10n	50k	48.228k	47k	2.61
1.2k	2.2n	60k	60.285k	59k	2.17
10k	240p	70k	66.314k	69k	2.8
1.2k	1.0n	130k	132.6k	131k	1.22

$$\begin{bmatrix} 0 & -1 & \frac{V_{REF,1}-1}{V_{REF,2}} \\ -1 & 0 & \frac{V_{DD}-V_{REF,1}}{V_{REF,2}} \end{bmatrix} \begin{bmatrix} R_1 \\ R_2 \\ R_3 \end{bmatrix} = 0 \quad (8)$$

On the other hand, in order to translate the resistive circuit to a CMOS one the square-law behavior to model the current of a saturated MOS transistor is used,  $i_{D,i}=KP_{ji}(W/L)_i(|V_{GS,i}|-|V_{T,ji}|)^2$ , where  $j$  defines the transistor type,  $v_{GS,i}=V_{GS,i}+v_{gs,i}$ ,  $i_{D,i}=I_{D,i}+i_{d,i}$ ,  $V_{T,ji}$  is the threshold voltage, and  $W/L$  is the channel width/ length of the  $i$ -th transistor [4]; here  $j=\{n, p\}$  and  $i=\{1, 2, 3\}$ . Also, the model of a diode-connected MOS transistor is used,  $\partial i_{D,i}/\partial V_{GS,i}=2KP_{ji}(W/L)_i(|V_{GS,i}|-|V_{T,ji}|)=G_{m,ji}$ . As an example let us consider  $V_{REF,1}=1/2V_{DD}$  and  $V_{REF,2}=1/4V_{DD}$ . Hence, (8) follows:

$$\begin{bmatrix} 0 & -1 & 1 \\ -1 & 0 & 2 \end{bmatrix} \begin{bmatrix} R_1 \\ R_2 \\ R_3 \end{bmatrix} = 0 \quad (9)$$

Next, each resistor is substituted by a transistor as shown in Fig. 5b. Then, (9) reduces to

$$2 = \frac{R_1}{R_3} = \frac{G_{m,n3}}{G_{m,p1}} = \frac{KP_p W_3 (0.25V_{DD} - V_{T,n3})}{KP_n W_1 (|0.5V_{DD}| - |V_{T,p1}|)} \quad (10a)$$

and

$$1 = \frac{R_2}{R_3} = \frac{G_{m,n3}}{G_{m,n2}} = \frac{W_3(0.25V_{DD} - V_{T,n3})}{W_2(0.25V_{DD} - V_{T,n2})} \quad (10b)$$

where  $L_1=L_2=L_3=L$ . From this result, it is assumed that threshold voltages and KPs are parameters given by the foundry. Note that no other parameter is needed in the RA. Let us suppose  $V_{DD}=5V$ ,  $KP_p/KP_n=3.11$ ,  $V_{T,n1}=0.6V$ , and  $V_{T,n2}=0.9V=|V_{T,p1}|$ , hence (10) is rewritten as follows:

$$\frac{W_1}{W_3} = 0.63 \quad \frac{W_2}{W_3} = 1.85 \quad (11)$$

Let  $W_{n3}=4.2\mu m$  then  $W_{n2}=7.77\mu m$  and  $W_{p1}=2.64\mu m$  are obtained. Since the size of transistors is function of the technological design step,  $\lambda$  ( $=0.3\mu m$  in this work), the channel width of  $M_2$  and  $M_1$  are fitting to  $W_{n2}=7.8\mu m$  and  $W_{p1}=2.4\mu m$ , respectively.

### A. Discussion and Simulation Results

The analysis stage also includes a simulation step in order to verify the values of the reference voltages. With the sizing of transistors calculated above LEVEL=49 spice simulations were carried out, and a maximum relative error of 5.38% was obtained, i.e.  $V_{REF,1,spice}=2.62867V$  and  $V_{REF,2,spice}=1.2587V$  at  $L=1.8\mu m$ ; from spice the bias current is  $I_{D1}=I_{D2}=I_{D3}=25.1\mu A$ . From the DC point-of-view, note that the active CUD can be translated to any of the circuits shown in Fig. 7, where  $V'_{REF,1}=V_{REF,1,spice}$  and  $V'_{REF,2}=V_{REF,2,spice}$ . The advantage of these circuits is that each one is suitable to process an analog signal; for the purpose of this work, circuits shown in Fig. 6, from (d) to (f), shall be analyzed for developing a differential amplifier. On the other hand, if a signal  $v_{in}$  is input to the gate of  $M_2$ , the current  $i_{d2}$  sees a grounded-impedance connected at the drain of  $M_2$  as well as another one connected at the source of the same transistor. For analysis purposes, Fig. 7 shows the small-signal equivalent circuit where the impedance  $Z_i$  includes a parasitic  $c_{pi}$ . The figure also shows different options to implement small-signal resistances; note that even when (g) is not included in Fig. 6, that is another one design option. Then, if  $v_1$  is defined to be the output node, it is easy demonstrate that the transfer function at low frequencies is given by

$$\frac{v_{out}}{v_{in}} = - \frac{r_1 g_{m,n2}}{1 + g_{m,n2} r_3 + g_{ds,n2} r_1} \quad (12)$$

This result is important because by proposing the nature of each resistor (see Fig. 7) one may compute the low-frequency gain,  $A_0$ . Since a saturated MOS transistor satisfies  $g_m \gg g_{ds}$ , circuit (e) offers an attenuation lower than -30dB. Fig. 8 shows LEVEL=49 simulation results where the label  $r_1/r_3$  indicates the configuration of each transistor.

### A. The Differential Amplifier

In order to design a single-ended differential amplifier we start the analysis by considering circuits (e) and (f) shown in Fig. 6. With the help of both (9) and Fig. 7, it is easy verify that the low frequency drain current of circuits (b) and (c) shown in Fig. 9 is given by

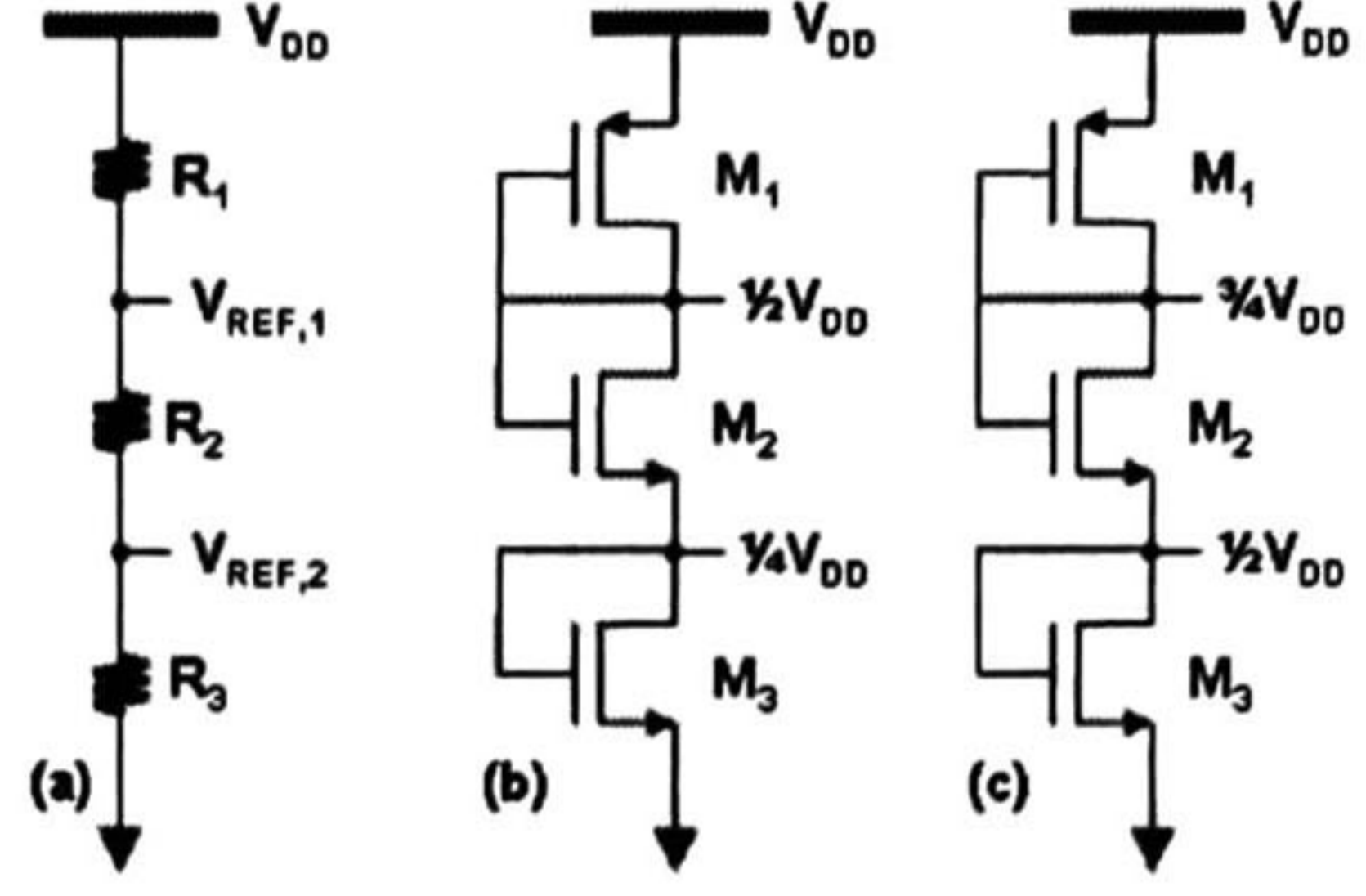


Fig. 5 Voltage divider (a) and its equivalent CMOS design (b)-(c).

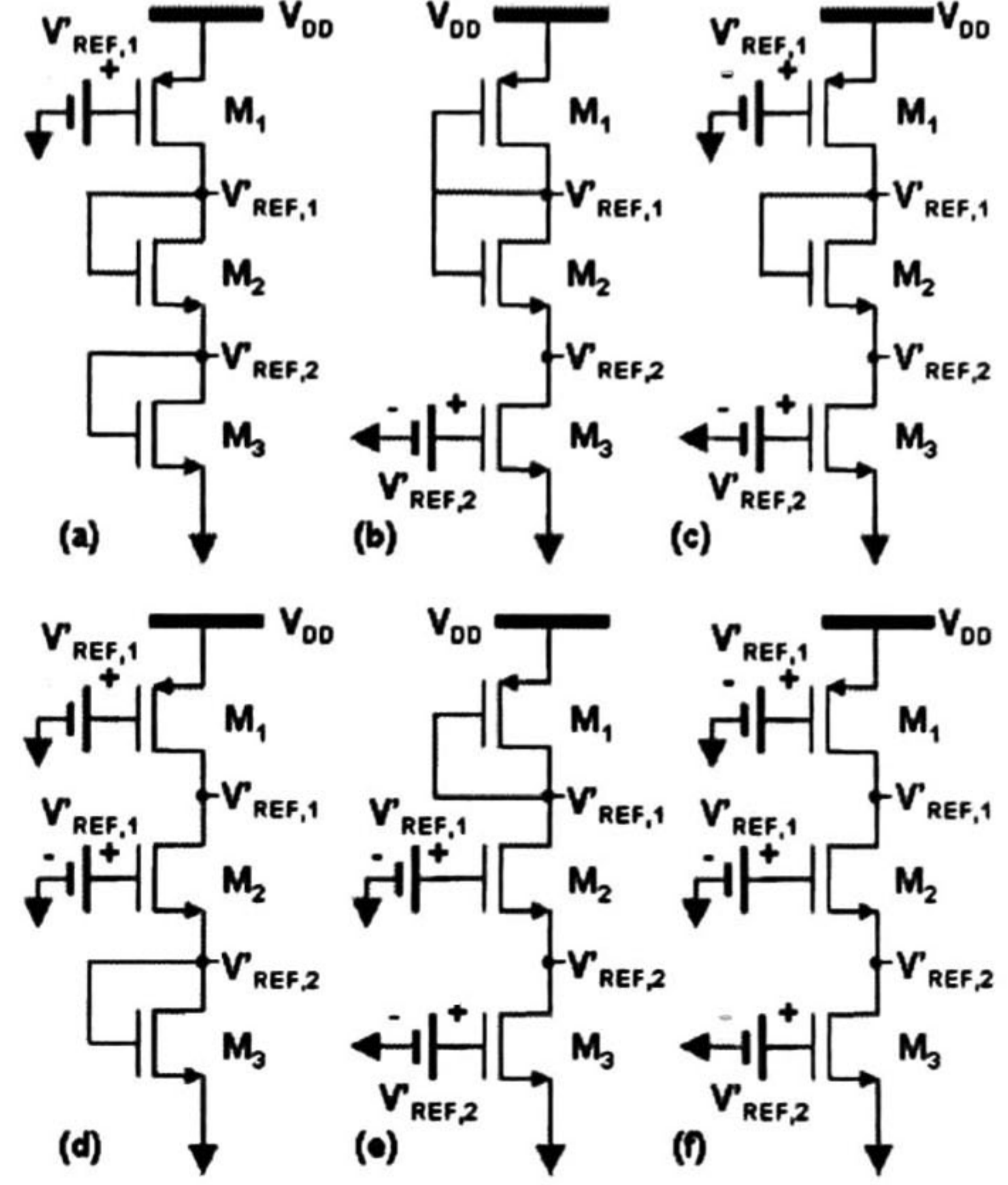


Fig. 6. Configurations showing identical OP conditions.

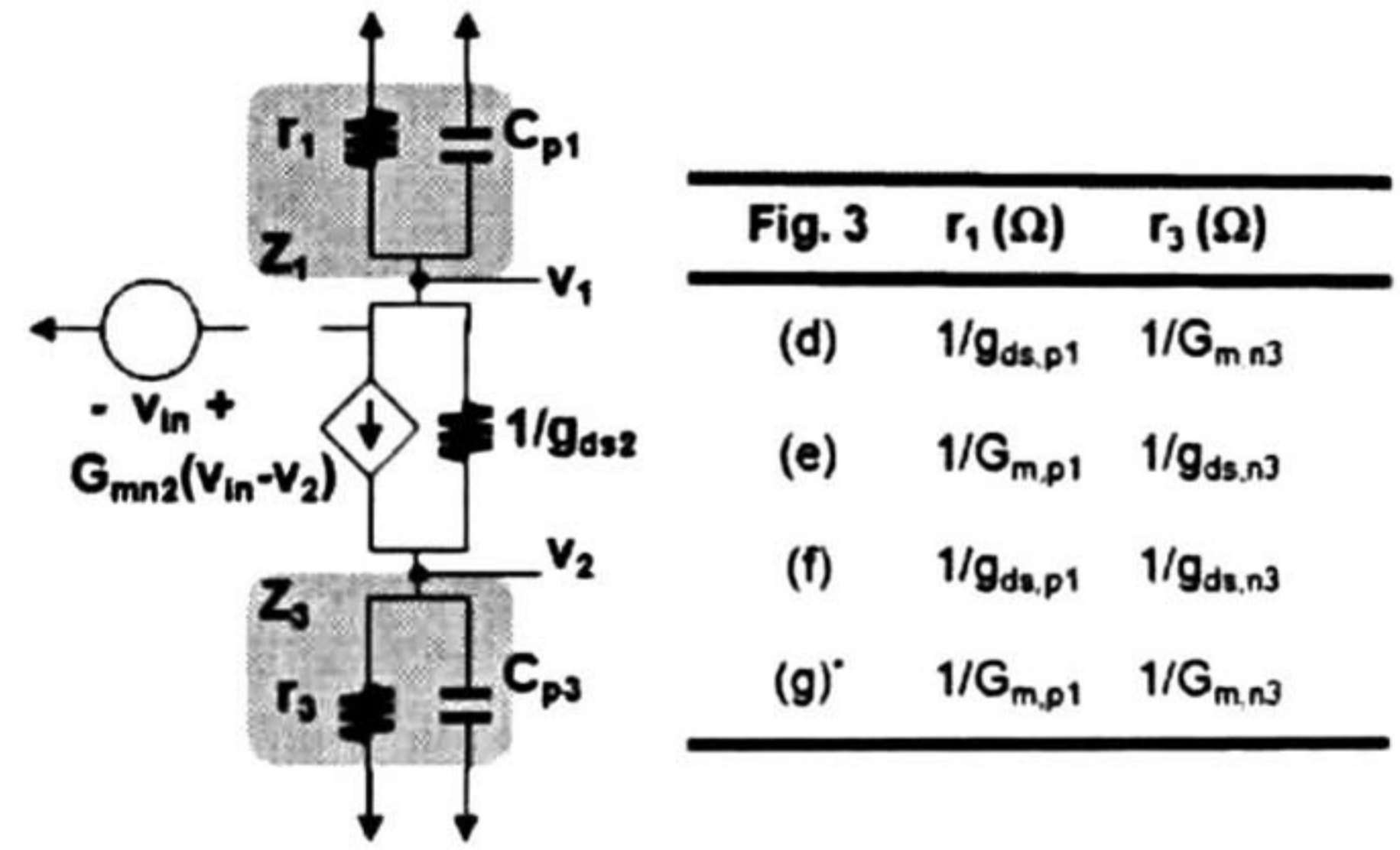


Fig. 7. Small-signal equivalent circuit of the circuit shown in Fig. 3. The nature of the resistive loads is indicated.

$$i_{d,2(b)} = 2KP_{n2} \left( \frac{W}{L} \right)_2 (V_{GS,2} - V_{T,n2}) (v_{in,2(b)} - v_{2(b)}) \quad (13)$$

and

$$i_{d,2(c)} = 2KP_{n2} \left( \frac{W}{L} \right)_2 (V_{GS,2} - V_{T,n2}) (v_{in,2(c)} - v_{2(c)}) \quad (14)$$

respectively; the circuit in Fig. 9a is for bias. The differential current is then obtained by subtracting (14) from (13):

$$i_d \approx G_{m,n2} [(v_{in,2(b)} - v_{2(b)}) - (v_{in,2(c)} - v_{2(c)})] \quad (15)$$

However, for differential applications  $v_{in,2(b)} = -v_{in,2(c)}$  and  $v_{2(b)} = -v_{2(c)}$  must be satisfied. So, the solution for obtaining an expression that relates just input and output variables is by proposing  $v_{2(b)} = v_{2(c)}$ . This solution is physically equivalent to include a short-circuit connecting these nodes as Fig. 9d shows. The effect of the short-circuit is that there is an analog ground at node  $v_2$ , so (15) yields

$$i_d \approx G_{m,n2} (v_{in,2(b)} - v_{in,2(c)}) \quad (16)$$

This circuit does not alter the Ohm's law because transistors  $M_{3b,3c}$  not only drive a total current  $2I_3$ , but also they form an equivalent resistance  $\frac{1}{2}R_3$  such that  $V_{REF,2} = R_3 I_3$ . The circuit also shows that the bias of  $M_{1c}$  is supplied by  $M_{1b}$  instead of the bias circuit. This connection is because all current branches are identically biased. Then, with the help of the circuit shown in Fig. 3 it is easy to verify that the small-signal voltage at the gate of  $M_{1b}$  is given by  $v_{p1(b)} = -i_{d,2(b)}/G_{m,p1} \approx v_{in,2(b)}(G_{m,n2}/G_{m,p1})$ . This result implies that the small-signal current of  $M_{1c}$  is  $i_{d,1(c)} \approx G_{m,n2} v_{in,2(b)}$ . In a similar way, the small-signal current of  $M_{2c}$  due to the input  $v_{in,2(c)}$  is  $i_{d,2(c)} \approx G_{m,n2} v_{in,2(c)}$ . Consequently, the total current at the output node is then obtained by adding  $i_{d,1(c)}$  and  $i_{d,2(c)}$ , i.e. the result is exactly (16). Also with the help of the equivalent circuit shown in Fig. 7, it is easy to demonstrate that the output impedance is equal to  $r_{out} = (g_{ds,p1} + g_{ds,n2})^{-1}$ , whereas the output voltage is given by

$$v_{out} = r_{out} i_{out} = \frac{G_{m,n2}}{g_{ds,p1} + g_{ds,n2}} (v_{in,2(b)} - v_{in,2(c)}) \quad (17)$$

Simulation results of the circuit shown in the Fig. 9d provide a gain  $A_0 = 39.58\text{dB}$ . As an application of this circuit, Fig. 10a depicts the symbol of the differential pair for small-signal analysis, where the external load satisfies  $r_L \ll r_{out}$ . This result implies that the output is given by

$$v_{out} = r_L i_{out} = \left(1 + \frac{G_{m,n2}}{G_{m,n3}}\right) v_{in} \quad (18)$$

where the condition  $G_m \gg g_{ds}$  was used. According to (9b) the gain should be  $v_{out}/v_{in} = 2$  however LEVEL=49 simulation results provide a gain  $k = 2.67$  and a bandwidth  $f_{3dB} = 15.8\text{MHz}$  at  $C_L = 0.5\text{pF}$ .

## VII. THE CMOS COMPATIBLE DESIGN: SYNTHESIS STAGE

Fig. 11a shows the active filter to be synthesized in a fully CMOS design. Note that the transfer function of the circuit shown in Fig. 12b is equivalent to (4) if  $R_1, R_2 \ll R_3$  is satisfied. Such condition is synthesized by the circuit shown in Fig. 6c, where  $M_2$  operates as a floating resistor. Then, (4) can be rewritten as

$$H(s) \approx \frac{k \frac{G_{m,n2}^2}{C_1^2}}{s^2 + s(3-k) \frac{G_{m,n2}}{C_1} + \frac{G_{m,n2}^2}{C_1^2}} \quad (19)$$

where  $C_1 = C_2$  was assumed.

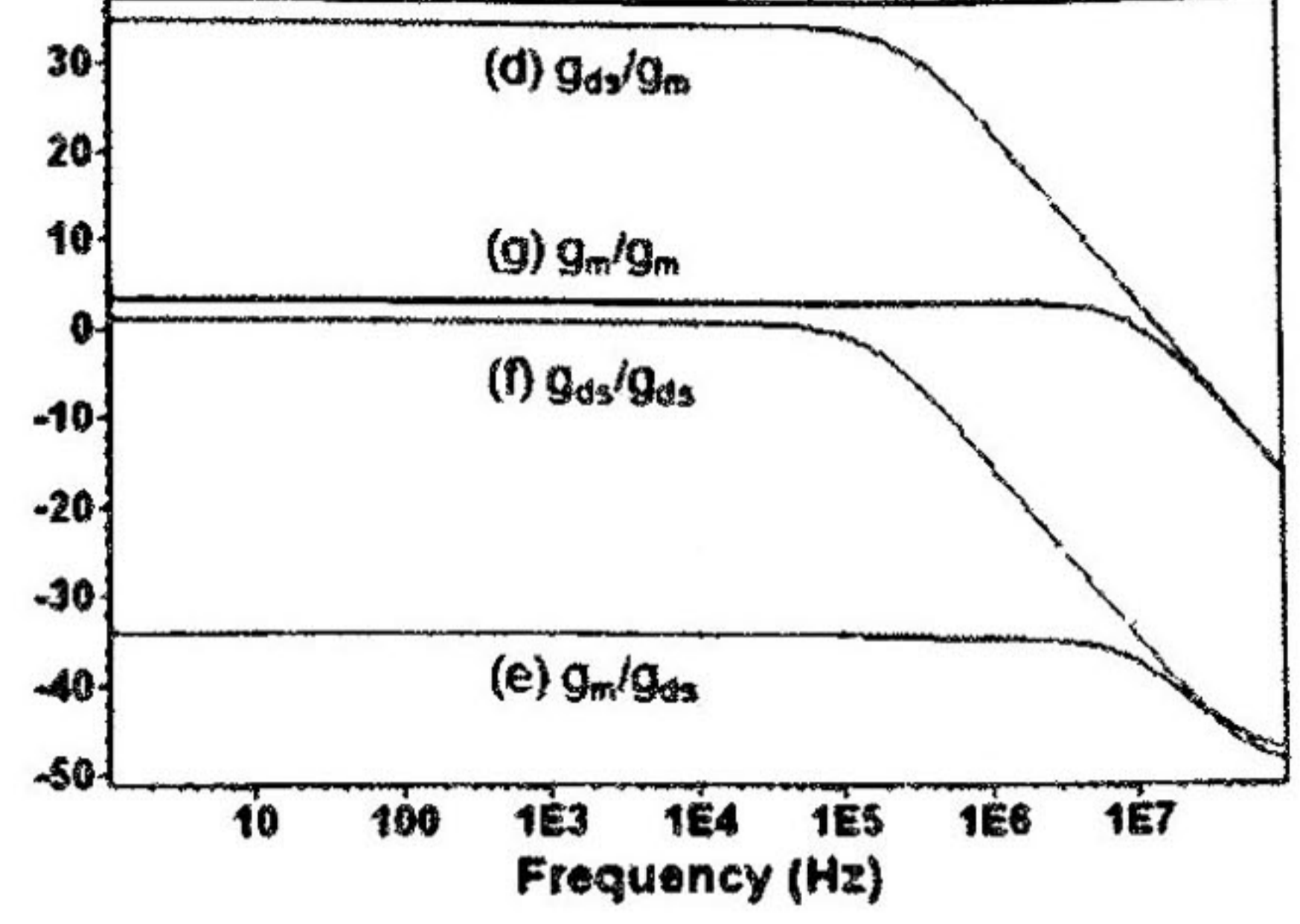


Fig. 8. Spice-simulated frequency response of the circuit shown in Fig. 3 for different resistive load array.

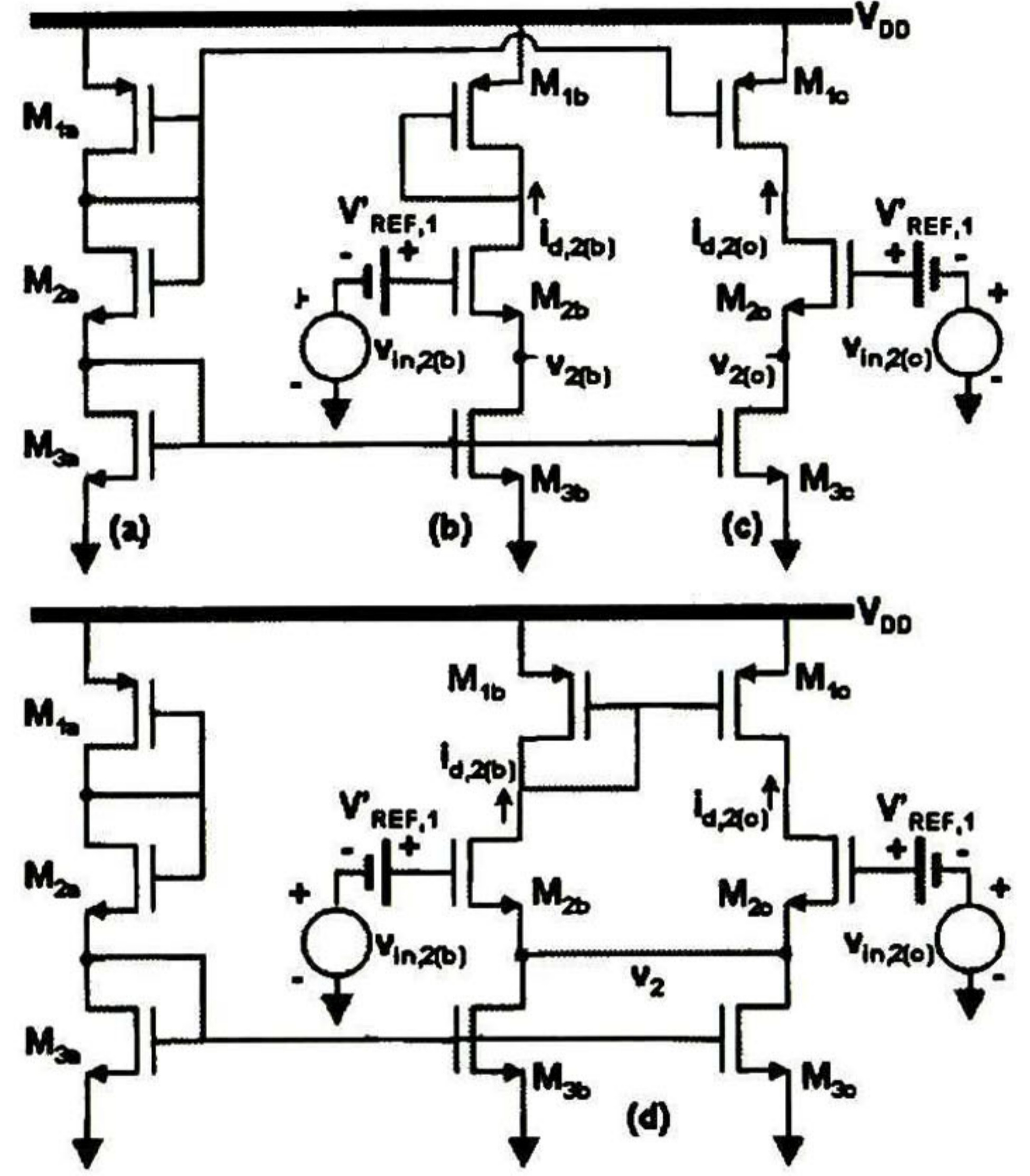


Fig. 9. The active current branch (a) and its use for analyzing a differential circuit (b)-(c). Single-ended differential pair and bias circuit (d).

Fig. 12a shows the CMOS-based 2<sup>nd</sup> order filter, where the input bias of the amplifier circuit is provided by the current branch that models the resistance  $R_1$  (at the right hand); in this design  $R_1 \approx 7.092\text{k}\Omega$ . If a gain equal to 0dB is required, the output response can be taken at the input node of the amplifier.

## VIII. THE FREQUENCY RESPONSE: SIMULATION STAGE

The gain-frequency characteristic is shown in Fig. 13 where  $f_0 \approx 1.1\text{MHz}$  at  $C_1 = C_2 = 10\text{pF}$ . This result implies a low equivalent resistance for both  $R_1$  and  $R_2$ . Now, let us suppose we need a cutoff frequency  $f_0 \leq 100\text{kHz}$ . The simple solution increases the value of both capacitances. In practice that is actually an expensive design option due to the high integration area needed to build both  $C_1$  and  $C_2$ . Then, the current branch would be designed in a custom way. In fact, the trade-offs in this design is due to the simplicity of the CMOS proposal, unfortunately an enhanced proposal can be developed also

with the help of the Ohm's law, which is in this contribution the support for introducing the analog design.

### IX. CONCLUSIONS

Since this paper is for education purposes emphasis on spice simulation was done in order to verify design specifications. A free version of T-spice, which is the software used in this paper, can be downloaded at the following [www.tanner.com](http://www.tanner.com) In practice, spice (or any other CAD tools) must be used just for corroborating the performance of the CUD. The latest, in this work, is designed according to the formal procedure described from sections II to V where the Butterworth approach was used as vehicle to describe a design flow. On the other hand, a fully-integrated CMOS filter was designed with the help of a resistive approach. Since this proposal is based on the Ohm's law, LEVEL=1 equations and LEVEL=49 simulations make to the analog design an easy handwork activity. However, the effect of parasitic on the performance of the CUD invites to all students to analyze and understand the accuracy of each math model.

Finally, since measurement/simulation results are not complete, unless they inform about accuracy, students have measured/computed the actual value of several design parameters and have also computed relative errors. The CMOS design based on the RA is part of the Analog Circuits Design I course (1<sup>st</sup> semester, Master in Science Program, at CINVESTAV-Guadalajara Unit, Zapopan, Mexico).

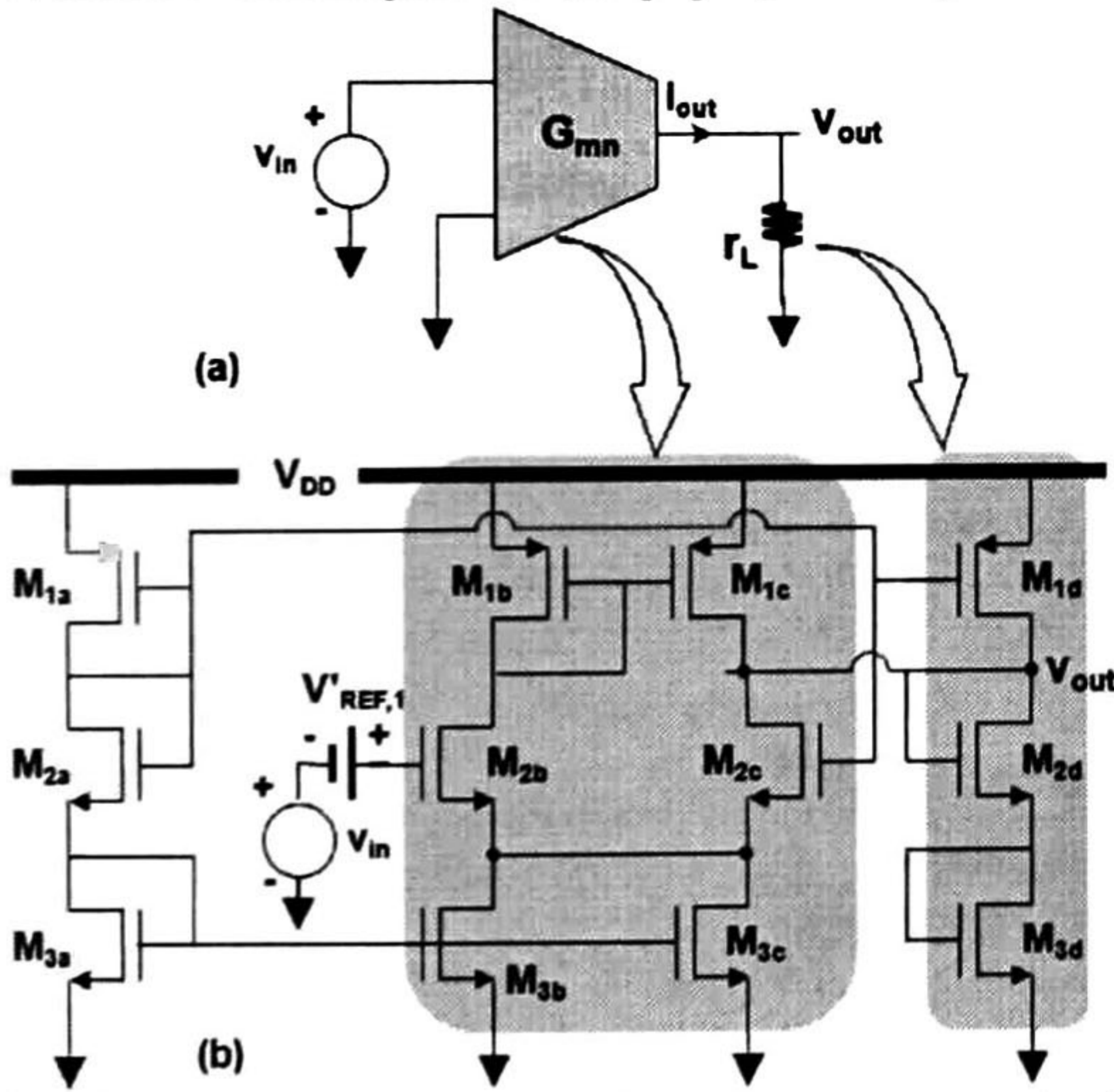


Fig. 10. The non-inverting amplifier (a) and its MOS-based configuration (b).

### REFERENCES

- [1] L. Martínez-Alvarado, F. Sandoval-Ibarra, J. Santana-Corte, "," in Proc. of Iberchip, April 2002, Guadalajara, Mexico
- [2] L. Martínez-Alvarado, Master thesis (Electrical Engineering) CINVESTAV-Guadalajara Unit (2002), Mexico
- [3] J. Forcada, *El Amplificador Operacional* (Chapter 1, Alfaomega, Mexico, 1996)
- [4] HSPICE User's manual, Chapter 7, Meta-Software Inc., 1990

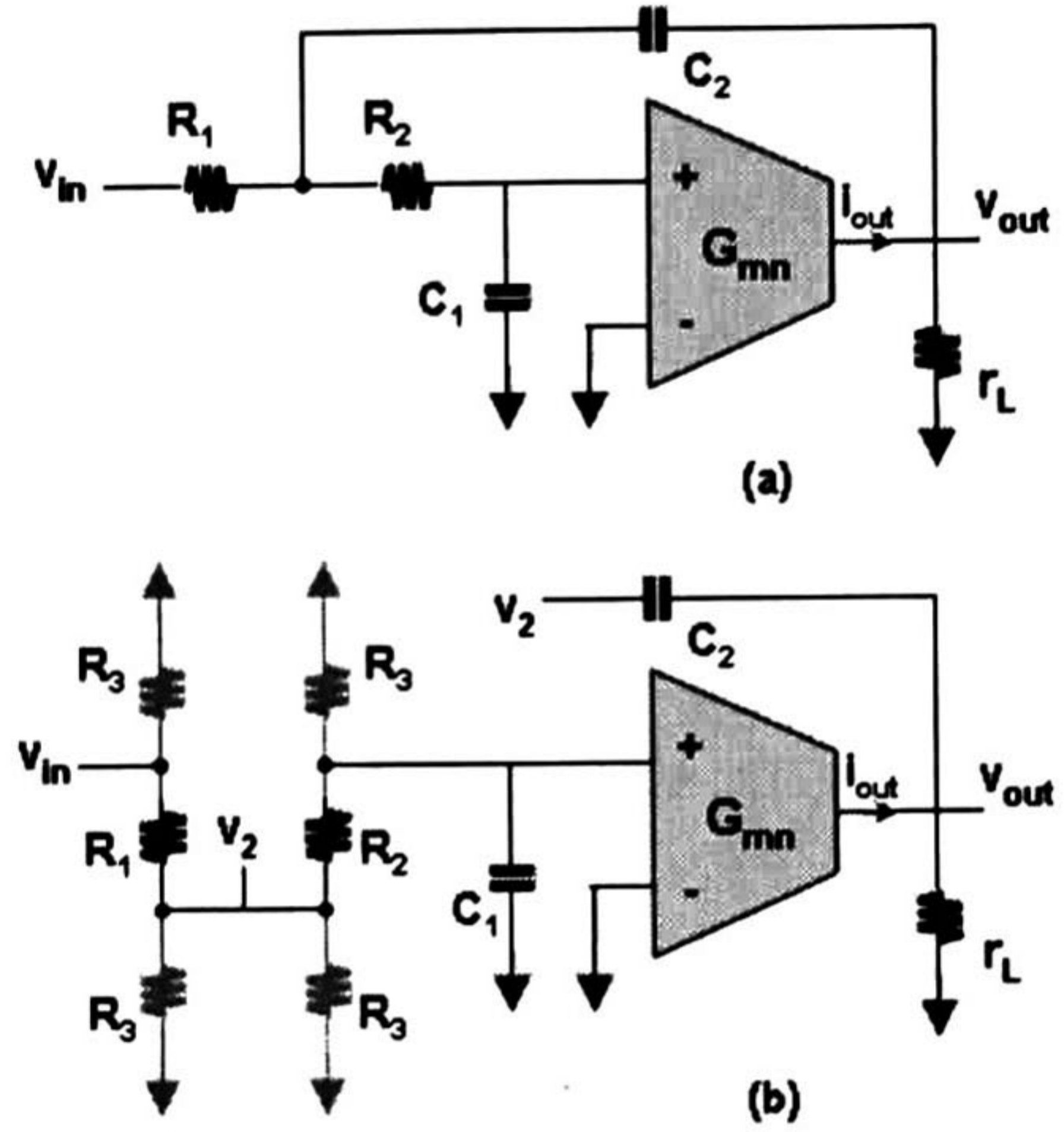


Fig. 11. Active 2<sup>nd</sup> order transfer function realization based on one differential pair (a)-(b). Both circuits are equivalent if  $R_1, R_2 \ll R_3$ .

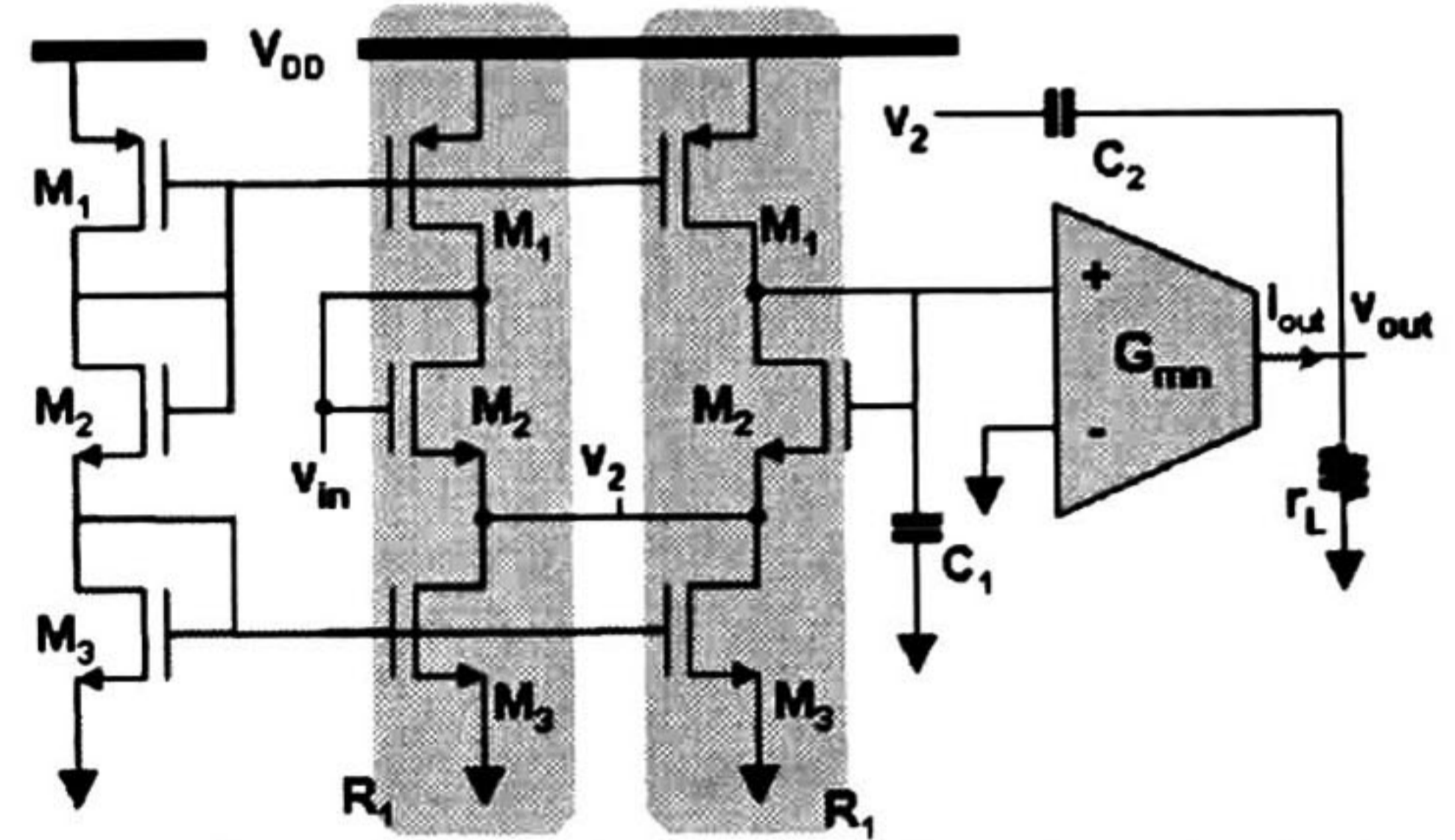


Fig. 12. The 2<sup>nd</sup> order low-pass filter based on current branches for developing the floating resistors shown in Fig. 8(b).

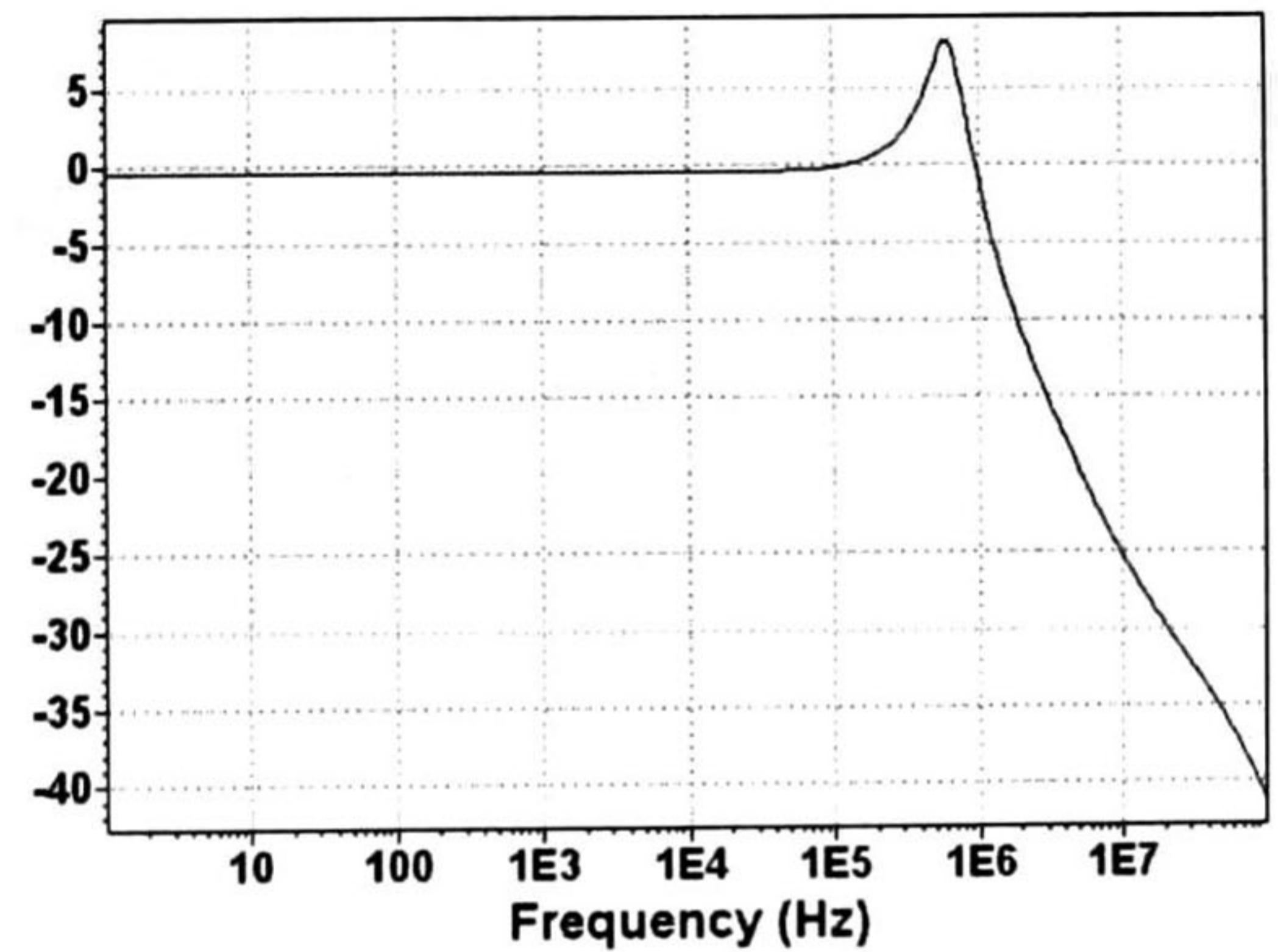


Fig. 13. Frequency response of the CMOS active filter. The load was  $C_L=0.5\text{pF}$  for simulation purposes. The output response was measured at the input node of the amplifier.

### ACKNOWLEDGMENTS

The authors would like to thank F. Gómez-Ruiz for his assistance in laboratory activities. One of the authors (J.F. R.A.) thanks CONACyT-Mexico the economical support.



# **CENTRO DE INVESTIGACIÓN Y DE ESTUDIOS AVANZADOS DEL I.P.N. UNIDAD GUADALAJARA**

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional aprobó la tesis

**Diseño de Filtros Activos CMOS para Aplicaciones de Baja Frecuencia**

del (la) C.

**Juan Francisco RAMÍREZ AGUILAR**

el día 18 de Diciembre de 2009.

**Dr. Juan Luis Del Valle Padilla  
Investigador CINVESTAV 3C  
CINVESTAV Unidad Guadalajara**

**Dr. Federico Sandoval Ibarra  
Investigador CINVESTAV 3B  
CINVESTAV Unidad Guadalajara**

**Dr. Amner Israel Ramírez Vázquez  
Investigador CINVESTAV 3B  
CINVESTAV Unidad Guadalajara**

