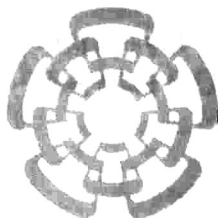




xx(104964.1)



**CINVESTAV-IPN**  
**Centro de Investigación y de Estudios Avanzados del IPN**  
**Unidad Guadalajara**

**CINVESTAV I. P. N.**  
**SECCION DE INFORMACION**  
**Y DOCUMENTACION**

**DISEÑO Y FABRICACIÓN DE UN MODULADOR SIGMA DELTA EN**  
**MODO CORRIENTE CONMUTADA DE 11 BITS PARA UN ANCHO DE**  
**BANDA DE 20 kHz**

TESIS QUE PRESENTA:

*Rosalino Rodríguez Calderón*

PARA OBTENER EL GRADO DE:

*Maestro en Ciencias*

CON ESPECIALIDAD EN:

*Ingeniería Eléctrica*

C I N V E S T A V  
I P N  
A D Q U I S I C I O N  
D E L I B R O S

GUADALAJARA, JALISCO. AGOSTO DEL 2002

CLASIF. \_\_\_\_\_  
ADQUIS. SSI-222 \_\_\_\_\_  
FECHA: 27 NOV-2002 \_\_\_\_\_  
PROCED. FCSIS-02 \_\_\_\_\_

**DISEÑO Y FABRICACIÓN DE UN MODULADOR SIGMA DELTA EN  
MODO CORRIENTE CONMUTADA DE 11 BITS PARA UN ANCHO DE  
BANDA DE 20 kHz**

*Tesis para obtener el grado de:*

**MAESTRO EN CIENCIAS CON ESPECIALIDAD EN INGENIERÍA  
ELÉCTRICA**

*Por:*

**Rosalino Rodríguez Calderón**

**Ingeniero en Electrónica, opción Electrónica de Potencia  
Instituto Tecnológico de Morelia 1995-2000**

**Becario CONACYT, No de Registro 157922**

*Directores de Tesis:*

*Martín*  
**Dr. Juan M. Santana Corte  
Dr. Federico Sandoval Ibarra**

# *Prefacio*

---

Dada la tendencia actual en la fabricación de circuitos de señal mezclada con tecnologías VLSI compatibles con procesos CMOS, existe la necesidad de técnicas robustas de conversión de datos, A/D (analógicos a digitales) y D/A (digital a analógicos), que sean poco sensibles a variaciones de los componentes, fácilmente escalables y preferiblemente constituidos por módulos reutilizables.

Los convertidores sobremuestreados A/D y D/A diseñados por medio de moduladores Sigma-Delta implementados en modo corriente conmutada 'SI' (switched-current) cumplen con tales requerimientos; por lo que, en los últimos años, este tipo de circuitos han despertado un gran interés. Desafortunadamente este tipo de circuitos ve degradada su resolución debido a las no idealidades que presentan los circuitos en SI. Debido a esto, algunos investigadores del ramo han desarrollado métodos para reducir los efectos de las no idealidades.

En este trabajo de tesis se presenta el diseño de un modulador Sigma-Delta convencional de segundo orden tipo pasa bajas SI. Iniciando en el capítulo uno con una introducción de las principales características de los moduladores Sigma-Delta implementados en SI. En el capítulo dos se hace un análisis de las no idealidades de SI tales como inyección de carga, clockfeedthrough, impedancia de entrada/salida finita, tiempo de establecimiento, ruido y desacoplamiento (mismatch); además del efecto de éstas en la celda de corriente básica, proponiendo un esquema que reduzca los efectos de las no idealidades, lo cual le permitirá al modulador Sigma-Delta mejorar su desempeño.

En el capítulo tres se presenta un desarrollo de los conceptos básicos del modulador Sigma-Delta, como su principio de funcionamiento y las ecuaciones que rigen su desempeño. En este mismo capítulo se estudian los efectos que producen las no idealidades en un

integrador en SI, bloque básico que constituye el modulador Sigma-Delta, con dicho análisis se establecen algunas ecuaciones para realizar el diseño del modulador.

Después del análisis de los conceptos básicos del modulador Sigma-Delta y de los circuitos en SI, en el capítulo cuatro se desarrolla el diseño y la simulación a nivel transistor de cada uno de los bloques que constituyen el modulador Sigma-Delta. Los integradores se implementan utilizando el esquema de compensación propuesto en la primera parte, mejorando así el desempeño del modulador.

Al final en el capítulo cinco, se muestran las mediciones obtenidas las cuales indican que la resolución alcanzada por el modulador Sigma-Delta diseñado es de 11bits, para un ancho de banda de 20kHz. También muestra una comparación de los resultados obtenidos en este trabajo con los reportados en trabajos previos, de la cual se observa que el diseño realizado presenta un buen desempeño.

Por ultimo en el capítulo seis, a partir de los resultados obtenidos se dan las conclusiones del trabajo y varias propuestas para trabajos futuros.

# *Agradecimientos*

---

*A Dios*, a quien confié mi base espiritual ya que Él siempre me guía por el buen camino.

*A mis Padres*, de quien siempre recibo el apoyo y la confianza incondicional para poder lograr cada una de mis metas. Gracias, este trabajo es dedicado a ellos.

*A mis Asesores*, el Dr. Juan Santana Corte y el Dr. Federico Sandoval Ibarra por la ayuda que me dieron para poder terminar esta investigación.

*A mis Maestros*, quienes compartieron su conocimiento conmigo.

*A CONACYT*, por la ayuda económica otorgada para poder realizar mis estudios.



# Contenido

---

<b>Prefacio</b>	<b>III</b>
<b>I Introducción</b>	<b>1</b>
<b>II Corriente conmutada</b>	
2.1 Introducción	5
2.2 Corriente Conmutada	5
2.2.1 Celda de corriente básica	5
2.2.2 Inyección de carga	6
2.2.3 Clockfeedthrough	8
2.2.4 Tiempo de establecimiento	11
2.2.5 Impedancia de entrada / salida finita	12
2.2.6 Desacoplamiento	13
2.2.7 Ruido	14
2.3 Esquema de compensación	17
<b>III Conceptos Básicos de Moduladores Sigma-Delta</b>	
3.1 Introducción	23
3.2 Modulador Sigma-Delta	24
3.2.1 Error de cuantización	24
3.2.2 Modulador sigma-delta de primer orden	26
3.2.3 Modulador sigma-delta de alto orden	29
3.3 Moduladores Sigma-Delta de segundo orden	31
3.3.1 Modulador $\Sigma$ - $\Delta$ de segundo orden	32
3.3.2 Relación señal-ruido	33

<b>IV Moduladores <math>\Sigma</math>-<math>\Delta</math> en Corriente Conmutada</b>	
4.1 Introducción	37
4.2 Modulador Sigma-Delta de Segundo Orden en SI	37
4.2.1 Integrador	38
4.2.2 Cuantizador	39
4.2.3 DAC	41
4.2.4 Generador de fases	42
4.2.5 Modulador	44
4.3 Resultados de Simulación del Modulador $\Sigma$ - $\Delta$	45
<b>V Fabricación y Caracterización del Modulador <math>\Sigma</math>-<math>\Delta</math></b>	
5.1 Introducción	47
5.2 Circuito Integrado	47
5.2.1 Generador de Fases de Reloj	48
5.2.2 Integrador	49
5.2.3 Comparador	50
5.2.4 Convertidor Analógico-Digital (DAC)	51
5.3 Modulador $\Sigma$ - $\Delta$	51
5.3.1 Desempeño del Modulador $\Sigma$ - $\Delta$	56
5.4 Aplicaciones	58
<b>VI Conclusiones y Trabajo Futuro</b>	
6.1 Conclusiones	59
6.2 Trabajo futuro	61
<b>Apéndice A</b>	62
Modulador $\Sigma$ - $\Delta$ en Simulink	
<b>Apéndice B</b>	63
Diagrama a nivel transistor del modulador $\Sigma$ - $\Delta$ diseñado	

<b>Apéndice C</b>	64
Listado en T-SPICE del modulador $\Sigma$ - $\Delta$	
<b>Apéndice D</b>	69
Publicaciones en Congresos Internacionales	
<b>Bibliografía</b>	84

# Índice de Figuras y Tablas

---

## **Figuras**

### **I Introducción**

- 1.1 Modulador  $\Sigma$ - $\Delta$  2
- 1.2 Tendencias de algunos parámetros en dispositivos CMOS 3

### **II Corriente Conmutada**

- 2.1 a) Celda de corriente de segunda generación b) Fases de reloj 6
- 2.2 Interruptores MOS en la celda de corriente 7
- 2.3 Magnitud del error  $\Delta V$  producido por la inyección de carga para diferentes valores del capacitor  $C_{gs}$  del transistor de memoria M1 8
- 2.4 a) Celda de corriente con interruptor MOS b) Fase de reloj f1 9
- 2.5 Magnitud del error  $\Delta V$  debido al clockfeedthrough para diferentes relaciones de áreas y amplitudes de  $V_{ff}$  10
- 2.6 a) Celda de corriente en la fase de muestreo b) Corriente de salida en la celda 11
- 2.7 a) Celdas de corriente en cascada b) Error debido a la impedancia finita entrada / salida 13
- 2.8 Etapa de salida de la celda de corriente 14
- 2.9 a) Celda de corriente con las fuentes de ruido b) Celda de corriente con la fuente de ruido equivalente 15
- 2.10 a) Celda de corriente compensada b) Fases de reloj 18
- 2.11 a) Capacitancia para diferentes relaciones de W/L b) Capacitancia en función del voltaje aplicado 19
- 2.12 Celda de corriente no compensada a) Voltaje  $V_{gs}$  en el transistor de memoria M1 b) Corriente de salida 22

2.13	Celda de corriente compensada a) Voltaje $V_{gs}$ en el transistor de memoria M1 b) Corriente de salida	22
<b>III Conceptos Básicos de Moduladores Sigma-Delta</b>		
3.1	Convertidor sobremuestreado	23
3.2	Diagrama a bloques del modulador $\Sigma$ - $\Delta$ de primer orden	24
3.3	a) Función de transferencia del cuantizador de dos niveles (1 bit) b) Error de cuantización	25
3.4	Densidad espectral de potencia del ruido de cuantización a la frecuencia de Nyquist y con sobremuestreo	26
3.5	PSD del ruido de cuantización a la salida del modulador de primer orden	28
3.6	Modulador Sigma-Delta de alto orden	29
3.7	Densidad espectral de potencia para moduladores Sigma-Delta de diferente orden	30
3.8	Rango dinámico para los moduladores sigma-delta de 1º, 2º y 3º orden	31
3.9	a) Diagrama a bloques del modulador $\Sigma$ - $\Delta$ de segundo orden b) Simulación	32
3.10	Integrador	34
3.11	SNR del integrador para diferentes relaciones de sobremuestreo M	35
3.12	SNR del modulador $\Sigma$ - $\Delta$ de segundo orden para diferentes relaciones de sobremuestreo M y capacitancia $C_{gs}$	36
<b>IV Moduladores <math>\Sigma</math>-<math>\Delta</math> en Corriente Conmutada</b>		
4.1	a) Diagrama del integrador b) Layout del integrador	39
4.2	Simulación del integrador para una entrada senoidal y cuadrada	39
4.3	a) Diagrama del comparador de corriente b) Layout del comparador	40
4.4	a) Función de transferencia del comparador b) Simulación en el tiempo del comparador	41
4.5	a) Diagrama del DAC b) Layout del DAC	42
4.6	Simulación del DAC	42
4.7	a) Circuito generador de fases b) Fases de reloj	43
4.8	a) Compuerta NOR b) Inversor c) Layout del generador de fases	43

4.9	Simulación de las fases de reloj	44
4.10	a) Simulación del modulador $\Sigma$ - $\Delta$ b) Layout del modulador $\Sigma$ - $\Delta$	45
4.11	a) PSD b) SNRD contra señal	46

## **V Fabricación y Caracterización del Modulador $\Sigma$ - $\Delta$**

5.1	a) Chip del modulador en el L-Edit b) Foto del chip	48
5.2	a) Generador de fases de reloj b) Fase uno y dos en el osciloscopio	49
5.3	Integrador	49
5.4	Respuesta del integrador para un entrada senoidal y una cuadrada en el osciloscopio	50
5.5	a) Comparador de corriente b) Respuesta del comparador en el osciloscopio	50
5.6	a) DAC b) Respuesta del DAC a una entrada cuadrada en el osciloscopio	51
5.7	Circuito utilizado para caracterizar el modulador $\Sigma$ - $\Delta$ fabricado	52
5.8	a) Modulador $\Sigma$ - $\Delta$ b) Respuesta del modulador $\Sigma$ - $\Delta$ a una entrada senoidal en el osciloscopio	53
5.9	Densidad espectral de potencia de la señal de salida del modulador $\Sigma$ - $\Delta$	53
5.10	a) Densidad espectral de potencia b) Relación señal ruido contra señal	54
5.11	a) SNR del integrador b) SNR del modulador $\Sigma$ - $\Delta$	56

### ***Tablas***

5.1	Mediciones obtenidas del modulador implementado y de trabajos previos	57
5.2	Comparación de las características del modulador implementado con las obtenidas en trabajos previos	57

Los circuitos analógicos han sido siempre un reto para los diseñadores al fabricarlos en tecnología de circuitos integrados. Con el aumento del nivel de integración de los circuitos se ha incrementado el deseo de implementar y reemplazar a los circuitos analógicos por circuitos digitales a causa de su robustez, facilidad de diseño y menor costo. Sin embargo, existen sólo algunos circuitos que se pueden considerar completamente digitales (memorias, microprocesadores). Actualmente la mayoría de los circuitos integrados están constituidos por los dos tipos de circuitos, analógicos y digitales; los cuales son mejor conocidos como circuitos de señal mezclada. No cabe duda de que siempre se requerirán interfaces (convertidores analógico-digital y digital-analógico) y circuitos de acoplamiento y acondicionamiento de señal (sensores, filtros, amplificadores) hacia y desde un mundo inherentemente analógico. Es por lo que se buscan y diseñan circuitos analógicos que se puedan fabricar en la misma oblea con los procesos estándares CMOS de los circuitos digitales.

Una buena alternativa para el diseño de interfaces (convertidores analógico-digital A/D y digital-analógico DAC) entre los circuitos digitales y el mundo analógico, que pueden ser utilizados en circuitos de señal mezclada, son los circuitos basados en sobremuestreo. Estos circuitos utilizan una frecuencia de muestreo mucho mayor a la de Nyquits, siendo su característica principal que cambian exactitud por velocidad, y se implementan comúnmente por medio de un modulador predictivo o por moduladores Sigma-Delta ( $\Sigma$ - $\Delta$ ). El mas utilizado es el modulador  $\Sigma$ - $\Delta$  dado que éste presenta mejor desempeño; además de tener la cualidad de presentar una alta tolerancia a variaciones de proceso debido a que el sobremuestreo relaja el diseño de los componentes que constituyen el modulador (figura 1.1). El principio de funcionamiento general del modulador  $\Sigma$ - $\Delta$  es que la retroalimentación forzará a la salida “y” a seguir a la entrada “x”, además de que el ruido de cuantización es

movido a frecuencias mayores a la de Nyquits, lo que permite alcanzar resoluciones altas utilizando componentes simples [1], como lo es un cuantizador de dos niveles. Los moduladores  $\Sigma$ - $\Delta$  pueden ser implementados en tiempo continuo o discreto, ya sea por medio de voltaje o corriente.

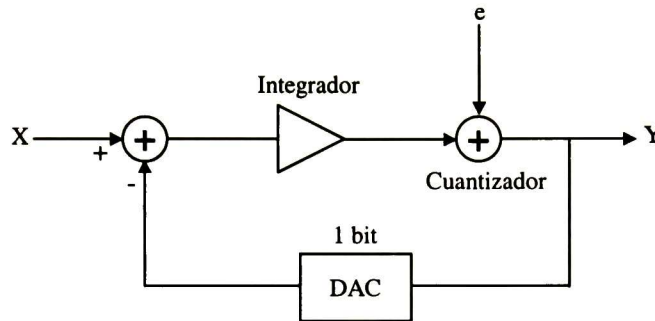


Figura 1.1. Modulador  $\Sigma$ - $\Delta$

La tendencia a la disminución del ancho de compuerta en dimensiones sub-micrométricas permite que los circuitos diseñados reduzcan su tamaño y se puedan fabricar más dispositivos en la misma oblea, obteniéndose una muy alta escala de integración (VLSI). Actualmente se pueden alcanzar frecuencias de operación más altas, dado que el retardo de compuerta es reducido, y un consumo de potencia mínimo. Adicionalmente, el costo de los dispositivos también se reduce. Pero esta reducción de las dimensiones lleva consigo efectos no deseados como portadores calientes, ruptura de óxido y velocidad de saturación de los portadores de carga (reducción de la movilidad), lo que provoca que el voltaje de alimentación tenga que ser minimizado para evitar dichos efectos [2]. En la figura 1.2 se muestra la tendencia de algunos parámetros al reducirse las dimensiones del ancho de compuerta. Los circuitos desarrollados en tecnología CMOS mantenían un estándar en la fuente de alimentación de 5V; pero, debido a la reducción de las dimensiones de los transistores se ha adoptado un nuevo estándar de 3.3V. Se espera que para tecnologías menores a  $0.5\mu\text{m}$  este sea reducido aún más, posiblemente 2.5V o 1.5V [3].

Actualmente, el diseño con capacitores conmutados 'SC' (Switched-Capacitors) es la técnica de diseño dominante; pero, con la tendencia hacia tecnologías submicrométricas y



con la reducción del voltaje de alimentación ésta se vé desfavorecida, ya que los bajos niveles de alimentación reducen su rango dinámico y consecuentemente su desempeño; aunado a esto, este tipo de circuitos requiere procesos de fabricación extras a los que se utilizan en la fabricación de circuitos digitales para poder generar capacitores lineales de alta calidad, lo que hace más costoso el proceso.

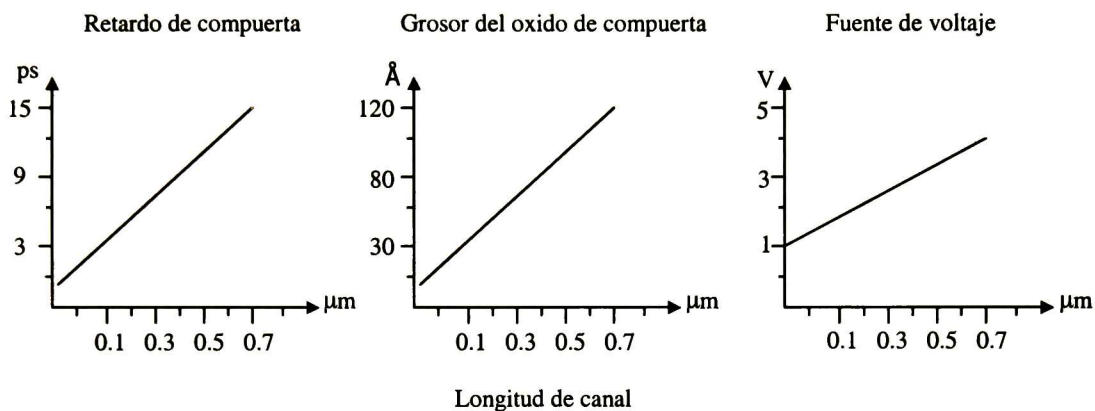


Figura 1.2. Tendencias de algunos parámetros en dispositivos CMOS

Las tendencias de la tecnología favorecen ampliamente el diseño en modo corriente, ya que en este tipo de circuitos, la señal de interés se procesa por medio de corriente y no por medio de voltaje; lo que hace al circuito casi independiente de la magnitud del voltaje de alimentación. Los circuitos en modo corriente conmutada 'SI' (Switched-Current) han ganado gran popularidad, dado que éstos se pueden fabricar en procesos CMOS de circuitos digitales, los capacitores que utilizan no deben de ser lineales y no requieren procesos extras de fabricación; esto ultimo debido a que aprovechan el capacitor que se encuentra inherente entre la compuerta y la fuente del transistor MOS. Con las características mencionadas, estos circuitos se logran en una área activa mucho menor que la de los circuitos en SC; además, pueden operar a frecuencias más altas que SC, consumen menor potencia y pueden funcionar correctamente con niveles de alimentación reducidos. Por tanto, esta técnica de diseño es un gran contendiente para remplazar la técnica de SC [4]. Sin embargo, en este modo de diseño existen no idealidades como: inyección de carga, clockfeedthrough, impedancia finita, tiempo de establecimiento, desapareamiento (mismatch), ruido térmico y ruido  $1/f$ . Estas no idealidades limitan el desempeño de los

circuitos en SI; pero, dadas las ventajas que presenta esta técnica, se han venido desarrollado diversos esquemas para compensar estas no idealidades y aun se siguen buscando mejores esquemas para mejorar el desempeño de los circuitos en SI, y con esto, poder utilizarlos en el mayor número de aplicaciones posibles.

Dadas las tendencias de la tecnología y el interés en circuitos de señal mezclada, la balanza se inclina hacia el diseño de convertidores analógico-digital (A/D) y digital-analógico (DAC) utilizando moduladores  $\Sigma$ - $\Delta$  implementados en modo corriente conmutada; ya que combinando las ventajas de ambas técnicas se espera que los convertidores alcancen un desempeño mucho mayor al logrado por otras técnicas de diseño. Actualmente, el alcance de los convertidores diseñados por medio de moduladores  $\Sigma$ - $\Delta$  en modo corriente conmutada se limita a resoluciones y anchos de banda reducidos, revocando así lo esperado. Esto es resultado de las no idealidades de los circuitos de corriente conmutada, ya que los esquemas de compensación propuestos hasta ahora no eliminan por completo los efectos producidos por dichas no idealidades

En este trabajo de tesis se examinan en el capítulo dos las no idealidades que limitan el desempeño de los circuitos en corriente conmutada; además de que se propone un esquema para compensar las no idealidades. En el capítulo tres se presentan los conceptos básicos del modulador  $\Sigma$ - $\Delta$ , así como los factores que pueden limitar su desempeño al ser implementados por medio de corriente conmutada; también se presenta el desarrollo de ecuaciones de diseño tomando en cuenta las no idealidades de SI. Una topología de modulador  $\Sigma$ - $\Delta$  se escogerá en el capítulo cuatro para ser diseñado en corriente conmutada, utilizando el esquema de compensación que se propone en el capítulo dos. Asimismo se reportan los resultados de simulación obtenidos de dicho modulador. En el capítulo cinco se presentan los resultados obtenidos de las mediciones realizadas al chip que contiene el modulador  $\Sigma$ - $\Delta$  que se diseña en el capítulo cuatro, comparando estos con los de trabajos previos. Finalmente en el capítulo seis se presentan las conclusiones del trabajo y varias propuestas para trabajos futuros.

**2.1 INTRODUCCIÓN**

El diseño de circuitos por medio de corriente conmutada presenta diversas ventajas: bajo consumo de potencia, área efectiva reducida, operación con bajos niveles de alimentación y fabricación en procesos de circuitos digitales CMOS. Todo ello cumple con las expectativas de los circuitos de señal mezclada y las tendencias de las nuevas tecnologías hacia dimensiones submicrométricas. Es por esto que a esta técnica de diseño se le considera como la posible sucesora de la técnica de diseño dominante en la actualidad, que es la de capacitores conmutados. Ya que esta última presenta problemas para las nuevas tendencias en la fabricación de circuitos integrados.

**2.2 CORRIENTE CONMUTADA**

La técnica de diseño en modo corriente conmutada (SI) se basa en muestras periódicas de corriente de la señal analógica de entrada. Estas son obtenidas por una celda de corriente básica (figura 2.1) que genera medio retardo " $z^{-1/2}$ ", del cual posteriormente se implementan los dos bloques principales del diseño en SI, como son: el retardo completo " $z^{-1}$ " y el integrador " $1/(1-z^{-1})$ "

**2.2.1 Celda de corriente básica.** La figura 2.1a muestra la celda básica de corriente de segunda generación, la cual es alimentada por las fases de reloj mostradas en la figura 2.1b. El funcionamiento de dicha celda es el siguiente: en la fase f1 los interruptores s1 y s2 son cerrados mientras que s3 permanece abierto. De este modo el flujo de la corriente de entrada  $I_i$  se suma a la de polarización ( $I_i + I_{bias}$ ) modificando el valor del voltaje  $V_{gs}$  en el capacitor  $C_{gs}$  en proporción con el valor de la corriente de entrada  $I_i$ . Durante la fase f2 los

interruptores s1 y s2 se abren y el interruptor s3 se cierra, manteniéndose el valor del voltaje  $V_{gs}$  en el capacitor  $C_{gs}$  lo cual hace fluir una corriente  $I_t + I_{bias}$  en el drenador del transistor M1. Debido a lo anterior con el interruptor s3 cerrado se tiene una corriente disponible de salida  $I_o = -I_i$ ; por lo tanto, la corriente a la salida de la celda es igual a la de entrada pero con un retardo de medio periodo de la frecuencia de muestreo. El proceso de retención de carga se puede llevar a cabo por medio de capacitores no lineales, por lo que se aprovecha el capacitor generado entre la compuerta y la fuente del transistor M1. Debido a esto, la celda de corriente puede ser fabricada en procesos VLSI de circuitos digitales.

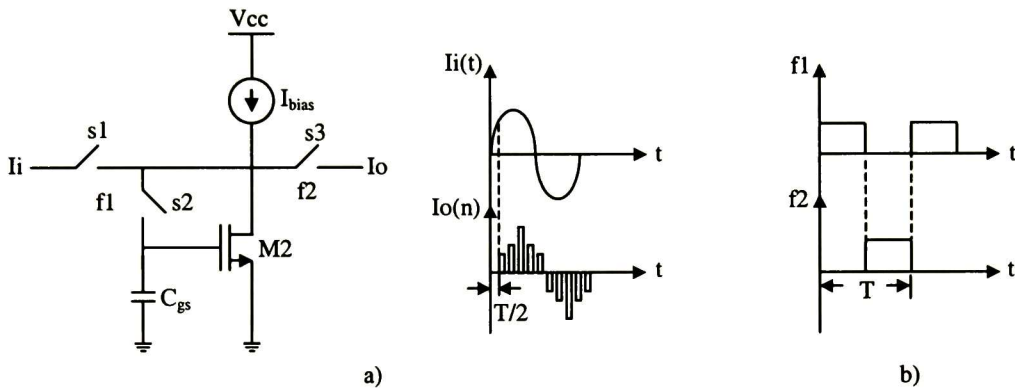


Figura 2.1 a) Celda de corriente de segunda generación b) Fases de reloj

Las fases de reloj deben de permanecer en alto un instante de tiempo un poco mayor al necesario para asegurar que la memorización de la señal de entrada se lleve a cabo de manera correcta. Esto limita la frecuencia de la señal de entrada, además de que en la practica el transistor M1 y los interruptores no son ideales provocando errores en el funcionamiento de la celda de corriente reduciendo su desempeño.

**2.2.2 Inyección de carga.** La operación de la celda de corriente se lleva a cabo en dos fases de reloj, una de muestreo y otra de retención. En la fase de muestreo los interruptores s1 y s2 de la figura 2.1a son cerrados, permitiendo que el capacitor  $C_{gs}$  sea cargado a un cierto voltaje para mantener una corriente. En la fase de retención los interruptores s1 y s2 son abiertos manteniendo el valor de voltaje establecido en la fase de muestreo; pero esto es idealmente. En la práctica, los interruptores se implementan por medio de un transistor MOS como se muestra en la figura 2.2. En el apagado del interruptor la carga Q que forma

la capa de inversión en el transistor es liberada hacia el drenador y la fuente. Una porción de esta carga es introducida en el capacitor  $C_{gs}$  del transistor M1, lo cual provoca una variación  $\Delta V_{IC}$  en el voltaje muestreado resultando en un error en la corriente de salida. Dicha variación  $\Delta V_{IC}$  en el voltaje almacenado en el capacitor  $C_{gs}$  está dada por [16]:

$$\Delta V_{IC} = \frac{1}{2} \left( \frac{Q_{s2}}{C_{gs}} \right) = \frac{1}{2} \left( \frac{(WL)_{s2} C_{ox} (V_{gs} - V_T)_{s2}}{C_{gs}} \right) \quad (2.1)$$

donde  $Q_{s2}$  es la carga en la capa de inversión del interruptor s2,  $C_{gs}$  es la capacitancia compuerta-fuente del transistor de memoria M1,  $WL$  es el área del interruptor s2,  $C_{ox}$  es la capacitancia de óxido y  $(V_{gs} - V_T)$  es el voltaje de saturación del interruptor s2.

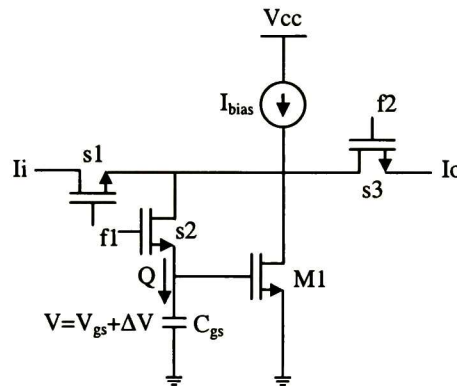
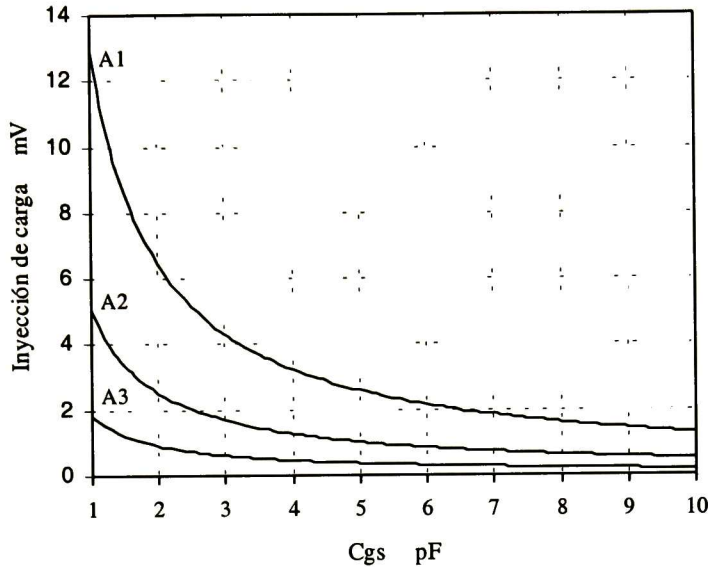


Figura 2.2 Interruptores MOS en al celda de corriente.

De la ecuación (2.1) se puede observar que reduciendo el área del interruptor, disminuyendo los voltajes de saturación y utilizando valores altos del capacitor  $C_{gs}$  se reduce el error de voltaje  $\Delta V_{IC}$  producido por la inyección de carga. En la figura 2.3 se muestra el efecto del valor del área del interruptor y del capacitor  $C_{gs}$  en el error de voltaje  $\Delta V_{IC}$ .

En años recientes se han desarrollado técnicas para compensar el error debido a la inyección de carga, utilizando interruptores complementarios (compuerta de transmisión), transistores dummy [5] multimuestreo [10] ó modificando la celda básica [6-9]. Cabe decir que, adicionalmente, se ha empleado la combinación de éstas técnicas. Es cierto que éstas reducen el error debido a la inyección de carga, pero a la vez reducen la frecuencia máxima

de operación; por tanto, existe un compromiso entre la exactitud y la velocidad de la celda de corriente.



$A=(WL)s2$      $A1= 4.8\mu\text{m} \times 4.8\mu\text{m}$      $A2= 3.0\mu\text{m} \times 3.0\mu\text{m}$      $A3= 1.8\mu\text{m} \times 1.8\mu\text{m}$

Figura 2.3 Magnitud del error  $\Delta V_{IC}$  producido por la inyección de carga para diferentes valores del capacitor  $C_{gs}$  del transistor de memoria M1

**2.2.3 Clockfeedthrough.** Al igual que la inyección de carga, el clockfeedthrough se debe a que los interruptores son implementados con transistores MOS. El acoplamiento de la señal de reloj se produce a través de las capacitancias de traslape  $C_{gdo}$  y  $C_{gso}$  mostradas en la figura 2.4a, y que están asociadas al interruptor s2 de la celda de corriente. Esto se debe al cambio de voltaje generado en las capacitancias parásitas en la transición del estado alto al bajo de la señal de reloj. Al realizarse el apagado del interruptor s2 de la figura 2.4a se produce un cambio en el voltaje de compuerta en un tiempo finito  $t_f$  como el que se muestra en la figura 2.4b. Esto genera un flujo de carga de la compuerta a la fuente y al drenador del transistor a través de las capacitancias de traslape de éste, lo cual afecta el voltaje almacenado en el transistor de memoria M1 durante la fase de muestreo; produciendo así un error en la corriente de salida en el periodo de retención de la celda de corriente.

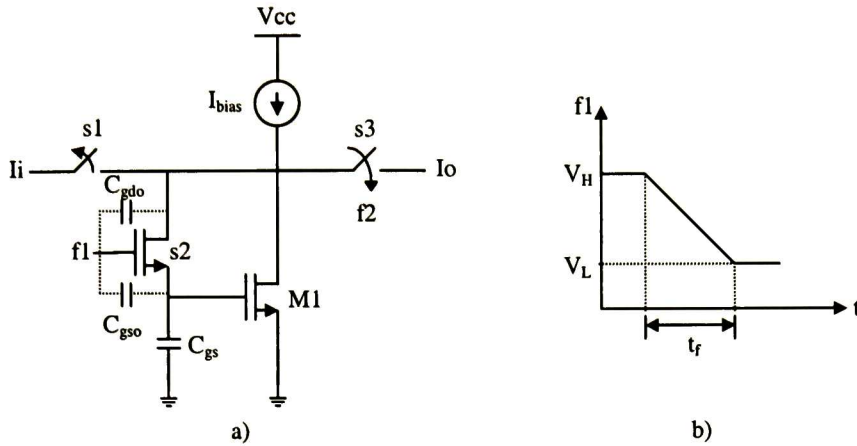


Figura 2.4 a) Celda de corriente con interruptor MOS b) Fase de reloj f1

De la figura 2.4b), el voltaje de la fase de reloj f1 en la transición del estado alto al estado bajo está dado por:

$$V_{f1} = \frac{V_L - V_H}{t_f} t + V_H \tag{2.2}$$

donde  $V_H$  y  $V_L$  son el nivel de voltaje alto y bajo respectivamente de la señal de reloj y  $t_f$  es el tiempo de la transición del estado alto al bajo de la fase f1. A partir de la ecuación (2.2) y dado que la carga en el capacitor es el producto del voltaje en el capacitor por la capacitancia, se puede obtener la siguiente aproximación de la carga en la capacitancia del transistor de memoria  $C_{gs}$  debida a la capacitancia de traslape  $C_{gso}$ :

$$Q_{ov} = -C_{gso}(V_H - V_L) \tag{2.3}$$

donde  $Q_{ov}$  es la carga debida a la capacitancia de traslape  $C_{gso}$ . De la ecuación (2.3), el error  $\Delta V_{cft}$  en el voltaje almacenado en el transistor de memoria M1 debido al clockfeedthrough es:

$$\Delta V_{cft} = -\frac{C_{gso}}{C_{gsM1}}(V_H - V_L) = -\frac{3W_{s2}L_D V_{f1}}{2(WL)_{M1}} \approx -\frac{3A_{C_{gso}} V_{f1}}{2A_{C_{gsM1}}} \tag{2.4}$$

donde  $C_{gsM1}$  y  $(WL)_{M1}$  son la capacitancia compuerta-fuente y el área respectivamente del transistor de memoria M1,  $W_{s2}$  es el ancho del transistor del interruptor s2,  $L_D$  es la difusión lateral,  $V_{fl}$  es la amplitud del pulso de reloj,  $A_{C_{gso}}$  es el área del capacitor de traslape en el transistor s2 y  $A_{C_{gsM1}}$  es el área del transistor de memoria M1. De la ecuación (2.4) se puede observar que el error de voltaje  $\Delta V_{cft}$  debido al clockfeedthrough en el voltaje almacenado por el transistor de memoria M1 puede ser reducido utilizando interruptores con una área de traslape mucho menor que la área del transistor de memoria M1 y con pulsos de reloj de amplitud pequeña. Esto se puede observar con claridad en la figura 2.5.

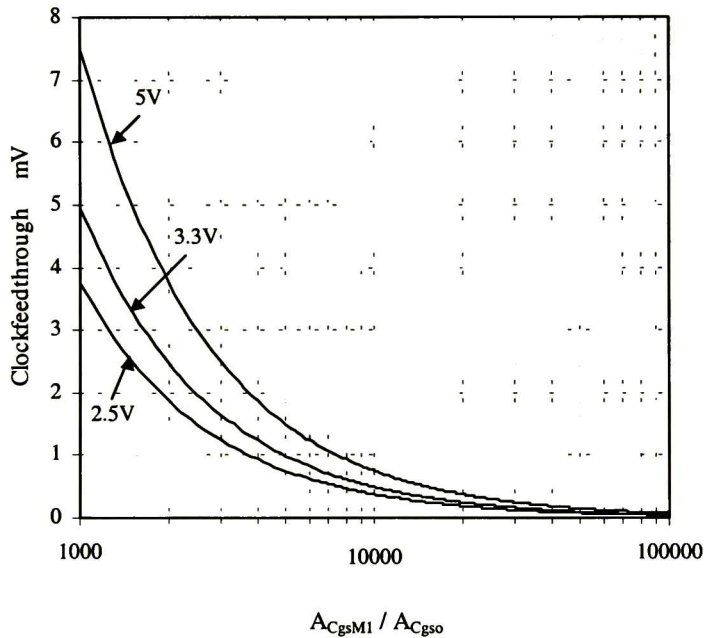


Figura 2.5 Error  $\Delta V_{cft}$  debido al clockfeedthrough para diferentes relaciones de áreas y amplitudes de  $V_{fl}$ .

Al igual que con el error de inyección de carga, el error de clockfeedthrough también puede ser reducido utilizando interruptores complementarios (compuertas de transmisión) y con transistores dummy. Además de que se han desarrollado otros esquemas para reducir dicho error [6-10,12]. Pero éstos reducen la frecuencia máxima de operación generando así el compromiso ya mencionado entre exactitud y velocidad.



**2.2.4 Tiempo de establecimiento (settling time).** La operación de la celda de corriente está basada en el muestreo de la corriente en el capacitor  $C_{gs}$  del transistor de memoria M1 para después ser retenida. Esto se realiza en un periodo de tiempo  $T$ . Si la carga del capacitor no alcanza su máximo en el tiempo en el cual el interruptor  $s2$  (figura 2.6a) permanece cerrado ( $T/2$ ) se generará un error en el voltaje almacenado, lo cual provocará un error en la corriente de salida de la celda de corriente como se ilustra en la figura 2.6b. Esto indica que la celda de corriente tiene una frecuencia máxima de operación que se debe a que ésta presenta un comportamiento en frecuencia de tipo pasa bajas.

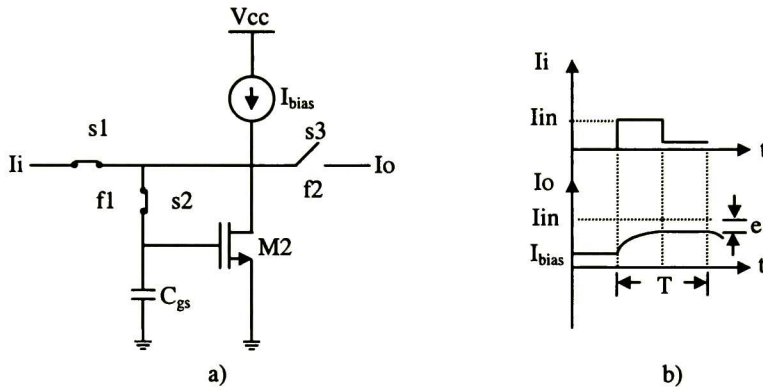


Figura 2.6 a) Celda de corriente en la fase de muestreo b) Corriente de salida de la celda

En una aproximación de primer orden, considerando que la resistencia del interruptor es mucho menor que la del transistor de memoria M1 ( $1/g_m$ ) y que la capacitancia de drenador es mucho menor a la capacitancia  $C_{gs}$ , se puede establecer una frecuencia de muestreo máxima para la celda de corriente, la cual queda determinada por la constante de establecimiento  $\tau$  generada por el valor de la capacitancia  $C_{gs}$  y la transconductancia  $g_m$  del transistor M1, dicha constante de tiempo esta dada por:

$$\tau = C_{gs} / g_{m1} = \frac{(V_{gs} - V_T)_{M1}}{2I_{bias}} C_{gs} \quad (2.5)$$

donde  $(V_{gs} - V_T)$  es el voltaje de saturación del transistor de memoria M1,  $I_{Bias}$  es la corriente de polarización y  $C_{gs}$  es la capacitancia parásita del transistor de memoria M1.

Como el transistor de memoria M1 opera en la región de saturación, la  $C_{gs}$  de este transistor puede ser aproximada por:

$$C_{gs} = C_{ox} \left( WL_D + \frac{2}{3} WL \right) \quad (2.6)$$

donde  $C_{ox}$  es la capacitancia de óxido,  $L_D$  es la difusión lateral,  $W$  y  $L$  son el ancho y largo respectivamente del transistor de memoria M1. De la ecuación (2.5) se observa claramente que para una corriente de polarización  $I_{Bias}$  dada, la constante de establecimiento puede ser reducida disminuyendo los valores de  $(V_{gs}-V_T)$  y  $C_{gs}$  (o sea, una área pequeña del transistor de memoria M1). Desafortunadamente esto provoca que los errores debidos a la inyección de carga y al clockfeedthrough se incrementen aumentando con esto la distorsión producida por dichos errores; además de que valores pequeños de  $(V_{gs}-V_T)$  y  $C_{gs}$  producen valores bajos de relación señal-ruido 'SNR' (Signal Noise Ratio) ya que ésta es proporcional a  $(V_{gs}-V_T)_{M1} \sqrt{C_{gs}}$  [15]. Por lo tanto, se deben de escoger valores de  $(V_{gs}-V_T)$  y  $C_{gs}$  tales que la celda de corriente pueda operar a la frecuencia deseada y genere el menor error posible a causa de la inyección de carga y al clockfeedthrough. Debido a lo anterior, las celdas de corriente propuestas en [7] y en [15], desarrolladas para poder operar a frecuencias altas, mantienen un error considerable en la exactitud que puede ser alto o bajo, dependiendo de la aplicación.

**2.2.5 Impedancia Entrada / Salida finitas.** Para desarrollar circuitos analógicos por medio de celdas de corriente es necesario colocar dos o más de éstas en cascada para generar retardos completos como se muestra en la figura 2.7; y, a partir de estos retardos, se pueda implementar el circuito deseado. Esto trae consigo un error de transmisión debido a que la celda de corriente presenta una impedancia de entrada y una impedancia de salida finita lo cual provoca que la transmisión de corriente entre celdas no sea del 100% [3,13]; por lo tanto existe un error de transmisión  $\varepsilon$  entre las celdas de corriente, el cual es dependiente del valor de la impedancia de entrada  $Z_{in}$  y de la impedancia de salida  $Z_o$  de dicha celda. El error de transmisión  $\varepsilon$  para la celda de corriente de la figura 2.7a está dado por la siguiente expresión, como se sigue de la figura 2.7b:

$$\epsilon = \frac{Z_{in}}{Z_o} I_i \approx \frac{g_{ds}}{g_m} I_i \tag{2.7}$$

donde  $I_i$  es la corriente de salida de la primera celda de corriente,  $g_{ds}$  y  $g_m$  son la conductancia y la transconductancia de los transistores M1 y M2, respectivamente. Para la celda de memoria de la figura 2.7 el error de transmisión  $\epsilon$  presenta un valor típico de 0.1% [3,13], el cual es un valor relativamente grande ya que si se colocan más de dos celadas de corriente en cascada el error de transmisión  $\epsilon$  se acumula por cada celda. Por lo tanto, se debe de disminuir el error de transmisión  $\epsilon$  a valores más pequeños. Esto se puede realizar reduciendo la impedancia de entrada o aumentando la impedancia de salida, lo cual se observa claramente de la ecuación (2.7).

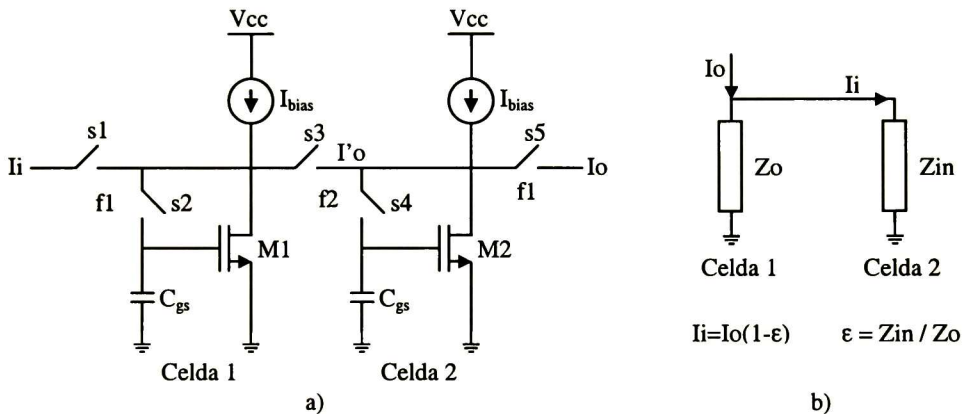


Figura 2.7 a) Celdas de corriente en cascada b) Error debido a la impedancia finita entrada / salida

La impedancia de entrada puede ser reducida utilizando un par diferencial en el lazo de retroalimentación del transistor de memoria [3] o utilizando la celda GGA (Grounded-Gate Amplifiers) [3,7]; mientras que, para aumentar la impedancia de salida se puede utilizar un arreglo cascode [3,14,15] o la celda de clase AB [3,8]. Utilizando alguno de los esquemas antes mencionados se pueden alcanzar errores de transmisión mucho menores a 0.1% de la corriente de entrada.

**2.2.6 Desacoplamiento** (mismatch). En la celda de corriente de la figura 2.1 la corriente solo esta disponible durante la fase de retención f2, pero en la mayoría de las ocasiones se

desea tener disponible la corriente en la salida en todo el periodo del tiempo. Por otra parte, en algunos circuitos que son diseñados con corriente conmutada se desea que la ganancia de la celda de corriente sea diferente de uno. Para lograr esto, a la celda de corriente se le coloca una rama de salida [3] como se muestra en la figura 2.8. Esto permite que la corriente esté presente en todo el periodo de tiempo debido al espejo formado entre M1 y M2, además variando la relación de geometrías de los transistores que forman el espejo se pueden obtener ganancias diferentes de la unidad.

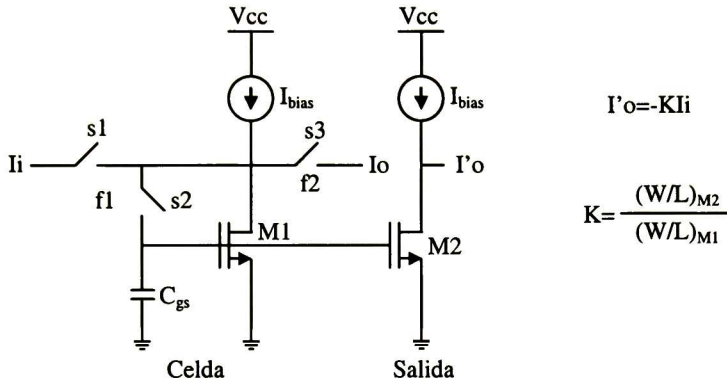


Figura 2.8 Etapa de salida de la celda de corriente

El inconveniente de colocar una rama a la salida en la celda de corriente es que se genera un error de ganancia y un offset en la corriente de salida, los cuales son producidos por el desacoplamiento entre el transistor M1 y M2, ya que pueden existir variaciones entre sus parámetros  $W$ ,  $L$ ,  $V_T$ ,  $K_p$  y  $K_n$ , cuyos valores dependen del proceso de fabricación. Estos errores se pueden disminuir utilizando procesos de fabricación modernos y algunas técnicas de layout como centroide común, celda única (división de transistores grandes); además de colocar lo mas cerca posibles los transistores M1 y M2 [3,13].

**2.2.7 Ruido.** El ruido en transistores MOS es debido principalmente al ruido térmico, el cual es generado por el movimiento térmico de los portadores en el canal y al ruido flicker asociado con la liberación y captura de los electrones en la interfase entre el silicio y el óxido. Debido a que todas las partes que forman la celda de corriente (memorización, interruptores, fuente de corriente) son transistores MOS, existe un ruido térmico y un flicker inherentes a la celda de corriente; además del que pueda traer consigo la señal de

entrada y la fuente de alimentación. Estas fuentes de ruido afectan directamente la corriente del drenador, lo cual puede ser modelado como una fuente de corriente entre drenador y fuente del transistor de memoria como se muestra en la figura 2.9b. Esta fuente combina los efectos debidos al ruido térmico y flicker.

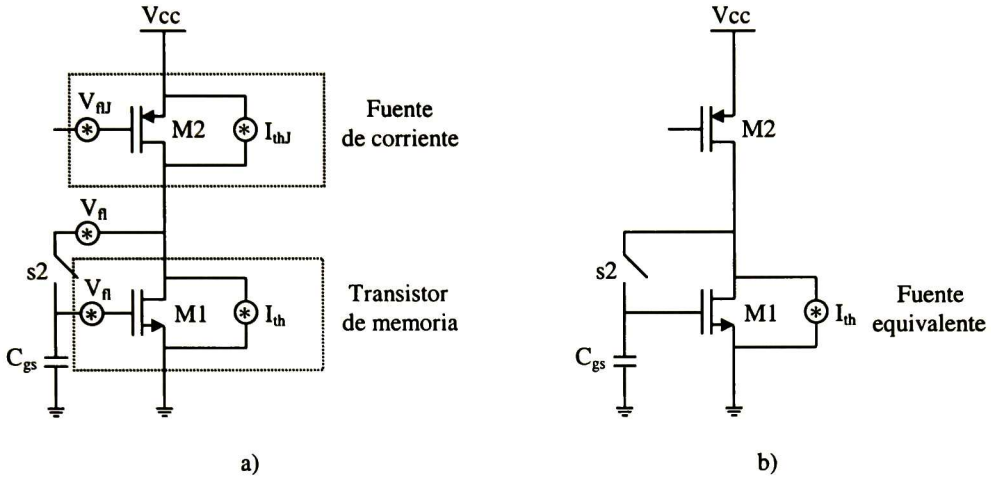


Figura 2.9 a) Celda de corriente con las fuentes de ruido b) Celda de corriente con la fuente de ruido equivalente

Cualquier transistor MOS operando en saturación presenta ruido térmico (blanco) y ruido flicker de característica  $1/f$ . El ruido térmico es modelado con una fuente de corriente  $i_{th}$ , con un valor cuadrático medio de [3]:

$$i_{th}^2 = \frac{8}{3} m_{th} K T g_m \Delta f \tag{2.8}$$

donde  $m_{th}$  es una constante del proceso de fabricación con un valor entre 1 y 2.5,  $g_m$  es la transconductancia del transistor,  $T$  es la temperatura en  $^{\circ}K$  y  $K$  es la constante de Boltzmann.

El ruido flicker se modela por medio de una fuente de voltaje  $V_n$  en la compuerta como se muestra en la figura 2.9a con un valor cuadrático medio de [3]:

$$V_{fl}^2 = \frac{K_{fl}}{WLf} \Delta f \quad (2.9)$$

donde  $W$  y  $L$  son el ancho y largo del transistor y  $K_{fl}$  es el coeficiente de ruido flicker, el cual tiene un valor típico de  $10^{-25} V^2f$ .

Dado que  $C_d/C_{gs}$  es pequeña el efecto del ruido generado por el interruptor s2 puede ser despreciado, por lo que la corriente de ruido está compuesta por el ruido térmico y por el flicker del transistor de memoria M1; así como del transistor de la fuente de polarización (J) M2. Éstos se combinan en una sola fuente de corriente, como se muestra en la figura 2.9b. Esta fuente de corriente tiene un valor cuadrático medio de:

$$i_n^2 = (i_{th}^2 + g_m^2 V_{fl}^2)_{M1} + (i_{th}^2 + g_m^2 V_{fl}^2)_J \quad (2.10)$$

y su densidad espectral de potencia 'PSD' (Power Spectral Density) es:

$$S_n(f) = \frac{i_n^2}{\Delta f} = \frac{K_{fl}}{f} \left( \frac{g_m^2}{WL} + \frac{g_{mJ}^2}{(WL)_J} \right) + \frac{8}{3} m_{th} KT (g_m + g_{mJ}) \quad (2.11)$$

Considerando que la magnitud del ruido flicker es mucho menor a la del ruido térmico ya que este se ve reducido por el proceso de muestreo (correlated double sampling process) y que la potencia del ruido térmico solo cambia en su distribución en el espectro de frecuencia, se puede despreciar el ruido flicker [3,16]. Por lo tanto la potencia del ruido en el ancho de banda BW (Band Width) generado por el polo ( $g_{m1}/C_{gs}$ ) de la celda de corriente es dada por:

$$P_n = S_n(f)BW \approx \frac{2}{3} m_{th} KT (1+A) \frac{g_m^2}{C_{gs}} \quad (2.12)$$

donde  $P_n$  es la potencia del ruido y  $A$  es la relación entre la transconductancia del transistor de la fuente de corriente M2 y la del transistor de memoria M1.

Suponiendo una corriente de entrada senoidal con una amplitud máxima  $I$  y una potencia  $P_S$  de  $m_o^2 I^2 / 2$ , la relación señal ruido (SNR) está dada por :

$$SNR = 10 \log \frac{P_S}{P_n} = 10 \log \left( \frac{3m_o^2 I^2 C_{gs}}{4m_{th} KT(1+A)g_m^2} \right) \quad (2.13)$$

Sustituyendo en la ecuación (2.13) el valor de  $g_m^2 = \frac{4I^2}{(V_{gs} - V_T)^2}$  la SNR está dada por:

$$SNR = 10 \log \left( \frac{3m_o^2 C_{gs} (V_{gs} - V_T)^2}{16m_{th} KT(1+A)} \right) \quad (2.14)$$

donde  $m_o$  es el índice de modulación,  $C_{gs}$  y  $(V_{gs} - V_T)$  es el capacitor de compuerta a fuente y el voltaje de saturación del transistor de memoria M1, respectivamente. De la ecuación (2.14) se puede observar que con valores grandes de  $C_{gs}(V_{gs} - V_T)^2$  se obtiene una mejor SNR para la celda de corriente.

### 2.3 ESQUEMA DE COMPENSACIÓN

Del análisis realizado para las diferentes no idealidades existentes en la celda de corriente, se puede concluir que se requieren valores grandes de  $C_{gs}$  y  $(V_{gs} - V_T)$ . Pero esto aumenta la constante de establecimiento de la celda, provocando así una reducción en el rango de frecuencias en el cual pueda operar dicha celda. Se establece pues claramente el compromiso existente entre la velocidad de operación y la resolución de la celda de corriente. En la figura 2.10 se muestra la celda que se propone para disminuir los efectos producidos por las no idealidades, la cual presenta un buen balance entre velocidad de operación y resolución, de modo que pueda ser utilizada en el modulador  $\Sigma$ - $\Delta$  cuya implementación se describe en el capítulo cuatro.

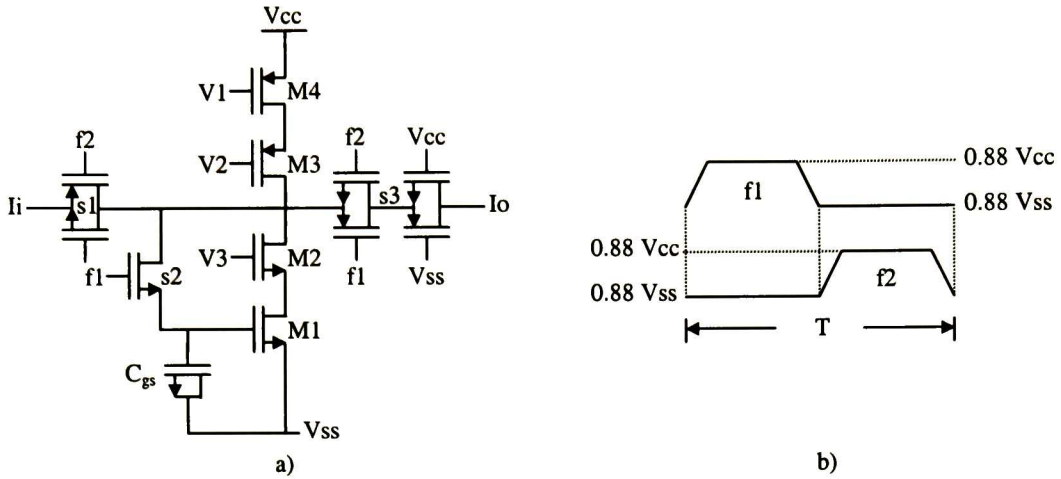


Figura 2.10 a) Celda de corriente b) Fases de reloj

La celda de corriente propuesta utiliza una relación mayor o igual a cuatro entre el área  $A_{M1}$  del transistor de memoria M1 y el área  $A_s$  del interruptor s2, considerando geometrías mínimas para el interruptor y corrientes de polarización mayores de  $50\mu A$ . Esto permite a la celda de corriente conmutar a frecuencias de cientos de MHz ya que con dicha relación se obtienen capacitancias  $C_{gs}$  del orden de  $10^{-15}F$ , además de que se produce un error de clockfeedthrough  $\Delta V_{cft}$  pequeño (unidades de mV) dado que existe una diferencia de tres ordenes de magnitud entre el área del transistor de memoria ( $A_{C_{gs}M1}$ ) y el área de traslape del interruptor ( $A_{C_{gs}o}$ ). Por otra parte, la celda de corriente utiliza un arreglo de interruptores que permite minimizar aún más los efectos producidos por la inyección de carga y el clockfeedthrough [17].

Para reducir el error debido a la inyección de carga y poder aumentar la SNR de la celda de corriente se añade el capacitor  $C_p$ , el cual puede tomar un valor mayor o igual a 1pF obteniendo SNR mayores de 12 bits y errores de inyección de carga  $\Delta V_{IC}$  pequeños (unidades de mV). Esto reduce la frecuencia de operación a decenas de MHz, por lo que el valor máximo del capacitor  $C_p$  está determinado por el ancho de banda de interés. De lo anterior se puede observar que el compromiso entre velocidad y resolución de la celda de corriente se puede modificar de una manera controlada, dado que se puede diseñar una celda



de corriente básica y después únicamente, con el capacitor  $C_p$ , variar la velocidad y la resolución dependiendo de la aplicación. El  $C_p$  se implementa con un capacitor MOS.

Considerando que el capacitor  $C_p$  de la figura 2.10a) opera en la zona de inversión fuerte, el valor de la geometría para generar un valor de  $C_p$ , se puede obtener por medio de las siguientes ecuaciones:

$$W_C = \frac{5C_p}{C_{ox}(16L_D + 8V_p L_C)} \quad (2.15)$$

$$V_p = \left( 1 - \frac{2\phi_t}{|V_{gs} - V_T| + 2\phi_t} \right) \quad (2.16)$$

donde  $C_p$  es el valor del capacitor deseado,  $C_{ox}$  capacitor de oxido,  $L_D$  es la difusión lateral,  $L_C$  y  $W_C$  son el largo y ancho respectivamente del capacitor MOS,  $V_{gs}$  es el voltaje a través del capacitor MOS y  $\phi_t$  es el voltaje térmico. En la figura 2.11a se muestra el valor del capacitor MOS para diferentes relaciones de W/L utilizando la ecuación (2.15), obteniéndose resultados similares a los de [39] y [40]. En la figura 2.11b se muestra el valor del capacitor para diferentes voltajes  $V_{gs}$  a través del capacitor MOS, resaltando de dicha figura que para los valores de voltaje  $V_{gs}$  aplicados en esta topología (mayores o iguales a 1.25V) el valor del capacitor se puede considerar constante .

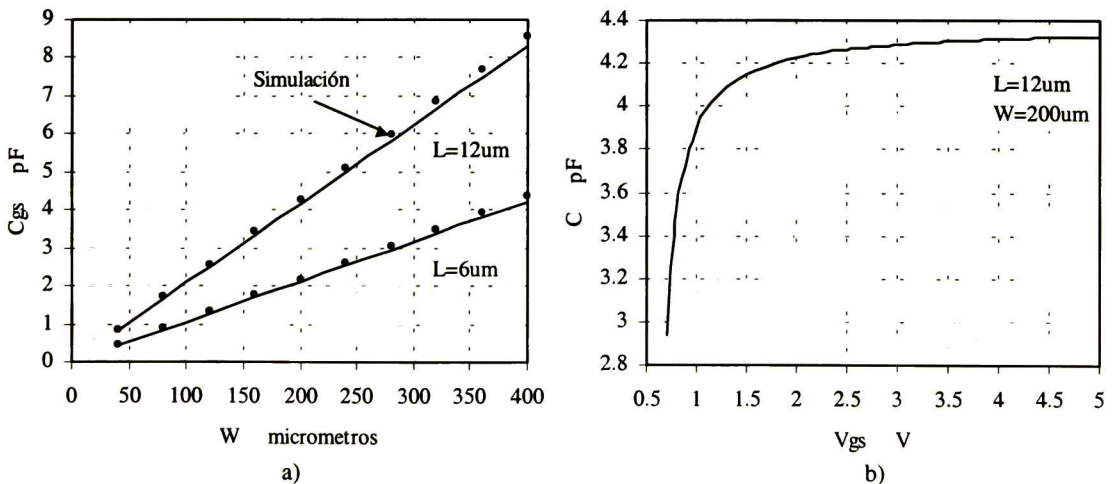


Figura 2.11 a) Capacitancia para diferentes relaciones de W/L b) Capacitancia en función del voltaje aplicado

Para compensar el error de transmisión debido a la impedancia de entrada y de salida finitas se utilizó un arreglo cascode simple, por medio del cual se aumenta el valor de la impedancia de salida por un factor de  $(g_{m2}/g_{ds2})$ . El error de transmisión  $\varepsilon$  para la celda de corriente de la figura 2.10 considerando una fuente de corriente ideal es de:

$$\varepsilon = \frac{Z_{in}}{Z_o} I_i = \frac{g_{ds2}}{g_{m2}} \left( \frac{g_{ds1}}{g_{m1}} \right) I_i \quad (2.17)$$

donde  $g_m$  y  $g_{ds}$  son la transconductancia y la conductancia respectivamente de los transistores M1 y M2 de la celda de la figura 2.10. Comparando la ecuación (2.7) con la ecuación (2.17) se puede observar que el error de transmisión se reduce por un factor  $(g_{ds2}/g_{m2})$  con respecto a la celda de corriente simple.

La celda de corriente utiliza fases no traslapadas con una amplitud de 0.88Vcc (opcional) lo cual permite que los interruptores funcionen correctamente, además de que se reduce el error  $\Delta V$  debido a la inyección de carga y al clockfeedthrough; esto de acuerdo con las ecuaciones (2.1) y (2.4).

Ejemplo: Para un valor de  $A_{M1}/A_S=22$ ,  $g_m=16\mu S$ ,  $C_{gs}+C_p=1pf$  del transistor de memoria M1,  $C_{gs0}=2 \times 10^{-17}F$ ,  $(V_{gs}-V_T)_S=1V$ ,  $(V_{gs}-V_T)_{M1}=1.25V$ ,  $V_T=0.7V$ ,  $T=300^\circ K$ ,  $K=1.38 \times 10^{-23} J^\circ K$ ,  $m_0=1$ ,  $m_{th}=1.5$ ,  $I_{bias}=10\mu A$  y  $A=3$ , los errores de la celda de corriente de la figura 2.10a debidos a las no idealidades se calculan a continuación.

De (2.1) y (2.4) el error en la corriente de salida debido a la inyección de carga y al clockfeedthrough es:

$$\varepsilon = 100x \frac{\Delta I}{I_i} = 100x \frac{g_m(\Delta V_{cft} + \Delta V_{IC})}{I_i} = 100x \frac{16\mu S(99\mu V + 1.78mV)}{10\mu A} = 0.3\%$$

La frecuencia máxima de muestro a partir de (2.5) es:

$$f_{\max} = \frac{1}{2\tau} = \frac{g_{m1}}{2C_{gs}} = \frac{16\mu S}{2(1pF)} = 8MHz$$

El valor SNR de la celda de corriente a partir de (2.14) es:

$$SNR = 10 \log \left( \frac{3(1V)1pF(1.25V)^2}{16(1.5)(1.38 \times 10^{-23} J/^{\circ}K)300^{\circ}K(1+3)} \right) = 71dB$$

El error de transmisión logrado con el arreglo cascode simple fue de  $0.0002I_{in}$  (calculado de datos de simulación). De los resultados anteriores se puede observar que la celda de corriente presenta un buen balance entre velocidad y resolución, ya que puede operar en el orden de los MHz con errores bajos debido a la inyección de carga y al clockfeedthrough, presentando pues un buen desempeño. Estos errores pueden ser reducidos aún más aumentando la corriente de polarización y la  $C_{gs}$  del transistor de memoria M1 para mantener el balance entre velocidad y resolución. Por ejemplo para una  $A_{M1}/A_S=11$ ,  $I_{bias}=100\mu A$  y  $C_{gs}+C_P=9pF$ , se obtiene un error en la corriente de salida de  $\varepsilon=0.1\%$ , una  $SNR=80.26dB$  y puede conmutar a una frecuencia máxima de 9MHz. Cabe decir, sin embargo que la corriente de polarización puede estar limitada por restricciones de consumo de potencia del circuito.

La celda de corriente se simuló en T-SPICE con y sin el esquema de compensación, con una entrada senoidal a 100kHz muestreada a 1MHz. En la figura 2.12 se muestra la simulación de la celda sin el esquema de compensación, de la cual se observa que existen variaciones grandes en el voltaje  $V_{gs}$  del transistor de memoria M1 (figura 2.12a) debido a la inyección de carga y al clockfeedthrough generándose un offset y glitches de gran magnitud en la corriente de salida (figura 2.12b). En la figura 2.13 se muestra la simulación en T-SPICE de la celda de corriente con el esquema de compensación, resaltándose que las variaciones en el voltaje  $V_{gs}$  del transistor de memoria M1 son reducidas considerablemente (figura 2.13a), de tal manera que la magnitud de los glitches en la corriente de salida se ve reducida hasta en un 90%, además de que el offset es eliminado (figura 2.13b).

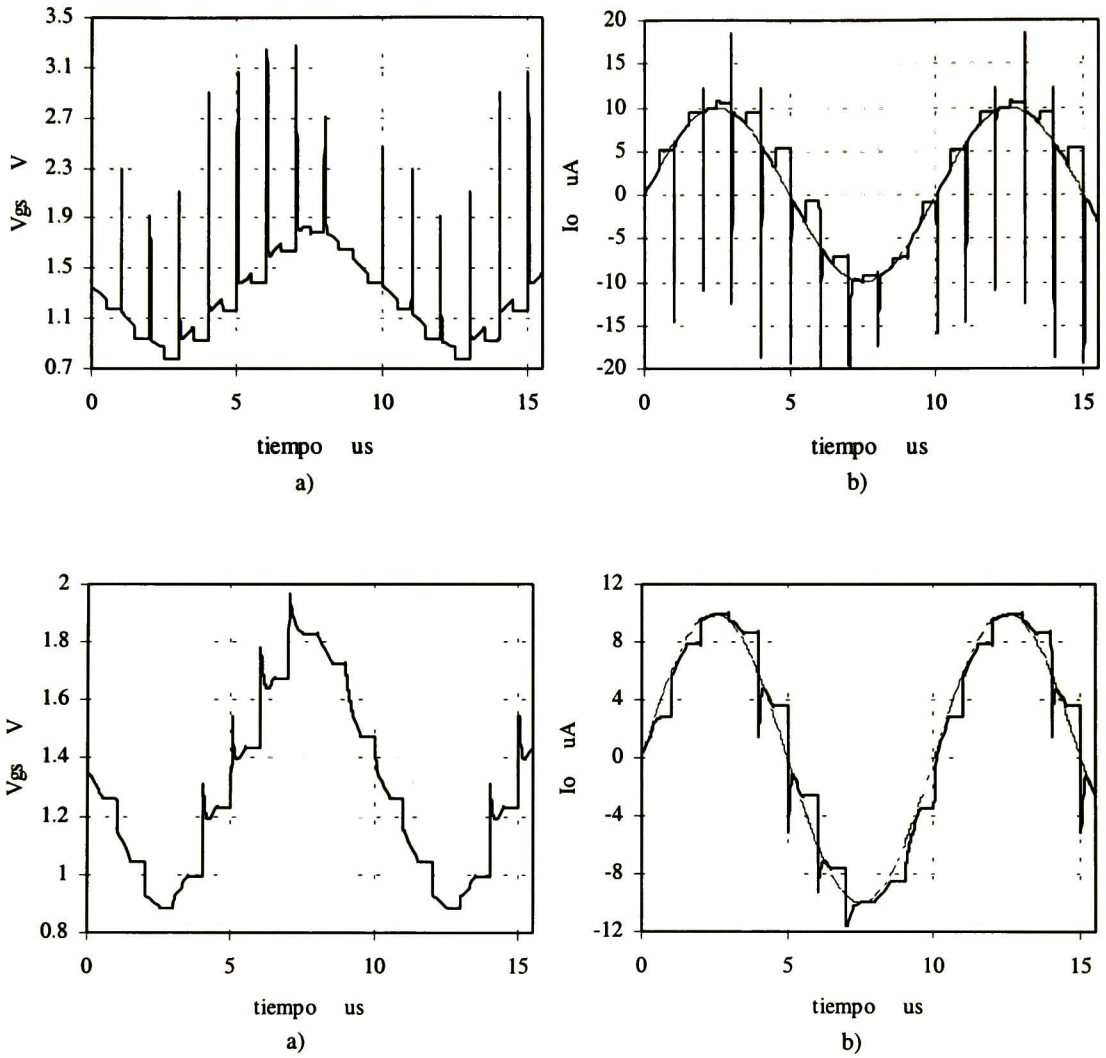


Figura 2.13 Celda de corriente compensada a) Voltaje  $V_{gs}$  en el transistor M1 b) Corriente de salida

# 3

## Conceptos Básicos de Moduladores Sigma-Delta

### 3.1 INTRODUCCIÓN

En la actualidad los convertidores analógico–digital (A/D) y digital–analógico (DAC) de alta resolución para aplicaciones de audio, voz, ISDN, instrumentación y señales sísmicas están implementados a partir de moduladores que utilizan sobremuestreo [18], en la figura 3.1 se muestra el diagrama de un convertidor sobremuestreado.

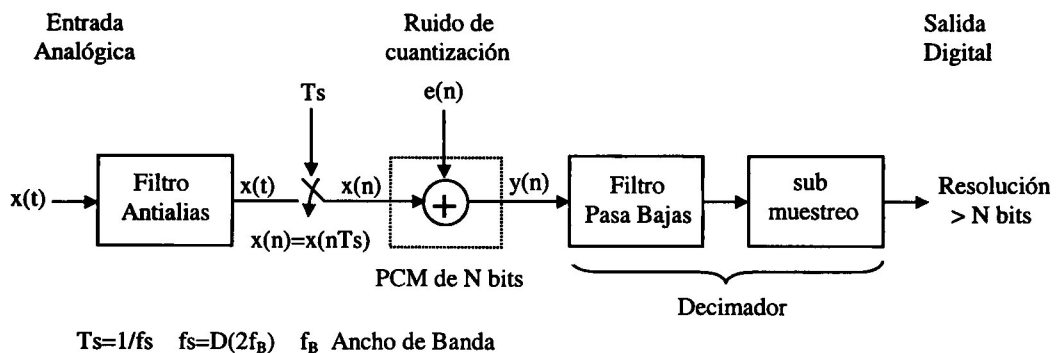


Figura 3.1 Convertidor sobremuestreado

Principalmente, existen dos tipos de convertidores sobremuestreados, los de modulador predictivo y los de modulador de ruido formado (shaping). El modulador predictivo reduce el ruido de cuantización al detectar el cambio de la señal utilizando un modulador delta. Este genera una estimación de la entrada al modulador y se resta de la entrada. El modulador de ruido generado emplea filtrado y retroalimentación negativa para mover el ruido de cuantización a las frecuencias altas, lo cual reduce el ruido en la banda base. A este modulador se le conoce como Sigma-Delta ( $\Sigma$ - $\Delta$ ). El modulador  $\Sigma$ - $\Delta$  es el más utilizado ya que presenta mejor desempeño que el modulador predictivo. En el modulador  $\Sigma$ - $\Delta$  al utilizar sobremuestreo se cambia exactitud por velocidad lo cual permite que los

circuitos que lo constituyen no tengan que ser muy precisos. El modulador  $\Sigma$ - $\Delta$  puede ser implementado por medio de circuitos de tiempo continuo o discreto; ya sea en modo voltaje o corriente, por lo que este puede ser diseñado por medio de los circuitos que cumplan las expectativas de la tendencia hacia tecnologías submicrométricas.

### 3.2 MODULADOR SIGMA DELTA

La arquitectura básica del modulador  $\Sigma$ - $\Delta$  está constituida por un integrador, un cuantizador y un convertidor digital analógico de un bit (DAC), el diagrama a bloques de éste se muestra en la figura 3.2, el cual se denomina de primer orden. La salida del cuantizador es retroalimentada por el DAC la cual se resta a la señal de entrada generando una diferencia ( $\Delta$ ) la que es integrada ( $\Sigma$ ) y después cuantizada, luego el lazo de retroalimentación permite que se genere una modulación de densidad de pulsos a la salida del modulador tratando de forzar la salida del integrador a cero. Promediando esta densidad de pulsos a la salida del modulador  $\Sigma$ - $\Delta$  se obtiene una estimación de la señal de entrada. Por lo tanto el modulador Sigma-Delta trata de forzar a que el valor de la salida  $y(n)$  sea igual al valor de entrada  $x(n)$ . Esta configuración forma una retroalimentación fuertemente negativa y de alta ganancia lo que da una buena linealidad, minimizando los efectos del deterioro de los componentes lográndose una buena estabilidad.

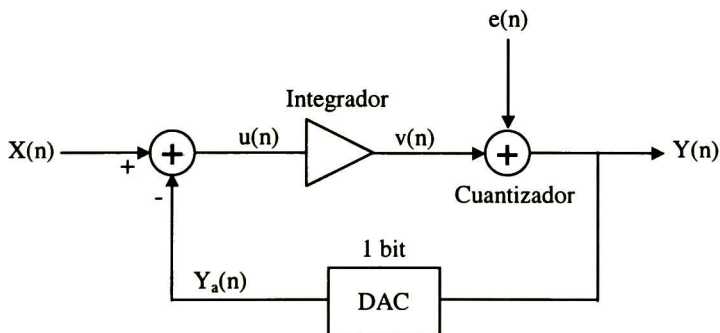


Figura 3.2 Diagrama a bloques del modulador  $\Sigma$ - $\Delta$  de primer orden

**3.2.1 Error de cuantización.** El error de cuantización  $e(n)$  está definido como la diferencia del valor en la entrada del cuantizador y el valor de salida. El error de cuantización puede

ser representado como una fuente de ruido blanco decorrelacionado. Esto presupone que la señal de entrada varía en un rango muy amplio de niveles de cuantización, que el número de estos es grande, que el cuantizador no se sature y que la densidad de probabilidad de la amplitud de la señal sea uniforme [1].

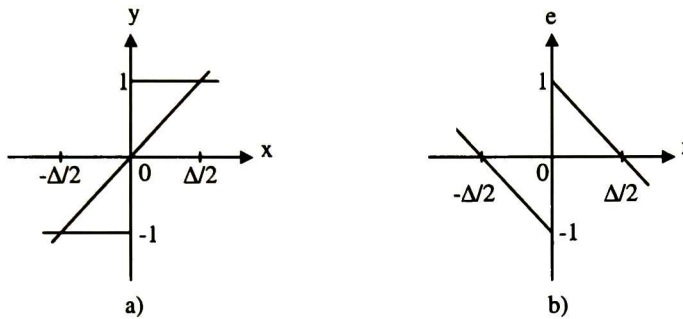


Figura 3.3 a) Función de transferencia del cuantizador de dos niveles (1 bit) b) Error de cuantización.

Suponiendo el error de cuantización como ruido blanco, el valor cuadrático medio de éste está dado por:

$$\overline{e^2} = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (3.1)$$

Cuando la señal se muestrea a una frecuencia  $f_s$ , la potencia del ruido se extiende dentro de la frecuencia de muestreo y la densidad espectral de potencia  $E(f)$  está dada por:

$$E(f) = \frac{\Delta^2}{12} \frac{1}{f_s} \quad (3.2)$$

Debido a que el ruido se extiende dentro del ancho de banda de muestreo con relaciones altas de sobremuestro, la mayoría del ruido se encontrará fuera de la banda base y la potencia de este ruido dentro del ancho de banda de la señal es:

$$n_b^2 = \int_{-f_b}^{f_b} E(f) df = \frac{\Delta^2}{12} \frac{2f_b}{f_s} = 2 \frac{\overline{e^2}}{M} \quad (3.3)$$

donde  $f_b$  es el ancho de banda,  $f_s$  es la frecuencia de muestreo y  $M$  es la relación de sobremuestreo, establecida por la siguiente expresión en la que  $f_N$  es la frecuencia de Nyquist.

$$M = \frac{f_s}{f_N} \tag{3.4}$$

De la ecuación (3.3) se observa que el ruido medio de cuantización dentro de la banda base se reduce con el aumento de la relación de sobremuestreo  $M$ , incrementando con esto la relación señal-ruido (SNR). En la figura 3.4 se observa que debido a la expansión del ruido en un rango mayor de frecuencias, la potencia del ruido en el ancho de banda de la señal es menor, encontrándose el resto fuera de dicho ancho de bandan en donde se puede atenuar con un filtro pasa bajas a la salida del cuantizador como se muestra en la figura 3.1.

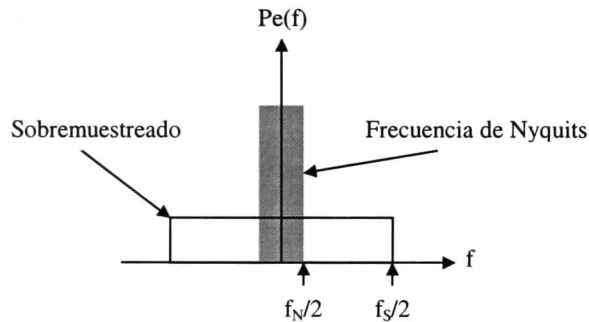


Figura 3.4 Densidad espectral de potencia del ruido de cuantización a la frecuencia de Nyquits y con sobremuestreo.

**3.2.2 Modulador sigma-delta de primer orden.** Suponiendo que el DAC de la figura 3.2 es ideal, éste se reemplaza por una función de transferencia unitaria. Con esto la salida del modulador es:

$$Y(z) = X(z)z^{-1} + E(z)(1 - z^{-1}) \tag{3.5}$$

De la ecuación (3.5) se observa que la salida es una versión retardada de la entrada más el ruido de cuantización multiplicado por un diferenciador de primer orden en el dominio de  $z$  o un filtro pasa altas. Debido a éste, el ruido en el ancho de banda que contribuye a la



resolución finita del modulador es atenuado, mientras que el ruido fuera de la banda es amplificado.

Esto se puede observar por medio de la densidad espectral de potencia (Power Spectral Density PSD ) del ruido  $N(f)$  del modulador. De la ecuación (3.5) se tiene que:

$$N(z) = E(z)(1 - z^{-1}) \tag{3.6}$$

Sustituyendo  $e^{j\omega T}$  por  $z$  en la ecuación (3.6) y combinando a ésta con la ecuación 3.2 se tiene que la PSD está dada por:

$$N(f) = E(f) |1 - z^{-1}|^2 = \frac{\Delta^2}{12} \frac{1}{f_s} \left( 2 \sin \left( \pi \frac{f}{f_s} \right) \right)^2 \tag{3.7}$$

Integrando la densidad espectral de potencia del ruido  $N(f)$  se obtiene la cantidad del ruido de cuantización en el ancho de banda  $f_N$  de la señal, el cual es:

$$n_b^2 = \int_{-f_N}^{f_N} N(f) df \approx \frac{\pi^3}{3} \frac{\Delta^2}{12} \left( \frac{f_N}{f_s} \right)^3 \quad \frac{1}{M} \ll 1 \tag{3.8}$$

De la ecuación (3.8) se observa que entre mayor sea la relación de sobremuestreo  $M$  menor será la potencia del ruido dentro de la banda de la señal, esta disminución en la potencia del ruido provoca un aumento en la SNR. En figura 3.5 se muestra la PSD del ruido de cuantización para el modulador sigma-delta de primer orden, en la cual se observa la característica pasa altas para el ruido como se mencionó anteriormente.

La SNR y la resolución de los ADC están relacionadas directamente. Una se expresa en dB y la otra en bits, existiendo una relación de 6dB por cada bit por lo que a partir de la SNR del modulador  $\Sigma$ - $\Delta$  se puede especificar la resolución de un ADC. Otro aspecto importante en los ADC es el rango dinámico ‘DR’ (Dynamic Range) el cual es una medida del rango de la señal de entrada en el que se produce una SNR positiva.

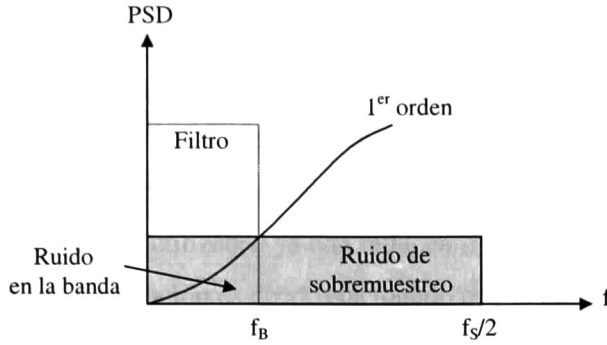


Figura 3.5 PSD del ruido de cuantización a la salida del modulador de primer orden.

Por definición el DR es la relación de la potencia de salida para una entrada senoidal, a plena escala, con la potencia de salida para una entrada senoidal cuyo SNR sea uno (0 dB). De esto se observa que el DR es el valor máximo de la SNR; aunque en la practica estos pueden diferir un poco. Para una señal de entrada senoidal de amplitud máxima  $\Delta$  y potencia  $P_s$ , el DR o máxima SNR está dado por:

$$DR = \frac{P_s}{n_b^2} = \frac{9}{2\pi^2} M^3 \quad (3.9)$$

Escribiendo que la relación de sobremuestreo  $M$  es igual a  $2^r$  y sustituyéndolo en la ecuación (3.9), la máxima SNR o DR se puede escribir como:

$$DR = 9.03r - 3.41 \text{ dB} \quad (3.10)$$

De la ecuación (3.10) se puede observar que por cada doblamiento (octava) en la relación de sobremuestreo la resolución mejora 9 dB o 1.5 bits en el modulador  $\Sigma$ - $\Delta$  de primer orden. También se puede observar que la atenuación del ruido en la banda de la señal es poca, dado que si se desean resoluciones altas la relación de sobremuestreo de igual forma será muy grande; puede inclusive darse el caso en el que la frecuencia de muestreo sea tan elevada que los circuitos no puedan operar a esa frecuencia. Se tiene además que el ruido esta bastante correlacionado con la señal de entrada en el modulador Sigma-Delta de primer

orden. Esto se debe a que el ruido de cuantización es dependiente de la señal [1], dado que el estado de salida del modulador depende sólo de la salida del integrador (una variable), concentrándose el ruido en múltiplos de frecuencia (patrón de ruido periódico dependiente de la entrada) lo cual resulta en un espectro de ruido periódico. Por otra parte, el modulador regularmente utiliza un cuantizador de pocos bits. Por lo anterior, los moduladores sigma-delta de alto orden son los más utilizados ya que reducen más el ruido en el ancho de banda de la señal y el ruido de cuantización es decorrelacionado con la señal de entrada [1].

**3.2.3 Modulador sigma-delta de alto orden.** Existen diferentes formas por medio de las cuales se pueden realizar los moduladores de alto orden, las principales topologías para estos moduladores son: moduladores retroalimentados, moduladores en cascada y moduladores con cuantizadores multi-bit [1,18]. Las dos últimas topologías presentan mayor complejidad en el diseño y menor estabilidad. La topología del modulador  $\Sigma$ - $\Delta$  de alto orden retroalimentado se muestra en la figura 3.6, en la cual se colocan N integradores en cascada dependiendo del orden.

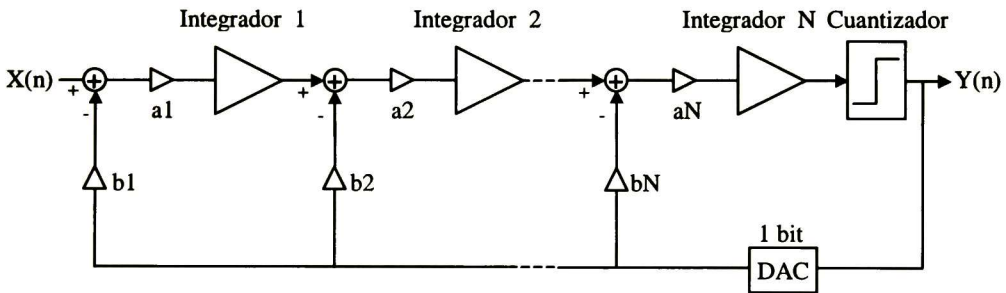


Figura 3.6. Modulador sigma-delta de alto orden.

La densidad espectral de potencia del ruido  $N(f)$  para el modulador de orden N puede ser obtenida de la misma forma en la cual se obtuvo para el modulador de primer orden. Esta PSD está dada por:

$$N(f) = E(f) |1 - z^{-1}|^{2N} = \frac{\Delta^2}{12} \frac{1}{f_s} \left( 2 \sin \left( \pi \frac{f}{f_s} \right) \right)^{2N} \quad (3.11)$$

El ruido  $n_b^2$  en el ancho de banda de la señal se obtiene integrando la densidad espectral del ruido  $N(f)$  en el rango de frecuencia de la señal, el cual es:

$$n_b^2 = \int_{-f_N}^{f_N} N(f)df \approx \frac{\pi^{2N}}{2N+1} \frac{\Delta^2}{12} \left( \frac{f_N}{f_S} \right)^{2N+1} \quad \frac{1}{M} \ll 1 \quad (3.12)$$

Las densidades espectrales del ruido de cuantización para el modulador sigma-delta de primero, segundo y tercer orden se muestran en la figura 3.7, de la cual se puede observar que entre mayor sea el orden se tendrá más atenuación del ruido dentro de la banda de la señal y lo amplificara fuera de ésta. Este ultimo puede ser eliminado por medio de un filtro digital pasa bajas como se muestra en la figura 3.1. Por lo tanto, entre mayor sea el orden del modulador se tendrá mayor atenuación del ruido y con esto un aumento en la resolución. El  $DR$  del modulador de alto orden para una señal de entrada senoidal de amplitud  $\Delta$  y potencia  $P_s$  está dado por:

$$DR = \frac{P_s}{n_b^2} = \frac{3}{2} \frac{2N+1}{\pi^{2N}} M^{2N+1} \quad (3.13)$$

Escribiendo que la relación de sobremuestreo  $M$  es igual a  $2^r$  y sustituyéndolo en la ecuación (3.13), el  $DR$  se puede escribir como:

$$DR = (6.02N + 3.01)r + 10 \log \left( \frac{3(2N+1)}{2\pi^{2N}} \right) \text{ dB} \quad (3.14)$$

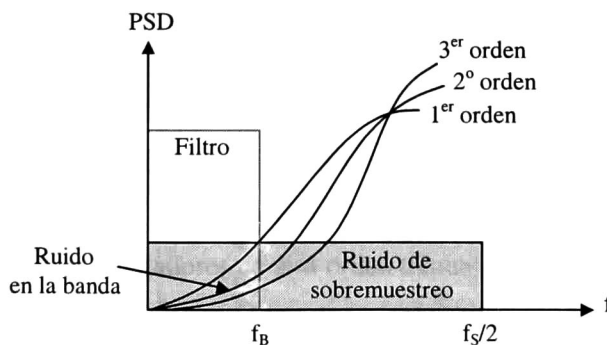


Figura 3.7 Densidad espectral de potencia para moduladores sigma-delta de diferente orden.

De la ecuación (3.14) se puede observar que la resolución en los moduladores  $\Sigma\text{-}\Delta$  de alto orden mejora por cada doblamiento (octava) de la relación de sobre muestreo en  $(6N+3)$  dB o por  $(N+0.5)$  bits, dependiendo del orden del modulador. Por lo tanto se puede observar que entre mayor sea el orden del modulador la frecuencia de muestreo será mucho menor para una resolución dada. Esto se puede observar en la figura 3.8, la cual presenta la resolución para diferentes moduladores sigma-delta con diversas relaciones de sobremuestreo  $M$ . El inconveniente de los moduladores de orden mayor a dos es que presentan una inestabilidad inherente [1,20] lo cual complica el diseño.

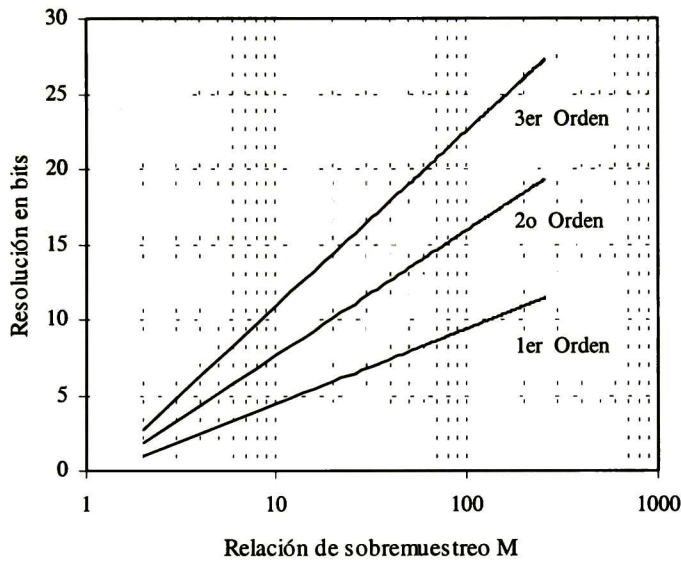


Figura 3.8 Rango dinámico para los moduladores sigma-delta de 1°, 2° y 3er orden.

### 3.3 MODULADOR SIGMA-DELTA DE SEGUNDO ORDEN

Del análisis realizado para los moduladores Sigma-Delta se observa que el modulador de primer orden tiene la arquitectura más simple, pero tiene el inconveniente de que para lograr resoluciones mayores de 10 bits son necesarias relaciones de sobremuestreo muy altas (figura 3.8); además de que el ruido de cuantización es altamente correlacionado [1,20]. Por otra parte, los moduladores de alto orden tienen su estructura más compleja pero presentan un potencial incremento en la resolución, requiriendo relaciones de sobremuestreo mucho menores conforme aumenta el orden del modulador. Esto se puede

ver en la figura 3.8. Pero existe el inconveniente de que moduladores  $\Sigma$ - $\Delta$  con más de dos integradores sufren de potencial inestabilidad debido a la acumulación de las señales grandes en los integradores [1,20].

**3.3.1 Modulador  $\Sigma$ - $\Delta$  de segundo orden.** El modulador sigma-delta de segundo orden es la configuración más utilizada ya que tiene la característica de presentar buena estabilidad y alcanzar resoluciones altas con frecuencias de sobremuestreo moderadas, además de presentar alta inmunidad a variaciones del proceso de fabricación [1,20]. En la figura 3.9a se muestra el diagrama del modulador  $\Sigma$ - $\Delta$  de segundo orden. El retardo en cada integrador permite un buen establecimiento de la señal [24]. Los valores de las ganancias ‘a’ y ‘b’ se escogieron de 0.5 y 1, respectivamente, de tal manera que ambos integradores presenten el mismo swing de señal, evitando con esto que se saturen; además, estos valores proporcionan buena estabilidad [1,24,22].

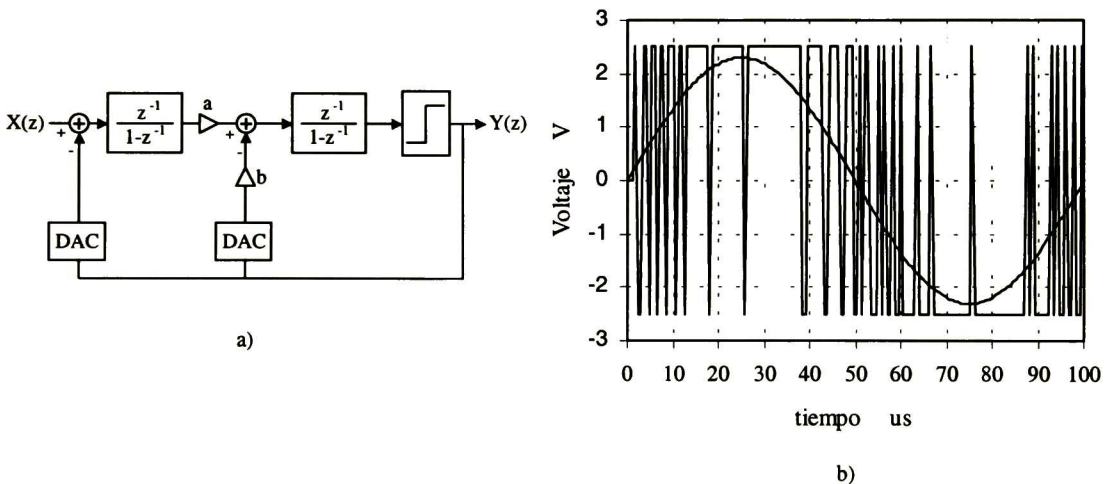


Figura 3.9 a) Diagrama a bloques del modulador  $\Sigma$ - $\Delta$  de segundo orden b) Simulación.

Para comprender mejor el funcionamiento básico del modulador  $\Sigma$ - $\Delta$ , se realizó la simulación en el dominio del tiempo del diagrama a bloques de la figura 3.9a, dicha simulación se realizó en Simulink de Matlab, el apéndice A muestra el diagrama simulado. En la figura 3.9b se muestra la respuesta para una entrada senoidal de 10kHz, de la cual se puede observar que entre mayor sea el valor de entrada la cantidad de pulsos en alto es mayor y viceversa; por lo tanto promediando estos pulsos en un periodo se tiene una

aproximación de la señal de entrada, tal como se mencionó en la sección 3.2 de este capítulo.

A partir de (3.14) el  $DR$  para el modulador  $\Sigma$ - $\Delta$  de la figura 3.9a está dado por:

$$DR = 15.05r - 11.13 \quad \text{dB} \quad (3.15)$$

Observando (3.15) se puede ver el incremento en la resolución en 15 dB o 2.5 bits por cada doblamiento de la relación de sobremuestreo, existiendo mayor atenuación del ruido de cuantización en el ancho de banda de la señal que el alcanzado con el modulador  $\Sigma$ - $\Delta$  de primer orden. De esta manera se aumenta su SNR.

**3.3.2 Relación señal-ruido.** Idealmente la SNR del modulador  $\Sigma$ - $\Delta$  de segundo orden está dada por la potencia de la señal entre la potencia del ruido de cuantización en el ancho de banda de la señal, pero en la práctica ésta se ve degradada principalmente por el ruido y la distorsión generados por las no idealidades del circuito que forman el primer integrador [20,36]. Debido a éste hecho la SNR se puede aproximar por:

$$SNR = \frac{P_s}{P_{nC} + P_{nl}} \quad (3.16)$$

donde  $P_s$  es la potencia de la señal,  $P_{nC}$  es la potencia del ruido de cuantización en el ancho de banda de la señal y  $P_{nl}$  es la potencia del ruido y la distorsión debidos a las no idealidades del primer integrador. Las no idealidades en el segundo integrador no afectan la SNR, ya que los errores producidos son atenuados en la retroalimentación [20,23]. En el caso en el cual el modulador  $\Sigma$ - $\Delta$  se diseñe por medio de corriente conmutada, las no idealidades que afectan el desempeño del modulador son la inyección de carga, el clockfeedthrough, la impedancia finita, el desapareamiento (mismatch), el tiempo de establecimiento, el ruido 1/f y el térmico. Suponiendo que existan esquemas de compensación para todas las no idealidades, como el propuesto en el capítulo dos, y que el ruido térmico sea quien produce la mayor cantidad de ruido, entonces el ruido en el

integrador es dos veces el ruido producido por la celda de corriente [31]. Esto se debe a que el integrador está formado por dos celdas de corriente como se muestra en la figura 3.10. Por lo tanto de (2.12), la potencia del ruido en el integrador está dada por:

$$P_n \approx \frac{4}{3} m_{th} KT(1+A) \frac{g_m^2}{C_{gs}} \quad (3.17)$$

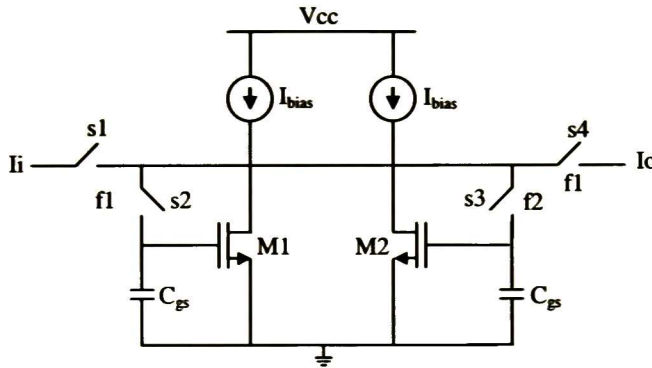


Figura 3.10. Integrador

Debido a que los moduladores  $\Sigma$ - $\Delta$  utilizan sobremuestreo, la potencia del ruido es reducida por el factor  $M$  de sobremuestreo [1,3,36] ya que solo el ruido en la banda de la señal es de interés para obtener la SNR. El ruido fuera de la banda de interés es filtrado. De acuerdo con lo anterior, la potencia del ruido en el integrador está dada por:

$$P_n \approx \frac{4}{3} m_{th} KT(1+A) \frac{g_m^2}{C_{gs}M} \quad (3.18)$$

Suponiendo una corriente de entrada senoidal con una amplitud máxima  $I$  y una potencia  $P_S$  de  $m_o^2 I^2 / 2$ , la SNR del integrador está dada por :

$$SNR = 10 \log \left( \frac{3C_{gs1} (V_{gs} - V_T)^2 M}{32m_{th} KT(1+A)} \right) \quad \text{dB} \quad (3.19)$$



Para apreciar el comportamiento de la relación señal-ruido en el integrador, la figura 3.11 muestra la SNR de éste en función de la relación de sobremuestreo  $M$  para diferentes valores de capacitancia  $C_{gs1}$ , considerando además el valor de  $(V_{gs}-V_T)_{M1}=1.25V$ ,  $V_T=0.7V$ ,  $K=1.38 \times 10^{-23}$ ,  $m_{th}=1.5$  y  $A=3$ .

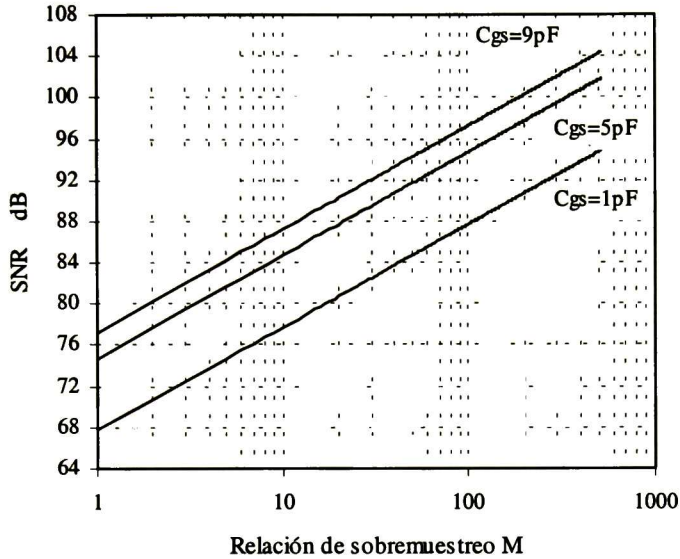


Figura 3.11 SNR del integrador para diferentes relaciones de sobremuestreo  $M$

A partir de las ecuaciones (3.12), (3.16) y (3.18), además de considerar una señal senoidal de potencia  $I^2/8$ , la SNR del modulador  $\Sigma$ - $\Delta$  de segundo orden esta dada por:

$$SNR = 10 \log \left( \frac{15C_{gs1}(V_{gs} - V_T)^2_{M1} M^5}{2\pi^4 C_{gs1}(V_{gs} - V_T)^2_{M1} + 640m_{th}KT(1 + A)M^4} \right) \quad \text{dB} \quad (3.20)$$

En la figura 3.12 se muestra la resolución del modulador  $\Sigma$ - $\Delta$  de segundo orden en función de la relación de sobremuestreo  $M$  para diferentes valores de capacitancia  $C_{gs1}$ . Para los demás parámetros se consideraron los mismos valores usados en la elaboración de la grafica 3.11.

En la figura 3.12 se puede observar que el ruido generado por el integrador afecta considerablemente la SNR del modulador  $\Sigma$ - $\Delta$ , pronunciándose cuando la resolución

deseada es muy alta; por ejemplo 96dB (16 bits). Además, se puede observar que el ruido en el integrador presenta menor efecto con capacitancias mayores en el transistor de memoria de la celda de corriente.

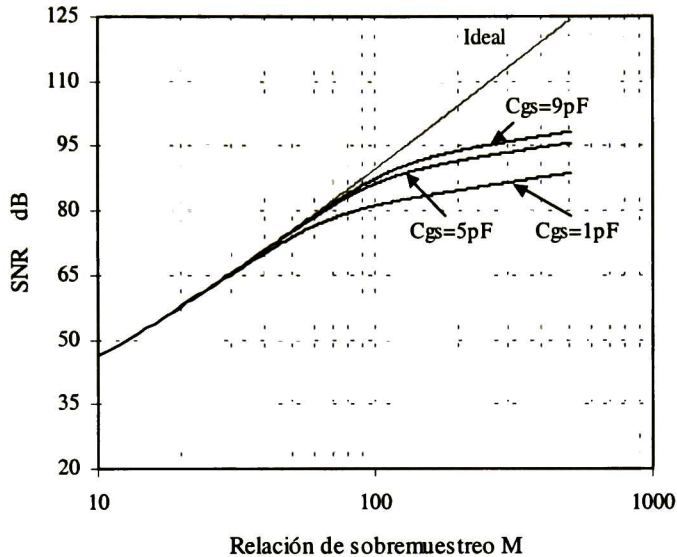


Figura 3.12 SNR del modulador  $\Sigma$ - $\Delta$  de segundo orden para diferentes relaciones de sobremuestreo  $M$  y capacitancias  $C_{gs}$ .

De las figuras 3.11 y 3.12 se puede observar que es conveniente tomar una SNR del integrador igual o de preferencia mayor a un bit que la SNR deseada para el modulador  $\Sigma$ - $\Delta$  de segundo orden; esto para compensar la degradación de la SNR en el modulador  $\Sigma$ - $\Delta$  debida al ruido en el primer integrador. Por ejemplo, tomando una relación de sobremuestreo  $M=100$  y una capacitancia  $C_{gs}=1\text{pf}$ , de la figura 3.11 y 3.12 el valor de la SNR del integrador es de 88dB y la SNR del modulador  $\Sigma$ - $\Delta$  es de 81dB aproximadamente; ahora, si se considera  $M=200$  y  $C_{gs}=9\text{pf}$ , la SNR es de 100dB para el integrador y 93dB para el modulador  $\Sigma$ - $\Delta$  aproximadamente, cumpliéndose en ambos casos la aproximación realizada.

De lo anterior, considerando las graficas 3.11 y 3.12, se puede conocer la SNR mínima que debe tener el integrador para obtener una SNR deseada en el modulador  $\Sigma$ - $\Delta$ ; además de que el integrador puede ser diseñado a partir de su SNR.

# 4

## *Modulador $\Sigma$ - $\Delta$ en Corriente Conmutada*

---

### 4.1 INTRODUCCIÓN

En la actualidad, la mayoría de los moduladores  $\Sigma$ - $\Delta$  están implementados con capacitores conmutados (SC); ya que estos presentan mejor resolución que los implementados por medio de corriente conmutada (SI). Esto se debe a la alta distorsión y al ruido generado por las no idealidades de los circuitos en SI que provocan una disminución en la SNR del modulador, lo cual puede ser observado en la ecuación 3.15. Pero, dadas las ventajas que presenta la técnica SI con respecto a la de SC, algunos investigadores en el ramo han desarrollado esquemas de compensación para reducir los efectos debidos a las no idealidades para tratar de alcanzar las resoluciones obtenidas por los moduladores en SC. Sin embargo a causa del compromiso existente entre velocidad y exactitud de la celda de corriente los moduladores  $\Sigma$ - $\Delta$  diseñados en SI, éstos presentan resoluciones moderadas y anchos de banda reducidos [22-25,29]. En este capítulo se presenta el diseño de un modulador  $\Sigma$ - $\Delta$  en SI utilizando el esquema de compensación que se propuso en el capítulo dos para el diseño de los integradores; esto a fin de aumentar la resolución del modulador  $\Sigma$ - $\Delta$  en SI.

### 4.2 MODULADOR SIGMA-DELTA DE SEGUNDO ORDEN EN SI

La topología del modulador  $\Sigma$ - $\Delta$  de segundo orden pasa bajas presenta diferentes ventajas con respecto a la de primer orden y a las de orden mayor; por tanto, en esta parte del trabajo se diseña un modulador  $\Sigma$ - $\Delta$  de segundo orden pasa bajas en SI utilizando la celda de corriente de la figura 2.10. Dicho modulador está constituido por dos integradores, un

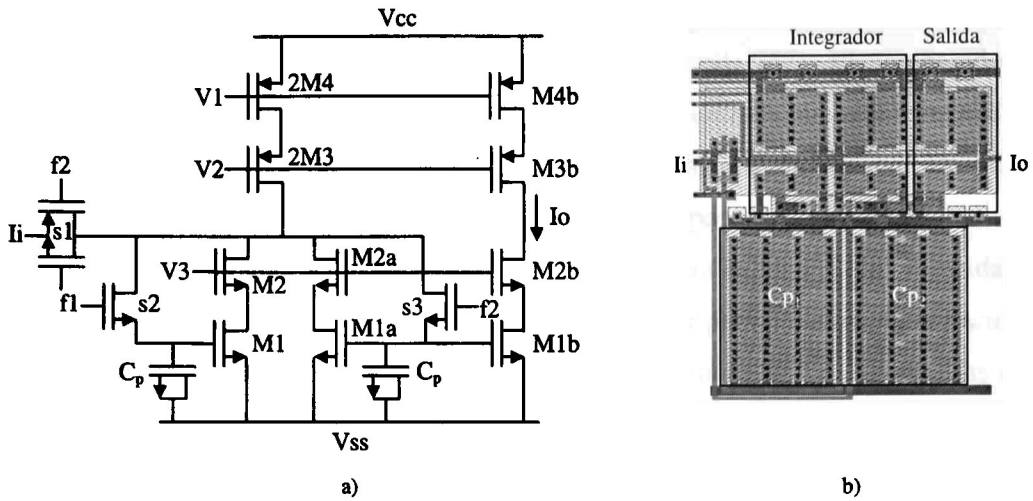
cuantizador de un bit y dos convertidores digital-analógico (DAC) de un bit, lo cual se muestra en la figura 3.9.

**4.2.1 Integrador.** Uno de los bloques que forman el modulador Sigma-Delta, quizá el más importante, es el integrador; ya que éste puede limitar el desempeño del modulador  $\Sigma$ - $\Delta$  a causa de sus no idealidades que degradan la SNR del modulador. Para reducir el efecto de las no idealidades en el integrador, éste se diseña por medio de la celada de corriente de la figura 2.10, la cual utiliza esquemas de compensación adecuados para reducir los efectos debidos a dichas no idealidades.

Para implementar el integrador se colocan dos celdas de medio retardo en cascada y se retroalimenta la salida hacia la entrada produciéndose un efecto de integrador no inversor del tipo Forward Euler. El integrador se diseñó con la ecuación 3.19 para una SNR de 86dB. En la figura 4.1 se muestra el diagrama a nivel transistor del integrador, así como su respectivo layout, realizado en el programa L-Edit de Tanner, mediante un proceso CMOS de 1.5 $\mu$ m (pozo N).

La rama de salida en el integrador de la figura 4.1 se colocó para tener disponible a la salida la corriente en todo el periodo de tiempo; además de que, con esta rama de salida, se genera la ganancia 'a' proporcionándole así estabilidad al modulador  $\Sigma$ - $\Delta$ . Las geometrías de los transistores y las polarizaciones respectivas son:  $L=6\mu\text{m}$ ,  $W_p=16.2\mu\text{m}$ ,  $W_n=5.4\mu\text{m}$ ,  $V_1=1\text{v}$ ,  $V_2=0\text{v}$  y  $V_3=-0.4\text{v}$ , cabe decir que todos los transistores de tipo n son iguales, al igual que todos los de tipo p. El capacitor  $C_p$  es de 1pf.

En la figura 4.2 se muestran las simulaciones del integrador de la figura 4.1 realizadas para una señal de entrada senoidal y para una cuadrada obteniendo una señal cosenoidal y una triangular, respectivamente. La frecuencia de las señales es de 400kHz. Dichas simulaciones se realizaron en el programa T-SPICE. De la figura 4.2 se puede observar que las magnitudes de los glitches debidos a las no idealidades son pequeñas gracias al esquema de compensación utilizado, corroborando lo que se mostró en la figura 2.13.



Dimensiones de los transistores					Polarizaciones		
	M1	M2	M3	M4	S	V1	1v
W	5.4 $\mu\text{m}$	5.4 $\mu\text{m}$	16.2 $\mu\text{m}$	16.2 $\mu\text{m}$	1.8 $\mu\text{m}$	V2	0v
L	6 $\mu\text{m}$	6 $\mu\text{m}$	6 $\mu\text{m}$	6 $\mu\text{m}$	1.8 $\mu\text{m}$	V3	-0.4v

Figura 4.1 a) Diagrama del integrador b) Layout del integrador (dimensiones 94 $\mu\text{m}$  x 103 $\mu\text{m}$ )

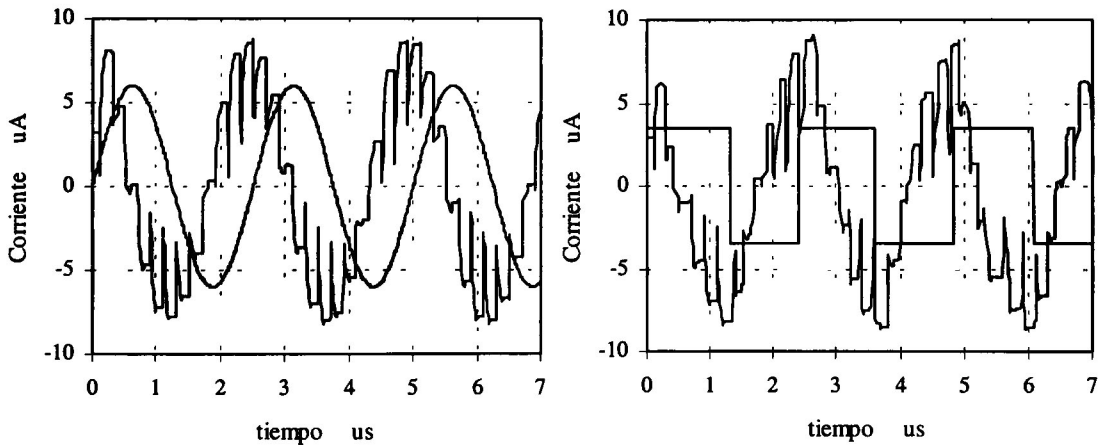


Figura 4.2 Simulación del integrador para una entrada senoidal y cuadrada

**4.2.2 Cuantizador.** Otro de los bloques que constituyen el modulador  $\Sigma\text{-}\Delta$  es el cuantizador de un bit, como se puede observar en la figura 3.9. Éste se implementa por medio de un simple comparador de corriente, ya que sólo se necesita sensar el sentido de la corriente.

El comparador diseñado se muestra en la figura 4.3a. Éste tiene la característica de operar a frecuencias altas y presentar una baja impedancia de entrada [37]. El comparador está constituido por un seguidor de fuente en la parte de entrada, lo que disminuye su impedancia de entrada además de que permitir una retroalimentación positiva. Después del seguidor de fuente se encuentra un inversor que amplifica pequeñas variaciones de voltaje en el nodo de entrada, incrementando con esto la sensibilidad y la velocidad del comparador. A la salida del comparador se coloca un buffer para darle mayor capacidad de carga y permitir que la salida alcance los niveles de alimentación. Las geometrías de los transistores que constituyen el comparador son:  $L=2.4\mu\text{m}$ ,  $W_p=14.4\mu\text{m}$ ,  $W_n=6\mu\text{m}$ . Todos los transistores de tipo p tiene las mismas dimensiones al igual que todos los transistores de tipo n.

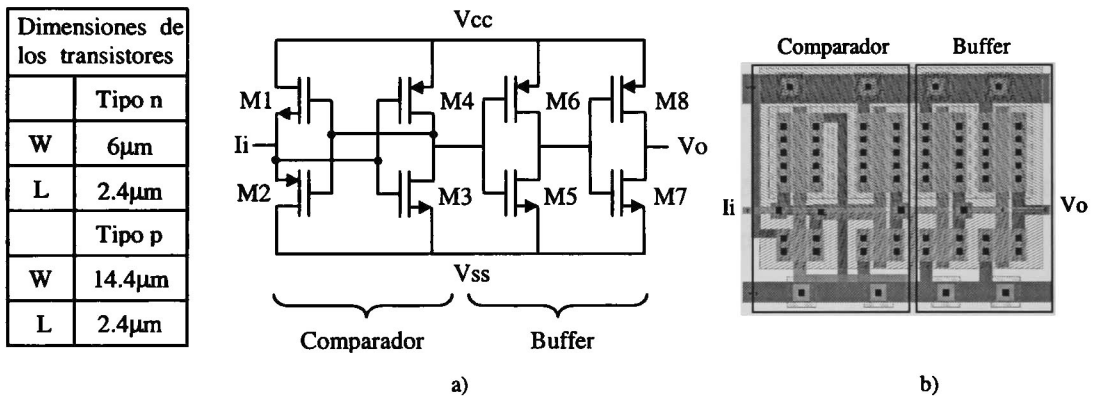


Figura 4.3 a) Diagrama del comparador de corriente b) Layout del comparador (dimensiones  $57\mu\text{m} \times 45\mu\text{m}$ )

En la figura 4.3b se muestra el layout del comparador de corriente. La simulación de la función de transferencia del comparador se muestra en la figura 4.4a. De esta se puede observar que el comparador responde a valores de corriente de entrada del orden de las decenas de pico amperes, haciéndolo altamente sensible ( $0.033 \text{ V/pA}$ ). Esto le permite operar a frecuencias del orden de los MHz. Por otra parte, en la figura 4.4b se muestra la simulación del comparador en el dominio del tiempo cuando se inyecta a la entrada una corriente cuadrada de  $200\text{kHz}$ . Con esto se comprueba su buen funcionamiento. La señal de corriente de entrada en la figura 4.4b ha sido escalada para apreciar tanto la señal de

entrada como la de salida en la misma grafica. Esto se realizó también en graficas posteriores donde se tienen señales de corriente y voltaje.

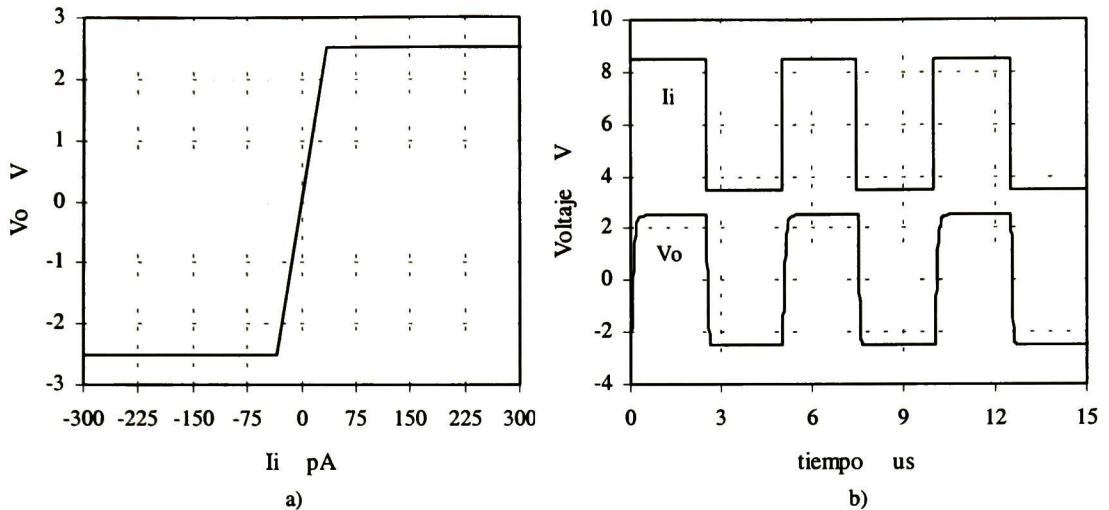


Figura 4.4 a) Función de transferencia del comparador b) Simulación en el tiempo del comparador

**4.2.3 DAC.** El último bloque que constituye el modulador  $\Sigma$ - $\Delta$  es el DAC de un bit, como se puede observar en la figura 3.9. El DAC de un bit se implementa por medio de dos fuentes de corriente, una positiva y otra negativa. La configuración utilizada se muestra en la figura 4.5a. El sentido de la corriente de salida es controlado por el pulso de voltaje aplicado al interruptor s1. El valor de la fuente de corriente positiva es dos veces el de la negativa, ya que cuando el pulso de entrada es alto (1) el interruptor s1 se cierra, realizándose una resta entre las dos corrientes y resultando en una corriente de salida  $+I_{ref}$ . En cambio, cuando el pulso de entrada es bajo (0) el interruptor s1 se abre anulando la corriente positiva, existiendo sólo el flujo de la corriente negativa por lo que la corriente de salida es  $-I_{ref}$ .

En la salida del DAC se colocó un transistor dummy para reducir los efectos debidos a la inyección de carga y de clockfeedthrough producido por el interruptor. Las geometrías de los transistores del DAC y los valores de las polarizaciones respectivas son:  $L=3\mu\text{m}$ ,  $W_p=13.8\mu\text{m}$ ,  $W_n=3.6\mu\text{m}$ ,  $V_4=1.2\text{V}$  y  $V_5=-1.4\text{V}$ .

El layout del DAC se muestra en la figura 4.5b. En la figura 4.6 se muestra la simulación para una señal de entrada cuadrada a 1MHz, observándose que el funcionamiento del DAC es el correcto.

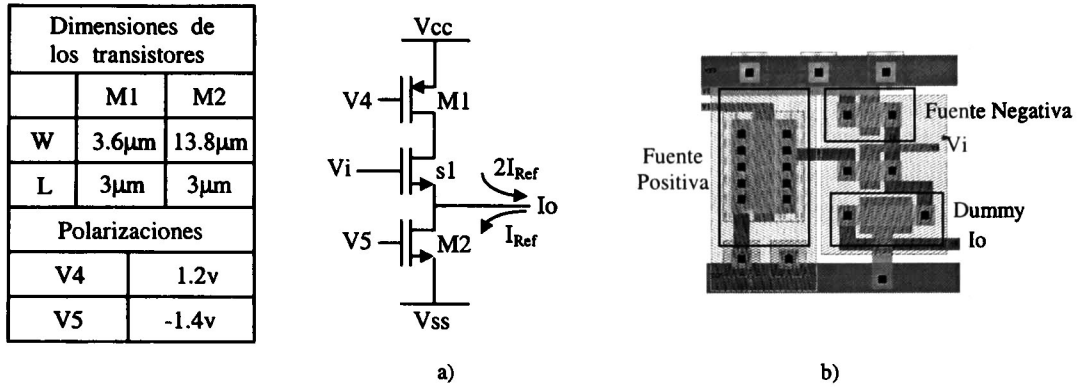


Figura 4.5 a) Diagrama del DAC b) Layout del DAC (dimensiones 39 $\mu\text{m}$  x 37 $\mu\text{m}$ )

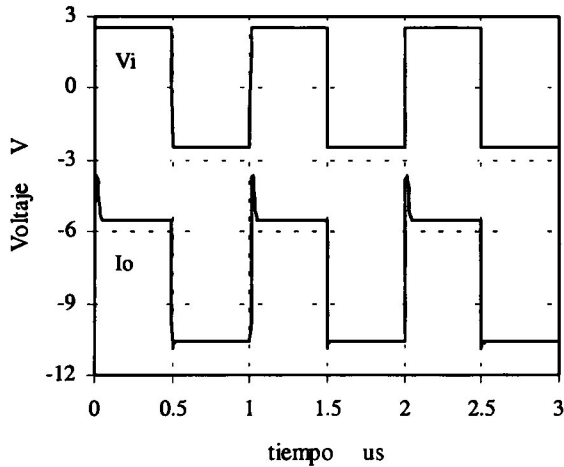


Figura 4.6 Simulación del DAC

**4.2.4 Generador de Fases.** Para generar las dos fases de reloj necesarias para el integrador que sean complementarias y no traslapadas, se utilizó el circuito de la figura 4.7a, en el cual a partir de una señal de entrada, se generan las dos fases como se ilustra en la figura 4.7b. El tiempo de no traslape depende del retardo de las compuertas [38]. Si se desea aumentar más el tiempo de no traslape, se pueden colocar inversores entre la salida de las compuertas NOR y las retroalimentaciones.



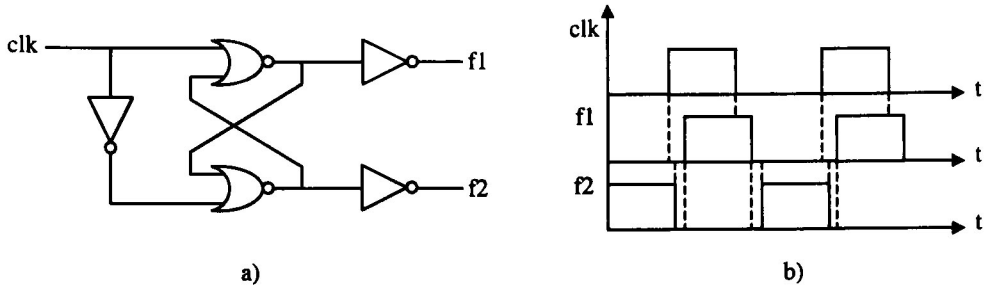
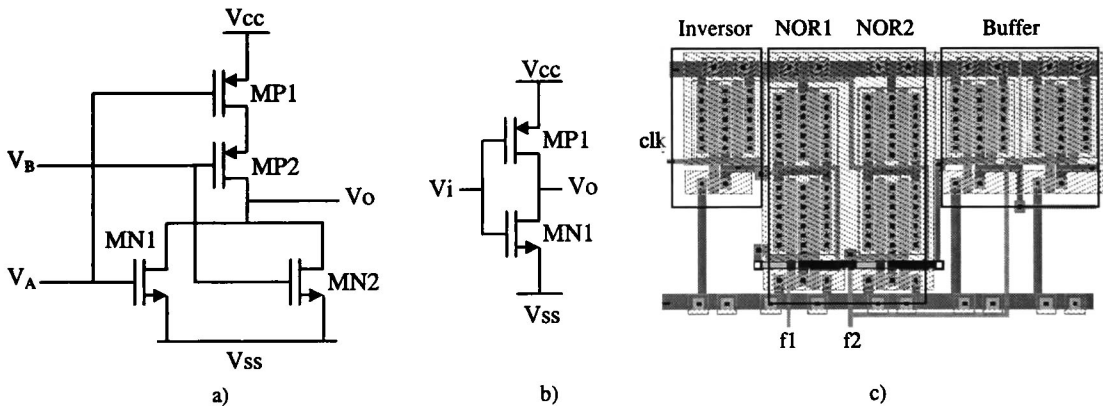


Figura 4.7 a) Circuito generador de fases b) Fases de reloj

El diagrama a nivel transistor de las compuertas que constituyen el circuito generador de fases se muestran en la figura 4.8a y 4.8b. Las geometrías de estos transistores son:  $L=2.4\mu\text{m}$ ,  $W_p=34.8\mu\text{m}$ ,  $W_n=3\mu\text{m}$ . En la figura 4.8c se muestra el layout del circuito generador de fases. La simulación del circuito generador de fases se realizó inyectándole al circuito una señal de reloj de 5MHz. Dicha simulación se muestra en la figura 4.9 donde se observa la generación de las dos fases existiendo un tiempo de no traslape entre las dos fases.



Dimensiones de los transistores	MN	MP	
	W	$3\mu\text{m}$	$34.8\mu\text{m}$
	L	$2.4\mu\text{m}$	$2.4\mu\text{m}$

Figura 4.8 a) Compuerta NOR b) Inversor c) Layout del generador de fases (dimensiones  $150\mu\text{m} \times 70\mu\text{m}$ )

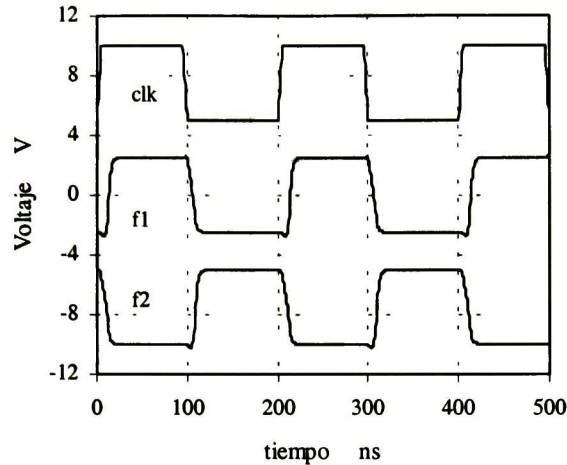


Figura 4.9. Simulación de las fases de reloj

**4.2.5 Modulador.** De los diferentes bloques diseñados (integrador, cuantizador y DAC), se implementó el modulador  $\Sigma$ - $\Delta$  pasa bajas de segundo orden de la figura 3.9, diseñado para un ancho de banda de 20kHz y una resolución de 80dB, dado que el integrador se diseñó con una resolución de 86dB. En la figura 4.10a se muestra la simulación del modulador en el dominio del tiempo para una entrada de corriente senoidal de 20kHz. Mientras que en la figura 4.10b se muestra el layout del modulador. En el apéndice B se muestra el diagrama a nivel transistor del modulador  $\Sigma$ - $\Delta$  diseñado, mientras que en el apéndice C se muestra el listado en T-SPICE de dicho modulador.

De la simulación se observa que para valores de la señal de entrada cercanos al valor máximo permitido, el pulso se encuentra más tiempo en el nivel alto del cuantizador; mientras que para valores pequeños, el pulso se encuentra más tiempo en el nivel bajo del cuantizador. De esta forma el promedio de los pulsos de salida en un periodo de tiempo es igual al valor promedio de la entrada. Esto era lo esperado de acuerdo con el principio de funcionamiento del modulador y con lo que se obtuvo en la simulación a nivel sistema en el capítulo 3 (ver figura 3.9b).

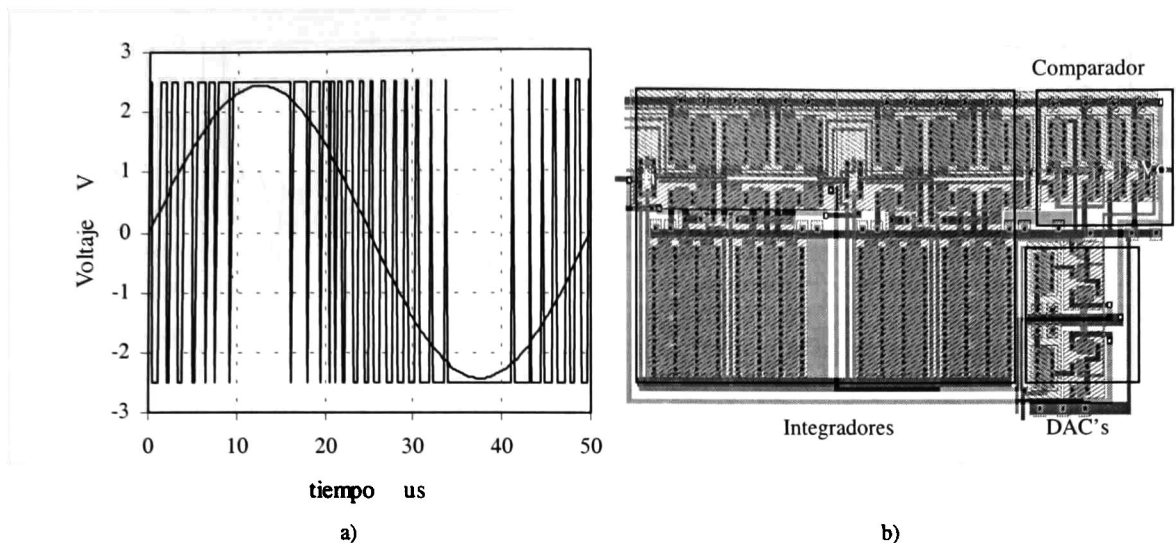


Figura 4.10 a) Simulación del modulador  $\Sigma\text{-}\Delta$  b) Layout del modulador  $\Sigma\text{-}\Delta$  (dimensiones  $250\mu\text{m} \times 116\mu\text{m}$ )

## 4.2 RESULTADOS DE SIMULACIÓN DEL MODULADOR $\Sigma\text{-}\Delta$

Para medir el desempeño del modulador  $\Sigma\text{-}\Delta$  diseñado, los datos de la salida del modulador se capturan y por medio de MATLAB, se les aplica una FFT para poder evaluar su SNR y su distorsión. En la figura 4.11a) se muestra la densidad espectral de potencia (PSD) del modulador  $\Sigma\text{-}\Delta$  para una FFT de 2048 puntos con una señal de  $-2\text{dB}$  a  $10\text{kHz}$ . La frecuencia de reloj aplicada al circuito generador de fases es de  $5.12\text{ MHz}$  para obtener una relación de sobremuestreo  $M$  igual a 128.

La relación de señal a ruido más distorsión (SNRD) se obtiene de la PSD al dividir la potencia de la señal entre la potencia del ruido en el rango de la señal ( $20\text{kHz}$ ). En la figura 4.11b se muestra la SNRD contra la amplitud de la señal. De esta figura se observa una máxima SNRD de  $78\text{ dB}$ , siendo este valor aceptable debido a que existe una desviación de  $2\text{dB}$  del valor especificado de  $80\text{dB}$ , o sea que existe un error del  $2.5\%$  que se puede considerar como un valor aceptable.

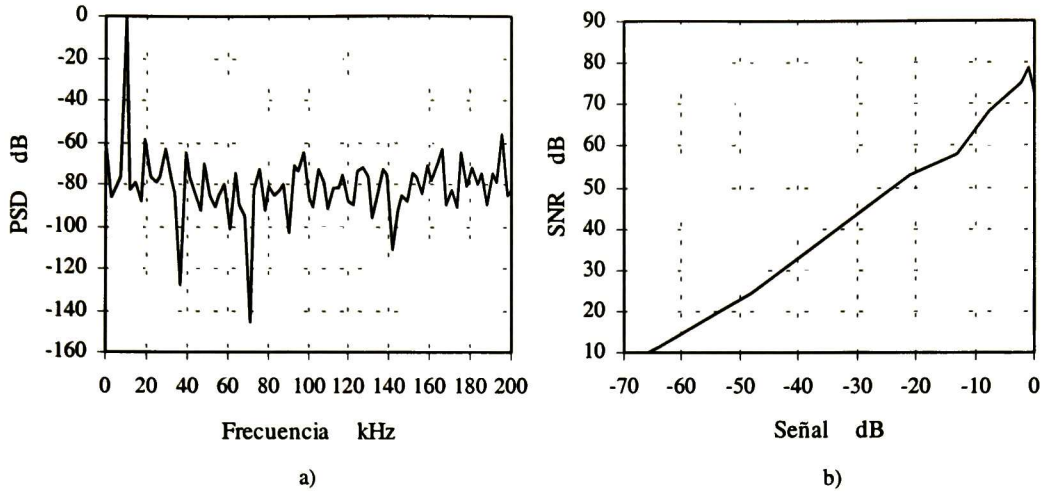


Figura 4.11 a) PSD b) SNRD contra señal

Otro punto a destacar de la figura 4.11 es la magnitud de los armónicos, la cual tiene un valor máximo de aproximadamente -60dB. Una forma de medir el efecto de los armónicos en la señal es por medio de la distorsión armónica total (THD), la cual se puede aproximar por:

$$THD = \frac{\sqrt{\sum_{i=2}^{\infty} H_i}}{H_1} \times 100 \quad (4.1)$$

donde  $H_i$  es el valor del  $i$ -ésimo armónico y  $H_1$  es el armónico fundamental.

Tomando los tres primeros armónicos como de valor considerable se tiene una THD de 1%. Idealmente el valor deseado para los armónicos debe ser menor o igual a la magnitud del ruido de piso (altura del ruido en la PSD) para que la contribución de los armónicos a la SNR sea mínima, reduciendo con esto la distorsión. De lo anterior, si se disminuye el valor de los armónicos a un valor igual o menor a la magnitud del ruido de piso la SNR puede alcanzar el valor deseado (80dB) y tal vez hasta superarlo. Debido a que la THD no redujo considerablemente la SNRD del valor deseado este valor se considero aceptable.

## 5.1 INTRODUCCION

En el capítulo anterior se presentó el diseño de un modulador  $\Sigma$ - $\Delta$  de segundo orden pasa bajas implementado en SI. También se confirmó su adecuado funcionamiento por medio de la simulación a nivel transistor de cada uno de los bloques que lo constituyen, así como del sistema total. Pero es bien sabido que la verificación del funcionamiento de cualquier circuito por medio de simulación omite efectos del ambiente real (ruido del ambiente, fuentes y componentes no ideales, efectos capacitivos e inductivos, etc.), los cuales pueden afectar en mayor o menor medida su funcionamiento. Por tanto, para caracterizarlo adecuadamente es recomendable fabricar el circuito de interés a fin de realizarle las mediciones necesarias y poder cuantificar su desempeño de manera más exacta.

En este capítulo se presentan las mediciones realizadas al chip que contiene el modulador  $\Sigma$ - $\Delta$  de segundo orden diseñado en el capítulo anterior, así como las mediciones individuales de los bloques que lo constituyen .

## 5.2 CIRCUITO INTEGRADO

El circuito integrado fue fabricado con un proceso CMOS de 1.5 $\mu$ m (pozo N) en la corrida T1AZAA de MOSIS. Dicho circuito se encapsuló en un empaquetado LCC de 28 terminales (7 por lado), este circuito integrado está constituido por el modulador  $\Sigma$ - $\Delta$  de la figura 4.11b, el integrador de la figura 4.2b, el DAC de la figura 4.6b, el comparador de la figura 4.4b y el circuito generador de fases de la figura 4.9c, En la figura 5.1 se muestra la ubicación de los diferentes circuitos en el chip.

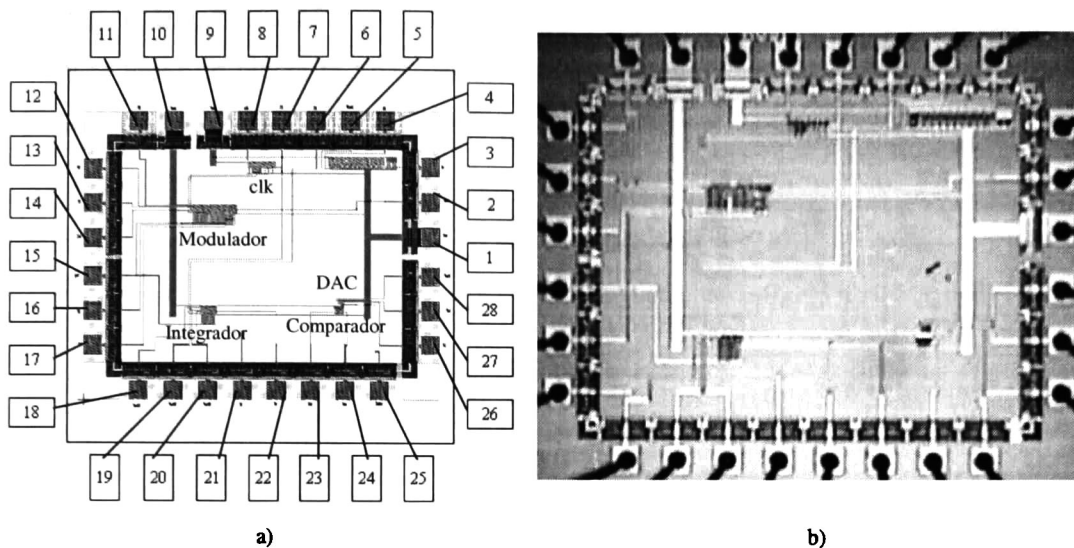


Figura 5.1 a) Chip del modulador en el L-Edit b) Foto del Chip

La colocación de los diferentes circuitos dentro del chip se realizó de la siguiente forma. En la parte superior derecha del chip esta el generador de fases alimentado con fuentes de voltaje independientes a las de los circuitos analógicos; aislando así a los circuitos analógicos de el ruido que se genera cuando existen las transiciones de los circuitos digitales. El modulador se ubica en la parte superior izquierda y el resto de los circuitos en la parte inferior, cuidando que el flujo de corriente fuera en un sólo sentido dentro del chip, de acuerdo con la figura 5.1 éste es de forma horizontal.

Para reducir las capacitancias parásitas y los posibles efectos debido al mismatch, los transistores de mayor tamaño fueron divididos en transistores de menor tamaño, los cuales se conectaron de forma interdigital; además de que los transistores que forman espejos se colocaron lo mas cercano posible uno de otro.

**5.2.1 Generador de fases de reloj.** Para verificar el funcionamiento del circuito de la figura 5.2a que genera las fases de reloj, se excitó a éste con una señal cuadrada externa proveniente de un generador de señales HP-331220A la cual fue de 200kHz con una amplitud de 2.5V. En la figura 5.2b se muestran las salidas del circuito. Nótese que existe un tiempo de no traslape entre ellas y que son muy semejantes a las que se obtuvieron en la

simulación de la figura 4.9. Las fases tienen un jitter de aproximadamente 0.5ns (0.25% de  $T_s$ ), este valor no afecta la SNR del modulador, ya que el máximo jitter permitido para alcanzar la SNR deseada es del 2% de  $T_s$  [28].

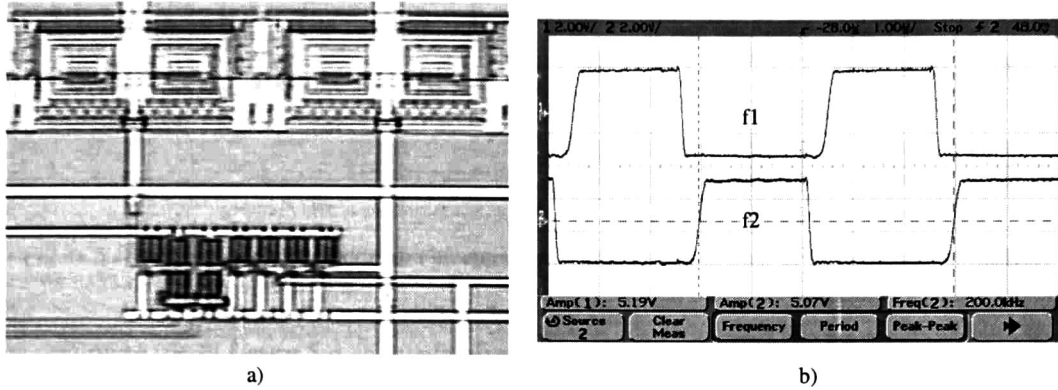


Figura 5.2 a) Generador de fases de reloj b) Fase uno y dos en el osciloscopio Agilent-54622D

**5.2.2 Integrador.** Para verificar el funcionamiento del integrador de la figura 5.3, se le inyectó una onda senoidal de voltaje con una amplitud de 1V a una frecuencia de 60kHz, así como una señal cuadrada de la misma amplitud y frecuencia. Ambas señales fueron proporcionadas por el generador de señales Tektronix-CFG280 y fueron convertidas a corriente por medio de una resistencia de precisión de 100k $\Omega$  (1%). La figura 5.4 muestra que el integrador funciona adecuadamente, ya que se obtuvo una señal cosenoidal y una triangular a partir de las señales de entrada senoidal y cuadrada, respectivamente. Obteniendo los mismos resultados que en las simulaciones. Compare la figura 5.4 con la 4.2.

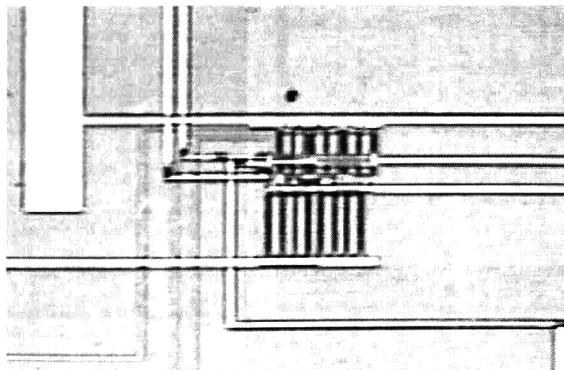


Figura 5.3 Integrador

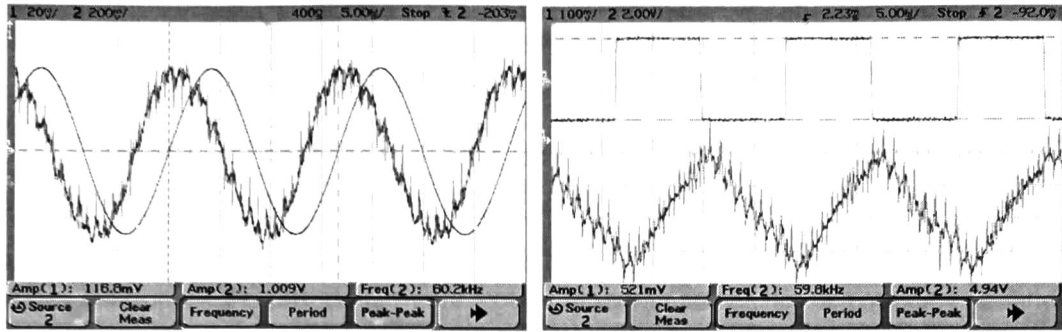
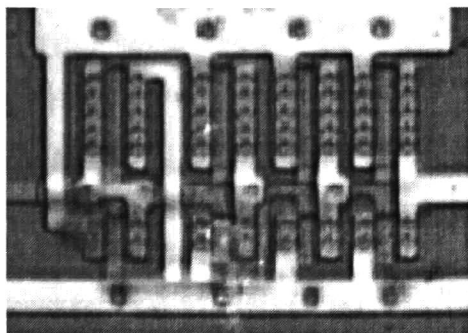


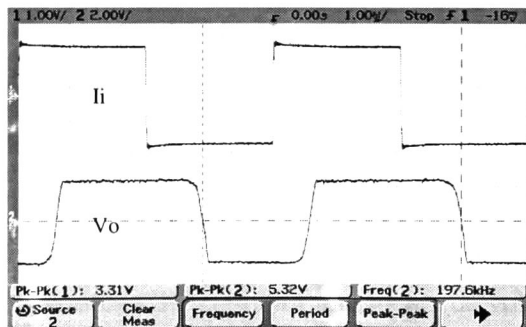
Figura 5.4 Respuesta del integrador para un entrada senoidal y una cuadrada en el osciloscopio Agilent

Por otra parte, de la figura 5.4 se puede observar que la magnitud en los glitches es pequeña lográndose un error máximo de aproximadamente 5% de la corriente de salida. Dicho error no es tan pequeño como el establecido en la sección 2.3, pero se considera que es adecuado. Por lo tanto, el esquema de compensación propuesto efectivamente reduce los efectos debidos a las no idealidades de los interruptores.

**5.2.3 Comparador.** Al cuantizador de un bit implementado que se muestra en la figura 5.5a, se le verificó su funcionamiento aplicando a su entrada una señal cuadrada con una amplitud de 1.5V y una frecuencia de 200kHz. La señal de voltaje de entrada se convirtió a corriente por medio de una resistencia de precisión de 100k $\Omega$  (1%). Las señales de entrada y salida se muestran en la figura 5.5b; estas exhiben un comportamiento igual al esperado y al obtenido en la simulación dada en la figura 4.4b.



a)



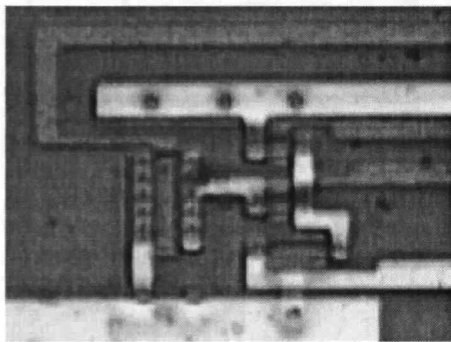
b)

Figura 5.5 a) Comparador de corriente b) Respuesta del comparador en el osciloscopio Agilent-54622D

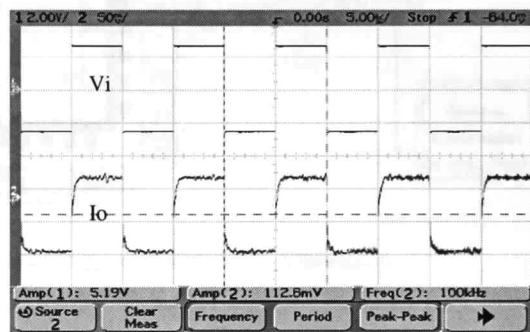


El retardo del cruce por cero de la señal de voltaje en la figura 5.5b se debe a un buffer adicional utilizado para medir el desempeño del comparador evitando efectos de carga.

**5.2.4 Convertidor Digital-Analógico (DAC).** El funcionamiento del convertidor D/A de la figura 5.6a se comprobó excitándolo con una señal de entrada cuadrada con una amplitud de 2.5V a una frecuencia de 100kHz. Dicha señal fue proporcionada por un generador de señales Tektronix-CFG280. En la figura 5.6b se muestran las señales de entrada y de salida. De éstas se puede observar el correcto funcionamiento del DAC, ya que para los valores altos (1) de la señal de entrada se tiene una corriente de salida positiva; mientras que, para valores de entrada bajos (0) se tiene una corriente de salida negativa. Esto es lo esperado de acuerdo al principio de funcionamiento del DAC y a lo obtenido en la simulación de la figura 4.6.



a)



b)

Figura 5.6 a) DAC b) Respuesta del DAC a una entrada cuadrada en el osciloscopio Agilent-54622D

### 5.3 MODULADOR $\Sigma\text{-}\Delta$

La parte de mayor interés en chip de la figura 5.1 es el modulador  $\Sigma\text{-}\Delta$ ; ya que el objetivo principal de este trabajo es la implementación de este sistema utilizando un esquema de compensación para las no idealidades del integrador en SI. Para medir el desempeño del modulador  $\Sigma\text{-}\Delta$  se hizo uso de un circuito de prueba, el cual está constituido por dos generadores de señal (un HP-331220A y un Tektronix-CFG280), por una fuente de voltaje dual de 2.5V (BK Precision-1670), por un osciloscopio (Agilent-54622D), por un analizador de espectros (HP-8593A) y por un circuito generador de referencias de voltaje para la

polarización del modulador. Las señales de reloj y de excitación se proporcionan por medio de los generadores de señal. En la figura 5.7 se muestra el circuito de prueba implementado. La resistencia ( $100\text{k}\Omega$ ) y el capacitor ( $0.1\mu\text{f}$ ) de entrada se colocaron para realizar la conversión de voltaje a corriente y para bloquear componentes de CD, respectivamente. Por otra parte el circuito MC14069UB se utilizó para evitar efectos de carga producidos por el equipo de medición.

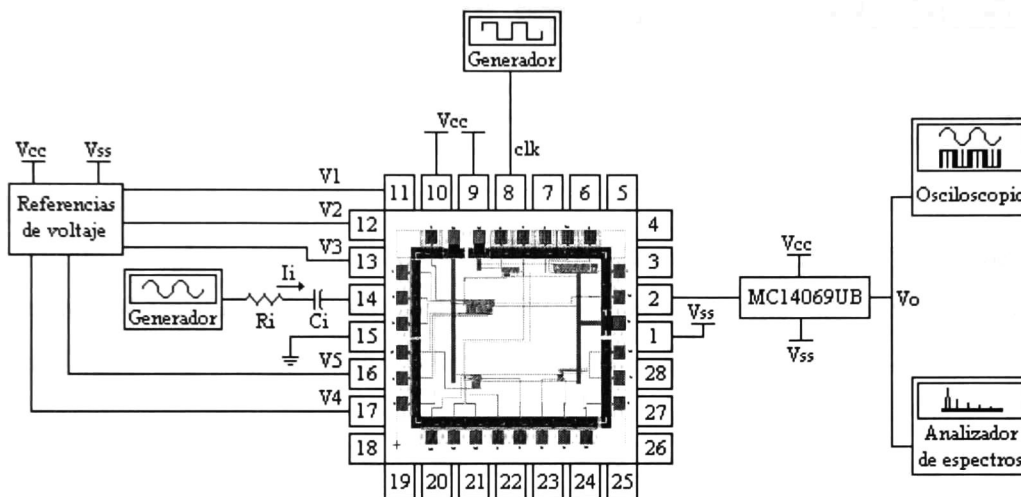


Figura 5.7 Circuito utilizado para caracterizar el modulador  $\Sigma\text{-}\Delta$  fabricado

El funcionamiento en el dominio del tiempo del modulador  $\Sigma\text{-}\Delta$  de la figura 5.8a se obtuvo introduciendo una señal de entrada senoidal de 20 kHz con 3V de amplitud. En la figura 5.8b se muestra la respuesta obtenida, de la cual se verifica su correcto funcionamiento dado que entre mayor es la amplitud de la señal de entrada mayor es la cantidad de pulsos en alto. Así mismo, mientras que para valores de amplitud más pequeñas existe una cantidad mayor de pulsos en el nivel bajo; por lo cual, promediando dichos pulsos en un periodo se obtiene el valor aproximado de la señal de entrada. Lo antes dicho es el principio de funcionamiento del modulador. Por tanto, se verifica el funcionamiento del modulador  $\Sigma\text{-}\Delta$  implementado; además de que la respuesta de la figura 5.8b es similar a las obtenidas en la simulaciones a nivel de sistema y de transistor de las figuras 3.9b y 4.10a, respectivamente.

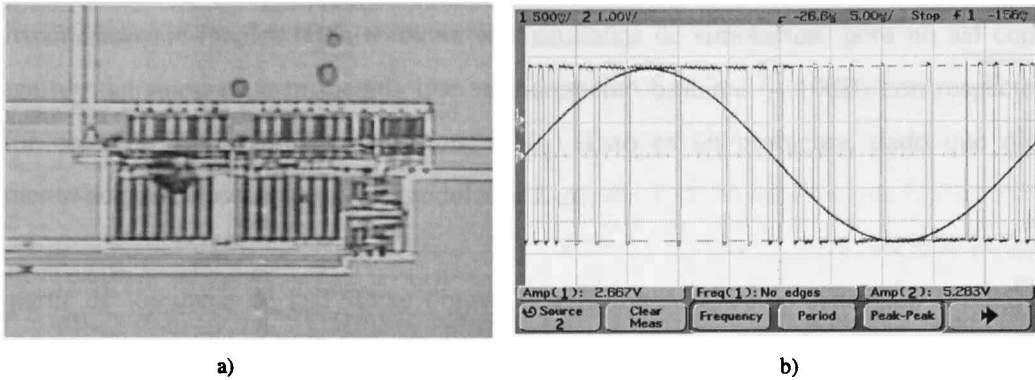


Figura 5.8 a) Modulador  $\Sigma\Delta$  b) Respuesta del modulador  $\Sigma\Delta$  a una entrada senoidal en el osciloscopio Agilent-54622D

El circuito completo ocupa un área activa de  $0.052\text{mm}^2$  Dicho circuito demanda una potencia de  $4.5\text{mW}$  de una fuente dual de  $2.5\text{V}$ , la cual puede tener una variación del  $8\%$  ( $2.5 \pm 0.2$ ) de su valor nominal sin afectar el funcionamiento del modulador  $\Sigma\Delta$ ,

Existen diversas técnicas por medio de las cuales se puede obtener el desempeño de el modulador sigma-delta [41,42,43], la técnica más común y eficiente es por medio de su densidad espectral de potencia (PSD). Por tanto, para caracterizar el modulador  $\Sigma\Delta$  y cuantificar su desempeño se hizo uso del analizar de espectros (HP-8593A), obteniéndose una medición de la PSD de la señal de salida producida por una entrada senoidal de  $10\text{kHz}$ . Dicha PSD se muestra en la figura 5.9.

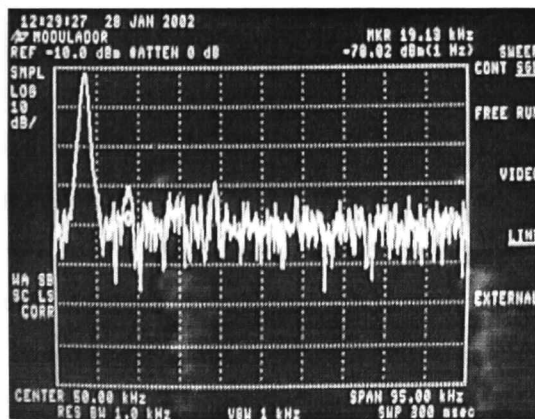


Figura 5.8 Densidad espectral de potencia de la señal de salida del modulador  $\Sigma\Delta$

De la figura 5.8 se observa que la magnitud máxima de los armónicos ( $\approx -62\text{dB}$ ) es aproximadamente igual a la obtenida en los resultados de simulación, pero no así con la magnitud del ruido de piso medida que se incrementó bastante ( $\approx 10\text{dB}$ ) con respecto al valor obtenido en la simulación (figura 4.11a). Esto es un problema, dado que dicho aumento degrada el desempeño del modulador  $\Sigma\text{-}\Delta$ .

A partir de los datos de la PSD se obtuvo la relación señal-ruido-distorsión (SNRD) al dividir la potencia de la señal entre la potencia del ruido en el ancho de banda de  $20\text{kHz}$ . La grafica señal contra relación señal-ruido se muestra en la figura 5.10b, de la cual se observa una máxima SNRD de  $66\text{ dB}$ , dicha SNRD es menor a la obtenida en los resultados de simulación lo cual se debe al aumento del ruido de piso mencionado en el párrafo anterior.

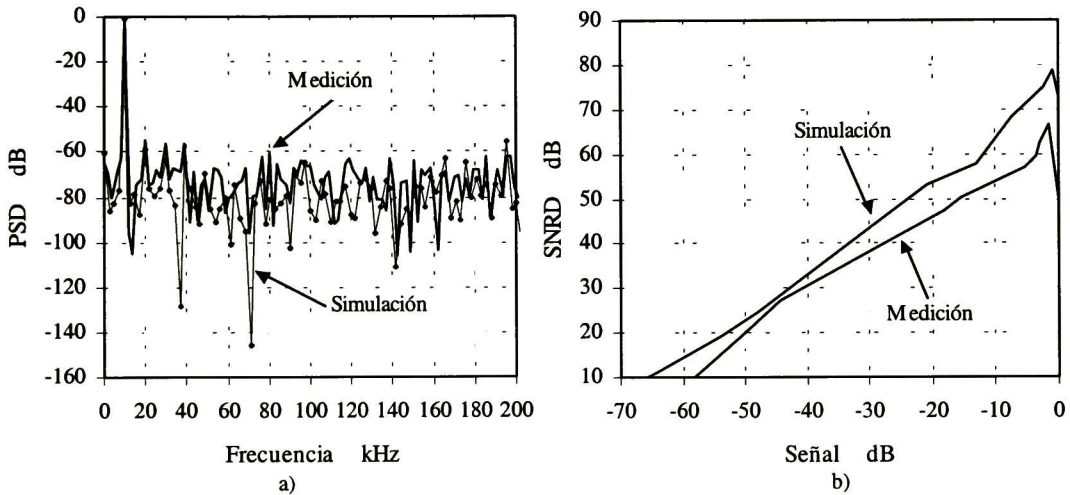


Figura 5.10 a) Densidad espectral de potencia b) Relación señal ruido contra señal

Del resultado obtenido se observa que la resolución obtenida es menor a la esperada, pues la magnitud del ruido fue mayor a la de diseño, además de que la THD es de  $2\%$ , aumentándose en uno por ciento del valor obtenido en simulación. Este incremento se atribuye a factores que se consideraron despreciables en el diseño y que en la práctica tienen un efecto mayor al que se esperaba. Por tanto, para futuros diseños dichos factores se deben de considerar. Principalmente a los factores que se les atribuye la degradación del desempeño del modulador son: el ruido en las fuentes de alimentación, señal de entrada

ruidosa, el ruido térmico generado por la resistencia de entrada y el ruido que generan los transistores que constituyen el DAC. El ruido que conjuntamente generan estos factores es introducido a la salida del primer integrador mermando la SNR del modulador  $\Sigma$ - $\Delta$ . Debido a lo anterior, para lograr la resolución deseada en forma practica la relación señal ruido del integrador debe ser mayor a un bit de la del modulador  $\Sigma$ - $\Delta$ . De acuerdo con los resultados obtenidos se puede establecer que el integrador deba tener tres bits más de resolución y no un bit.

Otra alternativa de mejora es incluir una aproximación del ruido producido por la fuente de alimentación, por la resistencia de entrada y por el DAC en la ecuación de la SNR para el integrador, y así recalcular la relación señal ruido en el modulador  $\Sigma$ - $\Delta$ ; obteniéndose con esto ecuaciones de diseño más exactas. Realizando un análisis similar al desarrollado en la sección 3.3.2, las SNR del integrador y del modulador  $\Sigma$ - $\Delta$  están dadas por las siguientes respectivas ecuaciones.

$$SNR = 10 \log \frac{(V_{gs} - V_T)^2 MC_{gs}}{\left( \frac{32}{3} m_{th} KT (1 + A) + \frac{16KT}{R_{in} gm} + \frac{32}{2} m_{th} KT (1 + A / 2) + 8Agm\overline{V_{sn}} \right)} \quad (5.1)$$

$$SNR = 10 \log \frac{P_s}{P_{nC} + P_{nI}} \quad (5.2)$$

donde  $R_{in}$  es la resistencia por medio de la cual se realiza la conversión voltaje a corriente,  $\overline{V_{SN}}$  es el ruido medio de la fuente de alimentación y  $P_{nI}$  es la potencia del ruido en el integrador considerando el ruido de la fuente, del DAC y de la resistencia de entrada  $R_{in}$ . En la figura 5.11 se muestra la SNR del integrador y del modulador  $\Sigma$ - $\Delta$  en función de la relación de sobremuestreo y para diferentes  $C_{gsI}$ . Éstas se graficaron considerando un valor de  $V_{SN}$  de  $100nV/Hz^{1/2}$ , una  $R_{in}$  de  $100k\Omega$ , así como los valores utilizados para obtener las graficas 3.11 y 3.12.

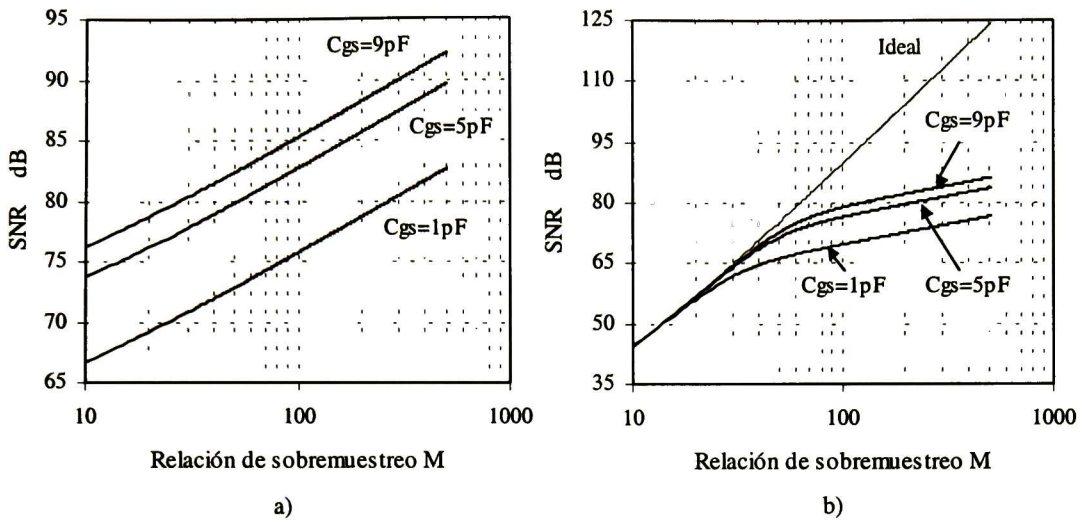


Figura 5.11 a) SNR del integrador b) SNR del modulador  $\Sigma\text{-}\Delta$

Observando las gráficas de la figura 5.11 se ve la disminución de la SNR en el integrador y con esto la del modulador  $\Sigma\text{-}\Delta$  debido a los factores antes mencionados; además, estas gráficas presentan una mejor aproximación a los resultados prácticos. La SNR medida resulto ser de 66dB, mientras que el valor de la SNR para una relación de sobremuestreo de 128 y un  $C_{gs}$  de 1pF, tomada de la figura 5.11, es de aproximadamente 69dB. Estos valores de SNR son prácticamente iguales y corresponden a un error aceptable. Estas ecuaciones de diseño constituyen una mejor aproximación a la practica; aunque de igual forma, se podría utilizar la aproximación propuesta anteriormente de sumar dos bits mas al integrador. Comparando las figuras 3.12 y 5.11 se ve que la SNR del modulador  $\Sigma\text{-}\Delta$  está desplazada aproximadamente dos bis hacia abajo.

**5.3.1 Desempeño del modulador  $\Sigma\text{-}\Delta$**  En la primera línea de la tabla 5.1 se muestra el resumen de las mediciones obtenidas del modulador  $\Sigma\text{-}\Delta$  fabricado, además de las reportadas por algunos trabajos previos de moduladores  $\Sigma\text{-}\Delta$  en SI, entre las cuales se puede realizar una comparación de su desempeño tomando los puntos más importantes, como son: resolución, ancho de banda, potencia y área. Tomando en cuenta el desempeño general del

modulador, dando énfasis especial a la resolución, se puede ver en la tabla 5.1 que este trabajo junto con [23] y [29] presentan mejor desempeño que el obtenido por otros trabajos.

	Resolución bits	BW KHz	Área mm <sup>2</sup>	Tecnología $\mu\text{m}$	Potencia mW	OSR	Fs MHz	Orden
Este trabajo	11	20	0.052	1.2	4.5	128	5.12	2°
[24]	10	9.6	0.25	0.8	2.0	128	2.45	2°
[25]	9	8	0.45	0.8	18	128	2.048	2°
[22]	10.5	9.6	0.26	0.8	3.2	128	2.45	2°
[31]	10	4	0.2	1.2	0.2	256	2.048	2°
[21]	11	9.6	0.48	0.8	6.6	128	2.45	2°
[26]	10	4	1	1.5	2.1	128	1.024	2°
[29]	13	3.3	6	0.8	136	64	0.42	3°
[23]	13	3.4	1.3	0.9	75	150	1.024	2°

Tabla 5.1 Mediciones obtenidas del modulador implementado y de trabajos previos.

Para tener una mejor apreciación de lo antes dicho, en la tabla 5.2 se realiza una comparación punto a punto entre las características de mayor importancia de los diferentes trabajos realizados previamente con las obtenidas en este trabajo, marcando con una ( $\checkmark$ ) las características en las cuales este trabajo presenta mejor desempeño, con una ( $\times$ ) en donde el desempeño es menor y con un (=) cuando el desempeño es el mismo.

Referencia	Resolución	BW	Área	Potencia
[24]	$\checkmark$	$\checkmark$	$\checkmark$	$\times$
[25]	$\checkmark$	$\checkmark$	$\checkmark$	$\checkmark$
[22]	$\checkmark$	$\checkmark$	$\checkmark$	$\times$
[31]	$\checkmark$	$\checkmark$	$\checkmark$	$\times$
[21]	=	$\checkmark$	$\checkmark$	$\checkmark$
[26]	$\checkmark$	$\checkmark$	$\checkmark$	$\times$
[29]	$\times$	$\checkmark$	$\checkmark$	$\checkmark$
[23]	$\times$	$\checkmark$	$\checkmark$	$\checkmark$

Tabla 5.2 Comparación de las características del modulador fabricado con las obtenidas en trabajos previos

## 5.4 APLICACIONES

Dependiendo de la resolución y el tiempo de conversión de un convertidor A/D dado, son las aplicaciones en las cuales éste puede ser utilizado. De las características del modulador  $\Sigma$ - $\Delta$  fabricado, éste puede generar un convertidor A/D de 11bits de resolución con un tiempo de conversión de 25 $\mu$ s (40ksps), el cual puede ser utilizado en aplicaciones como:

Instrumentación (censado de temperatura, presión, nivel, peso, etc.) [44,45,46]

Codificación de voz (CODEC's) [46,45]

Cancelación de eco [46]

Audio de baja fidelidad

Electrónica automotriz y medica [47,48]

En estas aplicaciones las resoluciones requeridas son de 8, 10 y 11bits, con tiempos de conversión de 1,8 y 40ksps, dependiendo de la aplicación.

De lo anterior se puede observar que las características del modulador  $\Sigma$ - $\Delta$  fabricado son suficientes para que éste pueda ser utilizado en una gama amplia de aplicaciones, utilizando poca área de integración y poco consumo de potencia.



## **6.1 CONCLUSIONES**

En la actualidad la utilización de circuitos digitales para procesamiento de señales tiene un gran auge, debido a sus ventajas con respecto a los circuitos analógicos. Pero, es bien sabido que el mundo es puramente analógico por lo que se requieren circuitos que sirvan de interfase entre el mundo analógico y el digitales; tal es el caso de los convertidores Analógico-Digital y Digital-Analógico.

Los moduladores  $\Sigma$ - $\Delta$  han ganado amplia popularidad, ya que por medio de éstos se pueden realizar convertidores Analógico-Digital y Digital-Analógico de alto desempeño por medio de circuitos simples los cuales no necesitan tener una exactitud muy grande; siendo con esto altamente tolerables a variaciones del proceso de fabricación. Una buena alternativa para la implementación de los moduladores  $\Sigma$ - $\Delta$  es el modo corriente conmutada, ya que esta técnica de diseño tiene la ventaja de que los circuitos pueden ser implementados en procesos digitales estándar CMOS, además de cumplir con las expectativas de la tendencia hacia tecnologías submicrométrica.

En este trabajo de tesis se ha realizado el análisis de la técnica de diseño SI, destacando el efecto de las no idealidades de los circuitos en el desempeño de los modulador  $\Sigma$ - $\Delta$  de segundo orden; además, se diseño e implementó un modulador  $\Sigma$ - $\Delta$  en SI.

Las no idealidades de los circuitos en SI son el principal factor por el cual esta técnica de diseño ha generado polémica en cuanto a su uso, ya que estas limitan su desempeño. Debido a esto se han generado algunos esquemas de compensación para reducir dichas no idealidades, pero solo permiten a la celda de corriente operar a frecuencias bajas. Por lo

anterior se desarrolló y se utilizó un esquema de compensación. Se ha observado de los resultados de simulación (figura 2.13) y medición (figura 5.4) que, efectivamente, el esquema de compensación propuesto reduce los efectos producidos por las no idealidades (hasta un 90%); además de que esta celda de corriente puede operar a frecuencias altas (en este caso 5.12MHz ).

Existen diversas topologías para la implementación de moduladores  $\Sigma$ - $\Delta$ , siendo la de segundo orden de tipo pasa bajas (figura 3.9) la más simple de diseñar con alta estabilidad y por medio de la cual se pueden alcanzar resoluciones altas con frecuencias de muestreo en las cuales los circuitos actuales pueden trabajar con facilidad. En moduladores  $\Sigma$ - $\Delta$  de segundo orden implementados por medio de SI, las no idealidades del primer integrador limitan el desempeño del modulador. Para disminuir este efecto los integradores se implementaron por medio de la celda de corriente compensada que se ha propuesto aquí.

Considerando solamente el ruido térmico como la no idealidad dominante en la celda de corriente se desarrollaron ecuaciones de diseño para el modulador  $\Sigma$ - $\Delta$  de segundo orden en SI, de las cuales se observó el efecto de la reducción en la SNR del modulador debido al ruido en el integrador. También se pudo observar que existe un punto a partir del cual, a pesar del incremento de la relación de sobremuestreo, la SNR permanece casi constante (figura 3.12). Por ello, es más factible aumentar la SNR del integrador para aumentar la SNR del modulador en vez de hacerlo con la relación de sobremuestreo. De las ecuaciones de diseño para el modulador  $\Sigma$ - $\Delta$  en SI, y utilizando el esquema de compensación propuesto, se diseñó y fabricó un modulador  $\Sigma$ - $\Delta$  de segundo orden pasa bajas en SI. La máxima SNRD medida en el modulador implementado fué de 66dB para un ancho de banda de 20kHz, la cual tuvo una reducción de aproximadamente dos bits de la esperada y de la obtenida en la simulación; ya que el nivel de ruido se incrementó a causa de factores que no se tomaron en cuenta en el diseño. Además de que el esquema de compensación no elimina por completo los efectos producidos por las no idealidades. Este decremento puede ser considerado como un factor de ajuste en diseños posteriores al utilizar las ecuaciones de diseño desarrolladas en este trabajo. A pesar de la disminución en la SNR los resultados

obtenidos se pueden considerar satisfactorios, dado que comparando estos resultados con los de trabajos previos (tabla 5.1) se ve que se obtuvo un mejor desempeño en general.

## 6.2 TRABAJO FUTURO

En este trabajo de tesis se obtuvieron resultados satisfactorios; pero a pesar de esto, el desempeño logrado aún está por debajo del alcanzado por los circuitos de SC. Es bien sabido que se puede competir con SC en lo que se refiere a consumo de potencia, área y ancho de banda; pero con respecto a la resolución, los convertidores implementados en SC han alcanzado resoluciones superiores a los implementados en SI. Debido a lo anterior existe todavía bastante trabajo que se puede realizar en el futuro; de tal manera que se mejore el desempeño de los moduladores implementados en SI y poder, de esta manera, competir en su totalidad con los moduladores implementados en SC.

De los resultados obtenidos en esta tesis se pueden realizar algunas propuestas para trabajo futuro, las cuales son:

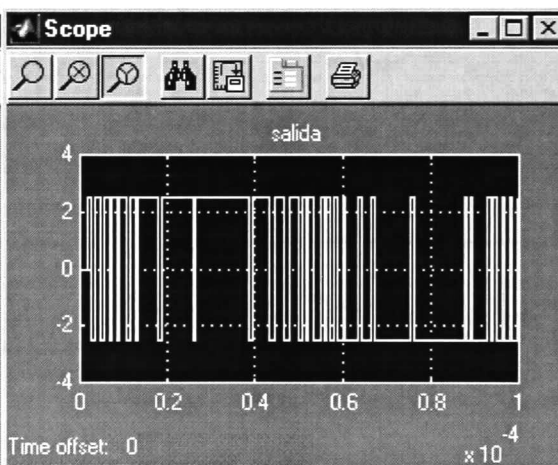
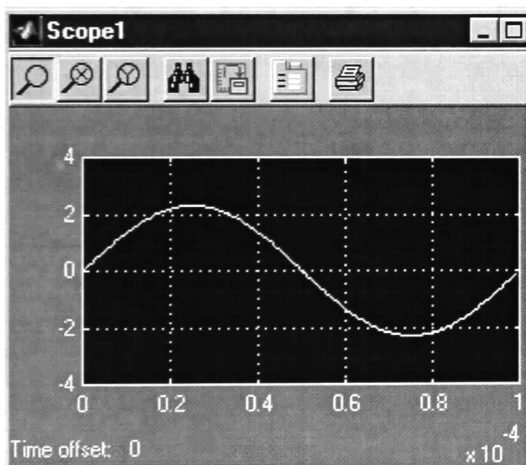
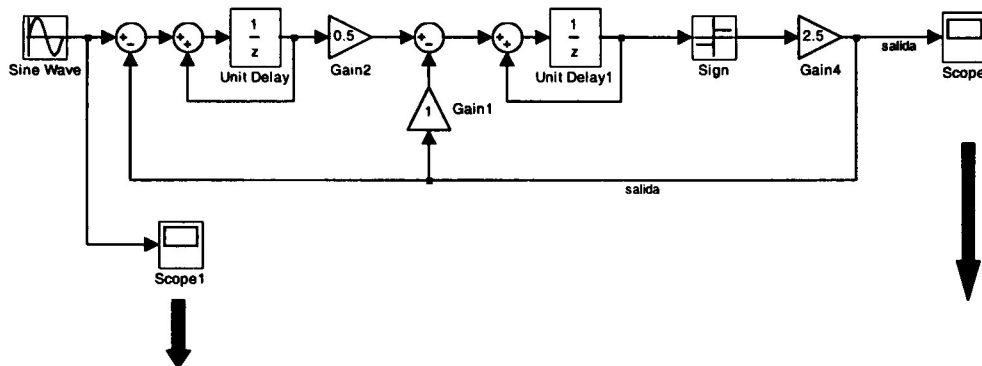
Implementación de la celda de corriente en modo diferencial, para poder así reducir el ruido de entrada, el ruido introducido por las fuentes de alimentación y otros ruidos de modo común; además de poder eliminar los armónicos pares, intentando con esto ganar un aumento en la SNRD del modulador  $\Sigma\text{-}\Delta$ .

Examinar topologías de moduladores  $\Sigma\text{-}\Delta$  multietapa y multibit; por ejemplo la MASH 2-1-1, para poder alcanzar resoluciones mayores con frecuencias de muestreo mas pequeñas; de tal manera que la celda de corriente tenga que operar a menor frecuencia y se pueda incrementar su resolución; disminuyendo con esto aún mas los efectos debidos a las no idealidades.

Cambiar las ecuaciones de diseño de acuerdo con la nueva topología de modulador, y a partir de éstas desarrollar una herramienta CAD para poder implementar de manera mas sencilla y rápida el modulador  $\Sigma\text{-}\Delta$  en SI.

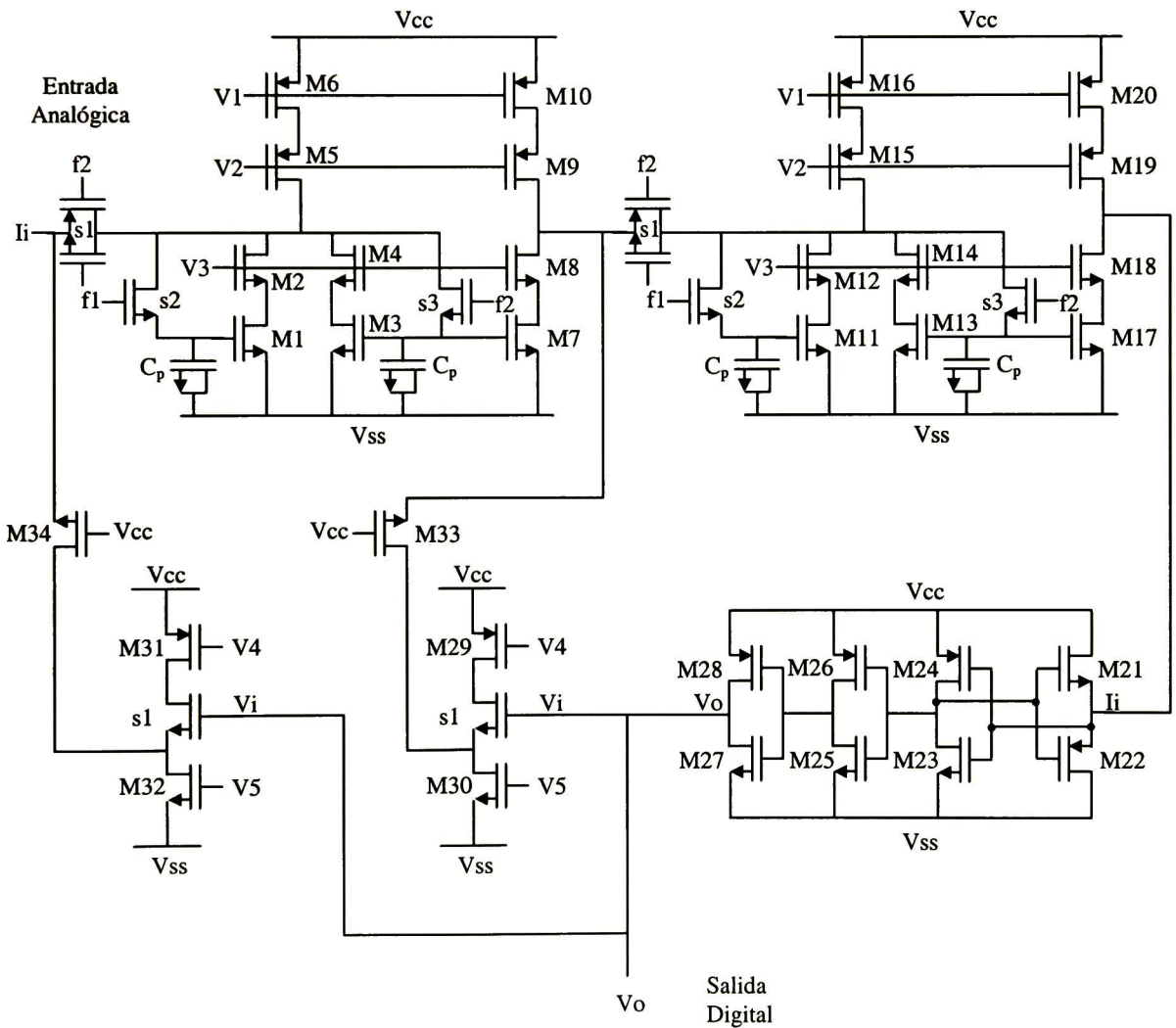
APÉNDICE A

# Modulador $\Sigma\text{-}\Delta$ en Simulink



APÉNDICE B

# Diagrama a nivel transistor del modulador $\Sigma\Delta$ diseñado



## APÉNDICE C

***Listado en T-SPICE del modulador  $\Sigma\Delta$*** 

\* Circuit Extracted by Tanner Research's L-Edit V8.02 / Extract V8.02 ;

\*\*\*\*\* Polarizaciones \*\*\*\*\*

Vbias1 v1 0 dc 1  
 Vbias2 v2 0 dc 0.1  
 Vbias3 v3 0 dc -0.4  
 Vbias4 v4 0 dc 1.2  
 Vbias5 v5 0 dc -1.404

\*\*\*\*\* Generador de fases \*\*\*\*\*

Vf clk 0 pulse(-2.5 2.5 100n 5n 5n 90n 200n )  
 C1 clk 0 2p

Cpa1 s1 0 C=2.37222f  
 Cpa2 s2 0 C=1.79262f  
 Cpa3 vcc 0 C=19.13922f  
 Cpa4 f2 0 C=5.15016f  
 Cpa5 11 0 C=1.9665f  
 Cpa6 1 0 C=4.83552f  
 Cpa7 f1 0 C=2.15694f  
 Cpa8 10 0 C=4.83552f  
 Cpa9 vss 0 C=16.68006f

\*\*\* inverting input

M26c vcc clk 11 vcc PMOS L=2.4u W=17.4u AD=469.8p PD=332.4u AS=62.64p PS=20.4u  
 M27c 11 clk vcc vcc PMOS L=2.4u W=17.4u AD=62.64p PD=20.4u AS=469.8p PS=332.4u  
 M21c 11 clk vss vss NMOS L=2.4u W=3u AD=9.9p PD=12.6u AS=69.3p PS=88.2u

\*\*\* NOR of f1 and S2

M17c 1 clk vcc vcc PMOS L=2.4u W=17.4u AD=229.68p PD=165.6u AS=469.8p PS=332.4u  
 M30c vcc clk 1 vcc PMOS L=2.4u W=17.4u AD=469.8p PD=332.4u AS=229.68p PS=165.6u  
 M25c f2 f1 1 vcc PMOS L=2.4u W=17.4u AD=62.64p PD=42u AS=229.68p PS=165.6u  
 M18c 1 f1 f2 vcc PMOS L=2.4u W=17.4u AD=229.68p PD=165.6u AS=62.64p PS=42u  
 M12c vss clk f2 vss NMOS L=2.4u W=3u AD=69.3p PD=88.2u AS=10.8p PS=13.2u  
 M20c f2 f1 vss vss NMOS L=2.4u W=3u AD=10.8p PD=13.2u AS=69.3p PS=88.2u

M13c s2 f1 vcc vcc PMOS L=2.4u W=17.4u AD=62.64p PD=20.4u AS=469.8p PS=332.4u  
 M14c s2 f1 vcc vcc PMOS L=2.4u W=17.4u AD=62.64p PD=20.4u AS=469.8p PS=332.4u  
 M10c s2 f1 vss vss NMOS L=2.4u W=3u AD=9.9p PD=12.6u AS=69.3p PS=88.2u

C2 s2 0 2p

\*\*\* NOR of f2 and s1

M28c vcc 11 10 vcc PMOS L=2.4u W=17.4u AD=469.8p PD=332.4u AS=229.68p PS=165.6u  
 M29c vcc 11 10 vcc PMOS L=2.4u W=17.4u AD=469.8p PD=332.4u AS=229.68p PS=165.6u

M23c 10 f2 f1 vcc PMOS L=2.4u W=17.4u AD=229.68p PD=165.6u AS=62.64p PS=42u  
M24c f1 f2 10 vcc PMOS L=2.4u W=17.4u AD=62.64p PD=42u AS=229.68p PS=165.6u  
M19c f1 f2 vss vss NMOS L=2.4u W=3u AD=10.8p PD=13.2u AS=69.3p PS=88.2u  
M22c vss 11 f1 vss NMOS L=2.4u W=3u AD=69.3p PD=88.2u AS=10.8p PS=13.2u

M15c s1 f2 vcc vcc PMOS L=2.4u W=17.4u AD=62.64p PD=20.4u AS=469.8p PS=332.4u  
M16c s1 f2 vcc vcc PMOS L=2.4u W=17.4u AD=62.64p PD=20.4u AS=469.8p PS=332.4u  
M11c s1 f2 vss vss NMOS L=2.4u W=3u AD=9.9p PD=12.6u AS=69.3p PS=88.2u  
C3 s1 0 2p

\*\*\*\*\* Comparador \*\*\*\*\*

\*\*\* Capacitancias

Cpar1 81 0 C=3.65976f  
Cpar2 2A 0 C=1.5732f  
Cpar3 1A 0 C=1.5732f  
Cpar4 31 0 C=5.85396f  
Cpar5 3 0 C=5.85396f  
Cpar6 vcc 0 C=37.97055f  
Cpar7 1B 0 C=1.29996f  
Cpar8 I1 0 C=1.19232f  
Cpar9 2B 0 C=1.29996f  
Cpar10 I2 0 C=1.19232f  
Cpar11 Vo 0 C=2.05758f  
Cpar12 8 0 C=10.37934f  
Cpar13 Ii 0 C=11.13624f  
Cpar14 f1 0 C=4.3272f  
Cpar16 vss 0 C=33.96042f

\*\*\*\* Comparador

M23 vss 1A 81 vcc PMOS L=2.4u W=14.4u AD=182.52p PD=215.4u AS=100.98p PS=74.4u  
M19 81 1A vcc vss NMOS L=2.4u W=6u AD=37.62p PD=36u AS=199.8p PS=258.6u  
M24 1A 81 vcc vcc PMOS L=2.4u W=14.4u AD=47.52p PD=35.4u AS=554.4p PS=408.6u  
M20 1A 81 vss vss NMOS L=2.4u W=6u AD=19.8p PD=18.6u AS=190.08p PS=187.8u  
M22 2A 1A vcc vcc PMOS L=2.4u W=14.4u AD=47.52p PD=35.4u AS=554.4p PS=408.6u  
M18 2A 1A vss vss NMOS L=2.4u W=6u AD=19.8p PD=18.6u AS=190.08p PS=187.8u  
M21 Vo 2A vcc vcc PMOS L=2.4u W=14.4u AD=47.52p PD=35.4u AS=554.4p PS=408.6u  
M17 Vo 2A vss vss NMOS L=2.4u W=6u AD=19.8p PD=18.6u AS=190.08p PS=187.8u

\*\*\*\*\* Integradores \*\*\*\*\*

\*\*\* Integrador 1

M38 24 v1 vcc vcc PMOS L=6u W=16.2u AD=58.32p PD=39.6u AS=554.4p PS=408.6u  
M35 31 v2 24 vcc PMOS L=6u W=16.2u AD=117p PD=91.2u AS=58.32p PS=39.6u  
M32 31 v3 44 vss NMOS L=6u W=5.4u AD=65.88p PD=74.4u AS=19.44p PS=18u  
M29 44 53 vss vss NMOS L=6u W=5.4u AD=19.44p PD=18u AS=190.08p PS=187.8u  
M39 31 f1 8 vss NMOS L=1.8u W=1.8u AD=65.88p PD=74.4u AS=37.8p PS=43.2u  
M43 31 f2 8 vcc PMOS L=1.8u W=1.8u AD=117p PD=91.2u AS=63.54p PS=52.2u  
M27 31 f1 53 vss NMOS L=1.8u W=1.8u AD=65.88p PD=74.4u AS=10.08p PS=13.2u

M37 vcc v1 25 vcc PMOS L=6u W=16.2u AD=554.4p PD=408.6u AS=58.32p PS=39.6u  
M34 25 v2 31 vcc PMOS L=6u W=16.2u AD=58.32p PD=39.6u AS=117p PS=91.2u  
M31 45 v3 31 vss NMOS L=6u W=5.4u AD=19.44p PD=18u AS=65.88p PS=74.4u  
M26 vss 54 45 vss NMOS L=6u W=5.4u AD=190.08p PD=187.8u AS=19.44p PS=18u  
M28 54 f2 31 vss NMOS L=1.8u W=1.8u AD=10.08p PD=13.2u AS=65.88p PS=74.4u

M65 vss 54 vss vss NMOS L=6u W=43.8u AD=2.41776n PD=1.512m AS=2.41776n PS=1.512m  
M66 vss 54 vss vss NMOS L=6u W=43.8u AD=2.41776n PD=1.512m AS=2.41776n PS=1.512m  
M67 vss 54 vss vss NMOS L=6u W=43.8u AD=2.41776n PD=1.512m AS=2.41776n PS=1.512m  
M68 vss 53 vss vss NMOS L=6u W=43.8u AD=2.41776n PD=1.512m AS=2.41776n PS=1.512m  
M69 vss 53 vss vss NMOS L=6u W=43.8u AD=2.41776n PD=1.512m AS=2.41776n PS=1.512m  
M70 vss 53 vss vss NMOS L=6u W=43.8u AD=2.41776n PD=1.512m AS=2.41776n PS=1.512m

M36 26 v1 vcc vcc PMOS L=6u W=16.2u AD=58.32p PD=39.6u AS=554.4p PS=408.6u  
M33 26 v2 81 vcc PMOS L=6u W=16.2u AS=58.32p PS=39.6u AD=100.98p PD=74.4u  
M30 46 v3 81 vss NMOS L=6u W=5.4u AS=19.44p PS=18u AD=37.62p PD=36u  
M25 46 54 vss vss NMOS L=6u W=5.4u AD=19.44p PD=18u AS=190.08p PS=187.8u

### \*\*\* Integrador 2

M56 2 v1 vcc vcc PMOS L=6u W=16.2u AD=58.32p PD=39.6u AS=554.4p PS=408.6u  
M55 3 v2 2 vcc PMOS L=6u W=16.2u AD=117p PD=91.2u AS=58.32p PS=39.6u  
M52 3 v3 4 vss NMOS L=6u W=5.4u AD=65.88p PD=74.4u AS=19.44p PS=18u  
M50 4 5 vss vss NMOS L=6u W=5.4u AD=19.44p PD=18u AS=190.08p PS=187.8u  
M47 3 f1 li vss NMOS L=1.8u W=1.8u AD=65.88p PD=74.4u AS=19.98p PS=25.8u  
M53 3 f2 li vcc PMOS L=1.8u W=1.8u AD=117p PD=91.2u AS=10.08p PS=13.2u  
M48 3 f1 5 vss NMOS L=1.8u W=1.8u AD=65.88p PD=74.4u AS=10.08p PS=13.2u

M46 vcc v1 22 vcc PMOS L=6u W=16.2u AD=554.4p PD=408.6u AS=58.32p PS=39.6u  
M54 22 v2 3 vcc PMOS L=6u W=16.2u AD=58.32p PD=39.6u AS=117p PS=91.2u  
M51 42 v3 3 vss NMOS L=6u W=5.4u AD=19.44p PD=18u AS=65.88p PS=74.4u  
M42 vss 52 42 vss NMOS L=6u W=5.4u AD=190.08p PD=187.8u AS=19.44p PS=18u  
M49 52 f2 3 vss NMOS L=1.8u W=1.8u AD=10.08p PD=13.2u AS=65.88p PS=74.4u

M71 vss 52 vss vss NMOS L=6u W=43.8u AD=2.41776n PD=1.512m AS=2.41776n PS=1.512m  
M72 vss 52 vss vss NMOS L=6u W=43.8u AD=2.41776n PD=1.512m AS=2.41776n PS=1.512m  
M73 vss 52 vss vss NMOS L=6u W=43.8u AS=2.41776n PS=1.512m AD=2.41776n PD=1.512m  
M74 vss 5 vss vss NMOS L=6u W=43.8u AD=2.41776n PD=1.512m AS=2.41776n PS=1.512m  
M75 vss 5 vss vss NMOS L=6u W=43.8u AD=2.41776n PD=1.512m AS=2.41776n PS=1.512m  
M76 vss 5 vss vss NMOS L=6u W=43.8u AD=2.41776n PD=1.512m AS=2.41776n PS=1.512m

M45 23 v1 vcc vcc PMOS L=6u W=8.4u AD=58.32p PD=39.6u AS=554.4p PS=408.6u  
M44 8 v2 23 vcc PMOS L=6u W=8.4u AD=63.54p PD=52.2u AS=58.32p PS=39.6u  
M40 8 v3 43 vss NMOS L=6u W=3u AD=37.8p PD=43.2u AS=19.44p PS=18u  
M41 43 52 vss vss NMOS L=6u W=3u AD=19.44p PD=18u AS=190.08p PS=187.8u

\*\*\*\*\*

DAC's

\*\*\*\*\*

### \*\*\* DAC 1

M64 2B v4 vcc vcc PMOS L=3u W=13.8u AD=45.54p PD=34.2u AS=554.4p PS=408.6u



M61 I2 Vo 2B vss NMOS L=3u W=3u AD=31.68p PD=39u AS=9.9p PS=12.6u  
M57 I2 v5 vss vss NMOS L=3u W=3.6u AD=31.68p PD=39u AS=190.08p PS=187.8u  
M59 I2 vcc Ii vss NMOS L=7.8u W=3u AD=31.68p PD=39u AS=19.98p PS=25.8u  
\*\*\*\*\* DAC 2  
M63 I1B v4 vcc vcc PMOS L=3u W=13.8u AD=45.54p PD=34.2u AS=554.4p PS=408.6u  
M60 I1 Vo 1B vss NMOS L=3u W=3u AD=31.68p PD=39u AS=9.9p PS=12.6u  
M62 I1 v5 vss vss NMOS L=3u W=3.6u AD=31.68p PD=39u AS=190.08p PS=187.8u  
M58 I1 vcc 8 vss NMOS L=7.8u W=3u AD=31.68p PD=39u AS=37.8p PS=43.2u

\*\*\*\*\* Fuentes y Comandos de simulación \*\*\*\*\*

Vcc vcc 0 dc 2.5  
Vss vss 0 dc -2.5  
C4 Vo 0 2p  
Iin Ii 0 SIN (0u 10u 9766 0 0 0)

.op  
.acmodel {\*}  
.power Vcc  
.power Vss  
\*.four 1 v(5) nfreqs=20 interpolate=1  
\*.options mosparasitics=1  
\*.options mintimestep=0.1n  
.tran 200n 50u  
.print tran i(Iin)  
.print tran v(Vo)  
.end

\*\*\*\*\*

Modelo

\*\*\*\*\*

\*T1AZ SPICE LEVEL3 PARAMETERS

\* DATE: Dec 18/01  
\* LOT: T1AZ WAF: 5101  
\* DIE: N\_Area\_Fring DEV: N3740/10  
\* Temp= 27  
.MODEL NMOS NMOS ( LEVEL = 3  
+ TOX = 3.07E-8 NSUB = 2.75325E15 GAMMA = 0.7620845  
+ PHI = 0.7 VTO = 0.6298903 DELTA = 0.8569392  
+ UO = 702.9336344 ETA = 9.99916E-4 THETA = 0.0734963  
+ KP = 7.195017E-5 VMAX = 2.766785E5 KAPPA = 0.5  
+ RSH = 0.0474566 NFS = 6.567094E11 TPG = 1  
+ XJ = 3E-7 LD = 4.271014E-12  
+ CGDO = 1.75E-10 CGSO = 1.75E-10 CGBO = 1E-10  
+ CJ = 2.944613E-4 PB = 0.9048351 MJ = 0.5  
+ CJSW = 1.236957E-10 MJSW = 0.05 )

\* DATE: Dec 18/01  
\* LOT: T1AZ WAF: 5101  
\* DIE: P\_Area\_Fring DEV: P3740/10

\* Temp= 27

```
.MODEL PMOS PMOS (                LEVEL = 3
+ TOX  = 3.07E-8    NSUB = 1E17    GAMMA = 0.4940829
+ PHI  = 0.7        VTO  = -0.8615406  DELTA = 0.5236605
+ UO   = 250        ETA  = 7.55184E-3  THETA = 0.1344949
+ KP   = 2.438731E-5  VMAX = 9.345228E5  KAPPA = 200
+ RSH  = 36.5040447  NFS  = 5.518964E11  TPG  = -1
+ XJ   = 2E-7        LD   = 9.684773E-12
+ CGDO = 2.09E-10    CGSO = 2.09E-10    CGBO = 1E-10
+ CJ   = 2.965467E-4  PB   = 0.744678    MJ   = 0.4276703
+ CJSW = 1.619193E-10  MJSW = 0.1055522  )
*
```

APÉNDICE D

## *Publicaciones en Congresos Internacionales*

---

[1] R. Rodríguez Calderón, J. Santana Corte and F. Sandoval Ibarra, “Reducing Non-Idealities On Switched-Current Sigma Delta Modulators”, IEEE International Caracas Conference on Devices, Circuits and Systems, 17-19 Abril 2002, Aruba (Venezuela)

[2] Rosalino Rodríguez Calderón, J. Santana Corte, F. Sandoval Ibarra, “Modulador  $\Sigma$ - $\Delta$  en Corriente Conmutada para 40kHz”, TELECOM’02 International Conference, 17-19 Julio 2002, Santiago de Cuba (Cuba).

[3] R. Rodríguez Calderón, J. Santana Corte, F. Sandoval Ibarra, “Celda de corriente conmutada de alto desempeño para moduladores Sigma-Delta”, VIII Workshop International Iberchip, 3-5 Abril 2002, Guadalajara (México)

# CELDA DE CORRIENTE CONMUTADA DE ALTO DESEMPEÑO PARA MODULADORES SIGMA DELTA

R. Rodríguez-Calderón, J. Santana-Corte, F. Sandoval-Ibarra  
CINVESTAV-Unidad Guadalajara

Pról. Av. López-Mateos Sur 590, 45235, tel:+52 (33)31345570, Guadalajara, Jalisco (México)  
Email: [rosalino200@hotmail.com](mailto:rosalino200@hotmail.com), [juan.santana@cts-design.com](mailto:juan.santana@cts-design.com), [sandoval@cts-design.com](mailto:sandoval@cts-design.com)

## ABSTRACT

Los convertidores de sobremuestreo A/D y D/A diseñados a partir de moduladores sigma-delta ( $\Sigma\Delta$ ) en corriente conmutada (SI) presenta la ventaja de ser fabricados en tecnologías digitales CMOS, además de cumplir los requerimientos propuestos por la tendencia hacia tecnología submicrométrica. El inconveniente es que existen no idealidades en los circuitos SI que limitan su desempeño. En este trabajo se presenta un modulador  $\Sigma\Delta$  convencional de segundo orden pasa bajas en SI, utilizando esquemas adecuados de compensación, con lo que se mejora el desempeño de este para aplicaciones de audio digital.

## 1. INTRODUCCION

En los últimos años el crecimiento en el uso de procesamiento de señales en circuitos integrados digitales ha incrementado la necesidad de desarrollar métodos para construir convertidores A/D y D/A en tecnología digital estándar CMOS. Los convertidores de sobremuestreo basados en moduladores  $\Sigma\Delta$  han tenido una gran aceptación debido a que éstos presentan alta tolerancia a las variaciones del proceso [1,2] y pueden ser implementados en tiempo continuo, capacitores conmutados o más recientemente en corriente conmutada. El diseño en corriente conmutada es una alternativa para señal mezclada ya que además de lo mencionado permite operar los circuitos a frecuencias altas, con bajo consumo de potencia, una reducida área de integración y voltajes de alimentación bajos, aunque en algunas ocasiones se alimenta con niveles altos de voltaje para poder procesar señales mucho mayores a las que se manejarían con niveles de alimentación bajos, esto depende de la aplicación en la cual se utilizará el circuito. En comparación con su contraparte en voltaje, los capacitores conmutados, requieren mayor área de integración, más consumo de potencia, procesos extras de fabricación, capacitores lineales, además de estar limitados en frecuencia por la necesidad del amplificador.

Sin embargo en la práctica existen no idealidades como la inyección de carga, clock feedthrough, error de impedancia finita, desapareamiento (mismatch) y el tiempo de establecimiento que limitan el desempeño de la celda de corriente. En años recientes se han desarrollado diversas técnicas que principalmente compensan el error debido a la inyección de carga y al clock feedthrough, como son: interruptores CMOS con transistores dummy, modificando la celda básica de corriente (clase AB, GGA, utilizando retroalimentación negativa de alta ganancia) [4,5,6], multi muestreo ( $S^2I$ ) [3], o utilizando una combinación de estas, pero al mismo tiempo reducen la velocidad de operación de la celda, por lo que los A/D basados en moduladores  $\Sigma\Delta$  se limitan a resoluciones moderadas (9-14 bits) y anchos de banda bajos (0-8 KHz) [6,7,8]. En este trabajo se presenta un esquema de compensación de las no idealidades de la celda para reducir el ruido y la distorsión armónica del integrador de corriente que es utilizado en el diseño de un modulador  $\Sigma\Delta$  pasa bajas de segundo orden aumentando de esta manera su resolución.

## 2. CELDA DE CORRIENTE

Se sabe que en las celdas de corriente existe un compromiso entre exactitud y velocidad dado que están inversamente relacionadas [3-6]. La frecuencia máxima de muestreo  $f_s$  esta determinada por la constante de tiempo generada por  $C_{gs1}$  y  $g_{m1}$  del transistor de memoria M1 (figura 1), dicha frecuencia está dada por

$$f_s = \frac{g_{m1}}{2C_{gs1}} = \frac{I_{bias}}{(V_{gs} - V_T)_{M1} C_{gs1}} \quad (1)$$

De (1) se observa que la frecuencia máxima de muestreo puede ser aumentada utilizando valores altos de  $I_{bias}$  y valores bajos del potencial  $(V_{gs} - V_T)_{M1}$  y valores pequeños de  $C_{gs1}$ . Sin embargo estas opciones no son deseadas cuando se requiere una alta relación señal ruido (SNR), además que valores bajos de  $(V_{gs} - V_T)_{M1}$  y  $C_{gs1}$  aumentan la distorsión ya que producen errores,  $\Delta V$ , grandes en el

voltaje almacenado en  $C_{gs1}$  debido al clockfeedthrough,  $\Delta V_{CFT}$ , y al fenómeno de inyección de carga  $\Delta V_{IC}$ :

$$SNR = 10 \log \left( \frac{3m_o^2 C_{gs1} (V_{gs} - V_T)_{M1}^2}{16m_{th} KT(1+A)} \right) \quad (2)$$

$$\Delta V_{CFT} = \left[ \frac{C_{gs}}{C_{gs} + C_{gs1}} \right] (V_{gs} + V_T)_{M1} \quad (3)$$

$$\Delta V_{IC} = \frac{1}{2} \left( \frac{Q_{s2}}{C_{gs1}} \right) = \frac{1}{2} \left( \frac{(WL)_{s2} C_{ox} (V_{gs} - V_T)_{s2}}{C_{gs1}} \right) \quad (4)$$

donde  $m_o$  es el índice de modulación,  $m_{th}$  es una constante de proceso,  $A$  es la relación de  $g_m$  entre el transistor tipo p y el tipo n,  $C_{gs1}$  y  $(V_{gs}-V_T)_{M1}$  son la capacitancia compuerta a fuente y el voltaje de saturación respectivamente del transistor de memoria M1,  $C_{gs}$  es la capacitancia compuerta fuente del interruptor s2,  $Q_{s2}$  es la carga almacenada por el interruptor s2,  $C_{ox}$  es la capacitancia de oxido,  $(WL)_{s2}$  es el área del interruptor s2 y  $(V_{gs}-V_T)_{s2}$  es el voltaje de saturación de s2. De (2) se puede observar que valores altos de  $C_{gs1}(V_{gs}-V_T)_{M1}$  proporcionan mejor SNR de la celda de corriente, de (3) se ve claramente que valores grandes de  $C_{gs1}$  disminuyen el error debido al clockfeedthrough y de (4) se puede ver que valores grandes de  $C_{gs1}$ , área pequeña de interruptores y pulsos de reloj pequeños disminuyen el error de voltaje debido a la inyección de carga.

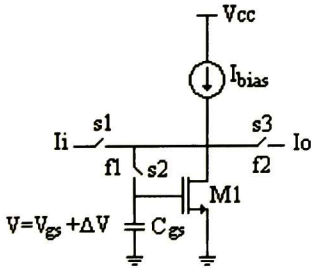


Figura 1. Celda de corriente básica

La impedancia finita de entrada  $Z_{in}$  y salida  $Z_o$  de la celda de corriente es otro factor a considerar, ya que provoca un error  $\epsilon$  en la transmisión de corriente entre celdas, su valor está dado por

$$\epsilon = (Z_{in} / Z_o) I_{in} \quad (5)$$

De (5) se observa que valores pequeños de  $Z_{in}$  y valores grandes de  $Z_o$  son necesarios para disminuir este error.

El esquema de compensación que se propone utiliza una relación de áreas entre el transistor de memoria y el interruptor ( $A_{M1}/A_{S2}$ ) mayor o igual a cuatro, considerando geometrías mínimas para los interruptores y niveles de polarización mayores a  $50\mu A$ , lo cual permite que la celda sea capaz de conmutar en el orden de los MHz y generar un  $\Delta V$  pequeño. La celda tiene un arreglo de interruptores que minimizan aun mas los efectos debidos a la inyección de carga y al clock feedthrough [9] y por lo tanto se reduce la distorsión [13]. Si el ancho de banda logrado con las especificaciones anteriores es mayor al deseado, se puede colocar un capacitor MOS entre la compuerta y la fuente del transistor M1 (recomendado), ya que esta característica permite reducir más el error en la corriente de salida por el aumento de  $C_{gs1}$ , además de tener control un poco más independiente entre velocidad y exactitud de la celda de corriente. El valor de las geometrías del capacitor MOS  $C_p$  pueden ser calculadas por medio de:

$$W_C = 3.5 \frac{C_p}{C_{ox} \left( L_D + \frac{2}{3} L_C \right)} \quad (6)$$

donde  $C_p$  es el valor de la capacitancia requerida,  $L_D$  es la difusión lateral,  $L_C$  y  $W_C$  largo y ancho respectivamente del capacitor MOS. Además utiliza fases no traslapadas con un voltaje de compuerta de  $0.88V_{cc}$  para reducir el error  $\Delta V_{IC}$ , ya que valores reducidos de  $V_g$  permiten a los interruptores operar con voltajes de saturación reducidos, lo cual reduce el error debido a la inyección de carga de acuerdo con (4). Se estableció el valor de 0.88 ya que esté es el valor mínimo para que los interruptores puedan operar de forma correcta (de acuerdo a la alimentación que se esta utilizando). Para compensar el error debido a la impedancia finita y al desapareamiento se utilizo un arreglo cascode [4], obteniendo un error  $\epsilon$  de 0.02% de  $I_{in}$ , y los transistores que generan el espejo se colocaron lo mas cerca posible en el layout. El la figura 2 se muestra la celda de corriente con el esquema de compensación propuesto. La geometría de los transistores de la celda es  $L=6\mu m$ ,  $W_n=5.4\mu m$  y  $W_p=16.2\mu m$ , lo cual da una relación de áreas  $(A_{M1}/A_{S2})=10$ . Tomado  $(V_{gs}-V_T)_{M1}=1.25V$ ,  $V_T=0.7V$ ,  $(V_{gs}-V_T)_S=1V$ ,  $A=3$ ,  $m_o=1$ ,  $C_{gs}+C_p=9pf$ ,  $I_{bias}=100\mu A$ ,  $C_{ox}=1.12mf$ ,  $K=1.38 \times 10^{-23}$ ,  $T=300^{\circ}k$ ,  $C_{gs}=2 \times 10^{-15}$  para el interruptor s2 y  $m_{th}=1.5$ , la frecuencia máxima de muestreo, la SNR y la magnitud del error en la corriente, a partir de las ecuaciones (2), (3) y (4) son:  $f_s=9MHz$ ,  $SNR=80.26dB$ ,  $\Delta V_{CFT}=0.2mV$  y  $\Delta V_{IC}=0.58mV$ . El error  $\Delta I$  en la corriente de salida debido

al clockfeedthrough y a la inyección de carga esta dado por:

$$\Delta I = g_{m1}(\Delta V_{CFT} + \Delta V_{IC}) = 91.4nA$$

De los resultados anteriores se puede observar que la celda de corriente presenta un buen balance entre exactitud y velocidad ya que puede operar en el orden de los MHz con errores bajos de inyección de carga y de clockfeedthrough. Si se quiere variar la frecuencia máxima de muestreo y la exactitud se puede variar la corriente de polarización y el valor de  $C_{gs1}$  para obtener el mejor balance entre velocidad y exactitud.

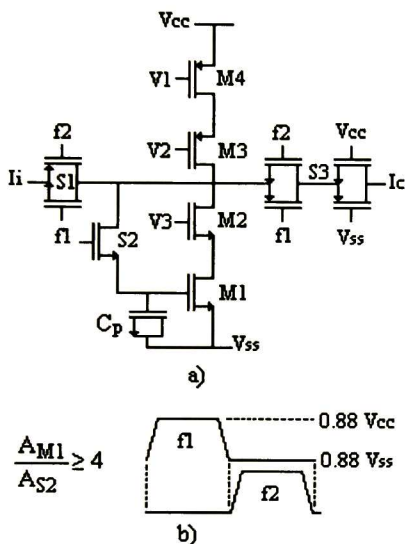


Figura 2. a) Celda de corriente b) Relación de áreas y pulsos de reloj.

### 3. MODULADOR SIGMA DELTA

El modulador  $\Sigma\Delta$  diseñado fue del tipo pasa bajas de segundo orden como el de la figura 3. Dado que esta configuración tiene la característica de presentar buena estabilidad e inmunidad a variaciones del proceso de fabricación [1,2], de la figura 3 se puede observar que el modulador está constituido por dos integradores, un cuantizador de corriente y dos convertidores analógico digital (DAC). Las ganancias “a” y “b” se escogieron de 0.5 y 1 respectivamente de tal manera que el swing en ambos integradores fue de igual valor y con esto se evito la saturación de los integradores [6,10].

#### 3.1. Integrador

En moduladores  $\Sigma\Delta$  las no idealidades del primer integrador son el factor principal que decrementa el

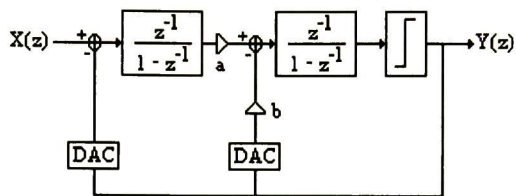


Figura 3. Diagrama a bloques del Modulador  $\Sigma\Delta$  de 2º orden

desempeño del modulador [2,11,13] ya que este afecta la SNR del modulador:

$$SNR = \frac{P_{señal}}{P_{nC} + P_{nl}} \quad (7)$$

donde  $P_{signal}$  es la potencia de la señal de entrada,  $P_{nc}$  es la potencia del ruido de cuantización y  $P_{nl}$  es la potencia del ruido en el integrador. La (7) muestra que disminuyendo el ruido y la distorsión armónica en el primer integrador mejora la SNR del modulador, debido a ésto los integradores que constituyen el modulador  $\Sigma\Delta$  se implementan con la celda de corriente compensada descrita en la sección dos, en la figura 4 se muestra el diagrama del integrador.

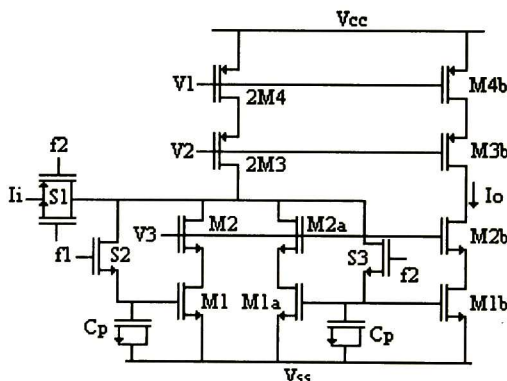


Figura 4. Integrador compensado.

#### 3.2. Cuantizador

El cuantizador del modulador  $\Sigma\Delta$  se implementó con el comparador de corriente de la figura 5(a) [12], el cual está constituido por un seguidor de fuente como etapa de entrada para reducir la impedancia de entrada  $Z_{in}$  y permitir una retroalimentación positiva. El inversor es utilizado para amplificar pequeñas variaciones en el nodo de entrada e incrementar la velocidad y la sensibilidad. La geometría de los transistores del comparador son:  $L=2.4\mu m$ ,  $W_n=6\mu m$  y  $W_p=14.4\mu m$ .

### 3.3. DAC

El convertidor analógico-digital de un bit que se diseñó es un par de fuentes de corriente controladas por la cadena de pulsos de salida del cuantizador. La figura 5(b) muestra el DAC diseñado, la geometría de los transistores son:  $L=3\mu\text{m}$ ,  $W_n=3.6\mu\text{m}$  y  $W_p=13.8\mu\text{m}$ .

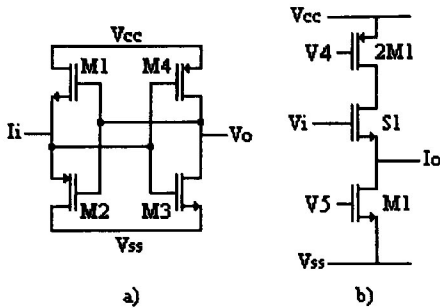


Figura 5. a) Comparador de corriente b) DAC de 1 bit

### 4. RESULTADOS

El modulador  $\Sigma\Delta$  se diseñó con un proceso CMOS  $1.2\mu\text{m}$ , el área activa del modulador es de  $123\mu\text{m} \times 250\mu\text{m}$ , el layout se muestra en la figura 6. De acuerdo con resultados de simulación el circuito disipa una potencia de  $1\text{mW}$  utilizando una fuente dual de  $2.5\text{V}$ .

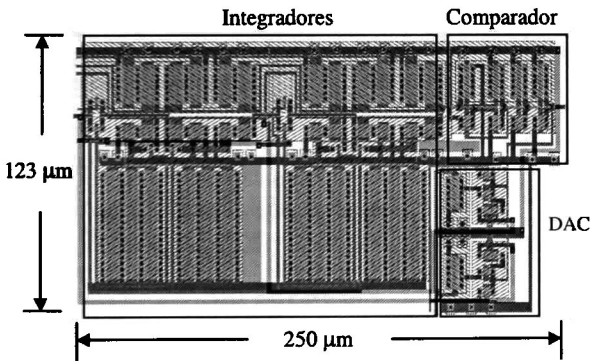


Figura 6. Layout del modulador  $\Sigma\Delta$

Para medir el desempeño del modulador, se le aplicó una FFT a los datos de salida utilizando MATLAB, para poder evaluar la relación señal ruido y la distorsión armónica. En la figura 7 se muestra la medición de la densidad espectral de potencia (PSD) del modulador  $\Sigma\Delta$  compensado para una FFT de 2048 puntos, con una señal de entrada senoidal de  $5\text{dB}$  a  $10\text{KHz}$ , la frecuencia de muestreo es de  $5.12\text{MHz}$ , además muestra la PSD para un modulador  $\Sigma\Delta$  no compensado. En la figura 7 se puede ver como el ruido de piso decrece en el modulador  $\Sigma\Delta$  compensado lo cual

aumenta la SNR mejorando el desempeño del modulador  $\Sigma\Delta$ .

La medición de la relación señal ruido distorsión (SNRD) se obtuvo a partir de la PSD utilizando MATLAB, dividiendo la potencia de la señal entre la potencia del ruido en el ancho de banda de audio ( $20\text{Hz}$  a  $20\text{kHz}$ ), la figura 8 muestra la SNRD contra la amplitud de entrada, en la que se observa que la máxima SNRD es de  $13.5$  bits. El resumen de los resultados obtenidos se muestra en la tabla 1.

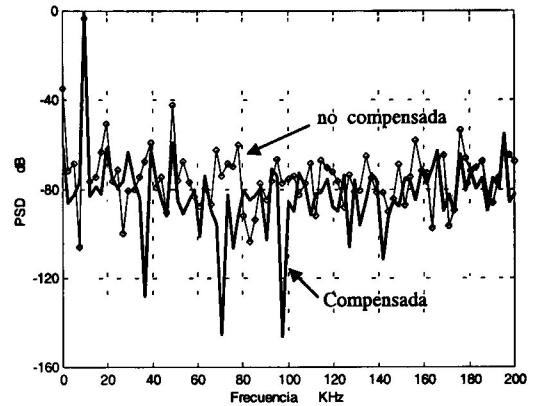


Figura 7. PSD del modulador

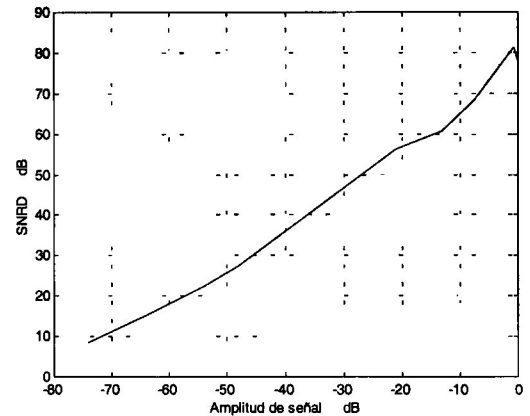


Figura 8. SNRD contra señal de entrada

### 5. CONCLUSIONES

El modulador  $\Sigma\Delta$  es una excelente alternativa para implementar convertidores A/D de alta resolución, dicho convertidor se puede diseñar en SI, el inconveniente que presenta es que la resolución del convertidor A/D es limitada por las no idealidades de la celda de corriente. En este trabajo se propone un esquema de compensación para

reducir las no idealidades de los integradores que constituyen el modulador  $\Sigma\Delta$  aumentando el desempeño de este. De las simulaciones obtenidas hay dos puntos importantes que se deben destacar: Primero, el modulador  $\Sigma\Delta$  diseñado presenta mejor desempeño que el obtenido en trabajos desarrollados previamente en SI [6,7,8,10]. Segundo, es competitivo con diseños implementados en SC en el rango de frecuencia de audio [14], esto se puede observar comparando la tabla 1 y 2.

Como trabajo futuro se medirá el desempeño del chip fabricado y se compararan las mediciones con los resultados de simulación.

Frecuencia de reloj	5.12 MHz
Ancho de banda	20 KHz
OSR	128
SNR	13.5 bits
Alimentación	$\pm 2.5$ v
Potencia consumida	1 mW
Tecnología	1.2 $\mu$ m
Área activa	123 $\mu$ m X 250 $\mu$ m

Tabla 1. Resultados del modulador  $\Sigma\Delta$  en SI

Frecuencia de reloj	3.072 MHz
Ancho de banda	20 KHz
OSR	64
SNR	16 bits
Alimentación	3.3 v
Potencia consumida	66 mW
Tecnología	0.5 $\mu$ m
Área activa	5mm X 1.9mm

Tabla 2. Resultados del modulador  $\Sigma\Delta$  en SC.

## REFERENCIAS

- [1] J. C. Candy and G. C. Temes, "Oversampling Delta-Sigma Data converters, Theory, Design and Simulation", IEEE Press, 1992
- [2] B. E. Boser And B. A. Wooley, "The Design Of Sigma-Delta Modulation Analog-To-Digital Converts", IEEE Journal Of Solid State Circuits, Vol. 23, No.6, December 1988
- [3] J. B. Hughes And K. W. Moulding, "S<sup>2</sup>I: A Switched-Current Technique for High Performance", Electron. Lett., Vol 29, pp 1400-1401, Aug. 1993
- [4] C. Toumazou, J. B. Hughes and N. C. Battersby, "Switched-Current on Analogue Technique for

Digital Technology", IEE Circuits And Systems, Series 5, Peter Peregrinus Ltd., 1993.

- [5] M. Helfenstein and G. S. Moschytz, "Clockfeedthrough Compensation Technique for Switched-Current Circuits", IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 42, pp. 1206-1213, March 1995.
- [6] N. Tan And S. Eriksson, "A Low-Voltage Switched-Current Delta-Sigma Modulator", IEEE Journal of Solid State Circuits, Vol. 30, No.5, Mayo 1995
- [7] M. Loulou, D. Dallet And P. Marchegay, "A 3.3v Switched-Current Second Order Sigma-Delta Modulator for Audio Applications", ISCAS 2000, Mayo 28-31
- [8] N. Tan, "On Switched-Current  $\Sigma\Delta$  A/D Converters", IEEE International Symposium on Circuits and Systems 1995, vol. 3, pp. 2071-2074
- [9] F. S. Ibarra, J. S. Corte and J. M. Serna, "Reducing Non-Idealities in Switched-Current Circuits", International Symposium on Circuits and Systems SCS'2001, July 2001, pp. 213-216
- [10] N. Tan and S. Eriksson, "3.3v 11bit Delta-Sigma Modulator Using First-Generation SI Circuits", Electron. Letters, vol. 30, pp. 1819-1821, October 1994.
- [11] S. J. Daubert and D. Vallancourt, "A Transistor-Only Current-Mode  $\Sigma\Delta$  Modulator", IEEE Journal of Solid State Circuits, vol. 27, No.5, Mayo 1992
- [12] H. Traff, "Novel Approach to High Speed CMOS Current Comparators", Electron. Lett., vol. 28, pp 310-311, Jan. 1992.
- [13] J. M. Martins and V. F. Dias, "Harmonic Distortion in Switched-Current Sigma-Delta Modulators due to Clock Feedthrough", IEEE International Symposium on Circuits and Systems 1998, 31 May-3 June, vol. 1, pp. 373-376
- [14] E. Fogleman, J. Welz and I. Galton, "An Audio ADC Delta-Sigma Modulator with 100-dB Peak Sinal and 102-dB DR Using a Second-Order Mismatch-Shaping DAC", IEEE Journal of Solid-State Circuits, March 2001, pp 339-348.

## AGRADECIMIENTOS

El Ing Rosalino Rodríguez Calderón agrade el apoyo económico recibido del CONACYT (México).



# Modulador $\Sigma\Delta$ en Corriente Conmutada para 40KHz

Rosalino Rodríguez-Calderón <sup>1</sup>, J. Santana-Corte <sup>2</sup>, F. Sandoval-Ibarra <sup>1</sup>

<sup>1</sup> Grupo de Diseño Electrónico, CINVESTAV-Unidad Guadalajara

Pról. Av. López-Mateos Sur 590, 45235, tel:+52 (33)31345570, Guadalajara, Jalisco (México)

<sup>2</sup> Motorola-Puebla (México)

Email: rosalino2000@hotmail.com, r58626@motorola.com, sandoval@cts-design.com

## Resumen

Dadas las tendencias hacia circuitos de señal mezclada, los convertidores A/D y D/A diseñados a partir de moduladores sigma-delta en corriente conmutada (SI) han tenido una gran aceptación dadas sus ventajas de requerir mínima área de integración, sin embargo debido a las no idealidades de los circuitos en SI su desempeño se ha limitado a unas cuantas aplicaciones, requiriendo con ello esquemas de compensación. En este trabajo se presenta un modulador sigma-delta de segundo orden SI pasa bajas, el cual usa un esquema de compensación, alcanzando con esto una resolución de hasta 11bits para una frecuencia de Nyquits de 40KHz. El modulador sigma-delta se implementó en tecnología CMOS, de 1.5 $\mu$ m, requiriendo para ello una área de 0.052mm<sup>2</sup> y consume una potencia de 4mW usando  $\pm 2.5V$  de polarización.

## 1. Introducción

El desarrollo en el procesamiento de señales por medio de circuitos VLSI y señal mezclada, han incrementado la necesidad de diseñar nuevos circuitos para la realización de convertidores A/D y D/A por medio de tecnologías digitales CMOS. Los convertidores basados en moduladores sigma-delta ( $\Sigma\Delta$ ) e implementados en SI cumplen los requerimientos para ser fabricados en tecnologías digitales CMOS, además de cubrir las expectativas propuestas por la tendencia hacia tecnologías sub-micrométricas. Pero debido a las no idealidades de los circuitos de corriente conmutada, tales como: inyección de carga, clockfeedthrough, des-apareamiento (mismatch), impedancia de entrada/salida finita y limitado tiempo de establecimiento, el desempeño de éstos se ve degradado. Como solución algunos autores han desarrollado técnicas para compensar dichas no idealidades, utilizando interruptores CMOS con transistores dummy, multimuestreo ( $S^2I$ ) [3], modificando la celda de corriente básica (GGA, clase AB) o una combinación de estas [4,5,6], pero debido al esquema de compensación la frecuencia de operación máxima de la celda de corriente se reduce, existiendo un compromiso entre velocidad y exactitud. Debido a lo anterior los convertidores A/D implementados por medio de moduladores sigma-delta en corriente conmutada han alcanzado en la actualidad resoluciones moderadas (8-13 bits) en anchos de banda reducidos (3-8KHz) [6,7,8]. En la primera parte de este

trabajo se propone un esquema de compensación para reducir los efectos de las no idealidades de la celda básica de corriente, la cual se utilizara después en el diseño de los integradores de un modulador sigma-delta de segundo orden pasa bajas mejorando con esto su desempeño. Finalmente se presentan resultados experimentales del modulador sigma-delta implementado.

## 2. Celdas de Corriente

En la celda de corriente con su respectivo esquema de compensación propuesto en [3-6] se observa que existe un compromiso entre velocidad y exactitud. De la celda de corriente básica, mostrada en la figura 1, se pueden obtener expresiones para evaluar la frecuencia máxima de operación (1), el error debido al clockfeedthrough (2), a la inyección de carga (3), a la impedancia finita de entrada/salida (4) y una expresión para la relación señal/ruido (5). De estas se puede observar la relación existente entre velocidad-exactitud en celdas de corriente.

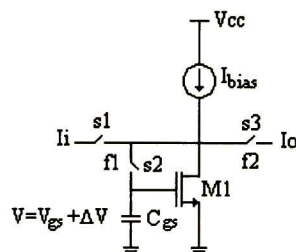


Figura 1. Celda de corriente básica

$$f_s = \frac{g_{m1}}{2C_{gs1}} \quad (1)$$

$$\Delta V_{CFT} \approx -\frac{3A_{C_{gs0}} V_{f1}}{2A_{C_{gsM1}}} \quad (2)$$

$$\Delta V_{IC} = \frac{1}{2} \left( \frac{(WL)_{s2} C_{ox} (V_{gs} - V_T)_{s2}}{C_{gs1}} \right) \quad (3)$$

$$e = \frac{Z_i}{Z_o} I_{in} \quad (4)$$

$$SNR = 10 \log \left( \frac{3m_o^2 C_{gs1} (V_{gs} - V_T)_{M1}^2}{16m_{th} KT(1+A)} \right) \quad (5)$$

donde:  $g_{m1}$  y  $C_{gs1}$  son la transconductancia y la capacitancia compuerta-fuente del transistor M1, respectivamente;  $\Delta_{cf}$  es el error debido al clockfeedthrough,  $A_{Cgs2}$  es el área de traslape entre compuerta y fuente del interruptor s2,  $A_{CgsM1}$  es el área entre compuerta-fuente del transistor M1,  $V_{f1}$  es la amplitud del pulso de reloj,  $(WL)_{s2}$  y  $(V_{gs}-V_T)_{s2}$  son el área y el voltaje de saturación respectivamente del interruptor s2,  $Z_i$  es la impedancia de entrada,  $Z_o$  es la impedancia de salida,  $m_o$  es el índice de modulación,  $m_{th}$  es una constante de proceso,  $A$  es la relación entre la transconductancia del transistor tipo p y n,  $T$  es la temperatura y  $K$  es la constante de Boltzmann.

De las ecuaciones (1-5) se observa que valores altos de  $C_{gs}$  genera valores altos de SNR en la celda de corriente pero solo puede operar a frecuencias bajas, mientras que valores pequeños de  $C_{gs}$  produce baja SNR y altas frecuencias de operación, de lo cual se observa claramente el compromiso existente entre velocidad y exactitud. Debido a lo anterior en este trabajo se propone un esquema de compensación en el cual existe buen balance entre velocidad y exactitud.

### 3. Esquema de Compensación

El esquema propuesto utiliza una relación de áreas entre el transistor de memoria y el interruptor ( $A_{M1}/A_{s2}$ ) mayor o igual a cuatro, considerando geometrías mínimas para el interruptor y niveles de polarización mayores a  $50\mu A$ , lo cual permite que la celda sea capaz de operar en el orden de cientos de MHz y generar un error pequeño en el voltaje almacenado en el transistor de memoria. Aunado a esto se coloca un capacitor MOS entre compuerta y fuente del transistor de memoria para aumentar la capacitancia  $C_{gs1}$  y reducir más el error en el transistor de memoria y aumentar la SNR de la celda de corriente, además de que con esto se tiene un control más independiente y controlado entre la exactitud y la velocidad de la celda de corriente. También utiliza un arreglo de interruptores que reducen más el error debido a la inyección de carga y al clockfeedthrough [9], dichos interruptores son alimentados por fases no traslapadas de amplitud  $0.88V_{cc}$ . Para reducir el error debido a la impedancia de entrada/salida finita se colocó un arreglo cascode, obteniendo un error de transmisión de 0.02% de la corriente de entrada, mientras que para compensar el error debido al mismatch los interruptores que forman el espejo se colocaron juntos en el layout. La celda de corriente utilizada con el respectivo esquema de compensación se muestra en la figura 2.

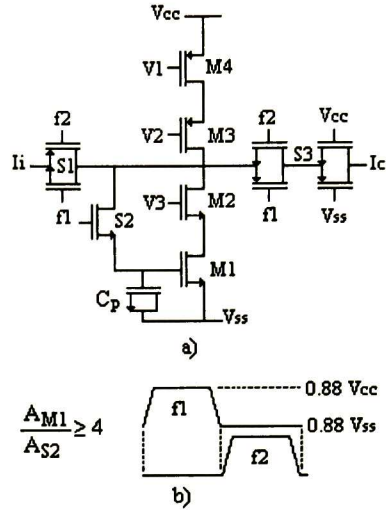


Figura 2. a) Celda compensada b) Fases de reloj

### 4. Modulador Sigma-Delta

La topología del modulador  $\Sigma\Delta$  diseñado fue la de segundo orden pasa bajas, debido a que esta topología presenta buena estabilidad, además de que se pueden obtener resoluciones altas con frecuencias de muestreo moderadas [1,2], en la figura 3 se muestra dicha topología.

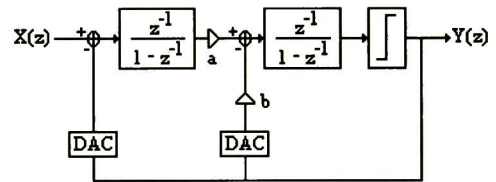


Figura 3. Modulador  $\Sigma\Delta$  de segundo orden pasa bajas

La resolución del modulador sigma-delta está dada por la relación de la potencia de la señal entre la potencia del ruido de cuantización más el ruido del primer integrador [2,11,13], por lo anterior las no idealidades del primer integrador degradan la resolución del modulador  $\Sigma\Delta$ , por lo que para mejorar la resolución se deben de reducir las no idealidades del primer integrador, esto se realizó utilizando el esquema de compensación propuesto en la sección tres de este trabajo.

El integrador Forward Euler implementado se muestra en la figura 4. Las ganancias 'a' y 'b' del modulador  $\Sigma\Delta$  se implementaron por medio de la rama de salida colocada en el integrador, las cuales son de '0.5' y '1' respectivamente, ya que con estos valores los dos integradores presentan el mismo swing evitando con esto la saturación [6,10].

### 5. Resultados de Medición

El chip de la figura 6 se alimentó por medio de una fuente dual de 2.5V de la cual demanda una potencia de 4mW. El desempeño del modulador fue medido por medio de la densidad espectral de potencia (PSD), la cual se obtuvo al realizarle a los pulsos de salida una FFT de 2048 puntos, al ser excitado con una señal de entrada senoidal de 10KHz, la frecuencia de muestreo fue de 5.12MHz obteniendo así una relación de sobremuestreo de 128, la figura 7 muestra la PSD obtenida. A partir de la PSD se obtuvo la medición de la relación señal-ruido-distorsión (SNRD) dividiendo la potencia de la señal entre el ruido generado dentro de la banda de interés (20Hz a 20KHz) esta se muestra en la figura 8, de la cual se observa un pico máximo SNRD de 66dB. El resumen de los resultados de medición obtenidos del modulador  $\Sigma\Delta$  implementado se muestra en la tabla 1.

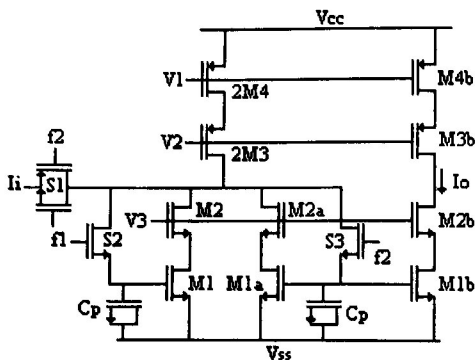


Figura 4. Integrador

En la figura 5a se muestra el cuantizador de un bit, el cual se implemento por medio de un comparador de corriente, esta topología de comparador puede trabajar a frecuencias altas, además de que presenta una baja impedancia de entrada [12] lo cual reduce el efecto debido a las impedancias finitas de los circuitos.

La implementación del DAC de un bit fue realizada por medio del circuito de la figura 5b, el que está constituido por dos fuentes de corriente, una positiva y otra negativa estableciéndose el sentido de la corriente por medio del interruptor que está alimentado por los pulsos de salida.

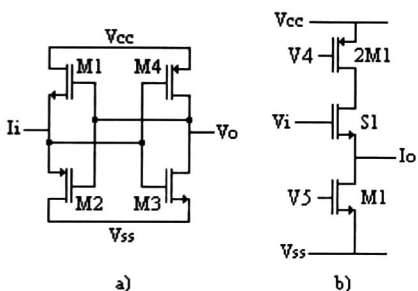


Figura 5. a) Cuantizador b) DAC

La implementación del modulador  $\Sigma\Delta$  se realizó en un proceso CMOS 1.5 $\mu$ m, ocupando una área activa de 0.052mm<sup>2</sup>, la figura 6 muestra una sección del chip.

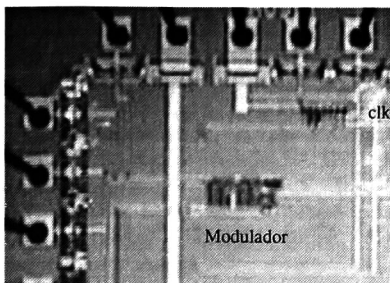


Figura 6. Chip del modulador

Frecuencia de reloj	5.12 MHz
Ancho de banda	20 KHz
OSR	128
SNR	11 bits
Alimentación	$\pm 2.5$ v
Potencia consumida	4 mW
Tecnología	1.5 $\mu$ m
Área activa	0.052 mm <sup>2</sup>

Tabla 1. Resultados de medición

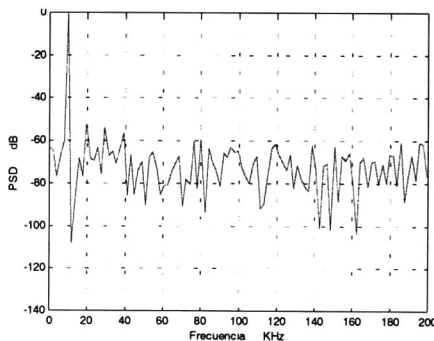


Figura 7. Densidad espectral de potencia

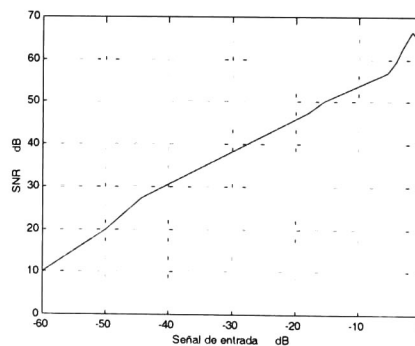


Figura 8. Relación señal-ruido-distorsión

## 6. Conclusiones

La implementación de convertidores A/D por medio de moduladores  $\Sigma\Delta$  en SI, presenta una reducción en su resolución debido a las no idealidades de los circuitos, por lo que se requieren esquemas de compensación para reducir su efecto y con ésto aumentar la resolución del convertidor. En este trabajo se propuso un esquema de compensación para reducir los errores debidos a las no idealidades, el cual tiene un buen compromiso entre velocidad y exactitud, ya que puede operar en el orden de los MHz (en este caso 5.12MHz). Debido a lo anterior este esquema de compensación se utilizó para implementar los integradores de un modulador  $\Sigma\Delta$  de segundo orden pasa bajas para mejorar su desempeño. De los resultados obtenidos se observa que el modulador propuesto mejora su desempeño ya que los resultados obtenidos son mejores que lo reportados por trabajos previos de moduladores  $\Sigma\Delta$  en SI [6,7,8,10].

A pesar de lo obtenido en este trabajo se puede observar que la resolución aún es reducida, por lo que se deben de utilizar topologías de moduladores  $\Sigma\Delta$  de orden mayor utilizando cuantizadores de más de un bit y poder aumentar así la resolución, para poder competir totalmente con los circuitos de capacitores conmutados.

## Agradecimientos

El Ing. Rosalino Rodríguez Calderón agrade el apoyo económico recibido del CONACYT (México), así como las facilidades del equipo de medición otorgado por la SCT (México). Esta investigación se realizó a través del programa académico MOSIS.

## Referencias

- [1] J. C. Candy and G. C. Temes, "Oversampling Delta-Sigma Data converters, Theory, Design and Simulation", IEEE Press, 1992
- [2] B. E. Boser And B. A. Wooley, "The Design Of Sigma-Delta Modulation Analog-To-Digital Converts", IEEE Journal Of Solid State Circuits, Vol. 23, No.6, December 1988
- [3] J. B. Hughes And K. W. Moulding, "S<sup>2</sup>I: A Switched-Current Technique for High Performance", Electron. Lett., Vol 29, pp 1400-1401, Aug. 1993
- [4] C. Toumazou, J. B. Hughes and N. C. Battersby, "Switched-Current on Analogue Technique for Digital Technology", IEE Circuits And Systems, Series 5, Peter Peregrinus Ltd., 1993.
- [5] M. Helfenstein and G. S. Moschytz, "Clockfeedthrough Compensation Technique for Switched-Current Circuits", IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol. 42, pp. 1206-1213, March 1995.
- [6] N. Tan And S. Eriksson, "A Low-Voltage Switched-Current Delta-Sigma Modulator", IEEE Journal of Solid State Circuits, Vol. 30, No.5, Mayo 1995
- [7] M. Loulou, D. Dallet And P. Marchegay, "A 3.3v Switched-Current Second Order Sigma-Delta Modulator for Audio Applications", ISCAS 2000, Mayo 28-31
- [8] N. Tan, "On Switched-Current  $\Sigma\Delta$  A/D Converters", IEEE International Symposium on Circuits and Systems 1995, vol. 3, pp. 2071-2074
- [9] F. S. Ibarra, J. S. Corte and J. M. Serna, "Reducing Non-Idealities in Switched-Current Circuits", International Symposium on Circuits and Systems SCS'2001, July 2001, pp. 213-216, Lasi, Rumania
- [10] N. Tan and S. Eriksson, "3.3v 11bit Delta-Sigma Modulator Using First-Generation SI Circuits", Electron. Letters, vol. 30, pp. 1819-1821, October 1994.
- [11] S. J. Daubert and D. Vallancourt, "A Transistor-Only Current-Mode  $\Sigma\Delta$  Modulator", IEEE Journal of Solid State Circuits, vol. 27, No.5, Mayo 1992
- [12] H. Traff, "Novel Approach to High Speed CMOS Current Comparators", Electron. Lett., vol. 28, pp 310-311, Jan. 1992.
- [13] J. M. Martins and V. F. Dias, "Harmonic Distortion in Switched-Current Sigma-Delta Modulators due to Clock Feedthrough", IEEE International Symposium on Circuits and Systems 1998, 31 May-3 June, vol. 1, pp. 373-376
- [14] E. Fogleman, J. Welz and I. Galton, "An Audio ADC Delta-Sigma Modulator with 100-dB Peak Sinal and 102-dB DR Using a Second-Order Mismatch-Shaping DAC", IEEE Journal of Solid-State Circuits, March 2001, pp 339-348.

## REDUCING NON-IDEALITIES ON SWITCHED-CURRENT SIGMA-DELTA MODULATORS

R. Rodríguez-Calderón, J. Santana-Corte and F. Sandoval-Ibarra  
 CINVESTAV-Unidad Guadalajara  
 Prol. Av. López-Mateos Sur 590, 45090 Guadalajara, Jalisco ( México)  
 Email: rosalino2000@hotmail.com

### ABSTRACT

Oversampling  $\Sigma\Delta$  A/D and D/A converters based on switched current (SI) cells are an option that offers big advantages when manufactured with digital circuits processes. However, SI suffers of non-idealities that limit the performance of oversampling  $\Sigma\Delta$  modulators. This paper presents a conventional second order  $\Sigma\Delta$  modulator using the SI technique with a compensation scheme that reduces non-idealities of the integrators improving the performance of the modulator for audio applications.

### I. INTRODUCTION

In the last years the increased use of signal processing in integrated circuits has triggered the necessity of developing methods to build A/D and D/A converters with standard digital CMOS process. Converters based on  $\Sigma\Delta$  modulation have had a great acceptance due to their high performance and high tolerance to process variations [1,2], these ones can be implemented in continuous time, switched capacitor (SC) or more recently in switched current (SI). The SI is a good alternative for mixed signal applications this circuits are able to work in high frequency, lower supply voltages (because the signal swing is not limited by the supply voltage), low power consumption and a small area of integration (the required capacitors are inside the current cell). In comparison of their counterpart in voltage, SC require a big area of integration, more power consumption, extra process in fabrication (being more expensive), linear capacitors, besides they are limited in frequency because of the operational amplifier and also limited in swing by the supply voltage.

In practice SI suffers of non-idealities including charge injection, clock feedthrough, finite impedance, settling time and mismatches that limit the current cell performance. In recent years several techniques have been developed to reduce mainly charge injection and clock feedthrough using: CMOS switches with dummy switches, modifying the basic cell (class AB, CGA,

using negative feedback) [4,5,6], using multiple sampling ( $S^2I$ ) [3] or a combination of them, but they reduce the speed of the current cell. Due to this the A/D based on  $\Sigma\Delta$  modulation are limited to moderate resolutions (9-14 bits) and low bandwidth (0-8 KHz) [6,7,8]. On this paper a suitable compensation scheme is proposed in order to reduce non-idealities of the current cell in order to reduce both the noise and harmonic distortion of current integrators that will constitute a second order  $\Sigma\Delta$  modulator increasing its resolution.

### II. COMPENSATION SCHEME

In switched current cells there is a tradeoff between accuracy and speed because they are inversely related. The maximum sampling frequency  $f$  is determined by the settling constant of the signal (figure 1)

$$\tau = \frac{1}{f} = C_{gs} / g_{m1} = \frac{(V_{gs} - V_T)_{M1}}{2I_{bias}} C_{gs} \quad (1)$$

where one can see that for a given current  $I_{Bias}$ , the sampling frequency can be increased with small values of  $(V_{gs} - V_T)$  and  $C_{gs}$ , however this represents a problem when high SNR and low distortion are required, since small values of  $(V_{gs} - V_T)$  and  $C_{gs}$  increase the error in the sampling voltage by for  $C_{gs}$ , produced by the charge injection, this error in the voltage of  $C_{gs}$  is

$$\Delta V = \frac{1}{2} \left( \frac{Q_{s2}}{C_{gs}} \right) = \frac{1}{2} \left( \frac{(WL)_{s2} C_{ox} (V_{gs} - V_T)_{s2}}{C_{gs}} \right) \quad (2)$$

where  $Q_{s2}$  is the charge stored in the switch s2,  $C_{ox}$  is the capacitance of oxide,  $WL$  is the area of switch s2,  $(V_{gs} - V_T)$  is the saturation voltage of s2 and  $C_{gs}$  is the parasitic capacitance of transistor M1. Equation (2) shows that high values of  $C_{gs}$ , small area of switches and small clock amplitude reduce the error of voltage  $\Delta V$  due to the charge injection. Moreover SNR is proportional to  $(V_{gs} - V_T)_{M1} \sqrt{C_{gs}}$ , consequently high values of  $C_{gs}$  give better SNR.

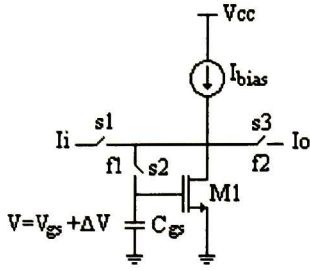


Figure 1. Basic current cell

The finite impedance of both input  $Z_{in}$  and output  $Z_o$  of the cell is another factor that cause an error  $\epsilon$  in the transmission of current between cells, its value is given by the following equation:

$$\epsilon = (Z_{in} / Z_o) I_{in} \quad (3)$$

This equation shows that small  $Z_{in}$  and big  $Z_o$  are necessary in order to reduce this error.

The compensation scheme proposed uses a relationship of areas between the memory transistor M1 and the switch s2 of  $(A_{M1}/A_{S2})=4$  in order to operate the current cell in the MHz sampling frequencies and cause low value of  $\Delta V$ . Furthermore it uses a switch structures to reduce even more charge injection and clock feedthrough [9], reducing distortion [13]. If the bandwidth achieved with the previous specifications is greater than the one of interest, a MOS capacitor could be placed between gate and source of transistor M1 without affecting the desired bandwidth. The MOS capacitor can be calculated with the following equation:

$$W_C = 3.5 \frac{C_p}{C_{ox} \left( L_D + \frac{2}{3} L_C \right)} \quad (4)$$

where  $C_p$  is the value of the desired capacitor,  $C_{ox}$  is the capacitance of the oxide,  $L_D$  is the lateral diffusion,  $L_C$  and  $W_C$  are the length and width of the MOS capacitor respectively. The current cell used complementary non-overlap clock pulse with a gate voltage of  $0.88V_{cc}$  in order to reduce  $\Delta V$  and keep the switches in the saturation region. The figure 2 shows the current cell with the compensation scheme proposed, all switches have minimum geometries and the transistor geometries of the current cell are  $L=6\mu m$ ,  $W_n=5.4\mu m$  and  $W_p=16.2\mu m$ , the value of capacitor  $C_p$  is 1pf. The error due to finite impedance was reduced using a cascode structure [4], obtaining an error  $\epsilon$  of  $0.0002I_{in}$ .

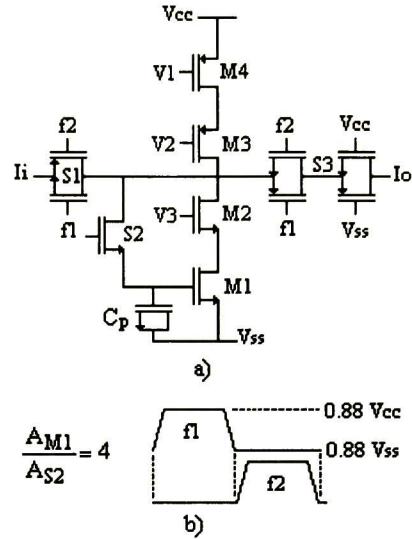


Figure 2. a) Proposed current cell b) Description of areas relationship and clock magnitudes

### III. SI $\Sigma\Delta$ MODULATOR STRUCTURE

A second order  $\Sigma\Delta$  modulator was designed, which present good stability and immunity to variations of process [1,2]. It consists of two integrators, a quantization circuit and two analog-digital converters (DAC) with current output, as shown in figure 3. The value of  $a=0.5$  and  $b=1$  was chosen so that both integrators have the same range of signal swing [6,10], avoiding saturation.

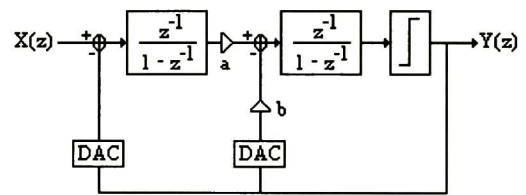


Figure 3. Block diagram of a second order  $\Sigma\Delta$  modulator

The SNR is mainly degraded because of the non-idealities from the first integrator [11,2] reducing the performance of the modulator, this is shown in equation 5.

$$SNR = \frac{P_{signal}}{P_{nC} + P_{nl}} \quad (5)$$

where  $P_{signal}$  is the power of the input signal,  $P_{nc}$  is the quantization noise power in band and  $P_{nl}$  is the generated noise power by the integrator. Equation 5 shows that reducing both the noise and harmonic distortion of the integrator increases the performance of the modulator. Due to this, the integrator of figure 4 was designed using the compensated current cell of figure 2. The transistor geometries are  $L=6\mu\text{m}$ ,  $W_n=5.4\mu\text{m}$  and  $W_p=16.2\mu\text{m}$ , and the value of capacitor  $C_p$  is 1pf.

IV. RESULTS

The  $\Sigma\Delta$  modulator was designed using the SI technique and implemented in  $1.2\mu\text{m}$  CMOS process, it occupies an active area of  $123\mu\text{m}$  by  $250\mu\text{m}$ , the layout of the implemented modulator is shown in figure 6. The whole circuit dissipates  $1\text{mW}$  of power using a dual  $2.5\text{V}$  power supply voltage.

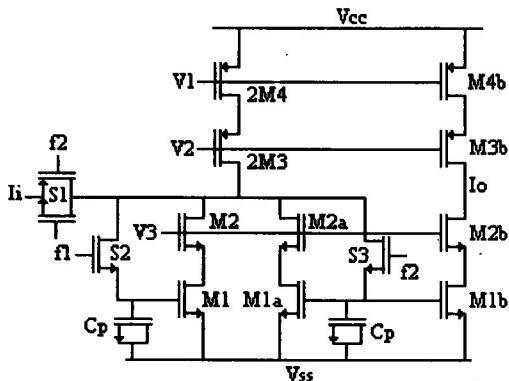


Figure 4. Compensated Integrator.

The current quantizer used in the  $\Sigma\Delta$  modulator was implemented with the current comparator shown in figure 5(a), it uses a source follower input stage in order to reduce input impedance and allow a positive feedback. The inverter is used for amplifying small voltage variations at the input stage node, increasing both speed and sensibility. The transistor geometries are  $L=2.4\mu\text{m}$ ,  $W_n=6\mu\text{m}$  and  $W_p=14.4\mu\text{m}$ .

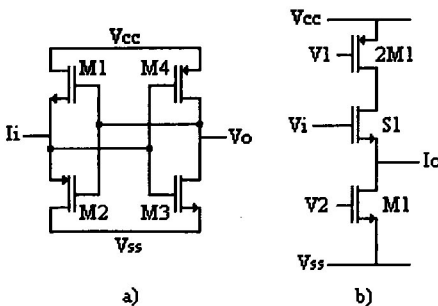


Figure 5. a) Current quantizer and b) DAC.

The 1 bit analog-digital converter designed is a pair of current sources controlled by output pulses from the quantizer. The DAC is shown in figure 5(b). The transistor geometries are  $L=3\mu\text{m}$ ,  $W_n=3.6\mu\text{m}$  and  $W_p=13.8\mu\text{m}$ .

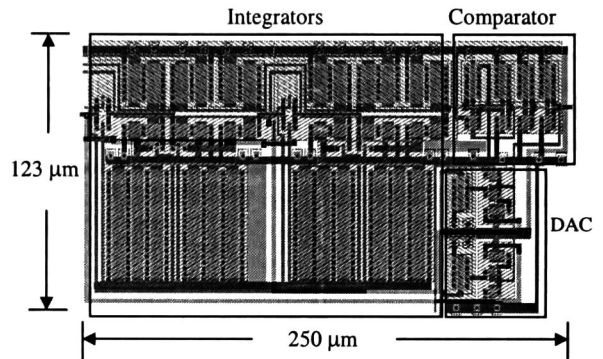


Figure 6. Layout of  $\Sigma\Delta$  modulator

To measure the performance of the  $\Sigma\Delta$  modulator, output data was captured and FFT applied of 2048 points in order to evaluate SNR and harmonic distortion. Figure 7 shows a measure of the power spectral density (PSD) of the compensated  $\Sigma\Delta$  modulator, the input is  $10\text{KHz}$  sinusoid with  $-4\text{dB}$  magnitude and the clock frequency is  $5.12\text{MHz}$ . Also shown in figure 7 is the PSD for the non-compensated  $\Sigma\Delta$  modulator, the decrease of the floor noise for the  $\Sigma\Delta$  modulator compensated can also be seen.

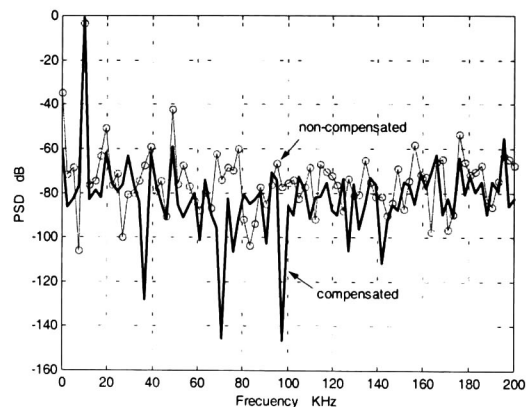


Figure 7. PSD of  $\Sigma\Delta$  modulator compensated and non-compensated structures.

The measured signal-to-noise plus distortion ratio (SNRD) was obtained from the PSD by dividing the signal power between the noise power in the audio bandwidth (20 Hz to 20 KHz), figure 8 shows the SNRD versus the input signal amplitude, the maximum SNRD is 13.5 bits. Table 1 shows the obtained results for the SI compensated  $\Sigma\Delta$  modulator and table 2 the characteristics of a SC  $\Sigma\Delta$  modulator on the same bandwidth range.

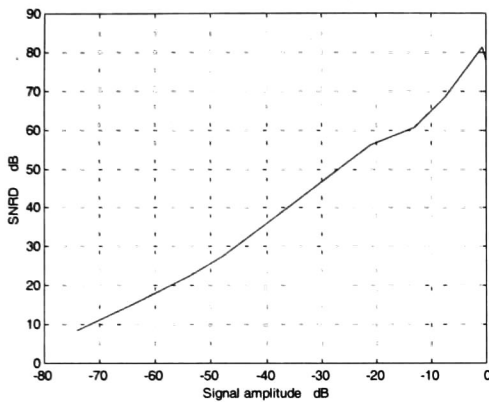


Figure 8. Measured SNRD versus the input signal

Clock frequency	5.12 MHz
Bandwidth	20 KHz
OSR	128
SNR	13.5 bits
Power supply voltage	$\pm 2.5$ v
Power consumption	1 mW
Technology	1.2 $\mu\text{m}$
Active area	123 $\mu\text{m}$ X 250 $\mu\text{m}$

Table 1. Measured SI  $\Sigma\Delta$  modulator performance.

Clock frequency	3.072 MHz
Bandwidth	20 KHz
OSR	64
SNR	16 bits
Alimentation	3.3 v
Power supply voltage	66 mW
Technology	0.5 $\mu\text{m}$
Active area	5mm X 1.9mm

Table 2. Measured SC  $\Sigma\Delta$  modulator performance [14].

## VI. CONCLUSIONS

The  $\Sigma\Delta$  modulators in the SI technique are a good alternative in order to implement high resolution A/D converters, but non-idealities of the current cell limits the resolution of the A/D converter. On this paper a suitable compensation scheme was proposed in order to reduce non-idealities of the integrators that constitute the second order  $\Sigma\Delta$  modulator improving its performance by increasing its resolution by 2.5 bits of the non-compensated structure.  $\Sigma\Delta$  modulator performance simulation shows two important points: first, compared with other SI designs [6,7,8,10], the presented  $\Sigma\Delta$  modulator has a better performance. Second, it is competitive with SC implementations in the frequency range of audio [14], this can be seen by comparing the results of table 1 and 2. Future work will be measure the performance of the fabricated chip and compare it with the results of simulation.

## REFERENCES

- [1] J. C. Candy and G. C. Temes, "Oversampling Delta-Sigma Data converters, Theory, Design and Simulation", IEEE Press, 1992
- [2] J. C. Candy and G. C. Temes, "Oversampling Delta-Sigma Data converters, Theory, Design and Simulation", IEEE Press, 1992
- [3] J. B. Hughes and K. W. Moulding, "S<sup>2</sup>I: a switched-current technique for high performance", Electron. Lett., vol 29, pp 1400-1401, Aug. 1993
- [4] C. Toumazou, J. B. Hughes and N. C. Battersby, "Switched-Current on Analogue technique for digital technology", IEE Circuits and Systems, series 5, Peter Peregrinus Ltd., 1993.
- [5] Markus Helfenstein and George S. Moschytz, "Clockfeedthrough compensation technique for switched-current circuits", IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 42, pp 1206-1213, March 1995.
- [6] N. Tan and S. Eriksson, "A Low-Voltage Switched-Current Delta-Sigma Modulator", IEEE Journal of Solid State Circuits, Vol. 30, No.5, Mayo 1995
- [7] M. Loulou, D. Dallet and P. Marchegay, "A 3.3V Switched-Current Second Order Sigma-Delta Modulator for Audio Applications", ICAS 2000, Mayo 28-31
- [8] Nianxiong Tan, "On Switched-Current  $\Sigma\Delta$  A/D Converters", ISCAS 1995, vol. 3, pp 2071-2074



- [9] F. Sandoval Ibarra, J. Santana Corte and J. Moran Serna, "Reducing Non-Idealities in Switched-Current Circuits", International Symposium on Circuits and System SCS'2001, July 10-11, pp
- [10] N. Tan and S. Eriksson "3.3V 11 bit delta-sigma modulator using first-generation SI circuits", Electron. Letters, vol. 30, pp 1819-1821, October 1994.
- [11] S. J. Daubert and D. Vallancourt, "A Transistor-Only Current-Mode  $\Sigma\Delta$  Modulator", IEEE Journal of Solid State Circuits, Vol. 27, No.5, Mayo 1992
- [12] H. Traff, "Novel approach to high speed CMOS current comparators", Electron. Lett., vol. 28, pp 310-311, Jan. 1992.
- [13] J. M. Martins and V. F. Dias, "Harmonic Distortion in Switched-Current Sigma-Delta Modulators due to Clock Feedthrough", Proceeding of the 1998 IEEE International Symposium on, vol. 1, pp 373-376
- [14] E. Fogleman, J. Welz and I. Galton, "An Audio ADC Delta-Sigma Modulator with 100-dB Peak SINAD and 102-dB DR Using a Second-Order Mismatch-Shaping DAC", IEEE Journal of Solid-State Circuits, March 2001, pp 339-348.

# *Bibliografía*

---

- [1] J. C. Candy and G. C. Temes, "Oversampling Delta-Sigma Data Converter, Theory Design and Simulation", IEEE press
- [2] R. J. Baker, H. W. Li and D. E. Boyce, "CMOS Circuit Design, Layout and Simulation", IEEE Press Swies on Microelectronic Systems
- [3] C. Toumazou, J. B. Hughes and N. C. Battersby, "Switched-Currents an analogue technique for digital technology", IEE Circuits and Systems series 5
- [4] J. B. Hughes, A. Worapishet and C. Tomazou, "Switched-Capacitors versus Suwtched-Currents: A Theoretical coparasion", ISCAS 2000, IEEE International Symposium on Circuits and Systems, May. 28-31, Geneva, Switzerland
- [5] R. L. Geiger, P. E. Allen and N. R. Strader, "VLSI Design Techniques for Analog and Digital Circuits", Mc. Graw-Hill Publishing Company, 1990
- [6] D. M. W. Leenaerts, A. J. Leeuwenburgh and G. G. Persono, "A High-Performance SI Memory Cell", IEEE Journal of Solid State Circuits, Vol. 29, No.11, November 1994
- [7] J. B. Hughes and K. W. Moulding, "Switched-Current Signal Processing for Video Frequencies and Beyond", IEEE Journal of Solid State Circuits, Vol. 28, No.3, March 1993
- [8] K. Koli and K. Halonen, "A Fully Diferential Class-AB Switched-Current Integrator for Signal Processing", IEEE Journal of Solid State Circuits, Vol. 32, No.2, February 1997

- [9] W. Guggenbühl, J. Di and J. Goette, "Switched-Current Memory Circuits for High-Precision Applications", *IEEE Journal of Solid State Circuits*, Vol. 29, No.9, September 1994
- [10] J. B. Hughes and K. W. Moulding, "S<sup>2</sup>I: a switched-current technique for high performance", *Electron. Lett.*, vol. 29, pp. 1400-1401, Aug. 1993
- [11] C. Eichenberger and W. Guggenbuhl, "Dummy Transistor Compensation of Analog MOS Seitches", *IEEE Journal of Solid State Circuits*, Vol. 24, No.4, August 1989
- [12] M. Song, Y. Lee and W. Kim, "A Clock Feedthrough Reduction Circuit for Switched-Current Systems" *IEEE Journal of Solid State Circuits*, Vol. 28, No.2, February 1993
- [13] T. S. Fiez, G. Liang and D. J. Allstot, "Switched-Current Circuit design Issues", *IEEE Journal of Solid State Circuits*, Vol. 26, No.3, March 1991
- [14] E. Sackinger and W. Guggenbuhl, "A High-Swing, High-impedance MOS Cascode Circuit", *IEEE Journal of Solid State Circuits*, Vol. 25, No.1, February 1990
- [15] P. Shah and C. Toumazou, "A New High Low Distortion Switched-Current Cell" *Circuits and Systems, 1996 ISCAS'96, 1996 IEEE International Symposium on*, vol. 1, pp. 421-424
- [16] S. J. Daubert and D. Vallancourt, "Operation and analysis of current copier circuits", *IEE Proceeding*, vol. 137, No. 2, April 1990
- [17] F. Sandoval Ibarra, J. Santana Corte and J Moran Serna, "Reducing Non-Idealities in Switched-Current Circuits", *International Symposium on Circuits and Systems SCS'2001*, July 10-11, pp. 213-216

- [18] P. M. Aziz, H. V. Sorensen and J. V. D. Spiegel, "An Overview of Sigma-Delta Converters", IEEE Signal Processing Magazine, January 1996
- [19] J. A. Cherry and W. M. Snelgrove, "Continuous-Time Delta-Sigma Modulator for High-Speed A/D Conversion, Theory, Practice and Fundamental Performance Limits", Kluwer Academic Publishers 2000
- [20] B. E. Boser and B. A. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters", IEEE Journal of Solid State Circuits, Vol. 23, No.6, December 1988
- [21] N. Tan B. Jonsson and S. Erikson, "3.3V 11bit Delta-Sigma Modulator Using First-Generation SI Circuits", Electronics Letters, October 1994, vol. 30, No. 22
- [22] N. Tan, "On Switched-Current  $\Delta$ - $\Sigma$  A/D Converters", IEEE International Symposium on Circuits and Systems 1995, vol. 3, pp. 2071-2074
- [23] S. J. Daubert and D. Vallancourt, "A Transistor-Only Current-Mode  $\Delta\Sigma$  Modulator", IEEE Journal of Solid State Circuits, Vol. 27, No.5, May 1992
- [24] N. Tan and S. Eriksson, "A Low-Voltage Switched-Current Delta-Sigma Modulator", IEEE Journal of Solid State Circuits, Vol. 30, No.5, May 1995
- [25] M. Loulou, D. Dallet and P. Marchegay, "A 3.3V Switched-Current Second Order Sigma-Delta Modulator for Audio Applications", IEEE International Symposium on Circuits and Systems, May 28-31 2000, Geneva Switzerland
- [26] J. Nedved, J. Vanneuville, D. Gevaert and J. Sevenhas, "A Transistor-Only Switched Current Sigma-Delta A/D Converter for a CMOS Speech CODEC" IEEE Journal of Solid State Circuits, Vol. 30, No.7, July 1995

- [27] S. Lindford and K. Halonen, "A Differential 25Mbit/s Switched-Current Delta-Sigma Modulator", IEEE International Symposium on Circuits and Systems 1996, vol.1, pp. 453-456
- [28] H. Aboushady, E. L. Mendes, M. Dessouky and P. Loumean, "A Current-Mode Continuous-Time  $\Delta\Sigma$  Modulator with Delayed Return-to-Zero Feedback", International Symposium on Circuits and Systems 1999, vol. 2, pp. 360-363
- [29] N. Moeneclaey and A. Kaiser, "Design techniques for High-Resolution Current-Mode Sigma-Delta Modulators". IEEE Journal of Solid State Circuits, Vol. 32, No.7, July 1997
- [30] L. Luh, J. Choma and J. Draper, "A 50-MHz continuous-Time Switched-Current  $\Sigma\Delta$  Modulator" Proc. IEEE International Symposium on Circuits and Systems, June 1998, pp. 579-582
- [31] P. J. Crawley and G. W. Robert, "A Component-Invariant Second-Order Switched-Current Sigma-Delta Modulator", IEEE International Symposium on Circuits and Systems May 1992, pp. 1324-1327
- [32] J. M. Martins and V. F. Dias, "Harmonic Distortion in Switched-Current Sigma-Delta Modulators due to Clock Feedthrough", IEEE International Symposium on Circuits and Systems 1998, vol. 1, pp. 373-376
- [33] J. J. Kazazian and C. Dupuy, "A New First-Order Switched-Current Sigma-Delta Modulator With Improved Linearity" IEEE International Symposium on Circuits and Systems, June 9-12 1997, Hong Kong
- [34] P. J. Crawley and G. W. Robert, "Switched-Current Sigma-Delta Modulation for A/D Conversion" IEEE International Symposium on Circuits and Systems May 1992, pp. 1320-1323

- [35] S. H. Ardalan and J. J. Paulos, "An Analysis of Nonlinear Behavior in Delta-Sigma Modulators", *IEEE Trans. Circuits and Systems*, vol.34, June 1987, pp. 593-603
- [36] M. W. Hauser and R. W. Brodersen, "Circuit and Technology Considerations for MOS Delta-Sigma A/D Converters", *IEEE International Symposium on Circuits and Systems* May 1986, pp. 1310-1315
- [37] H. Tráff, "Novel Approach to High Speed CMOS Current Comparators", *Electronics Letters* 30<sup>th</sup> January 1992, vol.28, No 3
- [38] R. L. Geiger, P. E. Allen and N. R. Strader, "VLSI Design techniques for Analog Digital Circuits", *Mc Graw-Hill Publishing Company* 1990
- [39] A. T. Behr, M. C. Schneider and C. G. Montoro, "Harmonic Distortion Caused by Capacitors Implemented with MOSFET Gates". *IEEE Journal of Solid State Circuits*, Vol. 27, No.10, October 1992
- [40] H. Yoshizawa, Y. Huang, P. F. Ferguson and G. C. Temes, "MOSFET-Only Switched-Capacitor Circuits in Digital CMOS Technology", *IEEE Journal of Solid State Circuits*, Vol. 34, No.6, June 1999
- [41] S. R. Norsworthy, I. G. Post, "A 14-bit 80-KHz Sigma-Delta A/D Converter: Modeling, Design and Performance Evaluation", *IEEE Journal of Solid State Circuits*, Vol. 24, No.2, April 1989
- [42] B. E. Boser, K. P. Karmann, H. Martin and B. A. Wooley, "Simulating and Testing Oversampled Analog-To-Digital Converters", *IEEE Transactions on Computer-Aided Design*, vol.7, No.6, June 1988
- [43] J. L. Lamay and H. T. Bogard, "How to Obtain Maximun Practical Performance from State-of-the-Art Delta-Sigma Analog-to-Digital Converters", *IEEE*

Transactions on Instrumentation and Measurement, vol.41, No.6, December 1992

[44] [www.national.com](http://www.national.com)

[45] [www.analog.com](http://www.analog.com)

[46] S. R. Norsworthy, R. Schreier and G. C. Temes, "Delta-Sigma Data Converters, Theory, Design and Simulation", IEEE Press 1997

[47] Ronald K. Jurgen, "Automotive Electronics Handbook", Mc Graw-Hill, HandBooks 1999

[48] Y. Perrelman and R. Ginosar, "A Low-Light-Level Sensor for Medical Diagnostic Applications", IEEE Journal of Solid State Circuits, Vol. 36, No.10, October 2001



**Centro de Investigación y de Estudios Avanzados del IPN**

**Unidad Guadalajara**

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional, aprobó la tesis: DISEÑO Y FABRICACIÓN DE UN MODULADOR SIGMA DELTA EN MODO CORRIENTE CONMUTADA DE 11 BITS PARA UN ANCHO DE BANDA DE 20 KHZ del(a) C. Rosalino RODRÍGUEZ CALDERÓN el día 9 de Agosto de 2002 .

Dr. José Luis Alejandro VILLAGRÁN  
Investigador Cinvestav 3B  
CINVESTAV GDL  
Guadalajara

Dr. Federico SANDOVAL IBARRA  
Investigador Cinvestav 2C  
CINVESTAV GDL  
Guadalajara

Dr. Juan Luis DEL VALLE PADILLA  
Investigador Cinvestav 3C  
CINVESTAV GDL  
Guadalajara

Dr. Juan Martín SANTANA CORTE  
Ingeniero de Diseño  
Motorola Puebla  
Puebla





CINVESTAV  
BIBLIOTECA CENTRAL



SSIT000004452