

xx(104955.1)



CINVESTAV

CINVESTAV – IPN

Centro de Investigación y de Estudios Avanzados del IPN
Unidad Guadalajara.

**CINVESTAV I.P.N.
SECCION DE INFORMACION
Y DOCUMENTACION**

**DISEÑO DE UN CONVERTIDOR ANALÓGICO-DIGITAL ALGORÍTMICO
MODO CORRIENTE**

**TESIS QUE PRESENTA
CARLOS MAURICIO VIZCAÍNO MARTÍNEZ**

**PARA OBTENER EL GRADO DE
MAESTRO EN CIENCIAS**

**EN LA ESPECIALIDAD DE
INGENIERIA ELÉCTRICA**

**C I N V E S T A V
I P N
A D Q U I S I C I O N
D E L I B R O S**

Guadalajara, Jalisco. Septiembre 2002

CLASIF.: _____
ADQUIS.: SSI-225
FECHA: 27 NOV-2009
PROCED. TESIS-02'
→ _____

**DISEÑO DE UN CONVERTIDOR ANALÓGICO-DIGITAL
ALGORÍTMICO MODO CORRIENTE**

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

Por:

Carlos Mauricio Vizcaíno Martínez

Ingeniero en Electrónica en Instrumentación
Instituto Tecnológico de Cd. Guzmán, Jal, 1990-1994

Becario de CONACYT, expediente no. 157961

Director de Tesis:

Dr. Federico Sandoval Ibarra

Agradecimientos:

A DIOS, por concederme la vida.

A MIS PADRES, Juanita Martínez, y Luis Severo Vizcaíno porque siempre me inculcaron el deseo de superación y me enseñaron a nunca rendirme ante las situaciones adversas.

A MI ESPOSA, Érika, de quien recibí siempre apoyo, cariño, y aliento.

A MI HIJO, Juan Carlos, que a diario me enseña que la vida debe ser simple y tomada con alegría incondicional.

AL Dr. FEDERICO SANDOVAL, Por ser mi paciente guía y compartir conmigo sus conocimientos durante mi estancia en el instituto. Mi admiración, respeto y agradecimiento para él.

AL CONACYT, Institución que me otorgó el apoyo económico necesario para llevar a cabo mis estudios de postgrado. Gracias a ello, pude dedicar todo mi esfuerzo a la realización y culminación de este trabajo.

*Carlos Mauricio Vizcaíno M.
Septiembre 2002*

PREFACIO

Hace unos 40 años, muy pocos habrían imaginado que una computadora digital podría ocupar un espacio en la habitación de una casa; muchos menos imaginaron también que podría acomodarse en una pastilla cuadrada de unos 100 cm^2 . Pero así fue, y no sólo encontró el espacio, sino un sinúmero de aplicaciones que aun crece conforme avanza el tiempo. Y algo muy importante es que no sólo encontró aplicaciones en campos de cálculo y matemáticas puras, como era de esperarse de un dispositivo que funciona en base a lógica, sino que logró inmiscuirse en las áreas que siempre se creyeron reservadas a los circuitos analógicos. Pero claro, llevar las señales analógicas al dominio de la computadora digital, requirió de la intervención de un agente traductor que sirviera de enlace entre ambos mundos. Al hablar de este traductor, por supuesto que se hace referencia al convertidor *Analógico-Digital*, dispositivo sin el cual la palabra *digital* quizá no tendría nada que ver con otras como son: audio, video, control e instrumentación.

En el diseño de convertidores *Analógico-Digital* o AD, también fue considerada la reducción de sus dimensiones a la par que lo hacia la computadora digital, y con el advenimiento de la tecnología CMOS esta disminución en tamaño alcanzó escalas micrométricas. Con la aparición de los circuitos VLSI, se logró inclusive integrar en una misma pastilla de silicio tanto la unidad procesadora inteligente como la unidad de conversión AD, pero esta última, por las técnicas de conversión utilizadas, aun requería de enormes cantidades de area de integración si se deseaban altas velocidades de conversión; o bien, el área del convertidor podía reducirse sacrificando la velocidad.

Disminuir la velocidad de conversión no siempre fue la opción más adecuada, pues la velocidad va de la mano con la aplicación, la opción fue buscar nuevas técnicas en el diseño de los convertidores. La técnica de diseño de los convertidores AD, como de la mayoría de la electrónica, se basaba en procesar señales de voltaje. Este modo de procesamiento de señales hace que los sistemas se vuelvan lentos debido a la presencia de capacitancias que deben cargarse y descargarse, o aquellos que son rápidos requieren de una gran área de integración (convertidores tipo ráfaga). Por esto, se optó por el

procesamiento de corriente en vez de voltaje, logrando convertidores rápidos y que requieren poca área de integración.

Además de transformar la forma en que se presenta la señal, también se desarrollaron diferentes técnicas de conversión que ayudan a incrementar la velocidad sin detrimento de la característica de pequeña área de integración, entre éstas técnicas se puede citar la conversión *sigma-delta*, y la conversión *algorítmica*, donde esta última presenta mejores características de ancho de banda y una característica aceptable en lo que a área de integración se refiere.

En el presente trabajo se muestra una introducción a la técnica de la conversión algorítmica, así como un análisis de las diferentes topologías, con sus ventajas y desventajas, para lograr este tipo de conversión en forma eficiente. Así mismo, tomando la topología que a juicio del autor proporciona el mejor desempeño, se realiza el diseño de las diferentes etapas que conforman un convertidor algorítmico en modo corriente, incluyendo las simulaciones y distribución de componentes de las mismas. Se incluye además un capítulo totalmente dedicado al análisis y diseño del marco de los pines del circuito integrado que permite la conexión del convertidor con el mundo exterior así como el floor plan propuesto para el circuito integrado. Por último, se incluyen las conclusiones del trabajo de investigación, y el trabajo futuro.

Carlos Mauricio Vizcaíno M.

Verano 2002

Índice general.

Prefacio	2
Índice de figuras y tablas	6
Introducción General	10
Ventajas y desventajas del procesamiento digital	11
Principio de cuantización de la conversión analógica-digital	13
Tipos de convertidores A/D	13
El convertidor AD algorítmico	15
La elección de la técnica más adecuada para el convertidor algorítmico	17
Referencias	19
Conceptos básicos	21
1.1 Antecedentes históricos	21
1.2 Principio de funcionamiento	21
1.3 El convertidor ADC algorítmico en modo corriente	25
1.4 Diseño de convertidores ADC algorítmicos en modo corriente	26
1.5 Consideraciones de ancho de banda para el espejo activo	37
1.6 Distorsión armónica	41
Referencias	44
Diseño y simulación de bloques básicos	46
2.1 Diseño del amplificador operacional para su uso en el espejo activo	46
2.2 Simulación del amplificador operacional	52
2.3 Diseño de un espejo activo para su uso como multiplicador por dos y como restador	54
2.4 Simulación del multiplicador por dos	58
2.5 Diseño del comparador de corriente de alta velocidad	60
2.6 Simulación del comparador de corriente de alta velocidad	63

2.7 Celda de un bit y un convertidor de ejemplo.	65
Referencias	67
Padframe & Floor plan para el CI	68
3.1 El Pad de conexión	68
3.2 El layout del pad	68
3.3 Reglas de diseño para pads	71
3.4 Tipos de pads de conexión y sus efectos eléctricos	72
3.5 El padframe de mosis	79
3.6 Floorplan para el CI	81
Referencias	83
Conclusiones y trabajo futuro	84
Apéndice A	86
Listados para simulación en TSPICE	86
Apéndice B	89
Publicaciones en congresos internacionales	89

Índice de figuras y tablas

Figuras

Introducción General

- Figura 1.** Utilización del ADC y el DAC para para sincronizar un sistema puramente digital con el mundo analógico exterior. 10
- Figura 2.** Convertidores de N bits. a) Serie, b) Paralelo. 14
- Figura 3.** a) Celda ADC de un bit; b) convertidor pipeline construido con celdas básicas de 1 bit. 15

Conceptos Básicos

- Figura 1.1.** Diagrama de flujo para un convertidor analógico-digital algorítmico 22
- Figura 1.2.** Diagrama a bloques del convertidor algorítmico AD utilizado para simulación en Matlab. 22
- Figura 1.3.** Conexión en cascada de celdas de 1 bit para obtener un ADC de 4 bits. 23
- Figura 1.4.** Resultados de simulación para el convertidor de la figura 1.4. 24
- Figura 1.5.** Celda de conversión AD algorítmica de 1 bit. 25
- Figura 1.6.** Conexión en cascada de celdas de 1 bit para formar un convertidor de n-bits. 26
- Figura 1.7.** Comparador de corriente básico. 27
- Figura 1.8.** Comparador de corriente de alta velocidad. 28
- Figura 1.9.** Diagrama esquemático de la celda de un bit con espejos cascode. 32
- Figura 1.11** Celda de un bit para un convertidor ADC en modo corriente utilizando espejos de corriente activos. 36

Figura 1.12	a) Espejo simple y su equivalente de pequeña señal incluyendo la capacitancia parásita principal. b) Espejo activo y equivalente de pequeña señal con capacitancia parásita.	38
--------------------	--	----

Diseño y Simulación de Bloques Básicos

Figura 2.1.	Diagrama esquemático del amplificador utilizado en los espejos activos [1].	46
Figura 2.2	a) Referencia de voltaje de -1.6V, b) amplificador	52
Figura 2.3.	Simulación de la respuesta en frecuencia del amplificador diseñado.	53
Figura 2.4.	Resultados de simulación para el slew rate del amplificador.	54
Figura 2.5.	Espejo activo de corriente 1:1	53
Figura 2.6.	Layout del espejo 1:2.	58
Figura 2.7.	Respuesta en frecuencia del multiplicador por dos con espejo simple y espejo activo.	59
Figura 2.8.	Análisis de dc para los espejos simple y activo.	59
Figura 2.9.	Comparador inversor de corriente de alta velocidad.	61
Figura 2.10.	Comparador de corriente no inversor de alta velocidad.	62
Figura 2.11.	Layout del comparador de corriente de alta velocidad.	63

Figura 2.12. Medición en simulación del tiempo de respuesta del comparador de corriente.	64
Figura 2.13. Medición en simulación de la ganancia del comparador de corriente.	64
Figura 2.14. Layout de la celda completa de 1 bit	65
Figura 2.15. Corriente de entrada y salidas digitales del convertidor ejemplo de 4 bits.	66
 Padframe & Floor Plan para el CI	
Figura 3.1. Metal2 utilizado como pad y su corte transversal.	69
Figura 3.2. Layout de un pad utilizando metal2 y abertura en el vidrio para conexión.	70
Figura 3.3. Un pad de conexión que utiliza metal1 y metal2.	71
Figura 3.4. Vista expandida de la esquina de un pad.	71
Figura 3.5. Reglas de diseño para los pads de conexión.	72
Figura 3.6. Equivalente eléctrico del pad de vdd y sus planos.	74
Figura 3.7. Conductores utilizados en el cálculo de la inductancia.	75
Figura 3.8. Diagrama a bloques utilizado para ilustrar el ground bounce.	76

Figura 3.9. Equivalente eléctrico del pad de señal y su carga.	77
Figura 3.10. Respuesta en frecuencia del equivalente eléctrico del pad de señal.	78
Figura 3.11. Dos métodos de crear pads con protección electrostática.	79
Figura 3.12. a) Diodo hecho con n+ y sustrato p. b) diodo hecho con pozo n y p+.	79
Figura 3.13. Padframe para el dado MOSIS de 2mm x 2mm.	80
Figura 3.14. Layout de la celda de conversión de 1bit.	81
Figura 3.15. a) Layout del circuito integrado. b) microfotografía del CI.	82
 Tablas	
Tabla 1. Comparación de convertidores algorítmicos diseñados en diferentes técnicas.	18
Tabla 2.1. Especificaciones del amplificador utilizado en el espejo activo.	47
Tabla 2.2. Resultados del diseño del amplificador de la fig. 2.1	51
Tabla 2.3. Resultados de diseño para el espejo activo de la fig. 2.1.	58
Tabla 2.4. Valores de impedancias para los espejos simple y activo.	60
Tabla 2.5. Geometrías del comparador no inversor.	62

INTRODUCCIÓN GENERAL

Los sistemas digitales realizan todas sus operaciones internas en algún tipo de código binario. Cualquier información analógica susceptible de ser aplicada en un sistema digital debe ser convertida en forma binaria antes de ser procesada. Por otro lado, la respuesta de un sistema digital está dada en código binario y usualmente debe convertirse en un formato que depende del procesamiento que se vaya a utilizar. Por ejemplo, si la salida sólo ha de activar o desactivar un interruptor, la señal binaria basada en unos y ceros es adecuada, pero si la salida del sistema digital debe tomar muchos valores de un cierto rango (como diferentes posiciones de una válvula para controlar un flujo) entonces la respuesta del sistema digital debe ser convertida a una forma analógica.

Muchos son los dispositivos usados en la entrada y/o salida de los sistemas digitales para servir como vínculo de comunicaciones con el mundo externo. (Véase la fig. 1)

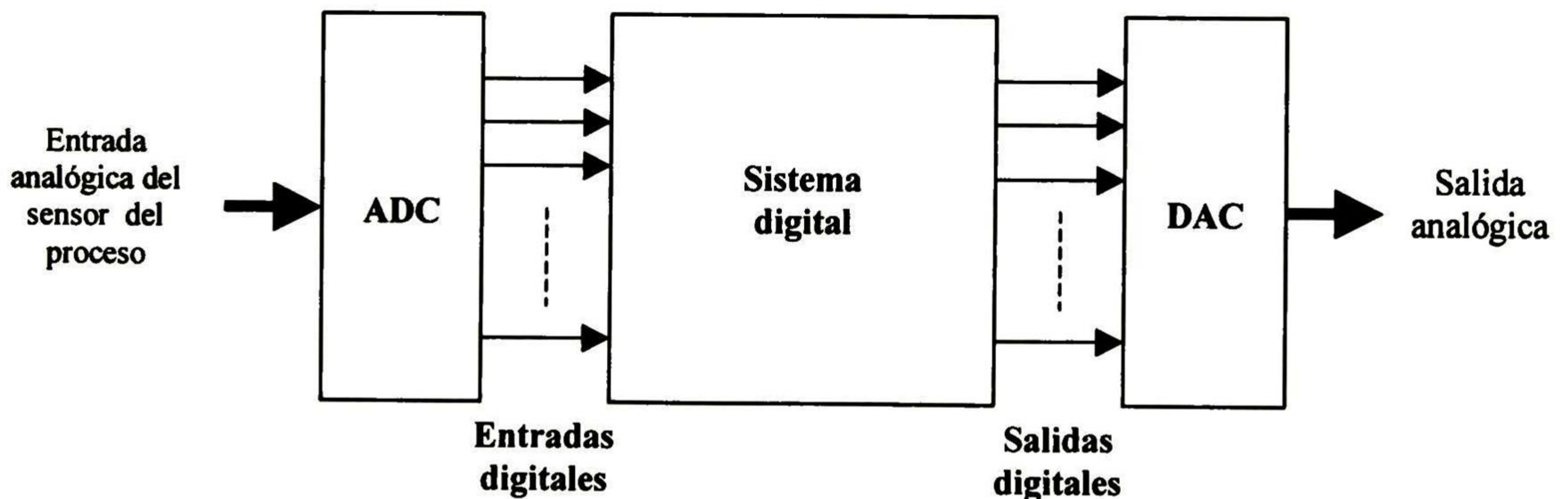


Figura. 1. Utilización del ADC y el DAC para para sincronizar un sistema puramente digital con el mundo analógico exterior.

Los dispositivos de entrada-salida relacionados con el proceso, conocidos también como dispositivos E/S, ofrecen el medio por el cual un sistema digital monitorea y controla un proceso físico. En la entrada, las dimensiones de los parámetros del proceso que son analógicos por naturaleza son generalmente convertidos a voltaje o corriente electrónica proporcional y enviados a un convertidor analógico a digital, o ADC, el cual proporciona la cantidad analógica en su correspondiente representación digital.

Los dispositivos de salida relativos al proceso traducen la respuesta del sistema digital en las señales adecuadas de activación que se necesitan para controlar el proceso. Estas señales de activación podrían consistir simplemente en abrir y cerrar interruptores o pulsaciones de un motor de pasos. Sin embargo, muchas veces la señal activadora que se requiere debe ser analógica por naturaleza, como es el caso de un voltaje para controlar la velocidad de un motor de dc. En estos casos, se necesita un convertidor digital a analógico, o DAC, para convertir la salida del sistema digital en la forma analógica requerida.

Por lo tanto, se observa que los ADC y DAC funcionan como interfase entre un sistema o dispositivo completamente digital (como una computadora) y el mundo analógico externo. Esta función se vuelve crecientemente más importante a medida que las microcomputadoras poco costosas entran en áreas de control de procesos donde el control con sistemas digitales no era viable con anterioridad; la razón era la incompatibilidad que existía entre los mundos digital y analógico[1].

Ventajas y desventajas del procesamiento digital

Aunque ya se describió en forma breve la necesidad de una interfaz entre el mundo analógico y el mundo digital, surge la pregunta: ¿Por qué procesar señales en forma digital? El procesamiento digital de señales presenta ciertas ventajas respecto al procesamiento analógico. Entre ellas se puede mencionar: el manejo eficiente de datos, modularidad en el diseño (bloques y/o sistemas reutilizables en otros diseños), escalabilidad de los sistemas (la forma en que se procesan los datos se puede cambiar mediante la modificación de un

software con mínimos cambios de hardware) y gran inmunidad al ruido. Los diseñadores expertos en el dominio digital aseveran que es posible realizar todo diseño con un 100% de componentes digitales [2]. Sin embargo, la gran mayoría de las señales y estímulos provenientes de diversos entornos son continuas, y sólo unos cuantos parámetros físicos varían en forma discreta. Por cuestiones prácticas y económicas como las anteriormente mencionadas es necesario convertir las señales continuas (analógicas) a discretas (digitales). Esta conversión incrementa la complejidad, pero es necesaria.

En instrumentación o sistemas con muchas entradas y/o requerimientos de gran procesamiento de datos, la aproximación digital es la mejor opción. La transmisión de datos a un punto remoto es usualmente más seguro y tiene menos pérdidas de información en la forma digital. Otra de las ventajas del dominio digital respecto al analógico es la linealidad, mientras que para una señal analógica es fácil perder o deformar información por falta de linealidad en sus componentes, en el dominio digital puede realizarse fácilmente un arreglo para disminuir este efecto. La rapidez en cuanto a tiempo de implementación de funciones básicas y complejas es otra de las ventajas del dominio digital [2].

Entre las desventajas del procesamiento digital de señales se puede mencionar: complejidad de los sistemas de procesamiento, pérdidas de información en los procesos de conversión AD y DA, y ancho de banda comparativamente menor que los sistemas analógicos. Por su parte, el procesamiento analógico tiene como ventaja el requerir de circuitos más simples, y como las señales se procesan en su forma nativa, no hay problemas de ancho de banda y pérdidas de información que se presentan en los circuitos de conversión necesarios en los sistemas digitales. Pero como desventaja, los sistemas analógicos presentan una menor inmunidad al ruido, y además no son fácilmente modificables para realizar diferentes tareas, lo que hace de cualquier modificación una labor de rediseño en ocasiones casi total de circuitería y por ende costosa.

Principio de cuantización de la conversión analógica-digital

La cuantización de una señal consiste en asignar valores discretos¹ a una señal que tiene valores continuos. La señal continua puede tomar cualquier valor dentro de un rango establecido, y al ser cuantizada sus valores son redondeados al valor discreto más cercano. En la conversión AD, además de discretizarse la señal, también se le asigna un valor digital a cada uno de los valores discretos de la señal. Esta cantidad digital se forma por una cantidad N de dígitos binarios que sólo pueden tomar el valor de 1 ó 0. Así, el valor aproximado (no hay que olvidar que cada valor continuo fue redondeado al valor discreto más cercano) de la señal de entrada S a un convertidor AD está dada por [3].

$$S = \frac{V_{in}}{V_{ref}} = b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N} \quad (1)$$

donde V_{in} es la variable de entrada al convertidor (que puede ser voltaje o corriente), V_{ref} es el valor máximo que puede tener la variable de entrada, N representa el número total de bits a la salida del convertidor (también conocida como resolución) y b_k (para $k = 1, 2, 3, \dots, N$) especifica los coeficientes binarios de cada bit. Al tiempo que transcurre, desde que se recibe la señal analógica en la entrada, hasta que se entrega un valor digital de salida, se le conoce como tiempo de conversión, y el número de conversiones que se pueden realizar en un segundo por un convertidor A/D se le conoce como razón de muestreo, donde la mitad de este valor nos indica el ancho de banda útil del convertidor.

Tipos de convertidores A/D

La salida del convertidor puede ser en forma paralela o serial. En la forma paralela, los bits aparecen todos al mismo tiempo en la salida del convertidor; y en la forma serial, los bits aparecen uno a uno en forma secuencial en una única salida del convertidor,

¹ Conjunto finito de valores

iniciando generalmente por el bit más significativo. Esta característica lo hace inherentemente lento. En la figura 2a y 2b se muestran ambos enfoques.

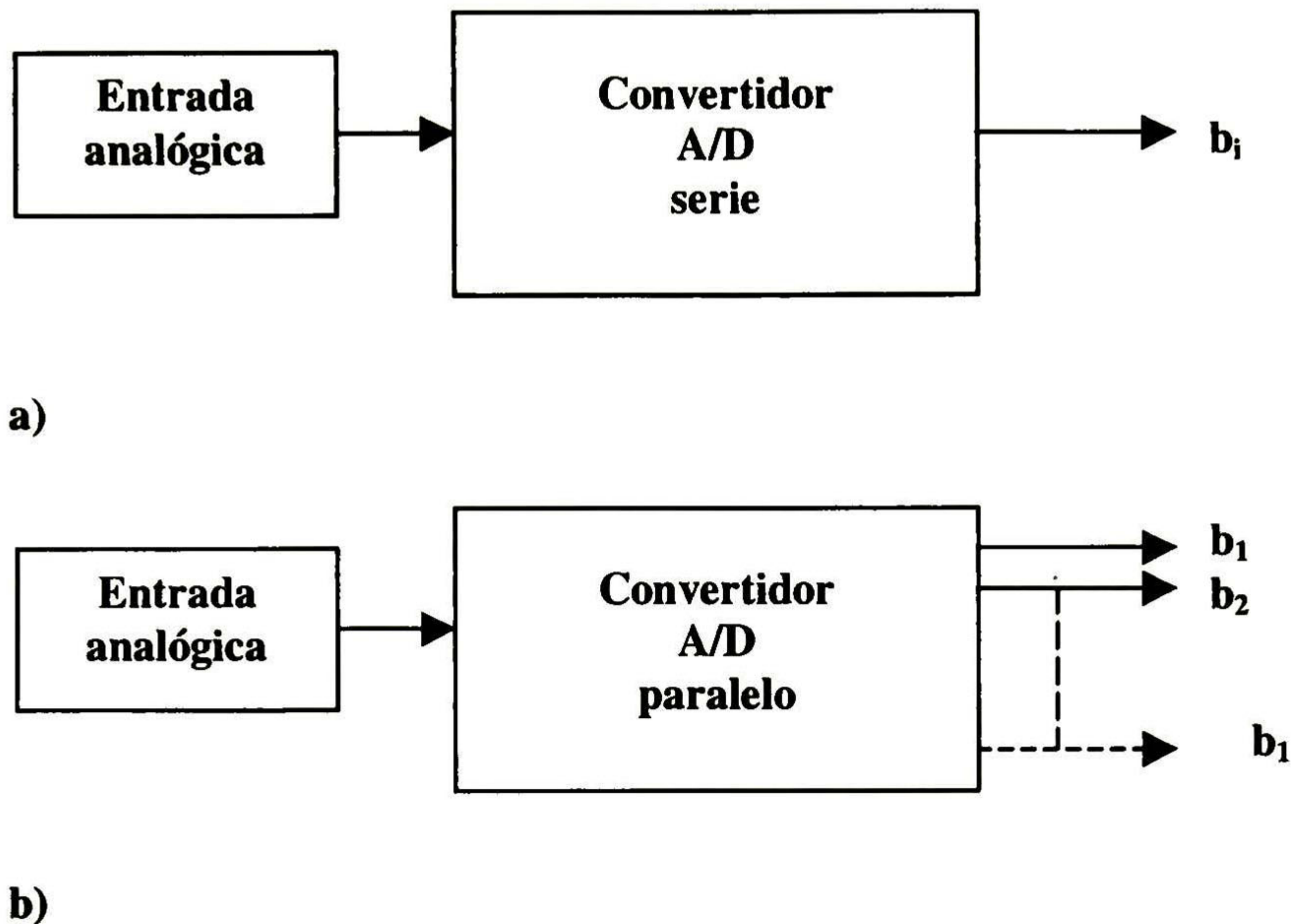


Figura 2. Convertidores de N bits. a) Serie, b) Paralelo.

Además de estos tipos básicos de convertidores, existe otro tipo de convertidor que es una ligera variante del convertidor paralelo, y es el denominado pipeline. En este tipo de convertidor, cada bit tiene su propia salida como en el paralelo, pero los bits no aparecen o no son válidos en el mismo instante de tiempo. Generalmente, el primer bit en ser válido es el más significativo (MSB por sus siglas en Inglés) y el último en serlo es el menos significativo (LSB por sus siglas en Inglés). Este comportamiento se logra colocando en cascada celdas convertidoras A/D de un bit, donde cada celda recibe como entrada una señal analógica previamente procesada por la anterior y la primer celda recibe la entrada analógica a convertir proveniente del proceso. La resolución o número de bits de este tipo de convertidor se puede mover fácilmente con sólo agregar o quitar celdas de un bit. En la figura 3 se muestra un diagrama a bloques que representa esta técnica de conversión.

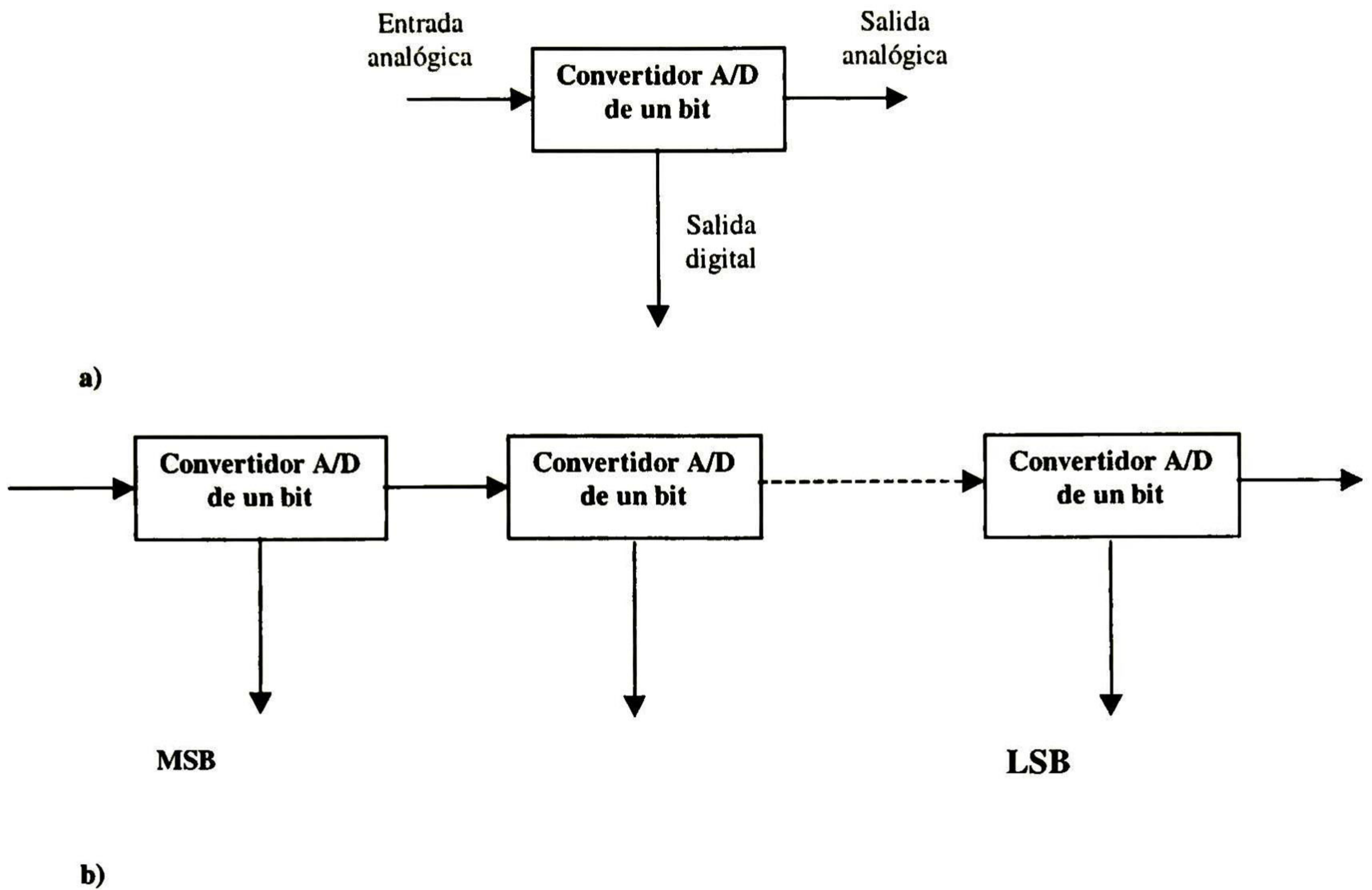


Figura 3. a) celda ADC de un bit b) convertidor pipeline construido con celdas básicas de 1 bit.

El convertidor AD algorítmico

Hasta este punto se han clasificado los convertidores por la forma en que proporcionan su salida, pero también se pueden clasificar por la forma en que llevan a cabo la conversión propiamente dicha. Se puede nombrar los siguientes:

- Convertidor A/D de rampa
- Convertidor de aproximaciones sucesivas
- Convertidor flash o de ráfaga
- Convertidor A/D sigma-delta
- Convertidor A/D algorítmico

En la actualidad, todos estos convertidores se pueden fabricar completamente en un solo circuito integrado para ser utilizados en aplicaciones de propósitos generales. Pero también se fabrican e integran formando parte de sistemas integrados más complejos, que es realmente la tendencia actual para reducir espacio y costo en la fabricación de circuitos. Para que un convertidor A/D sea útil dentro de un sistema de alta escala de integración (VLSI por sus siglas en inglés), el convertidor no sólo debe ser compatible con la tecnología digital disponible, sino que también debe proveer una alta razón de muestreo y a la vez ocupar una pequeña porción del área del chip en que se integra. En general, los convertidores comúnmente usados no son muy adecuados para sistemas VLSI pues si son de alta velocidad requieren de grandes áreas de integración, y los que requieren poca área son lentos. Por ejemplo, para lograr altas velocidades, se pueden utilizar convertidores *rápidos* o flash, pero para este tipo de convertidor se requieren 2^N comparadores para un convertidor de N bits, resultando ésto en un gran consumo de área de integración [4]; un convertidor de 8 bits del tipo flash presentado en [10] requiere de 30mm^2 pero presenta una razón de muestreo de 20 MHz. De manera alternativa, técnicas de capacitores conmutados se pueden utilizar para implementar convertidores del tipo algorítmico que ocupan un área significativamente menor [5], un ejemplo de este convertidor se presenta en [11], el cual ocupa un área de 0.79mm^2 con 8 bits de resolución y una razón de muestreo de 8 KHz. Como se ve, estos convertidores basados en capacitores conmutados ocupan un área muy pequeña, pero tienen bajas razones de muestreo, lo que limita su utilidad en ambientes VLSI.

Para mejorar las razones de muestreo, el tiempo requerido por el voltaje para establecerse en los capacitores del circuito y en las capacitancias parásitas del mismo debe reducirse [6]. Para lograr esta meta, se puede utilizar corriente en lugar de voltaje para representar la señal. Al usar corriente, se puede aprovechar la relación I – V no lineal de los dispositivos CMOS² para reducir la excursión de voltaje requerida para un rango de la

² Teniendo en cuenta que la corriente en un transistor MOS esta dada por:

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$$

donde V_{GS} es el voltaje de compuerta del transistor y V_T el voltaje de umbral.

señal. Por ejemplo, si un dispositivo CMOS está operando en la región de saturación, su corriente es proporcional al cuadrado del voltaje de compuerta. Por lo tanto, con sólo duplicar el voltaje de compuerta, se consigue cuadruplicar el nivel de corriente de la señal de entrada. Como resultado, el uso de corriente para representar la señal en un convertidor A/D paga con menores excursiones de voltaje y velocidades de operación más altas, y además cabe mencionar que la excursión de la señal no se ve limitada a los valores de las fuentes de alimentación, sino que puede ajustarse por medio de las polarizaciones del circuito.

Como característica adicional, los circuitos en modo corriente, pueden trabajarse en tiempo continuo o en tiempo discreto. En el modo continuo, la señal tiene un flujo constante una vez que ha entrado al circuito convertidor, en tanto que en el modo discreto, la señal junto con las conexiones entre circuitos cambian de ruta un cierto número de veces por unidad de tiempo. Los cambios de ruta en la señal hacen que una conversión se tome más tiempo en el modo conmutado que en el continuo, pero tiene la ventaja de ahorrar circuitería (área de integración), pues se puede utilizar, por ejemplo, un solo amplificador para procesar 2 ó más señales diferentes en forma no simultánea.

La elección de la técnica más adecuada para el convertidor algorítmico

En la tabla 1 se comparan algunos de los convertidores A/D algorítmicos diseñados con las diferentes técnicas mencionadas. Como puede verse, el mejor desempeño en lo que a tiempo de conversión se refiere se presenta en el modo continuo de corriente, además presenta un consumo de área de integración bastante aceptable y menor que su contraparte en modo voltaje, y aunque su resolución es relativamente baja, su desempeño puede mejorarse al utilizar técnicas de compensación adecuadas, como la utilización de espejos activos o comparadores de corriente de alta velocidad. Por tanto, si lo que se busca es alta velocidad y poca área de integración, el modo continuo de corriente presenta el mejor compromiso entre ambos parámetros.

Tabla 1. Comparación de convertidores algorítmicos diseñados en diferentes técnicas.

Técnica	Área de integración	Tiempo de conversión	Resolución
Modo voltaje (capacitores conmutados) [9]	1.54mm ² (5μ CMOS)	125μs	12 bits
Corriente conmutada [12]	1.0 mm ² (3μ CMOS)	175.43μs	14 bits
Corriente conmutada [8]	1.4 mm ² (3μ CMOS)	12.5μs	14 bits
Corriente modo continuo [4]	0.74 mm ² (3μ CMOS)	1.75μs	7 bits
Corriente modo continuo [4]	0.45 mm ² (3μ CMOS)	5μs	6 bits

Debido a las ventajas mencionadas, en el presente trabajo se realiza el análisis, diseño, y construcción de un convertidor A/D en modo corriente, que además utiliza la técnica de la conversión algorítmica para lograr un convertidor de alta razón de muestreo y que requiera una pequeña área de integración. La razón de muestreo del convertidor que se obtenga, de acuerdo con los trabajos previos, deberá ubicarse entre 1 y 2μs, lo que proporcionará frecuencias de muestreo en el orden de 1MHz. Esto ubicaría al convertidor como una opción excelente en aplicaciones como: instrumentación industrial, biomédica, geofísica, sistemas de audio multicanal, entre otras.

La descripción del presente trabajo de tesis es como se indica a continuación: En el capítulo 1 se presentan los conceptos básicos del tipo de conversión que se utiliza, y se analizan las no idealidades de los diferentes bloques que componen la celda básica de conversión. En el capítulo 2 se diseña dicha celda utilizando la topología que proporcionó menores errores en la conversión, y que por consiguiente ofreció alta resolución. Para el capítulo 3 se revisan los diferentes tipos de pads de conexión para circuitos integrados así como sus características y floor plan propuesto. Por último, en el capítulo 4 se incluyen las conclusiones del trabajo realizado y el trabajo futuro.

Referencias

- [1] Ronald J. Tocci, “Sistemas Digitales Principios y Aplicaciones”, Prentice Hall, U.S.A., pág. 434.
- [2] Darold Webschall, Circuit Design For Electronics Instrumentation “Analog and Digital from Sensor to Display”, McGraw-Hill, U.S.A.
- [3] Alan B. Grebene, “Analog Integrated Circuit Design”, Microelectronics Series, U.S.A., 1984.
- [4] David G. Naim, “Current-Mode Algorithmic Analog to Digital Converters”, IEEE Journal of solid-state circuits, vol. 25, No. 4, August 1990. pp. 997-1004.
- [5] B. D. Smith, “An unusual electronic analog-to-digital conversion method”, IRE Trans, Instrum., vol. PGI-5, pp. 155-160, 1956.
- [6] J. L. McCreary and P. R. Gray, “All MOS charge redistribution analog-to-digital conversion techniques- Part I”, IEEE J. Solid-State Circuits, vol. SC-10, pp. 371-379, 1975.
- [7] R. Amezcua Castrejón, “Convertidores A/D y D/A: Una Revisión”, Tópicos Avanzados de Ingeniería Eléctrica II, CINVESTAV-Unidad Guadalajara, 1999.
- [8] J. Robert, P. Deval and G. Wegmann, “Novel CMOS pipelined A/D converter architecture using current mirrors”, *Electronics Letters*, vol. 25, pp. 912-913, 1989.
- [9] Ping Wai Li, Michael J. Chin, Paul R. Gray, “A ratio-independent algorithmic analog-to-digital conversion technique”, *Solid State Circuits*, vol. SC-19, pp. 828-836, Dec. 1984.

[10] A. Yukawa, "A CMOS 8-b high-speed A/D converter IC" *IEEE J. Solid-State Circuits*, vol. SC-20 pp. 775-779, 1985.

[11] H. Onodera, T. Tateishi, and K. Tamarur, "A cyclic A/D converter that does not require ratio-matched components," *IEEE J. Solid-State Circuits*, vol. 23, pp. 152-158, 1988.

[12] P. Deval, J. Robert and M. J. Declercq, "A 14 bit CMOS A/D based on dynamic current memories," in *Proc. IEEE Custom Integrated Circuits Conference*, pp. 24.2.1-24.2.4, 1991.

I. CONCEPTOS BÁSICOS

1.1 Antecedentes históricos

El convertidor algorítmico analógico-digital, también conocido como cíclico o recirculante, ha sido conocido y utilizado de muchas formas desde los años sesentas [1]. El primero en usarlo fue Hornak [2] de una forma parcialmente integrada, (esto en 1975). Posteriormente, McCharles [3] logró una integración total de la parte analógica del convertidor utilizando tecnología CMOS de compuerta metálica. Posteriormente, en la década de los 80's, Webb integró el convertidor utilizando tecnología bipolar para la porción analógica del circuito y tecnología MOS para la porción del controlador digital [4] y en los 90's Nairn [6] utilizó el modo corriente en los convertidores algorítmicos.

1.2 Principio de funcionamiento

La técnica de conversión algorítmica analógico-digital por muchos años ha sido conocida como un método de conversión que toma ventaja del diseño de hardware relativamente simple para producir ADCs. Una conversión algorítmica se efectúa como se muestra en la figura 1.1.

La señal de entrada, Y_{IN} , que puede tomar cualquier valor entre cero y un valor de referencia, Y_{REF} , es duplicada para obtener $2Y_{IN}$. La nueva señal, $2Y_{IN}$, es comparada con la referencia Y_{REF} . Si $2Y_{IN}$ es menor que Y_{REF} , la salida digital es puesta a cero y $2Y_{IN}$ se convierte en el nuevo Y_{IN} . Si $2Y_{IN}$ excede a la referencia, la salida digital es puesta a uno. Únicamente en esta situación, la referencia es restada de $2Y_{IN}$ para crear un nuevo Y_{IN} . En ambos casos, el nuevo Y_{IN} puede ser retroalimentado a la entrada de la misma celda convertidora tal como muestra la figura 1.1, o bien puede usarse como entrada de otra celda idéntica que ejecute la misma función ya descrita y genere otro bit de resolución. A esta señal también se le conoce como residuo. Este proceso puede repetirse tantas veces como sea necesario para obtener la resolución deseada [5].

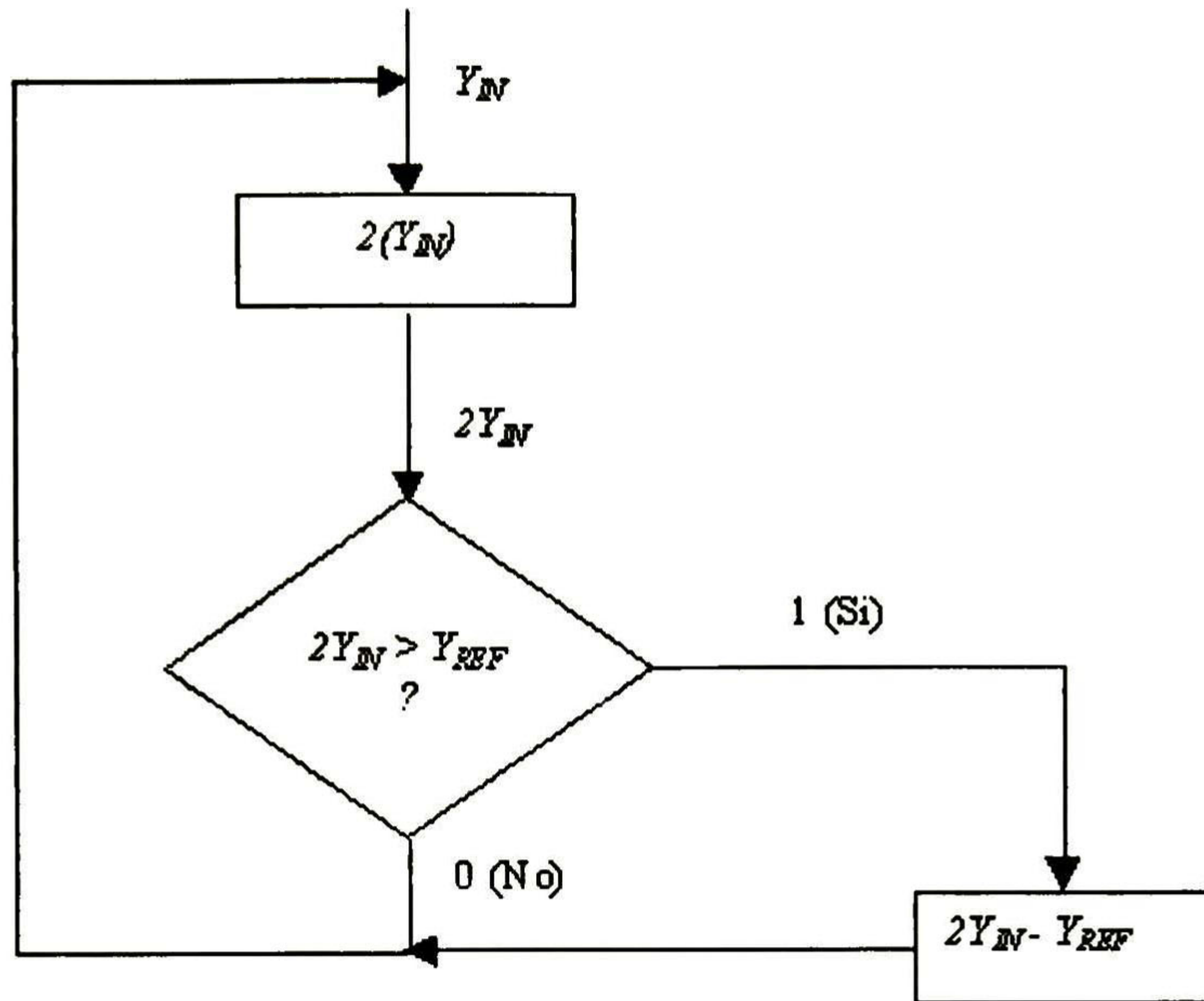


Figura 1.1 Diagrama de flujo para un convertidor analógico-digital algorítmico

Para ilustrar el funcionamiento de la celda convertidora A/D de un solo bit, el diagrama de bloques se puede capturar en un paquete de simulación. Usando Simulink de Matlab, se obtiene un diagrama como el de la figura 1.2.

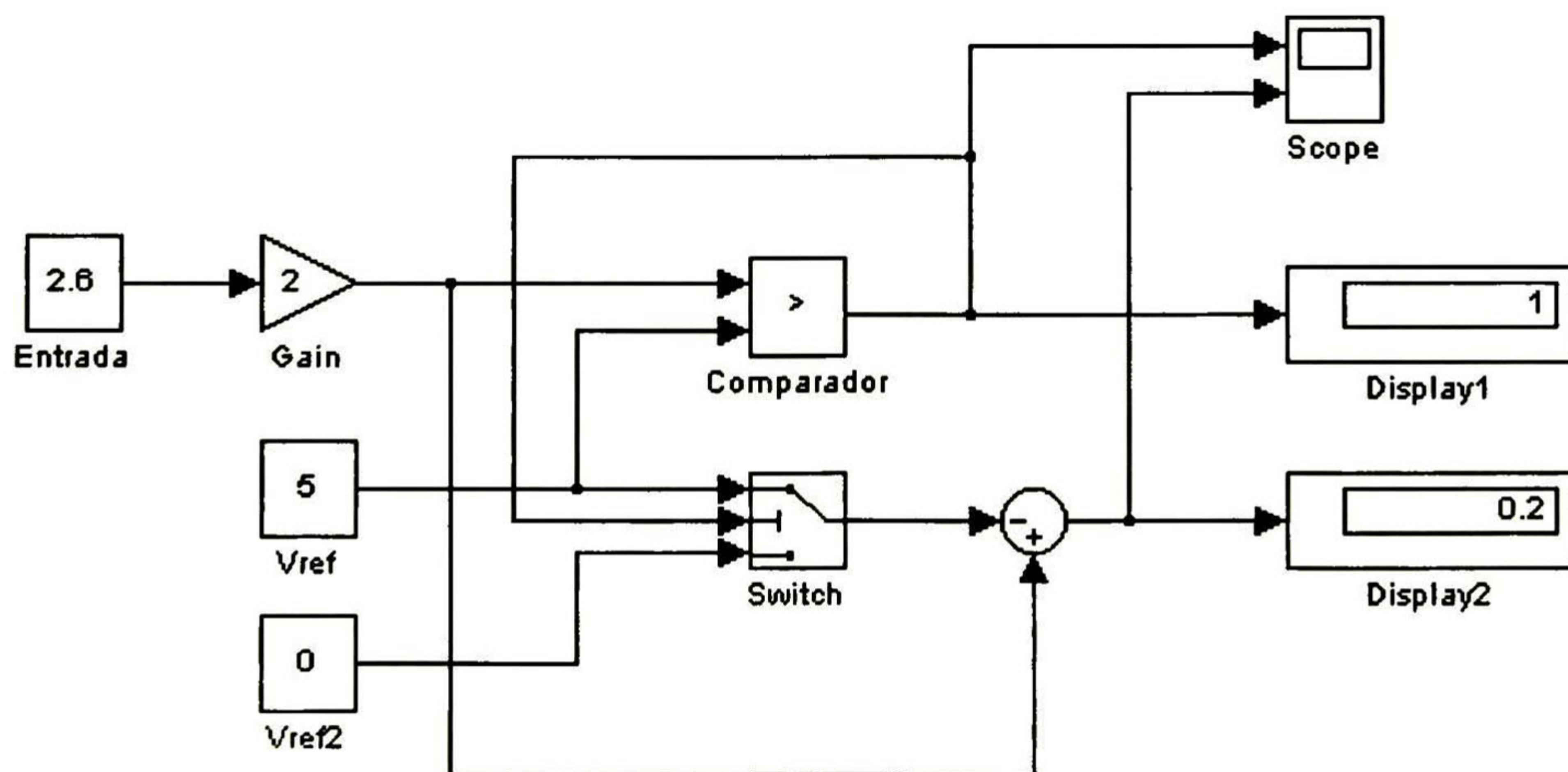


Figura 1.2. Diagrama a bloques del convertidor algorítmico AD utilizado para simulación en Matlab.

El bloque denominado *Entrada* proporciona la señal analógica que se desea convertir, y es multiplicada por dos en el bloque denominado *Gain*. El bloque V_{ref} proporciona el valor de referencia, que para este ejemplo se ubica en 5. V_{ref2} proporciona un valor de cero cuando el valor de entrada es menor que V_{ref} . El bloque denominado *Comparador*, es el encargado de comparar la entrada multiplicada por dos y V_{ref} . Si la entrada multiplicada por dos es mayor que V_{ref} , entonces el comparador entrega en su salida un 1 lógico. En caso contrario proporciona un cero. El valor que entrega el comparador sirve para controlar el bloque llamado *Switch*. Si *Switch* recibe un valor 1 en su entrada de control (que es la entrada del centro), entonces entrega en su salida el valor de V_{ref} . Si *Switch* recibe un valor menor que 1, entonces la salida entrega el valor V_{ref2} . La salida de *Switch* se envía directamente al bloque restador y el resultado está disponible para ser desplegado.

Las salidas que entrega la celda de conversión, para un valor de entrada de 2.6, se presentan en los bloques denominados *Display1* y *Display2* de la figura 1.2. Para el valor de la entrada de 2.6 que se propone, se obtiene una salida digital de “1” y un residuo analógico de 0.2. Este residuo, como ya se mencionó, se puede aplicar a la entrada de la misma celda o a otra celda idéntica, y así obtener tanta resolución como celdas se conecten en cascada. Con la celda básica que se presenta en la figura 1.2 se crean subsistemas en pequeños bloques. En la figura 1.3 se han conectado cuatro de estos subsistemas en cascada para obtener un convertidor con una resolución de 4 bits.

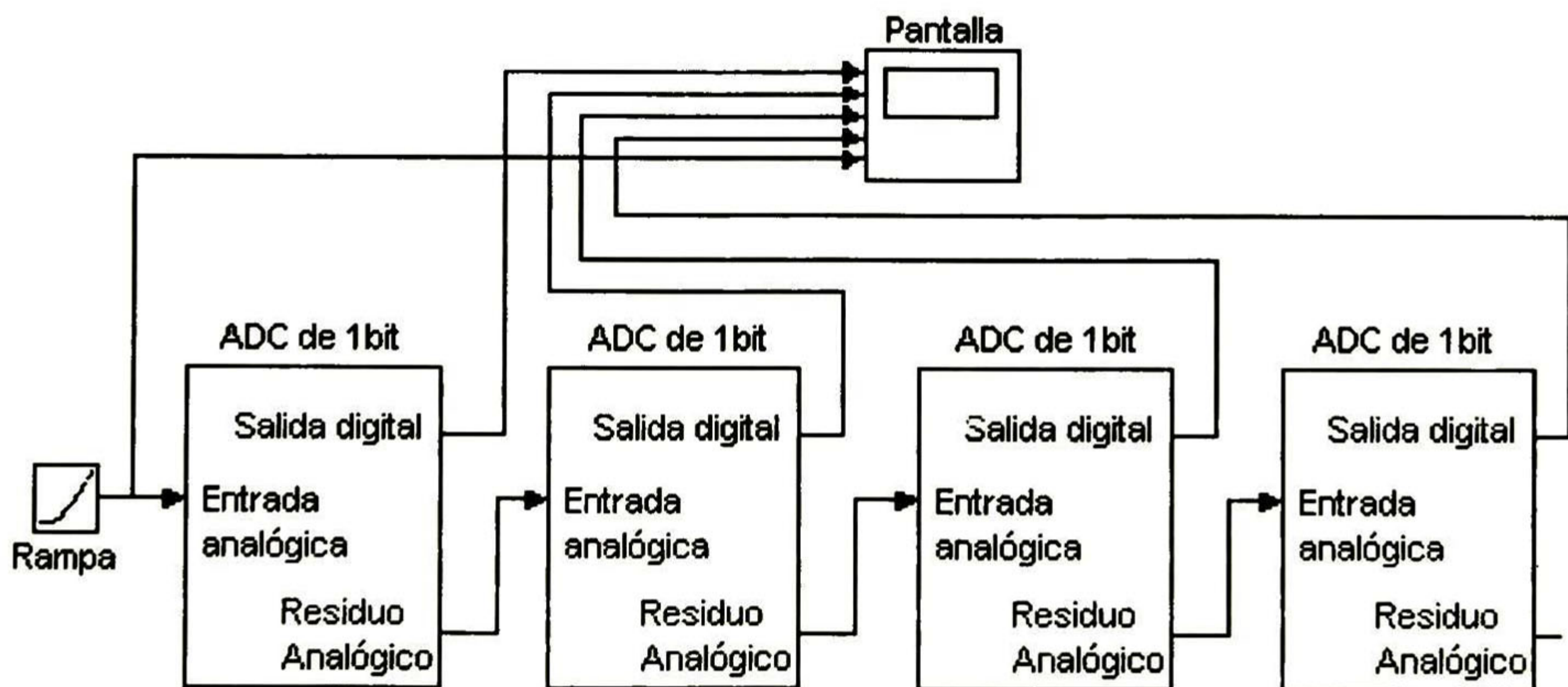


Figura 1.3. Conexión en cascada de celdas de 1 bit para obtener un ADC de 4 bits

Cada una de las celdas básicas de la figura 1.3 tiene un valor de referencia $V_{REF} = 5$, es decir, cuando la señal de entrada tenga una amplitud de 5, la salida digital también tendrá su máxima salida, ésta se calcula por medio de la ecuación 1.1.

$$Sal_{MAX} = 2^N - 1 \tag{Ec. 1.1}$$

En este caso $N = 4$, por lo que $Sal_{MAX} = 15$. Si se convierte a binario, la salida máxima es “1111”.

Para la simulación que se presenta en la figura 1.3 se introduce en el circuito convertidor una rampa con pendiente unitaria. Su valor inicial es cero y su valor final es de 5, por tanto se espera que el convertidor AD genere una salida que vaya desde todos ceros a todos unos, pasando por todos los valores intermedios que hay en el rango mencionado. El resultado de la simulación del convertidor de 4 bits se muestra en la figura 1.4.

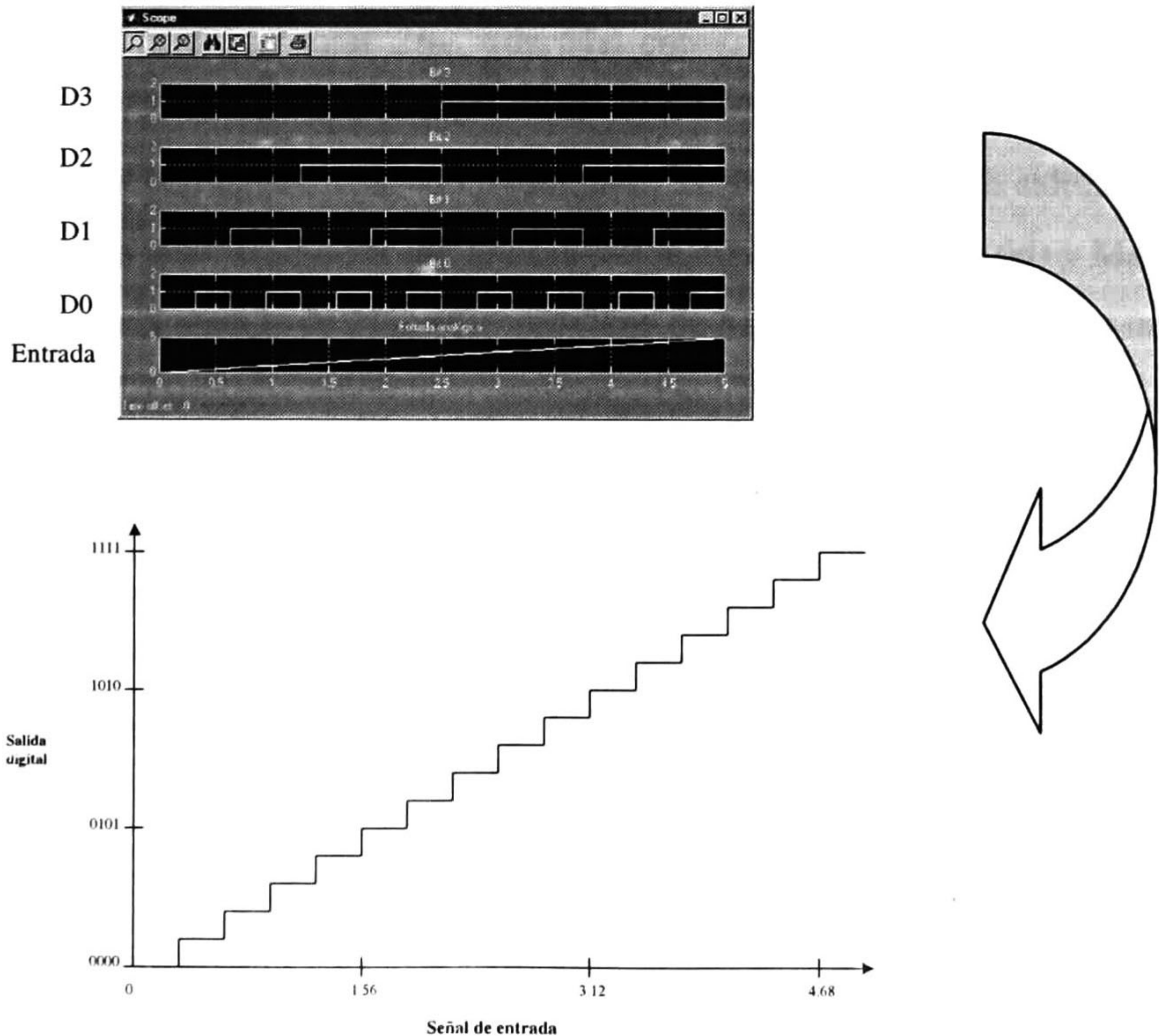


Figura 1.4. Resultados de simulación para el convertidor de la figura 1.4.

1.3 El convertidor ADC algorítmico en modo corriente.

De la figura 1.1 se puede ver que los bloques funcionales de que consta el convertidor algorítmico son básicamente 3:

- Un multiplicador por 2
- Un comparador
- Un circuito de substracción

y la forma en que se pueden implementar estos bloques, en modo corriente, para formar una celda de 1 bit se muestra en la figura 1.5 [6]. El circuito ejecuta una conversión algorítmica de 1 bit de la siguiente manera: La corriente de entrada I_{IN} es primero multiplicada por dos por medio del espejo de corriente compuesto por M_1 , y M_3 . Después, la señal $2I_{IN}$ es reflejada desde M_4 a través de M_5 hacia el comparador, COMP1, y a través de M_6 hacia la salida. COMP1 se utiliza para comparar $2I_{IN}$ (de M_5) con I_{REF} , que es la corriente de referencia (que se obtiene en M_7). Si $2I_{IN}$ es menor que I_{REF} , la salida digital corresponde a un cero lógico (gnd) y M_9 permanece apagado, resultando así una corriente de salida con valor $2I_{IN}$ (de M_6). Por otro lado, si $2I_{IN}$ excede I_{REF} , la salida digital será alta (Vdd) y M_9 se encenderá, I_{REF} (de M_8) será restada de $2I_{IN}$ (que proviene de M_6) resultando entonces una corriente de salida ($2I_{IN} - I_{REF}$). Esto completa la conversión algorítmica de 1bit.

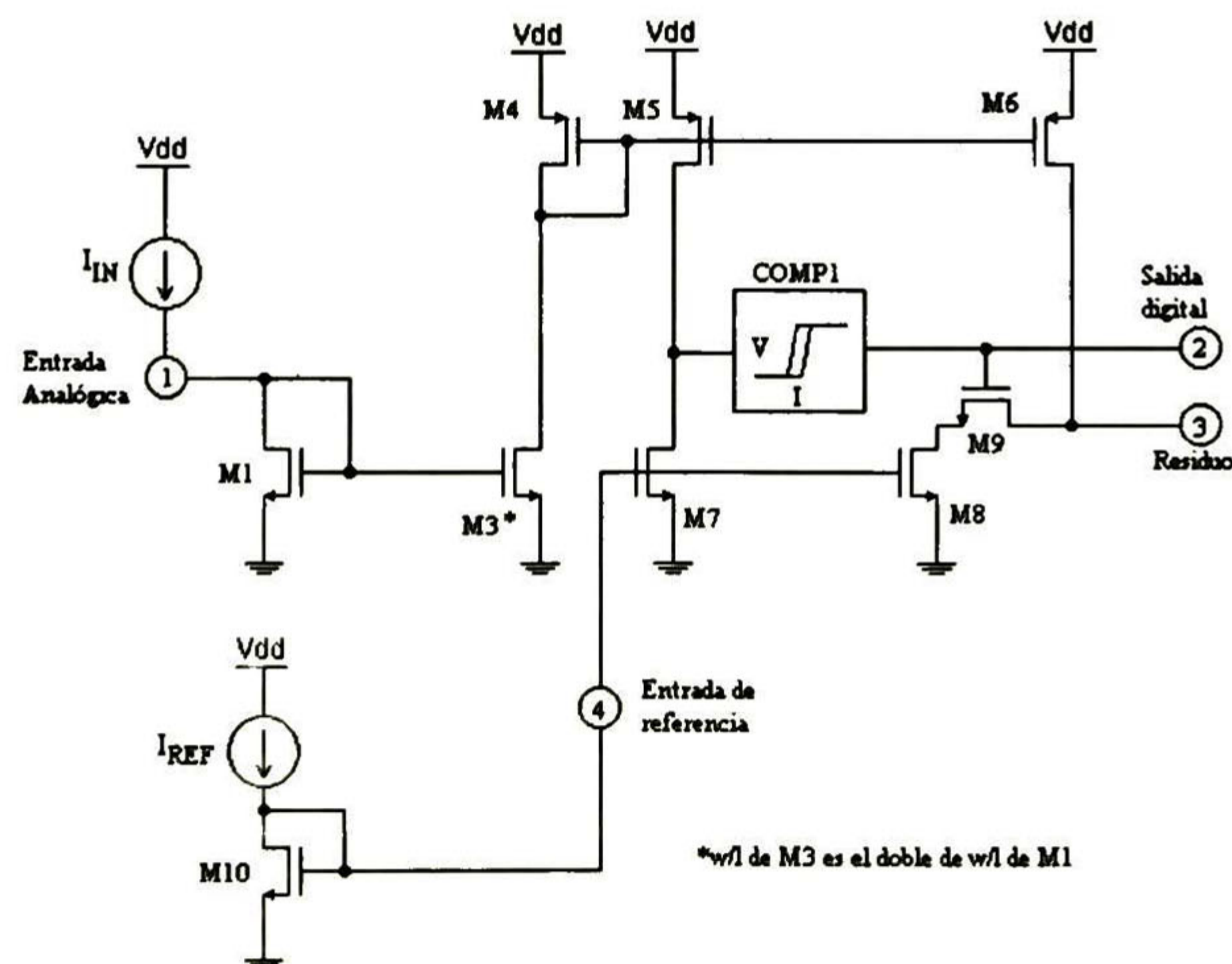


Figura 1.5. Celda de conversión AD algorítmica de 1 bit.

Para producir un convertidor de N-bits, se conectan en cascada N celdas de 1bit con la salida analógica (residuo) de una celda conectada a la entrada analógica de la siguiente como se muestra en la figura 1.6. El transistor M10 es compartido por todas las celdas de 1bit. La secuencia lineal de celdas de 1 bit no requiere señales de control. Por lo tanto, esta configuración resultará en un circuito muy compacto que puede ser fácilmente modificado para diferentes resoluciones.

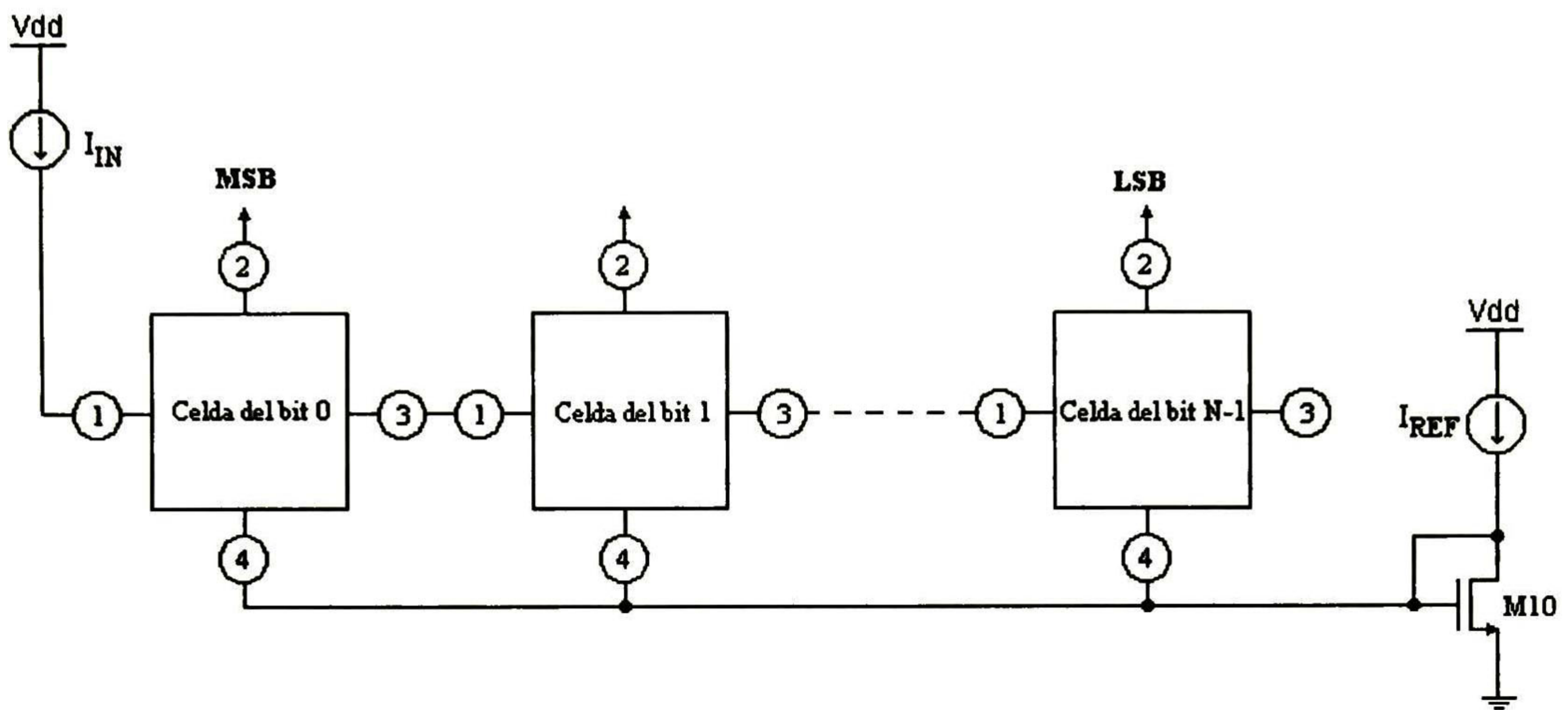


Figura 1.6. Conexión en cascada de celdas de 1bit para formar un convertidor de N-bits.

La velocidad del convertidor está determinada por la razón a la cual se propaga la señal a través de la cascada de celdas. Dentro de cada celda, la razón de propagación de la señal está determinada por el tiempo de respuesta de los espejos de corriente, el cual puede ser mejorado, entre otras opciones, con el uso de dispositivos de canal corto [6]

1.4 Diseño de convertidores ADC algorítmicos en modo corriente

Este convertidor está compuesto por comparadores de corriente y espejos de corriente. Debido a la necesidad de N comparadores y 2N espejos de corriente para un ADC de N-bits, estos componentes deben ser tan pequeños como sea posible sin sacrificar la precisión del convertidor.

Un comparador de corriente apropiado puede ser implementado utilizando la cascada de inversores que se muestra en la figura 1.7. La corriente que entra al inversor es $(I_{IN} - I_{REF})$, por tanto, si I_{IN} es mayor que I_{REF} se tiene una corriente de carga para el capacitor parásito C_P . El voltaje en C_P comienza entonces a aumentar y llega a sobrepasar el voltaje de umbral de M_4 que se enciende y produce un cero lógico. Si en cambio I_{IN} es menor que I_{REF} , entonces se tiene un flujo de corriente de descarga para C_P y el inversor entrega un 1 lógico. El inversor adicional formado por M_5 y M_6 se encarga de proporcionar una característica no inversora al comparador, de tal modo que cuando $I_{IN} > I_{REF}$ se tenga un uno, y viceversa.

El primer inversor en este circuito opera como un convertidor integrador de corriente a voltaje y por tanto funciona como un filtro efectivo del ruido de la fuente de alimentación. Al mismo tiempo, la naturaleza integradora del comparador asegura que no hay un offset inherente de dc en el comparador. Consecuentemente, los inversores en cascada proveen un comparador de corriente simple, pequeño y eficiente.

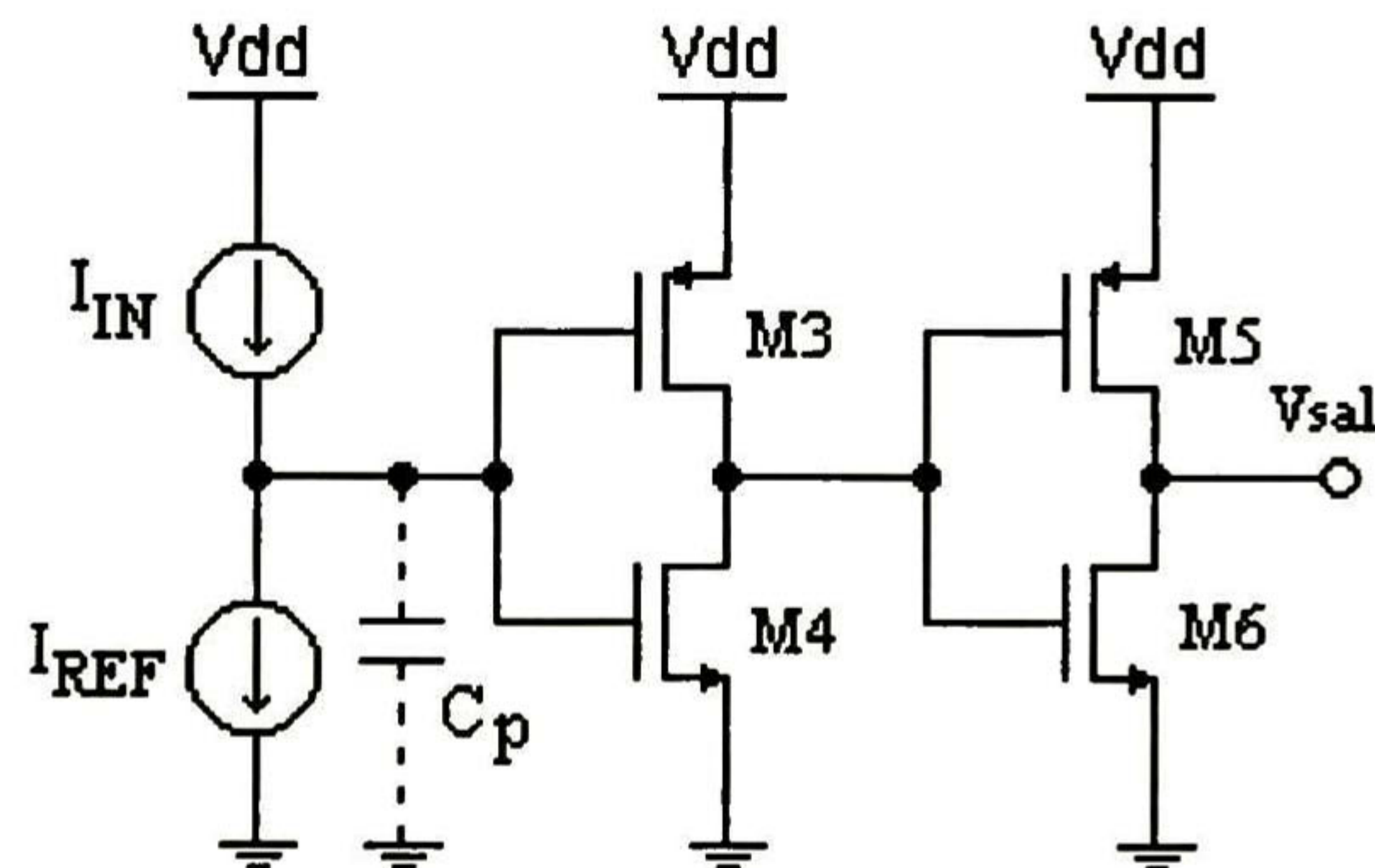


Figura 1.7. Comparador de corriente básico.

Un comparador de corriente mejorado se muestra en la figura 1.8 [7]. Este comparador presenta características de alta velocidad y baja impedancia de entrada.

precisión del convertidor. Estas desadaptaciones llevan a un error de corriente relativo definido como

$$\frac{\Delta I}{I_{IN}} = \frac{I_{OUT} - I_{IN}}{I_{IN}} \quad \text{Ec. 1.2}$$

donde I_{IN} es la corriente de entrada al espejo, I_{OUT} es la corriente de salida, y ΔI es la diferencia entre las corrientes de entrada y de salida. Para dispositivos CMOS operando en la región de saturación, el error relativo de corriente puede ser expresado como [8]

$$\frac{\Delta I}{I_{IN}} = \frac{\Delta\beta}{\beta} - \Delta V_T \left(\frac{2\beta}{I_{IN}} \right)^{1/2} \quad \text{Ec. 1.3}$$

donde β se define como $\mu C_{ox}(W/L)$, $\Delta\beta$ es la diferencia de la β de un transistor a otro de idénticas dimensiones, V_T es el voltaje de umbral de los dispositivos y ΔV_T es la diferencia entre los voltajes de umbral de los dispositivos. En circuitos prácticos, las desadaptaciones pueden ser reducidas aproximadamente hasta el 0.2% [8]. Para que un ADC funcione adecuadamente es deseable mantener el error absoluto² de corriente a un valor igual o menor que la mitad del bit menos significativo (LSB). Por lo tanto, la resolución del convertidor está limitada por las desadaptaciones de β a 8 bits, mientras que la limitante impuesta por la desadaptación de V_T dependerá de los niveles de señal. En particular, el error de corriente máximo debido a una desadaptación de V_T es proporcional a la raíz cuadrada de la corriente y ocurrirá en el máximo nivel de corriente según [6]

$$\Delta I = -\Delta V_T \sqrt{2I\beta} \quad \text{Ec. 1.4}$$

² Error absoluto: Diferencia entre la corriente de salida y la esperada
 Error relativo: Cociente entre el error absoluto y la corriente esperada, se expresa en %.

Para un circuito que utilice un espejo de corriente básico, tal como el de la figura 1.5, la corriente máxima I_{MAX} está determinada por la necesidad de mantener todos los dispositivos en saturación

$$V_{GS3} - V_T + |V_{GS4}| \leq V_{DD} \quad \text{Ec. 1.5}$$

entonces para dispositivos simétricos, I_{MAX} puede ser expresada como

$$I_{MAX} = \frac{\beta}{2} \left[\frac{V_{DD} - V_T}{2} \right]^2 \quad \text{Ec. 1.6}$$

donde V_{DD} es el voltaje de alimentación. Al igualar la magnitud del máximo error de corriente ($|\Delta I| = \Delta V_T \sqrt{2I_{MAX} \beta}$) con el 50% de la magnitud del bit menos significativo

$$(1/2 \text{ LSB} = \frac{I_{MAX}}{2^{N+1}}) \text{ se tiene}$$

$$\Delta V_T \sqrt{2I_{MAX} \beta} = \frac{I_{MAX}}{2^{N+1}} \quad \text{Ec. 1.7}$$

y despejando para N

$$N = \frac{\ln(\Delta V_T \sqrt{2\beta / I_{MAX}})^{-1}}{\ln(2)} - 1 \quad \text{Ec. 1.8}$$

Por tanto, los circuitos ADC que utilizan espejos de corriente básicos tienen una resolución máxima, limitada por ΔV_T , de

$$N = 1.44 \ln \left[\frac{V_{DD} - V_T}{4\Delta V_T} \right] - 1 \quad \text{Ec. 1.9}$$

Por lo tanto, si $V_{dd} = 5 \text{ V}$, $V_T = 0.75 \text{ V}$, y una desadaptación máxima de 0.2% puede ser lograda, una resolución máxima de 8.5 bits puede ser obtenida, la cual excede los límites de resolución impuestos por las desadaptaciones de β . Consecuentemente, a pesar de que el voltaje de alimentación podría ser incrementado para reducir los efectos de la desadaptación de V_T , la resolución del convertidor aún quedaría limitada a 8 bits por las desadaptaciones de β .

A pesar de que las desadaptaciones de los dispositivos teóricamente limitarán la resolución del convertidor al rango de 8 bits, en la práctica, se ha determinado que la fuente primaria de error en el circuito de la figura 1.5 es la operación de substracción que se lleva a cabo en la salida de la celda de 1 bit. El error más significativo para el convertidor ocurrirá en la transición de 10...00 a 10..01, la cual corresponde a una entrada ligeramente mayor que el 50% de la escala total de entrada. En este caso, la salida de la primera sección será muy pequeña ($I_{OUT} = 2I_{IN} - I_{REF}$), causando con ello que el voltaje a la salida sea llevado al valor del voltaje de umbral del dispositivo canal n presente en la etapa de entrada de la siguiente celda. El bajo voltaje de salida causa que el dispositivo de espejo M8 de la figura 1.5 se salga de la región de saturación, resultando así en un error de corriente significativo. Este error es entonces amplificado en etapas sucesivas del convertidor, conduciendo así a errores de conversión y a posible pérdida de códigos [6].

Para resolver el problema de la substracción, el voltaje de entrada a la celda, aún para corrientes extremadamente bajas, debe mantenerse tan alto como sea posible y aún mantener la resistencia de salida lo más alto posible para cada espejo de corriente. Ambos objetivos pueden lograrse usando espejos de corriente cascode, como se muestra en la figura 1.9. Seleccionando un punto de polarización apropiado (V_{bias}) para el espejo de corriente de referencia, se puede asegurar que ambos transistores M_{8a} y M_{8b} permanezcan en saturación aún cuando la salida analógica se vaya tan abajo como $2V_T$, asegurando con ello que la alta resistencia de salida del espejo de referencia se mantenga todo el tiempo. Otra ventaja de los espejos cascode es su resistencia de salida significativamente grande la

cual surge por la acción de buffer que proporcionan los dispositivos *a* de la figura 1.9. la cual aísla a los dispositivos *b* de las diferencias entre los voltajes de entrada y salida.

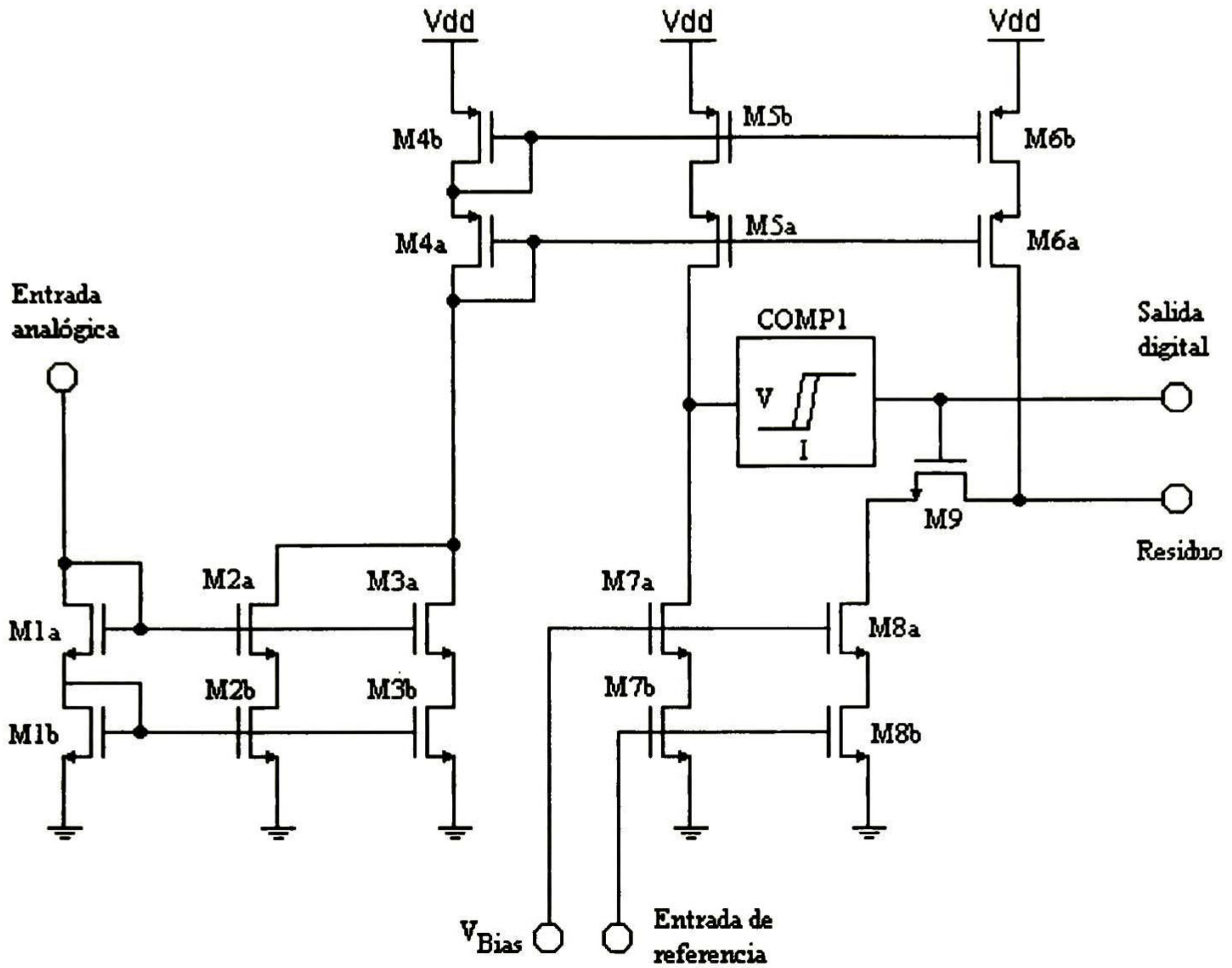


Figura 1.9. Diagrama esquemático de la celda de un bit con espejos cascode.

Desafortunadamente, el uso de espejos de corriente cascode reduce significativamente el rango dinámico y por tanto la resolución del ADC. A pesar de que los errores de corriente debidos a la resistencia finita de salida se reducen al usar espejos de corriente cascode, los espejos aún presentan un error de corriente debido a las desadaptaciones de los dispositivos. Al igual que los espejos básicos, los espejos cascode presentarán un error de corriente relativo proporcional a las desadaptaciones de β . Estas desadaptaciones limitan la resolución del ADC cascode a 8 bits. Sin embargo, para las desadaptaciones de V_T el espejo de corriente cascode presentará un error significativamente más grande. En este caso, la condición para que todos los dispositivos permanezcan en saturación es

$$V_{GS_{3b}} + V_{GS_{3a}} - V_T + |V_{GS_{4a}}| + |V_{GS_{4b}}| \leq V_{dd} \quad \text{Ec. 1.10}$$

y por lo tanto la máxima corriente, despreciando el efecto de cuerpo (γ), se limita a

$$I_{MAX} = \frac{\beta}{2} \left[\frac{V_{dd} - 3V_T}{4} \right]^2 \quad \text{Ec. 1.11}$$

Consecuentemente, los circuitos que utilizan espejos de corriente cascode tiene una resolución máxima (limitada por el ΔV_T) de

$$N = 1.44 \ln \left[\frac{V_{DD} - 3V_T}{8\Delta V_T} \right] - 1 \quad \text{Ec. 1.12}$$

Utilizando los mismos parámetros que se usaron para el espejo básico de corriente, se calcula la resolución y se obtiene que el convertidor con espejos de corriente cascode tendrá una resolución máxima de 6.8 bits. Por lo tanto, mientras que el espejo cascode resuelve el problema de la substracción ya mencionado, a menos que el V_{dd} se incremente, la máxima resolución teórica está limitada a 7 bits aproximadamente.

Para lograr resoluciones más grandes, se debe usar un espejo de corriente que no sufra de las desadaptaciones de V_T , o de la impedancia de salida finita de los dispositivos. Los efectos de las primeras se pueden reducir operando los transistores de espejeo con el voltaje de compuerta lo más alto posible. Simultáneamente, el voltaje de drenaje-surtidor de los dispositivos de espejeo debe ser aislado de las diferencias entre los voltajes de entrada y salida del espejo.

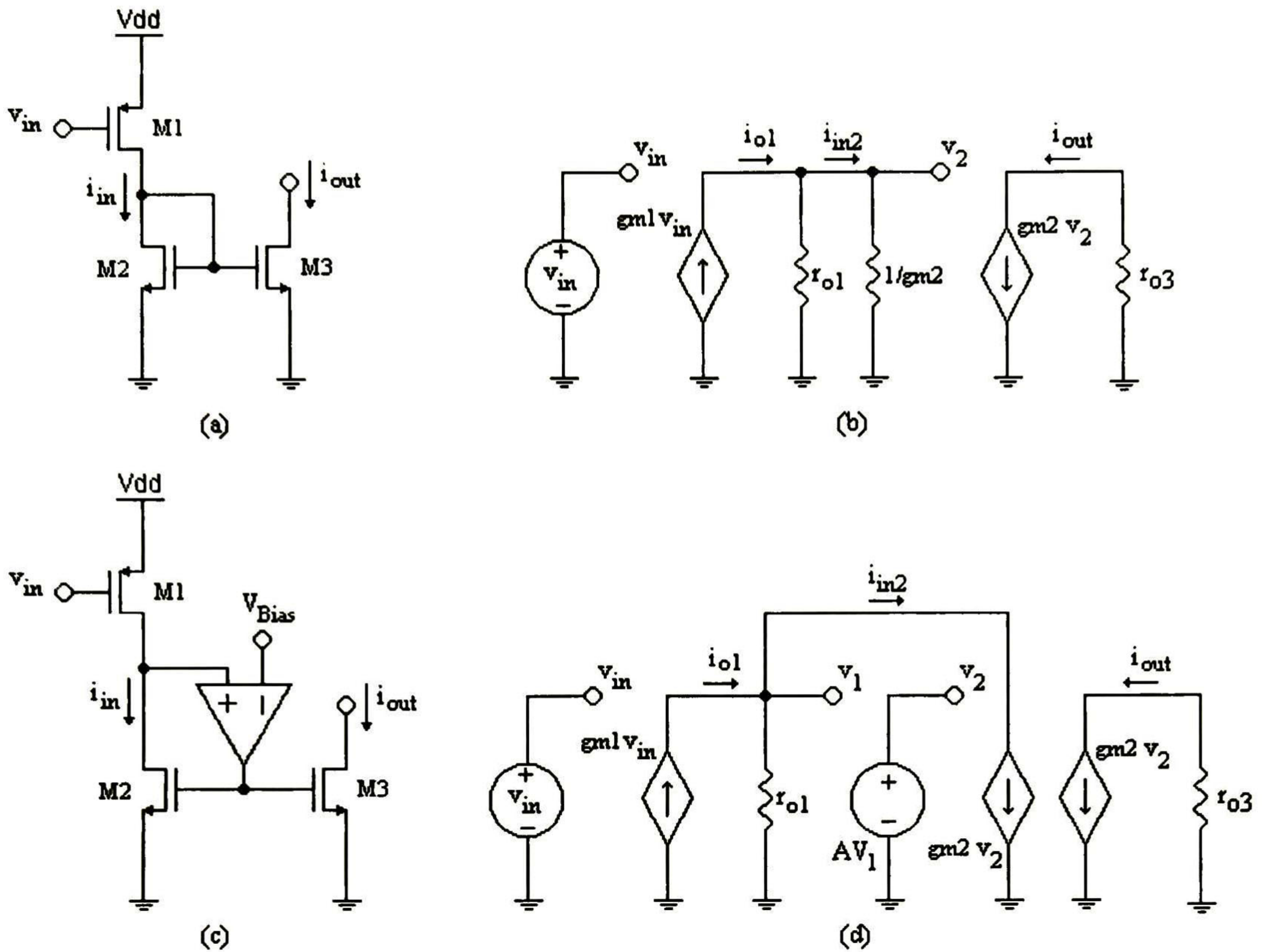


Figura 1.10. Estructura de espejos de corriente y su modelo de pequeña señal. (a) El espejo básico. (b) El modelo de pequeña señal del espejo de corriente básico. (c) El espejo de corriente activo. (d) El modelo de pequeña señal del espejo de corriente activo.

Un enfoque para aislar el voltaje drenaje-fuente sin restringir el voltaje de compuerta del dispositivo es reemplazar el espejo de corriente básico mostrado en la figura 1.10a con el espejo activo de corriente mostrado en la figura 1.10c [10]. El espejo de corriente activo es un *current conveyor* [11] y su ventaja principal es que su voltaje de entrada puede fijarse independientemente del voltaje de compuerta del dispositivo de espejo. Manteniendo las terminales de entrada y de salida del espejo al mismo potencial, los efectos degradantes de la impedancia finita del dispositivo serán eliminados.

El espejo de corriente activo reduce las desadaptaciones de corriente que se originan debido a la impedancia de salida finita del dispositivo. Pero no lo hace incrementando la impedancia de salida en si, sino que reduce la impedancia de entrada del espejo de

corriente. Considerando el circuito de la figura 1.10 (a) y su modelo de pequeña señal mostrado en la figura 1.10 (b). La fuente de corriente de salida que forma el transistor M_1 , alimenta la combinación en paralelo de r_o , la resistencia de salida del dispositivo, y la resistencia efectiva de entrada del espejo, $1/g_m$, causando que ocurra una división de corriente. Consecuentemente, la corriente de entrada al espejo de corriente, i_{in2} , se puede expresar como

$$\frac{i_{in2}}{i_{o1}} = \frac{r_o}{r_o + 1/g_m} \quad \text{Ec. 1.13}$$

donde i_{o1} es la corriente de M_1 . Por lo tanto, para obtener una razón de transferencia de corriente lo más cercana posible a la unidad, se puede, ya sea incrementar r_o , o bien disminuir $1/g_m$. Cuando el espejo de corriente en la figura 1.10 (a) se reemplaza con un espejo activo de corriente (figura 1.10 (c)), el modelo de pequeña señal de la figura 1.10 (b) cambia al mostrado en la figura 1.10 (d), resultando en la función de transferencia siguiente

$$\frac{i_{in2}}{i_{o1}} = \frac{r_o}{r_o + 1/Ag_m} \quad \text{Ec. 1.14}$$

donde A es la ganancia a lazo abierto del amplificador. De la ec. 1.14, se puede ver que la resistencia de entrada efectiva del espejo de corriente se reduce por un factor igual a la ganancia del amplificador. Por lo tanto, el espejo de corriente activo reduce las desadaptaciones de corriente al reducir la resistencia de entrada al espejo.

Para determinar la ganancia requerida por el espejo de corriente activo, se debe considerar la reducción deseada en la desadaptación. Ésta se puede expresar como

$$\frac{i_{o1} - i_{in2}}{i_{o1}} = \frac{1/Ag_m}{r_o + 1/Ag_m} \quad \text{Ec. 1.15}$$

Una celda de un bit diseñada usando el espejo de corriente activo se ilustra en la figura 1.11. Para una operación adecuada, ambos espejos activos deben polarizarse al mismo potencial y éste debe ser igual al voltaje de umbral del comparador. Tal arreglo de polarización asegura que los dispositivos de entrada y salida para cada espejo de corriente tendrán el mismo potencial drenaje-fuente. Idealmente, para dispositivos adaptados de canal n y canal p , el punto de polarización debe estar al 50% de las dos fuentes de alimentación ($\pm V_{DD}/2$) permitiendo el uso de voltajes de compuerta tan altos como $V_{DD}/2 + |V_T|$. De aquí que el máximo voltaje de compuerta del espejo activo, $V_{DD}/2 + |V_T|$, será más alto que el permitido en el espejo básico, el cual era $V_{DD}/2 + |V_T/2|$. Por lo tanto, el efecto de la r_o finita del dispositivo se minimiza sin restringir el rango dinámico del espejo.

Además de una mejora en el desempeño, los espejos de corriente activos simplifican la operación del ADC. Previamente, el voltaje a la entrada del circuito dependía del nivel de corriente y , como resultado, se requería de una fuente de corriente de muy alta resistencia para alimentar la entrada (si se deseaban conversiones precisas). Con el uso de espejos de corriente activos, tanto la entrada de señal, como la entrada de referencia tienen resistencia de entrada casi cero, y fuentes de corriente con relativa baja resistencia de salida pueden utilizarse para manejar el ADC sin reducir la precisión del convertidor. Entonces, al eliminar los efectos de la impedancia de salida finita sin afectar el rango dinámico, esta configuración (figura 1.11) ofrece la posibilidad de desarrollar convertidores ADC de buena resolución y precisión.

1.5 Consideraciones de ancho de banda para el espejo activo

Los circuitos equivalentes presentados en la figura 1.10 no consideran los efectos de las capacitancias parásitas de los transistores, las cuales limitan el ancho de banda de trabajo de las configuraciones de espejo de corriente simple y activo. En la figura 1.12 se muestran los equivalentes de pequeña señal simplificados de dichos circuitos que ya incluyen las capacitancias parásitas.

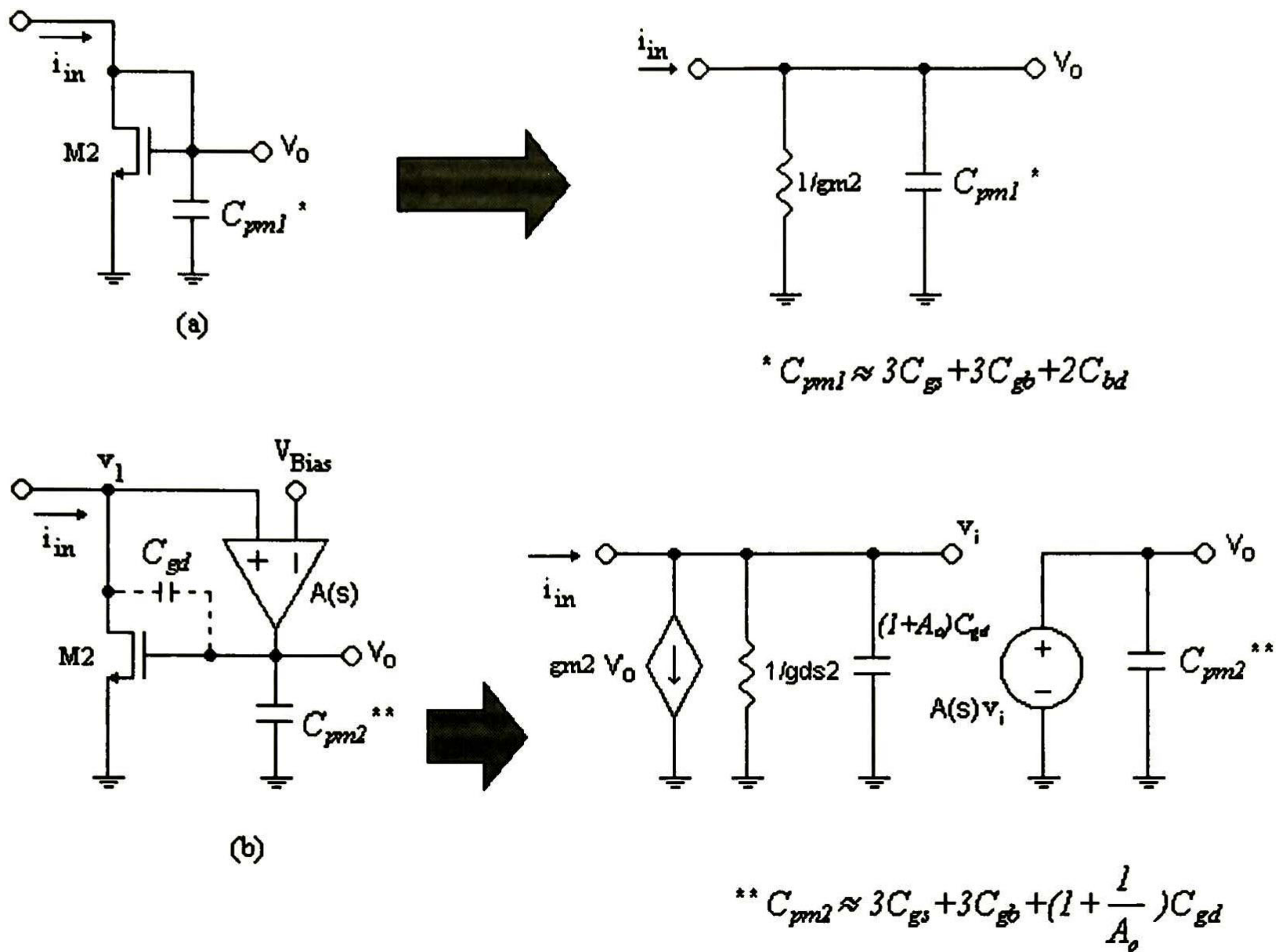


Figura 1.12 a) Espejo simple y su equivalente de pequeña señal incluyendo la capacitancia parásita principal. b) Espejo activo y equivalente de pequeña señal con capacitancia parásita.

Para el espejo simple de la figura 1.12a, si se le llama z_{eq} al circuito paralelo formado por $1/gm2$ y C_{pm1} , entonces v_o sería:

$$v_o = i_{in} z_{eq} \tag{Ec. 1.17}$$

obteniendo el equivalente paralelo

$$z_{eq} = \frac{\frac{1}{gm_2}}{\frac{C_{pm1} s}{gm_2} + 1} \quad \text{Ec. 1.18}$$

entonces

$$\frac{v_o}{i_{in}} = \frac{\frac{1}{gm_2}}{\frac{C_{pm1} s}{gm_2} + 1} \quad \text{Ec. 1.19}$$

con lo cual, el espejo simple presenta el polo dominante en:

$$\omega_{ps} = \frac{gm_2}{C_{pm1}}$$

Para el espejo activo, la situación cambia en forma significativa. Dado que ahora ya no hay un corto circuito entre el drenaje y la compuerta del transistor M2, se debe considerar la capacitancia C_{gd} (fig. 1.12b). Esta capacitancia se encuentra entre la entrada y la salida del amplificador operacional (con una ganancia de lazo abierto A_o), por ello, se puede utilizar el teorema de Miller [12] y entonces descomponerla en dos capacitancias aterrizadas: una de drenaje a tierra y otra de compuerta a tierra. De la figura 1.12 b se puede ver que

$$v_o = A(s) v_i \quad \text{Ec. 1.20}$$

y además, de la misma figura 1.12b

$$i_{in} = v_i gm_2 A(s) + v_i A_o C_{gd} s + v_i g_{ds2} \quad \text{Ec. 1.21}$$

entonces:

$$\frac{i_{in}}{v_i} = gm_2 A(s) + A_o C_{gd} s + g_{ds2} \quad \text{Ec. 1.22}$$

despejando v_i de la ec. 1.20 y sustituyendo en 1.22

$$\frac{v_o}{i_{in}} = \frac{A(s)}{A(s) \cdot gm_2 + A_o C_{gd} s + g_{ds2}} \quad \text{Ec. 1.23}$$

Como se aprecia en la ec. 1.23, el ancho de banda del espejo activo depende ahora de la respuesta en frecuencia del amplificador, así como de la ganancia de lazo abierto A_o . Si se observa el diagrama en la figura 2.1, se puede ver que el amplificador operacional presenta dos polos dominantes al excitarlo por su entrada positiva, y serían:

$$\omega_{p1} = \frac{gm_4}{C_{pa}}$$

y

$$\omega_{p2} = \frac{g_{ds3} + g_{ds1}}{C_L}$$

donde gm_4 es la transconductancia de M4, C_{pa} es la parásita de compuerta de M3 y M4, g_{ds3} y g_{ds1} es la conductancia de M3 y M1 respectivamente, y C_L es la carga del amplificador (fig. 2.1). En la figura 1.12b, se observa que la carga que maneja el amplificador es C_{pm2} , por lo que se puede escribir:

$$\omega_{p2} = \frac{g_{ds3} + g_{ds1}}{C_{pm2}} \quad \text{Ec. 1.24}$$

por tanto, y considerando que $gm_4 \gg g_{ds3}$, se puede decir que el sistema del amplificador queda dominado por ω_{p2} . Entonces se puede aproximar $A(s)$ como:

$$A(s) \approx \frac{A_o}{\frac{s C_{pm2}}{gds3 + gds1} + 1} \quad \text{Ec. 1.25}$$

Entonces, al sustituir la ec. 1.25 en 1.23 se tiene:

$$\frac{v_o}{i_{in}} = \frac{A_o}{\frac{A_o C_{gd} C_{pm2}}{gds1 + gds3} \left[s^2 + \left(\frac{(C_{pm2} + 2A_o C_{gd}) 2gds}{2A_o C_{gd} C_{pm2}} \right) s + \frac{gm2(gds1 + gds3)}{C_{gd} C_{pm2}} \right]} \quad \text{Ec. 1.26}$$

por lo tanto, el polo para el espejo activo sería:

$$\omega_{pa} = \sqrt{\frac{gm2(gds1 + gds3)}{C_{gd} C_{pm2}}} = \sqrt{\frac{gm2(gds1 + gds3)}{C_{gd} \left(3C_{gs} + 3C_{gb} + \left(1 + \frac{1}{A_o} \right) C_{gd} \right)}} \quad \text{Ec. 1.27}$$

en donde ya se encuentran los efectos de la respuesta en frecuencia del amplificador y además el de la capacitancia C_{gd} , que de no ser por la ganancia A_o del amplificador, no tendría efecto significativo.

1.6 Distorsión armónica

En todos los análisis presentados hasta este punto, siempre se ha considerado una relación totalmente lineal entre el voltaje de compuerta y la corriente de drenaje de los transistores. Esta consideración es aceptable siempre y cuando los voltajes de entrada sean muy pequeños comparados con el voltaje de polarización. En el caso de un convertidor ADC, esta consideración de pequeña señal no puede cumplirse, ya que las señales de entrada a este utilizan todo el rango dinámico, pues esto es condición para utilizar todos los bits de resolución del convertidor.

El principal problema de utilizar señales grandes en sistemas con transistores MOS es la distorsión armónica que estos generan. Para la celda de un bit con espejos activos de la figura 1.11, esta distorsión es causada por las características no lineales en la conversión de voltaje a corriente de los transistores M2, M3, M5 y M8, pues cabe recordar que la corriente de drenaje viene dada por:

$$I_D = \frac{1}{2} \beta (V_{GS} - V_T)^2 \quad \text{Ec. 1.28}$$

donde V_{GS} es el voltaje de compuerta de los transistores, el cual está formado por una componente de directa V_I (que es la polarización del espejo) y una de señal v_i . Entonces:

$$V_{GS} = V_I + v_i$$

$$\text{con } v_i = V_m \text{ sen}(\omega t)$$

Sustituyendo V_{GS} en la ec. 1.28 se tiene:

$$I_D = \frac{1}{2} \beta ((V_I + V_m \text{ sen}(\omega t)) - V_T)^2 \quad \text{Ec. 1.29}$$

Desarrollando el binomio cuadrado

$$I_D = \frac{1}{2} \beta [(V_I - V_T)^2 + 2(V_I - V_T)V_m \text{ sen}(\omega t) + V_m^2 \text{ sen}^2(\omega t)] \quad \text{Ec. 1.30}$$

Como se ve, el primer término entre corchetes de la ec. 1.30 forma la corriente de polarización I_{DQ} , el segundo término es la corriente que genera la señal de entrada en sí y el tercer término es el componente de armónicos. Si se utiliza una identidad trigonométrica conveniente para este término se tendría:

$$V_m^2 \text{sen}^2(\omega t) = \frac{V_m^2}{2} - \frac{V_m^2}{2} \cos(2\omega t) \quad \text{Ec. 1.31}$$

Entonces, de acuerdo a la ec. 1.31, se tendría un componente armónico en $2\omega t$ con una amplitud $\frac{V_m^2}{2}$. Entonces, la distorsión armónica considerando sólo este segundo armónico sería:

$$HD = \frac{V_m}{4(V_I - V_T)} \quad \text{Ec. 1.32}$$

Si se fija un valor para la HD máxima admisible, que dependerá de la aplicación específica, entonces se tiene:

$$V_m = 4HD(V_I - V_T) \quad \text{Ec. 1.33}$$

Como se ve en la ec. 1.33, si la aplicación permite ajustar los niveles de la señal de entrada entonces se pueden ajustar al valor obtenido, pero si la aplicación no lo permite, entonces lo más conveniente es ajustar por medio de la polarización, que según 1.32 mientras más grande sea, menor será la distorsión generada.

Referencias

- [1] H. Schmid, *Electronic Analog Digital Conversión*. New York: Van Nostrand, 1970.
- [2] T. Hornak, "A high precision component tolerant ADC," in Dig. Tech. Papers, 1975 ISSCC, New York, NY, Feb. 1975.
- [3] R. H. McCharles, V. A. Saletore, W. C. Black, Jr., and D. A. Hodges, "An algorithmic analog to digital converter", in Dig. Tech. Papers, 1977 ISSCC, Philadelphia, PA, Feb. 1977.
- [4] R. W. Webb, F. R. Cooper, and R. W. Randlett, "A 12b A/D converter," in Dig. Tech. Papers, 1981 ISSCC, New York, NY, Feb. 1981.
- [5] C. Toumazou, F. J. Lidgley and D.G. Haigh, "Analog IC design: the current-mode approach", IEEE circuits and systems series 2, London, 1998.
- [6] David G. Naim, C. Andre T. Salama, "Current-Mode Algorithmic Analog-to-Digital Converters", IEEE journal of Solid State Circuits, vol. 25, No. 4, August 1990. pp. 997-1004.
- [7] H. Träff, "Novel Approach to High Speed CMOS Current Comparators", Electronics Letters, Vol. 28, No. 3. Jan. 1992.
- [8] K. R. Lakshmikumar, R. A. Hadaway, M. A. Copeland, "Characterization and modeling of mismatch in MOS transistors for precision analog design", IEEE J. Solid-State Circuits, vol. SC-21, pp. 1057-1066, 1986.
- [9] J. B. Shyu, G. C. Temes, and F. Krummenacher, "Random error effects in matched MOS capacitors and current sources", IEEE J. Solid-State Circuits, vol. SC-19, pp. 948-955, 1984.

[10] D. G. Naim and C. A. T. Salama, "High resolution current mode A/D converters using active current mirrors", *Electron. Lett.*, vol. 24, pp. 1331-1332, 1988.

[11] A. S. Sedra and K. C. Smith, "A second generation current conveyor and its applications", *IEEE Trans. Circuit Theory*, vol. CT-17, pp. 132-134, 1970

[12] R. Jacob, Harry W. Li, David E. Boyce, "CMOS circuit design, layout and simulation". IEEE Press Series on Microelectronic Systems. 1998. ISBN 0-7803-3416-7

II. DISEÑO Y SIMULACIÓN DE BLOQUES BÁSICOS

2.1 Diseño del amplificador operacional para su uso en el espejo activo

La configuración de espejo activo requiere del uso de un amplificador operacional en la línea de retroalimentación entre el drenaje y la compuerta del transistor de entrada del espejo de corriente. Teniendo en cuenta que el agregado de este amplificador retribuye con una disminución de la impedancia de entrada del espejo en una proporción igual a su ganancia, se desea que la ganancia del amplificador sea del orden de los 40db o más. En [1] se sugiere la configuración que se muestra en la figura 2.1. El circuito consiste de un par diferencial para proveer la ganancia necesaria y una red de compensación para asegurar la estabilidad del circuito.

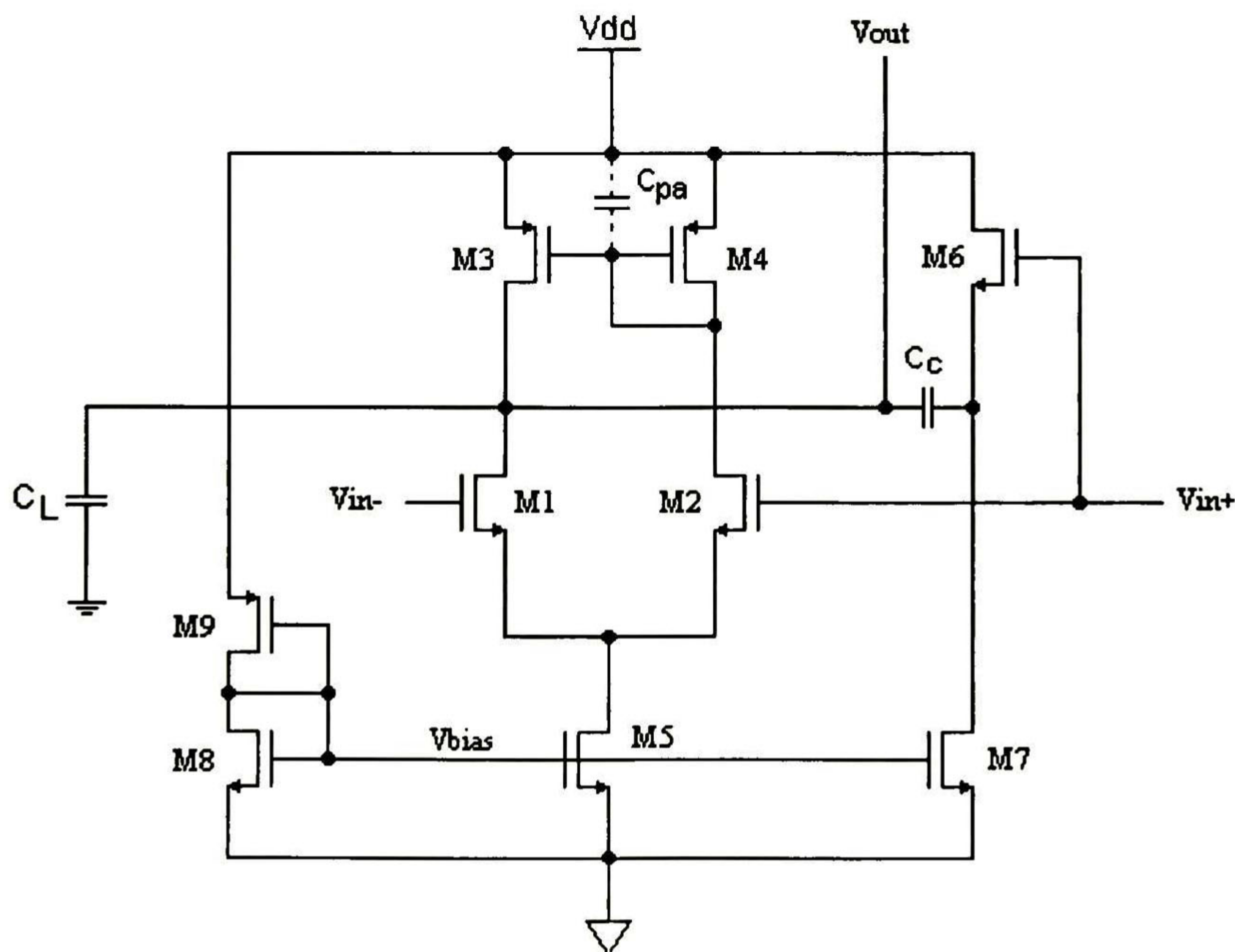


Figura 2.1. Diagrama esquemático del amplificador utilizado en los espejos activos [1].

Para los cálculos se usan los siguientes modelos de MOSIS 1.2 μ m para NMOS y PMOS:

MODELO NMOS NIVEL=3

$\phi=0.700000$ $t_{ox}=3.0700E-08$ $V_{t0}=0.6897$ $\Delta=0.0000E+00$ $L_D=1.0250E-7$ $K_P=7.5564E-05$
 $U_0=671.8$ $\theta=9.0430E-02$ $R_{SH}=2.5430E+01$ $\gamma=0.7822$ $N_{SUB}=2.3320E+16$ $N_{FS}=5.9080E+11$
 $V_{MAX}=2.0730E+05$ $C_{GDO}=1.7294E-10$ $C_{GSO}=1.7294E-10$ $C_{GBO}=5.1118E-10$ $C_J=2.818E-04$
 $M_J=5.2633E-01$ $C_{JSW}=1.4770E-10$ $M_{JSW}=1.0000E-01$ $P_B=9.9000E-01$

MODELO PMOS NIVEL=3

$\phi=0.700000$ $t_{ox}=3.0700E-08$ $V_{T0}=-0.7574$ $\Delta=2.9770E+00$ $L_D=1.0540E-8$ $K_P=2.1562E-05$
 $U_0=191.7$ $\theta=1.2020E-01$ $R_{SH}=3.522E+00$ $\gamma=0.4099$ $N_{SUB}=6.4040E+15$ $N_{FS}=5.9090E+11$
 $V_{MAX}=1.6200E+05$ $C_{GDO}=5.0000E-11$ $C_{GSO}=5.0000E-11$ $C_{GBO}=4.2580E-10$ $C_J=2.959E-04$
 $M_J=4.2988E-01$ $C_{JSW}=1.8679E-10$ $M_{JSW}=1.5252E-01$ $P_B=7.3574E-01$

Las especificaciones que deberá cumplir el amplificador, pensadas para aplicaciones de audio e instrumentación, se muestran en la tabla 2.1. La carga que manejará será básicamente la capacitancia de compuerta de los transistores de espejo, que se encuentra en el orden de los cientos de fF , por ello se propone $C_L = 1pF$.

Tabla 2.1. Especificaciones del amplificador utilizado en el espejo activo.

Ganancia de baja frecuencia	$A_o \geq 40dB$
Frecuencia de ganancia unitaria	$f_o = 2MHz$
Slew rate	$S_r \geq 4 V/\mu s$
Impedancia de carga	$C_L = 1pF$
Voltajes de alimentación	$V_{DD} = -V_{SS} = 2.5V$

De [2] se tiene que:

$$g_{mi} = w_o C_L \quad \text{Ec. 2.1}$$

y además:

$$g_{mi} = g_{m1} = g_{m2} \quad \text{Ec. 2.2}$$

entonces:

$$g_{mi} = (2\pi)(2E6)(1pF) = 12.56 \mu S$$

La corriente de polarización I_5 que pasa a través de M_5 de acuerdo a [2] es:

$$I_5 = (S_r) C_C \quad \text{Ec. 2.3}$$

Considerando que $C_L = C_C$ y utilizando la ec. 2.3 se obtiene:

$$I_5 = (4V / \mu s)(1pF) = 4 \mu A$$

De [2] se tiene que:

$$g_{m1} = g_{m3} = g_{m4} = \frac{3g_{mi}}{5} \quad \text{Ec. 2.4}$$

Sustituyendo en la ec. 2.4 el valor encontrado para g_{mi} se obtiene:

$$g_{m1} = \frac{3(12.56 \mu S)}{5} = 7.538 \mu S$$

Para el cálculo de las geometrías de M_5 se supone $(V_{GS5} - V_{T5}) = 0.2V$ y se utiliza

$$\frac{W}{L} = \frac{2I_D}{K_p(V_{GS} - V_T)^2} \quad \text{Ec. 2.5}$$

Sustituyendo los valores para M_5 , donde $I_{D5} = I_5 = 4\mu\text{A}$ y $K_p = 7.55E-5$ se obtiene:

$$\left(\frac{W}{L}\right)_5 = 2.64$$

y con $L_5 = 1.8\mu\text{m}$ se tendría $W_5 = 4.75\mu\text{m}$ y ajustando a múltiplos de λ (cuyo valor para la tecnología de $1.2\mu\text{m}$ es de $0.6\mu\text{m}$) quedaría $W_5 = 4.8\mu\text{m}$.

Para el cálculo de las geometrías de M_1 y M_2 se cuenta con los datos de g_{m1} e I_{D5} , y entonces se puede utilizar [2]:

$$\frac{W}{L} = \frac{g_m^2}{2K_p I_D} \quad \text{Ec. 2.6}$$

Con $K_p = 7.55E-5$, $g_{mi} = 12.56\mu\text{S}$ e $I_D = I_5/2 = 2\mu\text{A}$ se obtiene

$$\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = 0.52$$

Si se fija $W_1 = W_2 = 3\mu\text{m}$, entonces se obtiene $L_1 = L_2 = 5.76\mu\text{m}$ y al ajustar a múltiplos de λ queda $L_1 = L_2 = 6\mu\text{m}$.

Para obtener las geometrías de M_3 y M_4 también se puede utilizar la ec. 2.6, pues se tienen los datos de g_{m1} e I_{D5} . Por tanto, con $K_p = 2.15E-5$, $g_{m3} = g_{m4} = g_{m1} = 7.538\mu\text{S}$, e $I_D = I_5/2 = 2\mu\text{A}$ se obtiene

$$\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = 0.66$$

Con $W_3 = W_4 = 3\mu m$ se obtiene $L_3 = L_4 = 4.54\mu m$, y al ajustar a múltiplos de λ queda $L_3 = L_4 = 4.8\mu m$.

M_6 y M_7 forman un seguidor de fuente, y para lograr su característica de ganancia de voltaje unitaria se requiere que $g_{m6} \gg g_{ds6} + g_{ds7} + g_{mb1}$ [2] y para lograr esto se requiere que $(W/L)_6 = (W/L)_7$ sea de un valor considerable. En este caso se propone $(W/L)_6 = (W/L)_7 = 6$. Con esto se tiene $W_6 = W_7 = 10.8\mu m$ y $L_6 = L_7 = 1.8\mu m$.

Por último, M_8 y M_9 forman una red de polarización para proporcionar el V_{bias} de las compuertas de los transistores M_5 y M_7 . De la figura 2.1 se puede ver que

$$V_{GS5} = V_{bias} - V_{SS} \quad \text{Ec. 2.7}$$

y dado que se supuso $(V_{GS5} - V_{T5}) = 0.2V$ entonces se tiene que $V_{GS5} = 0.88V$. Con este dato, y un $V_{SS} = -2.5V$ se obtiene, al despejar V_{bias} de la Ec. 2.7

$$V_{bias} = -1.62V$$

Para el cálculo de las geometrías de M_8 y M_9 se igualan las corrientes de drenaje de ambos transistores (que operan en saturación) y se considera el V_{bias} que se requiere, y se obtiene:

$$\frac{\left(\frac{W}{L}\right)_8}{\left(\frac{W}{L}\right)_9} = \frac{\mu_p \left[\frac{V_{DD} - V_{bias} - V_{Tp}}{V_{bias} - V_{SS} - V_{Tn}} \right]^2}{\mu_n} \quad \text{Ec. 2.8}$$

Al sustituir los valores correspondientes en la ec. 2.8 se obtiene $(W/L)_8/(W/L)_9 = 72.08$. $(W/L)_9$ se propone de un valor pequeño para evitar que $(W/L)_8$ se dispare en magnitud y requiera de transistores de gran tamaño. Entonces, se propone: $W_9 = 3\mu m$ y $L_9 = 15.6\mu m$, con lo que se obtiene $W_8 = 25.2\mu m$ y $L_8 = 1.8\mu m$.

La tabla 2.2 muestra un resumen de los resultados del diseño del amplificador y su red de polarización.

Tabla 2.2. Resultados del diseño del amplificador de la fig. 2.1

DISPOSITIVO	TIPO	W (μm)	L (μm)
M ₁	n	3	6
M ₂	n	3	6
M ₃	p	3	4.8
M ₄	p	3	4.8
M ₅	n	4.8	1.8
M ₆	n	10.8	1.8
M ₇	n	10.8	1.8
M ₈	n	25.2	1.8
M ₉	p	3	15.6
$C_C = 1pF$			

Con estos valores de geometrías se elaboró el layout correspondiente del amplificador y su referencia de voltaje. Esta última se colocó por separado para poder utilizarla en más de un amplificador a la vez y de esta manera utilizar menos área. En la figura 2.2a y 2.2b se muestran ambos layouts.

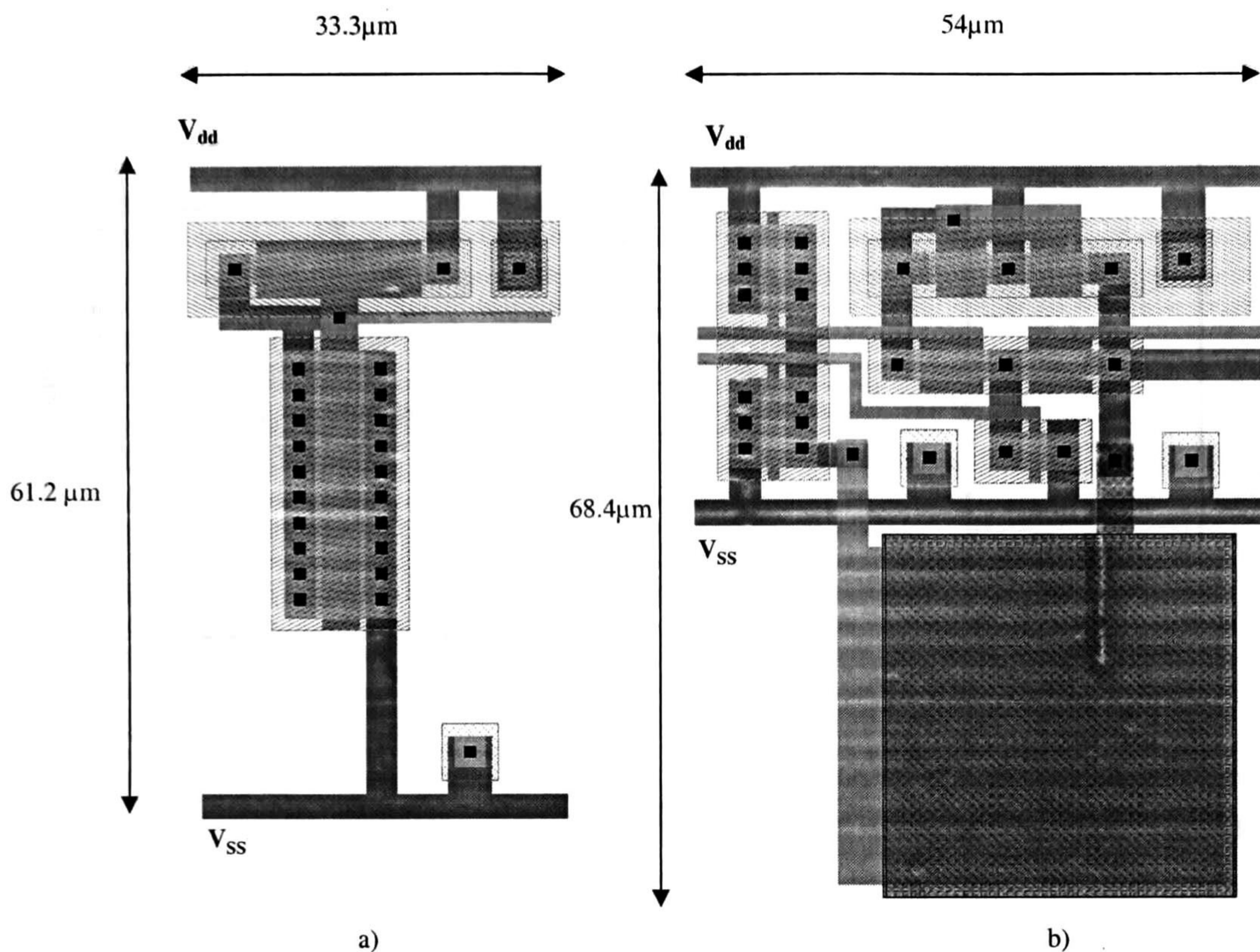


Figura 2.2 a) Referencia de voltaje de -1.6V, b) amplificador

2.2 Simulación del amplificador operacional

Los valores de diseño para el amplificador obtenidos en la sección 2.1 se llevaron a simulación utilizando TSPICE de TANNER TOOLS. En la figura 2.3 se muestra la respuesta en frecuencia del amplificador. La ganancia máxima es de aproximadamente 52.1dB y la frecuencia de ganancia unitaria se ubica en 2MHz. Estas mediciones se efectúan con una carga $C_L = 1pF$, y ambas satisfacen las especificaciones propuestas.

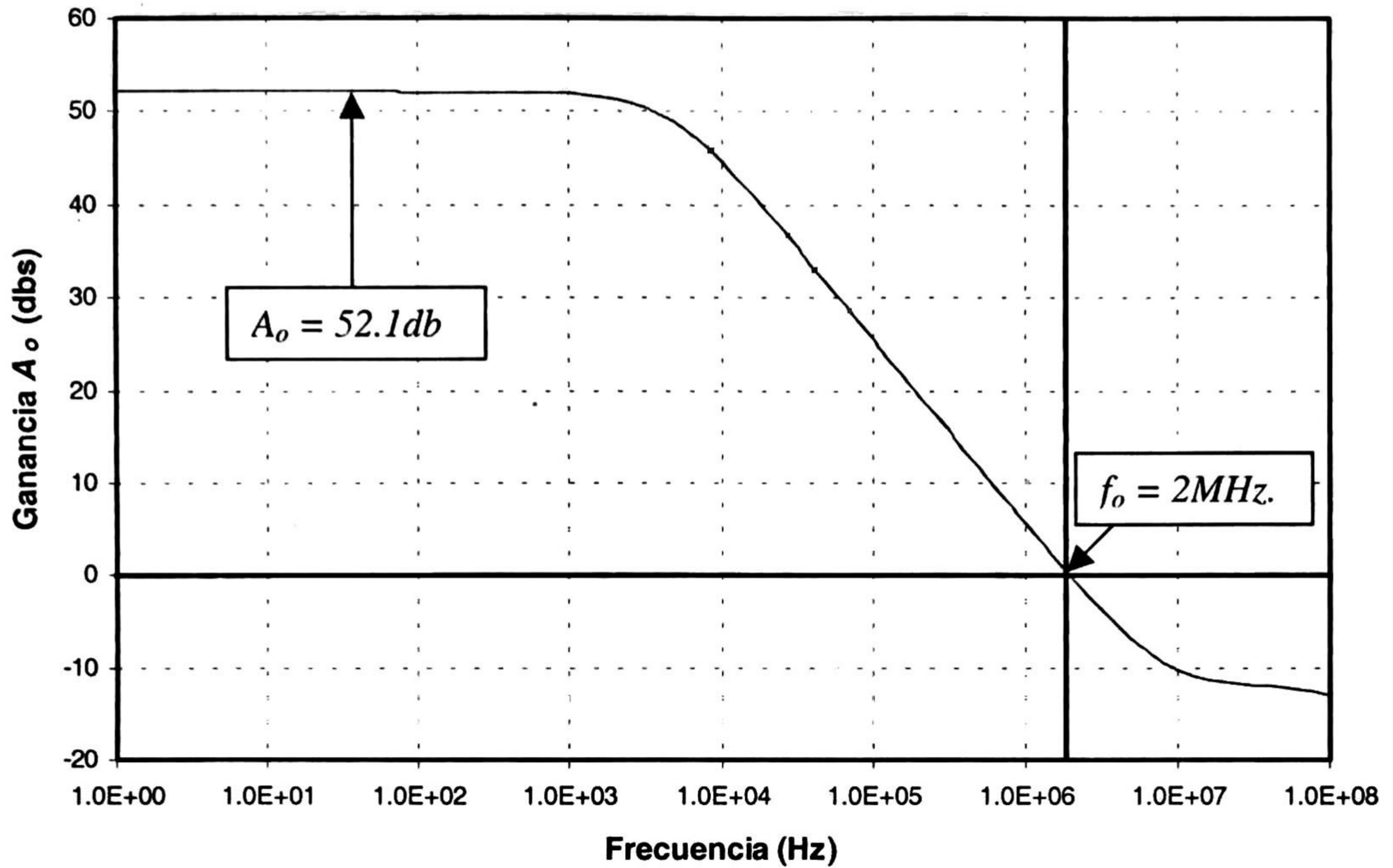


Figura 2.3. Simulación de la respuesta en frecuencia del amplificador diseñado.

En la figura 2.4 se muestra la medición de la velocidad de respuesta del opamp, también conocido como *slew rate*. Esta medición se efectuó con la entrada inversora del amplificador conectada a tierra, y en la entrada positiva del mismo se inyectó una señal de onda cuadrada con una frecuencia de 10kHz. El dt requerido para llevar la señal desde -2.25V hasta 2.25V (desde el 10% al 90%) es de $0.35\mu s$. Entonces, con $dV = 4.5V$ y haciendo una aproximación lineal se tiene:

$$S_r = \frac{dV}{dt} \tag{Ec. 2.9}$$

$$S_r = \frac{4.5V}{0.35\mu s} = 12 \frac{V}{\mu s}$$

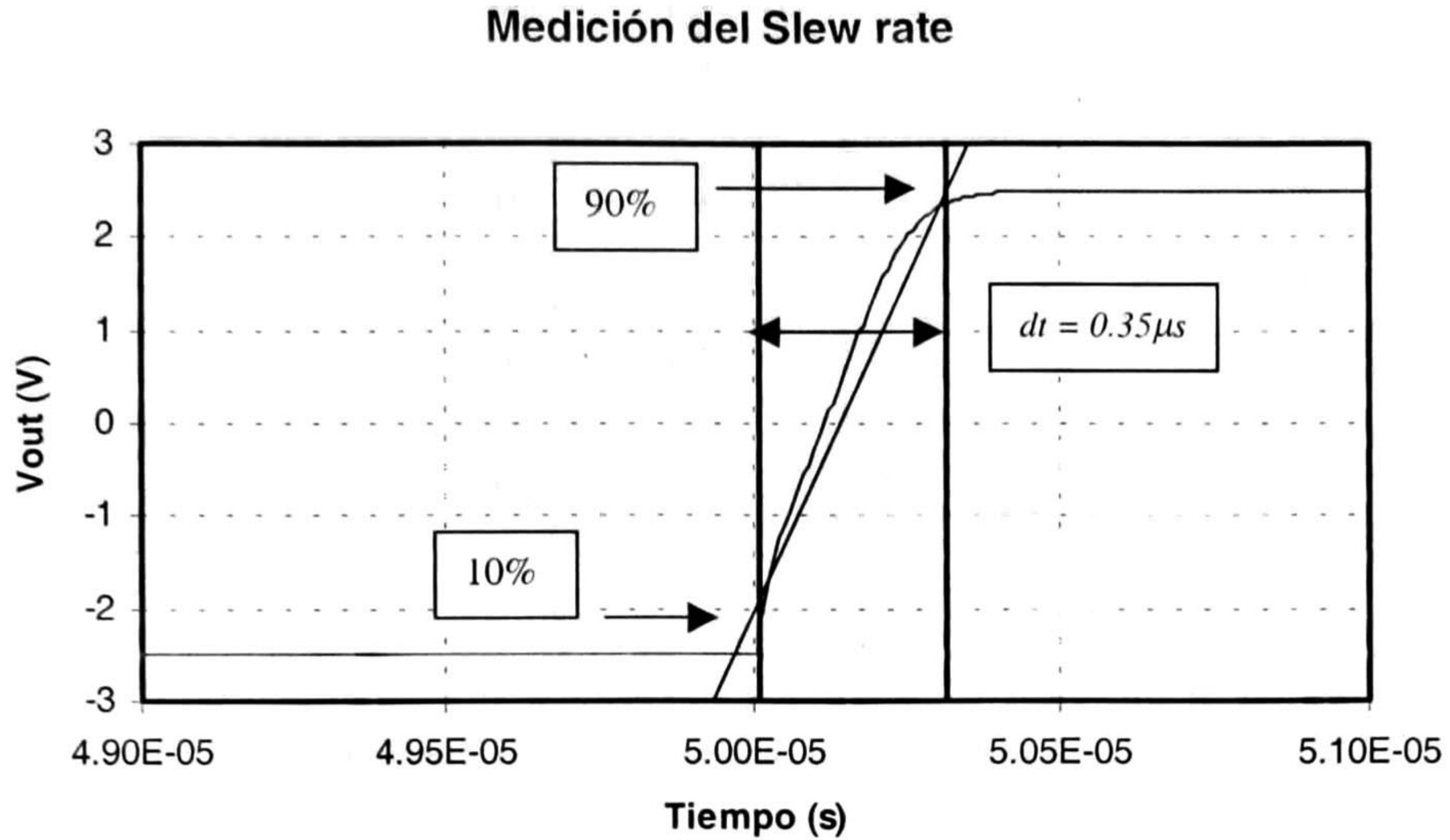


Figura 2.4. Resultados de simulación para el slew rate del amplificador.

2.3 Diseño de un espejo activo para su uso como multiplicador por dos y como restador

El multiplicador por dos es un espejo de corriente del tipo 1:2. Es decir, la corriente de salida es dos veces la corriente de entrada. Para obtener un espejo 1:2 se diseña primero el espejo 1:1 y después sólo basta con duplicar la relación W/L de los transistores de la rama de salida, obteniendo así el doble de corriente a través de estos. Para su uso como restador basta con suprimir M_3 y M_4 , y conectar M_2 al nodo donde entra la corriente que sirve de minuendo, la corriente sustrayendo se inyecta al drenaje de M_1 . Para el caso de restador se conecta como espejo 1:1. En la figura 2.5 se muestra el circuito del espejo activo 1:1.

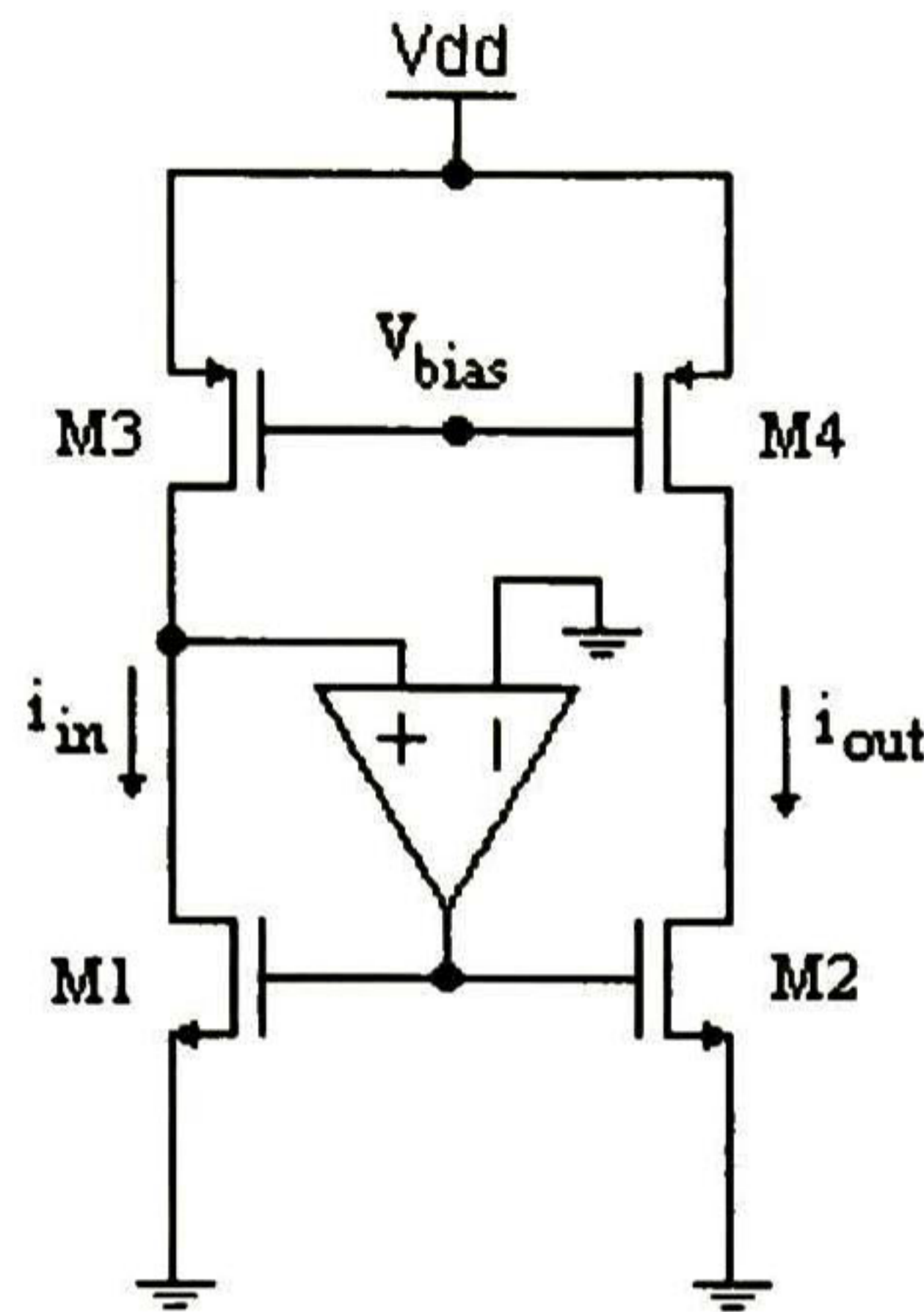


Figura 2.5. Espejo activo de corriente 1:1

Para los cálculos se utilizan los mismo modelos de MOSIS $1.2\mu m$ utilizados en la sección anterior. Además, se propone una corriente de polarización en la rama de entrada del espejo $I_D = 15\mu A$ y un voltaje de saturación $V_{DSAT} = 1V$, con lo sólo se requeriran 2 volts para mantener saturados ambos transistores y aún se tendrán 3 volts como margen de variación ($V_{dd} = 2.5V$, $V_{SS} = -2.5V$). Para la corriente de drenaje I_D del transistor MOS se tiene:

$$I_D = \frac{1}{2} K_P (V_{GS} - V_T)^2 \quad \text{Ec. 2.10}$$

y además

$$V_{DSAT} = V_{GS} - V_T \quad \text{Ec. 2.11}$$

del modelo de MOSIS, para el transistor NMOS se tiene:

$$K_P = 7.55E-5$$

al sustituir los valores propuestos para I_D y V_{DSAT} en la Ec. 2.10 y despejando (W/L) se obtiene

$$\frac{W}{L} = \frac{2I_D}{(V_{DSAT})^2 K_P} = \frac{2(15\mu A)}{7.55E-5} = 0.39$$

Con $W_1 = 3\mu m$ se obtiene $L_1 = 7.69\mu m$, y como ambos valores deben ser múltiplos de λ se ajusta $L_1 = 7.8\mu m$.

Para el transistor PMOS:

$$K_P = 2.15E-5$$

Con este parámetro, y con las mismas consideracion de V_{DSAT} se obtiene para los transistores PMOS

$$\frac{W}{L} = \frac{2I_D}{(V_{DSAT})^2 K_P} = \frac{2(15\mu A)}{2.15E-5} = 1.39$$

Con el objeto de mantener las mismas longitudes de canal para ambos transistores (PMOS y NMOS) setiene $L_3 = 7.8\mu m$ y entonces queda $W_3 = 10.84\mu m$. Al ajustar al más cercano múltiplo de λ se obtiene: $W_3 = 10.8\mu m$.

Para el cálculo del V_{bias} de los transistores PMOS (M_3 y M_4) de la figura 2.4. se usa la Ec. 2.11 y se tiene que

$$V_{GS} - V_T = I$$

Por tanto, y con $V_T = 0.7574V$

$$V_{GS} = 1.75V$$

Y dado que es un transistor del tipo PMOS

$$V_{GS} = -1.75V$$

De la figura 2.5 se observa que

$$V_{GS} = V_{bias} - V_{DD} \tag{Ec. 2.12}$$

Despejando V_{bias} de ec. 2.12 y con $V_{DD} = 2.5V$ se tiene

$$V_{bias} = 0.74V$$

Para finalizar el diseño del multiplicador por 2 (o espejo 1:2), cabe mencionar que el amplificador utilizado en el espejo activo de la figura 2.4, es el diseñado en la sección 2.2, mismo que tiene una ganancia de 52.1dB.

En la tabla 2.3 se muestra un resumen de los resultados de diseño para el espejo activo propuesto, y para el multiplicador por dos sólo bastaría con duplicar la W de los transistores de la rama de salida, que son M_2 y M_4 . El layout propuesto para el espejo 1:2 se muestra en la figura 2.6.

Tabla 2.3. Resultados de diseño para el espejo activo de la fig. 2.1.

DISPOSITIVO	TIPO	W (μm)	L (μm)
M_1	n	3	7.8
M_2	p	10.5	7.8
M_3	n	3	7.8
M_4	p	10.5	7.8

$V_{bias} = 0.74V$
Opamp: Ganancia = 52.1db, $C_L = 1pF$, $C_c = 1pF$ (Ver sección anterior)

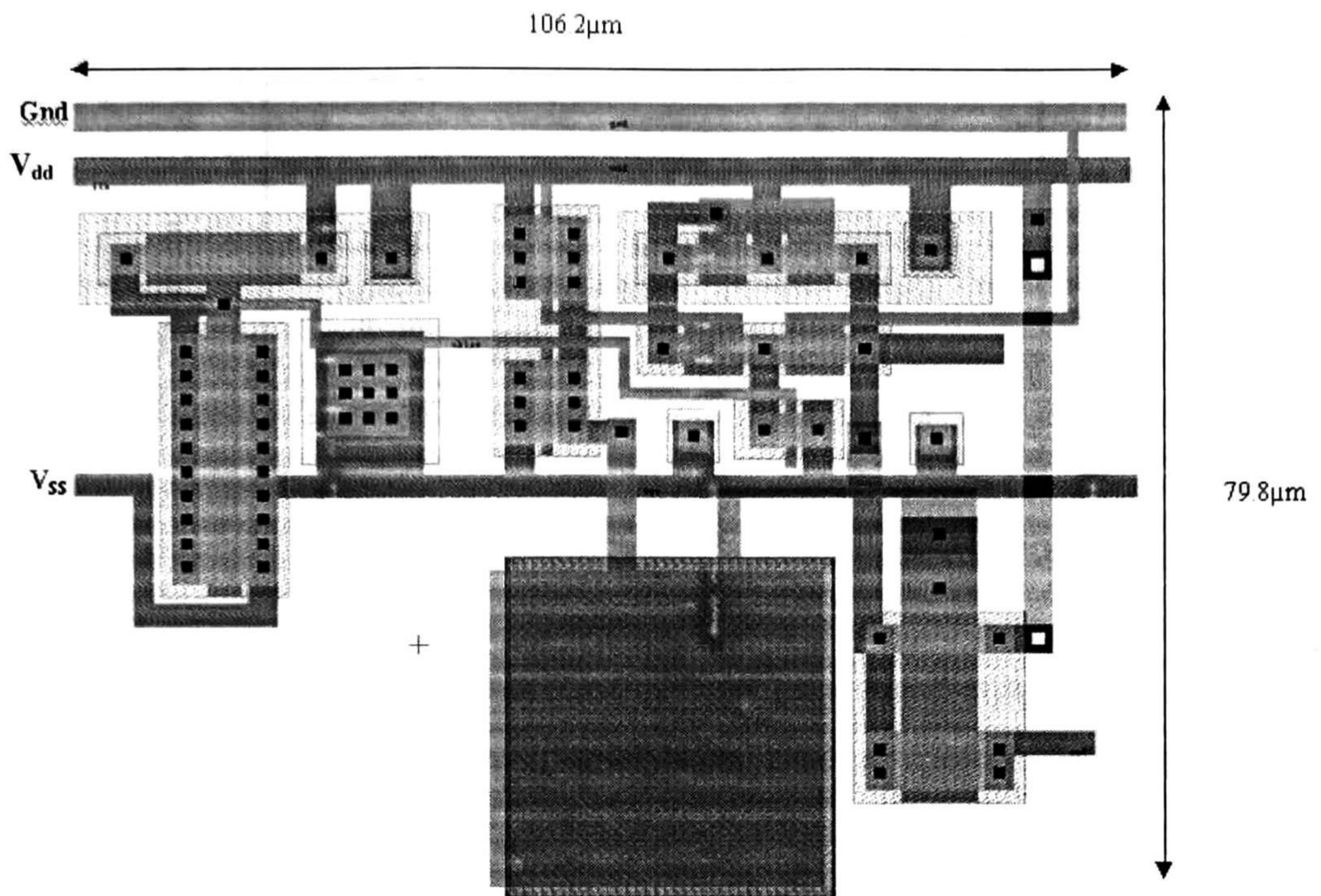


Figura 2.6. Layout del espejo 1:2.

2.4 Simulación del multiplicador por dos

El circuito de la figura 2.5 se configuró como multiplicador por 2 y se llevó a simulación con TSPICE, utilizando para este fin los valores arrojados por el diseño que se resumen en la tabla 2.3.

El mismo espejo se simuló en la configuración de espejo activo y como espejo simple. Para esta última configuración, se omitió el amplificador operacional que se encuentra entre la compuerta y el drenaje de M_1 y se sustituyó por un corto entre las mismas terminales a fin de lograr la configuración de espejo simple. La respuesta en frecuencia de ambas configuraciones se muestra en la figura 2.7. La ganancia para ambas configuraciones es aproximadamente dos, y el ancho de banda con respuesta plana es de 2MHz aproximadamente en los dos circuitos.

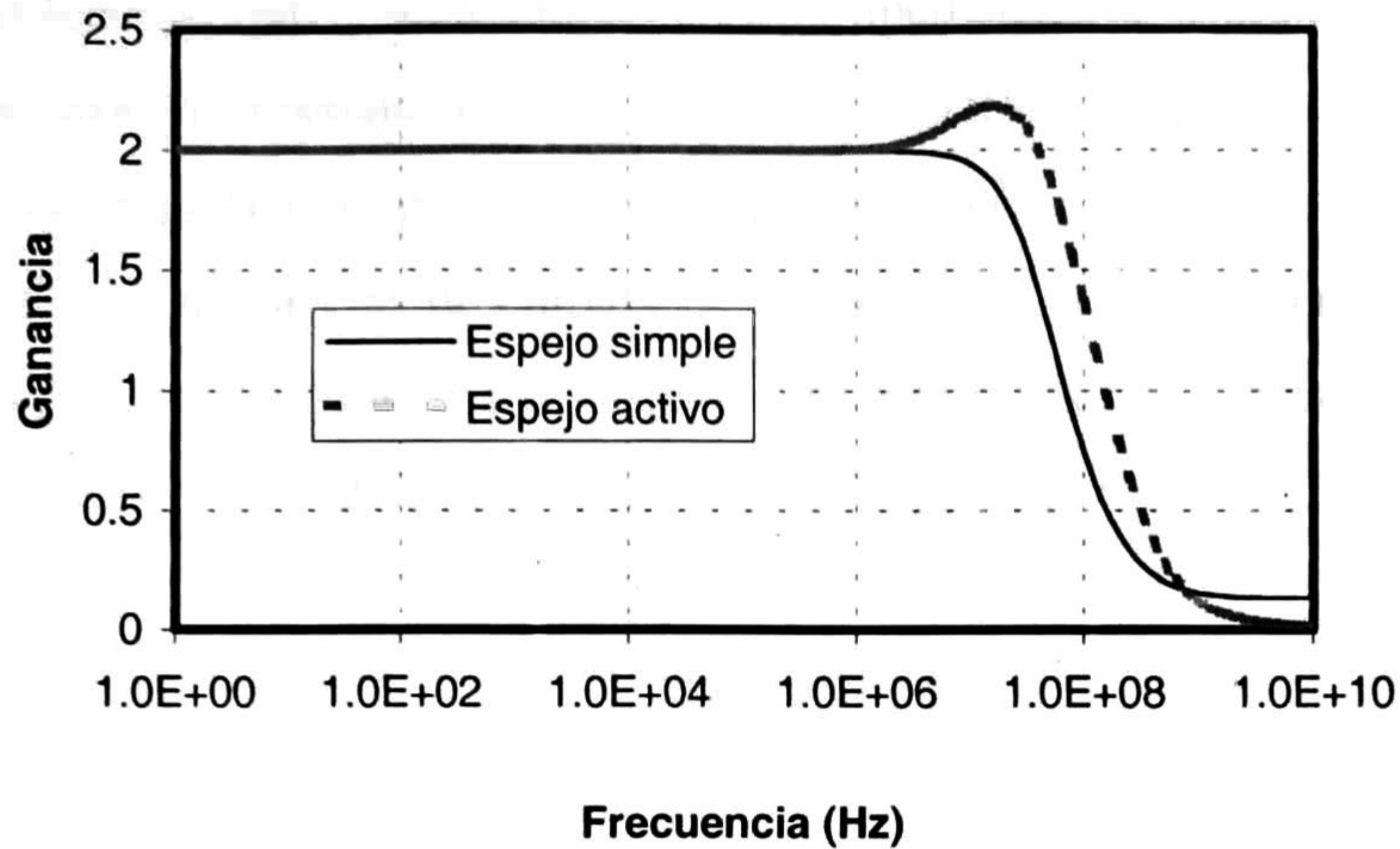


Figura 2.7. Respuesta en frecuencia del multiplicador por dos con espejo simple y espejo activo.

A fin de saber en que valor de voltaje V_{DS} empiezan los circuitos a operar como verdaderos espejos 1:2, se realiza un barrido de este voltaje en el transistor M_2 , y como puede verse en la figura 2.8, la respuesta en ambas configuraciones es virtualmente idéntica, tanto que los gráficos sobrepuestos se aprecian como si se tratara de uno sólo. En las dos configuraciones, el circuito empieza a trabajar como multiplicador por 2 en un valor de V_{DS} de aproximadamente 1V, que es el valor propuesto para el V_{DSAT} de los transistores.

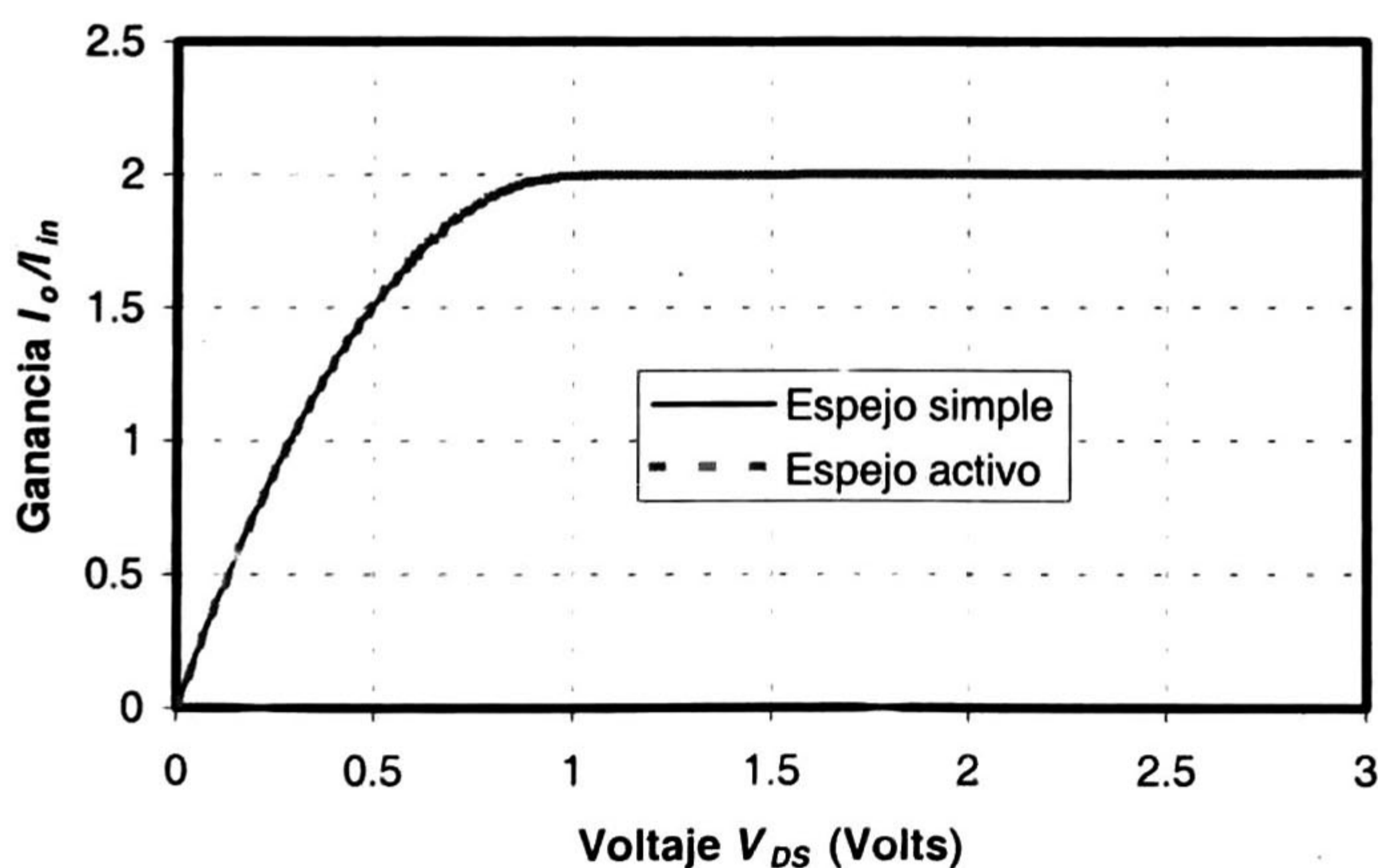


Figura 2.8. Análisis de dc para los espejos simple y activo.

Hasta este punto, la simulación de las configuraciones de espejo simple y espejo activo no parecen marcar diferencias significativas en el comportamiento de los circuitos. La verdadera diferencia radica básicamente en las impedancias de entrada de los espejos y por tanto en su error de impedancia finita (cap. 1). En la tabla 2.4 se muestra un resumen de los resultados de impedancias para las dos configuraciones, y se puede apreciar la gran diferencia entre las impedancias de entrada de ambas, y por supuesto, la diferencia en los errores de impedancia finita, que para el espejo activo se reduce en 2 órdenes de magnitud. Se calcula la relación que existe entre las z_{in} de los espejos como

$$\frac{z_{in} \text{ espejo simple}}{z_{in} \text{ espejo activo}}$$

y se observa que la relación entre ambas es de 400.6, lo que equivale a 52.05db, que es aproximadamente la ganancia del amplificador operacional que se diseñó en la sección 2.1.

Tabla 2.4. Valores de impedancias para los espejos simple y activo.

Configuración	$z_{in} (\Omega)$	$Z_o (\Omega)$	$\frac{z_{in} * 100\%}{z_o}$
Espejo simple	3.95E+4	4.28E+7	0.09%
Espejo activo	9.86E+1	4.29E+7	0.000229%

2.5 Diseño del comparador de corriente de alta velocidad.

El diseño del comparador de corriente de alta velocidad [3] que se muestra en la figura 2.9 se reduce básicamente al diseño del amplificador inversor. Para diseñar un inversor de alta velocidad se debe considerar principalmente el tiempo t_{LH} (tiempo de subida) y el tiempo t_{HL} (tiempo de bajada) que se desea obtener. En [4] se proporcionan las ecuaciones que permiten fijar estos tiempos en base a las geometrías de los transistores y son:

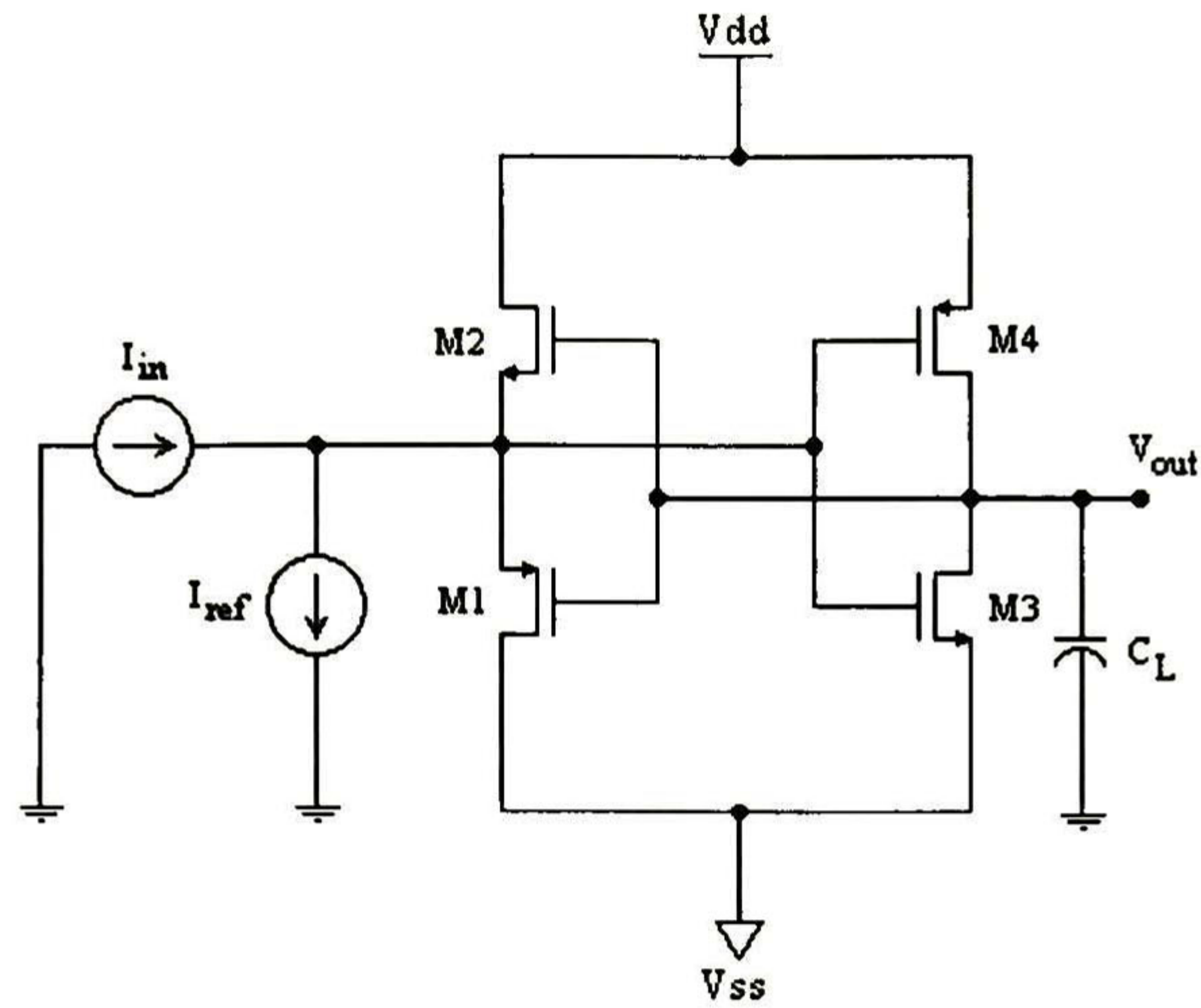


Figura 2.9. Comparador inversor de corriente de alta velocidad.

$$\frac{W_n}{L_n} = \frac{C_L}{t_{HL} K_{pn} (V_{dd} - V_{Tn})} \left[\frac{2V_{Tn}}{V_{dd} - V_{Tn}} + \ln \left(\frac{4(V_{dd} - V_{Tn})}{V_{dd}} - 1 \right) \right] \quad \text{Ec. 2.13}$$

$$\frac{W_p}{L_p} = \frac{C_L}{t_{LH} K_{pp} (V_{dd} - V_{Tn})} \left[\frac{2|V_{Tp}|}{V_{dd} - |V_{Tp}|} + \ln \left(\frac{4(V_{dd} - |V_{Tp}|)}{V_{dd}} - 1 \right) \right] \quad \text{Ec. 2.14}$$

Aplicando las ec. 2.13 y 2.14, para un tiempo $t_{HL} = t_{LH}$ de 1nS y una $C_L = 1pF$. Para M_2 y M_3 :

$$\frac{W_n}{L_n} = 3.72$$

con $L_n = 2.4\mu m$ se deduce $W_n = 9\mu m$.

Para M_1 y M_4 :

$$\frac{W_p}{L_p} = 13.45$$

con $L_p = 2.4\mu m$ se obtiene $W_p = 32.4\mu m$.

Por último, y para obtener un comparador de corriente no inversor, se incluye un inversor extra a la salida del circuito, y se obtiene un circuito como el de la figura 2.10. Las geometrías de este inversor extra, son las mismas que el inversor formado por M_3 y M_4 , esto con el fin de tener el mismo tiempo de respuesta en ambos inversores. La tabla 2.5 muestra el resumen de las geometrías de este diseño.

Tabla 2.5. Geometrías del comparador no inversor.

Dispositivo	Tipo	W/L	W(μm)	L(μm)
M ₁	p	13.45	32.4	2.4
M ₂	n	3.72	9	2.4
M ₃	n	3.72	9	2.4
M ₄	p	13.45	32.4	2.4
M ₅	n	3.72	9	2.4
M ₆	p	13.45	32.4	2.4

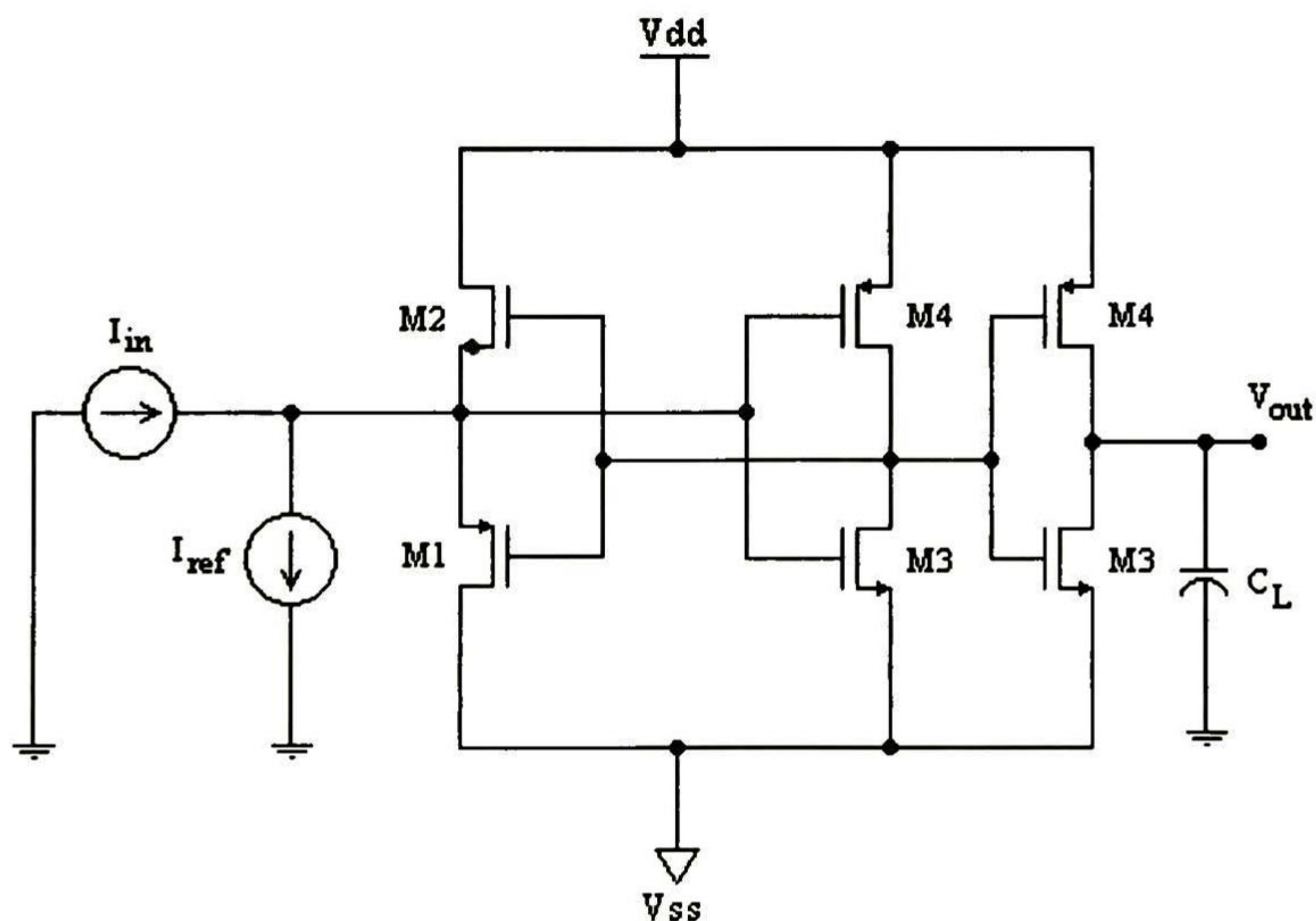


Figura 2.10. Comparador de corriente no inversor de alta velocidad.

En la figura 2.11 se muestra el layout propuesto para el comparador de corriente no inversor.

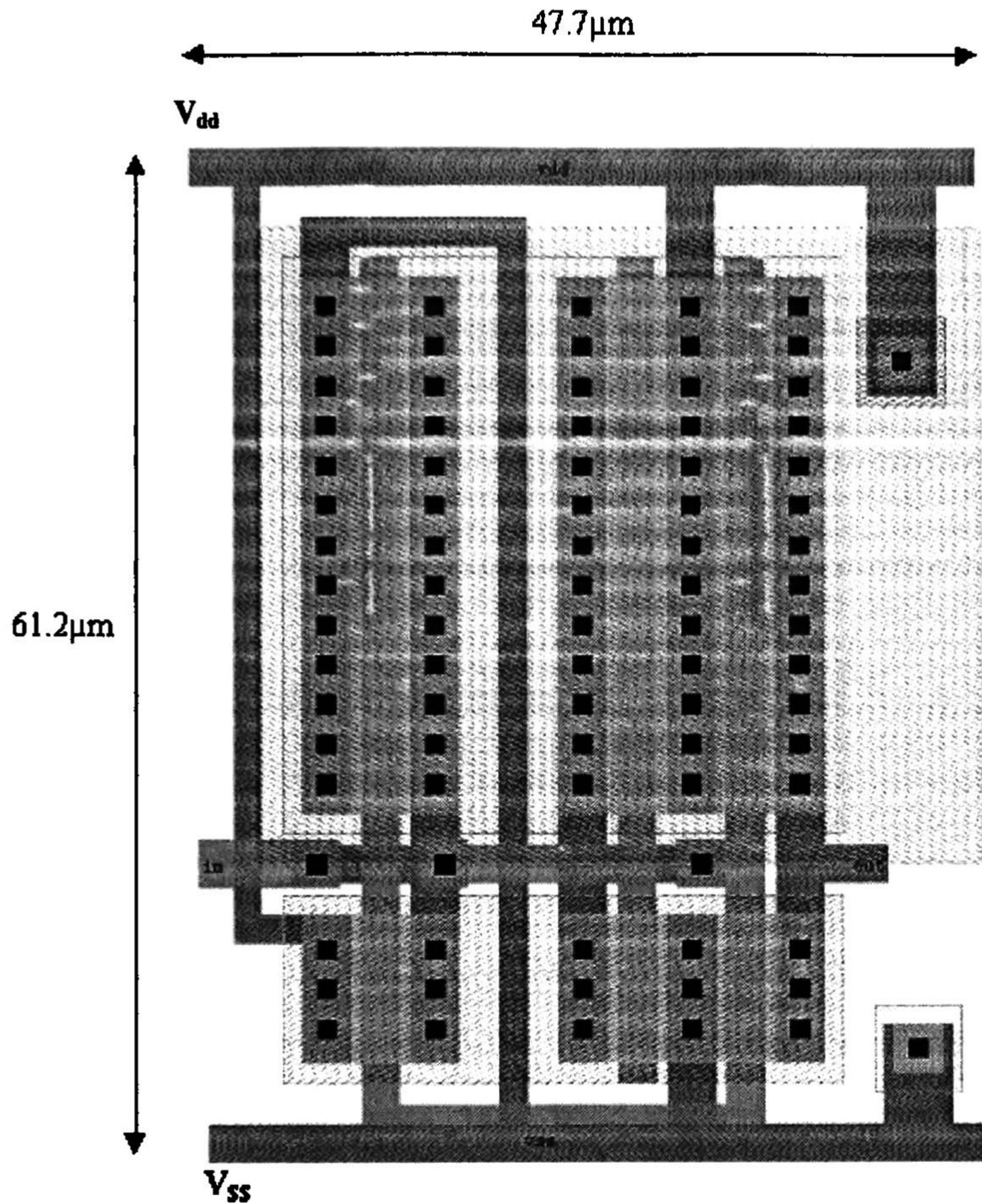


Figura 2.11. Layout del comparador de corriente de alta velocidad.

2.6 Simulación del comparador de corriente de alta velocidad.

El circuito comparador obtenido se llevó a simulación utilizando TSPICE. Al aplicar una onda cuadrada para I_{in} , se midió un tiempo de respuesta de 20ns aproximadamente, con una I_{ref} de $0\mu A$ y una $C_L = 1pF$. La respuesta que se obtiene se muestra en la figura 2.12.

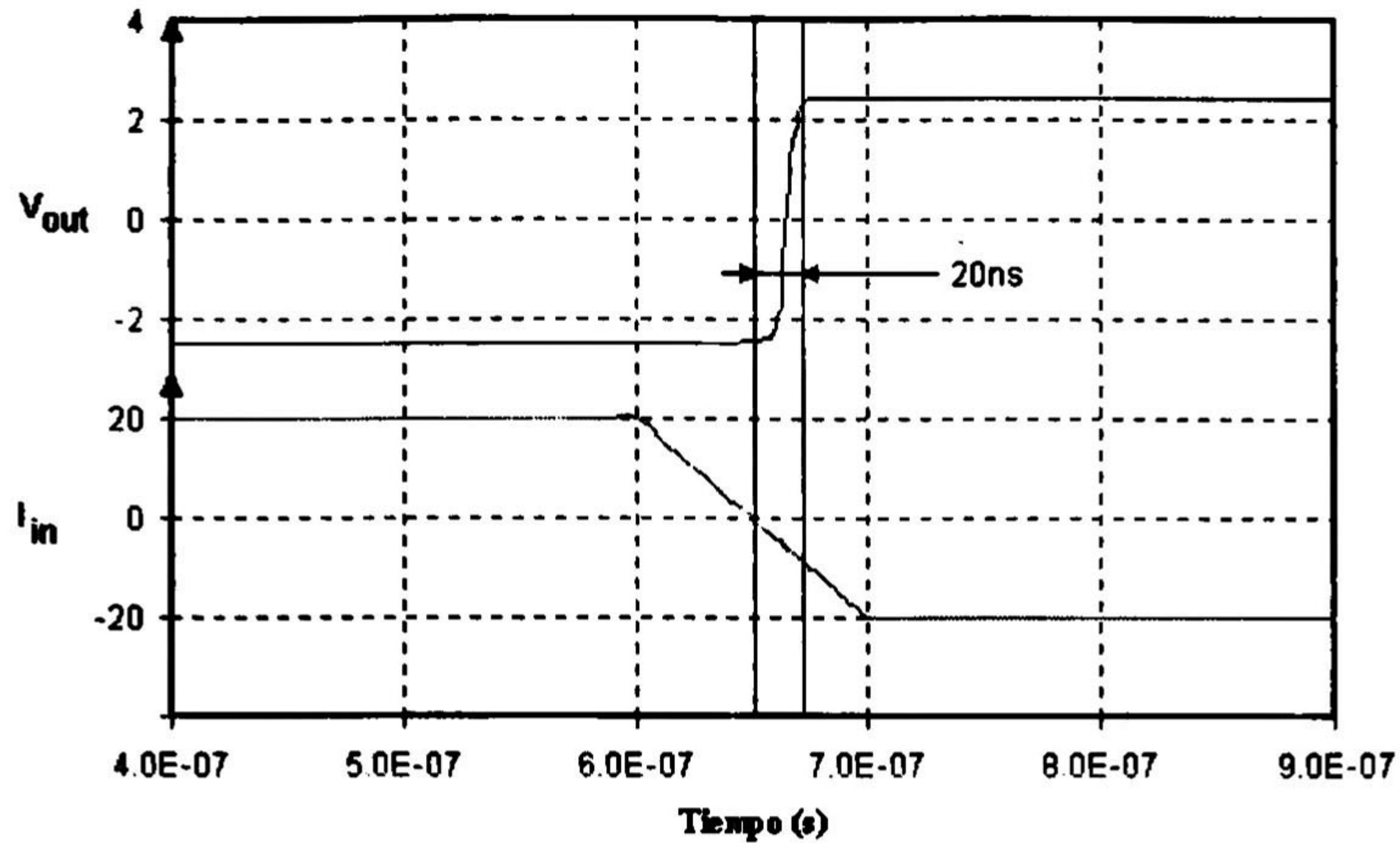


Figura 2.12. Medición en simulación del tiempo de respuesta del comparador de corriente.

Considerando este tiempo de respuesta, se obtiene una frecuencia máxima de operación confiable de aproximadamente $F_C = 25 \text{ MHz}$.

En la figura 2.13, se muestra la medición de la ganancia del comparador. Para esta medición se toma una porción del voltaje de salida dv_{out} y se mide el respectivo dI_{in} . En la gráfica puede verse que para un $dv_{out} \approx 4.5\text{V}$ el dI_{in} es de 0.8nA , con lo que se obtiene una ganancia $\frac{dv_{out}}{dI_{in}} = 5.69E9 \frac{\text{V}}{\text{A}}$. La I_{ref} en esta medición es de $0\mu\text{A}$ y la capacitancia de carga $C_L = 1\text{pF}$.

Medición de la ganancia del comparador

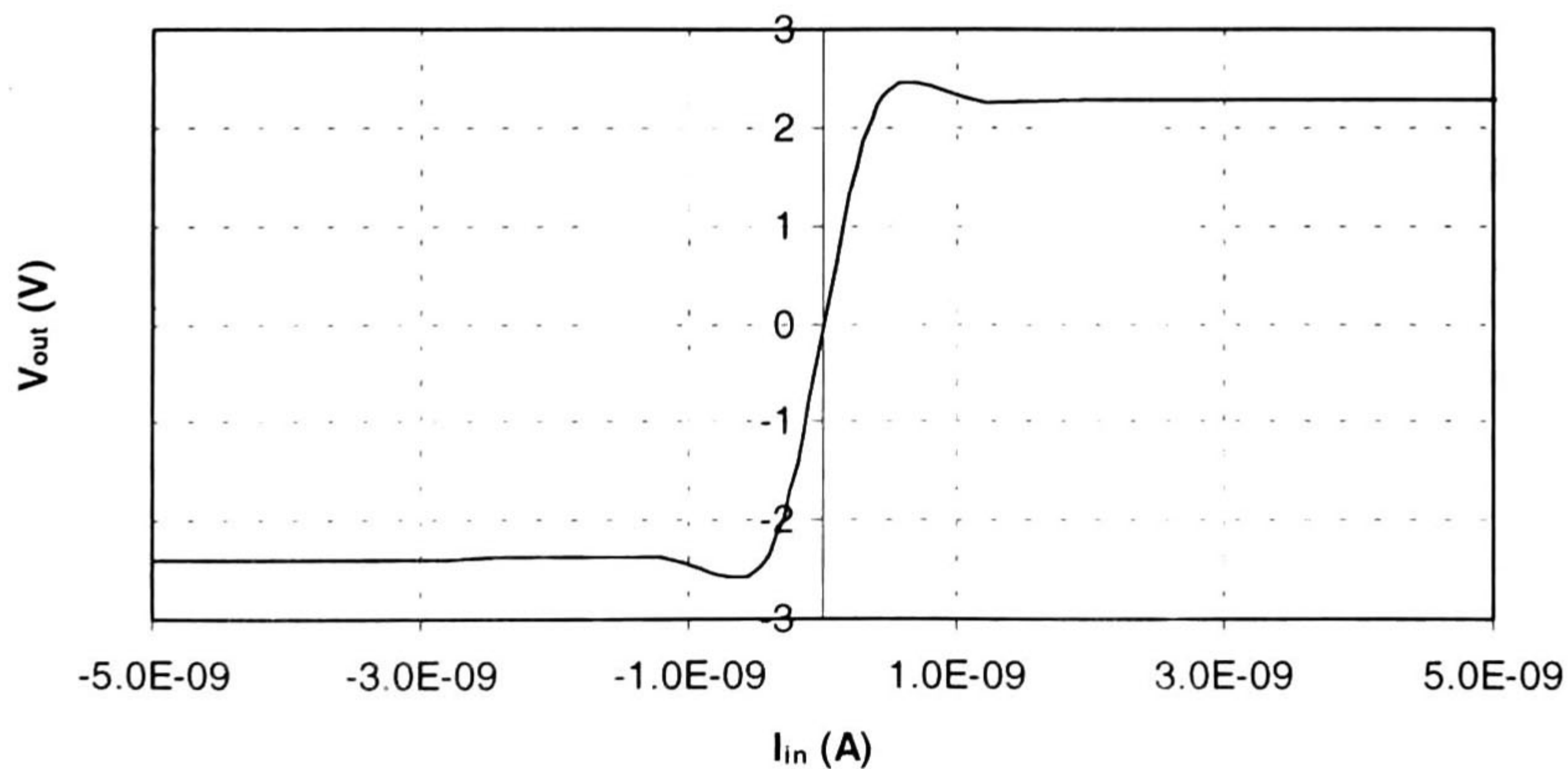


Figura 2.13. Medición en simulación de la ganancia del comparador de corriente.

La misma figura 2.13 también muestra que efectivamente el circuito se comporta como un comparador no inversor, pues cuando I_{in} es mayor a I_{ref} la salida sube a su valor máximo. El eje horizontal de la figura 2.13 representa la corriente I_{in} que se aplica a la entrada del comparador y el eje vertical el voltaje de salida del comparador, no olvidar que $I_{ref} = 0$.

2.7 Celda de un bit y un convertidor de ejemplo

Todas las celdas diseñadas en las subsecciones anteriores, se conectan de acuerdo al diagrama de la figura 1.11 para obtener una celda de 1bit. El layout correspondiente a esta celda de un bit se muestra en la figura 2.14, y requiere de un area de integración de aproximadamente $0.023mm^2$.

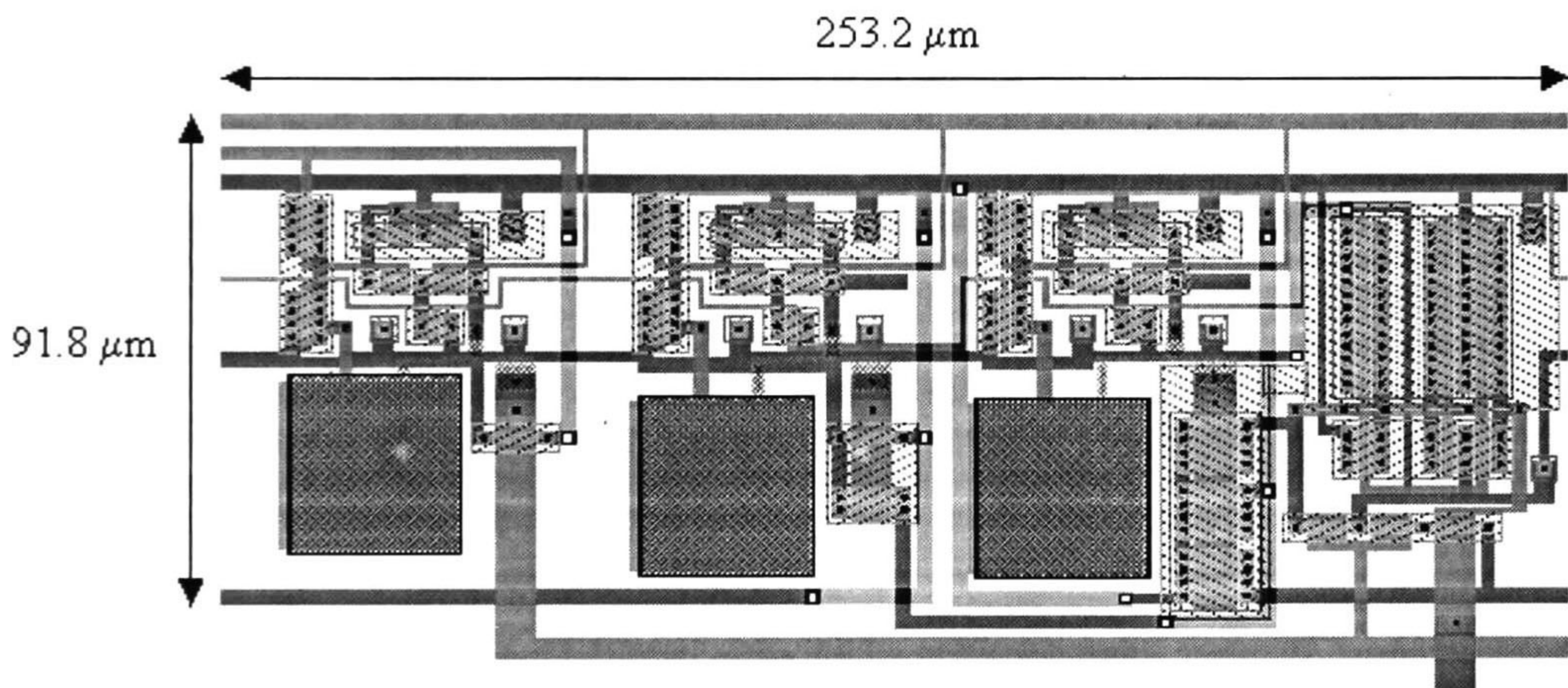


Figura 2.14. Layout de la celda completa de 1 bit

La celda de un bit de la figura 2.14 se diseñó de tal manera que permita su fácil conexión en cascada con tantas celdas como resolución se requiera. A manera de ejemplo y para una mejor visualización, se realizó la conexión en cascada de 4 de estas celdas y su simulación se presenta en la figura 2.15. Se introduce una rampa de $1.87 A/s$ y una I_{ref} de $30\mu A$. Las salidas digitales tienen una carga de $2pF$. Como puede verse, se obtienen 16 códigos en $16\mu s$, lo que lleva a un tiempo de conversión de $1\mu s$ aproximadamente y por tanto a un ancho de banda de 500kHz.

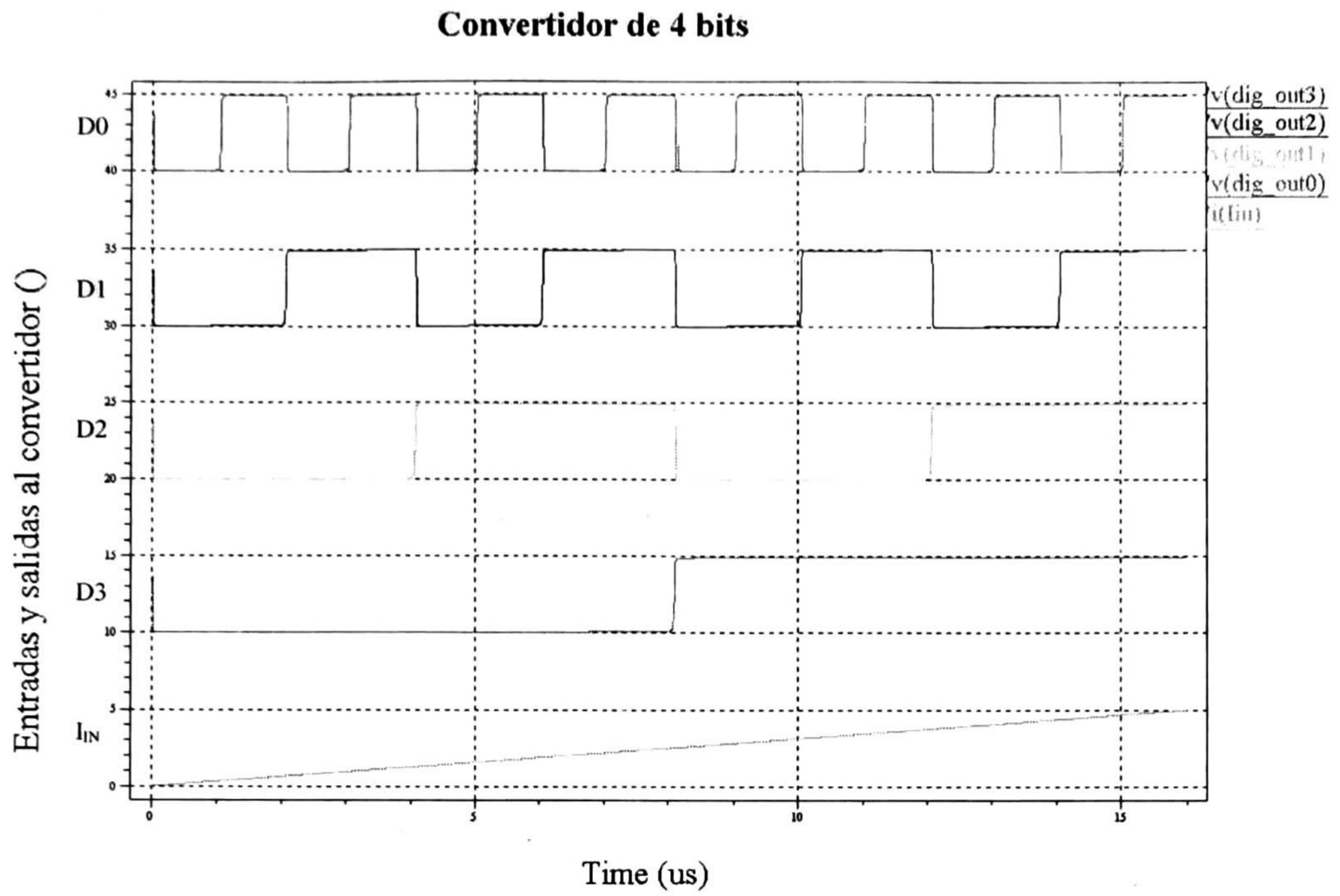


Figura 2.15. Corriente de entrada y salidas digitales del convertidor ejemplo de 4 bits.

Referencias

- [1] David G. Nairn, C. Andre T. Salama, "Current-Mode Algorithmic Analog-to-Digital Converters", IEEE journal of Solid State Circuits, vol. 25, No. 4, August 1990. pp. 997-1004

- [2] R. Gregorian, Gabor C. Temes, "Analog MOS Integrated Circuits For Signal Processing", JOHN WILEY & SONS, Inc., Canada & USA, 1986.

- [3] H. Träff, "Novel approach to high speed CMOS current comparators," Electronics Letters, vol. 28, pp. 310-311, Jan. 1992.

- [4] Sung-Mo Kang, Yusuf Leblebici "CMOS digital integrated circuits" McGraw Hill, USA. Pg. 211.

III. PADFRAME & FLOOR PLAN PARA EL CI

El adecuado diseño de un circuito integrado no sólo involucra el correcto dimensionado de los transistores que lo forman, sino que adicionalmente requiere de un cuidadoso desarrollo de las terminales y conexiones que formarán su interfaz con el entorno exterior y, adicionalmente, una adecuada distribución de los circuitos en el dado de silicio. En el presente capítulo se desarrolla el procedimiento para diseñar y construir los diferentes tipos de pads necesarios en un circuito integrado así como su modelado eléctrico equivalente.

3.1 El pad de conexión

El pad de enlace, mejor conocido por su nombre en Inglés como *bonding pad*, es la interface entre el dado y el mundo exterior. Un extremo de alambre está soldado al pad y el otro extremo a una terminal del circuito integrado. Aunque a primera vista parece ser una simple área metálica de contacto, se deben respetar ciertas reglas para su correcto diseño [1].

3.2 El layout del pad

El tamaño del pad básico especificado por procesos de fabricación como MOSIS es un cuadro de $100\mu\text{m} \times 100\mu\text{m}$. Para un pad de prueba, de los utilizados en las probadoras automáticas para medir el desempeño del circuito antes de empaquetarlo, el tamaño debe ser mayor a $6\mu\text{m} \times 6\mu\text{m}$, que es el tamaño mínimo del vidrio de pasivación (overglass), pero en general, y de ser posible, estos deben ser un cuadro que mida $75\mu\text{m}$ por lado. En la figura.3.1 se muestra un pad que utiliza metal2. Hay que hacer notar, en este corte transversal, las capas de aislante (SiO_2 en la mayoría de los casos) que se encuentran por arriba y por debajo del metal2. Estas capas son usadas para el aislamiento entre las demás capas conductoras del proceso CMOS.

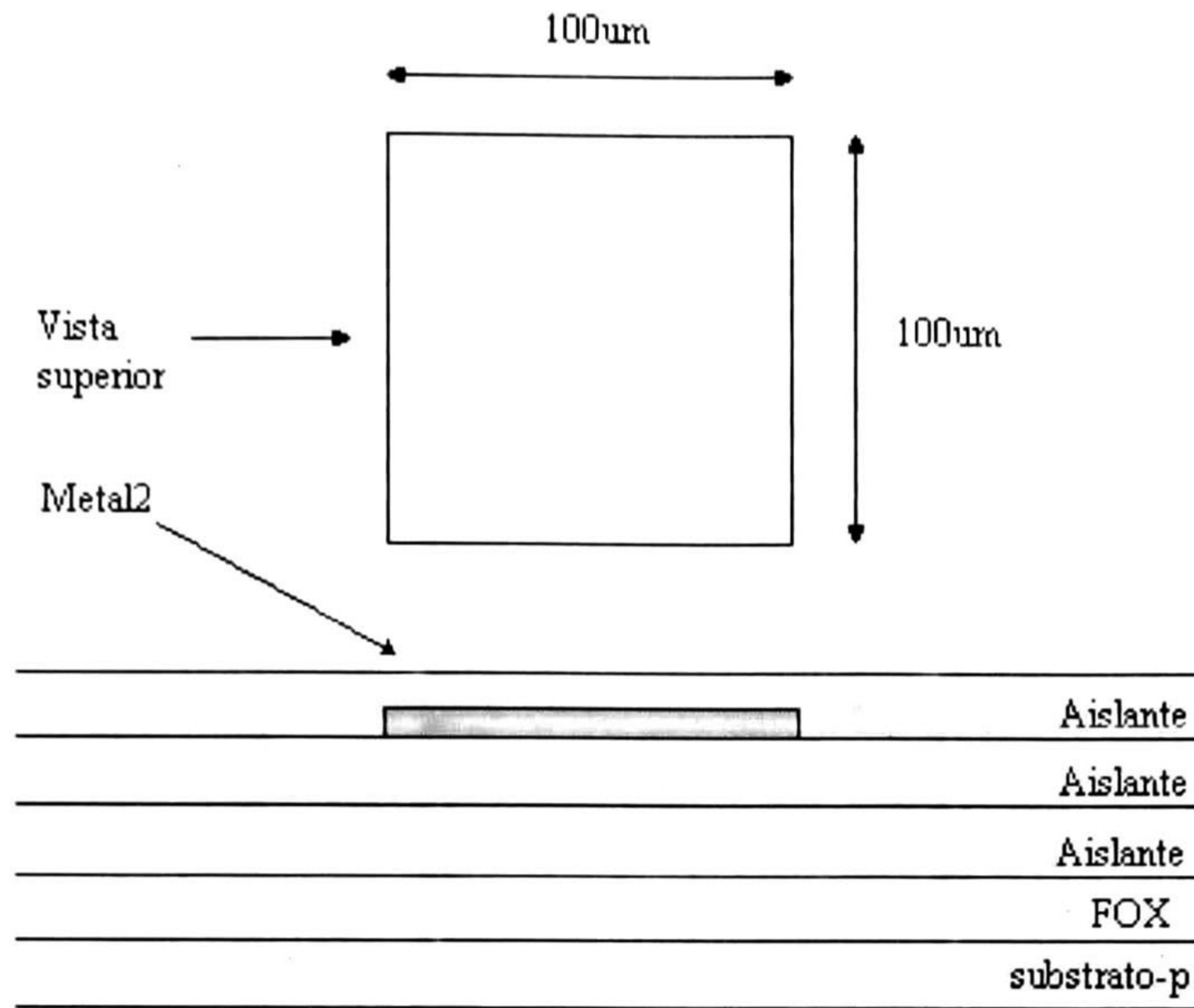


Figura 3.1. Metal2 utilizado como pad y su corte transversal.

Este cuadro de metal2, por su gran tamaño, presenta una capacitancia con respecto al substrato de un valor considerable. El valor de capacidad asociado con este pad debe ser tomado en cuenta al momento de diseñar los circuitos que manejaran señales hacia la salida del circuito integrado (CI). De los valores de capacitancia por μm^2 de MOSIS 1.2 se tiene para el metal2 un valor del orden de $20 \text{ aF}/\mu\text{m}^2$, entonces la capacitancia asociada a todo pad construido con metal2 será de 200fF aproximadamente. Esto ilustra que en el diseño de circuitos analógicos y digitales de alto desempeño en tecnología CMOS, el diseñador debe tener en cuenta las limitaciones, en este caso las capacitancias, inherentes al proceso que se utiliza [1].

Dado que una capa de aislante se encuentra cubriendo el pad, no se puede soldar un alambre de conexión sobre éste. Para especificar una abertura o corte en el vidrio, se utiliza la capa de "overglass". La capa superior de aislante sobre el chip también se conoce como capa de pasivación, esta capa ayuda a proteger el chip de contaminación. Las aberturas en el vidrio que se hacen para los pads también se conocen como cortes de la pasivación. La construcción de un pad completo utilizando metal2 y la capa de overglass se muestra en la figura 3.2.

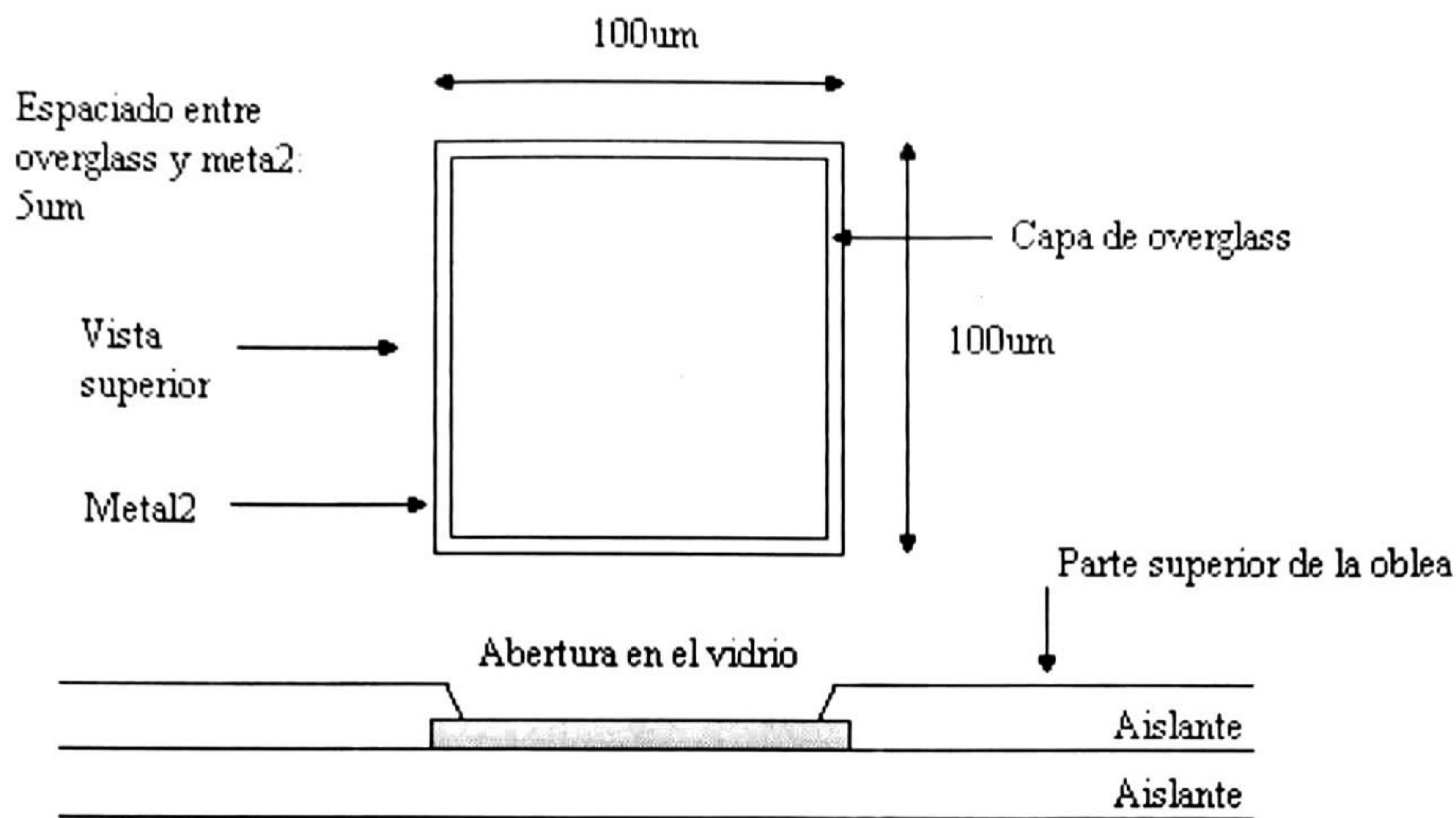


Figura 3.2. Layout de un pad utilizando metal2 y abertura en el vidrio para conexión.

En muchas ocasiones se utiliza metal1 colocado por debajo del metal2 cuando se desea construir el pad. Esto se hace con el fin de que el pad pueda hacer contacto, si se desea, con cualquiera de los dos metales. Esto para facilitar la conexión de los circuitos a los pads. En este tipo de pad, el metal1 se conecta al metal2 por medio de una via[1].

En el dado, la única capa que puede ser conectada al metal2 es la de metal1, que es la capa que está inmediatamente por debajo del metal2. El metal uno se puede conectar a su vez con el metal2, el poly1 y la capa activa (n+ o p+). La via que une ambos metales debe estar al menos 3µm dentro del metal2. Un pad que utiliza metal1, metal2 y via se muestra en la figura 3.3. Cabe hacer notar que la via tiene el efecto de remover el aislante que se encuentra debajo del metal2. Cuando se deposite metal2 sobre la oblea, este hará contacto físico con el metal1 en donde se encuentra la via [1]. La figura 3.4 muestra una vista expandida de la esquina de un pad que utiliza ambos metales elaborado con L-edit.

3.3 Reglas de diseño para pads.

La figura 3.5 muestra las reglas de diseño para los pads. El tamaño del pad que se utiliza en el presente trabajo es de 100µm x 100µm. La capa de overglass (el corte en la

pasivación) debe ser un cuadro de $90\mu\text{m} \times 90\mu\text{m}$ y centrado en el pad, lo cual corresponde a colocarlo a $5\mu\text{m}$ de la orilla del metal. El espaciamiento entre pads debe ser al menos $75\mu\text{m}$.

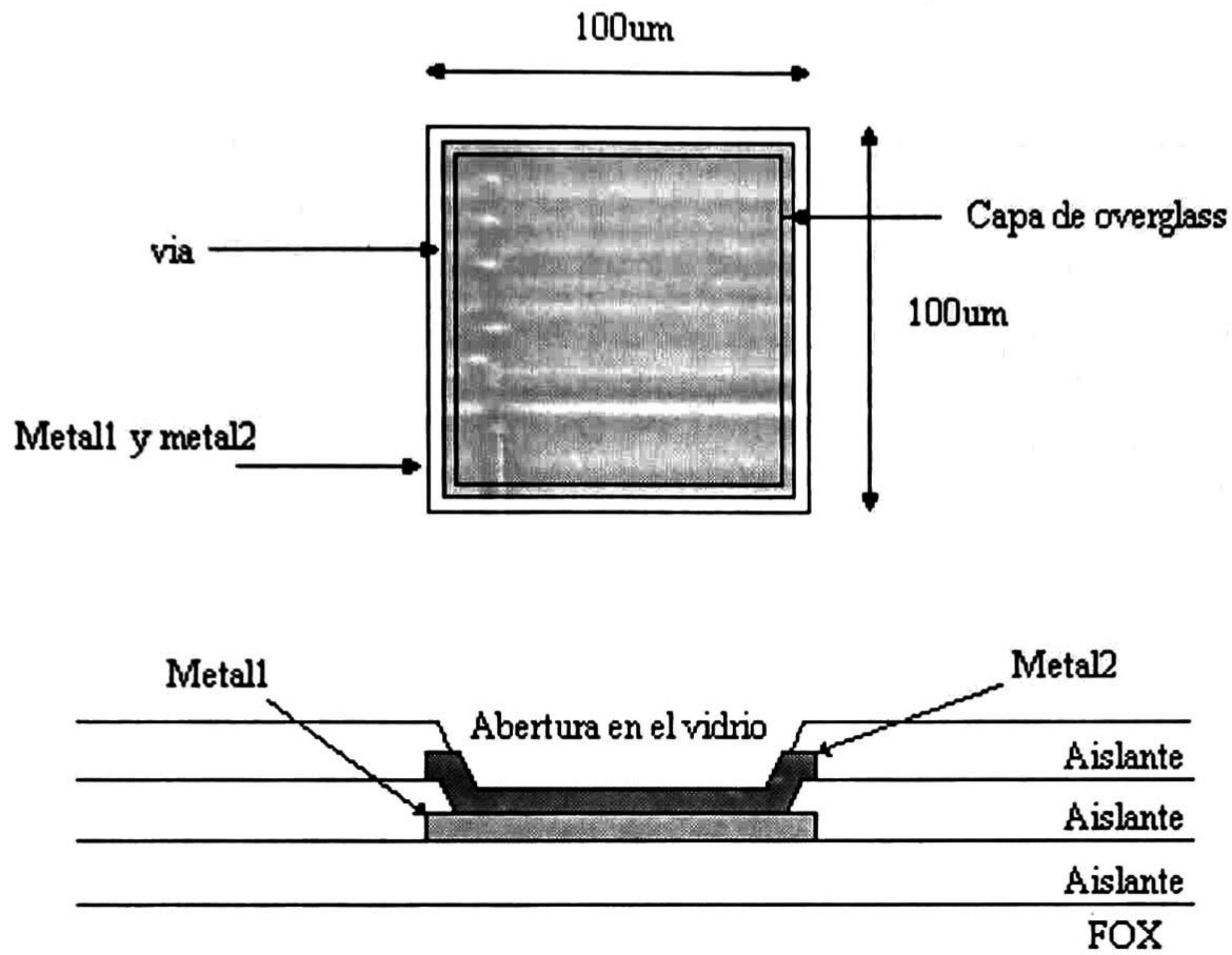


Figura 3.3. Un pad de conexión que utiliza metal1 y metal2.

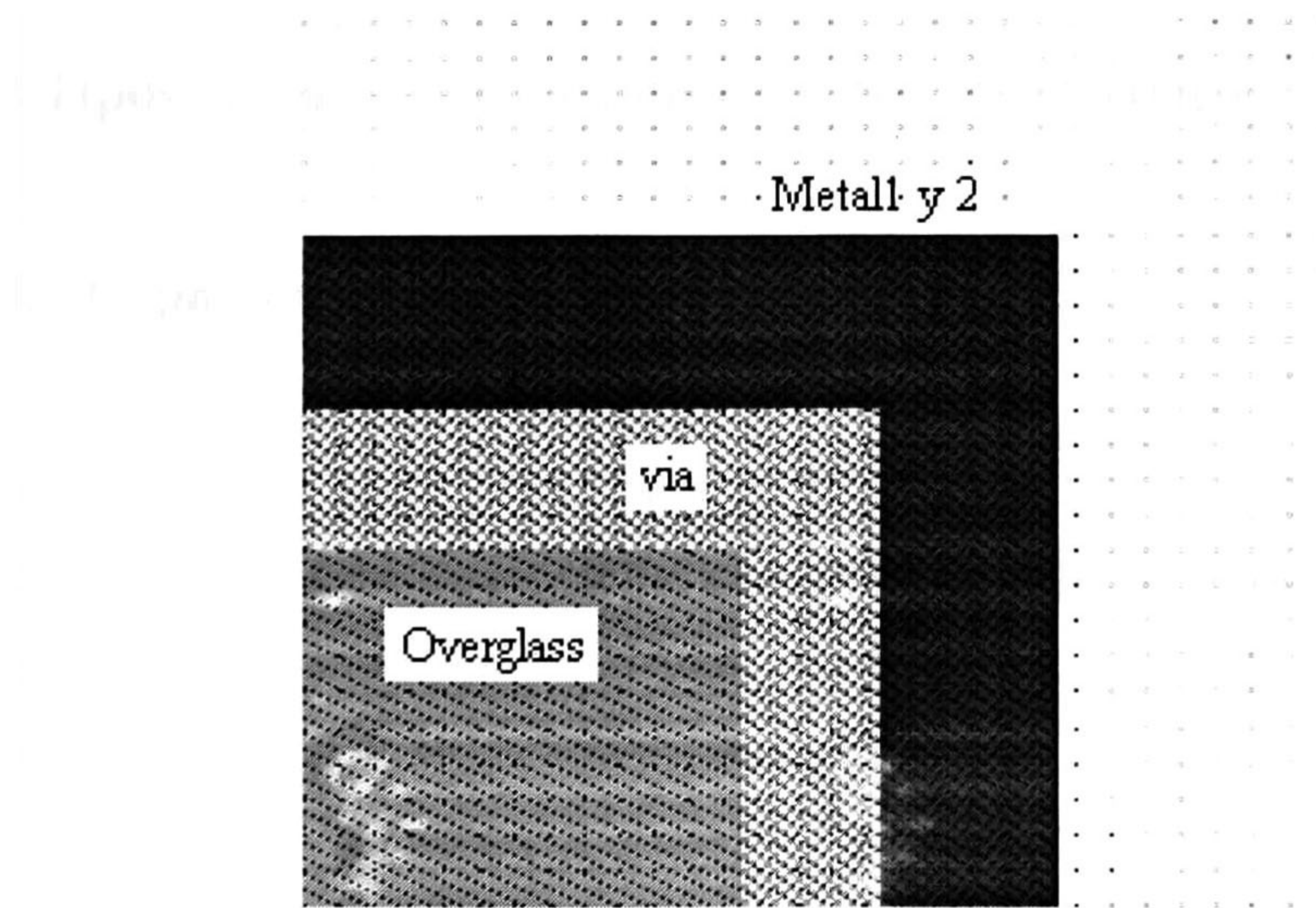


Figura 3.4. Vista expandida de la esquina de un pad.

1. Apertura Máxima en un pad de 100x100um: 90x90um
2. Tamaño del Metal1 y Metal2: 100x100um
3. Separación mínima entre pads: 75um

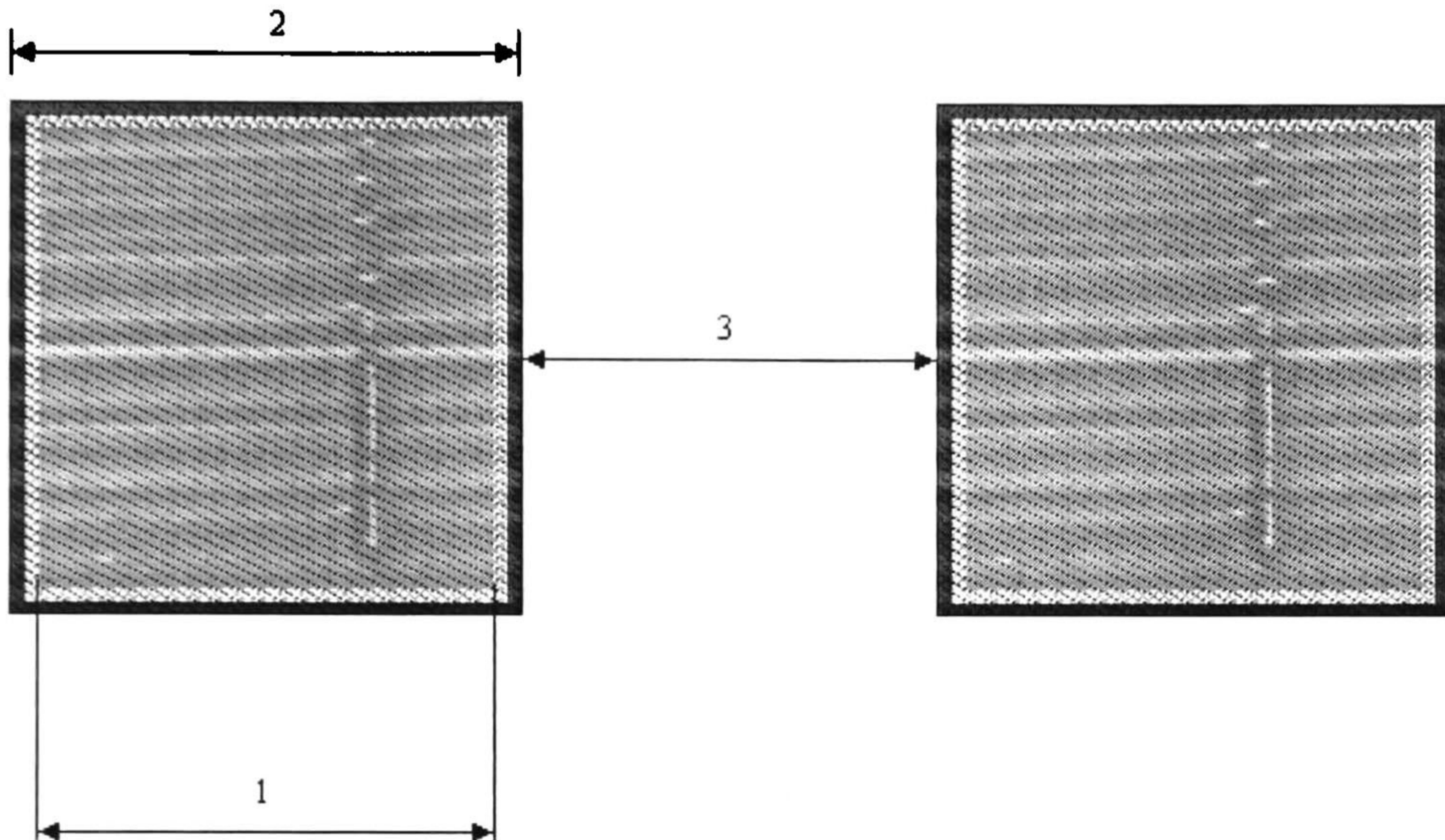


Figura 3.5. Reglas de diseño para los pads de conexión.

3.4 Tipos de pads de conexión y sus efectos eléctricos.

3.4.1 El pad de alimentación

Es el pad que se asigna como interface entre el circuito integrado y la fuente de alimentación. Este pad debe reunir ciertas características a fin de reducir sus efectos no ideales sobre el desempeño del circuito, entre estos efectos se encuentran la electromigración del metal, la resistencia parásita y los efectos de ground bounce.

3.4.1.2 Limitaciones de corriente

La electromigración del metal se presenta en un conductor que lleva demasiada corriente. Es un efecto similar a la erosión que ocurre cuando un río lleva demasiada agua. El resultado es un cambio en las dimensiones del conductor, causando puntos de más alta resistencia y eventuales fallas [1]. Si la densidad de corriente se mantiene por debajo del umbral de la densidad de corriente de electromigración de metal, J_{AL} , entonces la electromigración no ocurre. Típicamente, para el aluminio, que es de lo que se construye el metal1 y metal2, J_{AL} es $2mA/\mu m$. Entonces, la corriente máxima que puede manejar un conductor limitada por la electromigración es [1]

$$I_{max} = J_{AL} \cdot W \quad \text{Ec. 3.1}$$

donde W es el ancho de la pista de metal.

El pad de MOSIS tiene una $W = 100\mu m$, por tanto, y considerando $J_{AL} = 2mA/\mu m$ se tiene

$$I_{max} = 2 \frac{mA}{\mu m} * 100\mu m = 200mA$$

Otro de los factores que limitan el consumo de corriente en un pad de alimentación es la resistencia asociada al metal que forma el pad. En general, el metal1 presenta una mayor resistencia por cuadro que el metal2, puesto que este último es más grueso. Pero a fin de calcular el peor de los casos se considerará la resistencia de cuadro del metal1 (cabe recordar que el pad se construye con ambos metales). Considerando una resistencia de cuadro $R = 0.055\Omega/sq$ [2] para el metal1 y un pad con $W=100\mu m$ y $L=100\mu m$ se tendría:

$$R = 0.055\Omega / sq * \frac{L}{W} = 0.055\Omega / sq * \frac{100\mu m}{100\mu m} = 0.055\Omega$$

Si se considera que la máxima corriente permisible en el pad de alimentación es de 100mA por los efectos de electromigración, entonces se tiene una caída de voltaje en el pad de 5.5mV. Esta caída de tensión es muy baja, y sólo considera los efectos resistivos introducidos por el pad, para un mejor análisis habría que considerar las longitudes totales de las pistas que conectan el circuito con el pad, así como sus diferentes anchuras, y por supuesto, la aplicación específica del chip en cuestión, pues esta caída de voltaje podría resultar crítica en aplicaciones de bajo voltaje y bajo ruido. Por ello, cuando se realiza el ruteo de las líneas de poder, mientras más metal mejor. Y de ser posible, un plano de tierra o de alimentación se debe usar a lo largo del chip. Este plano causará una gran capacitancia entre vdd y tierra y entonces se tendrá un equivalente como el mostrado en la figura 3.6, donde mientras más grande sea C , más difícil es producir cambios repentinos en el voltaje de alimentación.

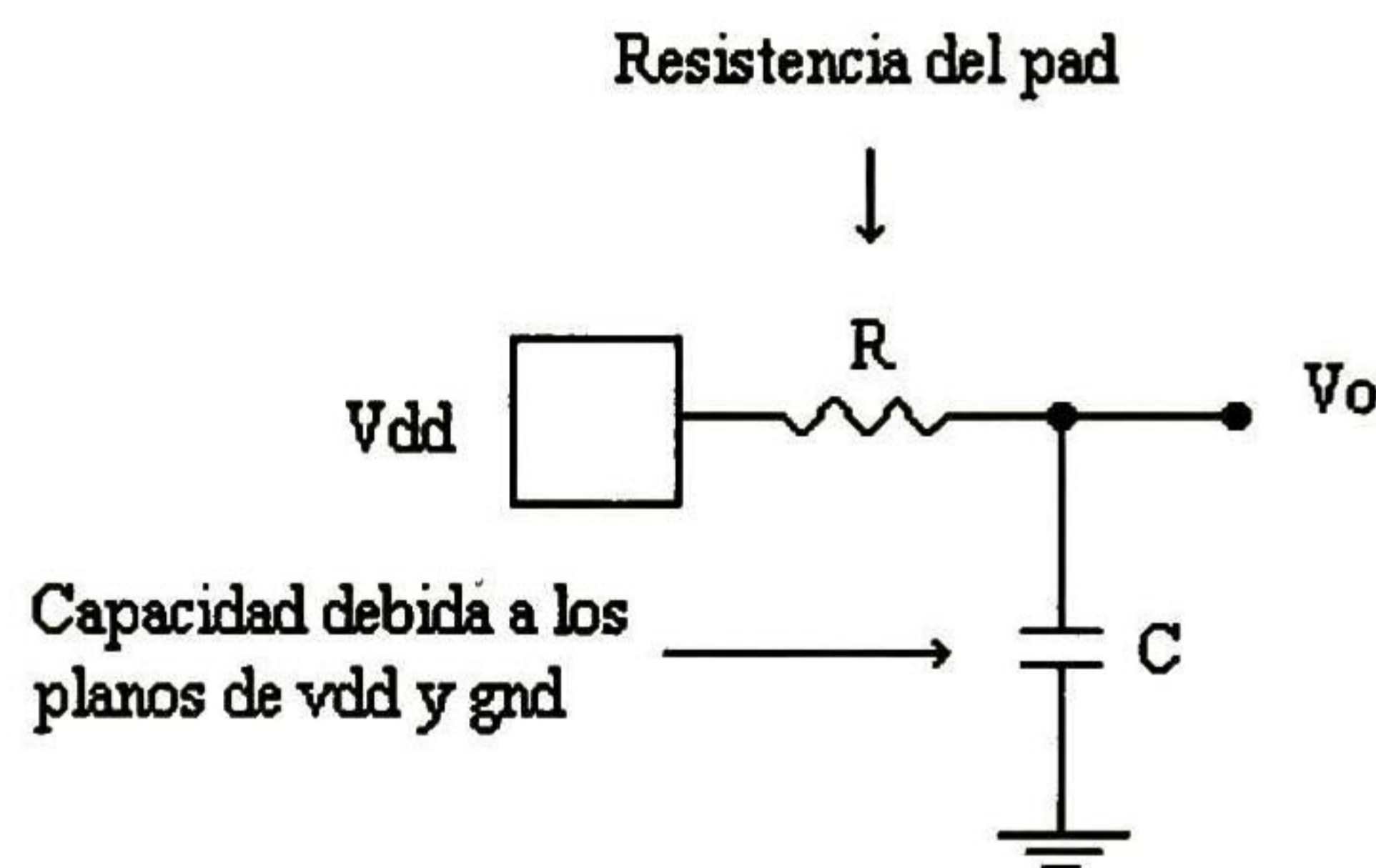


Figura 3.6 Equivalente eléctrico del pad de vdd y sus planos.

3.4.1.3 Ground Bounce

Las inductancias parásitas de los metales que forman los pads de alimentación también generan efectos sobre el desempeño del circuito. El principal efecto es el conocido como ground bounce (rebote de tierra) y a continuación se explica.

La inductancia de una tira de metal sobre un dado de silicio como la que se muestra en la figura 3.7 puede calcularse [3], suponiendo $w > h$, con

$$L(nH / mm) = \frac{1.25}{\frac{w}{h} + 1.393 + 0.667 \cdot \ln \left[\frac{w}{h} + 1.44 \right]} (nh / mm) \quad \text{Ec. 3.2}$$

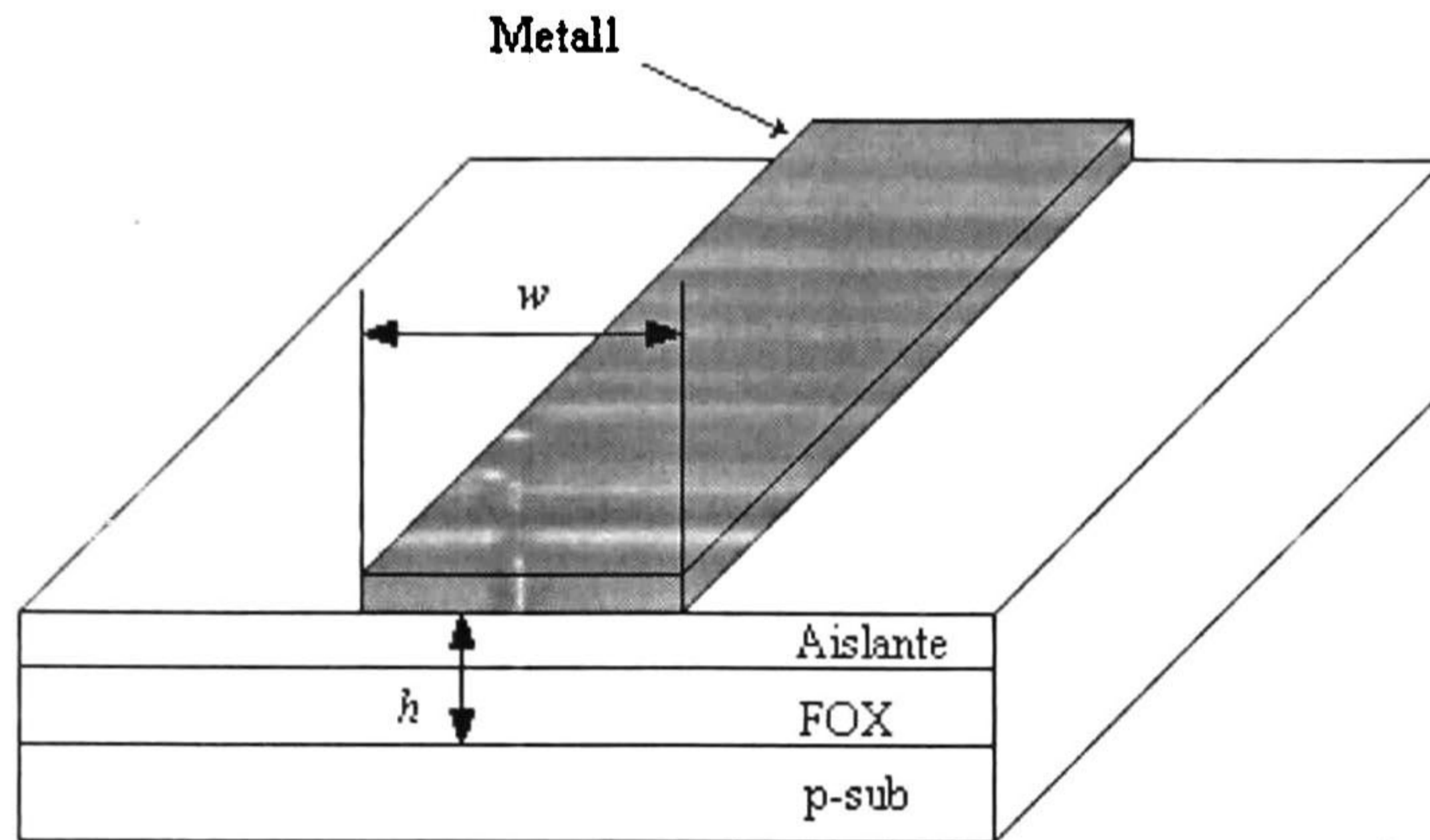


Figura 3.7 Conductores utilizados en el cálculo de la inductancia

donde se asume que el espesor del metal es pequeño comparado con su anchura y que el sustrato-p actúa como un plano de tierra o de potencial constante. Considerando $h = 1.5\mu m$, [1] y $w = 100\mu m$ para el pad de MOSIS se tiene:

$$L(nH / mm) = \frac{1.25}{\frac{100}{1.5} + 1.393 + 0.667 \cdot \ln \left(\frac{100}{1.5} + 1.44 \right)} = 0.017 nH / mm$$

A continuación, se considera el circuito mostrado en la figura 3.8, el cual está alimentado a través de los pads de V_{dd} y V_{ss} que tienen una longitud de $100\mu m$. Idealmente, el punto A de la figura se mantiene a V_{dd} , mientras que el punto B está fijo al potencial de tierra. Despreciando las pérdidas por resistencia, estas consideraciones son reales cuando la corriente I es constante. Sin embargo, si I cambia, la longitud del pad se comporta como un inductor. Esta inductancia se suma a la que produce el alambre de interconexión del pad a

la terminal correspondiente que es del orden de los 8 nH [4]. Si se considera que el circuito de la figura 3.8 extrae en cierto instante 50 mA en 2 ns (un requerimiento común en buffers o inversores digitales), entonces el cambio de voltaje en el punto B está dado por

$$V_B = L \frac{dl}{dt} = 8.0017nH \frac{50mA}{2ns} = 200.04mV$$

Esto significa que la tierra del circuito verdaderamente brinca 200.04mV cuando el circuito demanda esta corriente. Este ruido o rebote de tierra (ground bounce) que se genera en el conductor de tierra se alimenta dentro de otros circuitos incluidos en el chip y puede causar problemas. Lo que es peor es cuando 10 ó más circuitos demandan esta corriente a través de la misma tierra y al mismo tiempo.

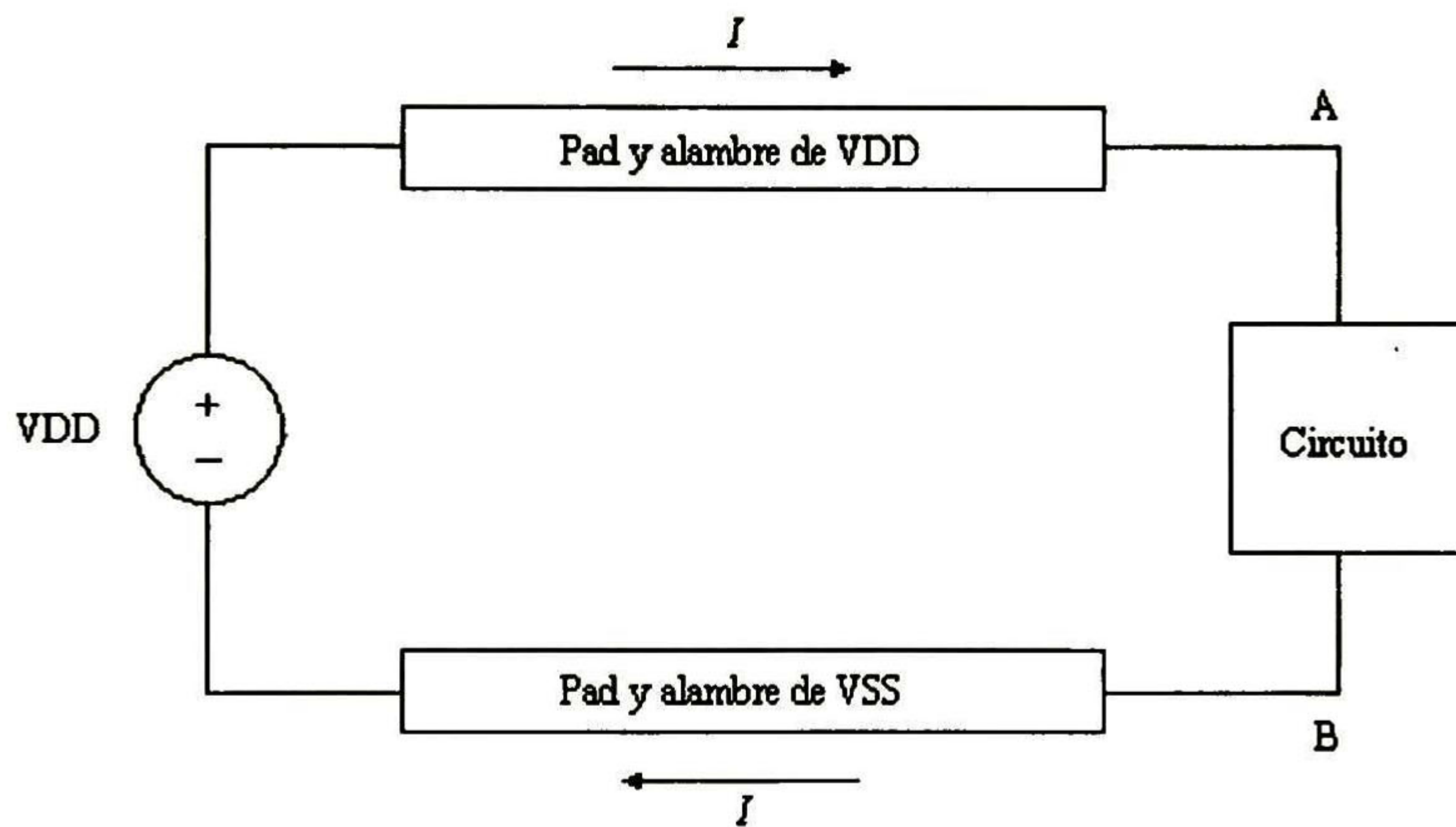


Figura 3.8 Diagrama a bloques utilizado para ilustrar el ground bounce.

El ground bounce inducido por las dimensiones del pad de alimentación y por su respectivo alambre de alimentación no puede cambiarse debido a que las dimensiones de estos son fijas, pero si puede evitarse el agregar una gran cantidad de inductancia extra en las líneas de alimentación. Para lograr esto, las líneas que interconectan los pads de alimentación con el circuito deben ser lo más cortas y anchas posibles, y en lo posible, colocar un capacitor interno en el chip para amortiguar los efectos del ground bounce.

3.4.2 El pad de señal

Es el utilizado para intercambiar información sea digital o analógica entre el chip y el entorno exterior. En cuanto a dimensiones, el pad de señal de MOSIS es de $100\mu\text{m} \times 100\mu\text{m}$ y presenta una capacitancia total de 200 fF con una resistencia de 0.055Ω y una inductancia por unidad de longitud de 0.017 nH/mm (valores calculados en la subsección 3.4.1). Estos valores de inductancia, resistencia y capacitancia se encuentran uniformemente distribuidos a través de la longitud del pad, puesto que este es simétrico. Esta consideración de distribución uniforme permite obtener un circuito eléctrico equivalente del pad como el que se muestra en la figura 3.9

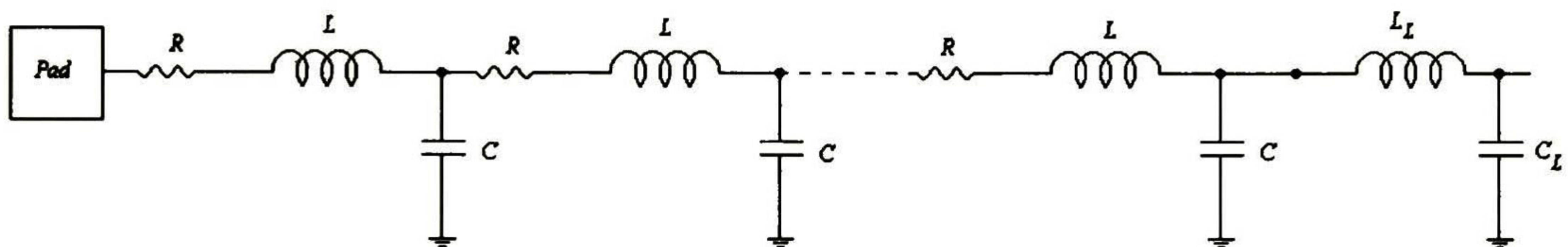


Figura 3.9. Equivalente eléctrico del pad de señal y su carga.

Esta distribución uniforme permite tratar al circuito como una línea de transmisión [5] y se puede efectuar su simulación utilizando TSPICE, que permite analizar este tipo de circuitos al proporcionarle los valores de R , L y C , que no son otra cosa que los valores por unidad de longitud de cada parámetro. A la salida del circuito se conecta una carga $L_L C_L$, donde L_L es el valor de la inductancia del alambre que une al pad con la terminal correspondiente del chip (8 nH [4]) y C_L es la capacitancia típica de una punta de prueba para osciloscopio cuyo valor es de 15 pF

La respuesta a la frecuencia de este pad se muestra en la figura 3.10, donde se observa que se tiene una limitante en frecuencia (impuesta por el pad) de aproximadamente 100 Mhz .

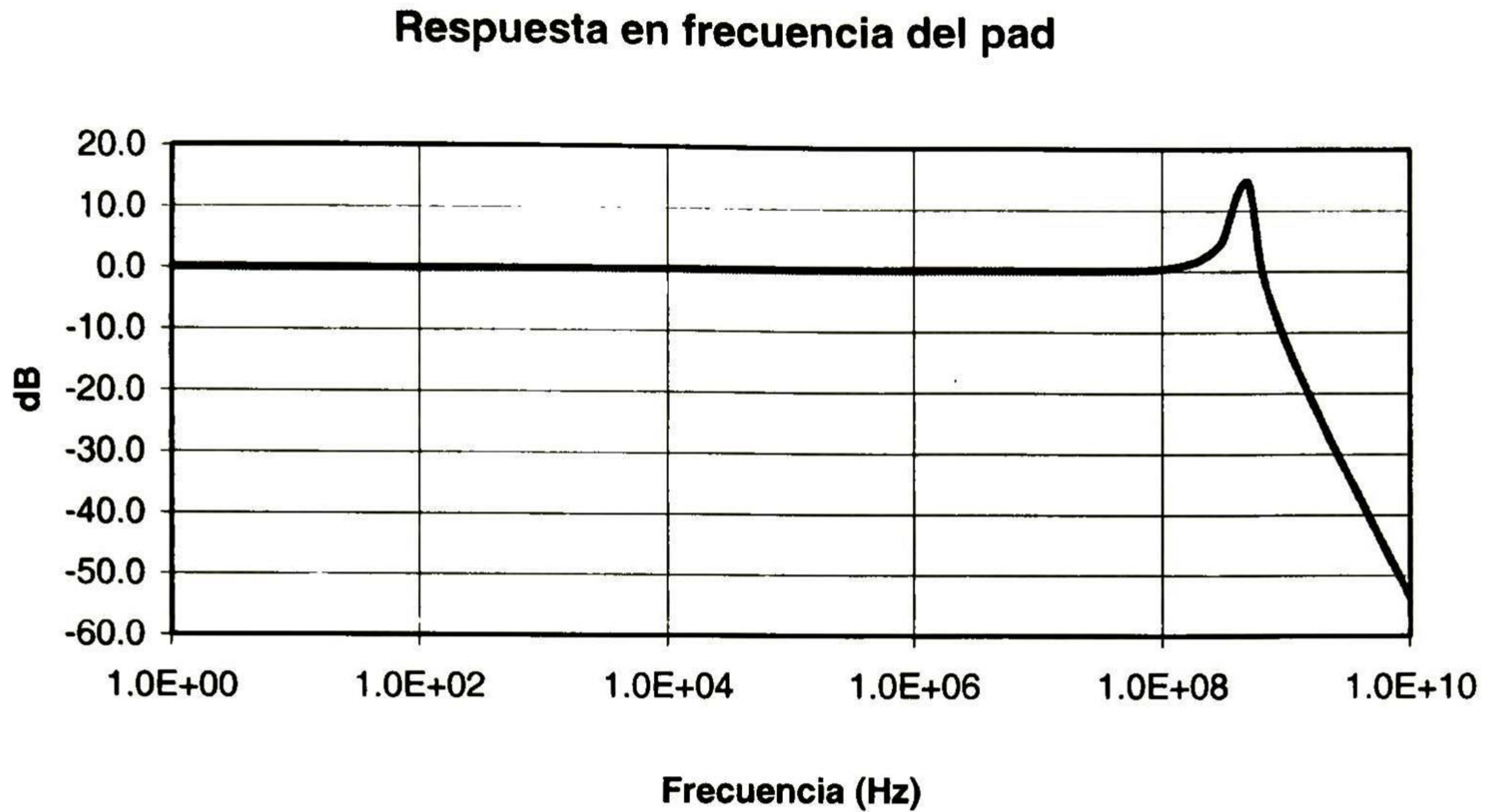


Figura 3.10. Respuesta en frecuencia del equivalente eléctrico del pad de señal.

3.4.3 El pad con protección electrostática (ESD)

Dado que la impedancia de entrada de un MOSFET es capacitiva, pequeñas cantidades de carga estática aplicadas a un pad, procedentes del exterior del chip, pueden causar que el óxido de compuerta se destruya. Para evitar esta situación, se utilizan pads con esquemas de protección electrostática como el que se muestra en la figura 3.11. Estos esquemas se basan en un diodo que en condiciones normales (sin carga estática) están polarizados en inversa, pero cuando reciben un valor de voltaje arriba de V_{dd} o menor que V_{ss} quedan polarizados en directa, proveyendo así una ruta de baja impedancia y desviando así la carga excesiva. El esquema utilizado en la figura 3.11b utiliza la región n+ como una resistencia para limitar la corriente a través del pad y un diodo para proteger contra transientes negativos, además, el voltaje de ruptura del diodo protege contra transientes positivos.

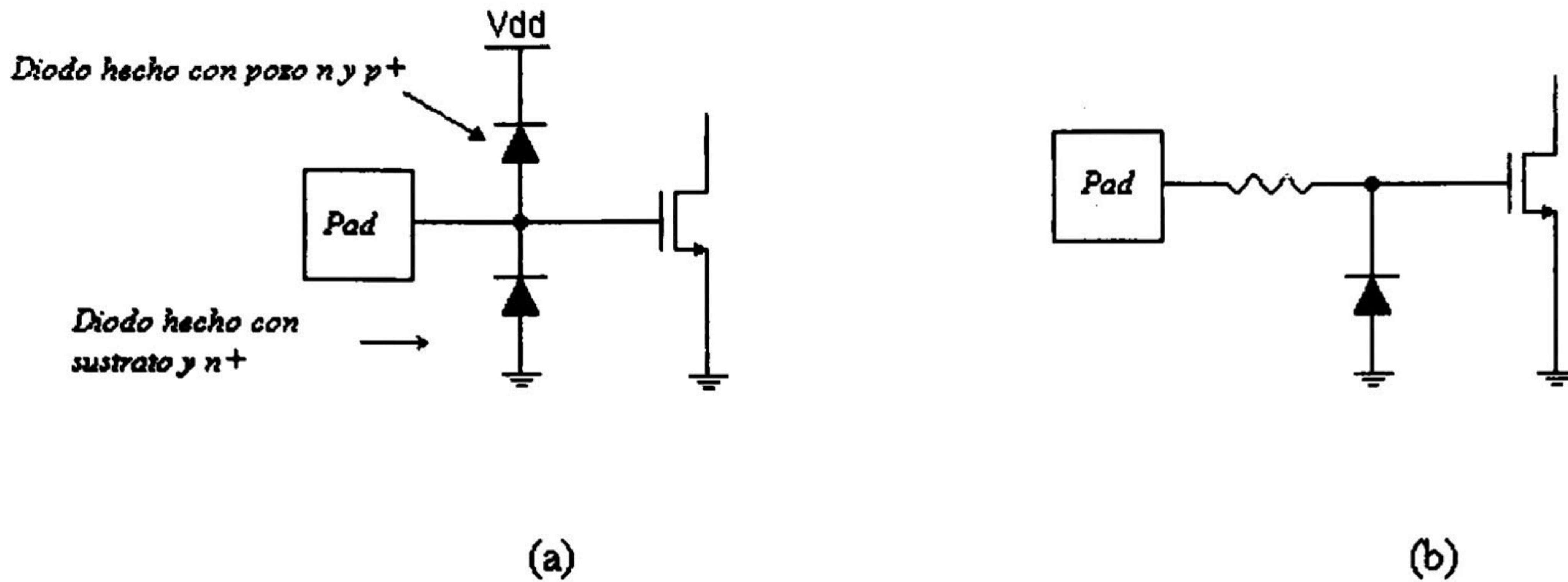


Figura 3.11. Dos métodos de crear pads con protección electrostática.

La protección contra transientes positivos también puede lograrse con el esquema de diodos de la figura 3.11a. Estos diodos se construyen con capas activas p+ sobre un pozo n [1] o incluso con capas activas n+ sobre el sustrato. La figura 3.12 muestra el layout de estos dos tipos de diodos de protección electrostática.

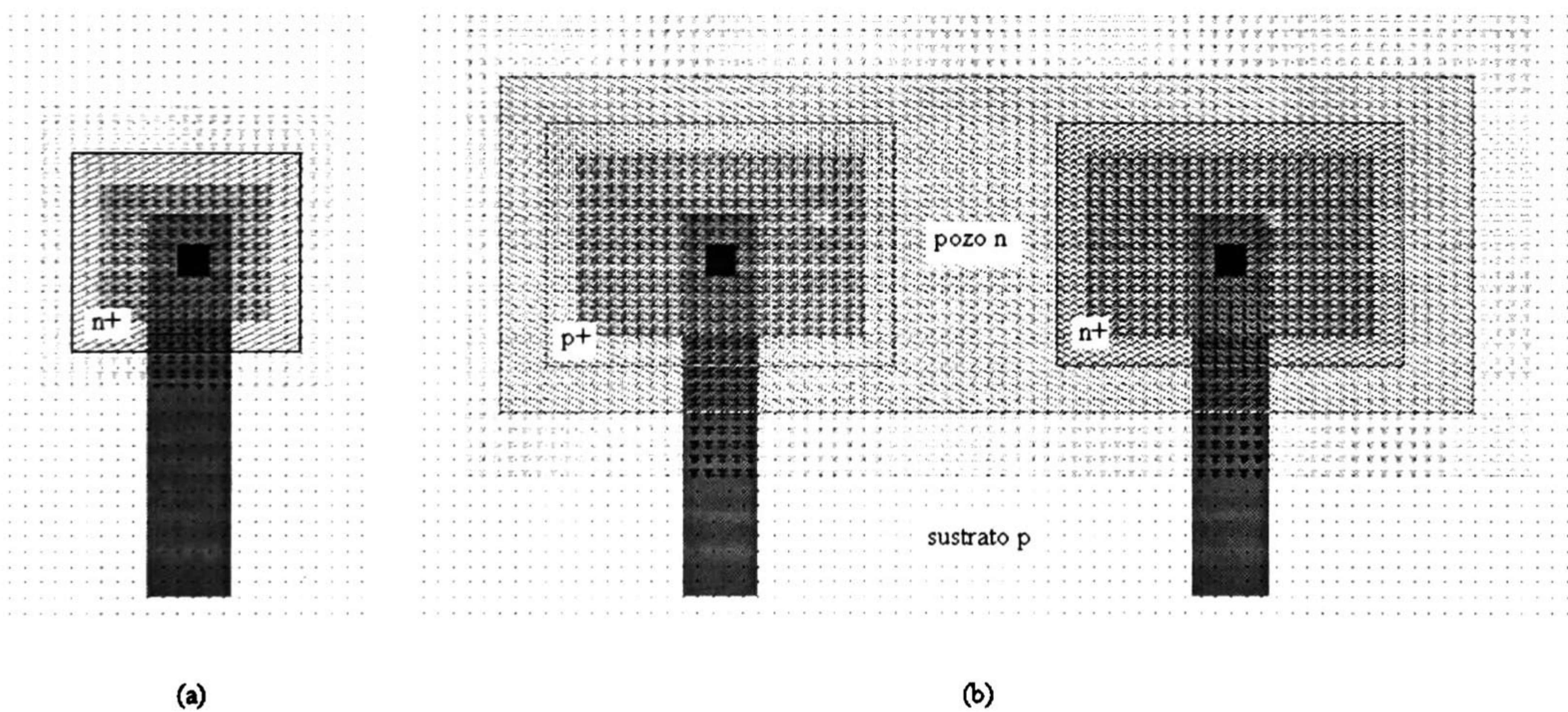


Figura 3.12. a) Diodo hecho con n+ y sustrato p. b) diodo hecho con pozo n y p+.

3.5 El padframe de MOSIS

El padframe utilizado en la tecnología de MOSIS para dados de 2mm × 2mm se muestra en la figura 3.13. Este marco de pads o “padframe” se construyó con los reglas ya

expuestas en las secciones anteriores, e incluye pads de los tres tipos: de potencia, de señal, y protegidos contra esd. Además, es práctica común construir un bus de poder alrededor del padframe. Este bus consiste en un par de pistas de metal1 y metal2 que circulan todo el padframe y son para V_{dd} y V_{ss} . Este bus tiene una doble función. La primera es polarizar los diodos de protección *ESD* que se encuentran en los pads, y la segunda es crear un capacitor entre V_{dd} y V_{ss} que compense las variaciones rápidas y pequeñas en la alimentación. Este par de conductores se conectan a los pads de V_{dd} y V_{ss} , que entonces quedan predefinidos. Por tanto, los pads de poder no pueden ser intercambiados a voluntad, so pena de polarizar incorrectamente los diodos de protección y producir un mal funcionamiento del circuito integrado. Así mismo, la pista conductora que se asigna para V_{ss} ya se encuentra conectada al sustrato, asegurando así el correcto funcionamiento de los dispositivos MOS de canal n.

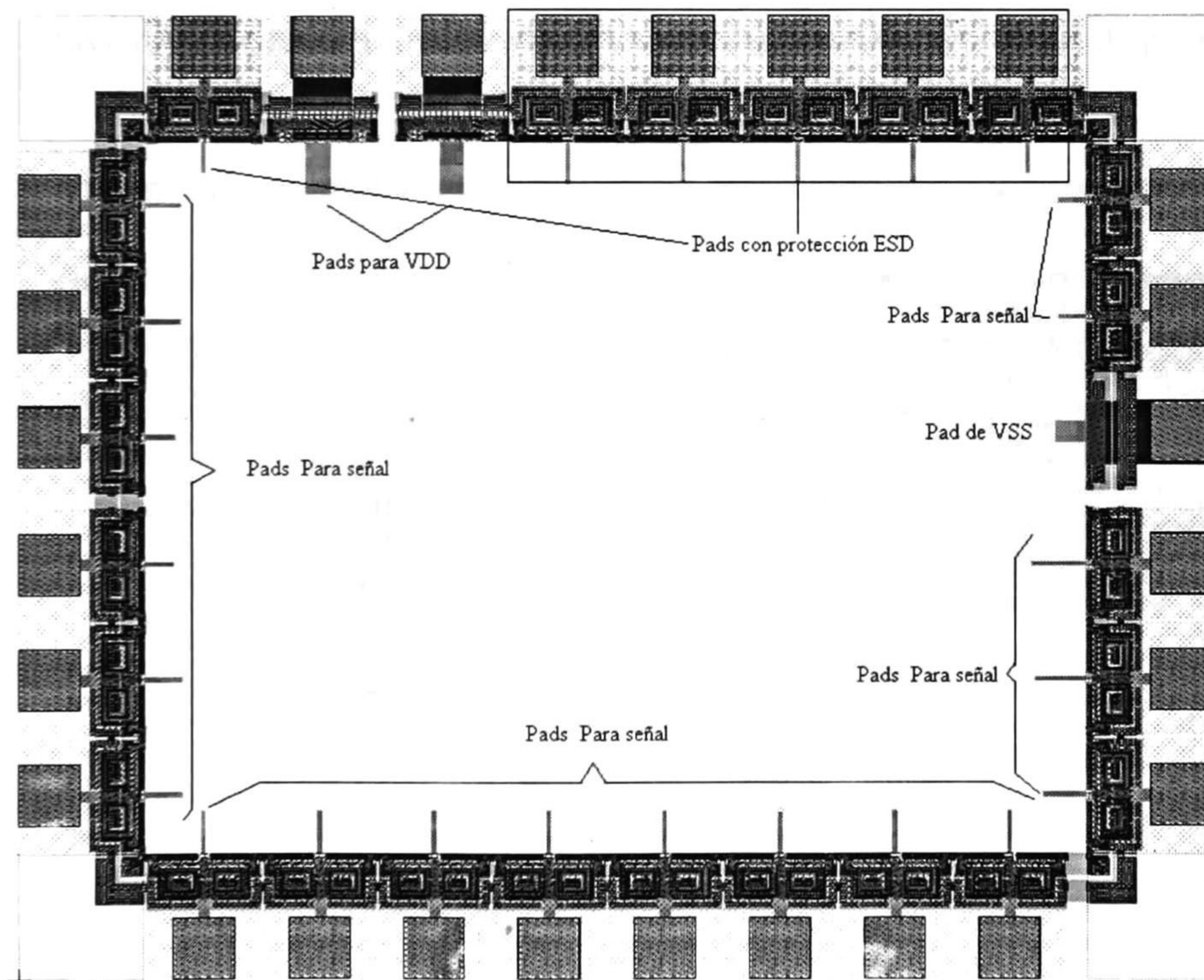


Figura 3.13. Padframe para el dado MOSIS de 2mm × 2mm.

3.6 Floorplan para el CI

El floor plan seguido para el desarrollo de este circuito integrado (convertidor A-D) se detalla a continuación:

1. Se desarrolló una celda de un bit para después conectar en cascada las celdas que fuesen necesarias. La celda se muestra en la figura 3.14.
2. Para la celda de un bit, todas las señales de entrada se colocaron del lado izquierdo de la celda y todas las salidas se colocaron del lado derecho. Esto con el fin de facilitar la conexión entre celdas.
3. El flujo de corriente de todos los transistores es de forma horizontal, y aquellos transistores que funcionan como espejos de corriente se colocaron muy cerca y utilizando el mismo poly para sus compuertas. Estas dos consideraciones se tuvieron en cuenta a fin de reducir los efectos de mismatch en los dispositivos.

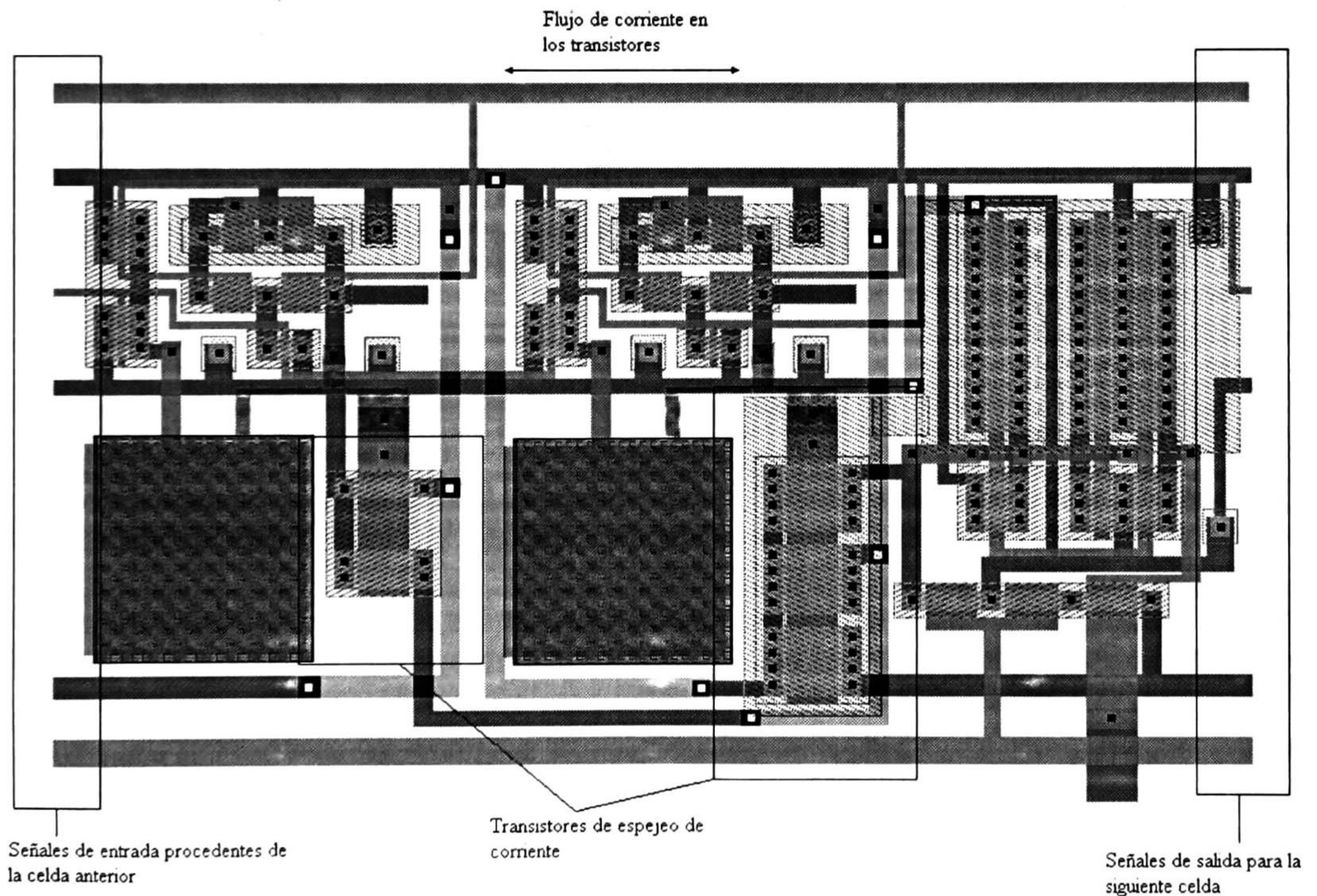


Figura 3.14. Layout de la celda de conversión de 1bit

4. Al conectar en cascada las celdas de un bit, se procura entre ellas la menor distancia posible afin de reducir el efecto de la capacitancia parásita entre la salida de corriente de una celda y la entrada de la siguiente. Con esto se trata de no afectar el tiempo de respuesta en la conversión AD.
5. Como todas las celdas de 1bit funcionan a partir de la misma corriente de referencia de entrada, sólo se incluye una celda de conversión corriente-voltaje para esta corriente.
6. Las pistas que conectan los pads de Vdd y Vss con los circuitos son gruesas para disminuir los efectos del ground bounce.
7. La conexión para la corriente de entrada al convertidor se hace lo más cercana posible a su pad respectivo para disminuir los efectos de las parásitas, pues al tratarse de corriente, la parásita tiende a cargarse primero y la respuesta en tiempo del convertidor se ve afectada.
8. El resto de las celdas son celdas de prueba que se distribuyen buscando que se ubiquen lo más cerca posible de sus respectivos pads para disminuir parásitas.

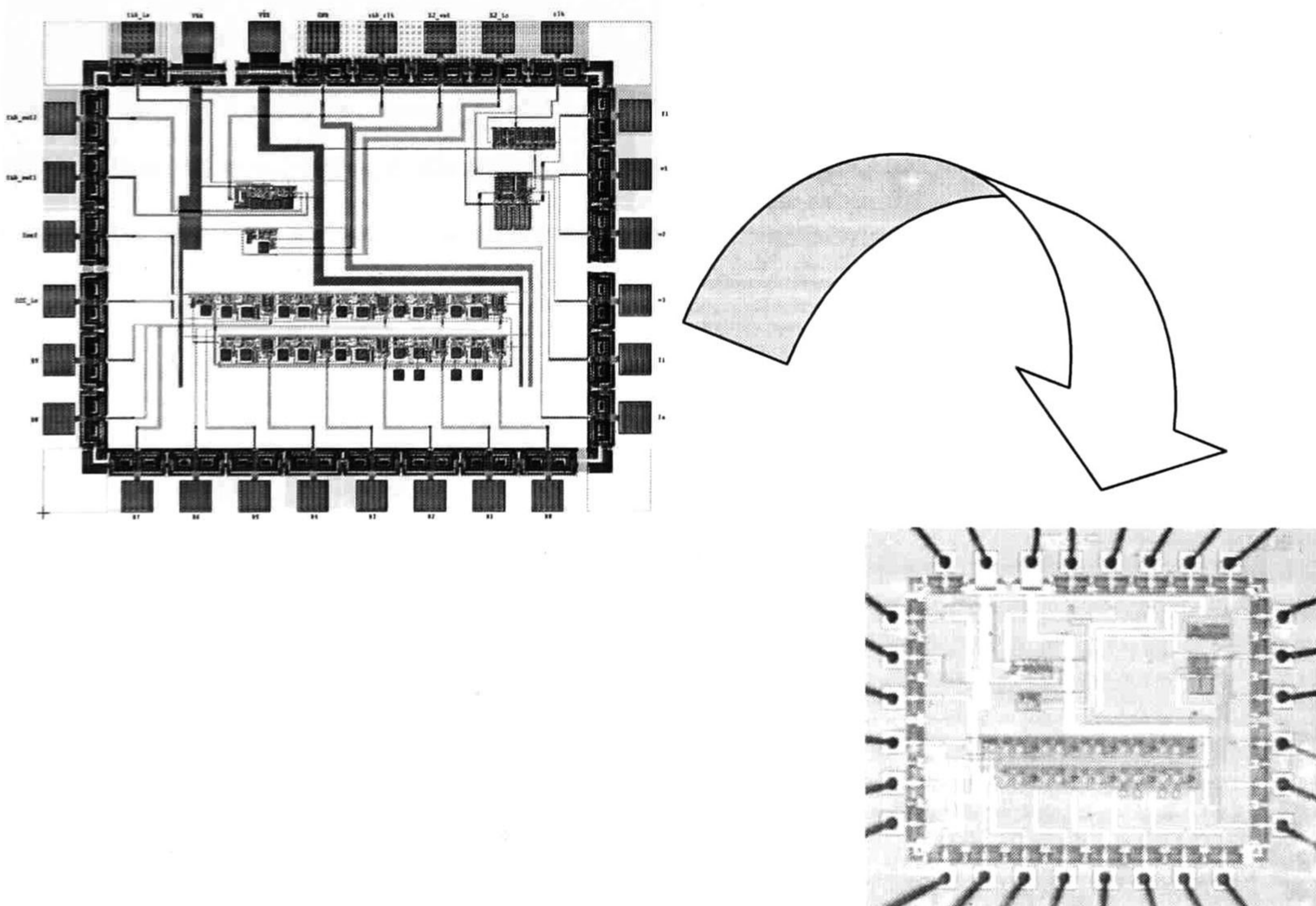


Figura 3.15. a) Layout del circuito integrado. b) microfotografía del CI.

Referencias

- [1] R. Jacob, Harry W. Li, David E. Boyce, “CMOS circuit design, layout and simulation” IEEE Press Series on Microelectronic Systems. 1998. ISBN 0-7803-3416-7
- [2] Tanner EDA. “L-Edit, The layout editor”, 1999.
- [3] H.W. Johnson and M. Graham, “High speed digital design: A handbook of Black Magic”, Prentice-Hall Publishing Company, 1993. ISBN 0-13-395724.
- [4] Nishath K. Verghese, David J. Allstot. “Computer-Aided Design Considerations for Mixed-Signal Coupling in RF Integrated Circuits”, IEEE Journal of solid state circuits, vol. 33, No. 3. March 1998.
- [5] William I. Orr. “Radio Handbook”, Marcombo. 1979. ISBN 84-267-0198-1

IV- CONCLUSIONES Y TRABAJO FUTURO

4.1 Conclusiones

Los grandes avances logrados a la fecha en miniaturización, exigen que se integre la mayor cantidad posible de circuitos electrónicos en una misma pastilla de silicio. Los convertidores AD no se han quedado atrás en esta tendencia, y cada vez son más las aplicaciones que incluyen al convertidor en el mismo circuito integrado. Entre estas aplicaciones se pueden citar los DSP's (procesador digital de señal), microcontroladores, filtros digitales, sistemas de adquisición de datos, etc. Por ello, resulta conveniente desarrollar y probar topologías de convertidores AD que requieran poca área de integración y que a la vez sean veloces, para que con esto, puedan acomodarse junto con unidades procesadoras dentro del mismo IC, y entonces contribuir a la reducción de espacio, y por ende el costo de las aplicaciones. En el presente trabajo, se desarrolló una investigación acerca de la técnica de conversión analógico-digital algorítmica en modo corriente, técnica que contribuye en mucho a lograr las características arriba mencionadas necesarias en un convertidor aplicable a sistemas VLSI.

La investigación inició con la búsqueda de conceptos y desarrollo de los análisis matemáticos de las diferentes configuraciones de convertidores algorítmicos, continuó con el diseño de una celda de conversión básica de 1 bit (y todos los bloques que la forman) y finalizó presentando los requisitos para integrar un circuito en una pastilla de silicio.

Con el adecuado análisis matemático, y planteando las restricciones y no idealidades que siempre están presentes en el diseño modo corriente, se dedujo la configuración de convertidor algorítmico que presenta las mejores características en lo que a resolución y velocidad de conversión se refiere. Entonces, se propuso la utilización de una configuración novedosa para espejos de corriente, esta configuración es la de *espejo activo*, que aunque requiere de un área de integración mayor que sus contrapartes simple, y

cascode, otorga características de adaptación de impedancia y ancho de banda que lo harán opción indiscutible en muchas otras aplicaciones del modo corriente. Además, se introduce un comparador de corriente de alta velocidad que mejora en mucho a los comparadores utilizados tradicionalmente (cap.1. [6]) y que entonces impulsa la velocidad total de conversión a niveles sólo igualables por los convertidores más rápidos, permitiendo así aplicaciones del convertidor algorítmico en situaciones más exigentes de ancho de banda.

Después de recorrer y revisar el compendio de información generada, se puede aseverar que la técnica de conversión algorítmica implementada en modo corriente presenta grandes ventajas con respecto a otras técnicas. Entre estas, hay que resaltar la sencillez de su algoritmo de conversión, su poco consumo de area, su relativa alta velocidad (1MHz) y su modularidad. Esta última, lograda gracias al adecuado diseño de una celda de conversión de 1bit de tal modo que resulta muy fácil conectar en cascada tantas celdas como resolución se requiera. Por supuesto, la técnica algorítmica tiene desventajas, entre ellas la más notoria es la máxima resolución alcanzable, limitada ésta por las características no ideales de los dispositivos, pero que con el uso de técnicas de corriente conmutada puede mejorarse. Aun así, se puede esperar que el desempeño global en tiempo real de este convertidor sólo se compara con aquellos más rápidos.

4.2 Trabajo Futuro

Como se mencionó, en general un diseño nunca deja satisfecho del todo y siempre es susceptible de mejorarse con la prueba y utilización de diferentes técnicas de diseño. Desafortunadamente, el tiempo para desarrollar una investigación siempre es finito y nunca suficiente. Entre las tareas que pueden enriquecer el presente trabajo, o incluso ser iniciadoras de nuevos se sugieren

Probar diferentes topologías de amplificadores operacionales que puedan aplicarse en los espejos activos de las celdas de conversión, esto a fin de conseguir mayores velocidades de conversión sin gran perjuicio del área de integración.

Caracterización eléctrica de la celda de un bit a fin de medir el mismatch que se presenta en los dispositivos al fabricar en la tecnología de $1.2\mu\text{m}$, puesto que es una de las no idealidades que más afectan la resolución de un convertidor algorítmico en modo corriente.

Desarrollar y probar convertidores algorítmicos en modo corriente conmutada con el fin de comparar el desempeño con el convertidor en modo continuo, pues de acuerdo con lo citado en algunas referencias, esta técnica mejora en gran medida la resolución obtenida pero el tiempo de conversión se ve aumentado.

Apéndice A

Listados de simulación

Convertidor algorítmico con espejos activos

*Comparadores de corriente

Vdd vdd 0 dc 2.5v

Vss vss 0 dc -2.5v

.include opamp_sub.sp

.subckt comp in out1 vdd vss

M1 vss out in vdd CMOSP w=32.4u l=2.4u

M2 vdd out in vss CMOSN w=9u l=2.4u

M4 out in vdd vdd CMOSP w=32.4u l=2.4u

M3 out in vss vss CMOSN w=9u l=2.4u

X1 out out1 vdd vss not

X2 out1 out2 vdd vss not

.ends

.subckt ad_cell 1 6 5 vdd vss 0

M1 1 1a vss vss CMOSN w=3u l=7.8u

M2 2 1a vss vss CMOSN w=3u l=7.8u

M3 2 1a vss vss CMOSN w=3u l=7.8u

M4 2 2a vdd vdd CMOSP w=10.5u l=7.8u m=1

M5 4 2a vdd vdd CMOSP w=10.5u l=7.8u m=1

M6 5 2a vdd vdd CMOSP w=10.5u l=7.8u m=1

M7 4 8a vss vss CMOSN w=3u l=7.8u

M8 7 8a vss vss CMOSN w=3u l=7.8u

M9 5 6 7 vss CMOSN w=3u l=7.8u m=1

M10 8 8a vss vss CMOSN w=3u l=7.8u

X1 4 6 vdd vss comp

X2 1 0 1a vdd vss opampn

X3 2 0 2a vdd vss opampn

X4 8 0 8a vdd vss opampn

Iref vdd 8 dc 30u

c1 6 0 2p

.ends

.subckt not in out vdd vss

M4 out in vdd vdd CMOSP w=32.4u l=2.4u

M3 out in vss vss CMOSN w=9u l=2.4u

.ends

```
.MODEL NMOS NMOS LEVEL=3 PHI=0.700000 TOX=3.0700E-08 XJ=0.200000U TPG=1
+ VTO=0.6897 DELTA=0.0000E+00 LD=1.0250E-7 KP=7.5564E-05
+ UO=671.8 THETA=9.0430E-02 RSH=2.5430E+01 GAMMA=0.7822
+ NSUB=2.3320E+16 NFS=5.9080E+11 VMAX=2.0730E+05 ETA=1.1260E-01
+ KAPPA=3.1050E-01 CGDO=1.7294E-10 CGSO=1.7294E-10
+ CGBO=5.1118E-10 CJ=2.8188E-04 MJ=5.2633E-01 CJSW=1.4770E-10
+ MJSW=1.0000E-01 PB=9.9000E-01
```



```
.MODEL PMOS PMOS LEVEL=3 PHI=0.700000 TOX=3.0700E-08 XJ=0.200000U TPG=-1
+ VTO=-0.7574 DELTA=2.9770E+00 LD=1.0540E-8 KP=2.1562E-05
+ UO=191.7 THETA=1.2020E-01 RSH=3.522E+00 GAMMA=0.4099
+ NSUB=6.4040E+15 NFS=5.9090E+11 VMAX=1.6200E+05 ETA=1.4820E-01
+ KAPPA=1.0000E+01 CGDO=5.0000E-11 CGSO=5.0000E-11
+ CGBO=4.2580E-10 CJ=2.9596E-04 MJ=4.2988E-01 CJSW=1.8679E-10
+ MJSW=1.5252E-01 PB=7.3574E-01
```

```
X1 an_in0 dig_out0 an_out0 vdd vss 0 ad_cell
X2 an_out0 dig_out1 an_out1 vdd vss 0 ad_cell
X3 an_out1 dig_out2 an_out2 vdd vss 0 ad_cell
X4 an_out2 dig_out3 an_out3 vdd vss 0 ad_cell
X5 an_out3 dig_out4 an_out4 vdd vss 0 ad_cell
X6 an_out4 dig_out5 an_out5 vdd vss 0 ad_cell
X7 an_out5 dig_out6 an_out6 vdd vss 0 ad_cell
X8 an_out6 dig_out7 an_out7 vdd vss 0 ad_cell
X9 an_out7 dig_out8 an_out8 vdd vss 0 ad_cell
X10 an_out8 dig_out9 an_out9 vdd vss 0 ad_cell
```

```
.acmodel(*)
.options moscap=1
.options mosparasitics=1
```

```
Iin vdd an_in0 PWL ((0u 0u 16u 30u)) ROUND=0
```

```
.tran/powerup 0.01u 16u start=0 method=bdf
.print tran 'i(Iin)*1e6/6' 'v(dig_out0)+12.5' 'v(dig_out1)+22.5'
'v(dig_out2)+32.5' 'v(dig_out3)+42.5'
```

Subcircuito del amplificador operacional

*OPAMP

```
.subckt opampn 2 1 5 8 9
M10 7 7 9 9 CMOSN w=25.2u l=3.6u
M11 7 7 8 8 CMOSP w=3u l=15.6u

M1 4 2 3 9 CMOSN w=3u l=6u
M2 5 1 3 9 CMOSN w=3u l=6u
M3 4 4 8 8 CMOSP w=3u l=4.8u
M4 5 4 8 8 CMOSP w=3u l=4.8u
M5 3 7 9 9 CMOSN w=4.8u l=1.8u
M6 8 2 11 9 CMOSN w=10.8u l=1.8u
M7 11 7 9 9 CMOSN w=10.8u l=1.8u
Cc 11 5 0.5p
.ends
```

```
.MODEL CMOSN NMOS LEVEL=3 PHI=0.700000 TOX=3.0700E-08 XJ=0.200000U
+ TPG=1 VTO=0.6897 DELTA=0.0000E+00 LD=1.0250E-07 KP=7.5564E-05
+ UO=671.8 THETA=9.0430E-02 RSH=2.5430E+01 GAMMA=0.7822
+ NSUB=2.3320E+16 NFS=5.9080E+11 VMAX=2.0730E+05 ETA=1.1260E-01
+ KAPPA=3.1050E-01 CGDO=1.7294E-10 CGSO=1.7294E-10
+ CGBO=5.1118E-10 CJ=2.8188E-04 MJ=5.2633E-01 CJSW=1.4770E-10
```


+ MJSW=1.0000E-01 PB=9.9000E-01

.MODEL CMOSP PMOS LEVEL=3 PHI=0.700000 TOX=3.0700E-08 XJ=0.200000U

+ TPG=-1 VTO=-0.7574 DELTA=2.9770E+00 LD=1.0540E-08 KP=2.1562E-05

+ UO=191.7 THETA=1.2020E-01 RSH=3.5220E+00 GAMMA=0.4099

+ NSUB=6.4040E+15 NFS=5.9090E+11 VMAX=1.6200E+05 ETA=1.4820E-01

+ KAPPA=1.0000E+01 CGDO=5.0000E-11 CGSO=5.0000E-11

+ CGBO=4.2580E-10 CJ=2.9596E-04 MJ=4.2988E-01 CJSW=1.8679E-10

+ MJSW=1.5252E-01 PB=7.3574E-01

Apéndice B

Publicaciones en congresos internacionales

[1] C. M. Vizcaíno, F. Sandoval Ibarra, "Design of an algorithmic-pipeline Analog-to-digital converter, with a conversion time of $1\mu\text{s}$ ", TELECOM '02 International conference, July 2002, Santiago de Cuba.

Abstract

The current-mode design technique allows getting very reduced circuits and still maintaining a good high speed performance. This features makes current-mode the right choice to design ADC converters for VLSI systems. On this paper, the design of an algorithmic-pipeline ADC converter using the current-mode technique is presented. This converter was built in $1.5\mu\text{m}$ technology and it occupies 0.29 mm^2 with a conversion time of $1\mu\text{s}$. Finally, simulation and test results are presented.

Design of an algorithmic-pipeline Analog-to-digital converter, with a conversion time of $1\mu\text{s}$

C. M. Vizcaíno, F. Sandoval-Ibarra.

Electronics Design Group, CINVESTAV-Guadalajara
590 López Mateos Sur Avenue, 45235 Guadalajara, Jalisco (México)
phone: +52 (33) 3134-5570, fax: +52 (33) 3134-5579
cmv15@todito.com , sandoval@cts-design.com

Abstract: The current-mode design technique allows getting very reduced circuits and still maintaining a good high speed performance. This features makes current-mode the right choice to design ADC converters for VLSI systems. On this paper, the design of an algorithmic-pipeline ADC converter using the current-mode technique is presented. This converter was built in $1.5\mu\text{m}$ technology and it occupies 0.29 mm^2 with a conversion time of $1\mu\text{s}$. Finally, simulation and test results are presented.

I. Introduction

A good analog-to-digital converter must provide a high sample rate and still occupy a very reduced integration area, so that they can be integrated in VLSI systems. In order to obtain high sample-rates, flash converters can be used, but 2^N comparators are needed to get N bits of resolution; this means a lot of area required. As another choice, switched capacitors techniques could be used, but despite they require very low integration area this is a very slow solution.

To improve the sampling rate in a circuit, the settling time required for the voltage must be reduced [1]. This goal can be achieved using current instead of voltage to represent the processed signal. Using current, one can take advantage from the non-linear I-V relationship of CMOS devices. For instance, if a MOS transistor is operating in saturation region, its I_D current is proportional to the square of the V_{GS} voltage, this means that very little voltage changes are required to get big current variations [2]. Therefore, using current to represent the signal pays with less voltage swings and higher operating speeds.

Current mode circuits can be designed using switched or continuous techniques. In the continuous mode, the signal has a constant flow once in the converter, on the other hand, in switched current circuits, the signal path and connections changes every time unit. Path and connection changes for the signal allows switched-current circuits to use one circuit for more than one task, (for example, one amplifier can be used to amplify 2 or more signals in a non-simultaneous way). This feature saves a lot of integration area, but at the same time, makes switched-current circuits inherently slow (compared to

continuous-current mode circuits). Table 1 shows a comparison between different ADC converters using the algorithmic-pipeline technique. Here can be seen that the continuous-current converter has the best performance but the resolution. Although, there are some current-mode circuit configurations, which will be presented in this paper, that improve the resolution keeping little area consumption and still maintaining the high speed characteristic. An additional advantage to use current-mode continuous-time techniques is that related with spurious signals, which are presented using switching processes.

II. The algorithmic technique

The algorithmic analog-to-digital conversion method has been known for many years as a technique capable of taking advantage of relatively simple hardware to produce ADCs. An analog-to-digital conversion is performed as shown in fig. 1 [5]. The input signal, Y_{IN} , which can take any value between zero and a reference value Y_{REF} , is first doubled to obtain $2Y_{IN}$. The new signal $2Y_{IN}$ is compared with the reference. If $2Y_{IN}$ is less than the reference, the digital output is set to zero, otherwise is set to one and the reference is subtracted from $2Y_{IN}$ in order to obtain a new Y_{IN} value. In both situations, this new Y_{IN} , also called residue, is feedback to the input of the same conversion cell as shown in fig. 1 so the cell performs a new conversion with the newest Y_{IN} . In the condition described above, the output bits are generated one by one in a serial mode. As it was described the algorithmic A/D converter is serial in nature and its conversion rate is slow.

Technique	Integration Area	Conversion Time	Resolution
Switched Capacitors [3]	1.54mm^2 ($1.5\mu\text{m}$)	$12.5\mu\text{s}$	12
Switched Current [4]	1.4mm^2 ($3.0\mu\text{m}$)	$12.5\mu\text{s}$	14
Continuous Current [2]	0.74mm^2 ($3.0\mu\text{m}$)	$1.75\mu\text{s}$	7

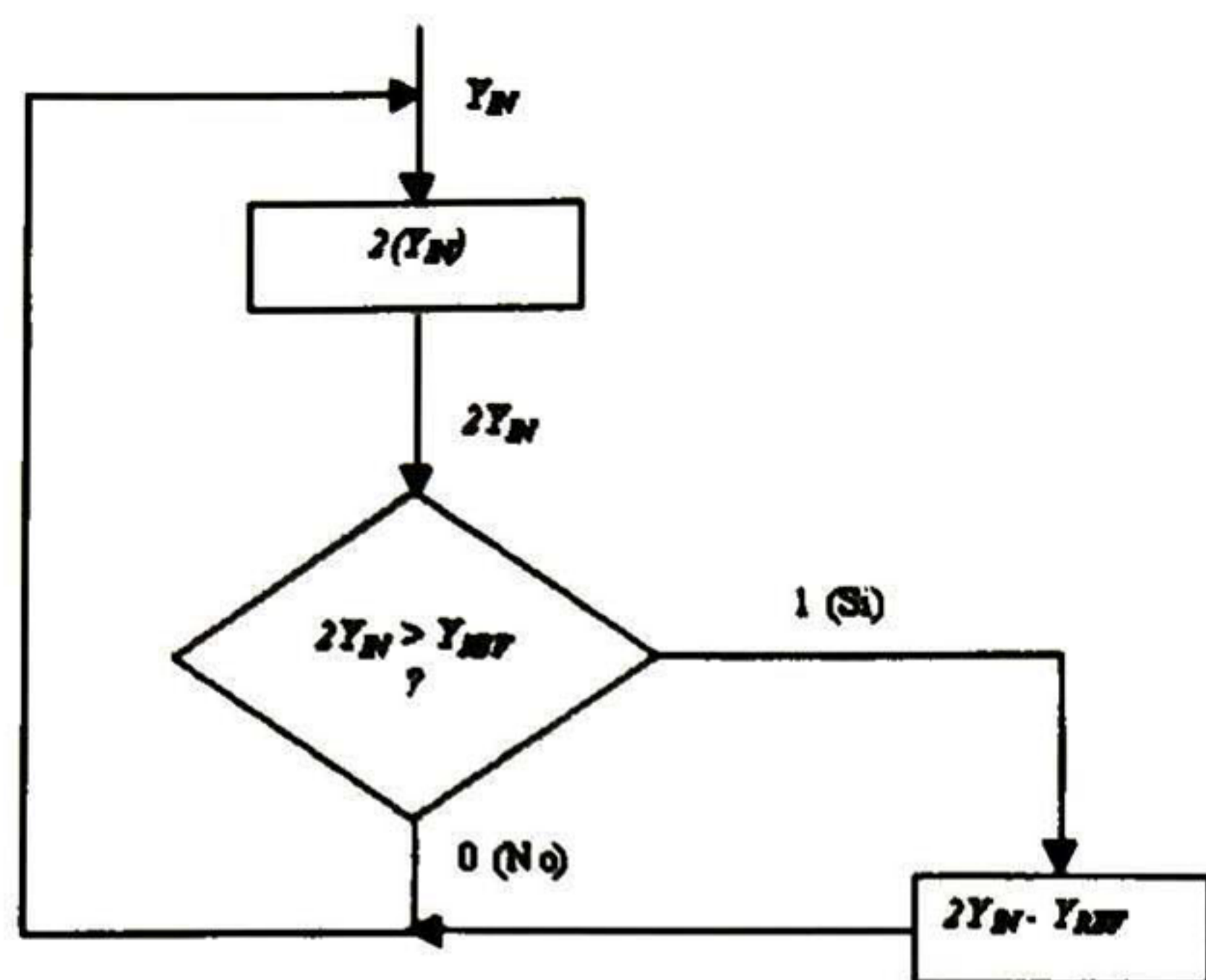


Fig. 1. Flow chart for processing an analog signal in the basic algorithmic analog-to-digital converter.

An approach to improve the speed of this conversion technique is shown in fig. 2. In that approach, N conversion basic cells are cascaded to obtain an N bits pipeline converter. The first cell receives the input signal and generates a digital output. The corresponding residue, is the input signal to the next cell and another bit and a newest residue are produced; this process is repeated N times and the resulting linear sequence of bits does not require control signals. Therefore, this configuration will result in a very compact circuit that can be easily modified for different resolutions. The speed for this kind of converter is determined by the rate at which the signal propagates through the cascade of bit cells. [2]. Within each bit cell, the rate of signal propagation is determined by the settling time of the circuits used for the cell, and as mentioned at the beginning, this time can be reduced by the use of continuous-current mode circuits. In the pipeline architecture the basic building block is the current mirror that requires low integration area. Thus, for systems requiring portability and battery operation the design of current-mode pipeline architecture gives to the analog IC designer exceptional advantages.

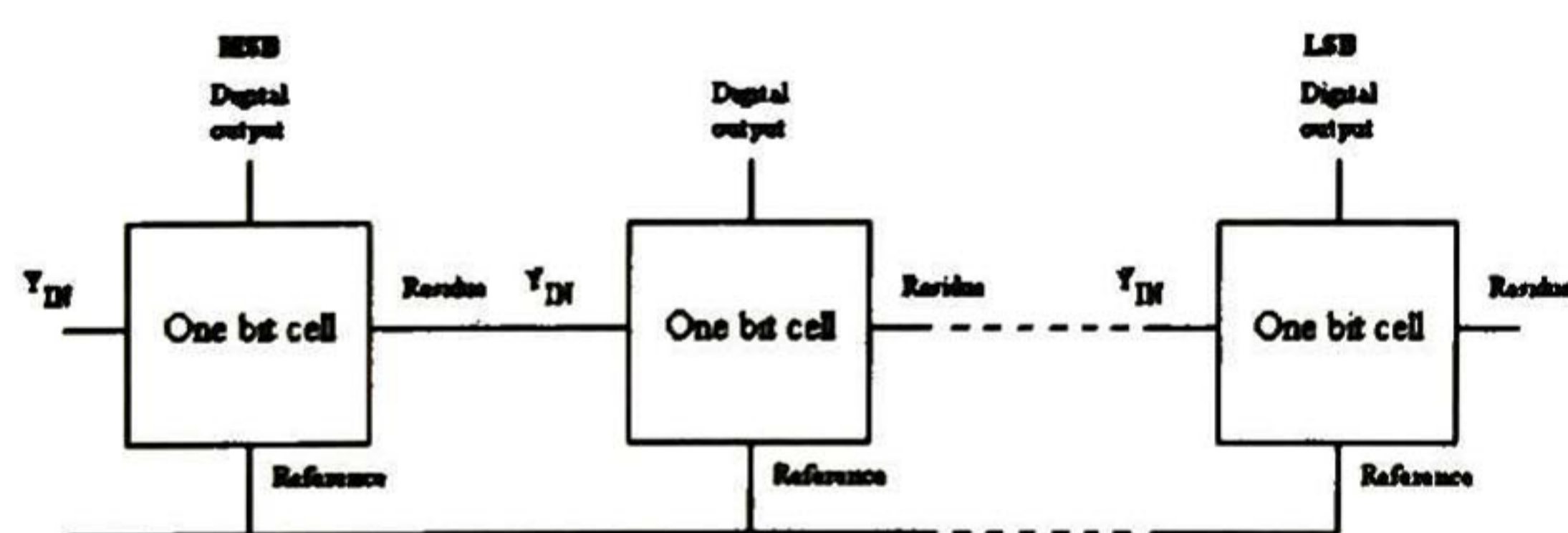


Fig. 2. Pipeline architecture to obtain a fast algorithmic AD converter.

One disadvantage of this cascade connection is the presence of non-idealities in the bit cells. This non-idealities will cause errors which will propagate through the cells, and of course, the errors will be multiplied N times, causing significant errors and limiting the maximum reachable resolution. In the next section, some one-bit-cell configurations and its limitations are presented. This is done in order to pick out the one that presents the best performance and then design it and build it.

III. One-bit-cell topologies

A current-mode one-bit cell can be implemented with simple current mirrors as shows fig. 3. In this circuit, M_3 has twice the W of M_1 obtaining a current multiplied by 2. The result from this operation is mirrored by M_4 to M_5 and the current flows toward the current-comparator input. The reference input is mirrored to the comparator through M_{10} and M_7 . The subtraction operation is performed by M_6 and M_8 , but only if M_9 is turned on (in such a case the comparator output is equal to "1").

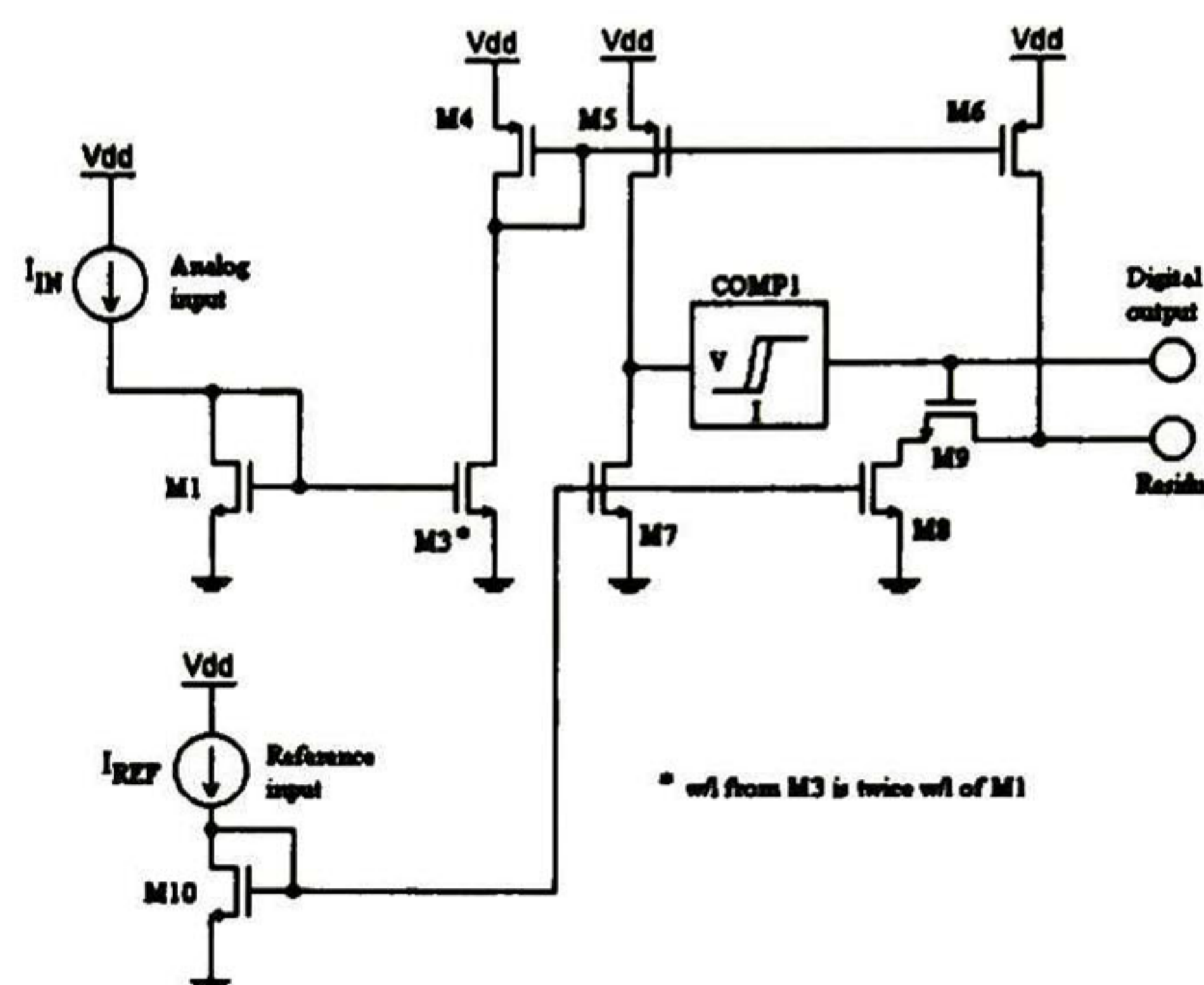


Fig. 3. One-bit-cell using simple current mirrors.

One of the non-idealities that affect the performance of this one-bit-cell is the current mismatch between devices. This means that the mirrored current is not exactly the one expected. This mismatch causes a relative current error defined as:

$$\frac{\Delta I}{I_{IN}} = \frac{I_{OUT} - I_{IN}}{I_{IN}} \quad \text{Eq. 1}$$

For CMOS devices operating in saturation region, this error can be expressed as [6]:

$$\frac{\Delta I}{I_{IN}} = \frac{\Delta \beta}{\beta} - \Delta V_T \left(\frac{2\beta}{I_{IN}} \right)^{1/2} \quad \text{Eq. 2}$$

where V_T is the transistor voltage threshold, β is a technological parameter defined as $\mu C_{ox} (W/L)$, and $\Delta \beta$ (ΔV_T) is the difference of β (V_T) between transistors. For practical circuits, $\Delta \beta$ and ΔV_T can be reduced up to 0.2% [6]. For an acceptable performance of an ADC, the absolute current error must be kept at or below a half LSB. Therefore, the converter's resolution with this one-bit-cell is limited to 8 bits. The maximum current error due to V_T mismatch is proportional to the current square root and it will occur at the maximum current level according to [2]:

$$\Delta I = -\Delta V_T \sqrt{2I\beta} \quad \text{Eq. 3}$$

For the circuit shown in fig. 3 the maximum current, I_{MAX} , is determined by the condition needed to maintain all devices in saturation

$$V_{GS3} - V_T + |V_{GS4}| \leq V_{DD} \quad \text{Eq. 4}$$

and for symmetrical devices maximum current can be expressed as

$$I_{MAX} = \frac{\beta}{2} \left[\frac{V_{DD} - V_T}{2} \right]^2 \quad \text{Eq. 5}$$

Since maximum current error must be equal to the magnitude of the half LSB¹, then

$$\Delta V_T \sqrt{2I_{MAX}\beta} = \frac{I_{MAX}}{2^{N+1}} \quad \text{Eq. 6}$$

From (6) a useful expression for N can be obtained

$$N = \frac{\ln(\Delta V_T \sqrt{2\beta / I_{MAX}})^{-1}}{\ln(2)} - 1 \quad \text{Eq. 7}$$

Therefore, ADC circuits using basic current mirrors have a maximum resolution, limited by ΔV_T , and it is given by

$$N = 1.44 \ln \left[\frac{V_{DD} - V_T}{4\Delta V_T} \right] - 1 \quad \text{Eq. 8}$$

If $V_{DD} = 5V$, $V_T = 0.75 V$ and a maximum mismatch of 0.2% can be achieved, a maximum resolution of 8.5 bits can be obtained, which exceeds the limitation of 8 bits imposed by β mismatches. On the another hand, $\Delta\beta$ and ΔV_T limit the maximum resolution reached by the converter, but the main error source in current-mode algorithmic converters is the subtraction operation. The most significant error for the converter will occur at the 10...00 to 10...01 transition, which corresponds to an input slightly larger than half the full-scale input. In this case, the output of the first section will be very small, causing the voltage at the output to be pulled down to the threshold voltage of the n-channel device present in the input stage of the following bit cell. The low output voltage causes the reference mirroring device M_8 in fig. 3 to come out of saturation, resulting in a significant current error. This error is then amplified in successive stages of the converter leading to conversion errors and possibly missed codes [2]. This error is best known as the finite impedance error. To solve the subtraction problem, the bit-cell input voltage, even for extremely low currents, must be kept as high as possible while still maintaining the highest possible output resistance for each current mirror. Both objectives can be met by using cascode current mirrors, as shown in fig. 4. Unfortunately, the

use of cascode current mirrors significantly reduces the dynamic range and hence the resolution of the ADC. Like the basic mirrors, the cascode mirrors will display a relative current error equal to the magnitude of the β mismatches. These mismatches limit the cascode current mirror ADC resolution to 8 b. For the V_T mismatches though, the cascode current mirrors display a significantly larger error. In this case, the condition for all devices to remain in saturation is given by

$$V_{GS_b} + V_{GS_a} - V_T + |V_{GS_a}| + |V_{GS_b}| \leq V_{DD} \quad \text{Eq. 9}$$

Therefore, the maximum current, assuming negligible body effect, is limited to

$$I_{MAX} = \frac{\beta}{2} \left[\frac{V_{DD} - 3V_T}{4} \right]^2 \quad \text{Eq. 10}$$

Consequently, circuits using the cascode current mirrors have a maximum (ΔV_T limited) resolution of

$$N = 1.44 \ln \left[\frac{V_{DD} - 3V_T}{8\Delta V_T} \right] - 1 \quad \text{Eq. 11}$$

Using the same circuit parameters as were used for the basic current mirror and a 0.2% V_T mismatch, the cascode current mirror is expected to have a maximum resolution of 6.8b. Therefore, while cascode mirrors solve the previously mentioned subtraction problem, unless V_{DD} is increased, the theoretical maximum resolution is limited to approximately 7b by an enhancement of the V_T mismatches.

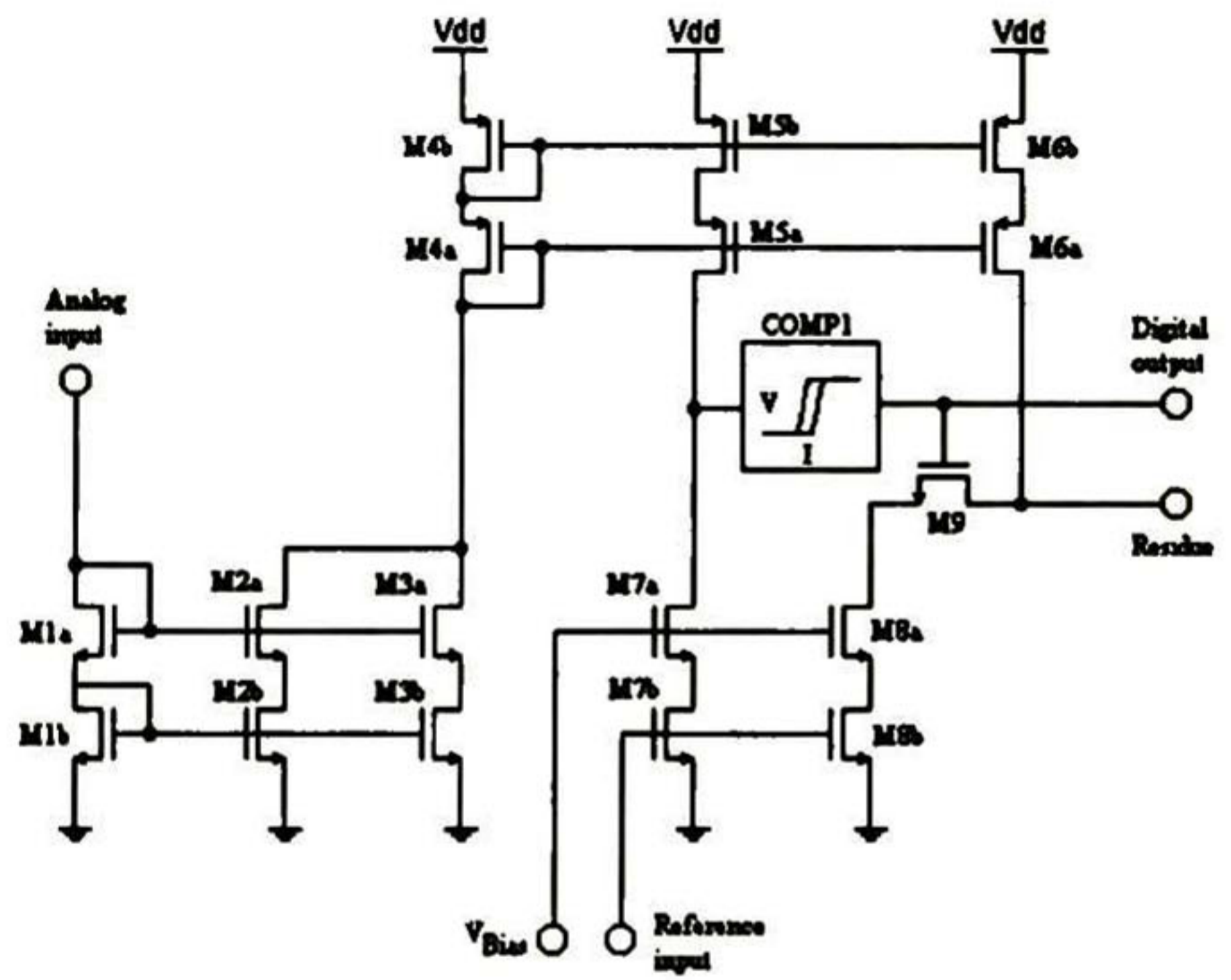


Fig. 4. Schematic of the one-bit-cell with cascode current mirrors.

Another approach to reduce the finite impedance error is to reduce the input impedance of the mirror instead of increasing the output impedance. This objective can be reached using active current mirrors as shows fig. 5. In this circuit, the input impedance for the mirror can be expressed as [2]:

¹ $\frac{1}{2} LSB = \frac{I_{MAX}}{2^{N+1}}$

$$z_i \approx \frac{1}{Ag_m} \quad \text{eq. 12}$$

where A is the open-loop voltage gain of the operational amplifier and g_m is the transconductance of the n-channel device. With this configuration, the finite impedance error is given by

$$\approx \frac{1}{Ag_m z_o} \quad \text{eq. 13}$$

consequently, a simple differential pair with a gain of 100 will improve the current matching at least two orders of magnitude. Then, this circuit reduces the finite impedance effect and still has the dynamic range of a simple mirror, therefore, with this configuration 8b resolution converters can be obtained.

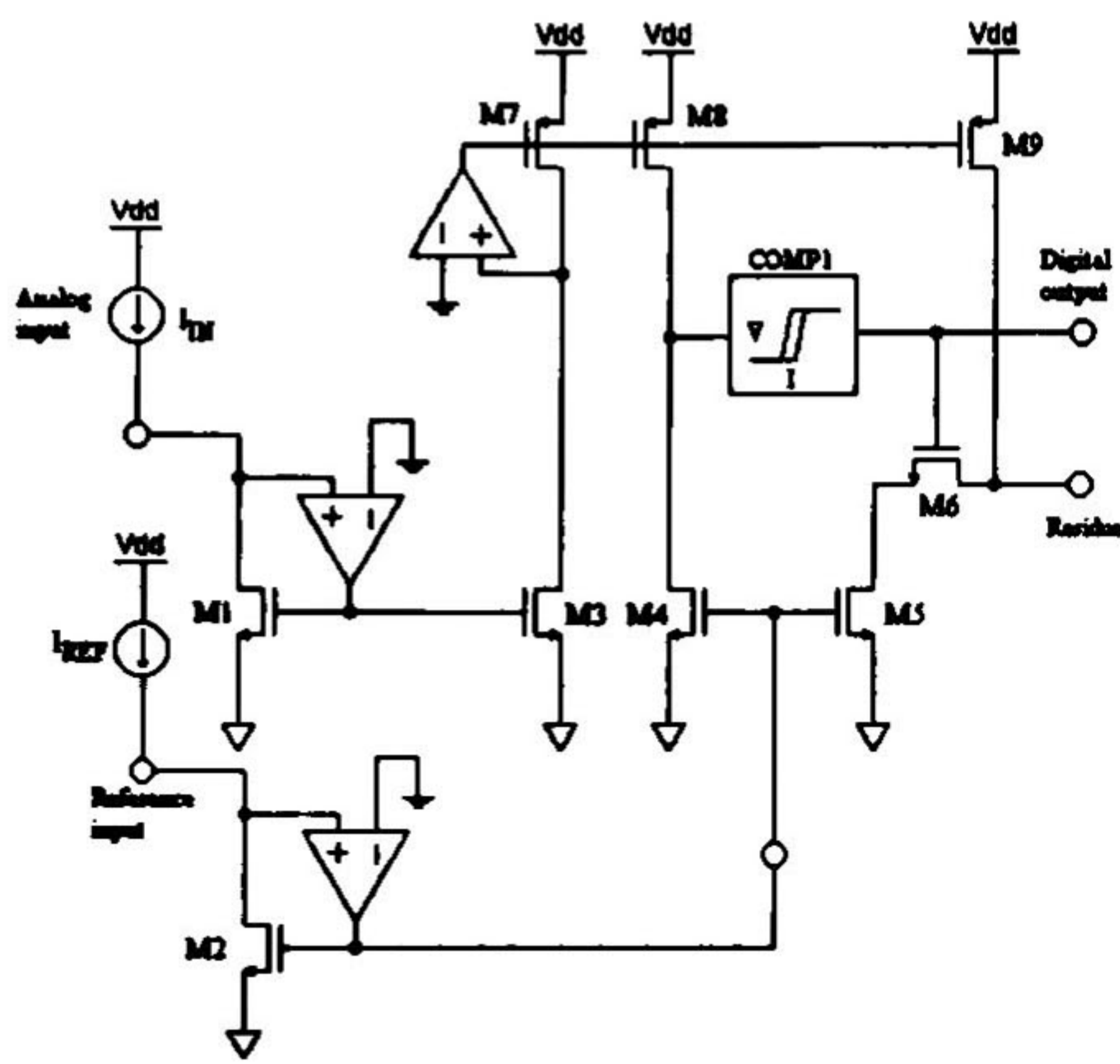


Fig. 5. One bit cell using active current mirrors.

However, an additional fact to limit the resolution of the converter is the current comparator. Thus, a suitable comparator must be proposed.

IV. High speed current comparator

A circuit configuration for this comparator can be a simple voltage inverter, but in order to get higher operation speeds such a circuit has been enhanced. Fig. 6 shows the topology for this kind of comparator, whose main characteristic is its high speed and low input resistance. This improvement is achieved by M_1 and M_2 , which act as current followers and they provide positive voltage feedback to the gates in order to get a big voltage gain [7].

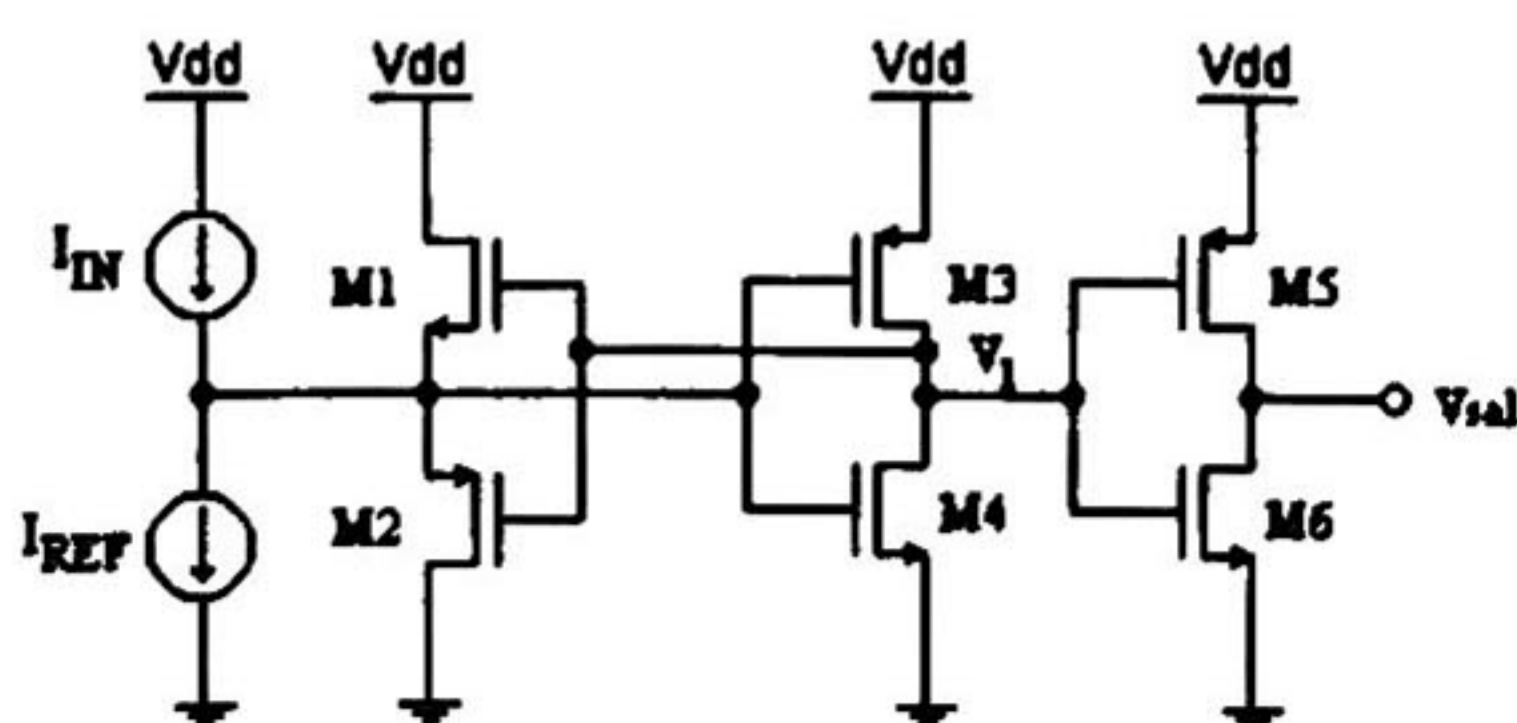


Fig. 6. Schematic of the CMOS high speed comparator.

This comparator helps a lot to improve the propagation rate of the signal through the cascade of one-bit-cells, because the faster the comparator responds, the faster is performed (or not) the subtraction operation and then the correct residues are available at the outputs. This performance is sooner in nature respect the conventional current comparators.

V. Design of the one-bit-cell using active current mirrors

The schematic of the operational amplifier used in the active current mirror is the one shown in fig. 7 [2]. The circuit consists in a differential pair to provide the necessary gain. The proposed specs for this opamp are shown in table 2, which are very suitable for both audio and instrumentation applications. Those are research areas in which pipeline A/D architectures are usually applied.

Table 2 Specs for the Active Mirror OPAMP	
Voltage Gain	> 40 dB
Unit Gain Frequency	2 MHz
Slew Rate	> 4 V/ μ s
Capacitive Load	1 pF
Supply Voltage	± 2.5 V

In this topology, the output stage is a compensation network to keep circuit stability and the capacitor is in the order of C_L value [2].

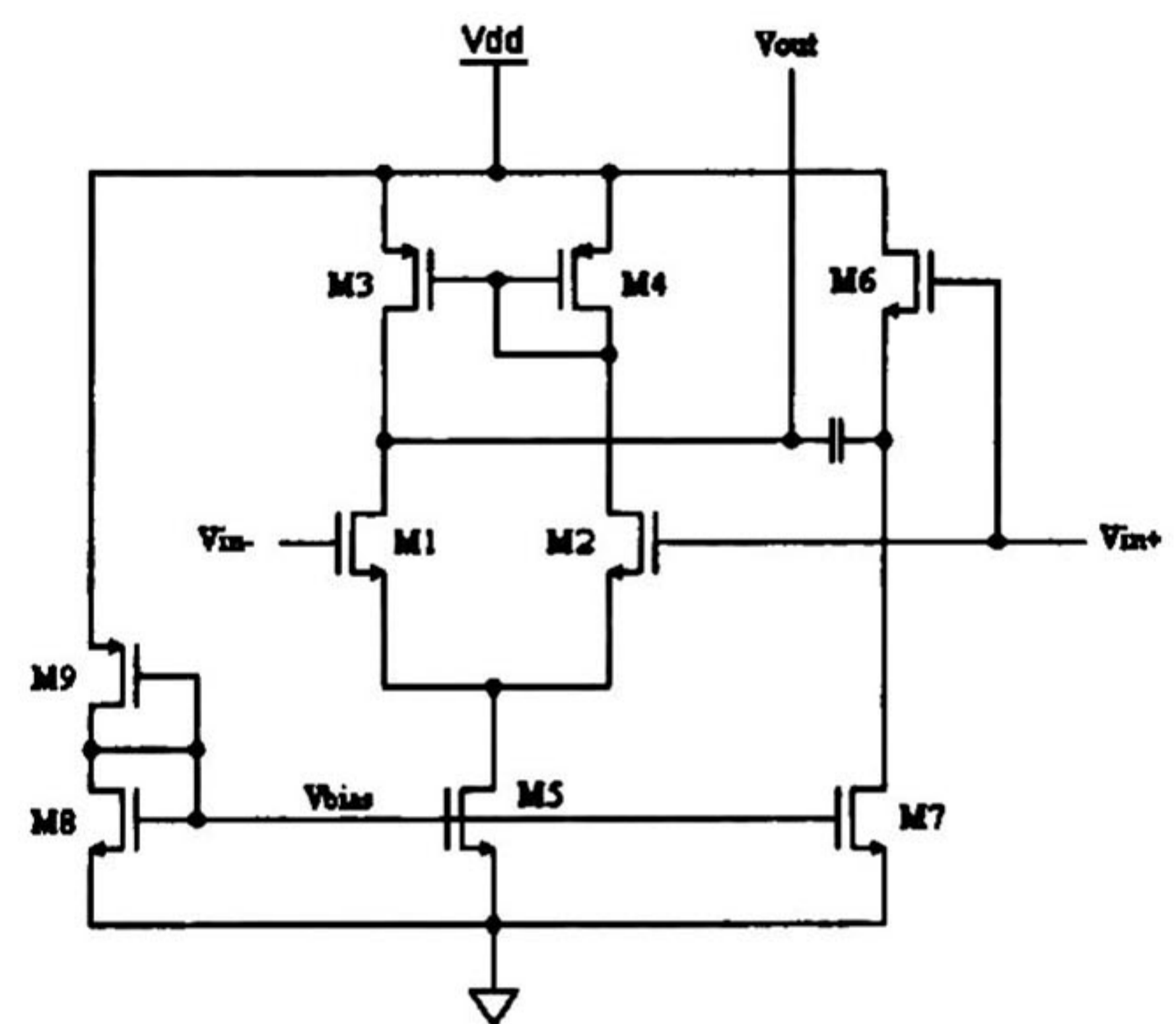


Fig. 7. Schematic for the proposed opamp. The differential pair drives a current $I_{BLAS} = 4 \mu A$.

The Tspice simulation results show a voltage gain of 52.1 dB that is very good for the active mirror purpose. The design of the current comparator requires only the consideration of the desired T_{HL} and T_{LH} times. For this comparator, proposed times are: $T_{HL} = T_{LH} = 1ns$ driving a load capacitance $C_L = 1pF$.

Equations to calculate the required size are given by [8]:

$$\frac{W_n}{L_n} = \frac{C_L}{t_{HL} K_{pn} (V_{dd} - V_{tn})} \left[\frac{2V_{tn}}{V_{dd} - V_{tn}} + \ln \left(\frac{4(V_{dd} - V_{tn})}{V_{dd}} - 1 \right) \right] \quad \text{Ec. 14}$$

$$\frac{W_p}{L_p} = \frac{C_L}{t_{HL} K_{pp} (V_{dd} - V_{tp})} \left[\frac{2|V_{tp}|}{V_{dd} - |V_{tp}|} + \ln \left(\frac{4(V_{dd} - |V_{tp}|)}{V_{dd}} - 1 \right) \right] \quad \text{Ec. 15}$$

At the end of the design, the sizes of all transistors are an integer multiple of λ that is $0.6\mu\text{m}$ for the used technology. Thus, (14) and (15) are approximating models.

V. Layout

Layout development for an N-bits algorithmic A/D converter is simpler than another conversion techniques. This is because one only needs to create one cell and then cascade it N-times to get the desired resolution. In this case, as the active current mirror topology is being used, we can hope a resolution up to 8-bits. Although, as shown in section 3, final resolution is highly determined by the mismatch achieved during fabrication processes. For the resolution calculations we considered a device mismatch of 0.2% [6] but better mismatches can be eventually obtained. Some simulation results showed that 10 one-bit-cells could be connected and even get a good performance. One test structure was integrated along with the converter. This test structure is an individual active-mirror whose task is to show the mismatch achieved in the run the chip was fabricated in. Fig. 8 shows a top-view of the fabricated chip. These chip was MOSIS developed (1.5 μ rules, two metal layers, two polysilicon layers, N-well, P-type wafer, 0-5 V). Mirroring devices are very close to each other in order to minimize mismatch caused by oxide thickness gradient. Minimum W and L size were 3 μm and 1.2 μ respectively. The total area occupied by the converter is 0.29 mm².

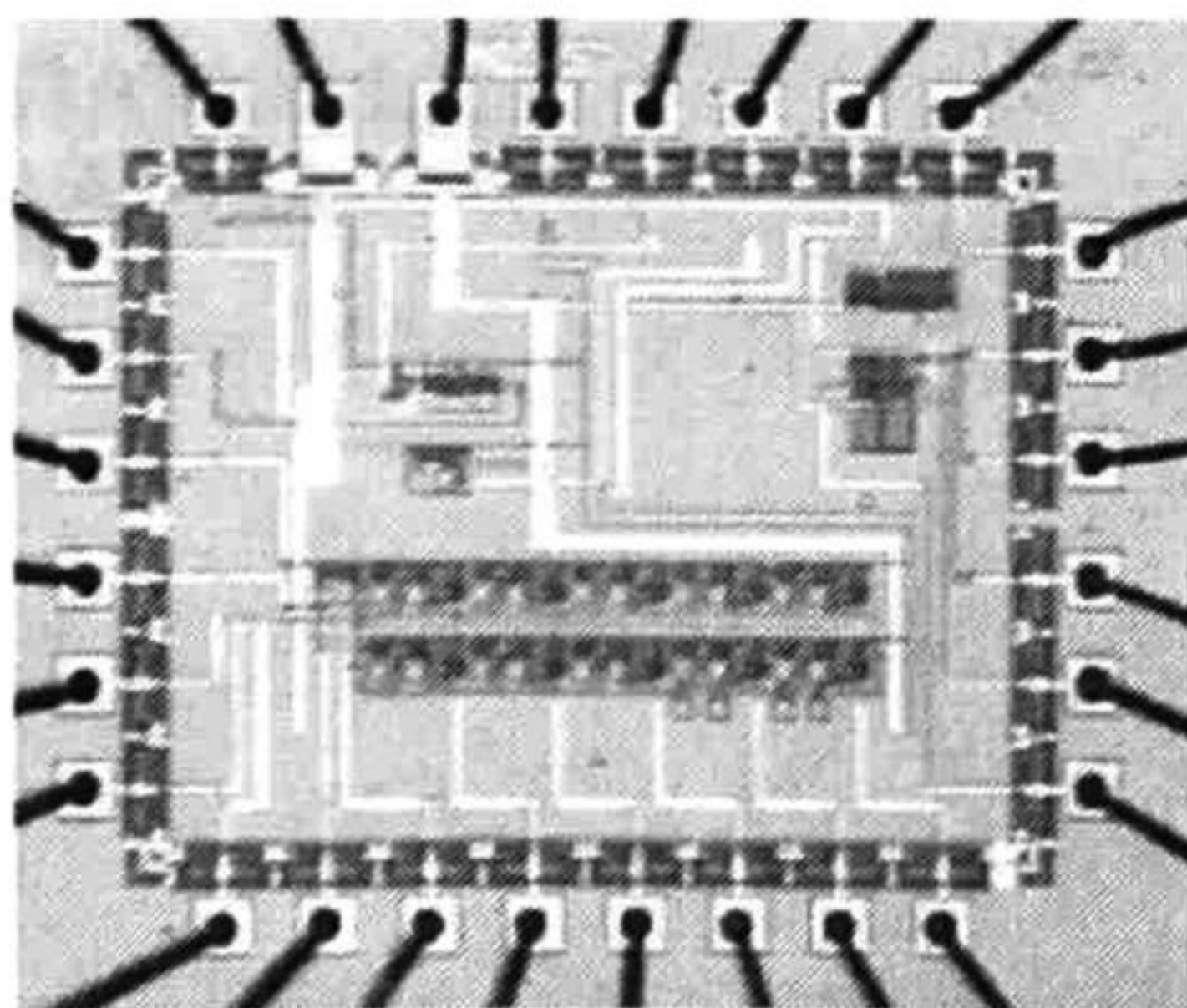


Fig. 8. Photomicrograph of the pipeline A/D converter.

VI. Measurements

A summary of the converter performance is presented on table 3. The measurements were done considering both 8 and 10 bits resolution in a separated way.

Table 3

Performance of the pipeline algorithmic A/Digital Converter		
Parameter	Design 1	Design 2
Resolution	8 bits	10 bits
Technology	CMOS 1.5 μm	CMOS 1.5 μm
Area	0.23 mm ²	0.29 mm ²
Power Supply	± 2.5 V	± 2.5 V
Power Dissipation	25.9 mW	32.0 mW
Conversion time	0.97 μs	1.03 μs
Differential Nonlinearity (DNL)		
Maximum DNL	0.55 LSB	1.98 LSB
Minimum DNL	-0.47 LSB	-1.4 LSB
Missing codes integral	0	9
Integral Nonlinearity (INL)		
Maximum INL	0.74 LSB	1.72 LSB
Minimum INL	-0.74 LSB	-1.24 LSB

VII. Conclusions

The speed-area trade-off showed by the designed converter is very good when compared with other techniques, however, the payment is the maximum resolution that can be obtained. Although, many communications applications are well suited for this resolutions and at the same time they get extra benefits from the speed, besides, VLSI systems can make extensive use of this of converter due to its small required area. Additional results will be given at the conference.

ACKNOWLEDGMENT. This design was fabricated using the facilities of the MOSIS Academic Program. One of the authors, C. M. V., thanks the scholarship given by CONACyT (National Council of Science and Technology, México).

References

- [1] J. L. McCreary and P. R. Gray, "All MOS charge redistribution analog-to-digital conversion techniques- Part I", IEEE J. Solid-State Circuits, vol. SC-10, pp. 371-379, 1975.
- [2] David G. Nairn, "Current-Mode Algorithmic Analog to Digital Converters", IEEE Journal, solid-state circuits, vol. 25, No. 4, August 1990.
- [3] Ping Wai Li, Michael J. Chin, Paul R. Gray, "A ratio-independent algorithmic analog-to-digital conversion technique", *Solid State Circuits*, vol. SC-19, pp. 828-836, Dec. 1984.
- [4] J. Robert, P. Deval and G. Wegmann, "Novel CMOS pipelined A/D converter architecture using current mirrors", *Electronics Letters*, vol. 25, pp. 912-913, 1989.
- [5] C. Toumazou, F. J. Lidgey and D.G. Haigh, "Analog IC design: the current-mode approach", IEEE circuits and systems series 2, London, 1998.
- [6] K. R. Lakshmikumar, R. A. Hadaway, M. A. Copeland, "Characterization and modeling of mismatch in MOS transistors for precision analog design", IEEE J. Solid-State Circuits, vol. SC-21, pp. 1057-1066, 1986.
- [7] H. Träff, "Novel Approach to High Speed CMOS Current Comparators", *Electronics Letters*, Vol. 28, No. 3. Jan. 1992.
- [8] Sung-Mo Kang, Yusuf Leblebici "CMOS digital integrated circuits" McGraw Hill, USA. Pg. 211.



**Centro de Investigación y de Estudios Avanzados
del IPN**

Unidad Guadalajara

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional, aprobó la tesis: DISEÑO DE UN CONVERTIDOR ANALÓGICO-DIGITAL ALGORÍTMICO MODO CORRIENTE del(a) C. Carlos Mauricio VIZCAÍNO MARTÍNEZ el día 5 de Septiembre de 2002.

DR. JUAN LUIS DEL VALLE
PADILLA
INVESTIGADOR CINVESTAV
3C
CINVESTAV GDL
GUADALAJARA

DR. FEDERICO SANDOVAL
IBARRA
INVESTIGADOR
CINVESTAV 2C
CINVESTAV GDL
GUADALAJARA

DR. FÉLIX FRANCISCO
RAMOS CORCHADO
INVESTIGADOR CINVESTAV
2A
CINVESTAV GDL
GUADALAJARA

DR. PEDRO JAVIER GARCIA
RAMIREZ
DOCENTE INVESTIGADOR
UNIVERSIDAD CRISTOBAL
COLON
VERACRUZ



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000004465