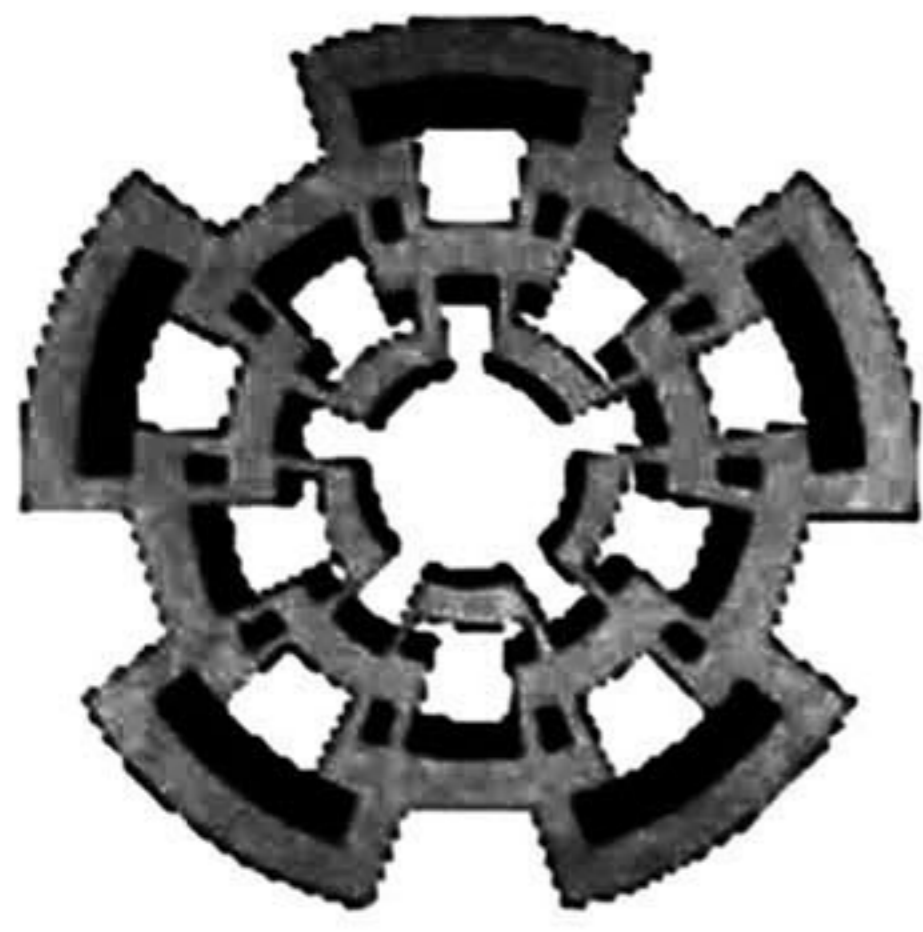




xx(86703.1)

CINVESTAV I.P.N.  
SECCION DE INFORMACION  
Y DOCUMENTACION



**CINVESTAV – IPN**

*Centro de Investigación y de Estudios Avanzados del IPN*

*Unidad Guadalajara*

---

**DISEÑO DE SISTEMAS DE FILTRADO ANALÓGICO  
USANDO CORRIENTE CONMUTADA**

TESIS QUE PRESENTA  
**JORGE ALEJANDRO MORÁN SERNA**

PARA OBTENER EL GRADO DE  
**MAESTRO EN CIENCIAS**

EN LA ESPECIALIDAD DE  
**INGENIERÍA ELÉCTRICA**



GUADALAJARA, JALISCO. VERANO DEL 2000.

CLASIF.:  
ADQUIS.: TESIS-2001  
FECHA 29-III-01  
PROCED: Dpto. Servicios Bibliográficos

***DISEÑO DE SISTEMAS DE FILTRADO ANALÓGICO  
USANDO CORRIENTE CONMUTADA***

**Tesis de Maestría en Ciencias  
Ingeniería Eléctrica**

por:

**Jorge Alejandro Morán Serna**

Ingeniero en Sistemas Computacionales  
Universidad Autónoma de Aguascalientes, 1993-1998

Becario de CONACYT, expediente no. 129183

Director de Tesis:  
**Dr. Federico Sandoval Ibarra** ✓

CINVESTAV del IPN Unidad Guadalajara, Verano del 2000.

## **AGRADECIMIENTOS:**

A DIOS, por permitirme alcanzar un escalón más en la vida, ya que es la mano que va guiando mi camino: Sé que mi jornada siempre ha sido acompañada por ÉL.

A mis padres Jesús y Ma. Antonia, ya que de ellos recibí la educación y los valores, por los cuales soy el hombre que hoy en día soy, por el apoyo incondicional que siempre he recibido de ellos.

A mis hermanos, Jesús, Lyccett, Rocío, Omar y Néstor, ya que ellos han sido una motivación para seguir por éste camino, y con quienes he llevado una relación muy placentera y cordial.

A mis abuelos, que siempre han estado ahí para darme sabios consejos y ayudarme, a Miguel, Eusebia y Ma. de Jesús aquí con nosotros y José que estoy seguro que desde allá arriba lo ha estado haciendo.

A mis tíos Ricardo Serna, Pepe Serna, Miguel Morán, Miguel Martínez y Jaime Morán que de alguna u otra manera siempre me han ayudado y he contado con su apoyo incondicional, y a mis otros tíos, ya que todos juntos hicieron de mí, la persona que hoy en día soy.

A mis profesores Dr. Federico Sandoval, Dr. Juan Santana, Dra. Magali Estrada, entre otros, de quienes he recibido conocimientos, confianza y apoyo para realizar mis proyectos.

A mi asesor Dr. Federico Sandoval, ya que fue la mano que guió mi camino por el cual se desarrollo esta investigación, además de aprenderle metodologías de trabajo.

A mis amigos y compañeros de maestría, especialmente a Jesús y Román, con quienes viví momentos de alegría, tristeza, confianza, enojo, entre otros, de quienes obtuve apoyo incondicional y en quienes encontré una verdadera amistad.

A mis amigos Victor, Raúl, José de Jesús, Darío, Alejandro, Carlos y Julio ya que de ellos siempre encontré un hombro donde apoyarme.

Un especial reconocimiento a Carla, quien me apoyó y ayudó en los momentos difíciles de esta etapa, a quien quiero, respeto y admiro demasiado.

Al CONACYT y al IEA ya que a través de estas instituciones la gente puede realizar estudios de posgrado, y las cuales me brindaron la oportunidad de continuar mis estudios.

Jorge Alejandro Morán Serna.  
Verano del 2000.

# ÍNDICE

---

<b>Prefacio</b> .....	<b>I</b>
Justificación del trabajo de Investigación.....	<b>I</b>
Objetivo del trabajo de Investigación.....	<b>II</b>
Metas del trabajo de Investigación.....	<b>II</b>
Metodología del trabajo de Investigación.....	<b>III</b>
Organización del trabajo de Investigación.....	<b>IV</b>
<b>Introducción General</b> .....	<b>1</b>
Evolución de los sistemas de filtrado.....	<b>2</b>
<b>1.- Conceptos básicos de Corriente Conmutada</b> .....	<b>7</b>
1.1.- Principios básicos de operación.....	<b>7</b>
1.2.- Espejos de corriente.....	<b>12</b>
<b>2.- No Idealidades en Espejos de Corriente</b> .....	<b>25</b>
2.1.- No Linealidad.....	<b>26</b>
2.2.- Efecto Miller .....	<b>29</b>
2.3.- Ruido en los Rieles de Alimentación.....	<b>34</b>
2.4.- Ruido en los Transistores MOS.....	<b>37</b>
2.4.1.- Ruido Shot.....	<b>37</b>
2.4.2.- Ruido Térmico.....	<b>38</b>
2.4.3.- Ruido Flicker.....	<b>39</b>
2.5.- Transistor MOS como interruptor analógico.....	<b>41</b>
2.5.1.-ClockFeedthrough.....	<b>43</b>
2.5.2.- Inyección de Carga.....	<b>46</b>
2.6.- Técnicas para minimizar el Efecto Feedthrough.....	<b>48</b>
2.7.- Problemas y soluciones.....	<b>50</b>
<b>3.- Diseño de Celdas Básicas en Corriente Conmutada</b> .....	<b>53</b>
3.1.- Celda de memoria ó medio retraso.....	<b>53</b>
3.2.- Celda de retraso completo.....	<b>62</b>
3.3.- Celda integradora.....	<b>65</b>
3.4.- Voltajes de Referencia.....	<b>69</b>
3.5.- Diseño de un Circuito Integrado de prueba.....	<b>70</b>
<b>4.- Diseño de sistemas de filtrado analógico</b> .....	<b>73</b>
4.1.- Función de transferencia de un bicuadrático en S y Z.....	<b>73</b>
4.2.- Bicuadrático pasa-bajas de Corriente Conmutada.....	<b>75</b>
4.3.- Cálculo de las variables $a_i$ .....	<b>76</b>
4.4.- SFA para audio.....	<b>77</b>
4.5.- Desarrollo del SFA.....	<b>77</b>

4.6.- Layout del SFA.....	82
4.7.- Análisis de montecarlo para SFA.....	84
<b>5.- Conclusiones.....</b>	<b>86</b>
<b>6.- Aportaciones.....</b>	<b>90</b>
<b>7.- Metodología para el Diseño de SFA.....</b>	<b>91</b>
<b>Apéndice A.....</b>	<b>94</b>
<b>Apéndice B .....</b>	<b>100</b>
<b>Esquemáticos y Layout's de celdas de Corriente Conmutada.....</b>	<b>107</b>
<b>Trabajo Futuro.....</b>	<b>118</b>
<b>Publicaciones.....</b>	<b>119</b>



# PREFACIO

---

## **Justificación del trabajo de investigación.**

En décadas anteriores, los sistemas de filtrado analógico se diseñaron a través de elementos pasivos (inductores,  $L$ , resistores,  $R$ , y capacitores,  $C$ ). Con el desarrollo monolítico del OpAmp, pudieron desarrollarse nuevos sistemas de filtrado analógico, denominados como activos, ya que el inductor fue sustituido por el OpAmp, proporcionando de ésta manera una disminución en el volumen del sistema. Sin embargo, el intento de integrar un sistema de filtrado analógico en su totalidad falló, debido a que las constantes de tiempo,  $RC$ , no eran totalmente estables, ya que la exactitud absoluta del resistor integrado era muy baja, además de requerir gran área para su integración.

Por otro lado, durante la década de los 70's la tecnología MOS tuvo una gran demanda en el mercado digital, ya que presentaba un gran ahorro de área con respecto a la tecnología bipolar. Posteriormente, se aplicó la tecnología MOS al procesamiento de señales analógicas a través de diversas técnicas de diseño, entre las cuales se pueden mencionar a MOSFET-C, Capacitores Conmutados, redistribución de carga, OTA-C, etc. , las cuales permiten la integración de complejos sistemas electrónicos.

En la década de los 80's, el procesamiento de señales analógicas a través del muestreo de datos fue dominado por la técnica de capacitores conmutados. En esta técnica se sustituyen los resistores de los sistemas de filtrado analógico por arreglos capacitivos conmutados, de tal manera que ofrecen una alta exactitud en sus constantes de tiempo.

En la década actual, con la creación de equipos portátiles para diversas aplicaciones, fue necesario el desarrollo de técnicas de diseño que permitan trabajar con bajos voltajes de operación, de tal manera que se reduzca el consumo de potencia y se incremente el tiempo de vida útil del sistema de alimentación. Por lo tanto, sí la tendencia es el diseño de circuitos y

sistemas de baja polarización resulta fundamental desarrollar técnicas de diseño que permitan la operación correcta de tales sistemas. Una de estas técnicas es la denominada *modo corriente*. Esta técnica de diseño basa su principio de funcionalidad en el hecho de que los efectos por capacitancias parásitas son menos severos en circuitos de alta impedancia respecto a los efectos por capacitancias parásitas en circuitos de baja impedancia, es decir, en circuitos diseñados en el tradicional *modo voltaje*. En modo corriente, los circuitos básicos son espejos de corriente de manera que en ésta técnica de diseño la señal analógica es una corriente. Una técnica en modo corriente es la denominada *corriente conmutada*, la cual provee la ventaja de no requerir la fabricación de capacitores, ya que utiliza los parásitos del proceso MOS, por ello, cualquier sistema fabricado bajo esta técnica de diseño es fabricado bajo un proceso estándar VLSI, ideal en la actualidad para los circuitos de señal mezclada. Por lo tanto, considerando la necesidad de diseñar nuevos sistemas para diversas aplicaciones, es que resulta fundamental el desarrollo de una biblioteca de celdas básicas. Esta biblioteca debe estar compuesta por celdas analógicas, las cuales permitan realizar circuitos más complejos.

## **Objetivo del trabajo de investigación.**

El diseño en modo corriente es adecuado para realizar sistemas con bajos voltajes de operación. En esta técnica el bloque activo es el espejo de corriente y los elementos de red son capacitores, pero a diferencia de la técnica de capacitores conmutados, aquí se usan las capacitancias parásitas para diseñar celdas integradoras de corriente. Por lo tanto, **el objetivo del presente proyecto de investigación es *desarrollar una librería de celdas básicas que permita la integración de sistemas de filtrado usando corriente conmutada como técnica de diseño.***

## **Metas del trabajo de investigación.**

Para lograr el objetivo principal antes mencionado, se deben desarrollar las siguientes actividades:

- Análisis de las diferentes estructuras de espejos de corriente.
- Diseño y simulación de celdas básicas de corriente conmutada.

- Diseño y simulación de un sistema de filtrado analógico, con el fin de corroborar el funcionamiento de las celdas diseñadas en el punto anterior.

## **Metodología del trabajo de investigación.**

Para el desarrollo del presente trabajo de investigación se establecen los siguientes pasos:

1. *Análisis de estructuras básicas de corriente conmutada:* como estructura básica, la técnica de corriente conmutada tiene al espejo de corriente, de aquí que se deberán analizar los parámetros que caracterizan al espejo, y así se obtendrán los límites de operación de cada una de las diversas topologías. Posteriormente, se realizará un análisis de las no idealidades que presenta cada estructura y se investigarán técnicas de minimización para tales efectos que degraden la respuesta del sistema. Ya que el presente trabajo de investigación, tendrá como finalidad obtener modularidad para el diseño analógico en modo corriente a través de corriente conmutada, sólo deberá ser seleccionada una estructura y, a partir de ella deberán realizarse todas las celdas necesarias para el desarrollo de un SFA (Sistema de Filtrado Analógico).
2. *Diseño y Simulación de celdas básicas de corriente conmutada:* se seleccionará la mejor estructura y se realizará el diseño de las celdas de corriente conmutada, en esta investigación en particular deberán desarrollarse tres celdas: una de memoria, una de retraso completo y una celda integradora. Deberán seleccionarse estructuras que compensen el efecto feedthrough de tal manera que lo minimice, ya que es un efecto que degrada en gran medida la respuesta del sistema. Se aconseja la construcción de las celdas, con el fin de corroborar la respuesta del simulador con la respuesta experimental del circuito integrado.
3. *Diseño y simulación de un sistema de filtrado analógico:* habiendo desarrollado las celdas de memoria, retraso completo e integradora, deberá seleccionarse cualquier clase de filtrado, con el fin de corroborar el funcionamiento de las celdas diseñadas en el punto anterior. Deberá de seleccionarse el SFA que proporcione menor área de integración, así como un funcionamiento adecuado. Se aconseja realizar la construcción del integrado con el fin de corroborar los resultados del simulador contra los resultados experimentales.

## **Organización del trabajo de investigación.**

La organización del trabajo de investigación es la siguiente:

La introducción general proporciona una idea de la posición que ocupa corriente conmutada comparada con otras técnicas de diseño. El capítulo 1 presenta los principios básicos de operación de la técnica de corriente conmutada, considerando al espejo de corriente como bloque activo, además de analizar las ventajas y desventajas que presenta cada una de las diferentes topologías. En el capítulo 2 se describen las principales limitaciones de la técnica de diseño en corriente conmutada, así como las diversas soluciones para minimizarlas. En el capítulo 3 se diseñan celdas básicas de corriente conmutada, se realizan simulaciones y se elaboran los diseños a nivel layout. El capítulo 4 muestra el diseño, simulación y layout de un sistema de filtrado analógico.

Por último, se muestran las conclusiones, mientras que los apéndices contienen los netlist de las celdas diseñadas en el capítulo 3.

# INTRODUCCIÓN GENERAL

---

Los sistemas de filtrado analógico, SFA, han sido uno de los componentes más importantes en las telecomunicaciones, radares y sistemas de control, entre otros. Frecuentemente éstos tienen requerimientos muy exigentes, y por lo tanto, se requiere de estructuras complejas de alta exactitud en sus componentes y procedimientos de pruebas, implementaciones y diseños muy sofisticados.

Los primeros SFA se implementaron con inductancias (SFA denominados LRC o pasivos), donde se requerían inductores con dimensiones de hasta 1 pulg<sup>3</sup>, p.e. un filtro de orden 10 requería 10 pulg<sup>3</sup>, y considerando que en una oficina de teléfonos existen miles de decenas de éstos, el volumen empezó a tomar importancia [1]. La búsqueda por minimizar el espacio y realizar SFA con mayor desempeño, ha llevado a los diseñadores a desarrollar diferentes implementaciones, tales como estructuras cerámicas, mecánicas y de cristal, ya que proveen un tamaño compacto (alrededor de 1 pulg<sup>3</sup> en totalidad del SFA). Con la creación del OpAmp se inició el desarrollo de los nuevos SFA, comúnmente llamados activos, ya que éstos redujeron el tamaño y volumen, debido a que los OpAmp's reemplazaron los inductores. Los SFA activos también pueden ser implementados utilizando estructuras híbridas, como resistores de película delgada, capacitores y OpAmps integrados. De ésta manera el SFA resultante utiliza una pequeña fracción de volumen ocupado por un SFA pasivo.

El diseño tradicional de circuitos integrados (CI) analógicos ha sido olvidado por los procesos tecnológicos actuales, ya que éstos se han encargado de optimizar los circuitos digitales y de ésta manera sustituir algunas aplicaciones por circuitería digital. Esto es debido al “*design time syndrome*” (síndrome del tiempo de diseño), ya que un circuito integrado puede contener sólo el 20% de funciones analógicas llevando con ello el 80% del tiempo de diseño de todo el integrado.

Por otro lado, hoy en día el diseño de circuitos integrados analógicos ha recobrado parte del terreno perdido contra el diseño digital, obteniendo con ello grandes oportunidades en el mercado, teniendo como causa principal la necesidad de incorporar funciones analógicas y digitales dentro de un mismo chip, técnica comúnmente denominada como señal mezclada. Actualmente se diseña con la nueva generación denominada “tecnología específica” con nuevas técnicas de diseño analógico, desarrollando circuitos integrados de aplicación específica (ASIC) [2].

### **1.- Evolución de los sistemas de filtrado.**

En la década de los 70's se desarrolló la técnica de capacitores conmutados, la cual tiene la gran ventaja de realizarse SFA de gran precisión y compactibilidad (ésta técnica intercambia los resistores por arreglos capacitivos conmutados, simulando resistores ya sean positivos o negativos, por lo tanto, pueden implementarse SFA en un sólo integrado de una manera más sencilla que los SFA activos), especialmente en aplicaciones a baja frecuencia [3]. Durante la década de los 80's el procesamiento de señales a través del muestreo de datos fue manejada por esta técnica. En SFA implementados con capacitores conmutados, las características principales son determinadas por la frecuencia del reloj y por las relaciones capacitivas. En tecnologías CMOS ambos parámetros pueden ser controlados con gran exactitud [2]. Mejor aún, ambos parámetros, son casi independientes de las tolerancias de los parámetros del proceso de fabricación y variaciones de temperatura. Por lo tanto, una ventaja mayor de esta técnica es la gran exactitud de su constante de tiempo de integración, por lo tanto, el uso de circuitos adicionales de compensación son casi nulos. Este factor hace que el uso de esta técnica sea atractiva para el diseño de SFA integrados de alto desempeño [2]. Desafortunadamente, las ventajas de los SFA de capacitores conmutados no se mantienen en las aplicaciones de alta frecuencia, esto es debido principalmente a los parámetros finitos del OpAmp (ganancia y ancho de banda), resistencia finita de los interruptores y el efecto clockfeedthrough (distorsión de la señal de interés por el acoplamiento de la señal de reloj a través de las capacitancias de compuerta. En esta aplicación, los interruptores analógicos se implementan con transistores MOS).

Por otro lado, hoy en día se desea tener menores niveles de alimentación (p.e. para que la fuente de alimentación en equipos portátiles tengan un tiempo de vida útil mayor), menor disipación de potencia, y mayor rapidez de respuesta, entre otros factores, por lo que, recientemente se desarrolló el diseño en modo corriente. En la Fig. 1 se ilustra una gran variedad de aplicaciones que cubren importantes áreas de investigación y desarrollo, como filtros en tiempo continuo, filtros de muestreo de datos, interfaces analógicas, convertidores A/D y D/A, redes neuronales, entre otras. Bajo esta clase de diseño, recientemente se ha introducido la técnica *corriente conmutada* (SI, por sus siglas en inglés), ya que ésta tiene el mismo principio de operación que capacitores conmutados y además de proporcionar la ventaja de ser implementada en un proceso estándar VLSI. Actualmente, el diseñador utiliza las capacitancias parásitas del transistor MOS para ajustar las constantes de tiempo de interés

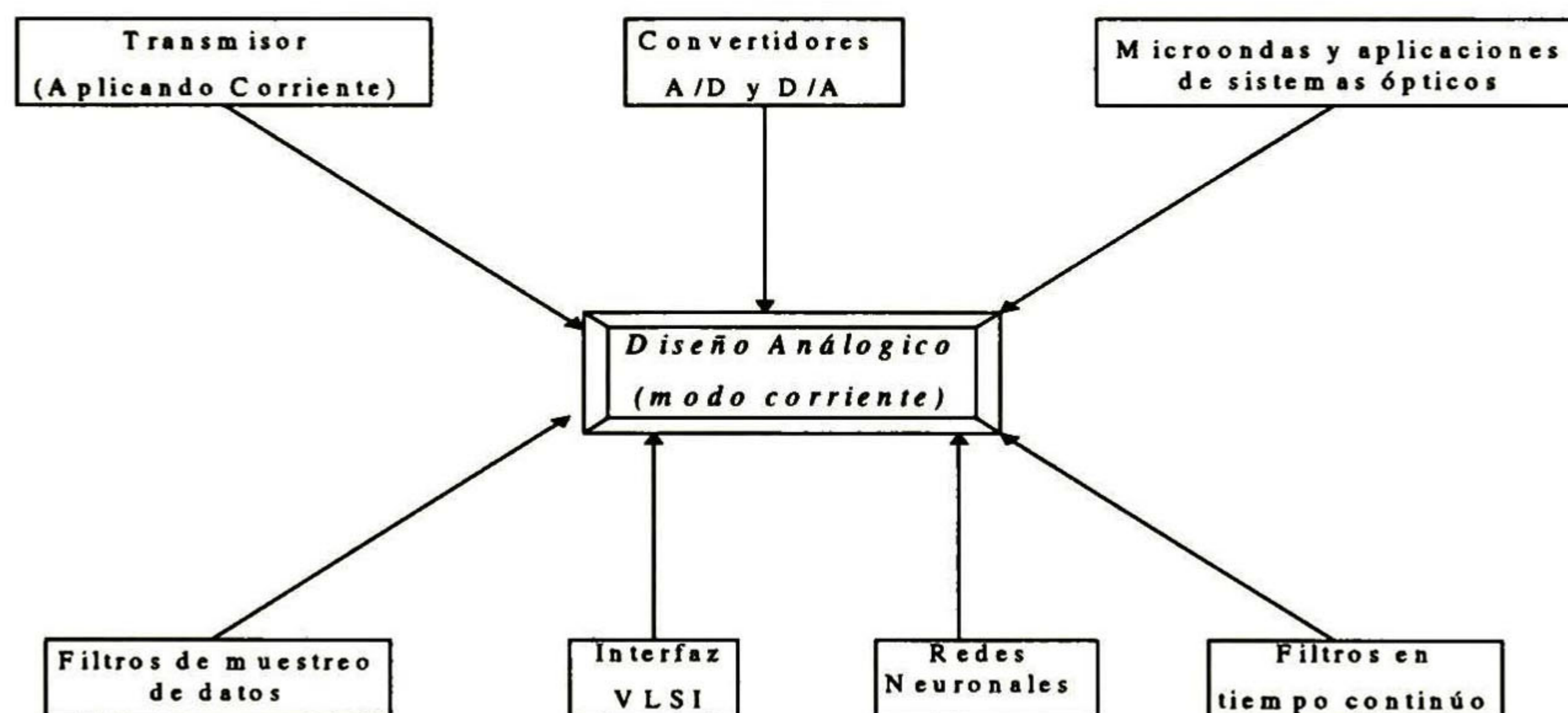


Fig. 1 Diversas Aplicaciones del Diseño Analógico que pueden ser implementadas en modo corriente.

El diseño en modo corriente provee una minimización de hasta el 80% en área de su contraparte en modo voltaje. La función de transferencia de un sistema diseñado con corriente conmutada depende sólo de las relaciones de las transconductancias de transistores MOS, por lo tanto, ya que la exactitud de la relación capacitiva es más alta que la relación de las transconductancias de los transistores, la precisión de los SFA de corriente conmutada es más baja que la de los SFA con capacitores conmutados, sin embargo, si los espejos de corriente son diseñados apropiadamente, puede alcanzarse un alto orden de exactitud. Los SFA de corriente conmutada pueden ser implementados utilizando transistores CMOS, utilizando la capacitancia entre la compuerta y fuente del transistor como se muestra en la Fig. 2, y de esta manera se

pueden evitar el uso de capacitores adicionales de polisilicio. Dado que no se utilizan OpAmp's en los SFA de corriente conmutada, esto hace que sean más veloces que los filtros con capacitores conmutados. No obstante, existen algunas limitaciones en esas estructuras. Una de las principales desventajas de esta técnica es el clockfeedthrough. Este reduce la exactitud del SFA e incrementa el ruido (señales no deseadas que de una u otra forma se acoplan a la respuesta del sistema) y la distorsión armónica (análisis que se realiza para conocer hasta que niveles es lineal un sistema). En SFA de corriente conmutada, la ausencia de capacitores de gran valor (puesto que las parásitas del proceso MOS son del orden de *femtoFaradios*), hace que estos efectos sean más severos que en los filtros de capacitores conmutados. Otra desventaja es la eficiencia de la corriente (corriente de AC / corriente de polarización) se decremента para aplicaciones de baja distorsión [2].

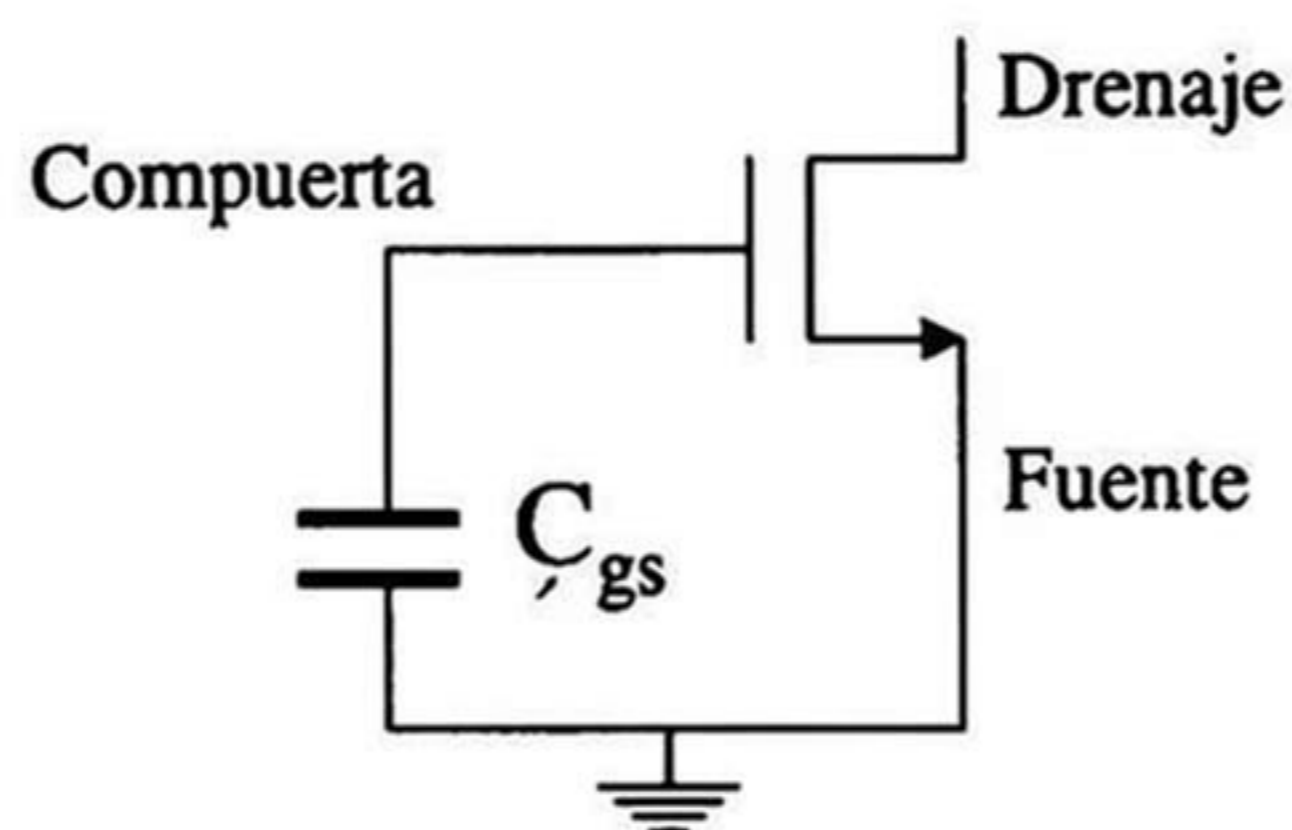


Fig. 2 Capacitancia parásita de los MOSFET's que se utiliza en la técnica SI.

En la Tabla 1 se muestran algunas ventajas y desventajas de la técnica de capacitores conmutados contra corriente conmutada. En ella podemos observar que para algunas aplicaciones puede ser indispensable utilizar corriente conmutada mientras que, para otro tipo de sistemas es ideal la técnica de capacitores conmutados, siendo ésta una decisión final del diseñador.

	Ventajas	Desventajas
<b>Capacitores Conmutados</b>	<ul style="list-style-type: none"> <li>• Precisión muy alta.</li> <li>• La precisión no depende del valor de sus elementos (capacitores) sino de la relación entre ellos.</li> <li>• Gran exactitud en su constante de tiempo.</li> <li>• Muy pequeña distorsión armónica de la señal.</li> </ul>	<ul style="list-style-type: none"> <li>• Deben de ser implementados en un proceso CMOS.</li> <li>• Degradamiento del funcionamiento del sistema en altas frecuencias.</li> <li>• Presenta efecto clockfeedthrough y las no idealidades del OpAmp.</li> <li>• Ancho de banda muy limitado.</li> </ul>



		<ul style="list-style-type: none"> <li>• Utiliza transistores y capacitores.</li> <li>• Muy costosos.</li> </ul>
<b>Corriente Conmutada</b>	<ul style="list-style-type: none"> <li>• Gran velocidad.</li> <li>• Pueden implementarse en un proceso estándar VLSI.</li> <li>• Ancho de banda amplio.</li> <li>• Utiliza únicamente transistores.</li> <li>• Económicos.</li> <li>• Utiliza pequeños voltajes de alimentación.</li> </ul>	<ul style="list-style-type: none"> <li>• Menor precisión que la técnica de Capacitores Conmutados.</li> <li>• Presenta efecto clockfeedthrough y las no idealidades de las fuentes de corriente.</li> <li>• Decremento en la relación de eficiencia de corriente para aplicaciones de baja distorsión.</li> </ul>

*Tabla 1 Ventajas y desventajas de capacitores conmutados contra corriente conmutada*

• **Referencias**

- [1] Selected Papers on integrated analog filters, Edited by Gamor C. Temes, a series published for the IEEE Circuits and Systems Society, New York 1987.
- [2] Analog IC design: the current-mode approach, Edited by C. Tomazou, F.J. Lidgey & D.G. Haigh, IEEE Circuits and Systems Series 2, USA 1990.
- [3] Circuits and Systems Tutorials, Editor Chris Tomazou, Assistant Editors Nick Battersby and Sonia Porta, IEEE Press Circuits and Systems, New York 1996. ISBN 0-7803-11701

# PRINCIPIOS BÁSICOS DE CORRIENTE CONMUTADA

---

## 1.1.- Principio básico de operación.

Un buen punto de inicio para explicar el principio de operación de la técnica de corriente conmutada es explicando el principio de operación de la técnica de capacitores conmutados, debido a la similitud entre ambas técnicas. Los SFA implementados con la técnica de capacitores conmutados han resultado de sustituir los resistores de los SFA activos RC por arreglos capacitivos, realizando además un mapeo de la variable **S** a **Z**. Tres de los principales bloques de capacitores conmutados son ilustrados en la Fig. 1.1 [1]. El integrador no inversor (véase figura 1.1a) opera de la siguiente manera: durante la fase  $\phi_2$  en alto, la carga del capacitor  $C$  mantiene el valor del voltaje de salida  $V_0(n-1)$ , siendo éste el periodo  $(n-1)$ , mientras el capacitor  $\alpha_1 C$  es cargado a  $V_1(n-1)$ . Posteriormente, cuando  $\phi_1$  está en alto, el capacitor  $\alpha_1 C$  es descargado en el capacitor  $C$  causando un voltaje de salida  $V_0(n)$ . Por lo tanto, en el periodo  $(n-1)$  la carga en el capacitor  $C$  está dada por

$$Q_C = CV_0(n-1) \quad (1.1)$$

y la carga en el capacitor  $\alpha_1 C$

$$Q_{\alpha_1 C} = \alpha_1 CV_1(n-1) \quad (1.2)$$

por lo tanto, en el periodo  $(n)$ , la carga del capacitor  $C$  es igual a la carga del capacitor  $\alpha_1 C$  en el periodo  $(n-1)$  más la carga del capacitor  $C$  en el periodo  $(n-1)$ , entonces la carga del capacitor  $C$  en el periodo  $(n)$ , está dado por

$$Q_C = CV_0(n-1) + \alpha_1 CV_1(n-1) \quad (1.3)$$

y dado que la carga en un capacitor se define por

$$Q = VC \quad (1.4)$$

donde V es el voltaje y C la capacitancia. Combinando (1.3) y (1.4) se obtiene el voltaje de salida,  $V_0(n)$ , dado por

$$V_0(n) = V_0(n-1) + \alpha_1 V_1(n-1) \quad (1.5)$$

y aplicando la transformada Z,

$$V_0(z) = V_0(z)z^{-1} + \alpha_1 V_1(z)z^{-1} \quad (1.6)$$

factorizando, se obtiene que la función de transferencia esta dada por

$$H_1(z) = \frac{V_0(z)}{V_1(z)} = \frac{\alpha_1 z^{-1}}{1 - z^{-1}} \quad (1.7)$$

ahora, recordando que la función de transferencia de un integrador no inversor sin pérdidas está dada por

$$H_1(s) = \frac{V_0(s)}{V_1(s)} = \frac{1}{sRC} \quad (1.8)$$

igualando (1.7) y (1.8), se obtiene que

$$\frac{1}{sRC} = \frac{\alpha_1 z^{-1}}{1 - z^{-1}} \quad (1.9)$$

y despejando para S

$$S = \frac{1 - z^{-1}}{Tz^{-1}} \quad (1.10)$$

donde T es el periodo de muestreo del sistema y  $\alpha_1 = T / RC$ .

Por otro lado, el integrador inversor (véase figura 1.1b) opera de la siguiente manera: en la fase de reloj  $\phi_2$  en estado lógico alto, periodo (n-1), el capacitor C mantiene el voltaje de

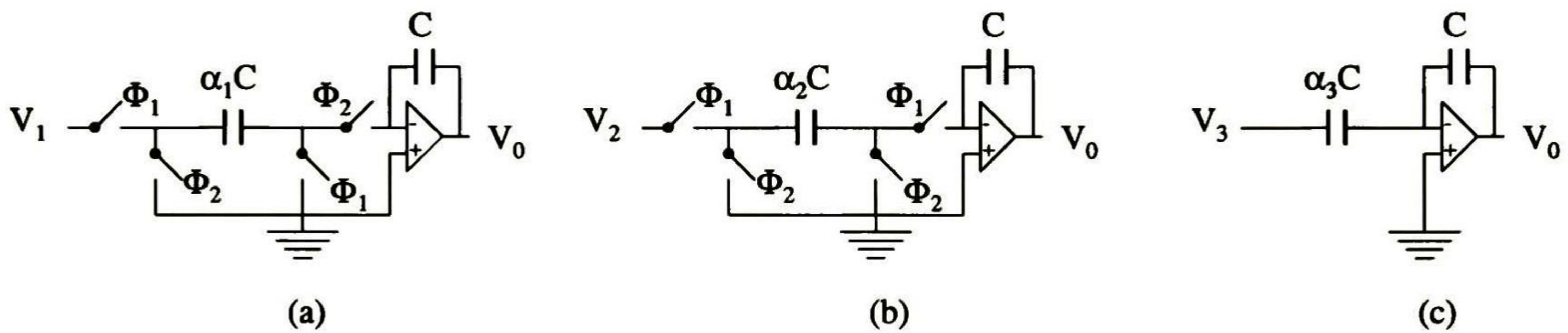
salida en  $V_0(n-1)$ , mientras el capacitor  $\alpha_2 C$  se descarga. En la siguiente fase ( $\phi_1$ ), periodo ( $n$ ), el capacitor  $\alpha_2 C$  es cargado a  $V_2(n)$  y el capacitor  $C$  es cargado a  $V_0(n)$ . Entonces, con un procedimiento muy similar al que se realizó para obtener a (1.5), se obtiene

$$V_0(n) = V_0(n-1) - \alpha_2 V_2(n) \quad (1.11)$$

la cual, tiene como función de transferencia en el dominio de la variable  $Z$  a

$$H_2(z) = \frac{V_0(z)}{V_2(z)} = -\frac{\alpha_2}{1-z^{-1}} \quad (1.12)$$

Ahora bien, la función de transferencia de un integrador inversor es  $-1/sRC$ , entonces de la transformada de Euler se tiene que  $S$  está definida por  $((1-z^{-1})/T)$  donde  $\alpha_2 = T/RC$ .



**Fig. 1.1** Bloques básicos de capacitores conmutados (a) integrador no inversor, (b) integrador inversor y (c) integrador inversor en feed-forward.

El integrador inversor en feed-forward (véase figura 1.1c), opera de la siguiente manera: en la fase de reloj  $\phi_2$ , del periodo ( $n-1$ ) el capacitor  $C$  mantiene el voltaje de salida en  $V_0(n-1)$  y el capacitor  $\alpha_3 C$  es cargado a  $V_3(n-1)$ . En la siguiente fase ( $\phi_1$ ), en el periodo ( $n$ ), el capacitor  $\alpha_3 C$  es cargado a  $V_3(n)$  y así sucesivamente, realizando la transferencia de carga de magnitud  $[(V_3(n) - V_3(n-1)) \alpha_3 C]$  sobre el capacitor  $C$ , originando un voltaje de salida  $V_0(n)$ . A través de un análisis muy similar al que se llevó a cabo para obtener a (1.5), se deduce que

$$V_0(n) = V_0(n-1) - \alpha_3 (V_3(n) - V_3(n-1)) \quad (1.13)$$

la cual, tiene como función de transferencia en el dominio de la variable  $Z$  a

$$H_3(z) = \frac{V_0(z)}{V_3(z)} = -\alpha_3 \quad (1.14)$$

El integrador inversor en feed-forward ha sido el resultado de aplicar la derivada de la señal de entrada al lazo del integrador formado por el capacitor C y el OpAmp, obteniendo que la entrada en feed-forward tenga ganancia e inversión.

Por otro lado, las tierras virtuales de los OpAmps de la Fig. 1.1, son nodos en los cuales se pueden sumar corrientes, por lo tanto, ésto proporciona la opción de agregar y combinar cualquier número de ramas de los circuitos. Este proceso se puede observar en la Fig. 1.2a, en este circuito son combinadas las tres ramas descritas en la Fig. 1.1 con una cuarta rama ( $\alpha_4 C$ ) la cual inicia en la salida,  $V_0$ , y es manejada por las mismas fases de la segunda rama ( $\alpha_2 C$ ). Realizando superposición se puede obtener a (1.15) afectando únicamente la rama ( $\alpha_4 C$ ) que queda en paralelo con la rama (C) durante la fase  $\phi_1$ , de esta manera podemos encontrar que el voltaje de salida está dado por

$$V_0(n) = \frac{1}{1 + \alpha_4} [V_0(n-1) + \alpha_1 V_1(n-1) - \alpha_2 V_2(n-1) - \alpha_3 (V_3(n) - V_3(n-1))] \quad (1.15)$$

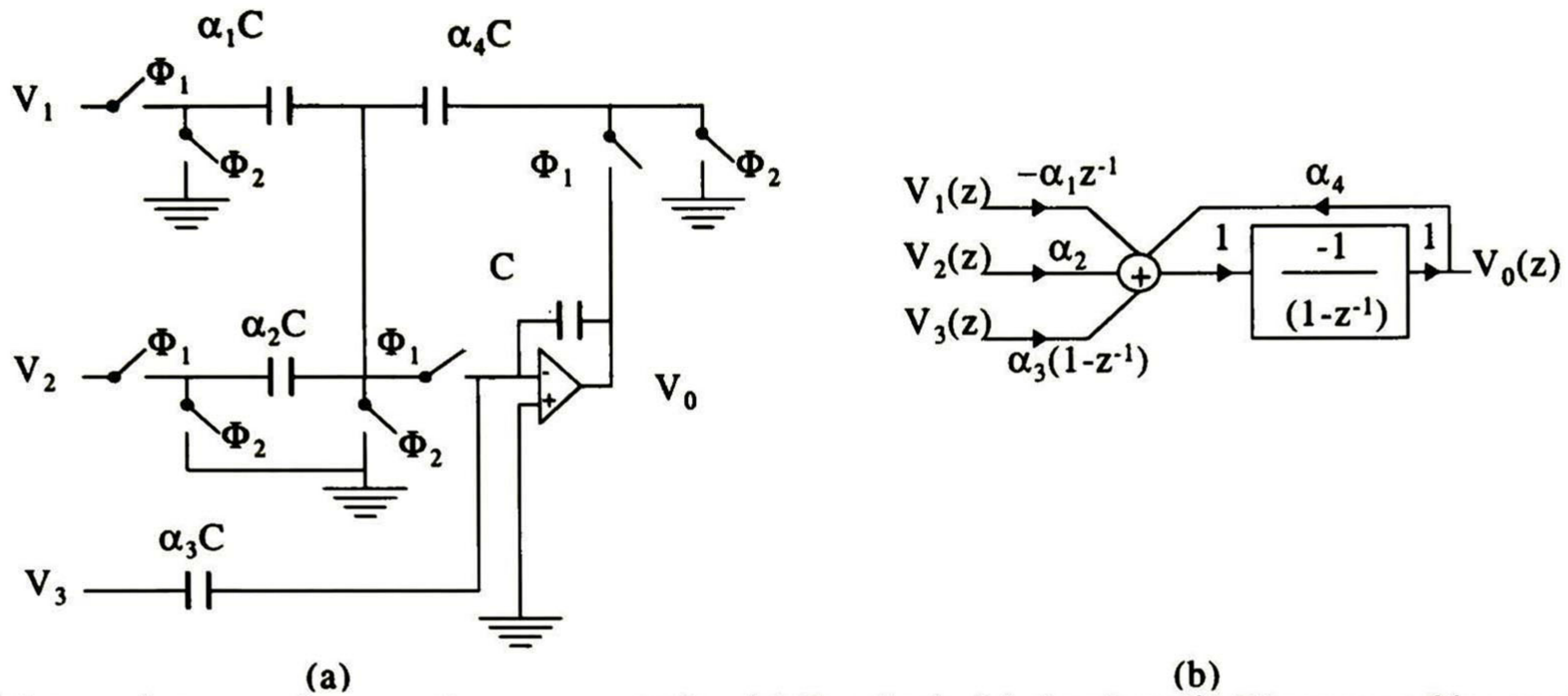
y aplicando la transformada  $Z$

$$V_0(z) = A_1 \frac{z^{-1}}{1 - Bz^{-1}} V_1(z) - A_2 \frac{1}{1 - Bz^{-1}} V_2(z) - A_3 \frac{1 - z^{-1}}{1 - Bz^{-1}} V_3(z) \quad (1.16)$$

donde  $A_1$ ,  $A_2$ ,  $A_3$  y  $B$  están dadas por

$$A_1 = \frac{\alpha_1}{1 + \alpha_4}, \quad A_2 = \frac{\alpha_2}{1 + \alpha_4}, \quad A_3 = \frac{\alpha_3}{1 + \alpha_4}, \quad B = \frac{1}{1 + \alpha_4} \quad (1.17)$$

El diagrama a bloques del flujo de la señal en el dominio de la variable  $Z$  de la Fig. 1.2a se ilustra en la Fig. 1.2b. Este integrador es usado como bloque básico de SFA de variables de estado de orden par. Cada sección bicuadrática con retroalimentación puede ejecutar la transformada  $Z$  bilineal ( $s \rightarrow (2[1-z^{-1}] / [1+z^{-1}])T$ ) la cual provee el diseño exacto del filtro.



**Fig.1.2** Integrador general a capacitores conmutados, (a) Topología del circuito y (b) Diagrama a bloques del flujo de la señal en el dominio de la variable Z.

Como contraparte del integrador de capacitores conmutados mostrado en la Fig. 1.2a, el análisis con corriente conmutada debería tener la siguiente ecuación de salida

$$i_0(n) = \frac{1}{1 + \alpha_4} [i_0(n-1) + \alpha_1 i_1(n-1) - \alpha_2 i_2(n-1) - \alpha_3 (i_3(n) - i_3(n-1))] \quad (1.18)$$

y aplicando la transformada Z

$$i_0(z) = A_1 \frac{z^{-1}}{1 - Bz^{-1}} i_1(z) - A_2 \frac{1}{1 - Bz^{-1}} i_2(z) - A_3 \frac{1 - z^{-1}}{1 - Bz^{-1}} i_3(z) \quad (1.19)$$

donde \$A\_1\$, \$A\_2\$, \$A\_3\$ y \$B\$ están definidas por (1.17). Un integrador con corriente conmutada debe ser implementado empleando estructuras que sean duales de aquellas que ya usan los SFA activos y de capacitores conmutados [1]. Tales sistemas deben de tener inherentes las características deseables de los sistemas de capacitores conmutados (modularidad, insensibilidad a las variaciones de los componentes, entre otras), así como lo hizo la técnica de capacitores conmutados de los SFA activos anteriores [1].

Por otro lado, el bloque básico de un integrador de corriente conmutada es la celda de memoria [2]. La idea sobre la cual se basa esta celda, consiste en que un transistor MOS no requiere una corriente en la compuerta, sino un voltaje para poder mantener una corriente entre sus terminales de drenaje y fuente, dado que el transistor MOS es un transductor de voltaje a

corriente, característica esencial que se utiliza para tal fin. En la Fig. 1.3 se ilustra la celda básica, y su funcionamiento es como se describe a continuación:

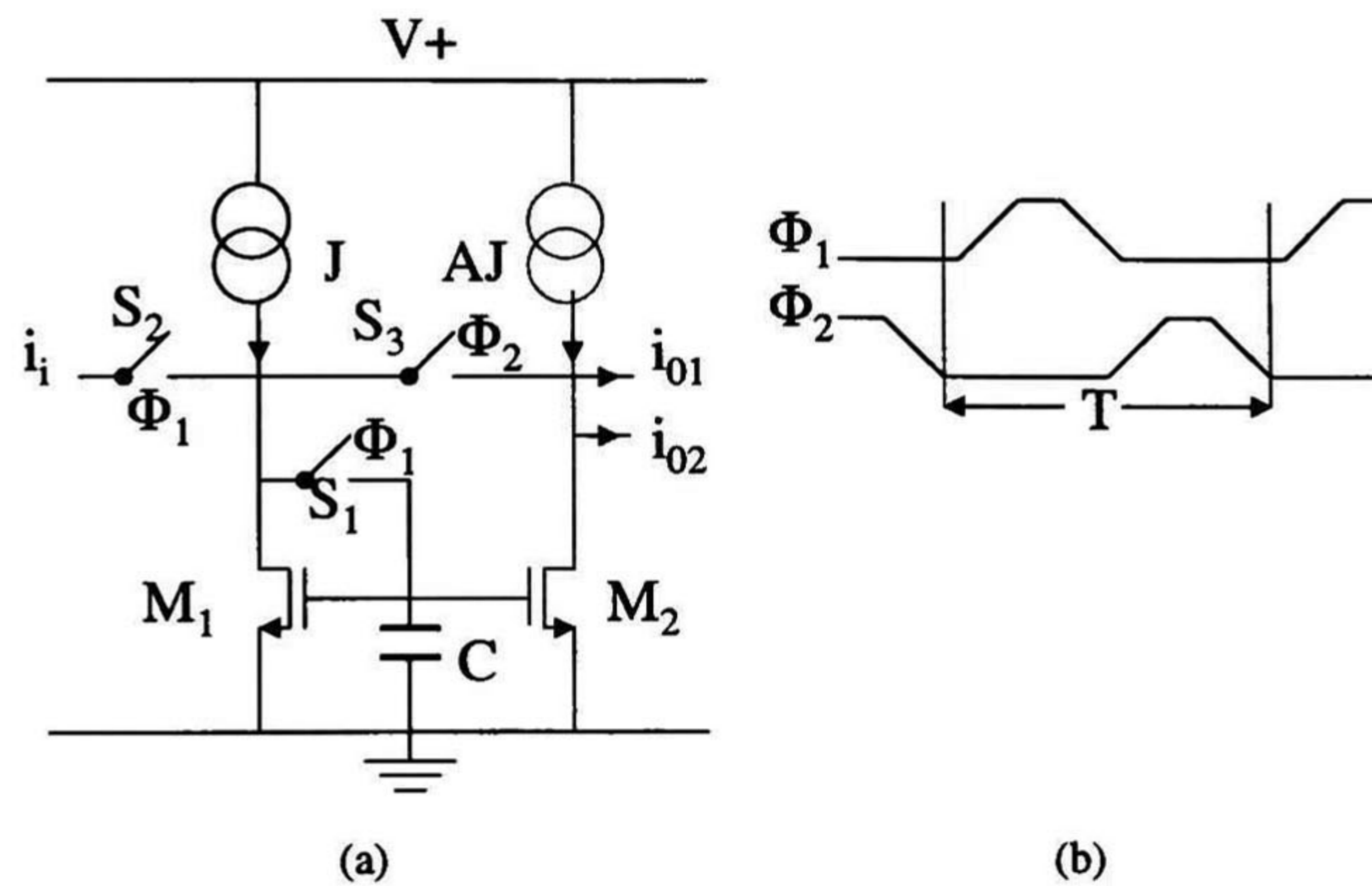


Fig. 1.3 (a) Celda básica de memoria de corriente conmutada y (b) Señales de control de los interruptores.

Durante la fase  $\phi_1$  la corriente de entrada  $i_i$  se añade a la corriente de polarización  $J$ , entonces el transistor  $M_1$  es conectado como diodo y de esta manera su capacitancia entre compuerta y fuente se carga al voltaje  $V_{GS}$ . Durante la fase  $\phi_2$ , la capacitancia parásita entre la compuerta y fuente de  $M_1$  mantiene el valor de  $V_{GS}$  y de ésta manera proporciona una corriente de drenaje equivalente a la corriente original de entrada. La celda actúa esencialmente como un espejo de corriente discontinuo de media onda o como un simple Track and Hold de corriente con retardo. Un medio retardo se puede expresar en el dominio de la variable  $Z$  como  $(z^{-1/2})$ , por lo tanto, poner dos celdas en cascada daría un retardo completo. Nótese que la función de la capacitancia de compuerta de la celda de memoria, es almacenar carga y no transferirla como en la técnica de capacitores conmutados [2].

## 1.2.- Espejos de Corriente.

El espejo de corriente es un bloque fundamental para el diseño de circuitos integrados analógicos en modo corriente. Existen diferentes tipos de espejos de corriente, pero como primera aproximación se clasifican como positivos y negativos. Los positivos tienen como salida una corriente de una fuente drenadora (implementados con tecnología PMOS, véase figura 1.9). Los

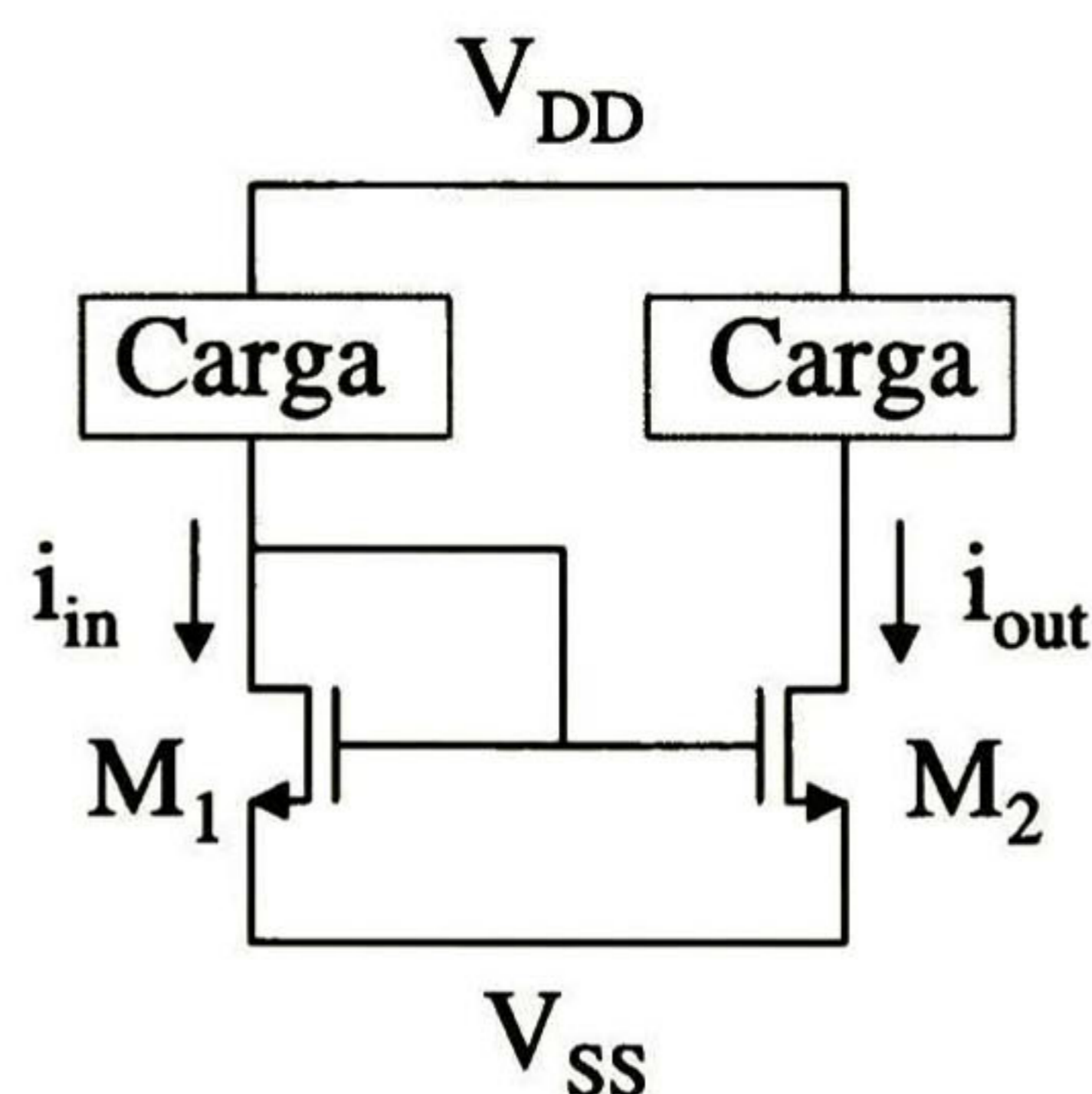


espejos de corriente negativos son los que tienen una fuente de corriente como entrada (implementados con transistores NMOS, véase figura 1.4) [3].

Los espejos de corriente pueden también ser clasificados de acuerdo a la orientación de la señal de corriente  $i_{out}$ . Si la variación de la corriente  $i_{out}$  tiene la misma orientación con respecto a la corriente  $i_{in}$ , el espejo se clasifica como no inversor. Si las variaciones son opuestas, entonces el espejo es inversor [3].

En décadas pasadas los espejos de corriente fueron implementados con tecnología bipolar, en la actualidad la mayoría de ellos son implementados con tecnología CMOS, ya que además de copiar, puede amplificar y atenuar la corriente de entrada. Desafortunadamente, la precisión de los espejos de corriente MOS es degradada por el offset y ruido flicker ( $1/f$ ) de los transistores MOS.

El principio de operación de un espejo de corriente se basa en que el potencial entre la compuerta y fuente de dos transistores MOS idénticos es igual, entonces la corriente de canal de ambos transistores debe ser de la misma magnitud [1]. En la Fig. 1.4 se ilustra la topología del espejo de corriente simple con transistores NMOS [4].



**Fig. 1.4** Espejo de corriente, Topología Simple NMOS.

Para poder conocer el desempeño de ésta topología, es necesario obtener algunas características, tales como: ancho de banda unitaria (GW), impedancia de salida ( $Z_{out}$ ), niveles mínimos de alimentación ( $V_{min}$ ) y Ganancia en bajas frecuencias (G). Para deducir tales

características, es fundamental utilizar el modelo de pequeña señal del transistor MOS (véase figura 1.5) [4].

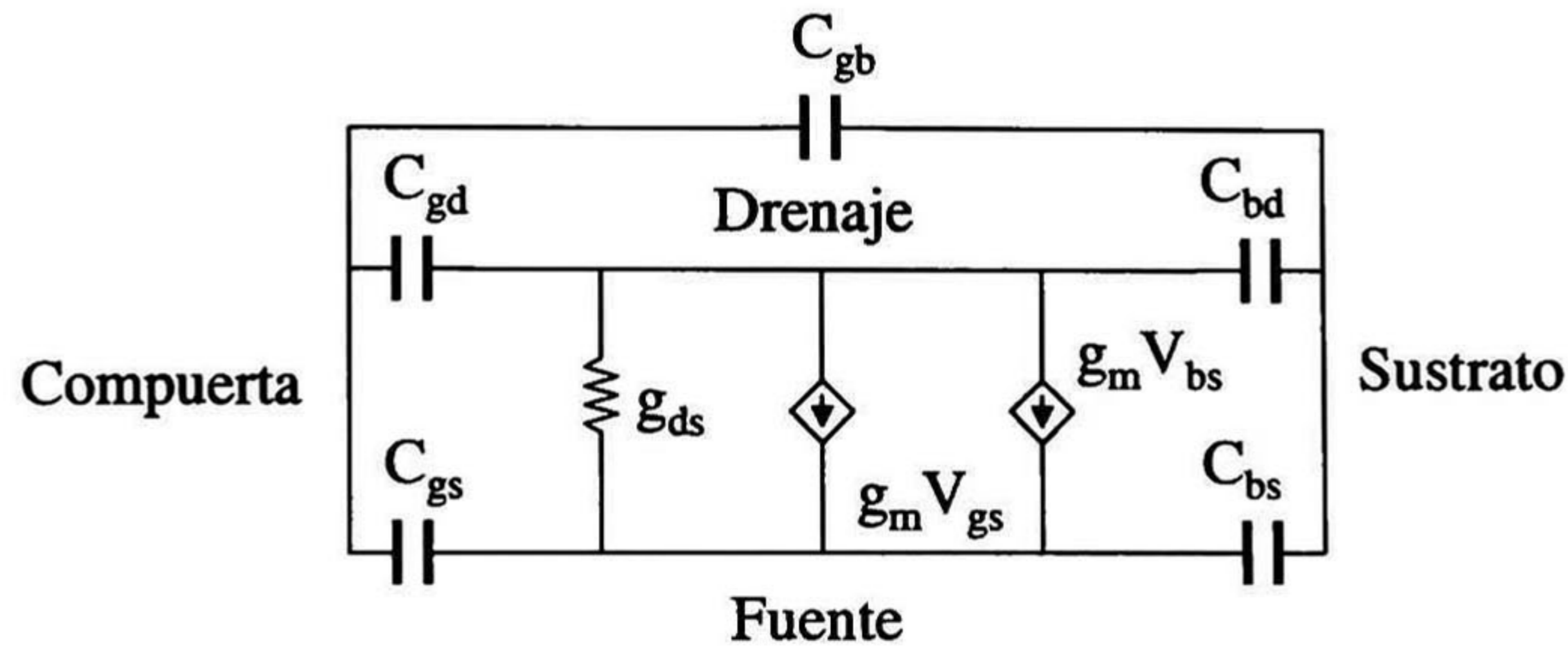


Fig. 1.5 Modelo de pequeña señal del transistor MOS.

Para determinar GW, se describe el circuito equivalente en pequeña señal (véase figura 1.6), donde se puede obtener las ecuaciones de corrientes de Kirchhoff en los nodos 1 y 2.

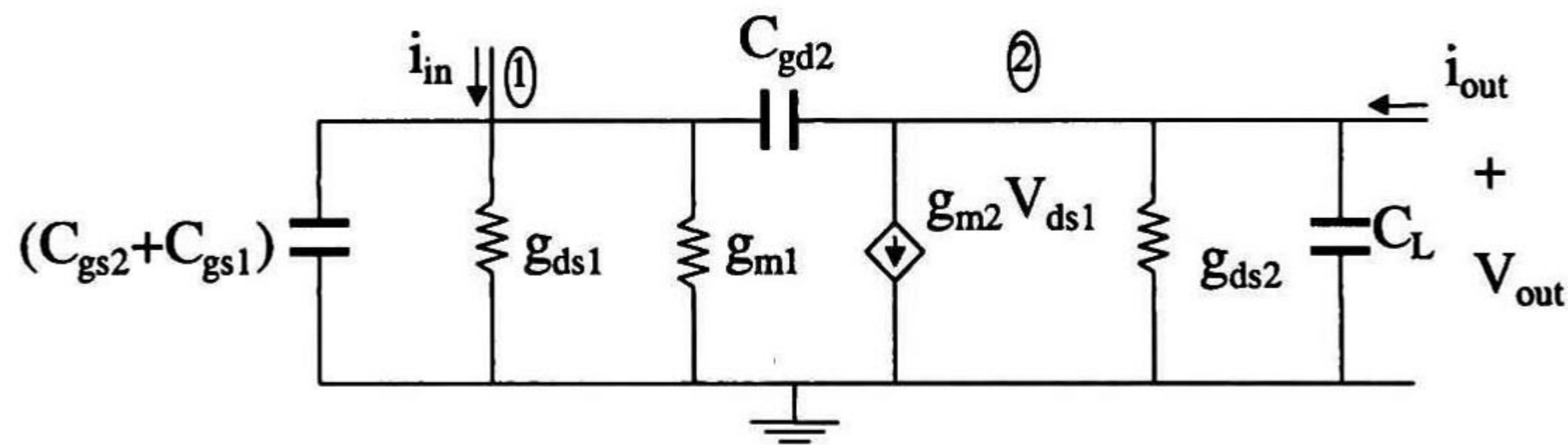


Fig. 1.6 Circuito equivalente en pequeña señal de la Fig. 1.4.

Tomando en cuenta al capacitor de carga ( $C_L$ ), se tienen las ecuaciones siguientes

$$i_{in} = (C_{gs2} + C_{gs1}) \frac{\partial V_{ds1}}{\partial t} + (g_{ds1} + g_{m1}) V_{ds1} \tag{1.20}$$

$$i_{out} = C_L \frac{\partial V_{ds2}}{\partial t} + g_{m2} V_{ds1} + g_{ds2} V_{ds2} \tag{1.21}$$

aplicando la transformada de Laplace

$$I_{in}(s) = (C_{gs2} + C_{gs1}) s V_{ds1}(s) + (g_{ds1} + g_{m1}) V_{ds1}(s) \tag{1.22}$$

$$I_{out}(s) = C_L s V_{ds2}(s) + g_{m2} V_{ds1}(s) + g_{ds2} V_{ds2}(s) \tag{1.23}$$

suponiendo que  $V_{ds1} \approx V_{ds2}$ , factorizando y reduciendo términos semejantes

$$\frac{I_{out}(s)}{I_{in}(s)} = \frac{g_{m2} + g_{ds2} + C_L s}{(C_{gs1} + C_{gs2})s + g_{ds1} + g_{m1}} \quad (1.24)$$

asumiendo que  $g_{ds1} \ll g_{m1}$  y de la misma forma,  $g_{ds2} \ll g_{m2}$ , cuando  $M_1$  y  $M_2$  están en saturación, se pueden despreciar las conductancias de los transistores  $M_1$  y  $M_2$ , resultando de (1.24)

$$\frac{I_{out}(s)}{I_{in}(s)} = \frac{g_{m2} + C_L s}{(C_{gs1} + C_{gs2})s + g_{m1}} \quad (1.25)$$

Ahora bien, para obtener GW, la relación  $[I_{out}(s) / I_{in}(s)]$  debe ser igual a cero, por lo tanto

$$GW = \left| \frac{g_{m2}}{C_L} \right| \quad (1.26)$$

Por otro lado, para determinar  $Z_{out}$ , la corriente de entrada  $i_{in}$  debe ser cero (véase figura 1.6), por lo tanto, el voltaje entre drenaje y fuente de  $M_1$  es cero, de ésta manera el circuito equivalente en pequeña señal únicamente contiene la transconductancia del transistor  $M_2$ , obteniendo con ello

$$Z_{out} = \frac{V_{out}}{i_{out}} = \frac{1}{g_{ds2}} \quad (1.27)$$

Para encontrar G, se debe conocer la función de transferencia del sistema,  $[i_{out} / i_{in}]$ , para ello, se usa el circuito equivalente de la Fig. 1.4 de pequeña señal, ignorando las capacitancias parásitas que se generan en el proceso de fabricación (véase figura 1.7). Aplicando la ley de corrientes de Kirchhoff en los nodos 1 y 2, se tienen las ecuaciones

$$i_{in} = (g_{ds1} + g_{m1})V_{ds1} \quad (1.28)$$

y

$$i_{out} = g_{m2}V_{ds1} + g_{ds2}V_{ds2} \quad (1.29)$$

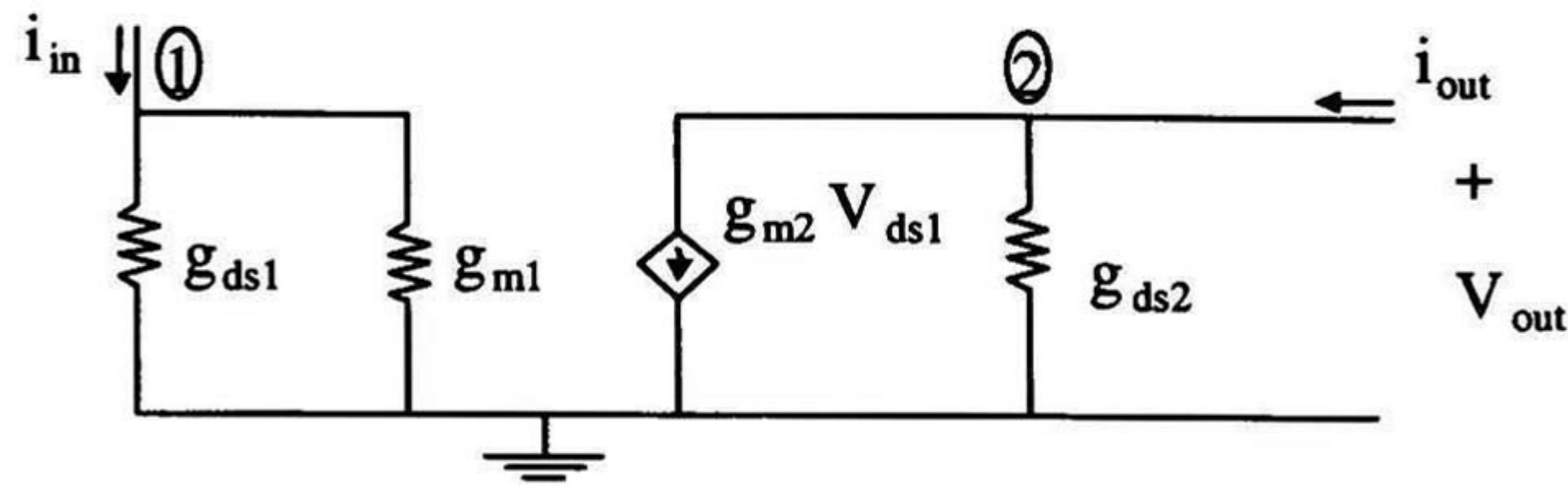


Fig. 1.7 Circuito equivalente en pequeña señal de la Fig. 1.4, ignorando las capacitancias parásitas.

asumiendo que  $V_{ds1} \approx V_{ds2}$ , entonces (1.29) puede definirse

$$i_{out} = (g_{ds2} + g_{m2})V_{ds1} \tag{1.30}$$

despejando  $V_{ds1}$  de (1.28) y (1.30) e igualándolas

$$G = \frac{i_{out}}{i_{in}} = \frac{(g_{ds2} + g_{m2})}{(g_{ds1} + g_{m1})} \tag{1.31}$$

Recordando que cuando  $M_1$  y  $M_2$  están en saturación,  $g_{ds2} \ll g_{m2}$  y  $g_{ds1} \ll g_{m1}$ , pueden ser ignoradas las conductancias, entonces (1.31) puede definirse como

$$G = \frac{i_{out}}{i_{in}} = \frac{g_{m2}}{g_{m1}} \tag{1.32}$$

ahora, como la transconductancia ( $g_m$ ) de un transistor MOS se define de la siguiente manera

$$g_m = \sqrt{2\mu C_{ox} \left(\frac{W}{L}\right) i_d} \tag{1.33}$$

entonces (1.32) se puede escribir en términos de sus geometrías de la siguiente manera

$$G = \frac{i_{out}}{i_{in}} = \frac{\sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_2 i_d}}{\sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_1 i_d}} \tag{1.34}$$

considerando que los parámetros de fabricación, así como el voltaje entre compuerta y fuente son idénticos para ambos transistores y, asumiendo que ambos transistores conducen la misma corriente de canal, entonces (1.34) se puede definir como

$$G = \frac{i_{out}}{i_{in}} = \frac{\sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_2 \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_2 (V_{GS} - V_T)^2}}{\sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_1 \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right)_1 (V_{GS} - V_T)^2}} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} = \frac{W_2 L_1}{L_2 W_1} \quad (1.35)$$

donde se puede observar que  $G$  depende sólo de las geometrías de los transistores  $M_1$  y  $M_2$ , es decir, si se desea obtener una corriente de salida 10 veces mayor que la corriente de entrada, entonces debe de ser 10 veces mayor  $M_2$  que  $M_1$ .

Por otro lado, para obtener  $V_{min}$ , debe de analizarse la rama de salida y obtener el voltaje mínimo necesario para el buen funcionamiento de ésta. En la Fig. 1.4 se puede observar que se requiere al menos un  $V_{DSAT}$  para  $M_2$ , puesto que  $M_1$  está en saturación debido a que  $V_{GS} = V_{DS}$ , y para garantizarla se debe cumplir la condición  $V_{DS} \geq V_{GS} - V_T$ . Debido a que  $M_1$  está en saturación, se hace la suposición de que  $M_2$  también lo está, y por lo tanto el voltaje necesario entre su drenaje y fuente para trabajar es equivalente a un  $V_{DSAT}$ .

De forma análoga, se puede analizar el espejo de corriente simple con transistores PMOS (véase figura 1.8) [4], obteniendo las mismas ecuaciones para  $G$ ,  $GW$ ,  $Z_{out}$  y  $V_{min}$ .

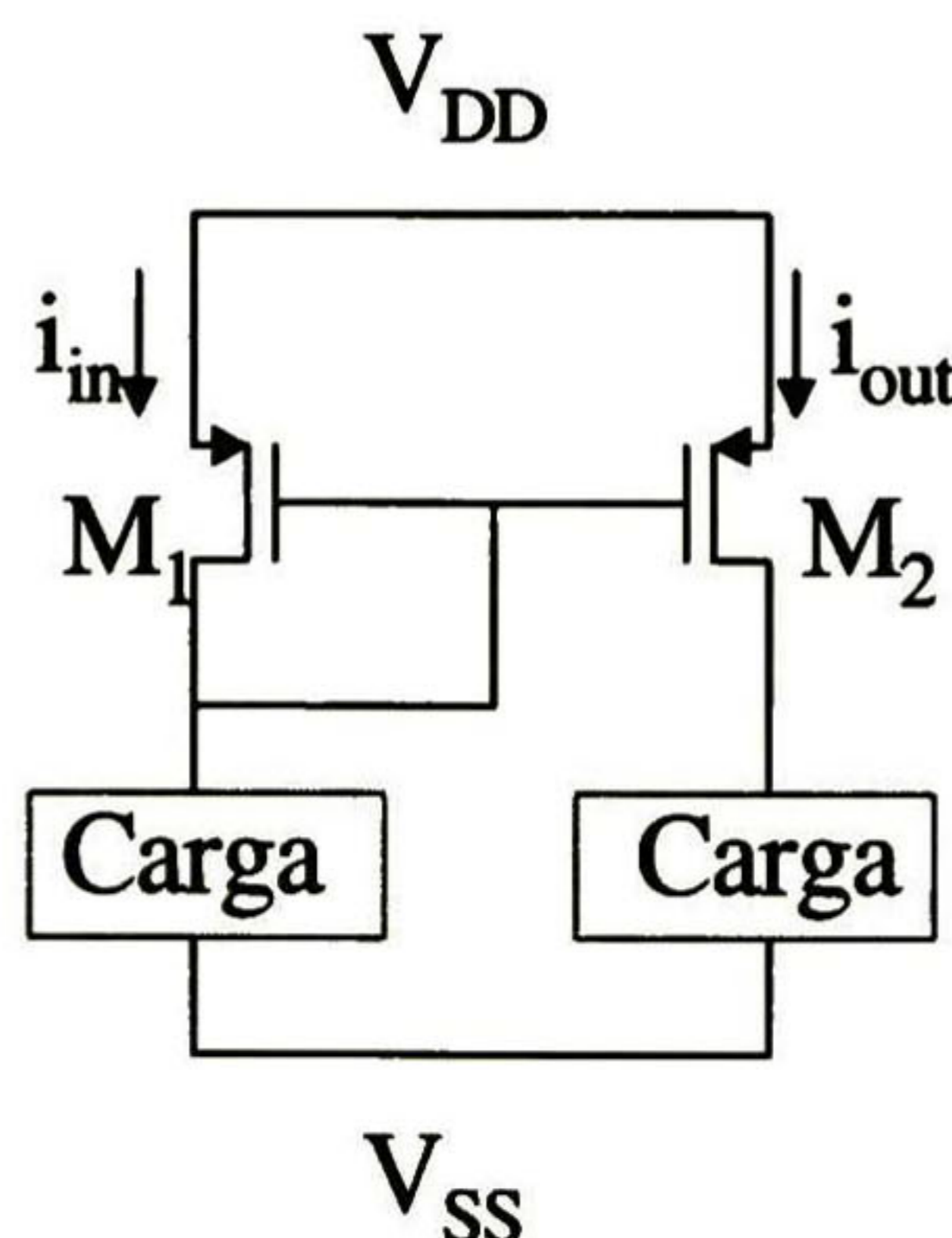


Fig. 1.8 Espejo de corriente, Topología simple PMOS.

Por otro lado, un parámetro de interés de los espejos de corriente es su impedancia de salida,  $Z_{out}$ . A través del tiempo se han desarrollado nuevas topologías para incrementarla, de manera que se diseñan arreglos de transistores que provean espejos de corriente con alta impedancia. Uno de éstos es el espejo de corriente Wilson (véase figura 1.9) implementado con 3 transistores NMOS [4]. Nótese que éste a diferencia de la topología simple, consta de 1 transistor más en la etapa de salida, éste último con el objeto de mejorar  $Z_{out}$ .

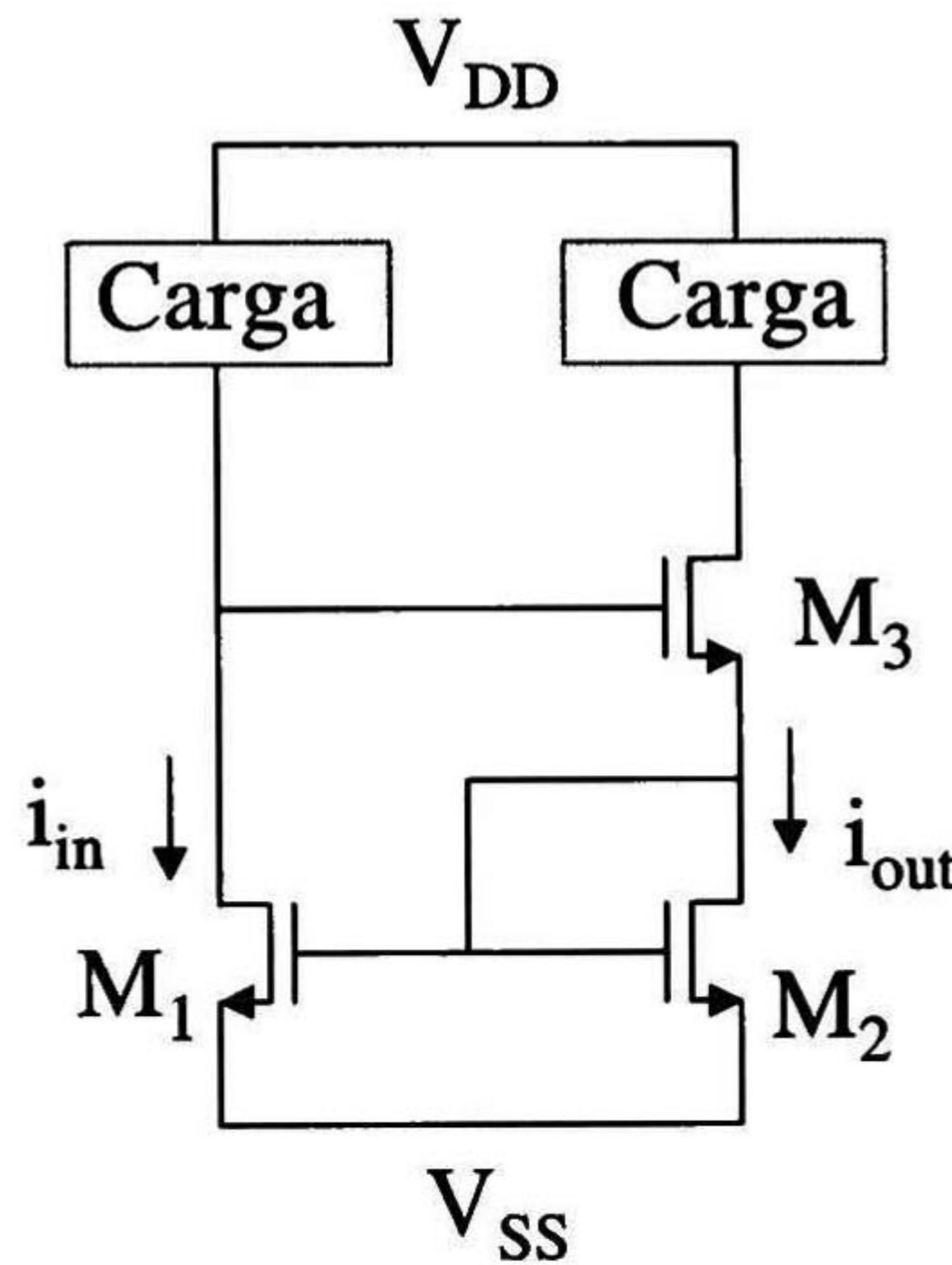


Fig. 1.9 Espejo de corriente, Topología Wilson NMOS.

Realizando un análisis similar al anterior, podemos encontrar que GW está dada por

$$GW = \left| \frac{g_{m3}}{C_{bd3} + C_L} \right| \tag{1.36}$$

y la impedancia de salida se define como

$$Z_{out} = \frac{V_{out}}{i_{out}} = \frac{1}{g_{ds3}} \left[ 1 + \frac{g_{m1}g_{m3}}{g_{ds1}g_{m2}} + \frac{g_{m3}}{g_{m2}} + \frac{g_{ds3}}{g_{m2}} + \frac{g_{mb3}}{g_{m2}} \right] \tag{1.37}$$

además, la ganancia del sistema es

$$G = \frac{i_{out}}{i_{in}} = \frac{g_{m3}g_{m2}}{g_{m3}g_{m1} + g_{ds2}g_{m2}} \tag{1.38}$$

De (1.38) se puede observar que si  $M_1$ ,  $M_2$  y  $M_3$  son idénticos y, además están en saturación, entonces  $G \approx 1$ . Por último, se puede definir al voltaje mínimo necesario en la rama de salida para los transistores NMOS como

$$V_{min} = V_{T2} + V_{DSAT3} \tag{1.39}$$

La deficiencia que presenta el espejo de corriente Wilson, es la variación de voltaje en el drenaje de  $M_1$ , afectando así a  $i_{out}$ . Por ello se implementó la topología Wilson mejorada (véase figura 1.10 ) donde se ha añadido un cuarto transistor,  $M_4$ , que tiene la función de hacer un divisor de voltaje en la etapa de entrada, teniendo un mejor control de voltaje en el drenaje de  $M_1$  [4].

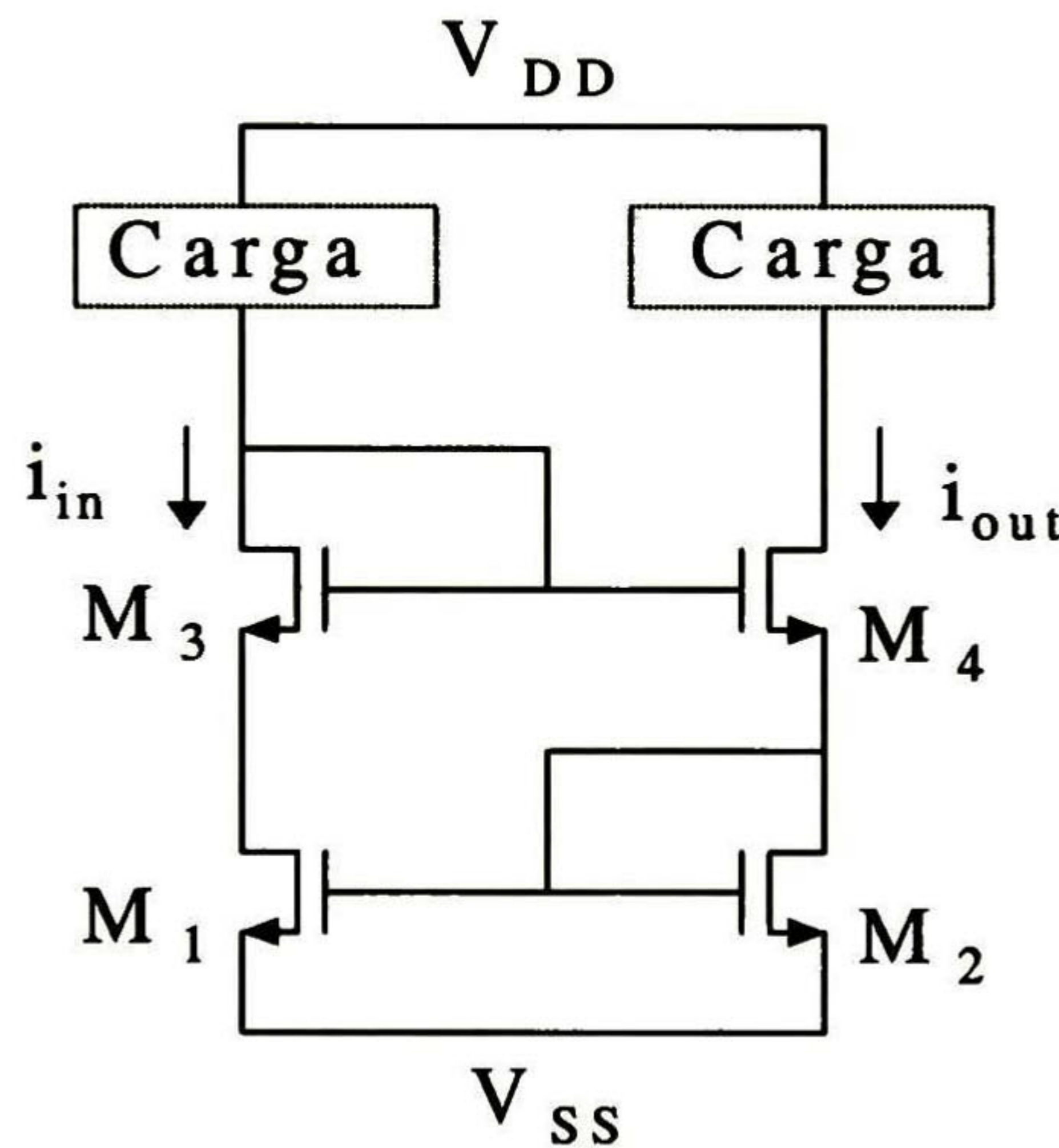


Fig. 1.10 Espejo de corriente, Topología Wilson Mejorado NMOS.

Haciendo el análisis correspondiente, se puede demostrar que el ancho de banda de éste sistema ésta dado por

$$GW = \frac{-(g_{m3}C_{gs3} + g_{m3}(C_L + C_{gd3}) + g_{m4}(C_{gd4} + C_{gs4})) \pm \sqrt{(g_{m3}C_{gs3} + g_{m3}(C_L + C_{gd3}) + g_{m4}(C_{gd4} + C_{gs4}))^2 - 4(g_{m3}g_{m4})(C_{gs3}C_{gd4} + C_{gd3}C_L + C_{gd4}C_{gs4} + C_{gd3}C_L + C_{gs4}C_{gd4})}}{2(C_{gs3}C_{gd4} + C_{gd3}C_L + C_{gd4}C_{gs4} + C_{gd3}C_L + C_{gs4}C_{gd4})} \tag{1.40}$$

mientras que la impedancia de salida se define como

$$Z_{out} = \frac{V_{out}}{i_{out}} = \frac{g_{m1}g_{m4}}{g_{m2}g_{ds1}g_{ds4}} \tag{1.41}$$

además, la ganancia del sistema se puede calcular fácilmente, encontrando que

$$G = \frac{i_{out}}{i_{in}} = \frac{g_{m3}g_{m2} - g_{m1}}{g_{ds1}g_{m2} + g_{m1}} \quad (1.42)$$

por último, se puede determinar el voltaje mínimo necesario en la rama de salida para los transistores NMOS como

$$V_{min} = V_{T2} + V_{DSAT3} \quad (1.43)$$

Por otro lado, una excelente topología es la Cascode (véase figura 1.11), que tiene una alta impedancia de salida y un buen control de los potenciales de drenaje a compuerta de su etapa de entrada [4].

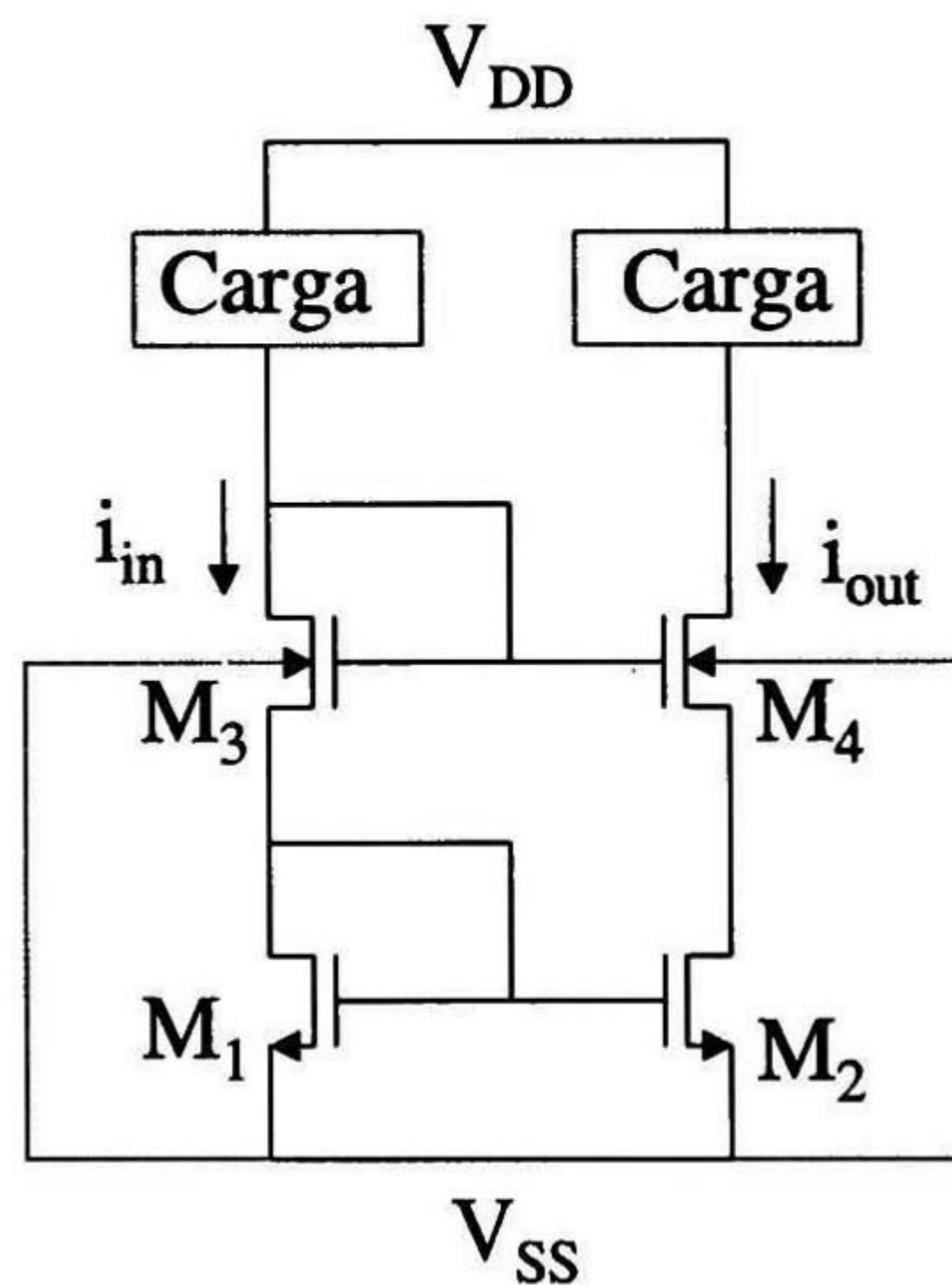


Fig. 1.11 Espejo de Corriente, Topología Cascode NMOS.

Realizando un análisis similar a los anteriores, es fácil corroborar que el ancho de banda de ésta topología se define como

$$GW = \left| \frac{g_{m4}}{C_L + C_{bd4}} \right| \quad (1.44)$$

ahora, la impedancia de salida está dada por



$$Z_{out} = \frac{V_{out}}{i_{out}} = \frac{g_{m4}}{g_{ds2}g_{ds4}} + \frac{1}{g_{ds4}} + \frac{1}{g_{ds2}} \quad (1.45)$$

como se puede observar, es la topología que presenta mejor  $Z_{out}$ . Además, la ganancia del sistema se calcula fácilmente encontrando que

$$G = \frac{i_{out}}{i_{in}} = \frac{g_{m1}g_{ds2} - g_{m3}g_{m2}}{g_{m3}g_{m1}} \quad (1.46)$$

por último, se puede definir al voltaje mínimo necesario en la rama de salida para los transistores NMOS como

$$V_{min} = V_{DSAT4} + V_{DSAT2} \quad (1.47)$$

Comprobando que tiene un  $V_{min}$  de menor magnitud que las configuraciones anteriores.

La topología Triple Cascode tiene como objetivo el aumentar la impedancia de salida, exigiendo a cambio un mayor  $V_{min}$ , como se muestra en la Fig. 1.12.

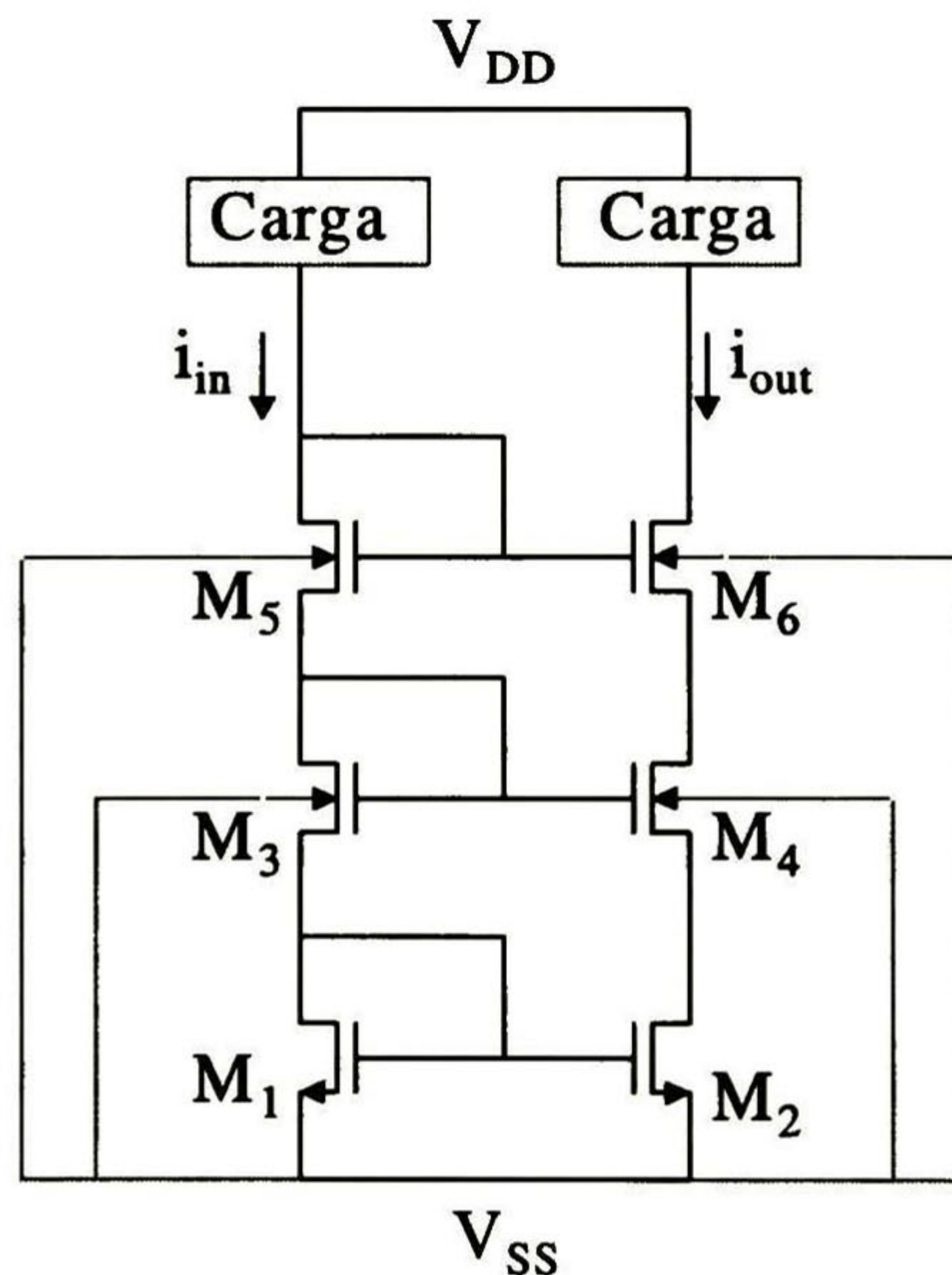


Fig. 1.12 Espejo de Corriente, Topología Triple Cascode NMOS.

Analizando la topología se encuentra que la impedancia de salida está dada por

$$Z_{out} = \frac{V_{out}}{i_{out}} = \frac{g_{ds2}g_{ds4} + g_{m4}g_{m6}}{g_{ds2}g_{ds4}g_{ds6}} \quad (1.48)$$

por otro lado, la ganancia de éste espejo se puede calcular fácilmente, encontrando que

$$G = \frac{i_{out}}{i_{in}} = \frac{g_{m3}g_{m1}g_{ds2}g_{ds4} + g_{m5}g_{m4}g_{m1}g_{ds2} + g_{m2}g_{m4}g_{m3}g_{m5} + g_{m4}g_{m5}g_{m3}g_{m2}}{g_{m3}g_{m5}g_{m4}g_{m1}} \quad (1.49)$$

además se puede definir al voltaje mínimo necesario en la rama de salida de los transistores NMOS como

$$V_{min} = V_{DSAT6} + V_{DSAT4} + V_{DSAT2} \quad (1.50)$$

Por último, la topología que aumenta la impedancia de salida y manteniendo un  $V_{min}$  equivalente al de la topología simple, es el Cascode Regulado que se puede observar en la Fig. 1.13 [4]. Su funcionamiento (suponiendo que los espejos simples tienen ganancia unitaria en bajas frecuencias) es como se describe a continuación:  $M_1$  y  $M_2$  forman un espejo de corriente simple, de igual manera  $M_1$  y  $M_5$  también lo forman, por lo tanto por la rama de  $M_5$  pasa un corriente equivalente a la de entrada,  $M_5$  se comporta como una carga para  $M_6$ , que a su vez forma un espejo con  $M_7$ , por lo tanto por  $M_7$  pasa una corriente equivalente a la de entrada.  $M_7$  sirve como carga a  $M_4$  y este realiza una polarización entre su drenaje y compuerta de tal manera que regula a  $M_3$ . Podemos observar que  $M_3$  y  $M_4$  están en retroalimentación, de tal manera que cuando exista una variación en el voltaje de compuerta de  $M_4$ ,  $M_3$  lo compense y mantenga siempre una buena relación entre la corriente de salida y de entrada.

Realizando el análisis correspondiente, encontramos que la impedancia de salida se define como

$$Z_{out} = \frac{V_{out}}{i_{out}} = \frac{g_{m4}g_{m3}}{g_{ds2}g_{ds3}(g_{ds7} + g_{ds4})} \quad (1.51)$$

por otro lado, la ganancia de éste espejo se puede calcular fácilmente, encontrando que

$$G = \frac{i_{out}}{i_{in}} = \frac{g_{m2} g_{m3} g_{ds3}}{g_{m4} g_{m1} g_{ds4}} \quad (1.52)$$

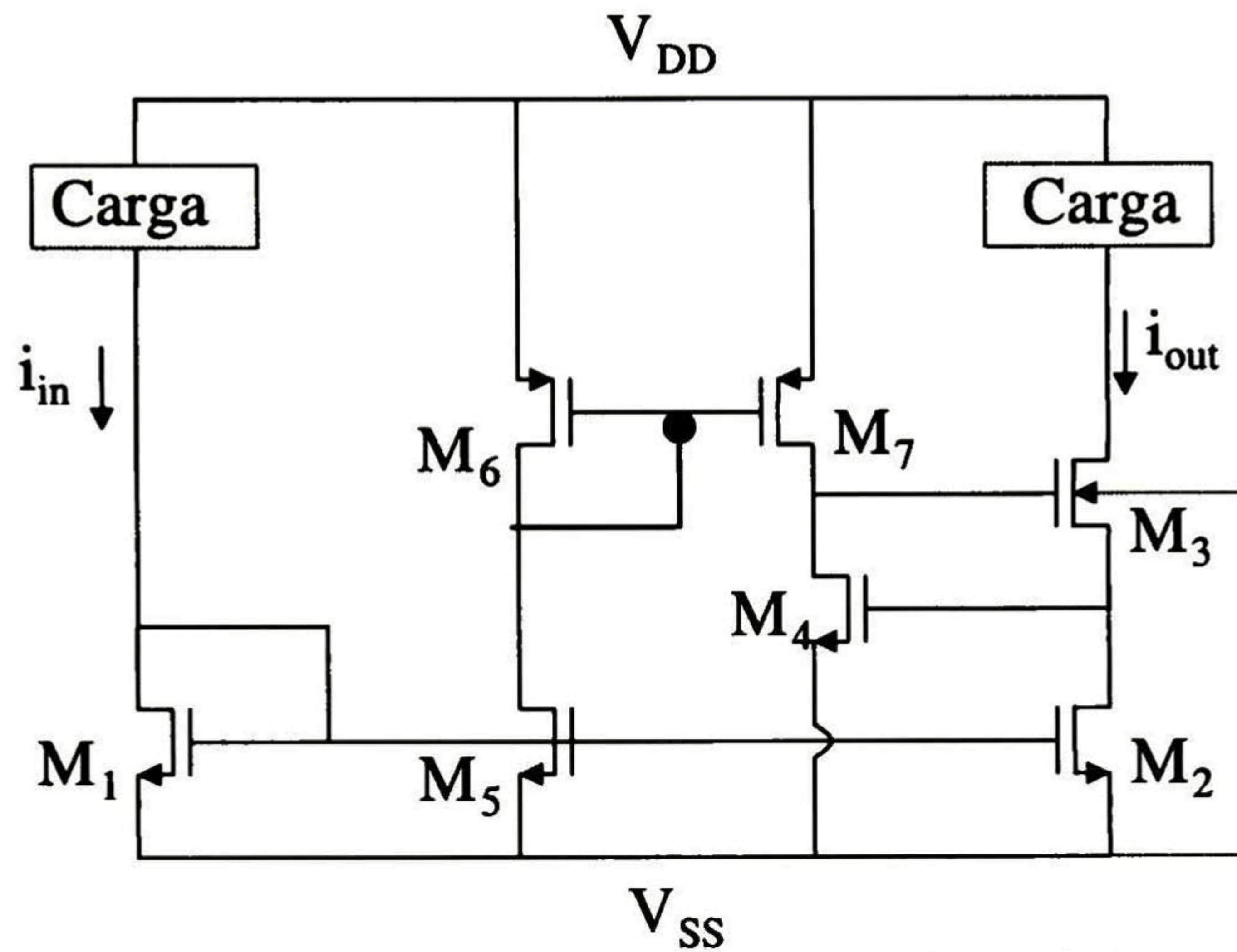


Fig. 1.13 Espejo de Corriente, Topología Cascode Regulado NMOS.

además se puede definir al voltaje mínimo necesario en la rama de salida para los transistores NMOS como

$$V_{min} = V_{DSAT2} \quad (1.53)$$

Por lo tanto, se han presentado diversas topologías de espejos de corriente, las cuales presentan ventajas y desventajas cada una de ellas sobre su contraparte. Debido a que los espejos de corriente proveen una corriente como señal de salida, es importante obtener una excelente impedancia de salida en la estructura del sistema pero, no se debe de perder de vista que el diseño en modo corriente proporciona bajos niveles de alimentación, por lo tanto, es una decisión final del diseñador seleccionar la estructura adecuada que satisfaga los requerimientos del sistema bajo diseño.

• **Referencias**

- [1] *Analog IC design: the current-mode approach*, Edited by C. Tomazou, F.J. Lidgey & D.G. Haigh, IEEE Circuits and Systems Series 2, USA 1990.
- [2] *Circuits and Systems Tutorials*, Editor Chris Tomazou, Assistant Editors Nick Battersby and Sonia Porta, IEEE Press Circuits and Systems, New York 1996. ISBN 0-7803-11701
- [3] *Selected Papers on integrated analog filters*, Edited by Gamor C. Temes, a series published for the IEEE Circuits and Systems Society, New York 1987.
- [4] *VLSI Design Techniques for Analog and Digital circuits*, L. Geiger, E. Allen and R. Strader, McGraw-Hill Publishing Company, New York 1990.

## NO IDEALIDADES EN ESPEJOS DE CORRIENTE

En el capítulo anterior, se analizaron parámetros que caracterizan al espejo de corriente, éstos fueron estudiados idealmente, puesto que realmente sufren efectos que degradan su funcionamiento. Para demostrarlo, se considerara la topología simple (véase figura. 2.1), donde se puede demostrar que el potencial de compuerta,  $V_{gs}$ , de ambos transistores,  $M_1$  y  $M_2$ , está definido por

$$V_{GS} = \frac{n+1}{(g_{m1} + g_{m2}) + s(C_{gs1} + C_{gs2})} i_{in} \quad (2.1)$$

y

$$V_{GS} = \frac{\left(\frac{n+1}{n}\right)}{(g_{m1} + g_{m2}) + s(C_{gs1} + C_{gs2})} i_{out} \quad (2.2)$$

donde  $n = i_{out} / i_{in}$ .

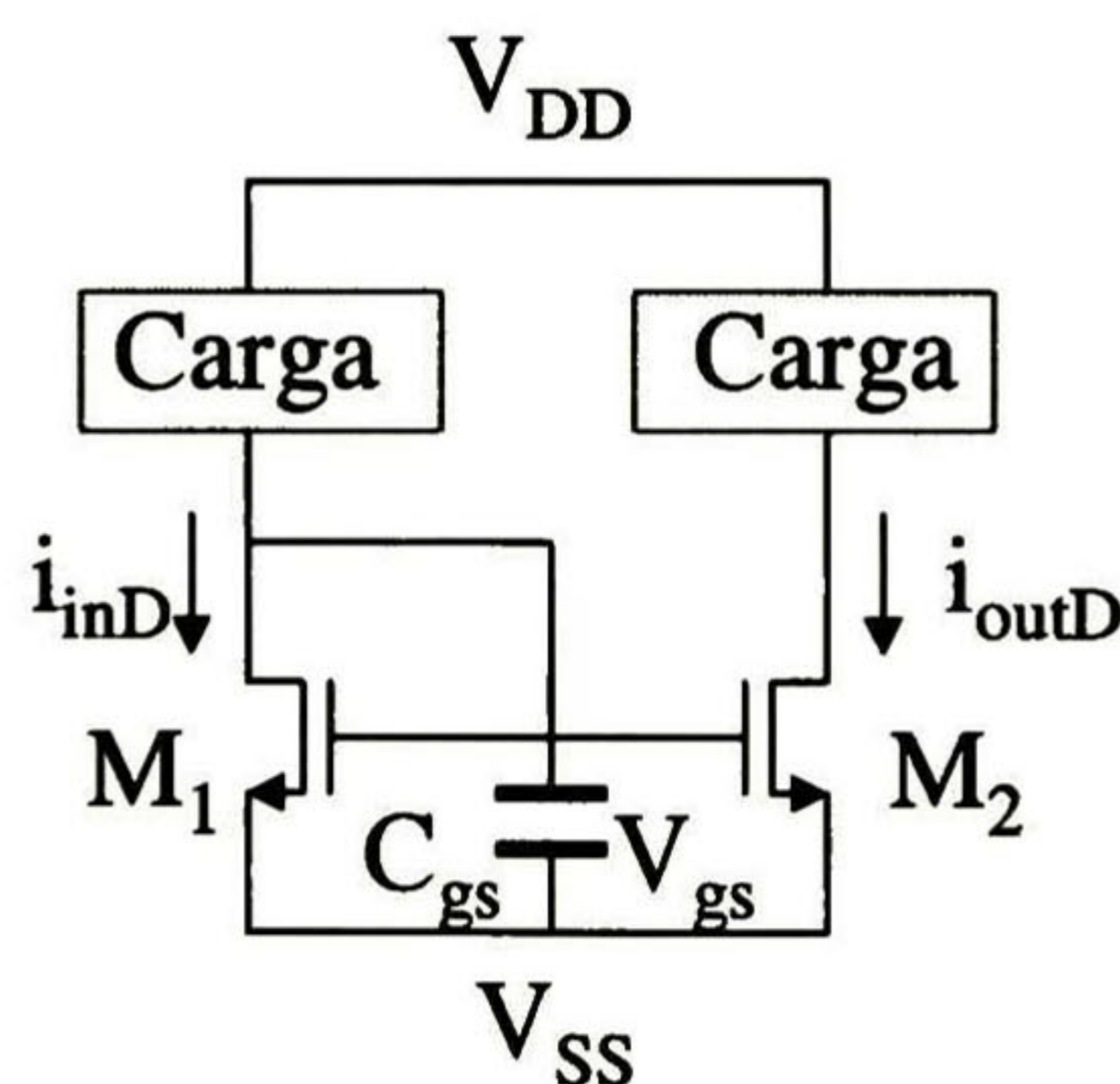


Fig. 2.1 Potencial  $V_{gs}$  en el espejo Simple.

## 2.1.- No Linealidad.

Suponiendo una corriente de CA,  $i_d$ , sobre la corriente de CD,  $I_D$ , en el nodo de entrada, es decir,  $i_{inD} = i_{ind} + I_{inD}$ , de manera análoga,  $V_{gs}$  puede definirse como  $v_{GS} = v_{gs} + V_{GS}$ , donde  $v_{gs}$  es el voltaje en AC y,  $V_{GS}$  es el voltaje en DC. Las ecuaciones (2.1) y (2.2) indican que si existe una variación en  $i_{in}$  entonces también la habrá en  $V_{GS}$  y a su vez en  $i_{out}$ . Posteriormente, el espejo simple puede ser visto y analizado por su rama de salida como se muestra en la Fig. 2.2, considerando la capacitancia de carga,  $C_L$ .

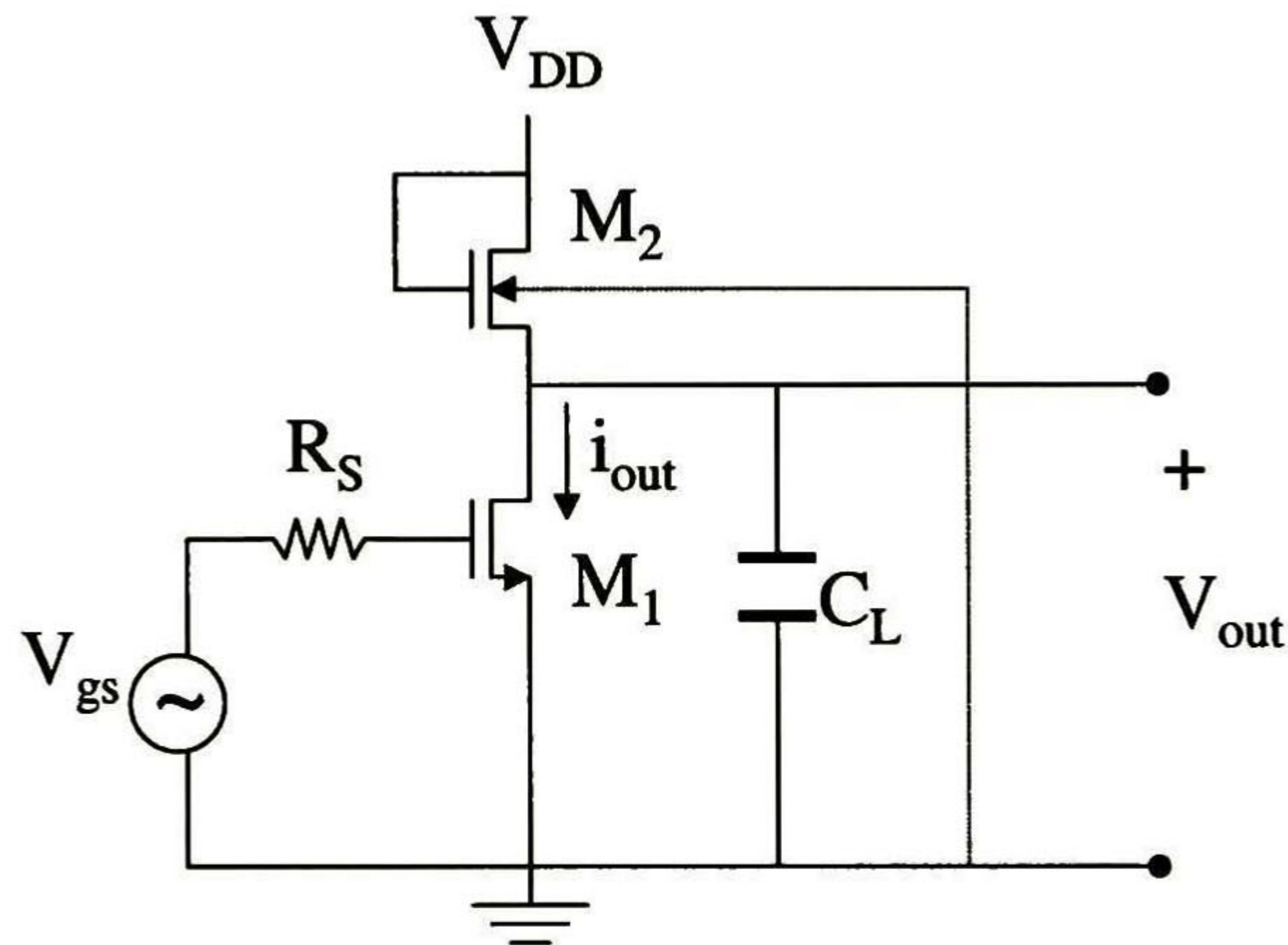


Fig. 2.2 Espejo Simple, con  $V_{gs}$  en AC.

Los transistores  $M_1$  y  $M_2$  funcionan en su región de saturación, la corriente de canal (de salida) de  $M_2$  (ignorando el efecto de modulación de canal), se define por

$$i_{out} = \frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right)_2 (V_{gs} - V_T)^2 \quad (2.3)$$

ahora, para obtener la corriente total en el nodo de la compuerta de  $M_1$ , se sustituye en (2.3) a  $i_{out} = I_{OUT} + i_{out}$  y  $V_{gs} = V_{GS} + v_{gs}$ , entonces

$$i_{out} + I_{OUT} = \frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right)_2 (V_{GS} + v_{gs} - V_T)^2 \quad (2.4)$$

para encontrar la componente de la corriente en AC, se desarrolla la ecuación anterior y tomando en cuenta sólo las componentes en AC, se deduce que

$$i_{out} = \frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right)_2 \left( 2(V_{GS} - V_T) v_{gs} + v_{gs}^2 \right) \quad (2.5)$$

debido a que el transistor MOS es un convertidor de voltaje a corriente y es no lineal, se debe linealizar la ecuación (2.5), (la cual describe la corriente de salida del sistema), a través de series de Taylor [1], ya que es necesario realizar un análisis de distorsión armónica y de ésta manera determinar los parámetros que se deben ajustar, de tal manera que se maximice la linealidad del sistema, de lo cual se obtiene la siguiente ecuación

$$i_{out} = I_{OUT} + \left. \frac{\partial i_{out}}{\partial v_{gs}} \right|_Q v_{gs} + \frac{1}{2} \left. \frac{\partial^2 i_{out}}{\partial v_{gs}^2} \right|_Q v_{gs}^2 + \frac{1}{6} \left. \frac{\partial^3 i_{out}}{\partial v_{gs}^3} \right|_Q v_{gs}^3 + \frac{1}{24} \left. \frac{\partial^4 i_{out}}{\partial v_{gs}^4} \right|_Q v_{gs}^4 + \frac{1}{125} \left. \frac{\partial^5 i_{out}}{\partial v_{gs}^5} \right|_Q v_{gs}^5 \dots \quad (2.6)$$

suponiendo que la señal de entrada ( $v_{gs}$ ) en AC es de la forma  $V \text{sen}(\omega t)$ , entonces la ecuación anterior se puede escribir como

$$\begin{aligned} i_{out} = I_{OUT} &+ \left( \left. \frac{\partial^2 i_{out}}{\partial v_{gs}^2} \right|_Q + \frac{1}{16} \left. \frac{\partial^4 i_{out}}{\partial v_{gs}^4} \right|_Q V^2 + \dots \right) \frac{V^2}{4} + \left( \left. \frac{\partial i_{out}}{\partial v_{gs}} \right|_Q + \frac{1}{8} \left. \frac{\partial^3 i_{out}}{\partial v_{gs}^3} \right|_Q V^2 + \frac{1}{192} \left. \frac{\partial^5 i_{out}}{\partial v_{gs}^5} \right|_Q V^4 + \dots \right) V \text{sen}(\omega t) + \\ &+ \left( -\left. \frac{\partial^2 i_{out}}{\partial v_{gs}^2} \right|_Q - \frac{1}{12} \left. \frac{\partial^4 i_{out}}{\partial v_{gs}^4} \right|_Q V^2 + \dots \right) \frac{V^2}{4} \text{sen}(2\omega t) + \left( -\left. \frac{\partial^3 i_{out}}{\partial v_{gs}^3} \right|_Q - \frac{1}{16} \left. \frac{\partial^5 i_{out}}{\partial v_{gs}^5} \right|_Q V^2 + \dots \right) \frac{V^3}{24} \text{sen}(3\omega t) + \\ &+ \left( \left. \frac{\partial^4 i_{out}}{\partial v_{gs}^4} \right|_Q + \dots \right) \frac{V^4}{4} \text{sen}(4\omega t) + \left( -\left. \frac{\partial^5 i_{out}}{\partial v_{gs}^5} \right|_Q + \dots \right) \frac{V^5}{1920} \text{sen}(5\omega t) + \dots \end{aligned} \quad (2.7)$$

donde se puede observar que  $I_{OUT}$  es el valor de la corriente en DC. Nótese que el segundo término deja un nivel de corriente en DC no deseado, siendo éste causado principalmente por una frecuencia de  $2\omega t$ . Para obtener la segunda, tercera, cuarta y quinta distorsión armónica es necesario definirlas como HD2, HD3, HD4 y HD5 respectivamente [1], donde

$$\begin{aligned}
 HD2 &= \frac{\left. \frac{\partial^2 i'_{out}}{\partial v_{gs}^2} \right|_Q \left( \frac{V}{4} \right)}{\left. \frac{\partial i'_{out}}{\partial v_{gs}} \right|_Q} & HD3 &= \frac{\left. \frac{\partial^3 i'_{out}}{\partial v_{gs}^3} \right|_Q \left( \frac{V^2}{24} \right)}{\left. \frac{\partial i'_{out}}{\partial v_{gs}} \right|_Q} & HD4 &= \frac{\left. \frac{\partial^4 i'_{out}}{\partial v_{gs}^4} \right|_Q \left( \frac{V^3}{192} \right)}{\left. \frac{\partial i'_{out}}{\partial v_{gs}} \right|_Q} & HD5 &= \frac{\left. \frac{\partial^5 i'_{out}}{\partial v_{gs}^5} \right|_Q \left( \frac{V^4}{1920} \right)}{\left. \frac{\partial i'_{out}}{\partial v_{gs}} \right|_Q}
 \end{aligned} \tag{2.8}$$

Es necesario conocer cada componente de la distorsión armónica, y de ésta manera determinar que parámetros se deben incrementar o disminuir, de tal manera que se maximice la linealidad. Para HD2, se sustituye (2.5) en (2.8) y se obtiene

$$HD2 = \frac{V}{4(V_{GS} - V_T) + 4v_{gs}} \tag{2.9}$$

Se observa que HD2 depende de  $V_{GS}$  y  $V$ , de tal manera que existen sólo dos maneras de disminuir HD2, la primera postula que mientras se acerque el valor de  $V_{GS}$  a  $V_T$ , ésta se incrementará, por lo tanto, si  $V_{GS}$  es ligeramente mayor a  $V_T$  para los transistores  $M_1$  y  $M_2$  (anteriormente se mencionó que era el mínimo voltaje necesario para el funcionamiento correcto del espejo), ocasionaría un funcionamiento incorrecto; mientras que la segunda opción establece que la amplitud de la señal de trabajo debe ser pequeña. Trabajando con la primera solución, se debe aumentar la diferencia  $V_{GS} - V_T$ , causando de ésta manera un incremento en la corriente de canal de  $M_1$  y  $M_2$ , de (2.3) se puede obtener la siguiente ecuación

$$V_{GS} - V_T = \sqrt{\frac{2I_{OUT}L}{\mu_n C_{ox} W}} \tag{2.10}$$

donde se observa que se debe incrementar la corriente de polarización o se debe decrementar la geometría ( $W / L$ ), ya que  $\mu_n$  y  $C_{ox}$  son parámetros que dependen del proceso con valores constantes.

De manera paralela, si se sustituye (2.1) en (2.9) en bajas frecuencias, con  $n=1$ , se encuentra que

$$V_{GS} = \frac{2I_D}{g_{m1} + g_{m2}} \tag{2.11}$$



donde se puede apreciar nuevamente que se debe aumentar  $I_D$  o disminuir las transconductancias de  $M_1$  y  $M_2$ , ya que éstas son proporcionales a la raíz cuadrada de la corriente y geometrías del transistor.

Dado que el sistema es de segundo orden, únicamente se tiene alteración en la respuesta debido a la segunda distorsión armónica, ya que la tercera, cuarta y quinta derivada de (2.5) son cero, por consiguiente  $HD_3=HD_4=HD_5=0$ .

### 2.2.- Efecto Miller.

Para analizar el efecto *Miller*, se parte del circuito en pequeña señal mostrado en la Fig. 2.2 (véase figura 2.3), y definiendo las siguientes variables

$$G_{LEQ} = g_{ds1} + g_{ds2} + g_{m2} + g_{mb2} \tag{2.12}$$

$$C_{LEQ} = C_{db1} + C_L + C_{gs2} + C_{bs2} \tag{2.13}$$

y aplicando la transformada de Laplace y la ley de corriente de Kirchhoff en los nodos 1 y 2, se obtiene

$$(V_{gs1} - V_{in})G_S + V_{gs1}sC_{gs1} + (V_{gs1} - V_{out})sC_{gd1} = 0 \tag{2.14}$$

$$(V_{out} - V_{gs1})sC_{gd1} + g_{m1}V_{gds1} + V_{out}(G_{LEQ} + sC_{LEQ}) = 0 \tag{2.15}$$

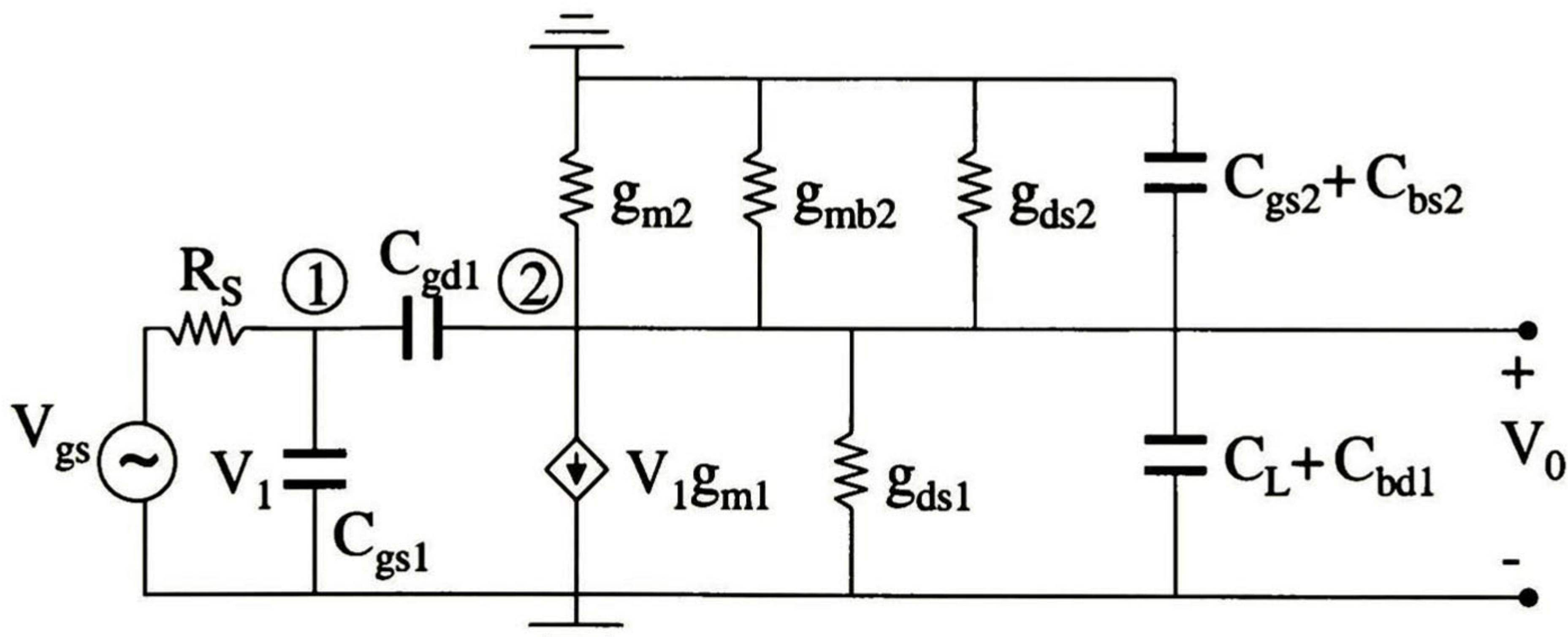


Fig. 2.3 Circuito equivalente de la Fig. 2.2 en pequeña señal.

Obteniendo la ganancia del sistema, con  $s=j\omega$ , se encuentra que

$$A_v(j\omega) = \frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{A_v^0}{1 + j\omega R_S [C_{gs1} + C_{gd1}(1 + A_v^0)]} \quad (2.16)$$

donde  $A_v^0$  es la ganancia en DC y se define como

$$\left| A_v^0 \right| = \left| \frac{-g_{m1}}{G_{LEQ}} \right| \approx \left| \frac{-g_{m1}}{g_{m2}} \right| \quad (2.17)$$

nótese que el efecto *Miller* es a través de  $C_{gd1}$  (capacitancia que es vista entre la entrada y salida del sistema) [2], donde el valor de este capacitor es de  $(1+A_v^0)$  su valor original; si  $A_v^0 \gg 1$ , el sistema será degradado por éste efecto, de manera que disminuye el ancho de banda. Por otro lado,  $M_1$  y  $M_2$  se encuentran en saturación, por lo que  $g_{m1} \approx g_{m2}$ , por lo tanto, para obtener una alta ganancia, sería casi imposible con ésta configuración, entonces el efecto Miller no puede ser apreciado, ya que  $C_{gd1}$  se verá multiplicado por un factor de 2. Una manera de obtener una alta ganancia se ilustra en la Fig. 2.4, el cual consta de tecnología CMOS (un transistor NMOS y PMOS), donde su ganancia en DC se define como

$$\left| A_v^0 \right| \approx \left| \frac{-g_{m1}}{g_{ds1} + g_{ds2}} \right| \quad (2.18)$$

y de ésta manera se puede obtener una alta ganancia, ya que cuando  $M_1$  y  $M_2$  están en saturación, la relación transconductancia/conductancia es un factor de 100 aproximadamente, es decir,  $g_m \approx 100 g_{ds}$ .

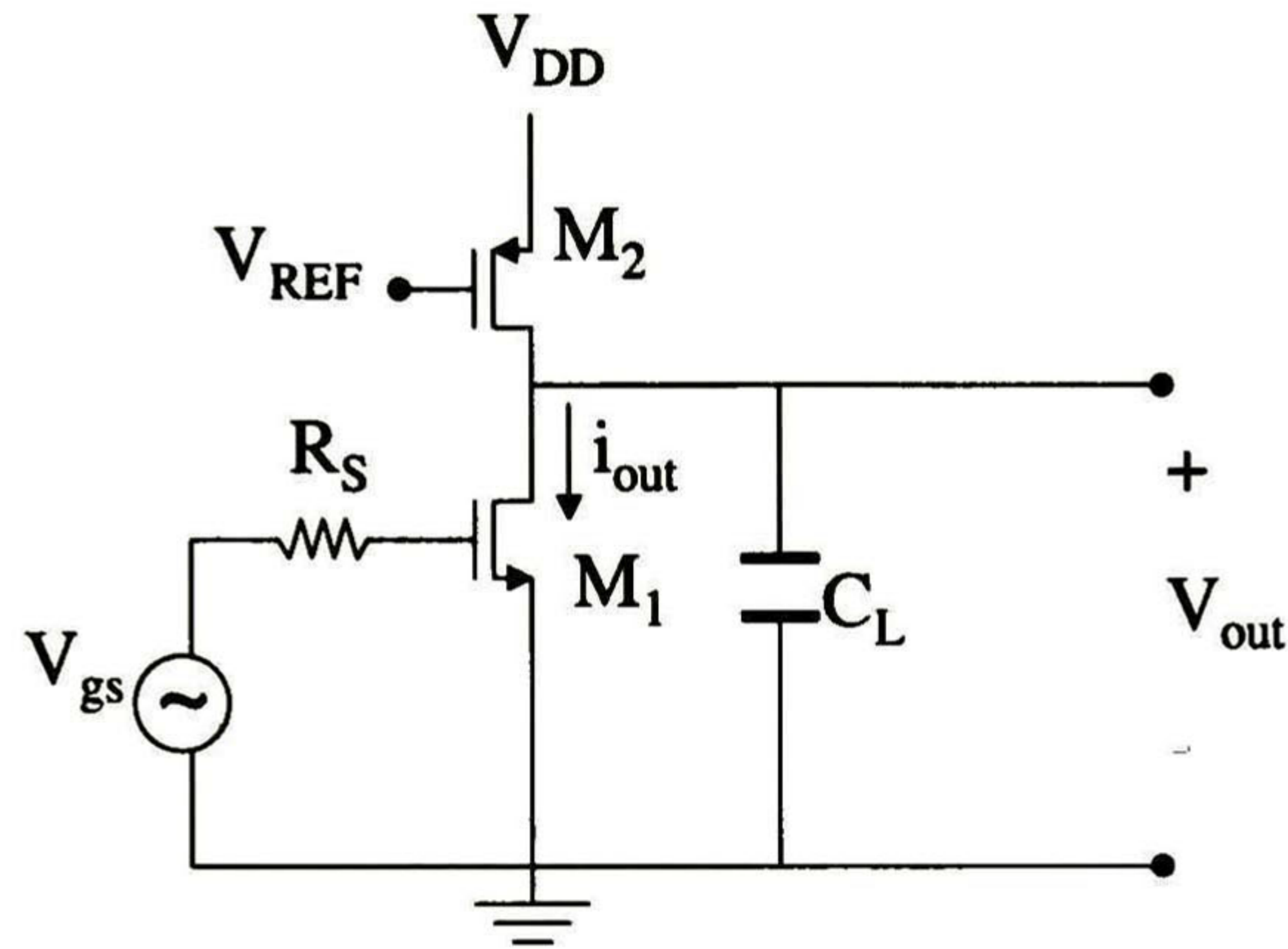


Fig. 2.4 Configuración que proporciona alta ganancia en DC.

En la Fig. 2.5 se muestra la simulación en *T-Spice* sin considerar la carga y las parásitas del transistor MOS, donde se puede observar que el sistema no presenta una frecuencia de  $-3\text{db}$  ( $f_{-3\text{db}}$ ), además de una ganancia de 34 db.

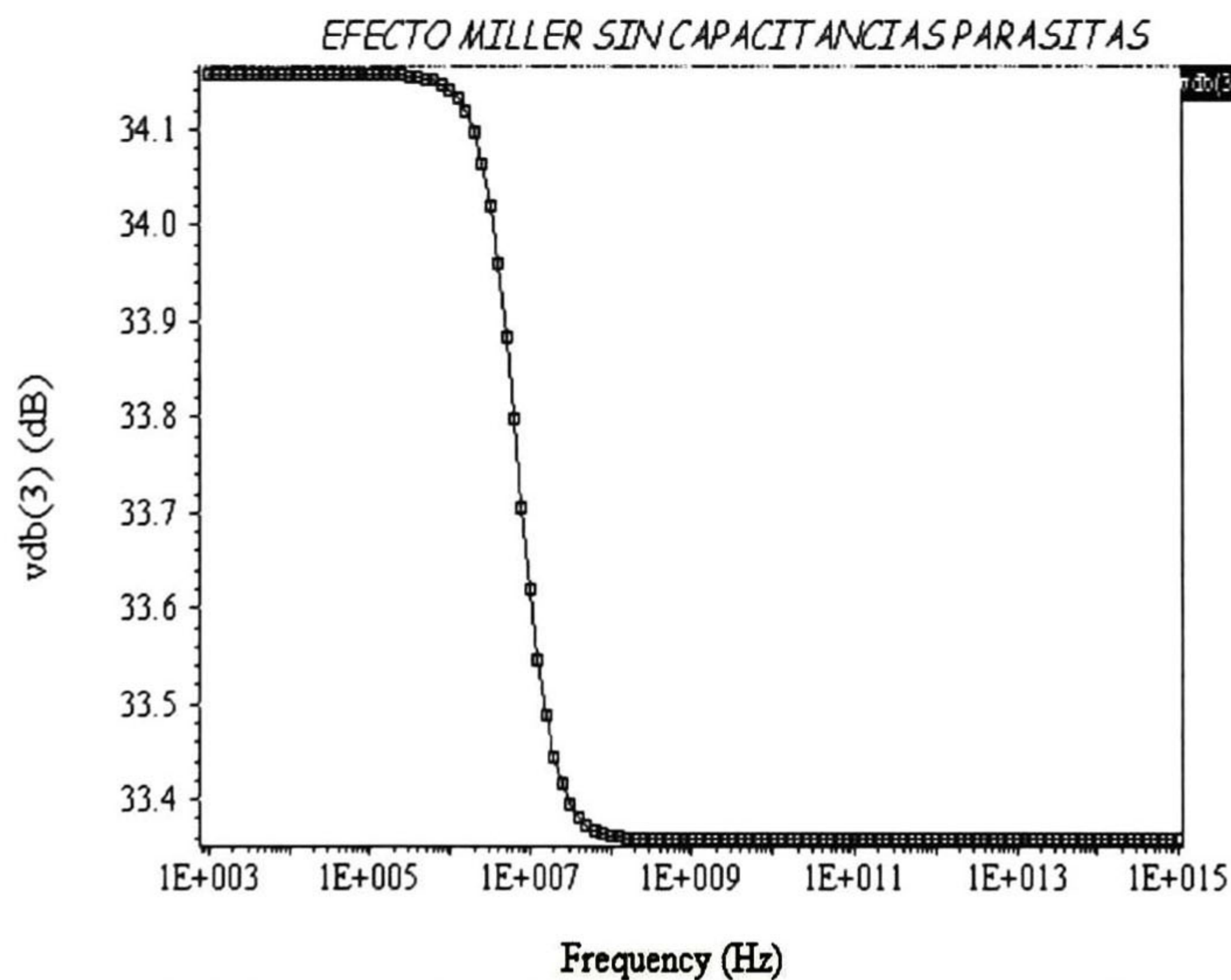


Fig. 2.5 Simulación del circuito de la Fig. 2.4 sin considerar las capacitancias parásitas.

Por otro lado, para observar que efectivamente existe el efecto Miller en la configuración de la Fig. 2.4, en la Fig. 2.6 se muestra la simulación en *T-Spice*, considerando en esta ocasión las capacitancias parásitas del transistor MOS. En ésta simulación se observa que  $f_{-3\text{db}}$  es reducida en gran medida, ya que  $f_{-3\text{db}} = 334.95\text{Khz}$ , con una ganancia de 34 db.

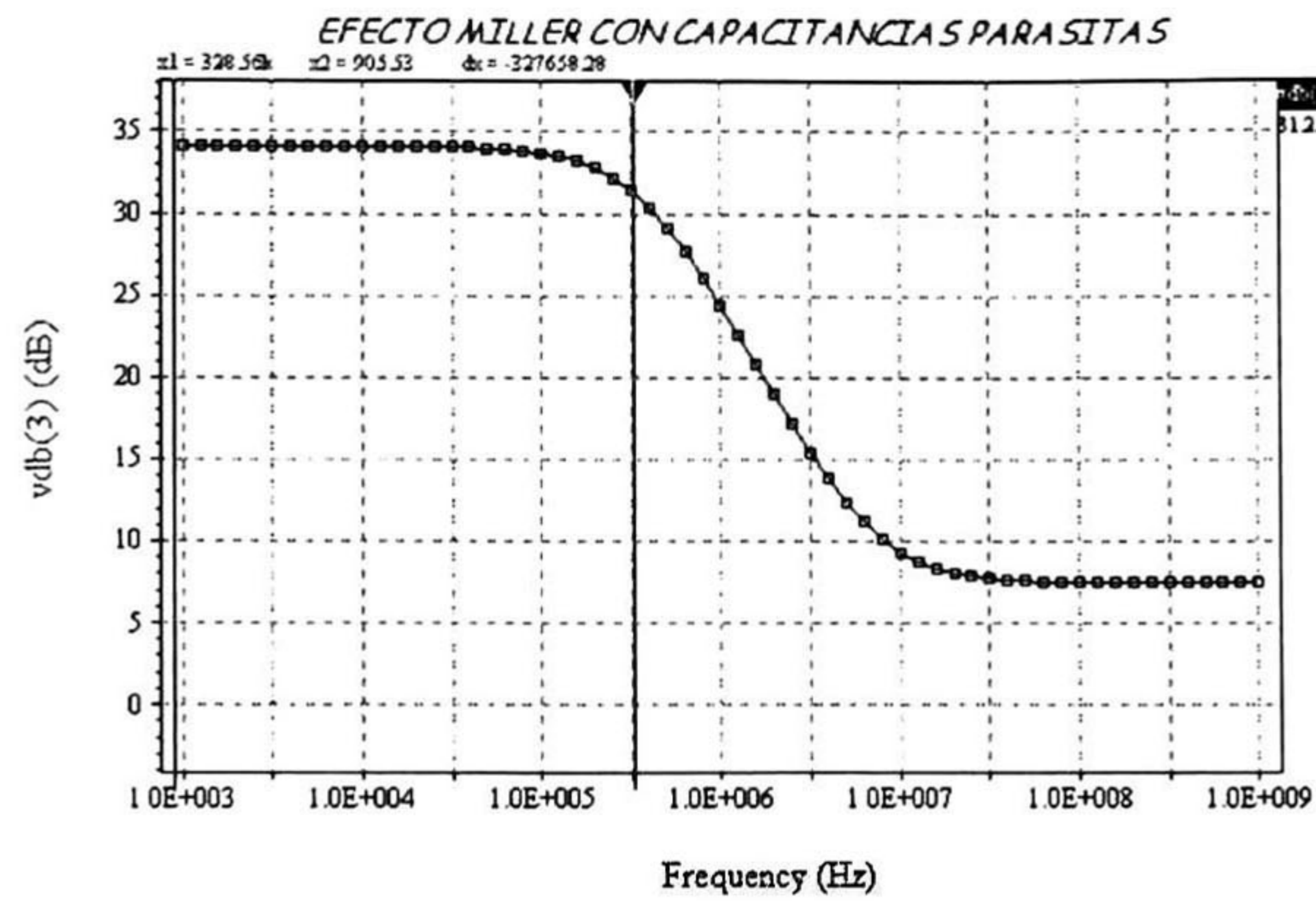


Fig. 2.6 Simulación del circuito de la Fig. 2.4, considerando las capacitancias parásitas.

Una manera de solucionar esta no idealidad, es el uso de configuraciones *Cascode* (véase Fig. 1.12), con la diferencia de tener un voltaje de referencia en el nodo de la compuerta del transistor  $M_3$ , esto es debido a que el nodo de la compuerta de  $M_3$  no puede estar al mismo nodo de compuerta de  $M_1$  y  $M_2$ , ya que se tendría un efecto Miller con  $C_{gd3}$ , además de que el ruido que se observa en el nodo de entrada, también sería visto en el nodo de salida. Una manera de analizar ésta configuración se muestra en la Fig. 2.7

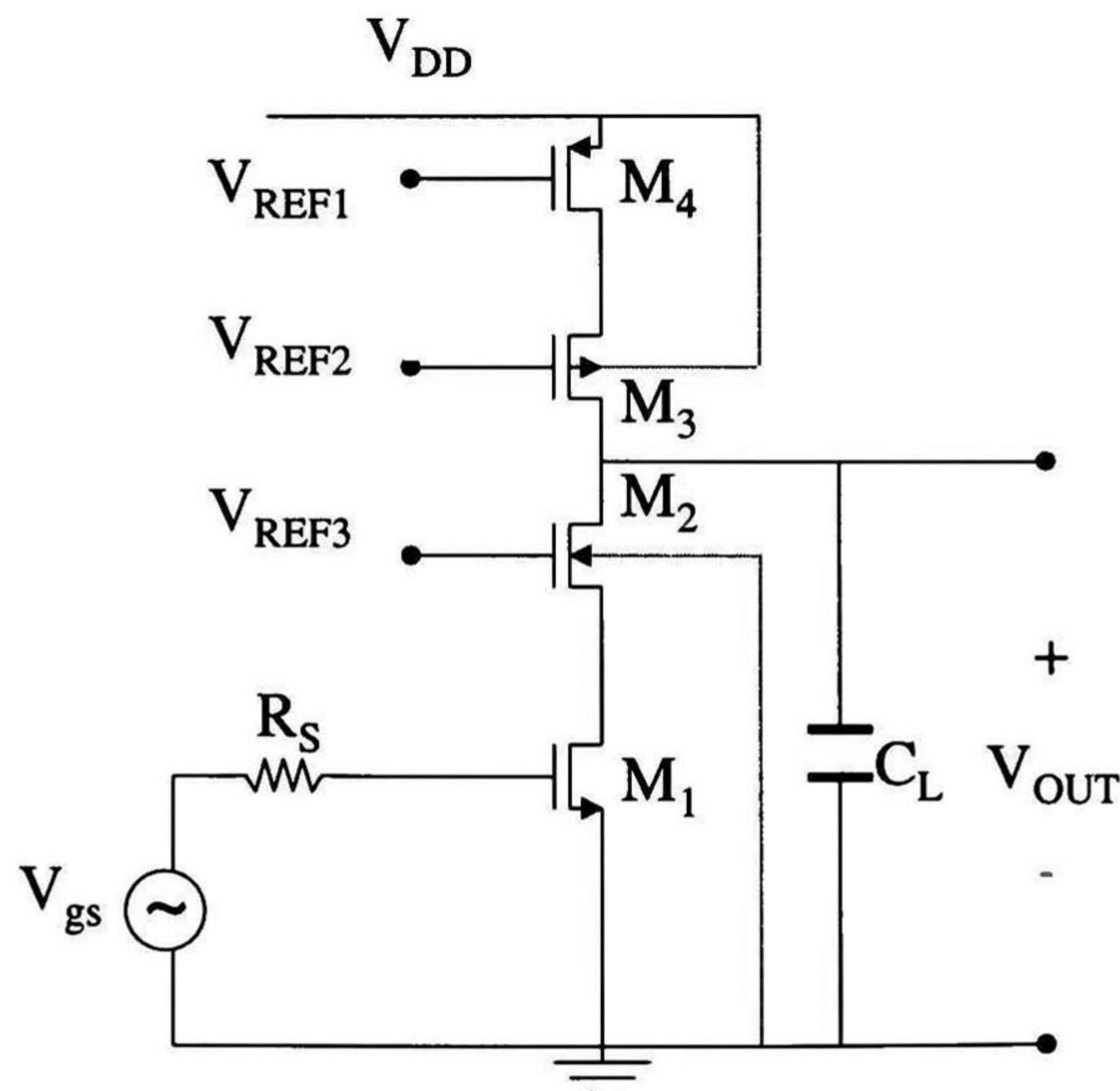


Fig. 2.7 Topología Cascode.

Realizando un análisis similar al anterior se encuentra que

$$A_v(j\omega) = \frac{V_{out}(j\omega)}{V_{in}(j\omega)} = \frac{A_v^0}{1 + j\omega R_S [C_{gs1} + C_{gd1} \left(1 + \frac{g_{m1}}{g_{m2}}\right)]} \quad (2.19)$$

donde

$$|A_v^0| \approx \left| \frac{-g_{m1}}{g_{ds3}} \right| \quad (2.20)$$

además el valor de  $C_{gd1}$  en (2.19) no es multiplicado por la ganancia en DC a diferencia de (2.16), ventaja que permite dar una ganancia dependiendo únicamente de  $M_1$  y  $M_3$ , mientras que el valor real de  $C_{gd1}$  se puede minimizar haciendo que  $g_{m1} \approx g_{m2}$  (duplicando el valor de  $C_{gd1}$ ), además de que este capacitor ya no es visto de la entrada a la salida del sistema. Nótese además que es fácil obtener una alta ganancia en DC, ya que  $g_{m1} \approx 100 g_{ds3}$  cuando los transistores están en saturación. En la Fig. 2.8 se muestra la simulación del circuito de la Fig. 2.7, donde se puede apreciar que efectivamente mejora el ancho de banda y la ganancia, ya que  $f_{.3db}$  es de 2.33MHz, es decir, mejoró con 2.0 MHz aproximadamente la configuración anterior, mientras que mantiene una ganancia en DC de 47db. La mejora es significativa debido a que el polo que se introduce por  $C_{gd1}$  en la ecuación (2.16) a través de la configuración mostrada en la Fig. 2.4, es multiplicado por un factor de 51 aproximadamente, mientras que en la configuración mostrada en la Fig. 2.7 éste es multiplicado por un factor de 2, haciendo de ésta manera que el polo sea transportado a altas frecuencias.

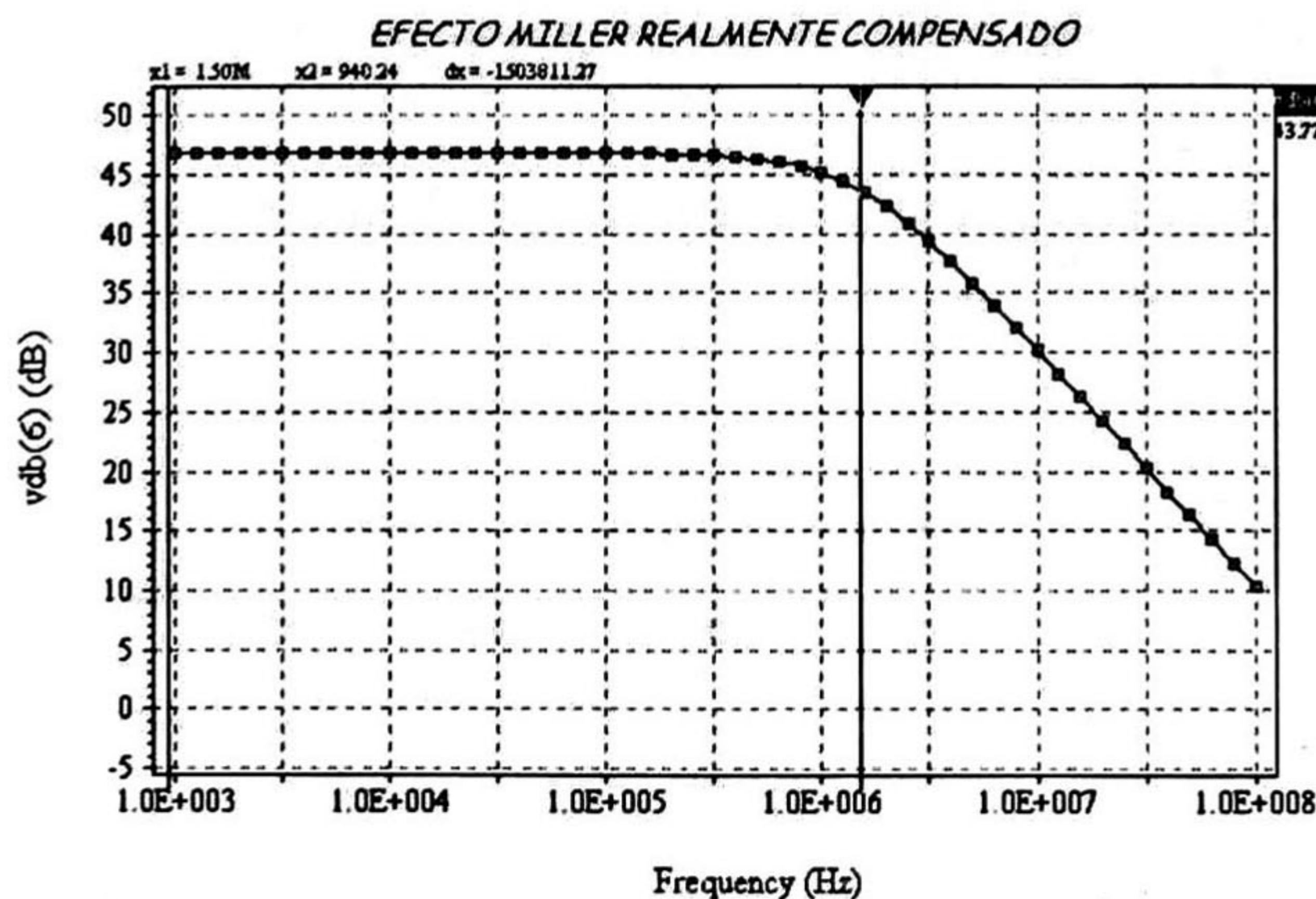


Fig. 2.8 Simulación del circuito de la Fig. 2.7.

### 2.3.- Ruido en los rieles de alimentación.

Para analizar el efecto del ruido del riel negativo de alimentación (ya que se está diseñado con estructuras NMOS) al nodo de salida en la configuración simple (véase figura 2.1), se puede obtener la relación entre la corriente de salida y la magnitud del voltaje de ruido,  $V_{noise}$  (esta fuente se observa entre el riel más negativo y el transistor  $M_2$ ), dada por

$$\frac{i_{out}}{V_{noise}} \approx -g_{m2} \tag{2.21}$$

En la fig. 2.9b se muestra la simulación para el circuito mostrado en la Fig. 2.9a; fue diseñado para conducir una corriente de polarización de  $10\mu A$ , es decir, al sistema no se le excita con señal alguna; únicamente es polarizado y se le agrega una fuente de voltaje alterno en la fuente de alimentación negativa (GND), como puede esperarse, la corriente de polarización debe ser independiente de la frecuencia, pero esto no se mantiene debido a las variaciones de GND, como se puede observar en la simulación, ya que a bajas frecuencias se mantiene una corriente de polarización constante de  $20\mu A$ , y en frecuencias mayores a  $10MHz$  se incrementa de manera exponencial.

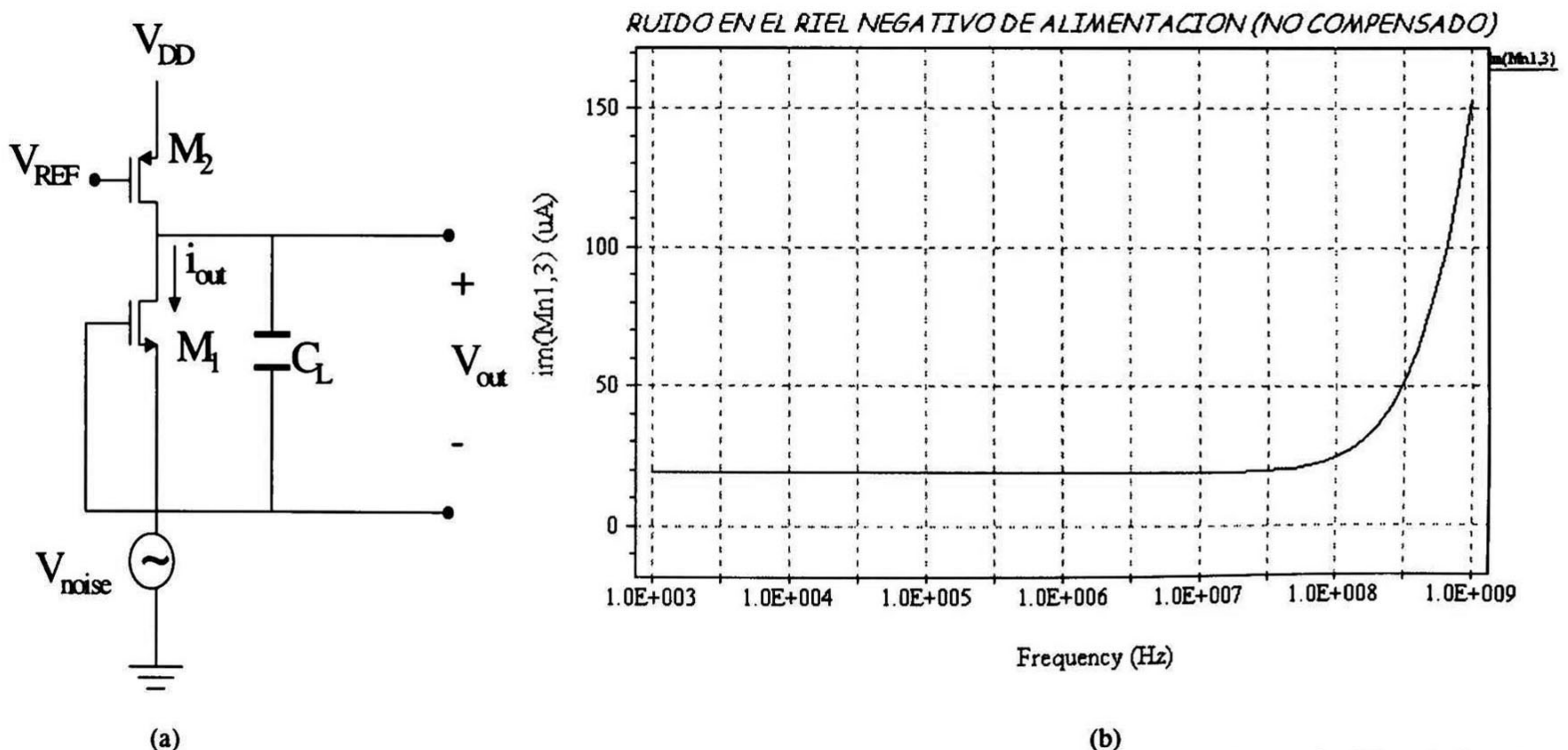


Fig. 2.9 (a) Esquemático del ruido en el riel negativo y (b) Simulación con un voltaje de ruido ( $V_{noise}$ ) de  $1V_{pp}$ .

Haciendo un análisis similar para la configuración de la Fig. 2.7 se tiene

$$\frac{i_{out}}{V_{noise}} \approx -g_{m2} \tag{2.22}$$

nótese que no se mejora la relación ( $i_{out} / V_{noise}$ ), ya que en la Fig. 2.10 se puede observar que el comportamiento de la corriente de polarización es similar al de la Fig. 2.9, con la única diferencia de que parece decrementar a una frecuencia de 10MHz, pero retomando un incremento exponencial a partir de 1 GHz.

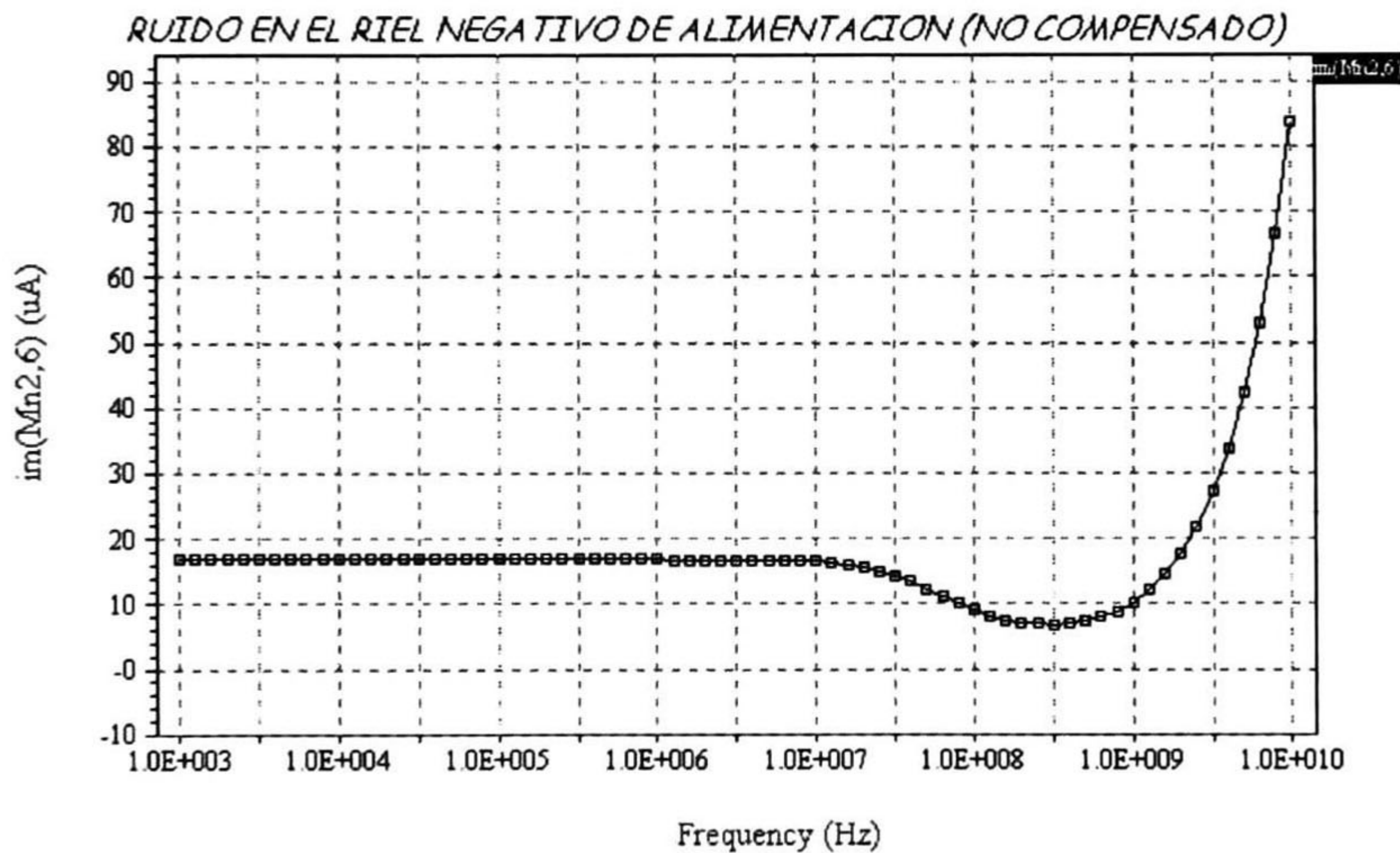


Fig. 2.10 Simulación del circuito mostrado en la Fig. 2.7 con un voltaje de ruido ( $V_{noise}$ ) de 1V pp.

Una solución a ésta no idealidad es presentada en la Fig. 2.11, encontrando que

$$\frac{i_{out}}{V_{noise}} \approx -\frac{1}{R_0} \tag{2.23}$$

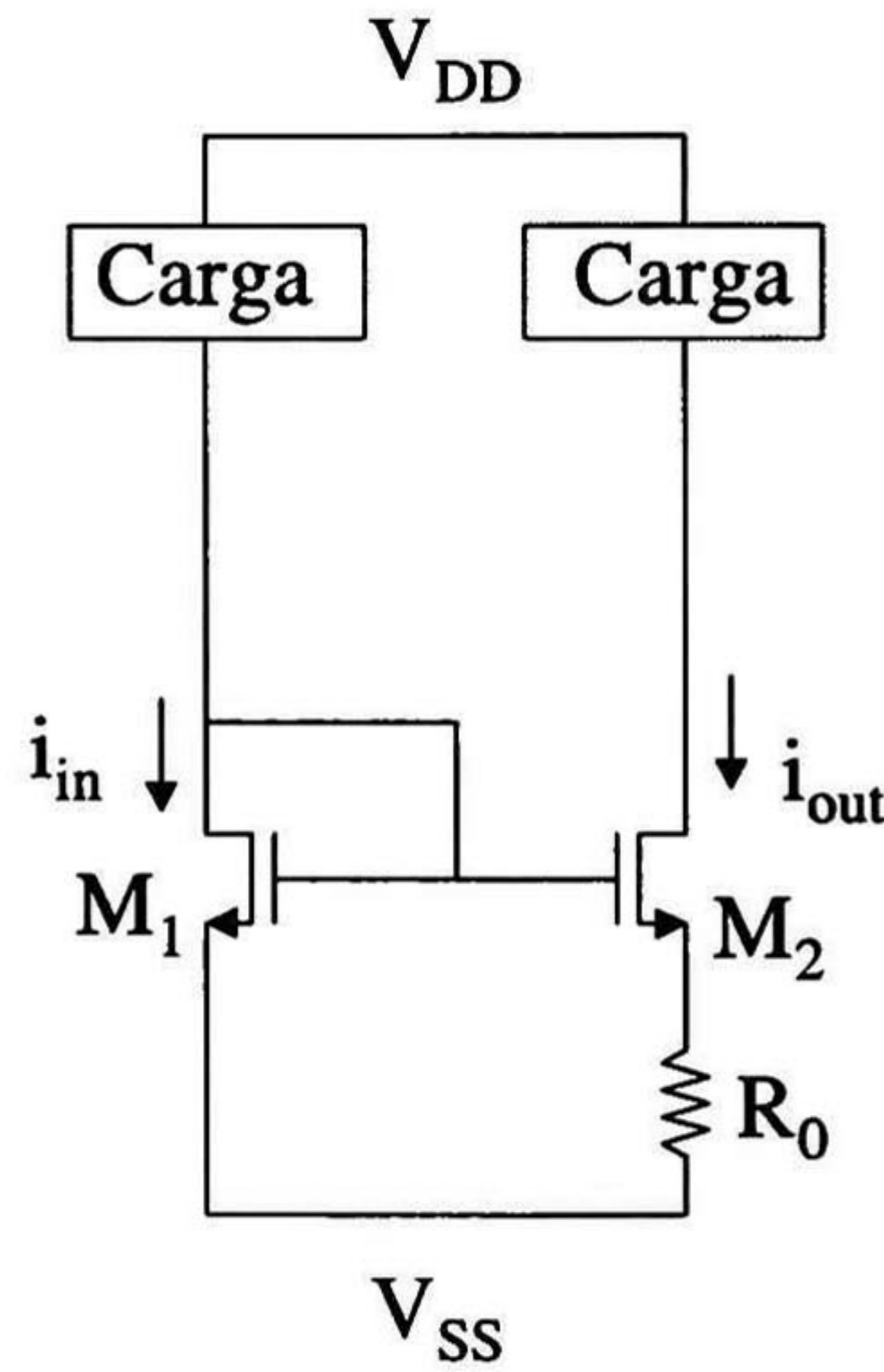


Fig. 2.11 Configuración utilizada para disminuir la relación  $(i_{out} / V_{noise})$ .

donde se puede apreciar que  $R_0$  debe tener un alto valor, pero se debe cuidar que además no degrade la respuesta del sistema, es decir que no presente una impedancia infinita. El resistor es implementado con un transistor NMOS, éste operara en su región lineal, por lo tanto, la corriente del transistor obedece a la expresión

$$i_d = \mu_n C_{ox} \left( \frac{W}{L} \right) \left( V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \tag{2.24}$$

y la transconductancia se define como

$$g_m = \frac{\partial i_d}{\partial V_{DS}} = \mu_n C_{ox} \left( \frac{W}{L} \right) (V_{GS} - V_T - V_{DS}) \tag{2.25}$$

por lo tanto, si (2. 23) es cero, el resistor  $R_0$  debe ser de gran valor, o dicho de otra manera  $(1/R_0)$  es igual a  $g_o$ , la cual debe tener un valor de cero aproximadamente, además ya que el término  $V_{GS} - V_T$  es mucho mayor que  $V_{DS}$ , éste puede ser ignorado, entonces, la única manera que (2. 25) sea cero, el término  $(V_{GS}-V_T)$  debe ser de valor muy pequeño, esto quiere decir que  $V_{GS}$  sea ligeramente mayor a  $V_T$ , teniendo como consecuencia disminución del ruido del riel negativo hacia el nodo de salida pero esto implicará un incremento en la distorsión armónica (HD2), como se observa en (2.9).



En la Fig. 2.12 se muestra la simulación de la configuración de la Fig. 2.11, donde se puede apreciar que efectivamente el ruido que se introduce a través del riel negativo es minimizado. Para ello se utilizó una  $R_o$  de  $40K\Omega$  o  $g_o$  de  $2.5 \times 10^{-5}$ . En ésta se puede observar que se mantiene constante la corriente de polarización, independientemente de la frecuencia se mantiene en  $10\mu A$  aproximadamente.

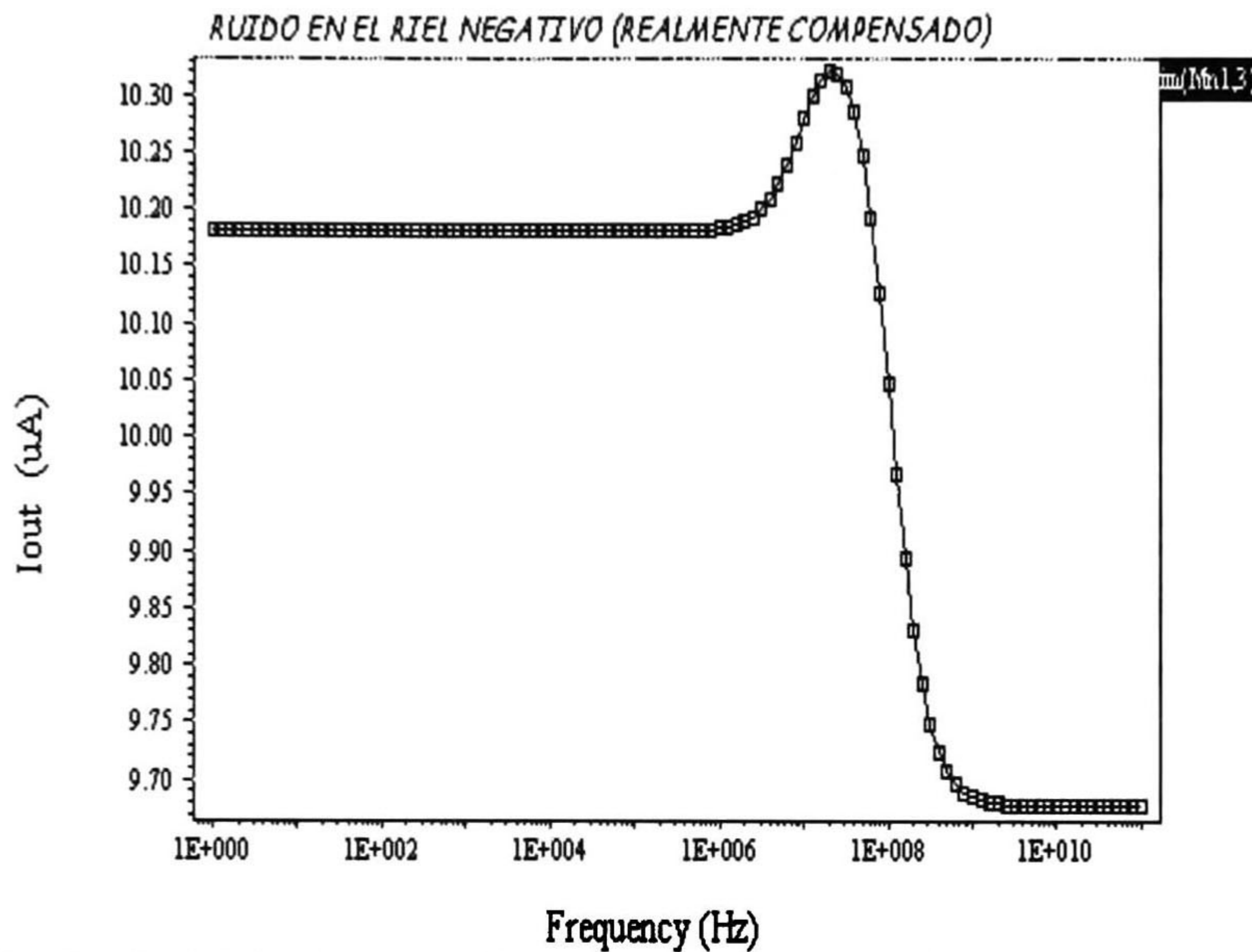


Fig. 2.12 Simulación del circuito mostrado en la Fig. 2.11 con un voltaje de ruido ( $V_{noise}$ ) de 1V pp.

## 2.4.- Ruido en los transistores MOS.

El ruido en un transistor MOS se define como pequeñas variaciones de su corriente  $i_d$  a través de un intervalo de tiempo, las cuales pueden interferir con las débiles señales (estrictamente hablando de circuitos analógicos) de interés. Existen 3 fuentes generadoras de ruido en los transistores MOS: *ruido Shot*, *Térmico* y *Flicker*.

### 2.4.1.- Ruido Shot.

Este ruido se debe al proceso aleatorio asociado a la movilidad de los portadores saltando del sustrato al canal, produciendo una corriente  $I_{SUB}$ , es decir, saltando la banda de agotamiento. Este fenómeno se puede ver como el efecto avalancha en la unión P-N, debido a que el transistor invierte la parte superior del sustrato cuando se encuentra en estado de conducción. Una

interpretación de esta fuente generadora de ruido es cuando se incrementa  $I_{SUB}$ , el potencial del sustrato comienza a incrementarse, decrementando así la resistencia del sustrato (obedeciendo la ley de Ohm,  $V_{SUB} = I_{SUB} R_{SUB}$ , donde  $R_{SUB}$  es la resistencia efectiva del sustrato). Esta polarización positiva entre el sustrato y la fuente del transistor hace que se reduzca el voltaje de umbral [2], produciendo de ésta manera cierta señal que no es esperada. Esta fuente de ruido se genera cuando se aplican grandes campos eléctricos (grandes voltajes entre drenaje y fuente) y las densidades de carga son pequeñas en el semiconductor; debido a que en los transistores MOS que operan en su región de saturación tienen campos eléctricos pequeños y la densidad de carga en el canal es grande, ésta fuente de ruido puede ser ignorada.

#### 2.4.2.- Ruido Térmico.

Para analizar el ruido térmico, se analiza un resistor de valor,  $R$ , donde los electrones tienen un movimiento aleatorio debido al efecto de la temperatura, ésto es por las fluctuaciones de voltaje,  $v_{nT}$ , en el resistor [2]-[6]. Este voltaje se puede definir como

$$\overline{v_{nT}^2} = 4kTR\Delta f \quad (2.26)$$

donde  $k$  es la constante de Boltzman y  $\Delta f$  el ancho de banda de interés (para una temperatura ambiente,  $4kT = 1.66 \times 10^{-20}$  V-C). La ec. (2.26) parece mostrar que la energía del ruido es infinita, ya que éste existirá para cualquier frecuencia dada, sin embargo, para frecuencias relativamente altas ( $\approx 10^{13}$  Hz) toma lugar otro fenómeno físico, éste causa que  $\overline{v_{nT}^2}$  se decremente. De manera similar puede definirse a la fluctuación promedio de corriente al cuadrado,  $\overline{i_{nT}^2} = 4kTG\Delta f$ , donde  $G=1/R$ .

El valor promedio (en DC) del ruido térmico es cero. De aquí que su densidad espectral  $\overline{v_{nT}^2}/\Delta f$  es independiente de la frecuencia (al menos en bajas frecuencias), por lo que se le llama ruido *blanco*.

Puesto que el canal de un MOS en conducción contiene portadores libres, éste está propenso al ruido térmico, siendo  $R$  la resistencia del canal, donde  $R = (3/2g_m)$  [7],[8]. El ruido se puede modelar a través de una fuente de corriente, como se muestra en la Fig. 2.13.

Algunos de las causas que afectan a la resistencia del canal de un MOS son [9]:

1. *El campo eléctrico aplicado al dispositivo.* Este incrementa o decrece la velocidad de los portadores mayoritarios, ocasionando así un decremento o incremento, respectivamente, de las movilidades efectivas.
2. *La longitud efectiva del canal.* Esta decrece conforme  $V_d$  se incremente más allá de  $V_{SAT}$ .
3. *El voltaje de umbral.* Este decrece con la disminución de la longitud del canal y con el incremento del potencial del drenaje.

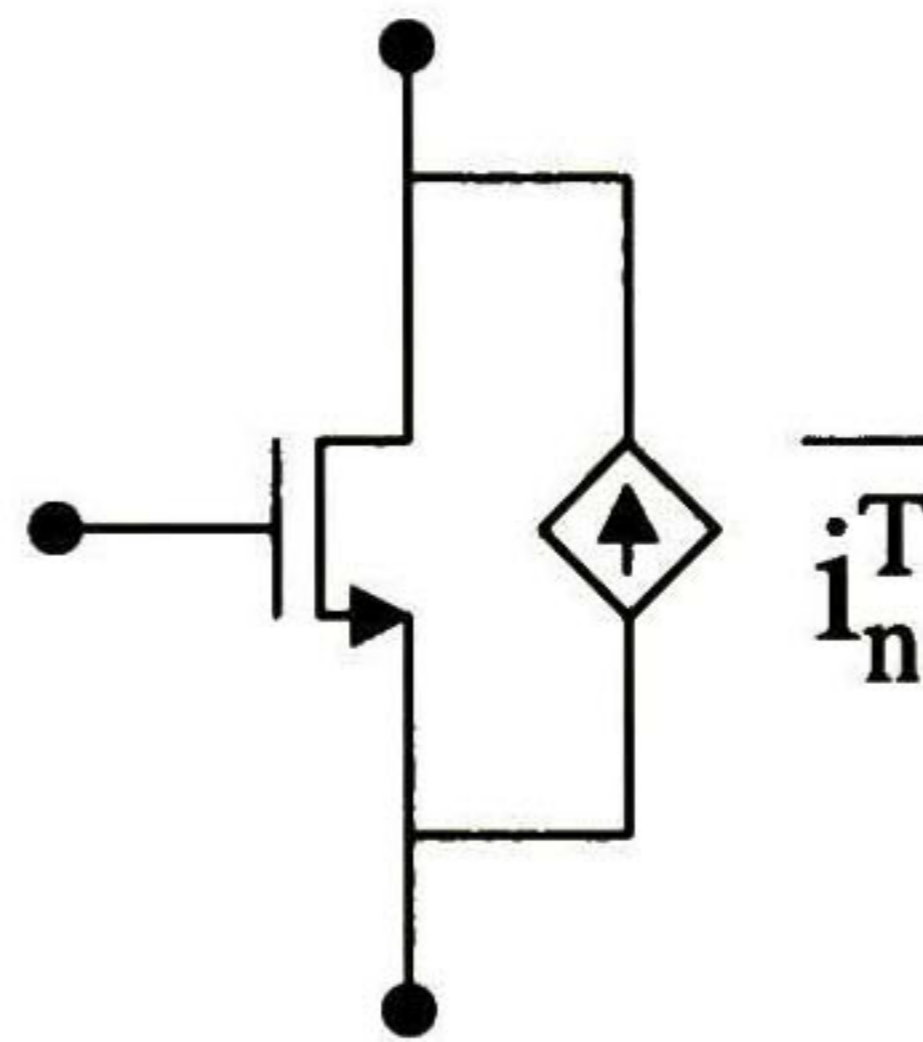


Fig. 2.13 Modelo equivalente de un MOS con ruido térmico.

por lo tanto, la densidad espectral del ruido térmico se puede escribir como

$$S_{IW} = \frac{\overline{i_n^2}}{\Delta f} = \frac{8}{3} kT g_m \tag{2.27}$$

### 2.4.3.- Ruido Flicker (1/f).

En un transistor MOS, existen electrones extras en los estados de energía entre la frontera Si y SiO<sub>2</sub>. Estos pueden atrapar y liberar electrones del canal, por lo cual generan ruido. Debido a que éste proceso es lento, la mayor cantidad de ruido se genera en bajas frecuencias. Este ruido es proporcional a la temperatura y a la densidad de estados superficiales; e inversamente

proporcional a la geometría del transistor y a la capacitancia del óxido (unidad por área,  $C_{ox}$ ) . El nivel de ruido promedio al cuadrado en voltaje se define como [4],[10]

$$\overline{v_{nf}^2} = \frac{k}{C_{OX}WL} \frac{\Delta f}{f} \tag{2.28}$$

donde  $k$  depende del proceso de fabricación y temperatura (un valor típico es  $3 \times 10^{-24} \text{ V}^2\text{-C}$ ). El nivel de ruido también lo podemos cuantificar como una corriente, de la manera

$$\overline{i_{nf}^2} = \frac{k}{C_{OX}WL} \frac{\Delta f}{f} g_m^2. \text{ Este ruido es llamado también } 1/f, \text{ debido al factor que involucra la}$$

expresión. La densidad espectral del ruido  $1/f$  se define como

$$S_{If} = \frac{\overline{i_{nf}^2}}{\Delta f} = \frac{k}{C_{OX}WL} \frac{1}{f} g_m^2 \tag{2.29}$$

El ruido en un MOS puede ser modelado como una fuente de corriente en paralelo con  $g_m V_{gs}$ , como se ilustra en la Fig. 2.14. El nivel de ruido en términos RMS (raíz cuadrada media) [3],[4] se define por

$$i_n = \sqrt{i_{nT}^2 + i_{nf}^2} = \sqrt{\frac{8}{3} kTg_m + \frac{kg_m^2}{C_{OX}WLf}} \tag{2.30}$$

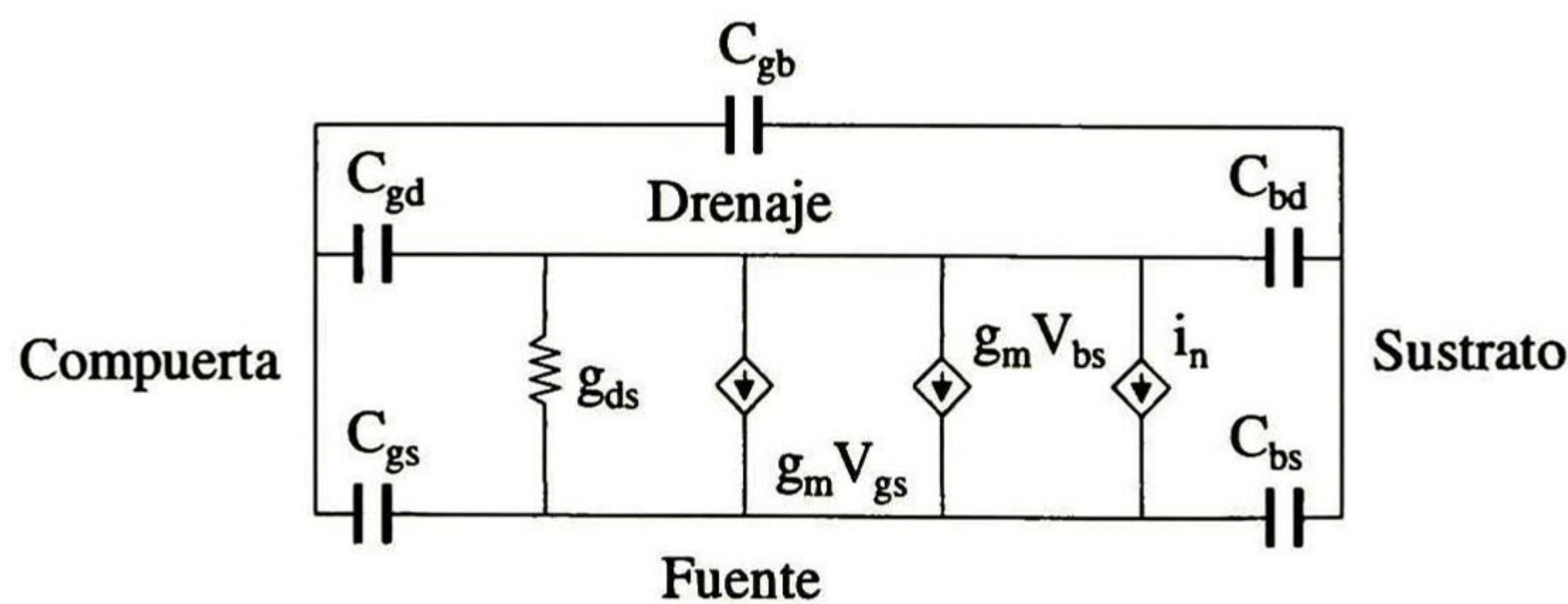


Fig. 2.14 Circuito equivalente en pequeña señal de un MOS con ruido [9].

La relación entre las pequeñas señales de voltaje y/o corriente en un circuito y el voltaje y/o corriente de ruido total en la salida, es generalmente un parámetro de interés, ya que ésta caracteriza el impacto que tiene el nivel de ruido sobre el desempeño de un circuito. Dos indicadores usualmente utilizados son: *relación señal - ruido (SNR)* y el *rango dinámico*. Ya que las amplitudes de las señales de ruido son lo suficientemente pequeñas para que sean consideradas como pequeñas señales, el modelo equivalente en pequeña señal del MOS es utilizado para analizar el ruido en los circuitos [4].

De (2.30) se puede observar que para minimizar  $i_n$  se debe disminuir el valor de  $g_m$  del transistor, ya sea disminuyendo la corriente de polarización o sus geometrías, o incrementando el término  $(V_{GS}-V_T)$  y disminuyendo las geometrías para mantener el mismo nivel de corriente de polarización, ya que  $C_{OX}$  y  $\mu$  son parámetros constantes que dependen del proceso de fabricación.

## 2.5.- Transistor MOS como interruptor analógico.

En las secciones anteriores, se han analizado las fuentes generadoras de ruido en los transistores MOS, así como las no idealidades en las estructuras denominadas espejos de corriente. Estas últimas, son los bloques fundamentales de la celda de memoria, que a su vez son la célula de corriente conmutada. Como su nombre lo indica, corriente conmutada es una técnica que a través de celdas de memorias (o espejos de corriente, ya sean estáticos o dinámicos) copian, multiplican, dividen, etc., una corriente, a través de un proceso de conmutación, es decir, entre la etapa de entrada y de salida existe un arreglo de interruptores para aislarlas entre sí. Los interruptores utilizados en el diseño analógico son implementados con transistores MOS.

En la Fig. 2.15a se ilustra un interruptor ideal controlado por voltaje, mientras que en la Fig. 2.15b se muestra el modelo equivalente de un interruptor analógico real. El funcionamiento del interruptor es como se describe a continuación:

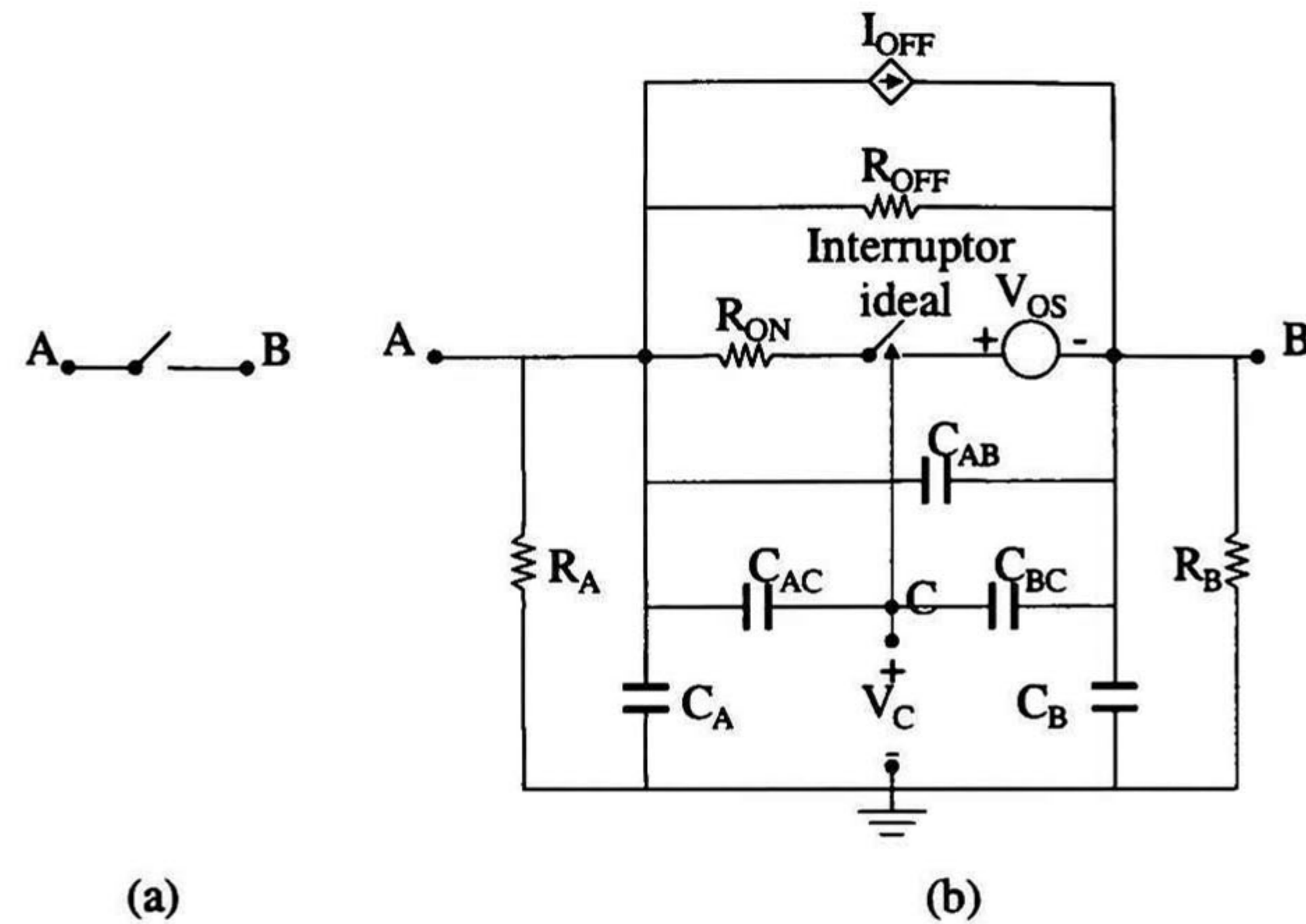


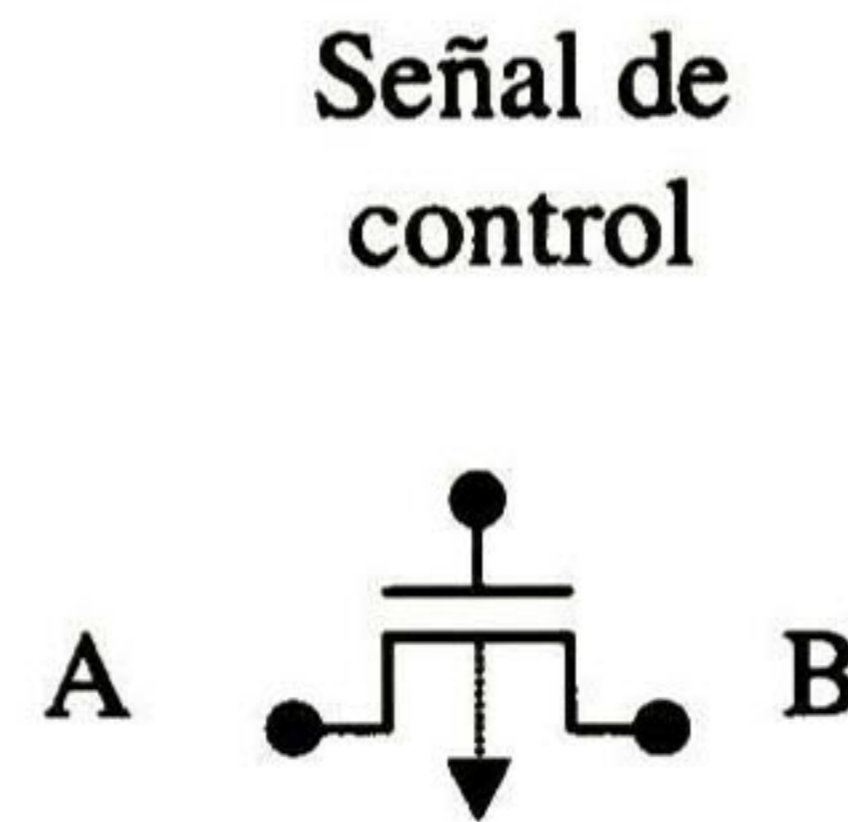
Fig. 2.15 Interruptor analógico (a) ideal y (b) real.

el voltaje de control,  $V_C$ , determina el estado del interruptor, es decir, en conducción o no-conducción. El interruptor controlado por voltaje es realmente un dispositivo de tres terminales, donde **A** y **B** son las terminales del interruptor por donde fluye la señal de interés, mientras **C** es la terminal donde se aplica  $V_C$ . Las características más importantes de un interruptor son:

- La resistencia en el estado de encendido,  $R_{ON}$ .
- La resistencia en el estado de apagado,  $R_{OFF}$ .
- Voltaje offset,  $V_{OS}$ .
- Corriente de fuga,  $I_{OFF}$ .

En un interruptor ideal  $R_{ON}$  es cero y  $R_{OFF}$  es infinita pero, debido a que esto no se mantiene en la práctica, se debería tratar que  $R_{ON}$  fuera lineal para anular distorsión armónica. La mayoría de los interruptores analógicos presentan un pequeño offset, modelado en la Fig. 2.15b como  $V_{OS}$ , éste representa el voltaje que existe entre las terminales **A** y **B** cuando el interruptor se encuentre en su estado de conducción.  $I_{OFF}$  representa la corriente de fuga que existe en el interruptor en el estado de apagado. Por otro lado,  $C_A$ ,  $C_B$ ,  $C_{AB}$ ,  $C_{AC}$  y  $C_{BC}$  son las capacitancias parásitas del proceso de fabricación de un transistor MOS, éstas toman un papel muy importante ya que contribuyen al efecto denominado *feedthrough*, el cual se analiza después [11].

El interruptor analógico es implementado con un transistor MOS como se muestra en la Fig. 2.16, debido a que este dispositivo presenta una alta impedancia (en DC) en el nodo de entrada (compuerta), además durante su estado de no conducción presenta un excelente aislamiento entre el drenaje y fuente (en DC), por otro lado, durante su estado de conducción el valor de  $V_{OS}$  es casi cero [12].



**Fig. 2.16** Interruptor analógico implementado con un transistor MOS.

La resistencia de encendido de un transistor MOS se puede definir como

$$R_{ON-Ohmica} = \left( \frac{\partial i_d}{\partial V_{DS}} \right)^{-1} = \left[ \mu C_{OX} \left( \frac{W}{L} \right) (V_{GS} - V_T - V_{DS}) \right]^{-1} \quad (2.31)$$

ya que un transistor MOS en su estado de conducción necesita un  $V_{GS}$  grande y un  $V_{DS}$  pequeño, por lo tanto el dispositivo MOS trabaja en la región ohmica. Además cuando  $V_{GS} < V_T$  y  $V_{DS} = 0$ ,  $R_{ON}$  se considera infinita.  $R_{ON}$  limita ampliamente el uso del interruptor en los circuitos analógicos ya que [12]:

1. El valor absoluto de  $R_{ON}$  presenta grandes variaciones con los cambios de temperatura y parámetros del proceso, y
2.  $R_{ON}$  no es constante con respecto a los cambios de la señal de control que se le aplica al interruptor.

### 2.5.1.- Clockfeedthrough.

Una limitación que presentan los interruptores analógicos es el efecto denominado *clockfeedthrough*, éste ocurre a través de la señal de control del interruptor y las terminales A y/o B. Este acoplamiento ocurre a través de las capacitancias parásitas del interruptor ( $C_{AC}$  y  $C_{BC}$ , correspondiendo a  $C_{gd}$  y  $C_{gs}$  del dispositivo MOS). En la Fig. 2.17a se ilustra una aplicación del

interruptor analógico, en la Fig. 2.17b se muestra el interruptor ideal de la Fig. 2.17a implementado con un transistor MOS, mientras en la Fig. 2.17c se da el circuito con las capacitancias parásitas asociadas.

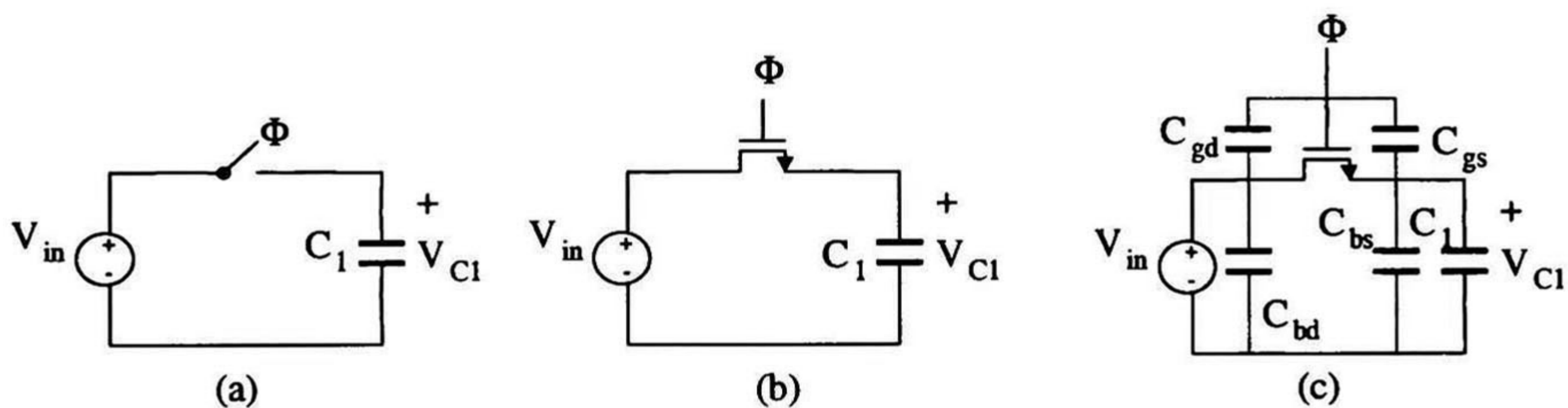


Fig. 2.17 Aplicación del interruptor analógico (a) ideal, (b) implementado con un transistor MOS y (c) Incluyendo las capacitancias parásitas del MOS.

Debido a que el tiempo que toma la transición (bajo-alto y alto-bajo) de la señal de reloj es grande, ésta señal puede acoplarse fácilmente a la fuente o drenaje del transistor a través de  $C_{gs}$  y/o  $C_{gd}$  respectivamente. Para observar los efectos de éste fenómeno, supóngase que la señal de control,  $\phi$ , de la Fig. 2.17c tiene la forma que se muestra en la Fig. 2.18, la cual tiene tiempos de elevación y caída finitos para propósitos de explicación.

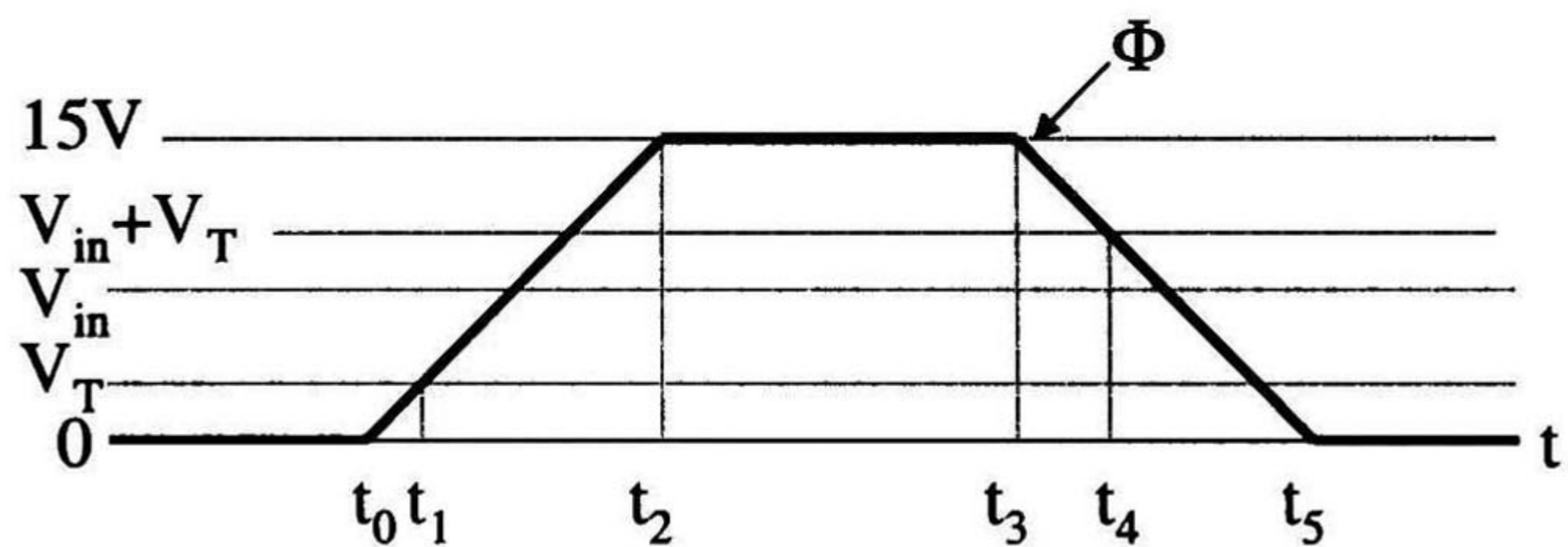


Fig. 2.18 Señal de control,  $\phi$ , para el circuito de la Fig. 2.17c.

Dada la convención de que la fuente de un transistor NMOS se conecta al nodo más negativo entonces, la fuente del transistor de la Fig. 2.17c se conecta al capacitor  $C_1$ . Durante el tiempo  $t_0$  a  $t_1$  el interruptor se encuentra en estado de no-conducción y el acoplamiento de la señal  $\phi$  es a través de  $C_{gd}$  y  $C_{gs}$ . El clockfeedthrough a través de  $C_{gd}$  no tienen efecto, ya que la señal de control no afecta a  $V_{in}$ ; sin embargo, a través de  $C_{gs}$  cambiará a  $V_{C1}$ , es decir, cuando  $\phi$  conmute de 15V a  $(V_{in}+V_T)$ , el interruptor aún sigue en estado de conducción, que idealmente debería estar en estado de no-conducción, tomando lugar el efecto *clockfeedthrough* en  $C_1$ , afectando a  $V_{C1}$  de la siguiente manera (ya que  $C_{gs}$  queda en paralelo con  $C_1$ ), la carga en el capacitor  $C_{gs}$  está dada por



$$Q_{C_{gs}} = C_{gs}(V_{in} - (V_{in} - V_T)) \quad (2.32)$$

y la carga  $C_1$  como

$$Q_{C_1} = C_1 V_{in} \quad (2.33)$$

teniendo como carga total

$$Q_T = Q_{C_{gs}} + Q_{C_1} = C_{gs}(V_{in} - (V_{in} - V_T)) + C_1 V_{in} \quad (2.34)$$

debido a que las capacitancias  $C_1$  y  $C_{gs}$  quedan en paralelo a partir de  $t_4$ , el voltaje de salida se define como

$$V_{C_1} = \frac{Q_T}{C_T} = \frac{C_{gs}(V_{in} - (V_{in} - V_T)) + C_1 V_{in}}{C_{gs} + C_1} = V_{in} - \left( \frac{C_{gs}}{C_{gs} + C_1} \right) (V_{in} + V_T) \quad (2.35)$$

nótese de la ec. (2.35) aparece una desviación del voltaje de salida esperado, siendo éste

$$\Delta V_{C_1} = - \left( \frac{C_{gs}}{C_{gs} + C_1} \right) (V_{in} + V_T) \quad (2.36)$$

por ejemplo, supóngase que  $C_{gs} = 1 \text{ fF}$  y  $C_1 = 5 \text{ pF}$ , con  $V_{in} = 5\text{V}$  y  $V_T = 0.7\text{V}$ , la variación del voltaje de salida es de  $-1.13\text{mV}$ . El clockfeedthrough se define como un offset, el cual puede ser un problema muy serio si las señales de interés son pequeñas, además el clockfeedthrough es dependiente de los parámetros del proceso y de la señal de interés. De manera similar se puede hacer un análisis para la transición bajo-alto para la señal  $\phi$ , teniendo una desviación en el voltaje de salida de

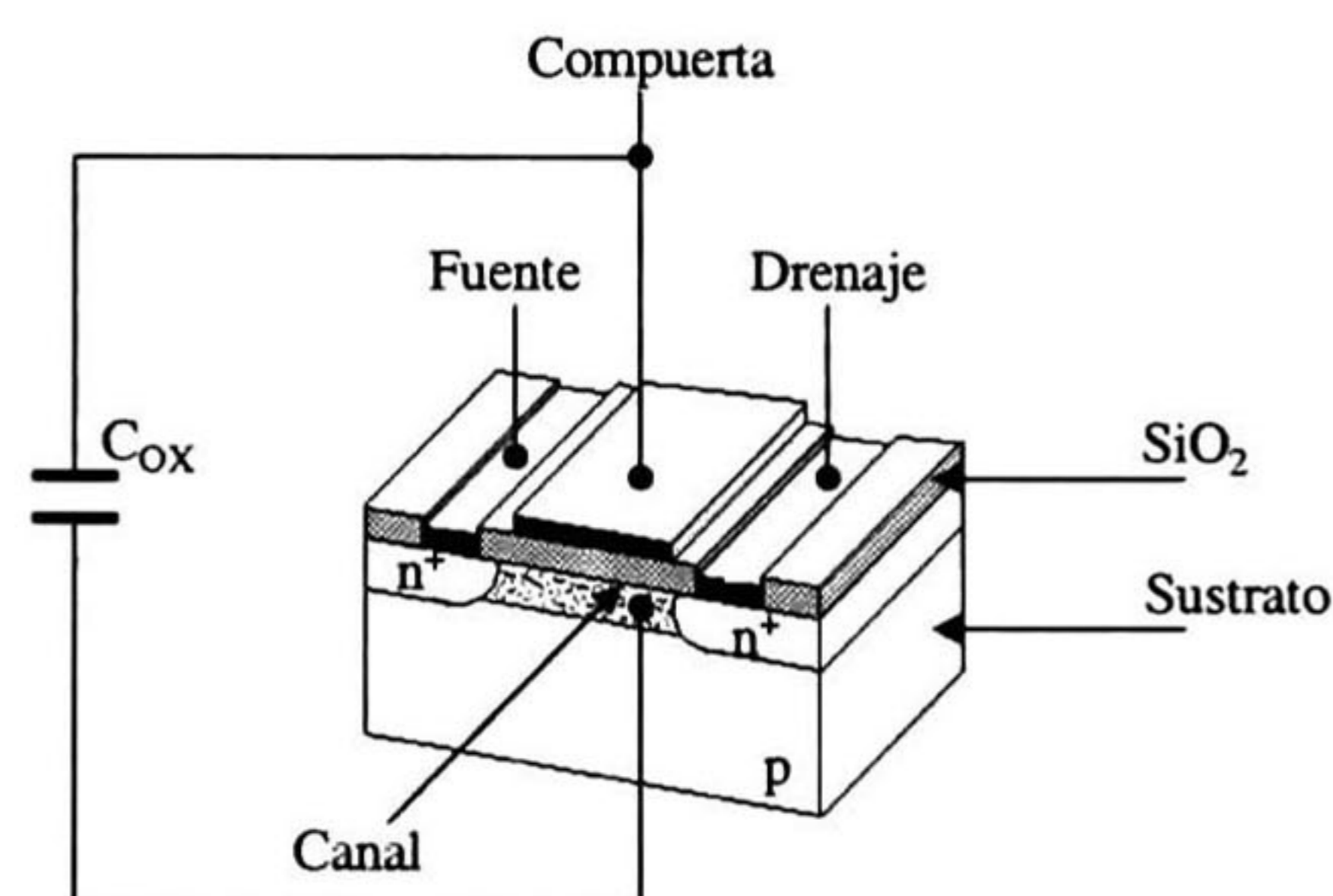
$$\Delta V_{C_1} = \left( \frac{C_{gs}}{C_{gs} + C_1} \right) (V_{in} + V_T) \quad (2.37)$$

### 2.5.2.- Inyección de carga.

Cuando un transistor MOS realiza la conmutación de no-conducción a conducción, la carga necesaria para formar el canal se adquiere de sus nodos de drenaje y fuente, de manera similar para cuando realiza la conmutación de conducción a no-conducción, la carga almacenada en el canal debe ser devuelta a los nodos, ésto por el principio de conservación de cargas. Para realizar el análisis de éste fenómeno, se parte del circuito mostrado en la Fig. 2.17b, la cual consta de una fuente  $V_{in}$ , un capacitor  $C_1$  y un transistor MOS utilizado como interruptor analógico. En el caso ideal, cuando el transistor MOS se encuentra en el estado de conducción, el voltaje del capacitor,  $V_{C1}$  será igual a  $V_{in}$ , pero debido al efecto de inyección de carga esto no se cumple, lo que se debe a la presencia de la capacitancia del óxido,  $C_{OX}$ , como se observa en la Fig. 2.19, por lo tanto, la carga almacenada ( $C_{OX}$ ) cuando el transistor está en estado de conducción es

$$Q_{Cox} = C_{OX} ((V_g - V_T) - V_s) \quad (2.38)$$

donde  $V_g$  es el potencial de compuerta,  $V_s$  es el potencial en la fuente o en el drenaje (ya que asumiremos por simplicidad que  $V_s = V_d$  cuando el transistor se encuentra en estado de conducción) y,  $V_T$  es el voltaje de umbral del transistor. Nótese que en (2.38) el término  $(V_g - V_T)$  debe garantizar que exista un canal formado en el transistor MOS y por consecuencia se encuentre en estado de conducción.



**Fig. 2.19** Capacitancia del oxido,  $C_{OX}$ , en el transistor MOS.

Además se supone que la carga almacenada en el canal al momento de realizar la conmutación de conducción a no-conducción se divide en partes iguales hacia el nodo del drenaje y fuente, como se muestra en la Fig. 2.20a, por lo tanto,  $C_{OX}$  se comporta como se ilustra en la

Fig. 2.20b. Consecuentemente, el circuito de la Fig. 2.17b puede ser visto como se muestra en la Fig. 2.21, de ésta manera, la carga almacenada en  $C_{OX}$  es la mitad de la que presenta (2.38).

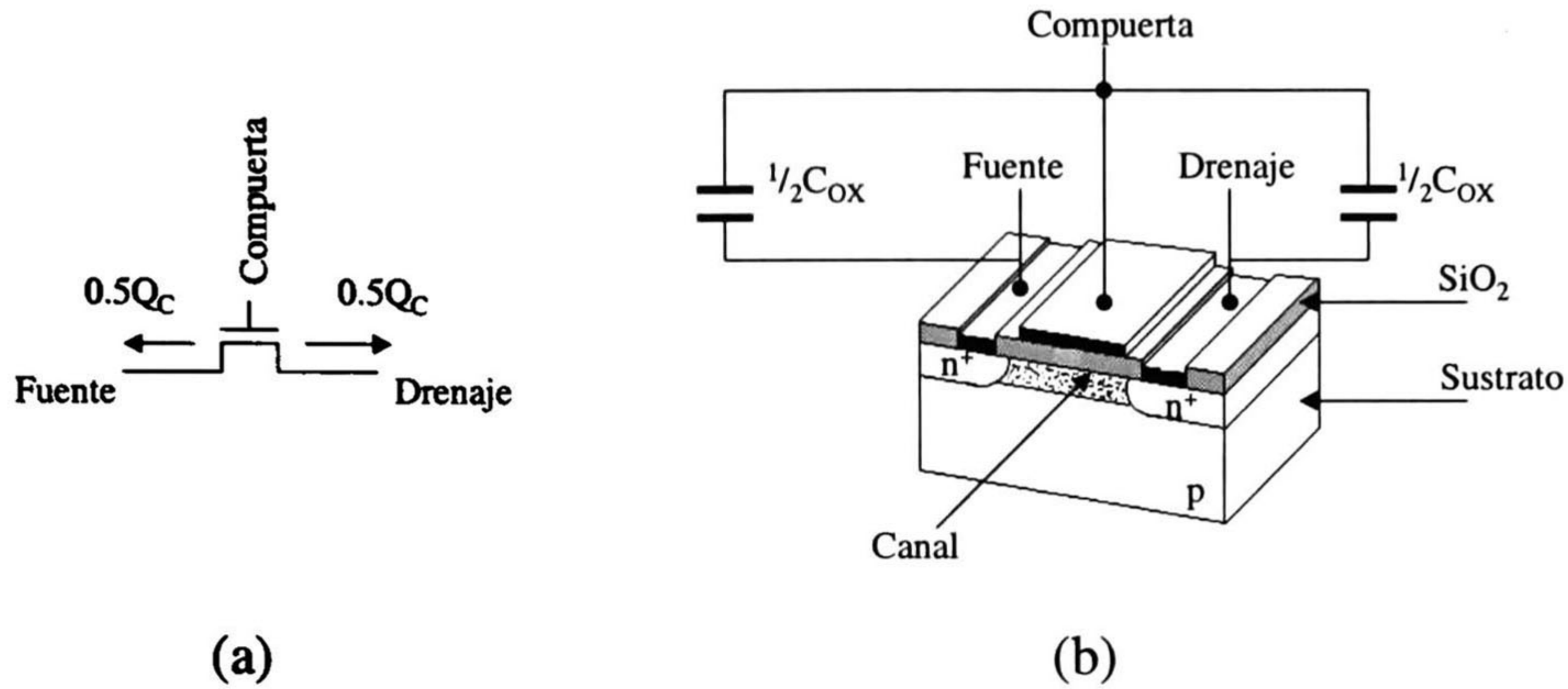


Fig. 2.20 Efecto de inyección de carga (a) 0.5 de la carga del canal al drenaje y 0.5 a la fuente y, (b) Transistor MOS cuando conmuta de los estados de conducción a no-conducción.

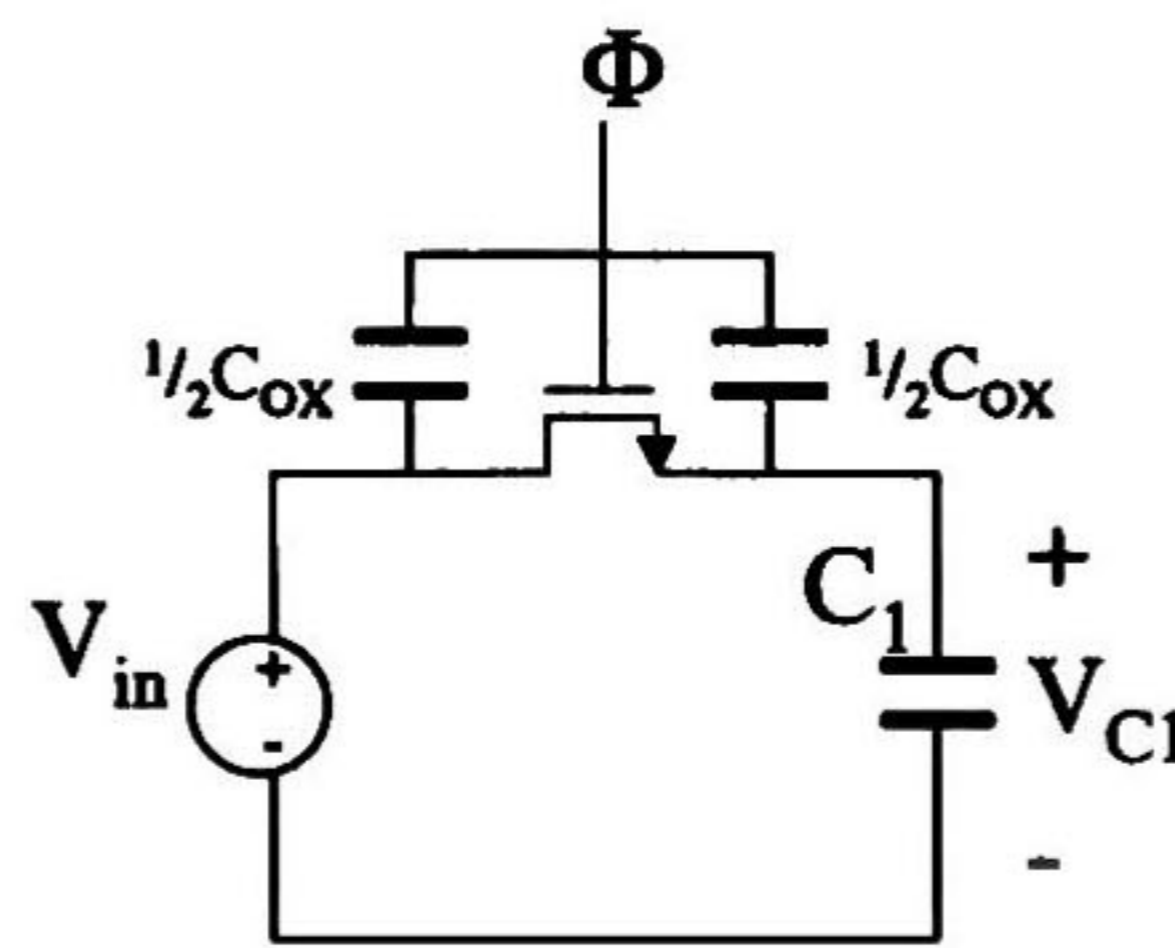


Fig. 2.21 Circuito con 0.5 de  $C_{OX}$  hacia el drenaje y fuente de la Fig. 2.17b.

Nótese que cuando el transistor realizó la conmutación de los estados de conducción a no-conducción,  $C_1$  queda en paralelo con  $\frac{1}{2}C_{OX}$ , debido a que la otra mitad de  $C_{OX}$  no es de interés porque se encuentra en el nodo de la fuente  $V_{in}$ . Como la carga de  $C_1$  se define como (2.33), la carga total está dada por

$$Q_T = \left(-\frac{1}{2}\right)Q_{Cox} + Q_{C1} = \left(-\frac{1}{2}\right)C_{OX} \left((V_g - V_T) - V_{in}\right) + C_1 V_{in} \quad (2.39)$$

por lo tanto, el voltaje de salida es

$$V_{C1} = \frac{Q_T}{C_T} = V_{in} - \left(\frac{C_{OX}}{C_{OX} + C_1}\right)(V_g - V_T) \quad (2.40)$$

donde

$$\Delta V_{C1} = - \left( \frac{C_{OX}}{C_{OX} + C_1} \right) (V_g - V_T) \quad (2.41)$$

En (2.41) se observa que  $\Delta V_{C1}$  afecta al voltaje de salida, pero si  $C_1$  es de gran valor, el efecto puede ser minimizado.

## 2.6.- Técnicas para minimizar el Efecto Feedthrough (EFT).

- *Interruptor Dummy*

Es posible cancelar parcialmente al EFT utilizando la técnica mostrada en la Fig. 2.22, donde se utiliza un transistor MOS como *dummy*,  $M_2$ , con drenaje y fuente conectados a la línea de la señal de interés y, con la señal de control negada,  $\bar{\Phi}$ .  $M_2$  es utilizado para compensar el clockfeedthrough de  $M_1$ . Su funcionamiento es como se describe a continuación: cuando  $M_1$  queda en estado de no-conducción, la mitad de la carga del canal es inyectada hacia  $M_2$ , explicando así el porque debe tener geometrías por un factor de 0.5 de  $M_1$ . Aunque  $M_2$  esté en estado de no-conducción, un canal puede ser generado aplicando un voltaje sobre su compuerta y de esta manera, la carga inyectada por  $M_1$  se puede igualar a la carga inducida por  $M_2$ , cancelando de ésta manera el efecto clockfeedthrough. Nótese que cuando  $M_2$  entre en su estado de no-conducción, inyectará la mitad de su carga en ambas direcciones, sin embargo, ya que el drenaje y la fuente están conectados al mismo nodo, y  $M_1$  se encuentra en conducción, toda la carga será inyectada al transistor  $M_1$ , sin tener efecto sobre  $C_{load}$ .

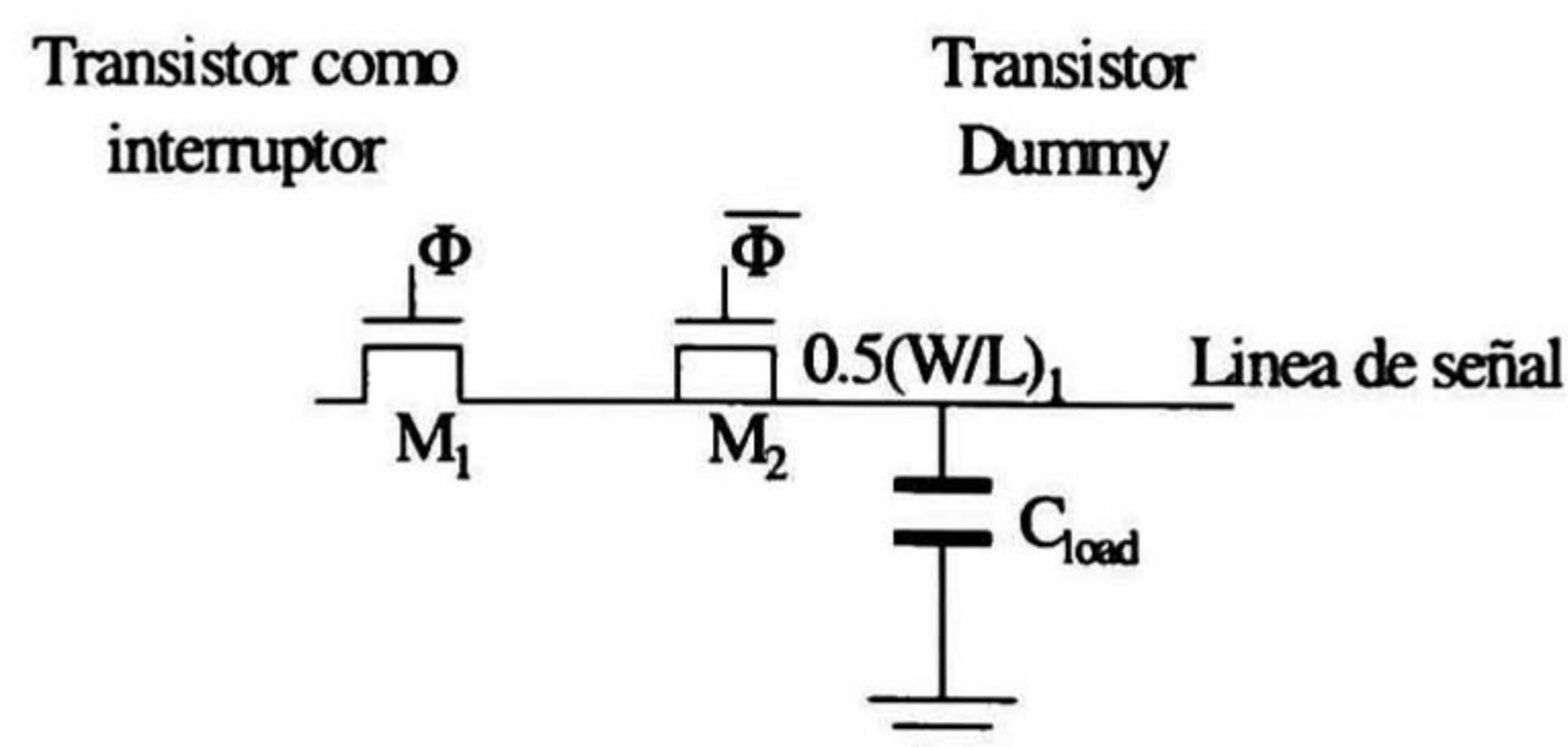


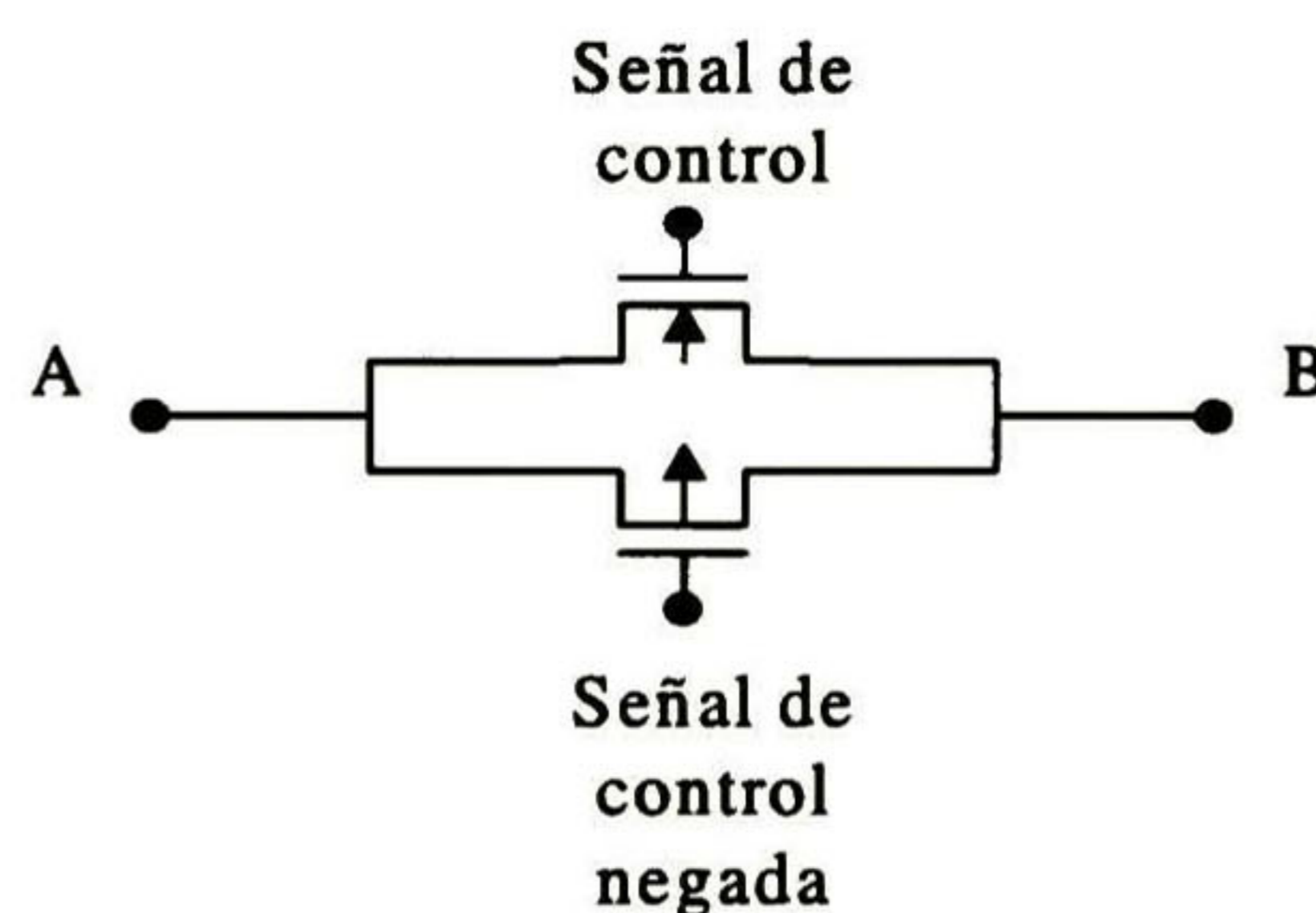
Fig. 2.22 Técnica Dummy para minimizar el efecto clockfeedthrough.

El área de  $M_2$  puede ser diseñada para proveer el mínimo clockfeedthrough. Desgraciadamente, este método nunca elimina completamente a EFT, además es necesario tener una señal de control adicional para  $M_2$ . El clockfeedthrough puede minimizarse utilizando capacitores de gran valor, diseñando transistores con las mínimas geometrías y manteniendo las transiciones de las señales de control lo más pequeñas posibles.

- **Interruptores CMOS o Compuertas de transmisión.**

Utilizando tecnología CMOS, se pueden realizar interruptores analógicos con transistores de enriquecimiento NMOS y PMOS conectados en paralelo, como se muestra en la Fig. 2.23. Esta técnica provee algunas ventajas sobre los interruptores analógicos implementados con tecnología NMOS o PMOS, entre las que se encuentran:

1. Minimiza a  $R_{ON}$ , esto es por que las resistencias de encendido de los dos transistores (NMOS y PMOS) quedan en paralelo, reduciéndola en un factor de 2.
2. Se amplía el rango dinámico de la señal de interés, esto es debido al uso de tecnología CMOS, ya que utilizando tecnología PMOS se tiene únicamente excursión negativa de la señal, y de manera similar para la tecnología NMOS y
3. Minimiza el efecto feedthrough.



*Fig. 2.23 Interruptor analógico con tecnología CMOS.*

Algunas desventajas que presenta esta técnica son:

1. No se cancela totalmente el efecto feedthrough, ya que las capacitancias parásitas del dispositivo NMOS no son idénticas al dispositivo PMOS.
2. Son utilizados únicamente cuando la tecnología lo permite.

## 2.7.- Problemas y Soluciones.

Es importante recalcar los efectos que producen las no idealidades en los espejos de corriente, ya que de alguna u otra manera degradan el funcionamiento del sistema. En algunas aplicaciones será importante tomar en cuenta la no linealidad, inyección de carga, clockfeedthrough, ruido en los rieles de alimentación, ruido intrínseco de los transistores MOS, entre otros; éstos hacen que el diseñador asuma un compromiso y decida que elementos de red deben aumentar o disminuir su valor para que el sistema satisfaga las características para las cuales será diseñado.

Por otro lado, es importante cuantificar la linealidad de un sistema, ya que permite conocer hasta donde el sistema mantiene las características de linealidad para las cuales fue diseñado. En esta investigación, los espejos de corriente son implementados con transistores MOS, los cuales son transductores de voltaje ( $V_{GS}$ ) a corriente ( $I_D$ ), donde las características lineales desgraciadamente no se mantienen a partir de ciertos potenciales de compuerta del MOS. Por lo tanto, es necesario realizar un análisis de distorsión armónica para conocer que parámetros pueden ser manipulados de tal manera que se pueda obtener la mayor linealidad del sistema. Como posibles soluciones se tiene:

- Minimizar el valor pico de la señal de interés ( $V$ ), y/o
- Ajustar el valor de  $V_{GS}$  lo más lejano a  $V_T$  en los transistores MOS.

y de ésta manera poder garantizar que el transistor MOS se comportará lo más lineal posible.

Otro efecto que presentan los espejos de corriente y que degrada el ancho de banda, es el efecto Miller, ya que se observa una capacitancia del nodo de entrada al de salida, generando un polo en altas frecuencias, pero en algunas configuraciones, se observa que el valor del polo es multiplicado por la ganancia en DC ( $A_v^0$ ), ocasionando que el polo se traslade a frecuencias moderadas, teniendo como resultado un recorte en el ancho de banda del sistema. Una manera de minimizar éste efecto es utilizar la configuración Cascode, además de que proporciona una mayor impedancia de salida.

Por otro lado, las variaciones de los niveles de alimentación, se puede considerar como ruido en el sistema. Si se trabaja con topologías NMOS, será importante tomar en cuenta las variaciones del riel más negativo, mientras que si se trabaja con topologías PMOS, se debe tomar en cuenta las variaciones del riel menos negativo. En esta investigación únicamente se analiza al riel más negativo, donde se puede observar que las variaciones de éste pueden ocasionar serias alteraciones de la señal de salida, desgraciadamente la configuración Cascode no compensa en gran cantidad el ruido en los rieles de alimentación, por lo que una posible solución es incluir un resistor entre el riel más negativo de alimentación y el primer transistor de la etapa de salida, aunque éste sufre algunos problemas debido a que es implementado con un transistor MOS trabajando en su región óhmica, el cual es muy susceptible a variaciones.

La manera de minimizar el ruido intrínseco en los transistores MOS, es definiendo las geometrías del mismo de dimensiones mínimas. Además, para efectos de análisis, el ruido de los transistores MOS, puede ser modelado como una fuente de corriente en paralelo con su canal, es decir de drenaje a fuente o viceversa.

Las posibles soluciones para minimizar el EFT es el uso de transistores *Dummy* o *Compuertas de Transmisión*. La segunda es la mejor opción, puesto que puede minimizar el efecto feedthrough, y además disminuye la resistencia de encendido por un factor de 2, pero desgraciadamente no en todos los casos puede ser aplicada, solamente cuando la tecnología lo permite, ya que consta de tecnología CMOS.

- **Referencias.**

- [1] *High-Performance CMOS continuous-time filters*, José Silva-Martínez, Michiel Steyaert and Willy Sansen, Kluwer Academic Publishers, USA 1993.
- [2] *Noise models for MOSFETs in Saturation*, R. Sekhar Narayanaswami and Dennis Yee, EE 231 Term project, Spring 1997.
- [3] *Analog MOS Integrated Circuits for signal processing*, Roubik Gregorian and Gabor C. Temes, John Wiley & Sons, Inc. USA 1986.
- [4] *The Design of Low-Noise Amplifiers*, Yishay Netzer, IEEE, vol. 69, no. 6, pp 728-742, Junio de 1981.
- [5] *VLSI Design Techniques for Analog and Digital circuits*, L. Geiger, E. Allen and R. Strader, McGraw-Hill Publishing Company, New York 1990.
- [6] *A tutorial approach to the thermal noise in metals*, A. J. Decker, H. Hickman, and T. M. Chen, Department of Electrical Engineering, University of South Florida, Tampa, Florida 33620, November 1990.
- [7] *Semiconductor devices physics and technology*, S. M. SZE, USA 1985.
- [8] *Analysis and Design of analog Integrated Circuits*, P. Gray and R. Meyer, 3<sup>rd</sup> Edition, John Wiley & Sons, Inc. New York, 1993.
- [9] *Silicon Processing for the VLSI Era, Volume 3: the submicron MOSFET*, Lattice Press, California, 1995.
- [10] *Operation and modeling of The MOS Transistor*, Yannis Tsividis, McGraw-Hill International Editions, Electrical Engineering Series, 1988.
- [11] *CMOS analog circuit design*, E. Allen & R. Holberg, Oxford University Press, Inc., New York 1987.
- [12] *Technological Design Considerations for Monolithic MOS Switched-Capacitor Filtering Systems*, David J. Allstot & William C. Black, Jr., IEEE, vol. 71, pp. 967-986, August, 1983.



## DISEÑO DE CELDAS BÁSICAS EN CORRIENTE CONMUTADA

La celda de memoria es el bloque fundamental en la técnica de corriente conmutada [1],[2],[3],[4], la cual funciona como un Track and Hold, T&H, de medio retraso, expresado como  $z^{-1/2}$  en el dominio de la variable  $Z$  [5]. Desde la introducción de la técnica SI han emergido dos clases de topologías de celdas de memoria, denominadas de primera y segunda generación [6]. La celda de memoria de primera generación se muestra en la Fig. 3.1a, mientras que en la Fig. 3.1b se ilustra la celda de memoria de segunda generación. A pesar de que ambas operan con un principio similar, cada una de ellas presenta diferentes ventajas. En la actualidad los sistemas diseñados con la técnica SI son implementados con celdas de memoria de segunda generación.

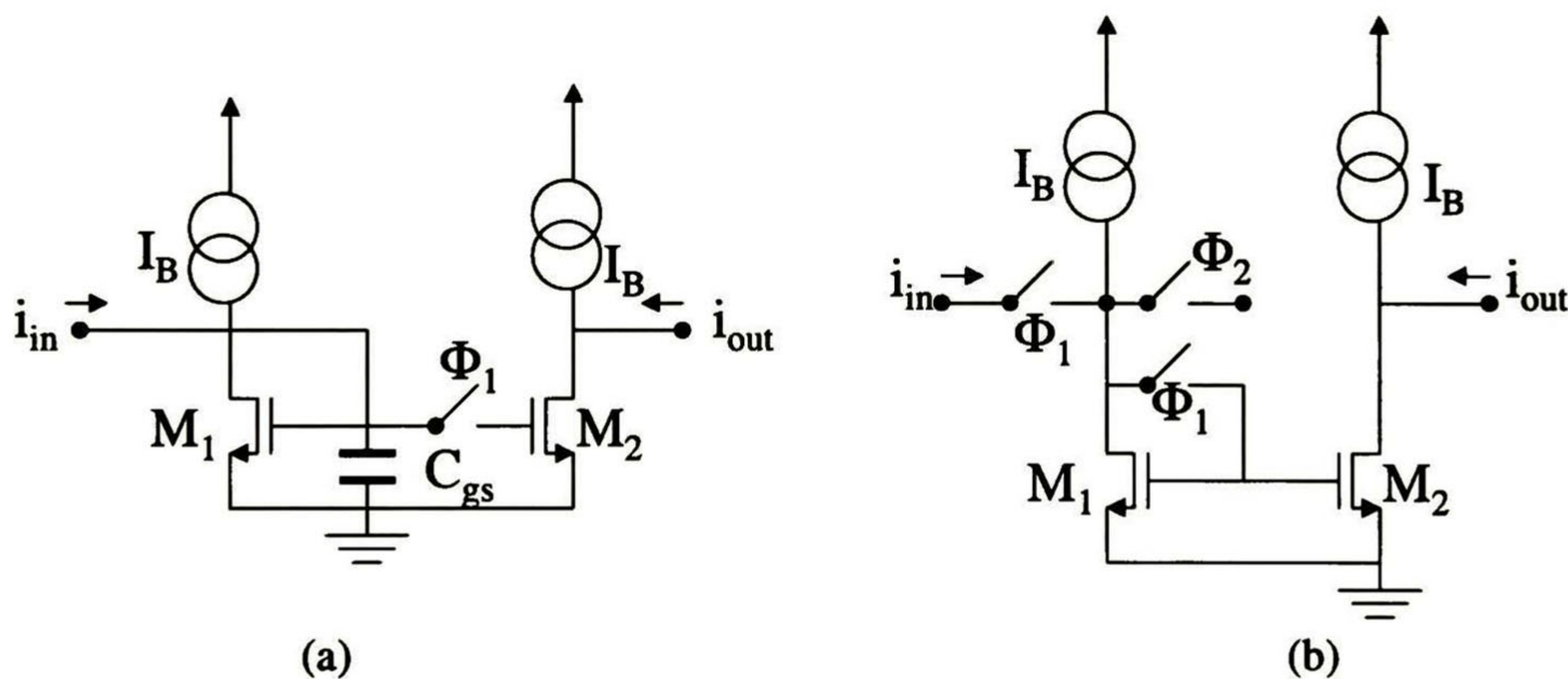


Fig. 3.1 Celda de memoria (a) Primera Generación y (b) Segunda Generación.

### 3.1.- Celda de Memoria o Medio Retraso.

#### A.- Diseño

La topología que se utilizó para el diseño de la celda de memoria de corriente, es la denominada *Cascode*, ilustrada en la Fig. 3.2, la cual está diseñada para conducir una corriente de

polarización de  $10\mu\text{A}$ , teniendo como geometrías (33/27), (27/27), (81/16.2) y (86.4/16.2)  $\mu\text{m}/\mu\text{m}$ , para  $M_1$ ,  $M_2$ ,  $M_3$  y  $M_4$  respectivamente. Nótese que las dimensiones de los transistores no son geometrías mínimas (se utiliza un proceso de fabricación de  $1.2\mu\text{m}$ ), esto se debe a que la celda de memoria utiliza la capacitancia parásita  $C_{gs}$  del transistor MOS para mantener un nivel de corriente durante la fase de retención, es por ello que las geometrías de los transistores deben de tener las dimensiones necesarias para proporcionar una capacitancia parásita del orden necesario para el funcionamiento correcto de la celda, es decir, la carga y descarga total de  $C_{gs}$  durante las dos etapas de la celda de memoria. El rango de la frecuencia de muestreo de la celda será de 200 a 400kHz, puesto que la señal de excitación será audio. Esta topología presenta la ventaja de proporcionar una excelente impedancia de salida, así como un voltaje mínimo de operación, aproximadamente de 400mV, sin tomar en cuenta el voltaje mínimo de operación de los transistores que operan como cargas.

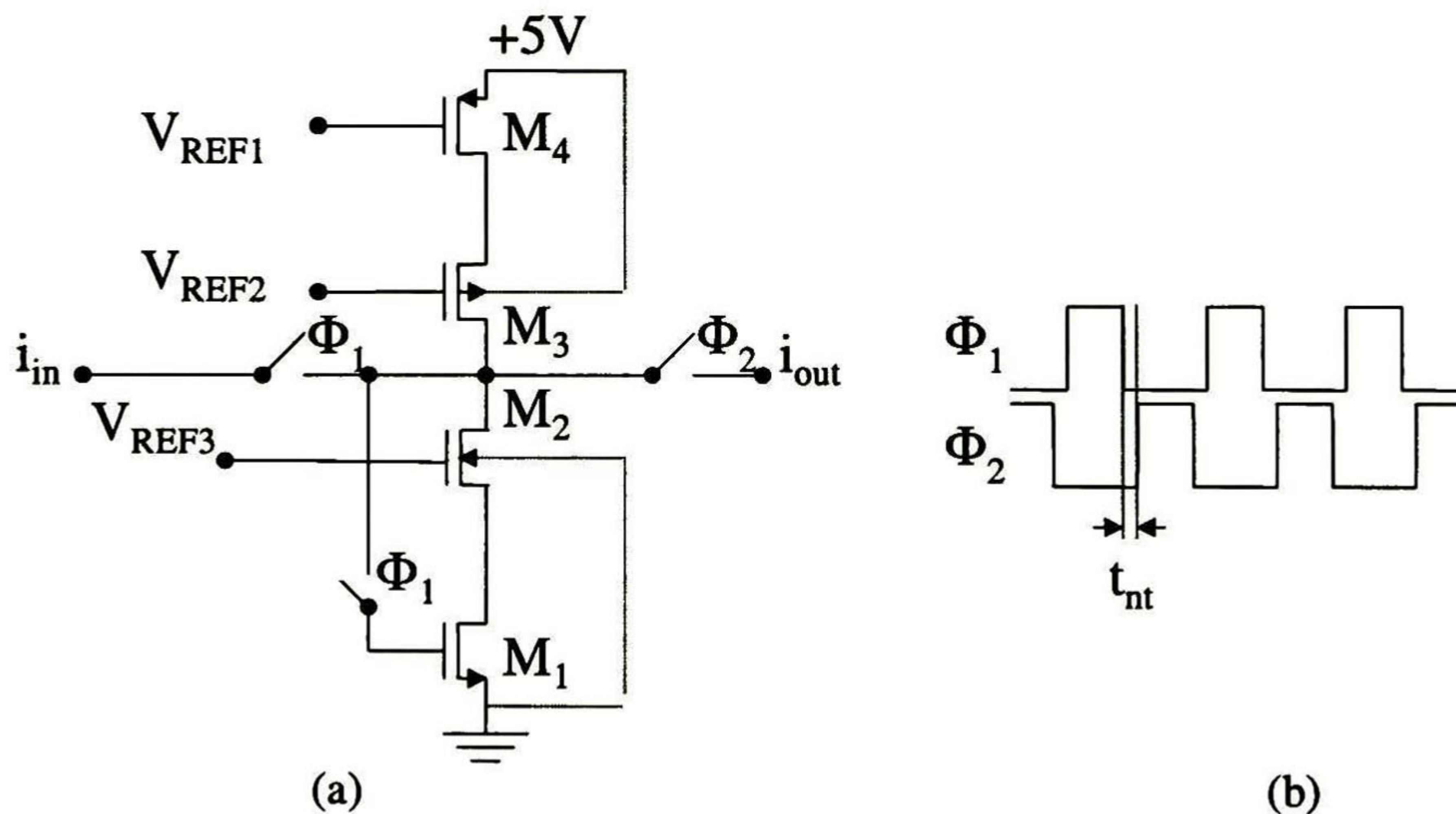


Fig. 3.2 Celda de Memoria de Corriente, (a) Topología Cascode y (b) Diagramas de Tiempos.

En la Fig. 3.3 se muestra la simulación Tspice de la Fig. 3.2a, con una señal de entrada pico a pico,  $I_{pp}$ , de  $10\mu\text{A}$  a una frecuencia de entrada,  $F_{in}$ , de 20KHz y una señal de muestreo,  $F_m$ , de 200KHz. Los interruptores analógicos son implementados con transistores NMOS, con geometrías (1.8/1.8)  $\mu\text{m}/\mu\text{m}$ . Nótese que la celda presenta glitches de valor considerable ( $\approx 47\mu\text{A}$ ) en las transiciones de muestreo a retención, originando un incremento en la disipación dinámica del sistema, siendo necesario la disminución de la magnitud de éstos. Una manera de lograrlo es hacer que las fases  $\phi_1$  y  $\phi_2$  no se traslapen, es decir, que exista un tiempo,  $t_{nt}$ , en el cual

tanto  $\phi_1$  y  $\phi_2$  se encuentren en estado lógico bajo, como se ilustra en la Fig. 3.2b, además de que los tiempos de subida y bajada de las señales de control deben tender a cero como se analizó en el capítulo 2.

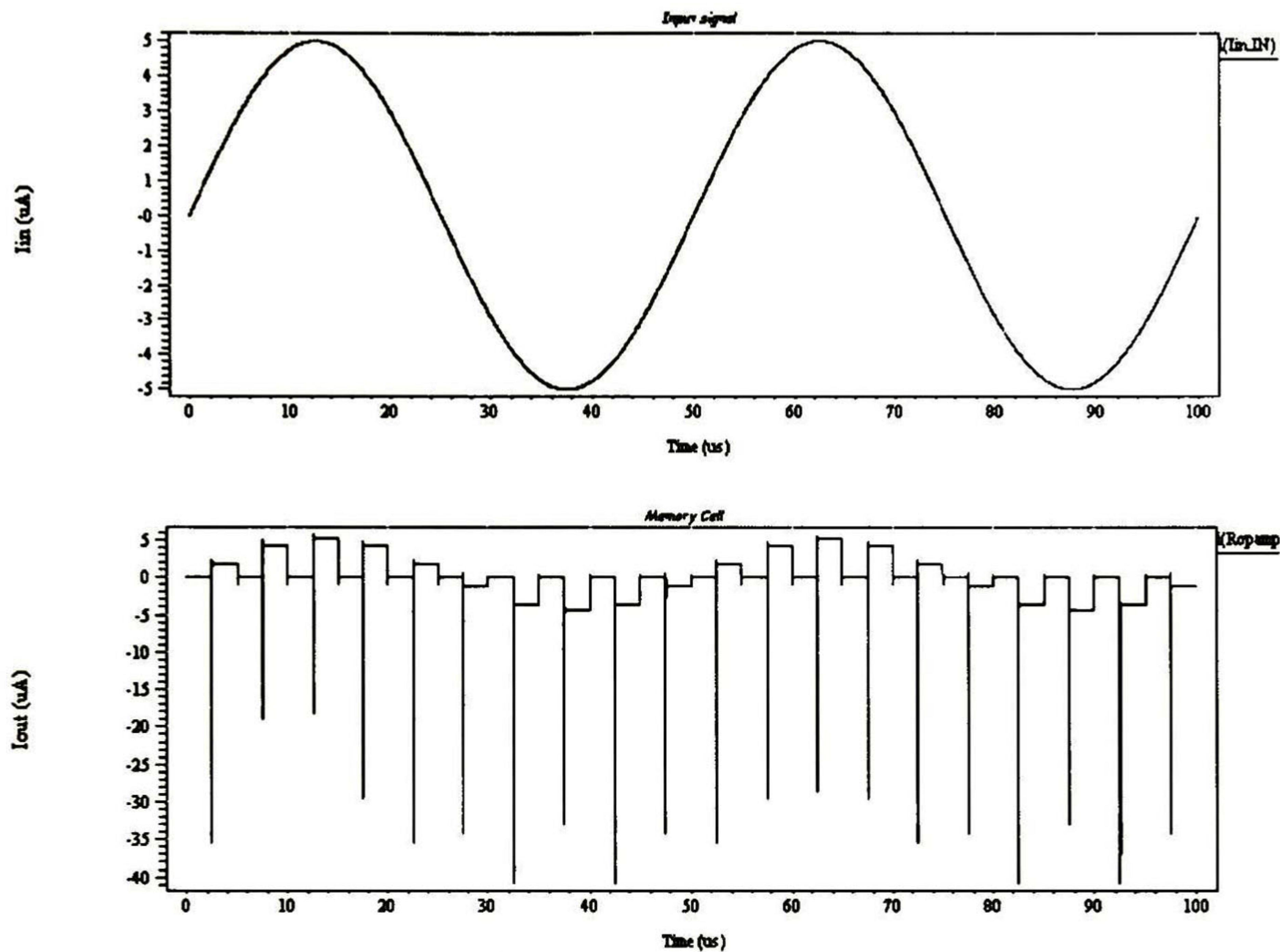
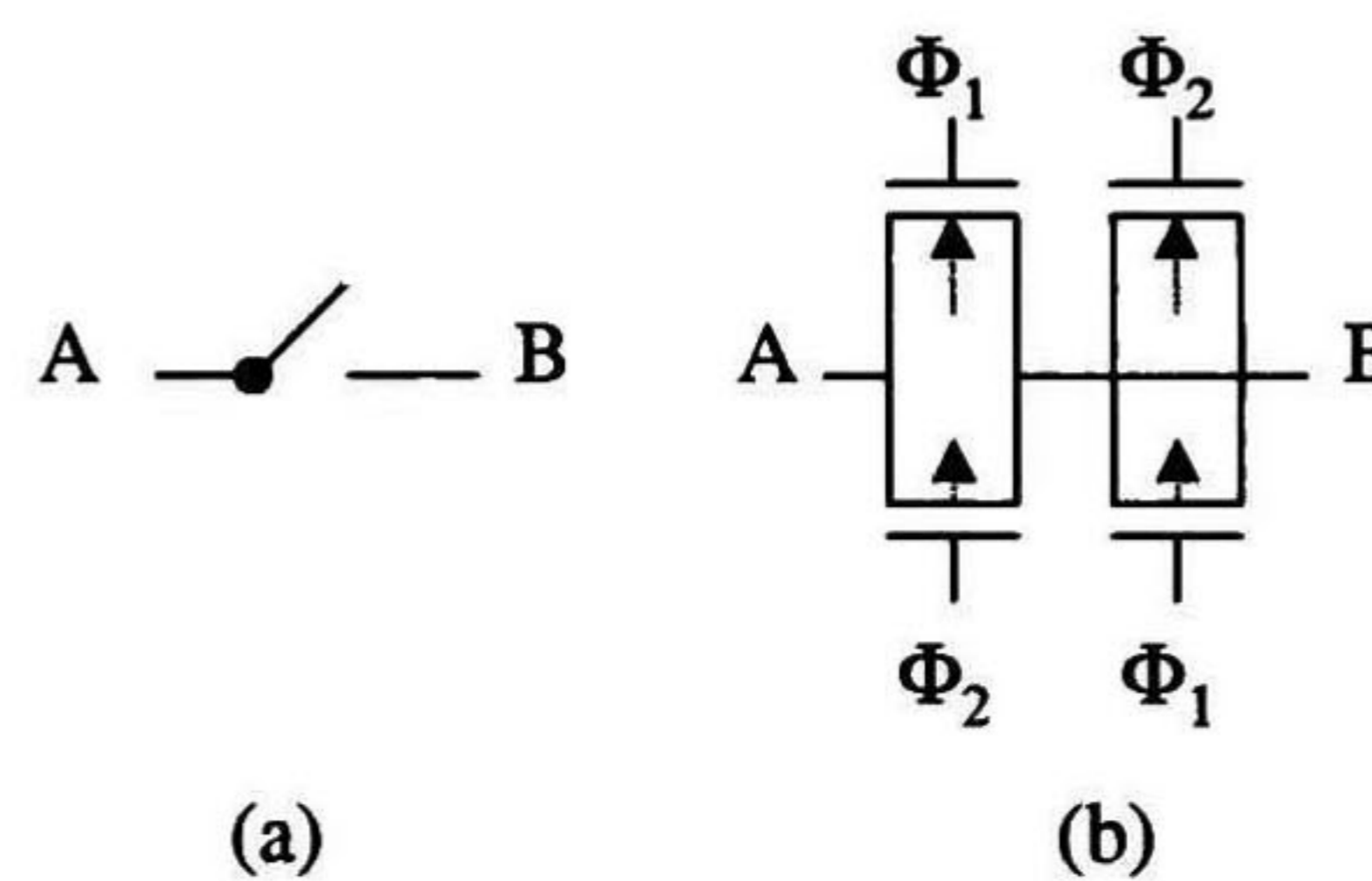


Fig. 3.3 Simulación de la Fig. 3.2a con  $F_m=200\text{KHz}$ ,  $F_{in}=20\text{KHz}$  y  $V_{pp}=10\mu\text{A}$ , con interruptores NMOS

En los capítulos anteriores se analizó el degradamiento de la respuesta del sistema originado por el efecto feedthrough (inyección de carga y clockfeedthrough), *EFT*, causante de los glitches en el sistema, los cuales se pueden minimizar utilizando transistores Dummy [7]. Ocasionalmente los glitches disminuyen (aproximadamente 7%), pero no de manera como el diseñador esperaría, ya que el transistor Dummy es diseñado de tal manera que sus geometrías sean idénticas a las del interruptor MOS, solo que multiplicadas por un factor de  $\frac{1}{2}$ , por lo tanto, no es posible diseñar interruptores de mínimas geometrías, ya que los transistores dummy no podrán ser implementados, de ésta manera los interruptores deberán tener al menos la geometrías mínimas multiplicadas por un factor de 2. El factor  $\frac{1}{2}$  de los transistores dummy se utiliza por simplicidad, ya que se supone que la carga almacenada en el canal es liberada hacia los nodos de drenaje y fuente en cantidades iguales, desgraciadamente en la práctica raramente ocurre, ocasionando así un degradamiento en el sistema.

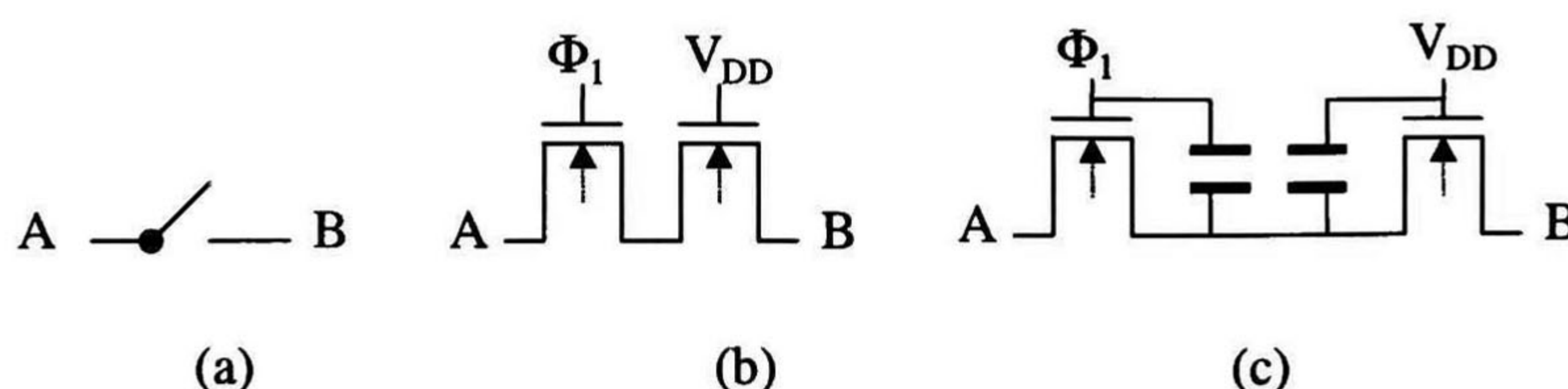
Por otro lado, es fácil en la literatura encontrar la opción para minimizar al EFT, la cual consta de utilizar compuertas de transmisión o interruptores analógicos CMOS [7],[8], ya que el EFT producido por el transistor NMOS será compensado por el transistor PMOS y viceversa. Desgraciadamente, en el sistema bajo diseño las compuertas de transmisión no compensan completamente al EFT, debido a que los glitches aún mantienen valores de corriente considerables ( $\approx 44\mu\text{A}$ ), por lo que es necesario utilizar otro esquema de compensación.

Utilizando una combinación de compuertas de transmisión y transistores dummy se puede compensar el EFT [8], como se ilustra en la Fig. 3.4, ésta técnica minimiza el efecto, pero el degradamiento del sistema aún es considerable, aproximadamente  $35\mu\text{A}$ .



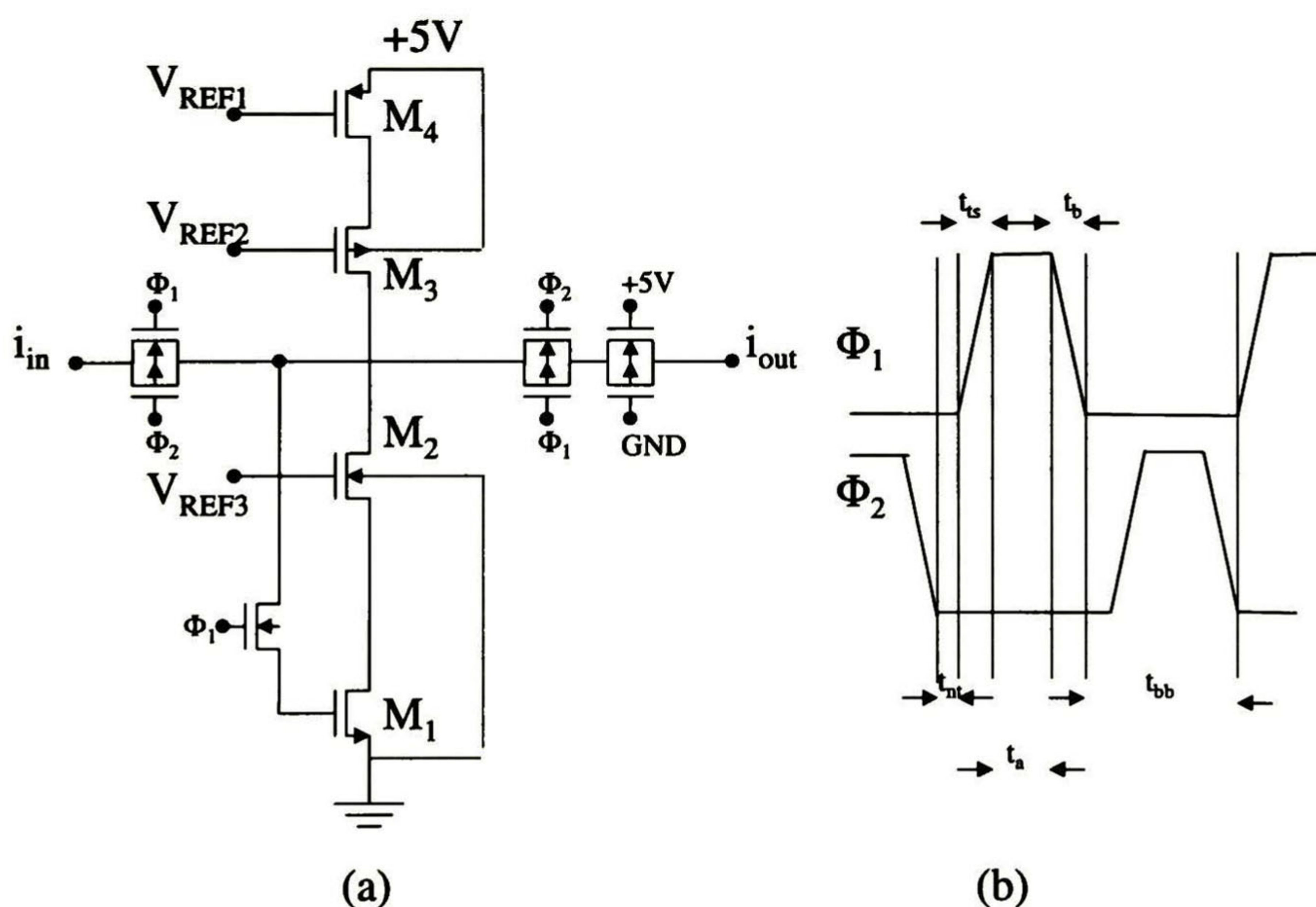
**Fig. 3.4** Interruptor (a) Ideal y (b) Compuertas de Transmisión con Transistores Dummy.

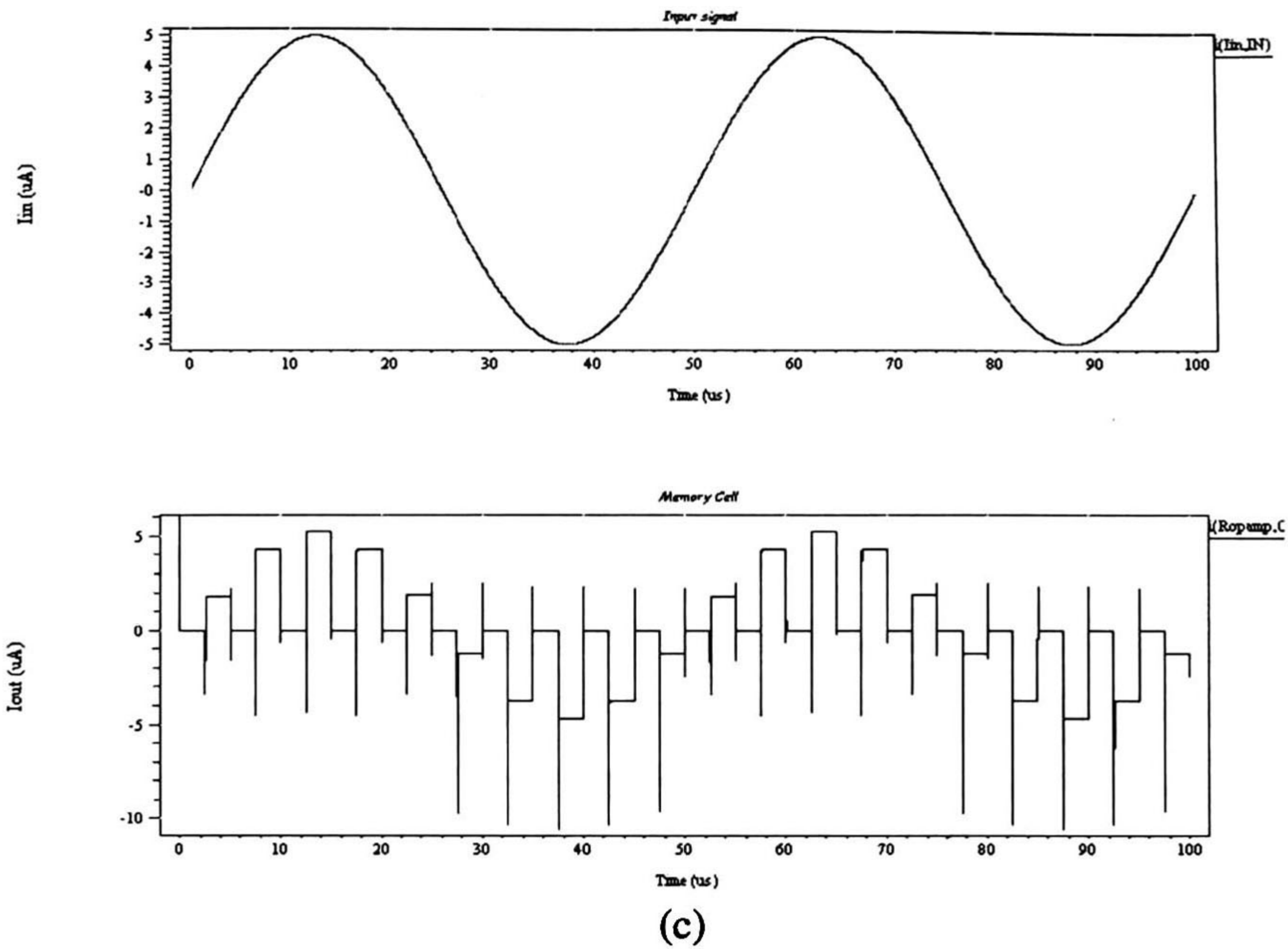
La técnica que se utilizó en las celdas de corriente conmutada para la minimización de la magnitud del glitch, es una combinación de transistores MOS operando como interruptores analógicos en serie con transistores MOS (NMOS y/o PMOS, según sea el caso) operando siempre en su región de saturación [9], sin conmutación alguna, como se ilustra en la Fig. 3.5b. Este esquema permite minimizar el valor de la capacitancia  $C_{gs}$  del transistor MOS, ya que  $C_{gs}$  del interruptor analógico con  $C_{gs}$  del transistor no-conmutado son colocados en serie durante un intervalo de tiempo, reduciéndose de ésta manera por un factor de 2, si y solo si los dos transistores son diseñados idénticamente, como se muestra en la Fig. 3.5c.



**Fig. 3.5** Interruptor (a) Ideal, (b) Transistores CMOS conmutando y no conmutando y (c) (b) con Capacitancias Parásitas.

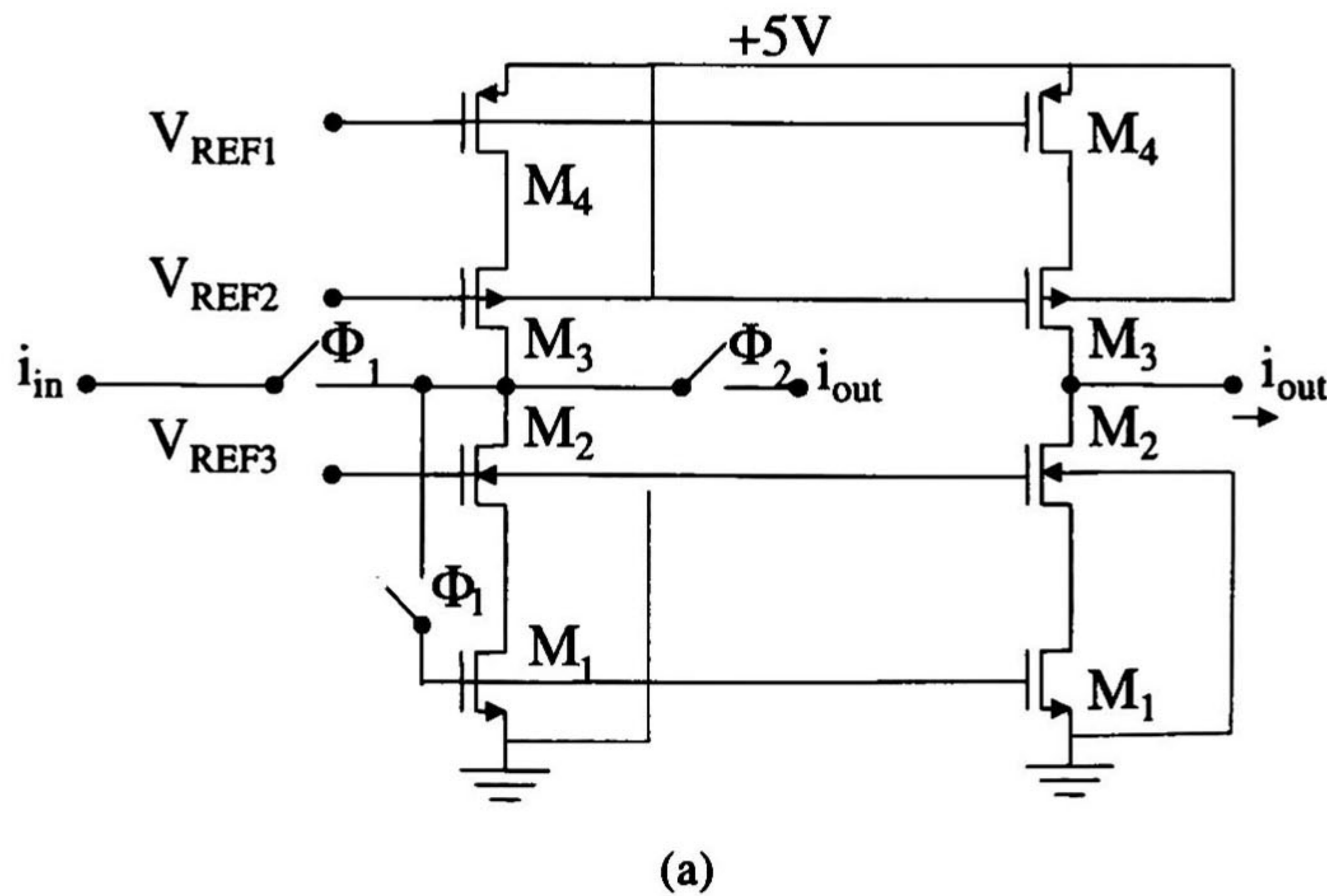
Por lo tanto, el diseño final de la celda de la Fig. 3.2a se ilustra en la Fig. 3.6a, utilizando el esquema de compensación citado líneas arriba. En la Fig. 3.6b se muestra el diagrama de tiempos para las señales de control,  $\phi_1$  y  $\phi_2$ , donde  $t_{nt}$  es el tiempo de no traslape,  $t_s$  el tiempo de subida,  $t_a$  el tiempo en alto,  $t_b$  el tiempo de bajada y  $t_{bb}$  es el tiempo en bajo. Los valores para una  $F_m$  de 200KHz son:  $t_{nt} = 10\text{ns}$ ,  $t_s = t_b = 5\text{ns}$ ,  $t_a = 2480\text{ns}$ ,  $t_{bb} = 2510\text{ns}$ ; si se desea tener una  $F_m$  mayor a 200KHz, solo será necesario transportar a  $t_{nt}$ ,  $t_s$ ,  $t_b$ , etc., a la frecuencia de muestreo que sea necesaria para el sistema que este bajo diseño. Es importante señalar el rango de frecuencia de muestreo debe estar entre 200 y 400kHz para esta celda, debido a que la capacitancia parásita que presenta la celda de memoria es de valor inferior para frecuencias menores y superior para el caso contrario, observándose así, una carga y descarga incompleta de  $C_{gs}$  en la respuesta del sistema. En la Fig. 3.6c se ilustra la simulación Tspice para una señal de entrada con  $I_{pp}$  de  $10\mu\text{A}$ ,  $F_{in}$  de 20kHz y una  $F_m$  de 200kHz, nótese que el glitch han disminuido a un valor de  $10\mu\text{A}$ , representando este esquema de compensación una disminución del 80% de su contraparte mostrada al inicio de este capítulo.

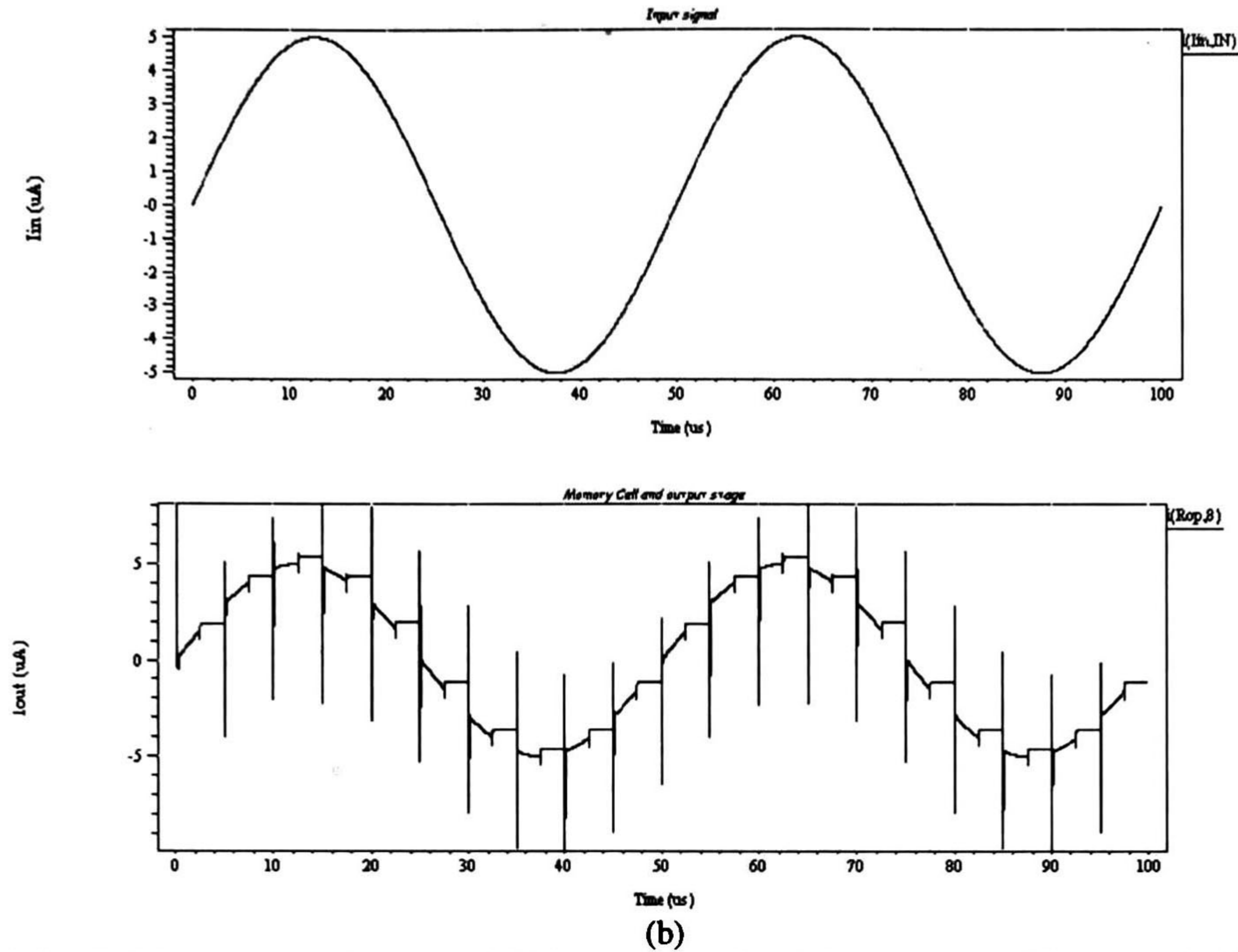




**Fig. 3.6** Celda de Memoria de corriente para SI, ( a) Circuito Eléctrico,( b) Diagrama de tiempos para las señales de control y (c) Simulación TSpice.

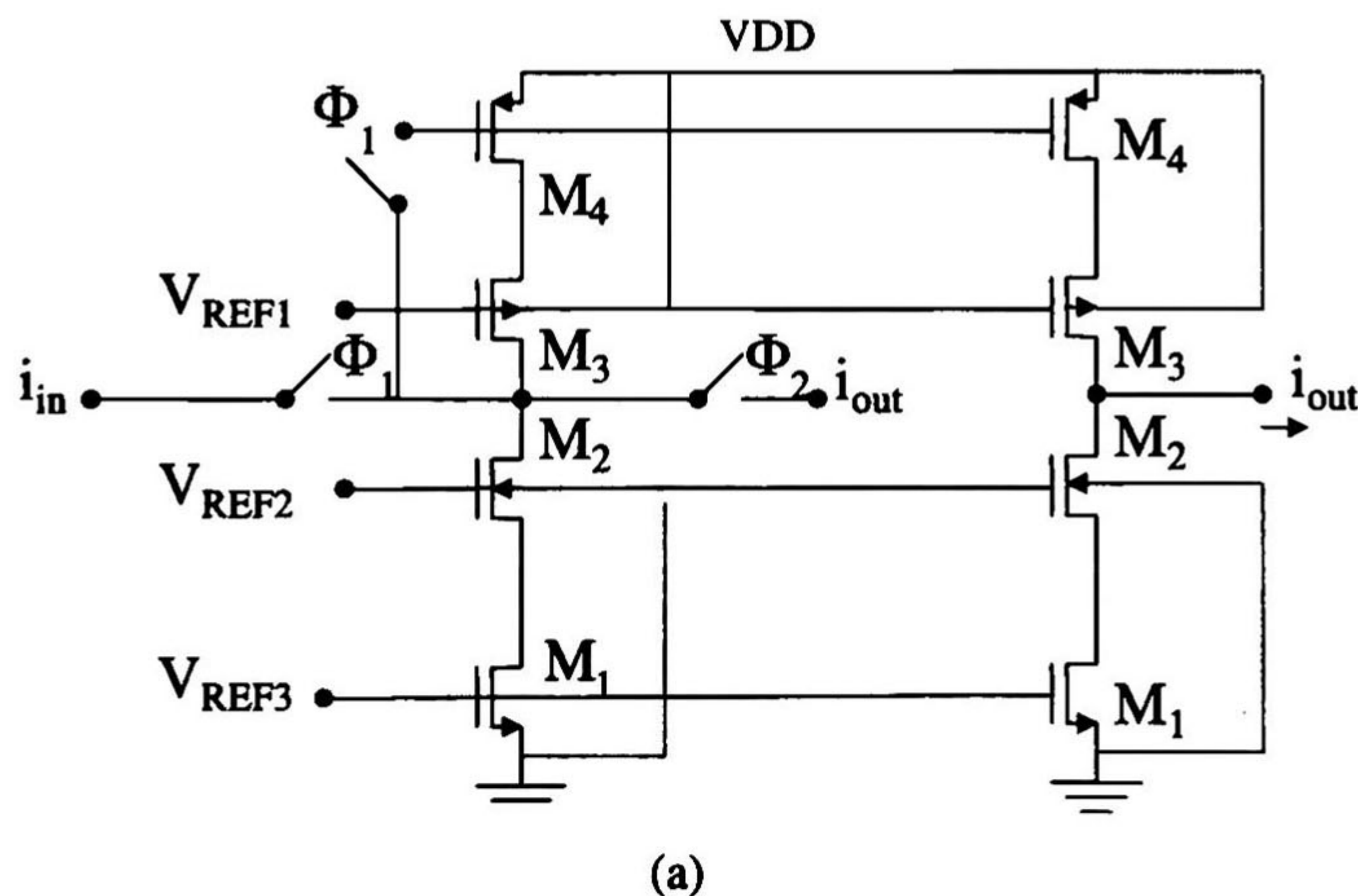
Por otro lado, es importante diseñar una etapa de salida para cualquier celda de corriente conmutada. Esta etapa de salida permite obtener la corriente de salida de la celda de memoria sin presentar variaciones originadas por los interruptores de salida. En la Fig. 3.7a se ilustra la etapa de salida con la celda de medio retraso, mientras que en la Fig. 3.7b se muestra la simulación TSpice donde se puede observar que efectivamente funciona como un Track and Hold de medio retraso y, además el esquema de compensación para EFT funciona adecuadamente.

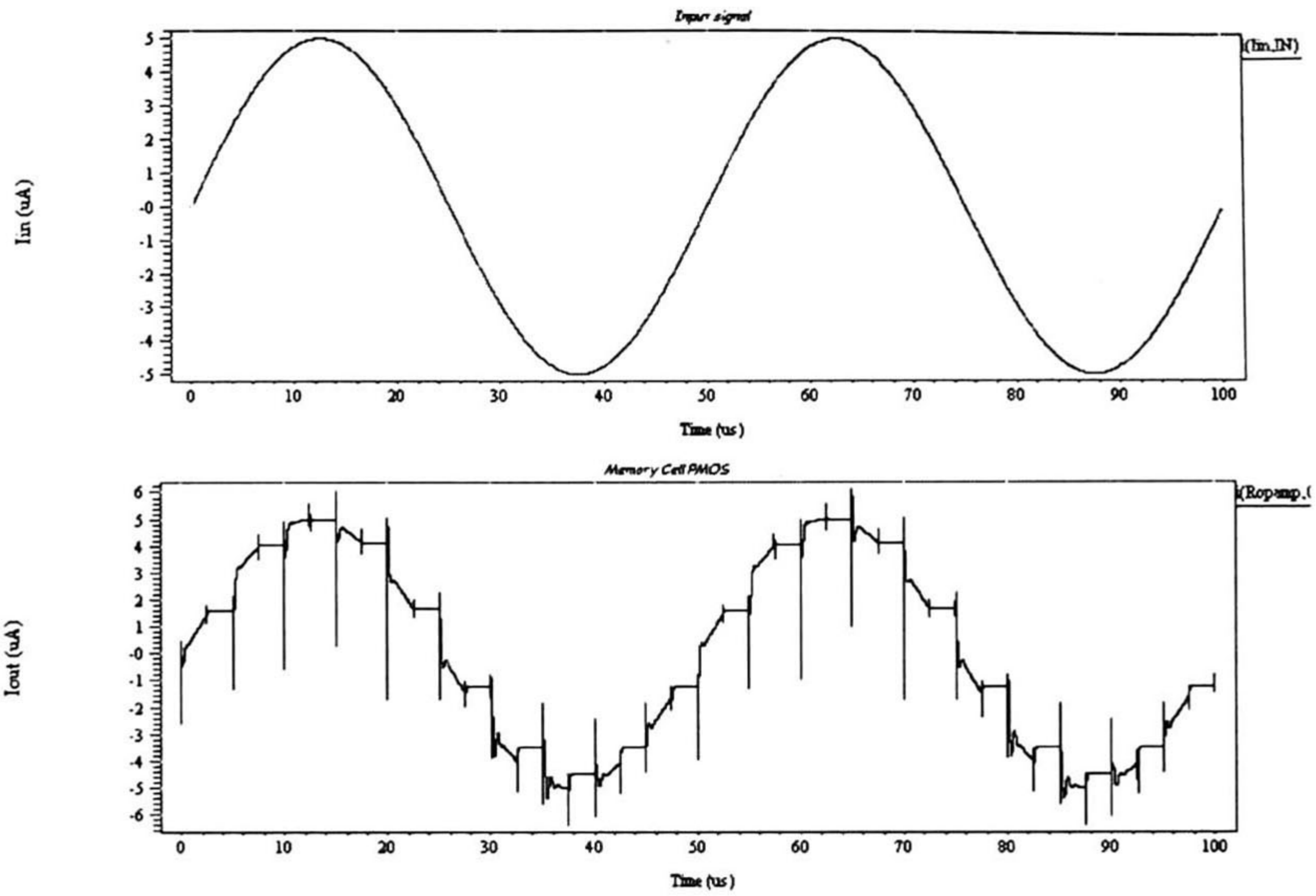




**Fig. 3.7** Celda de Memoria o medio retraso NMOS con etapa de salida (a) Circuito Eléctrico y (b) Simulación Tspice.

De manera análoga se puede diseñar la celda de medio retraso o memoria con transistores PMOS, teniendo como geometrías a  $(40.8/27)$ ,  $(28.2/27)$ ,  $(144/27)$  y  $(15.6/27)$   $\mu\text{m}/\mu\text{m}$ , para  $M_1$ ,  $M_2$ ,  $M_3$  y  $M_4$  respectivamente, para una corriente de polarización de  $10 \mu\text{A}$ . En la Fig. 3.8a se ilustra el circuito eléctrico de la celda de memoria o medio retraso, mientras que en la Fig. 3.8b se ilustra la simulación TSpice, donde se observa que el funcionamiento es adecuado para moderadas frecuencias ( $F_m = 200\text{KHz}$  y  $F_{in} = 20\text{KHz}$ ).





(b)

Fig. 3.8 Celda de medio retraso PMOS, (a) Circuito Eléctrico y( b) Simulación Tspice.

**B.- Layout**

El diseño de Layout se realizará en LEdit, sobre una oblea tipo p, dos niveles de metalización, dos niveles de polisilicio, pozo n y tecnología de 1.2µm.

La ubicación de las etapas que debe mantener todo circuito integrado de señal mezclada es mostrado en la Fig. 3.9. En ella se observa que debe existir una etapa de capacitores entre la etapa analógica y la etapa de interruptores, esto origina un aislamiento total de la sección analógica de la digital. Por lo tanto, se debe agregar una serie de capacitores de prueba, aunque en el caso de la técnica de corriente conmutada no sean utilizados.

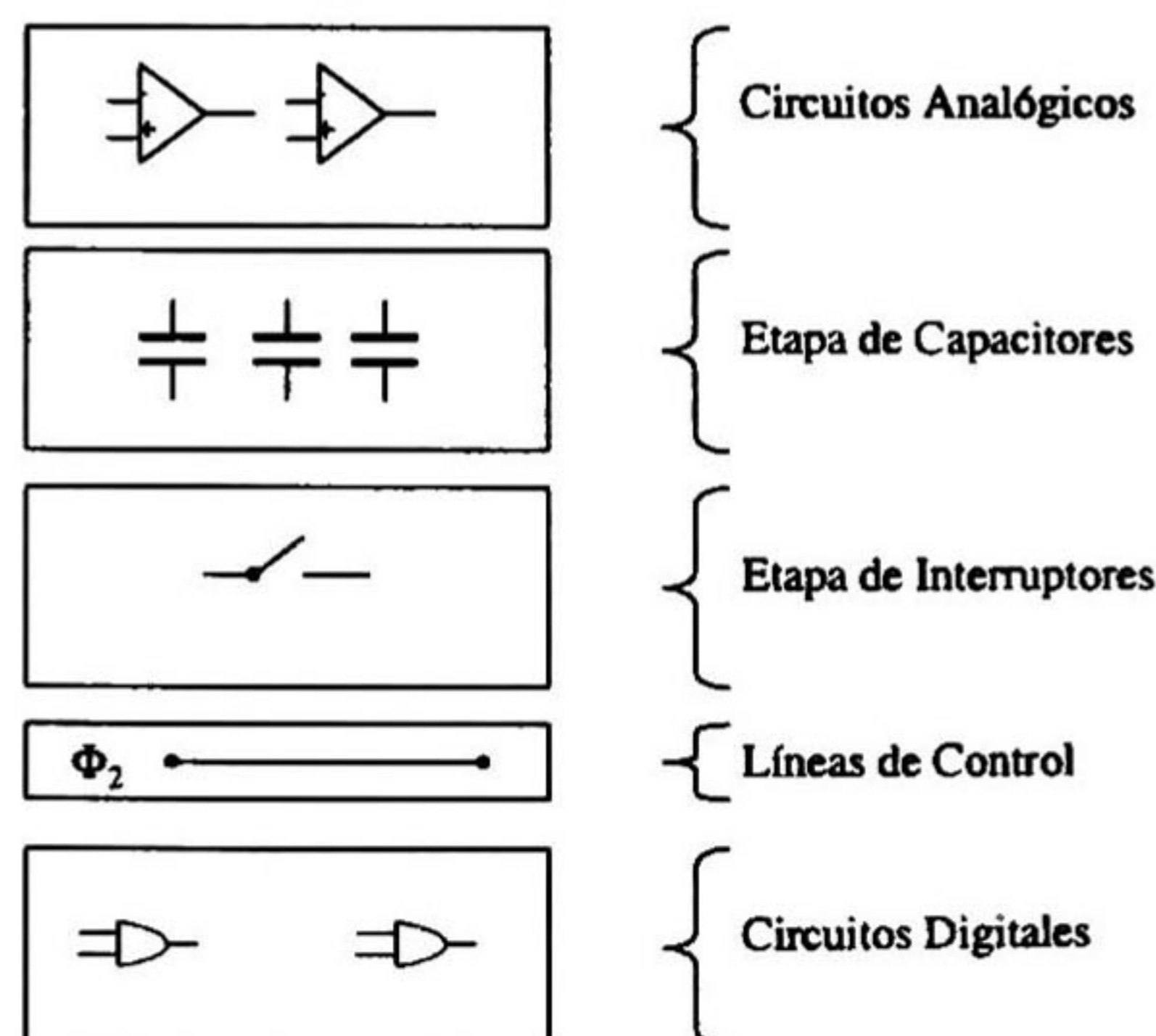
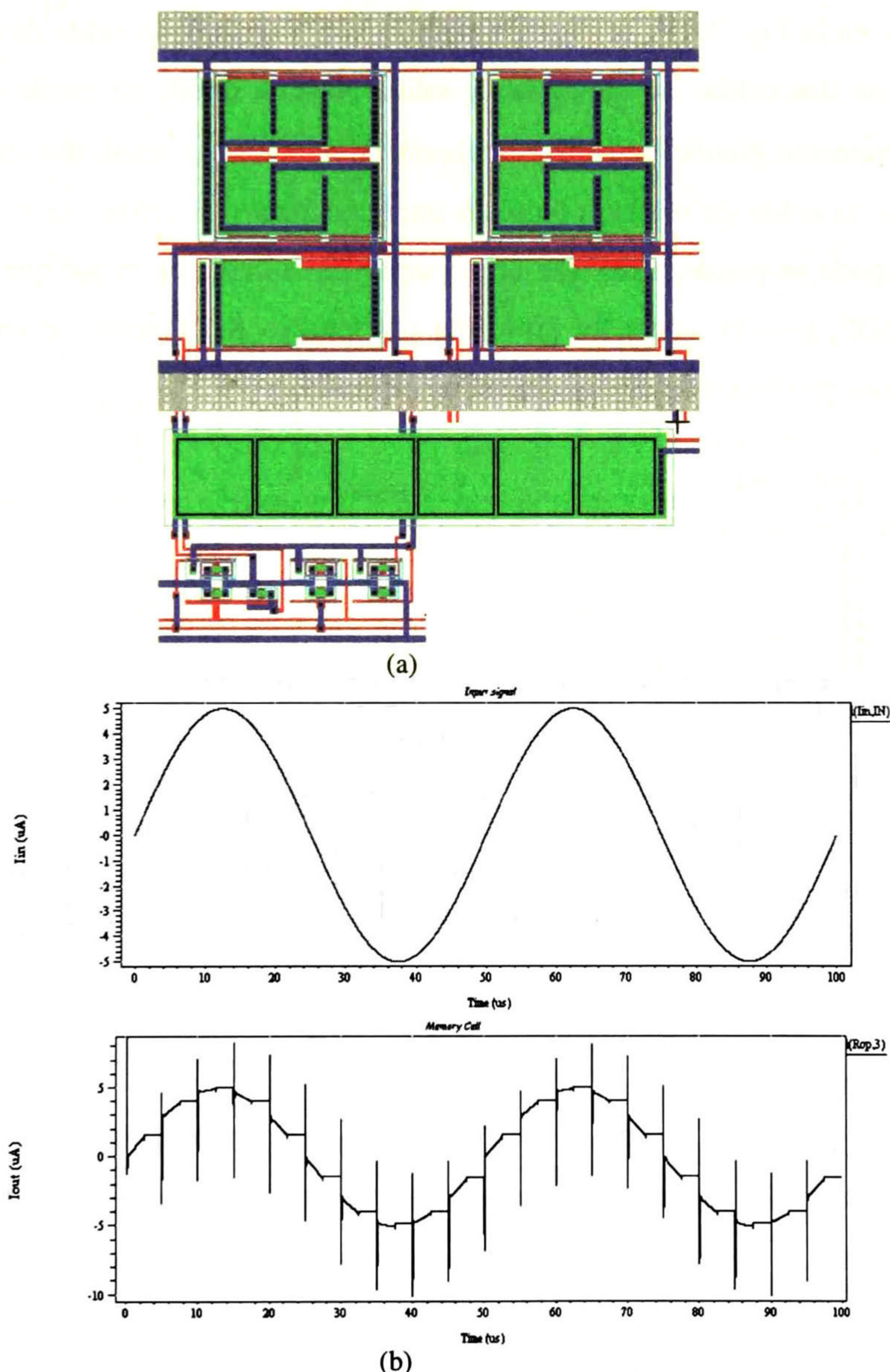


Fig. 3.9 Ubicación de las etapas de un Circuito Integrado de señal mezclada.



La celda de memoria NMOS es la que presenta un comportamiento más cercano al esperado, por lo tanto, es la celda que será implementada, la cual se muestra en la Fig. 3.10a junto con su etapa de salida, ambas canal NMOS, mientras que en la Fig. 3.10b se muestra la simulación TSpice del circuito eléctrico extraído de LEdit, en la simulación se puede observar claramente que es muy semejante a la simulación originalmente mostrada en la Fig. 3.7b, lo cual indica que el diseño en layout es correcto (ver Apéndice A para archivos de simulación).



**Fig. 3.10** Celda de Memoria o medio retraso y etapa de salida NMOS, (a) Layout y (b) Simulación del circuito eléctrico extraído.

### 3.2.- Celda de Retraso Completo.

#### A.- Diseño

Partiendo de la celda de memoria, es fácil realizar la celda de retraso completo, la cual consta únicamente de 2 celdas de memoria en cascada, lo cual es fácil demostrar analizando el diagrama de bloques de la transformada  $Z$ .

Así pues, en la Fig. 3.11b se ilustra la simulación Tspice de la celda de retraso completo implementada con dos celdas de memoria y salida NMOS, donde se puede observar que los glitches son ligeramente grandes ( $\approx 10\mu A$ ) en algunos tiempos de la señal, mientras que en la Fig. 3.11c se muestra la celda de retraso completo implementada con celdas de medio retraso y de salida PMOS, donde se puede notar que la respuesta de la celda es mejor que la diseñada con transistores NMOS, pero presenta un problema del manejo de la señal de entrada durante la excursión negativa, produciendo una respuesta no esperada.

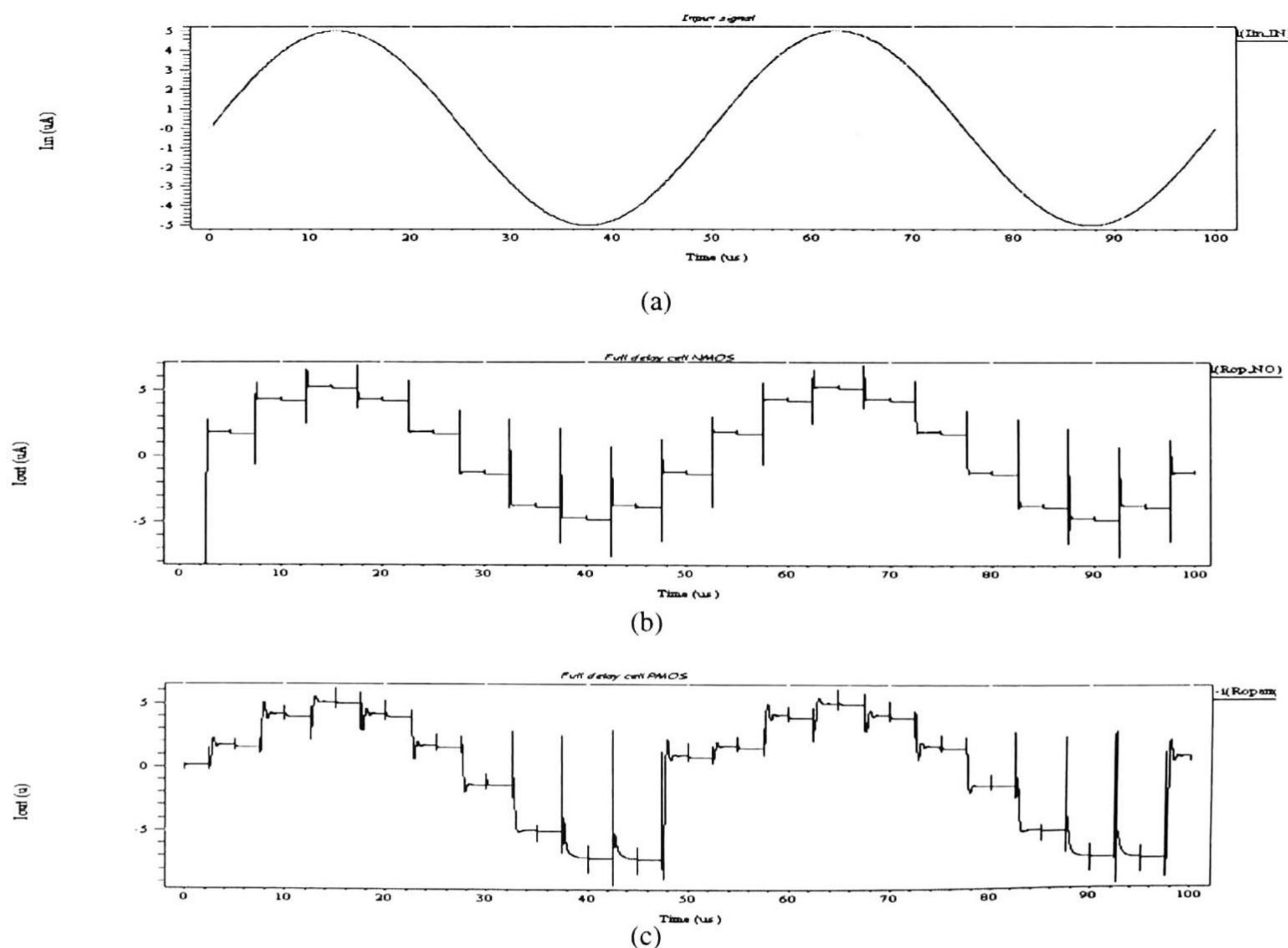
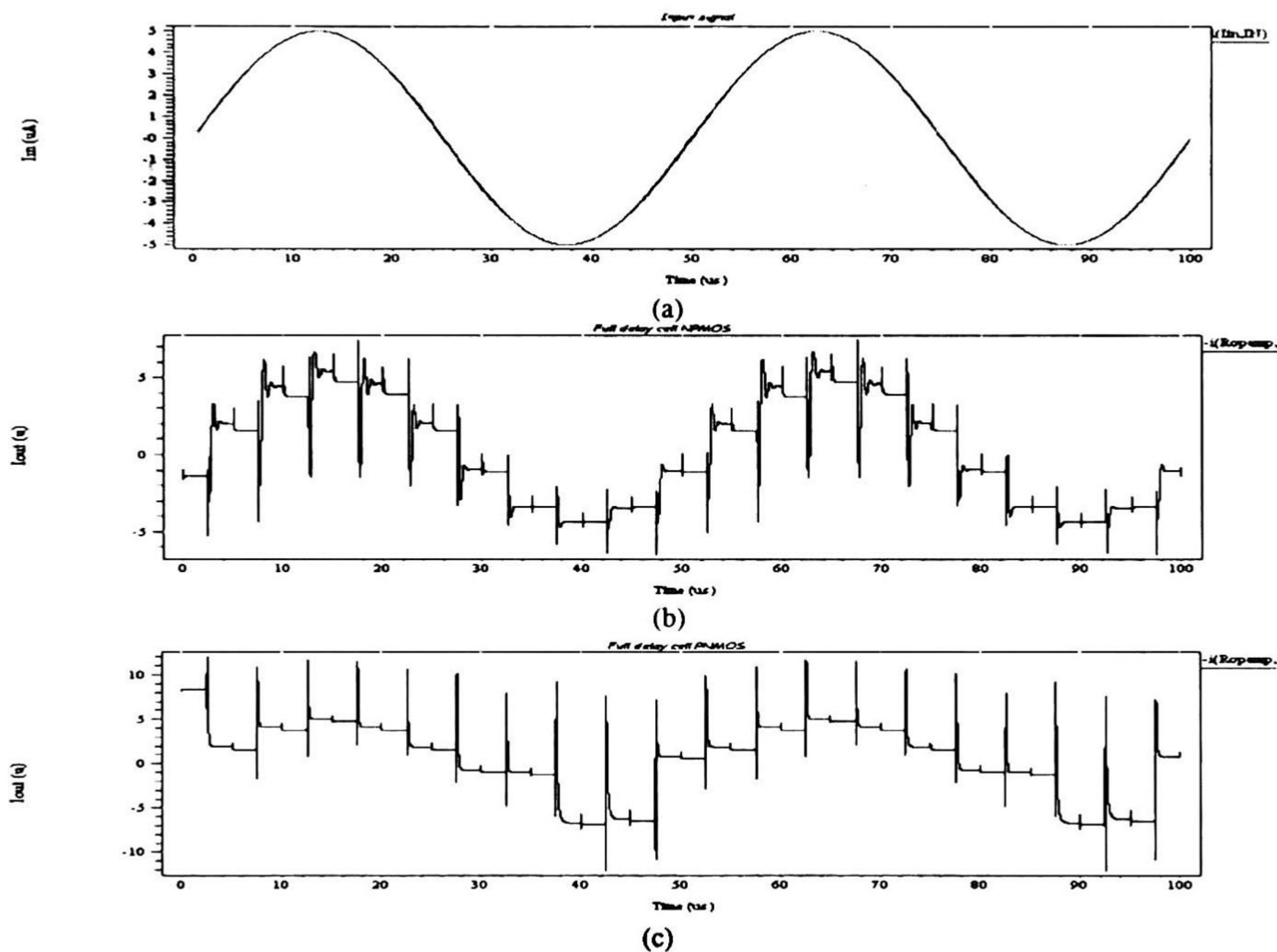


Fig. 3.11 Simulación de la Celda de retraso completo a) Señal de excitación, b) NMOS y c) PMOS.

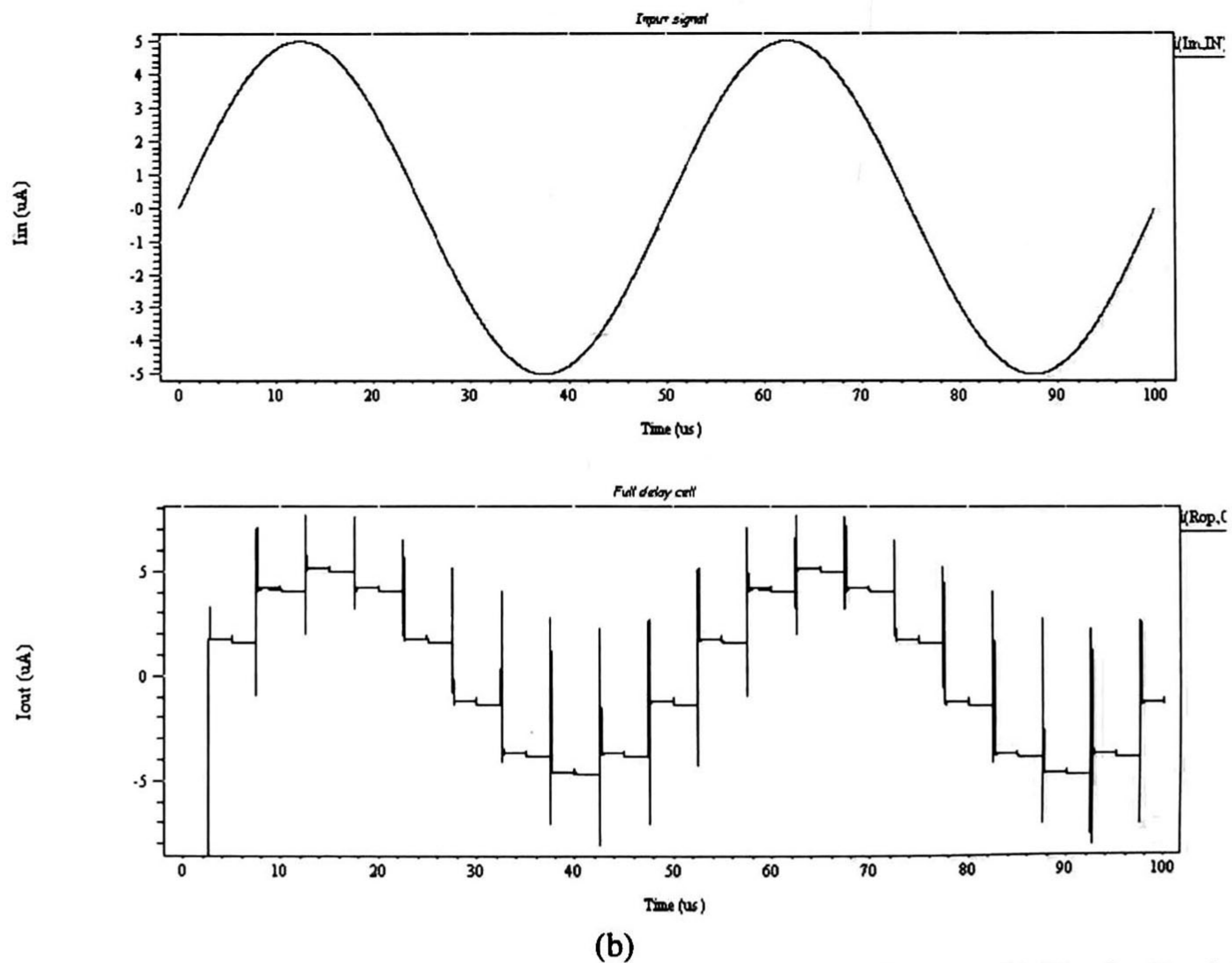
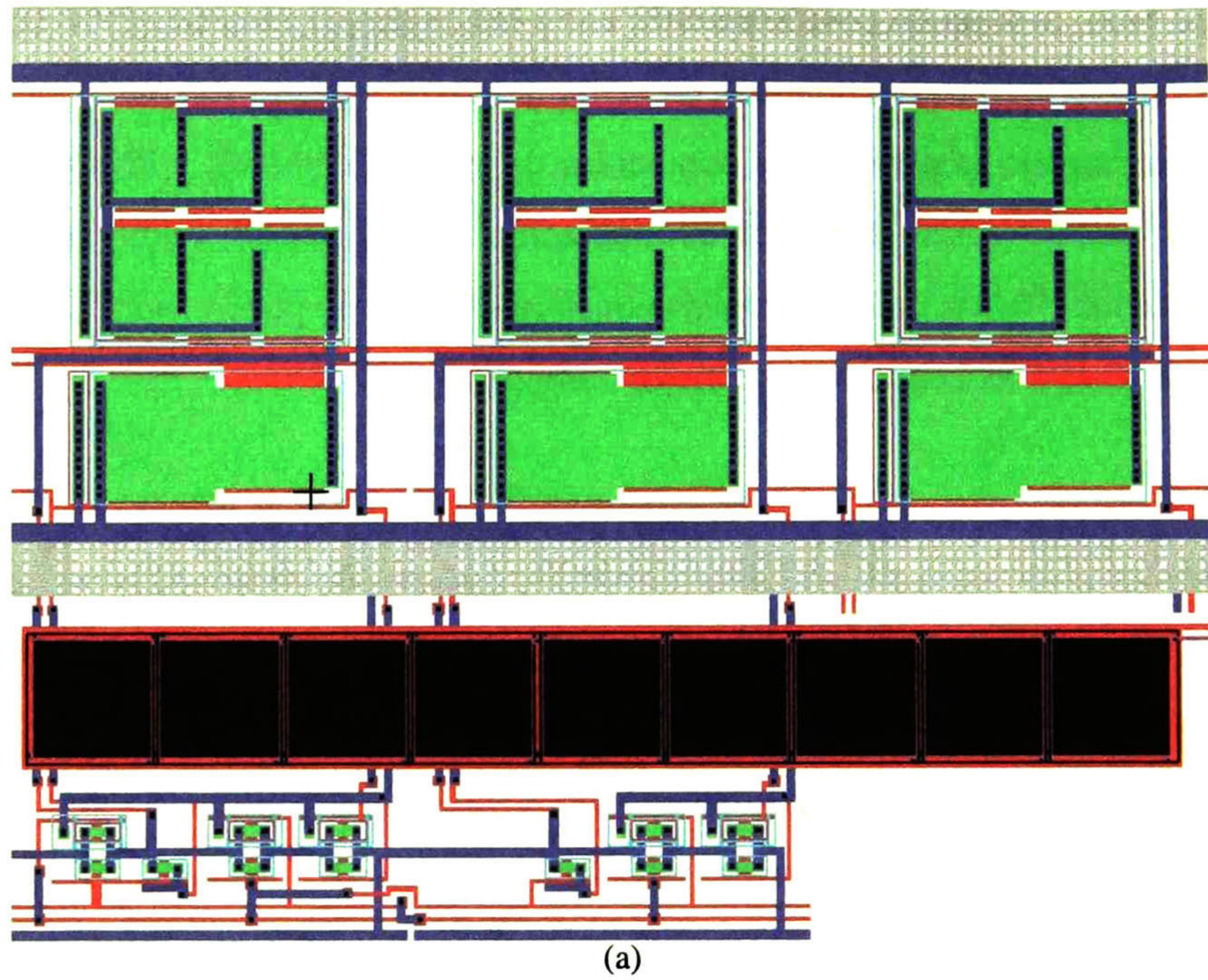
Por otro lado, realizando combinaciones entre las celdas de memoria NMOS y PMOS, es posible obtener celdas de retraso completo, en la Fig. 3.12b se muestra la simulación TSpice de la celda de retraso completo implementada con celdas de memoria NMOS, y PMOS para la salida, mientras que en la Fig. 3.12c se ilustra la simulación con celdas de medio retraso PMOS, y NMOS para la salida. De las cuatro combinaciones realizadas, se puede deducir que la celda de retraso completo NMOS es la que tiene el mejor comportamiento.



**Fig. 3.12** Simulación de la Celda de retraso completo a) Señal de excitación, b) NPMOS y c) PNMOS.

## B. Layout

En la Fig. 3.13a se muestra el layout de la celda de retraso completo y su etapa de salida, ambas NMOS, mientras que en la Fig. 3.13b se ilustra la simulación TSpice del circuito eléctrico extraído de LEdit, éste tiene un comportamiento semejante al de la Fig. 3.11a, lo cual indica que la transportación del circuito eléctrico a layout es correcta.



**Fig 3.13** Celda de retraso completo y etapa de salida, ambas canal  $n$ , a) Layout y b) Simulación del circuito eléctrico extraído.

### 3.3.- Celda Integradora.

#### A. Diseño

La celda integradora se implementa a partir de la celda de retraso completo, realizando solo la retroalimentación de la señal de salida a la entrada del sistema, obteniendo la siguiente ecuación

$$i_{out}(n) = i_{in}(n) + i_{out}(n-1) \tag{3.1}$$

aplicando la transformada **Z** y factorizando la función de transferencia se define como

$$i_{out}(z) = \frac{K}{1 - z^{-1}} i_{in}(z) \tag{3.2}$$

donde *K* es un factor de ganancia, de valor aproximadamente 2. En la Fig. 3.14a se ilustra el integrador no inversor NMOS, donde se puede observar que la salida de ambas celdas de medio retraso están conectadas al mismo nodo en cualquier tiempo, es decir durante la fase  $\Phi_1$  y  $\Phi_2$  las salidas y entradas de ambas celdas son el mismo nodo, por lo tanto se puede realizar una simplificación de la celda integradora, la cual se muestra en la Fig. 3.14b, donde únicamente los transistores que funcionan como carga para cada celda en particular, ahora son multiplicadas por un factor de 2, pudiendo tener de ésta manera una sola carga para ambas celdas de medio retraso. Además se puede obtener una integración positiva o negativa de la señal de entrada, intercambiando la señal de control de compuerta para el transistor  $M_1$  de cada celda de memoria.

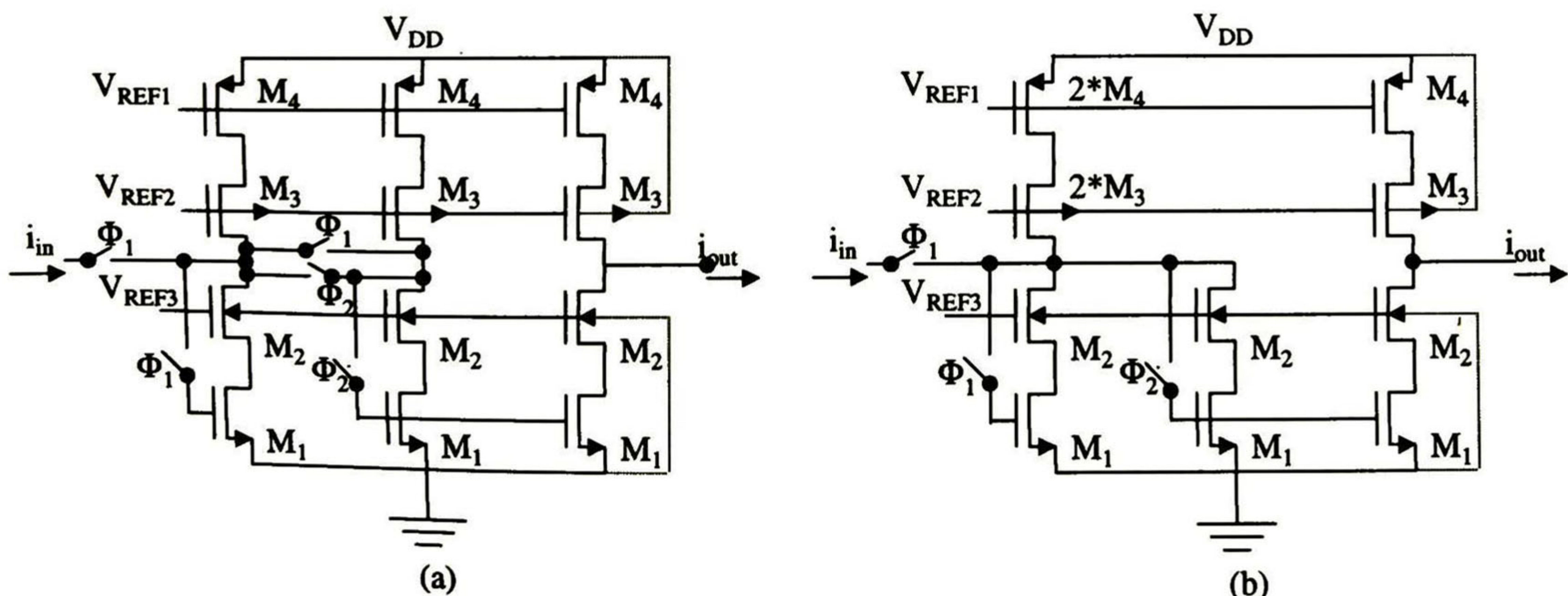
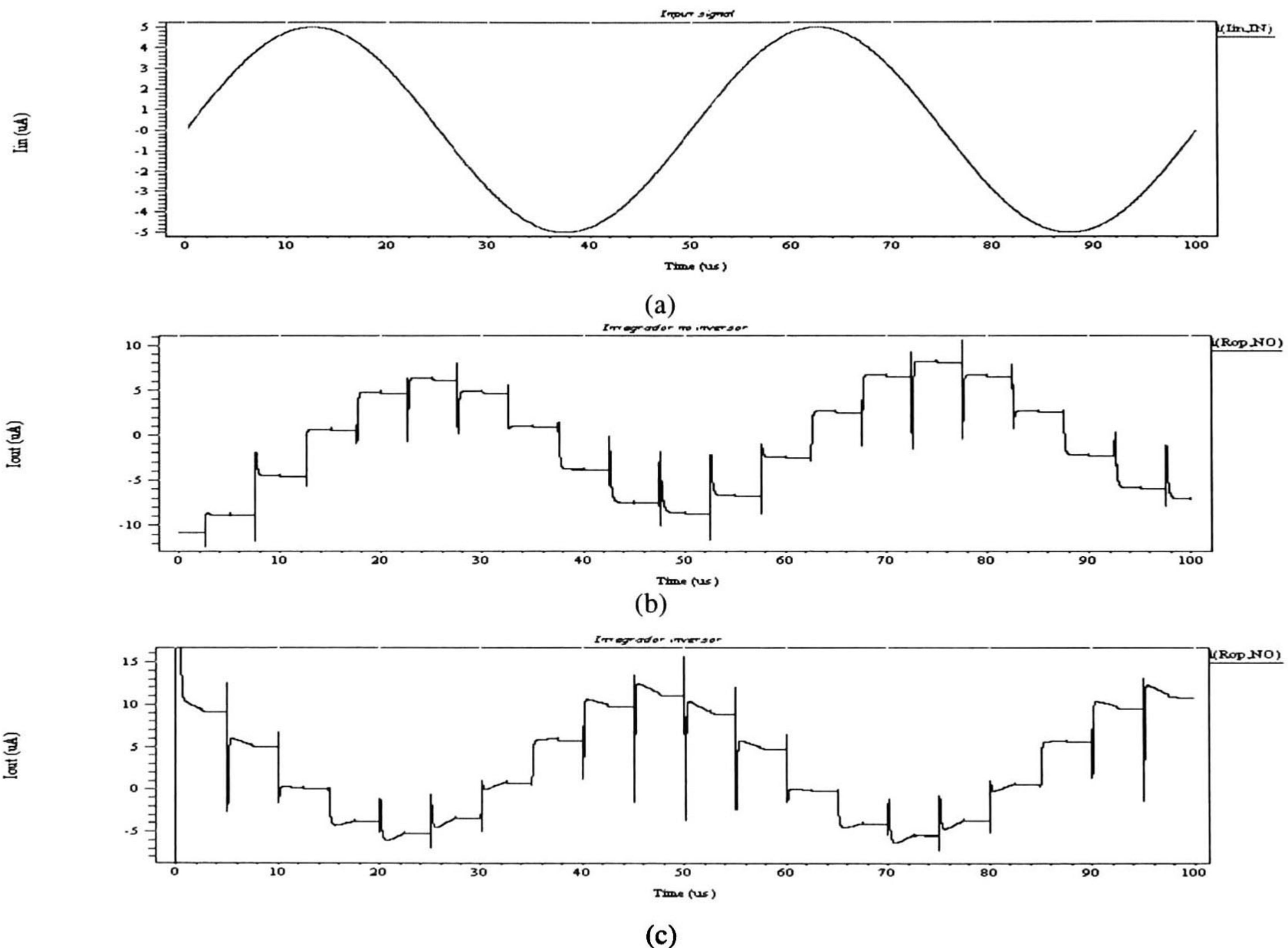


Fig. 3.14 Celda Integradora a) No simplificada y b) Simplificada.

En la Fig. 3.15b se muestra la simulación TSpice de la celda integradora no inversora, mientras que en la Fig. 3.15c se ilustra la celda integradora inversora. Nótese que ambas celdas presenta un funcionamiento semejante al esperado. Se define como celda integradora inversora a aquella que tiene un desfaseamiento de  $90^\circ$  de acuerdo a la señal de excitación, además de invertirla.

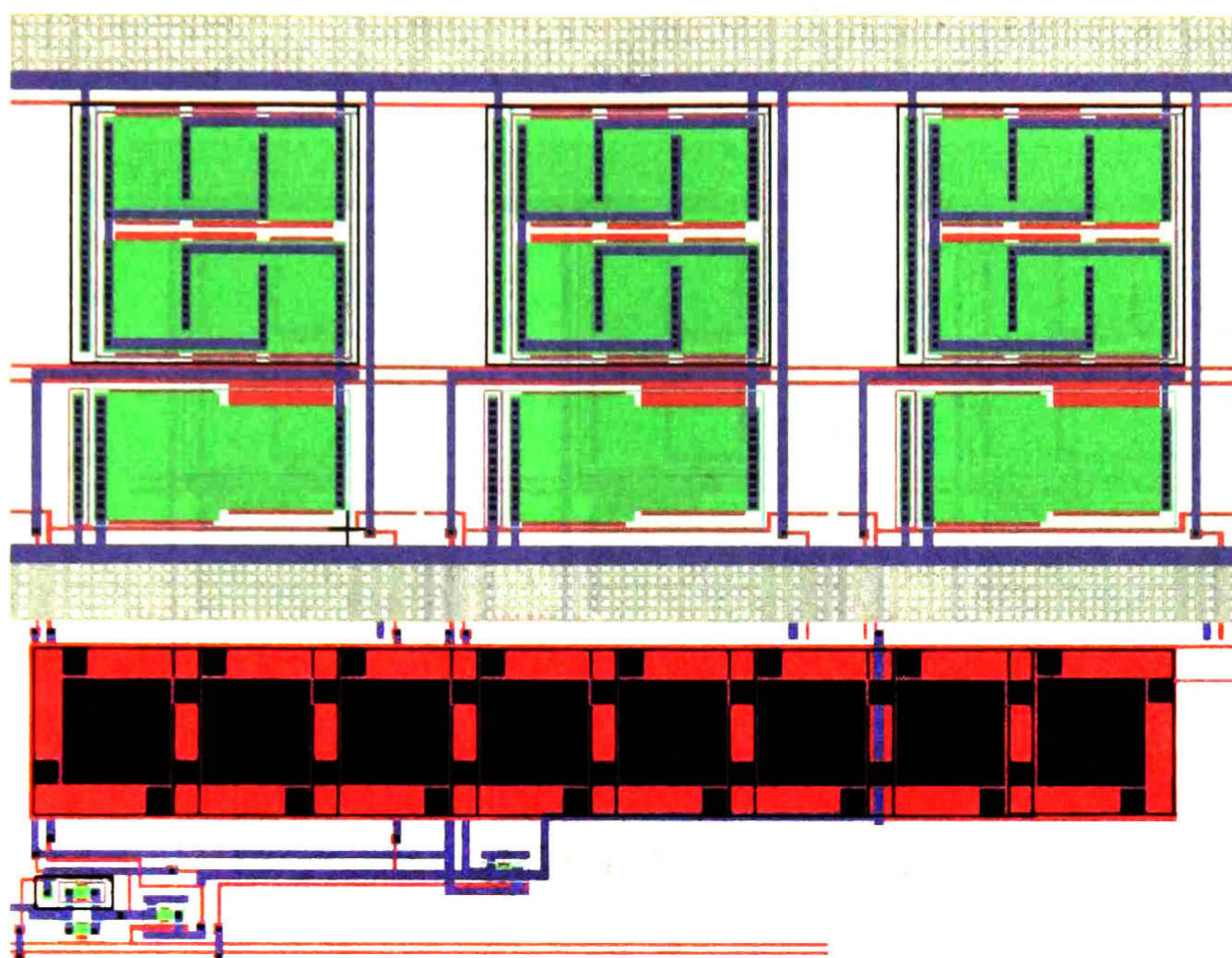


**Fig. 3.15** Celda Integradora a) Señal de Excitación, b) No inversora y c) Inversora.

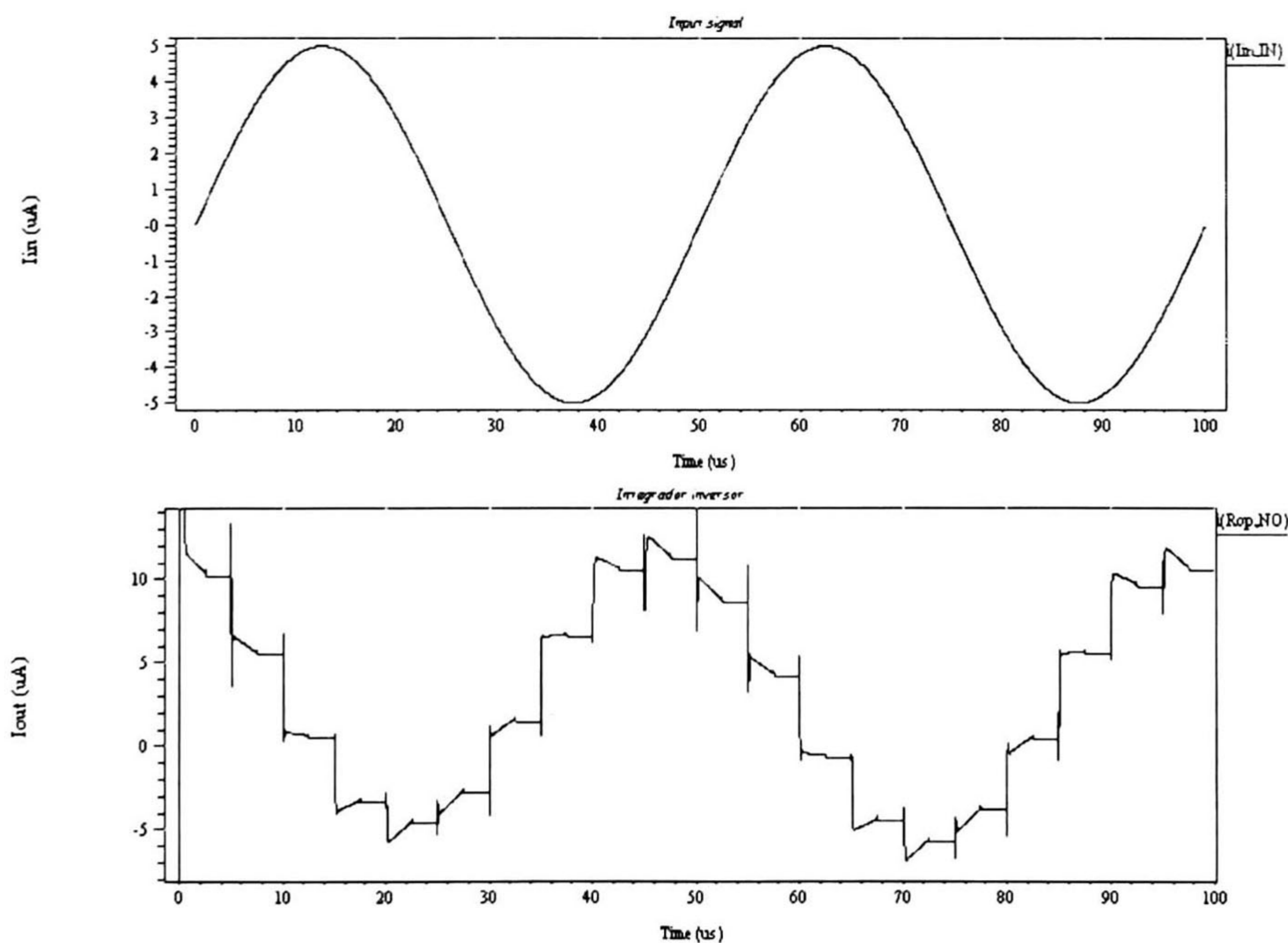
## B.- Layout

En la Fig. 3.16a se ilustra el layout de la celda integradora inversora, mientras que en la Fig. 3.16b se muestra la simulación TSpice del circuito eléctrico extraído de LEdit. En ella se puede observar que su comportamiento es semejante al de la simulación inicial. Nótese además que todas las celdas mostradas en corriente conmutada contienen capacitores de prueba entre la sección analógica y la etapa de interruptores, estos capacitores están conformados por diferentes

configuraciones, con el fin de corroborar el valor de cada uno de ellos, además se implementan con polisilicio y polisilicio o polisilicio y una región  $n^+$ .



(a)



(b)

**Fig. 3.16** Celda integradora inversora a) Layout y b) Simulación TSpice del circuito eléctrico extraído.

En la Fig. 3.17a se ilustra el layout de la celda integradora inversora, mientras que en la Fig. 3.17b se muestra la simulación TSpice del circuito eléctrico extraído de LEdit. En ella se puede observar que su comportamiento es adecuado.

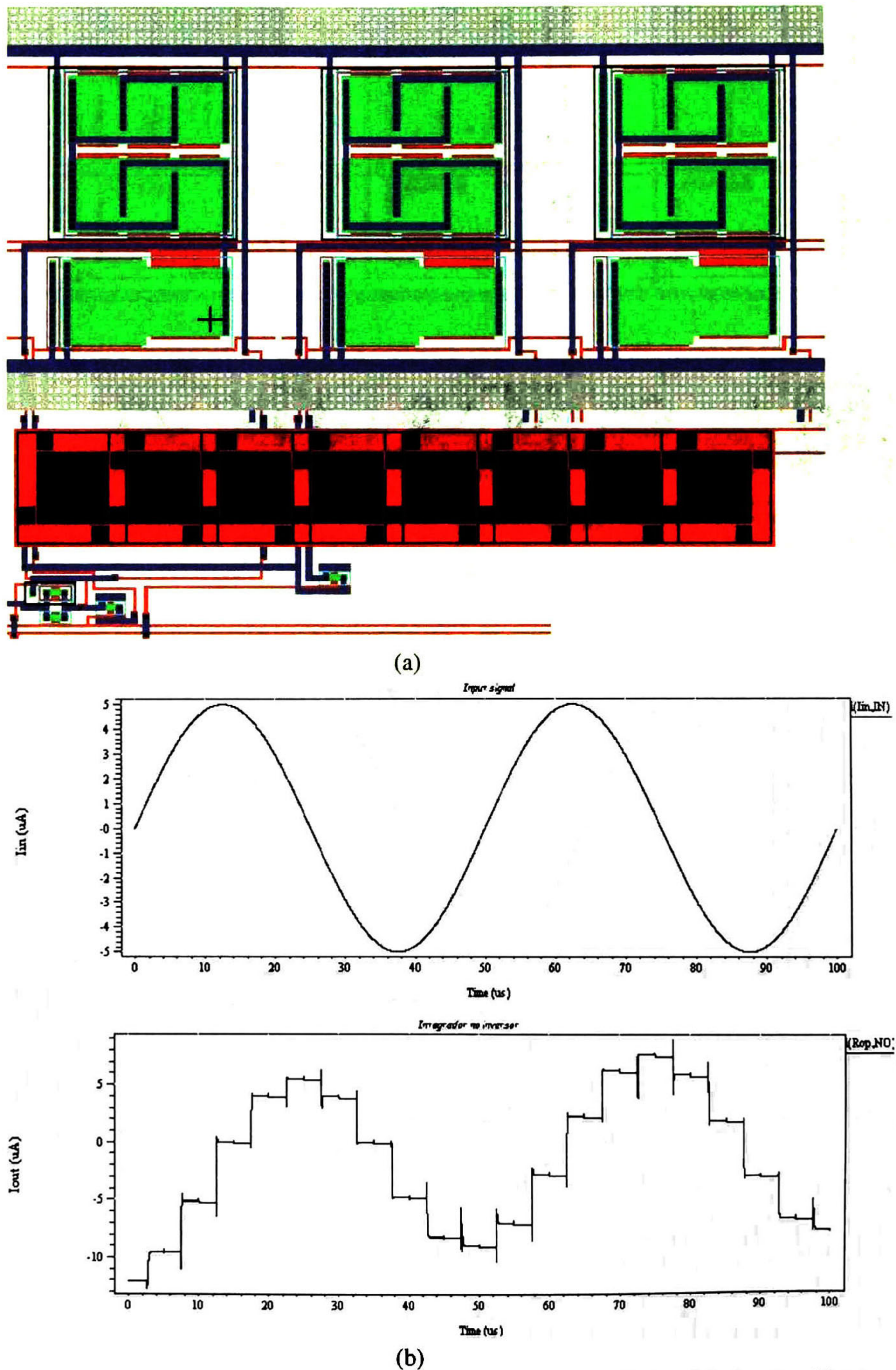


Fig. 3.17 Celda integradora no inversora a) Layout y b) Simulación TSpice del circuito eléctrico extraído.



### 3.4.- Voltajes de Referencia.

#### A. Diseño

Para el diseño de voltajes de referencias utilizados en esta investigación, se utiliza la configuración más simple, con el fin de no tener fuentes de alimentación externas al sistema, ya que el propósito de esta investigación no es la del diseño de voltajes de referencia con excelentes características. Los voltajes de referencia que se ilustran en la Fig. 3.2a fueron implementados con divisores de voltaje, a su vez, estos están contruidos de transistores NMOS y PMOS, como se ilustra en la Fig. 3.18.

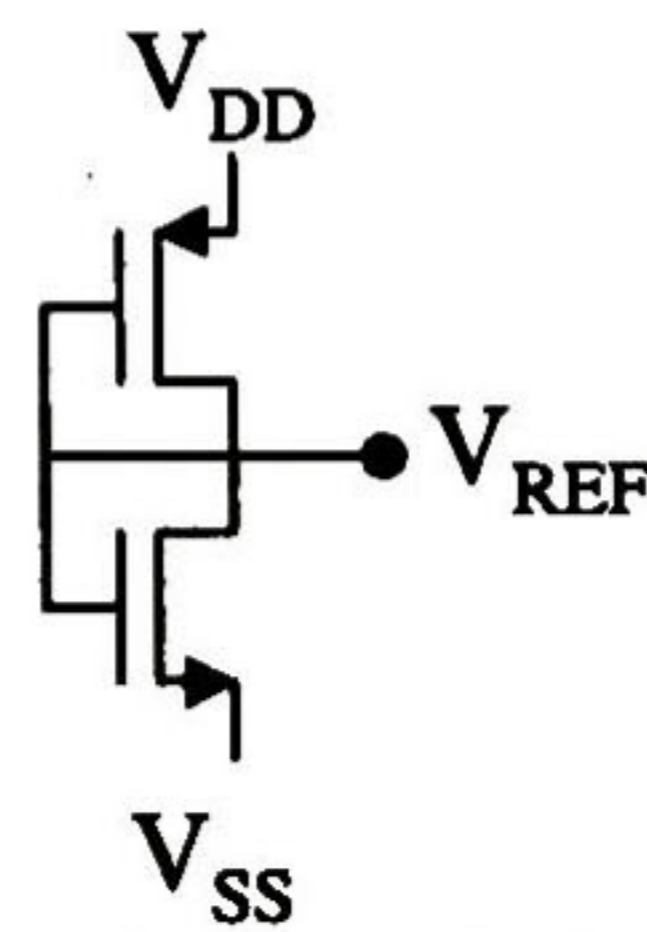


Fig. 3.18 Circuito de voltaje de referencia.

#### B. Layout

En la Fig. 3.19 se muestra la implementación de  $V_{REF1}$ ,  $V_{REF2}$  y  $V_{REF3}$  en LEdit, mientras que en la Fig. 3.20 se ilustra un análisis de montecarlo (de  $-20^{\circ}\text{C}$  a  $80^{\circ}\text{C}$ ) simulación correspondiente a  $V_{REF1}$ . Se analizó con respecto a la temperatura, ya que es uno de los efectos que más degradan el funcionamiento de un divisor de voltaje, esto se debe a la transconductancia del transistor MOS, la cual varía con la temperatura y hace que el divisor cambie su punto de operación. En la Fig. 3.20 se puede observar que la variación en casos extremos alcanza una variación de hasta el 100% de su valor original ( $V_{REF1}$  fue diseñado para proporcionar 2.2V). Ver apéndice A para dimensiones y valores de las celdas de voltajes de referencia.

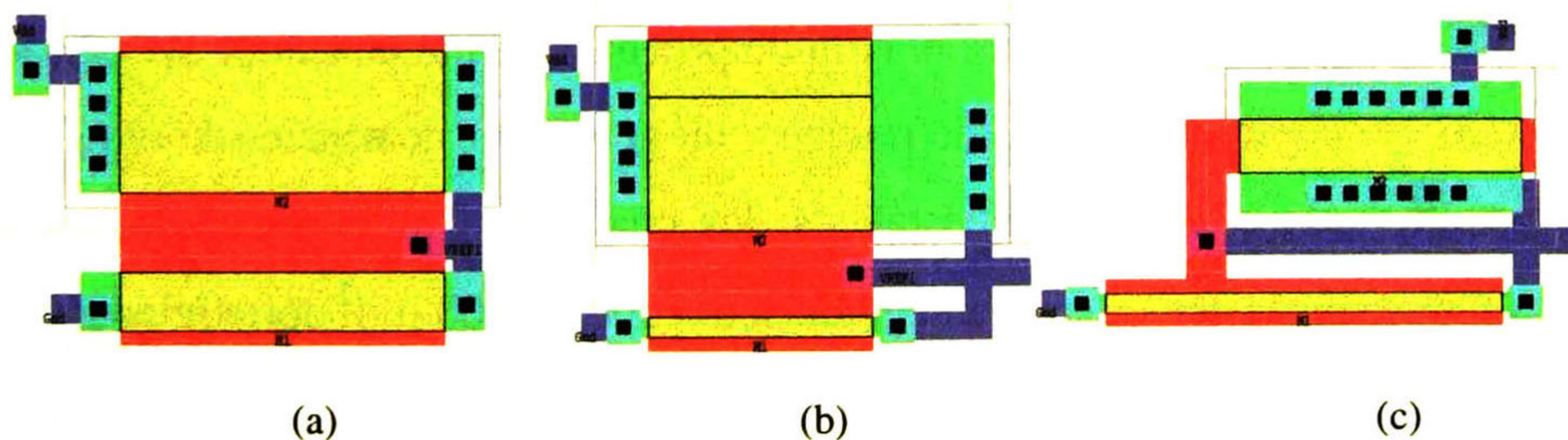
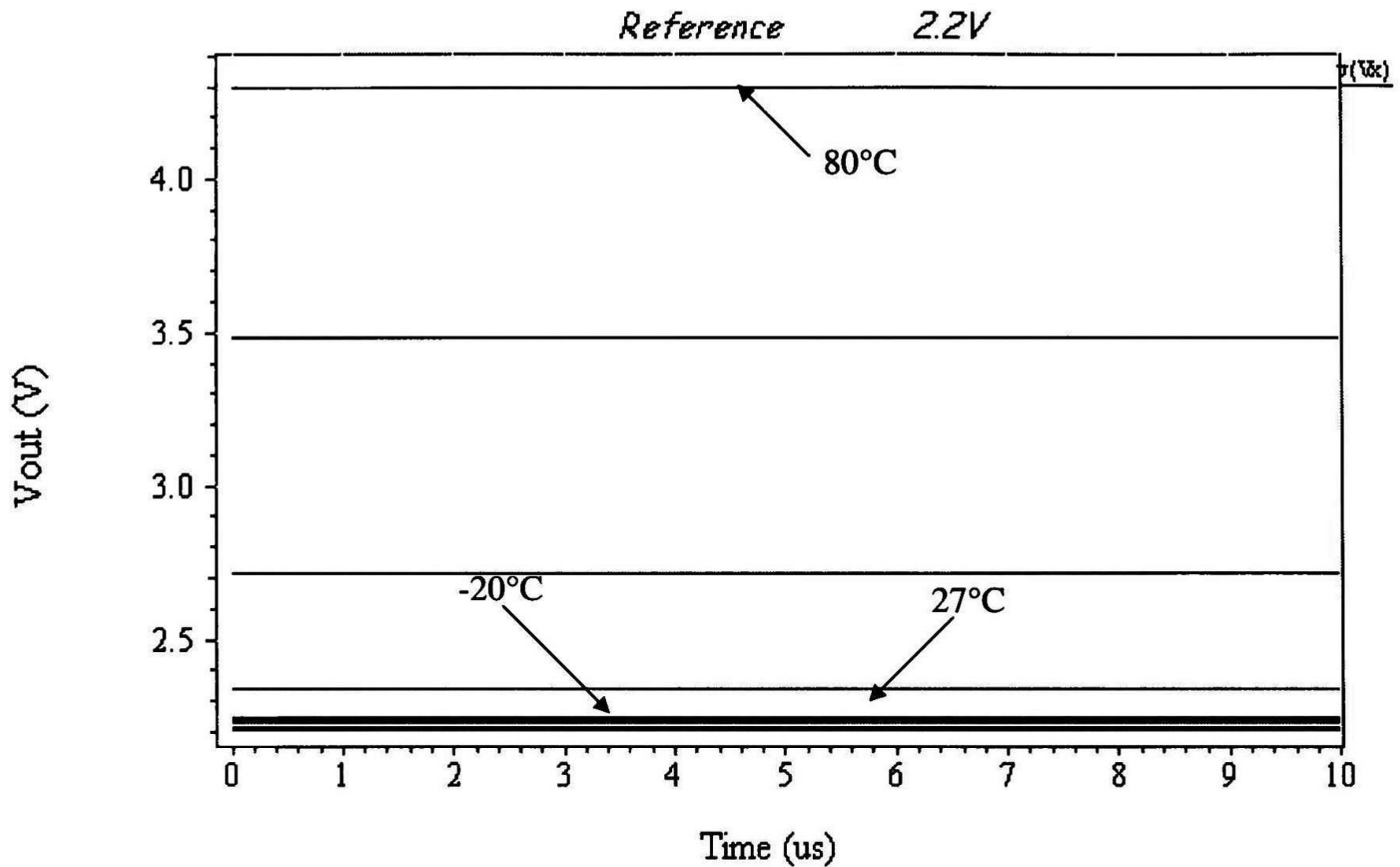


Fig. 3.19 Layout, a)  $V_{REF1}$ , b)  $V_{REF2}$  y c)  $V_{REF3}$ .Fig. 3.20 Simulación con respecto a la Temperatura de  $V_{REF1}$  de  $-20^{\circ}\text{C}$  a  $80^{\circ}\text{C}$ .

### 3.5.- Diseño de un Circuito Integrado de prueba.

Uno de los principales objetivos de realizar un diseño electrónico, es llevar a cabo la construcción del mismo, con el fin de corroborar resultados experimentales y comparar resultados arrojados por el simulador TSpice. La construcción del circuito integrado se realizó con el programa MOSIS (tecnología de  $1.2\ \mu\text{m}$ , dos niveles de metalización, dos niveles de polisilicio y un pozo n). En la Fig. 3.21 se muestra el chip de prueba, el cual consta de las celdas diseñadas en éste capítulo, así como capacitores de prueba y un generador de señales de reloj. Este circuito integrado fue diseñado con pad's antiestáticos, los cuales son proporcionados por la empresa MOSIS. Las dimensiones del circuito integrado son  $1500 * 1100\ \mu\text{m}^2$  aproximadamente.

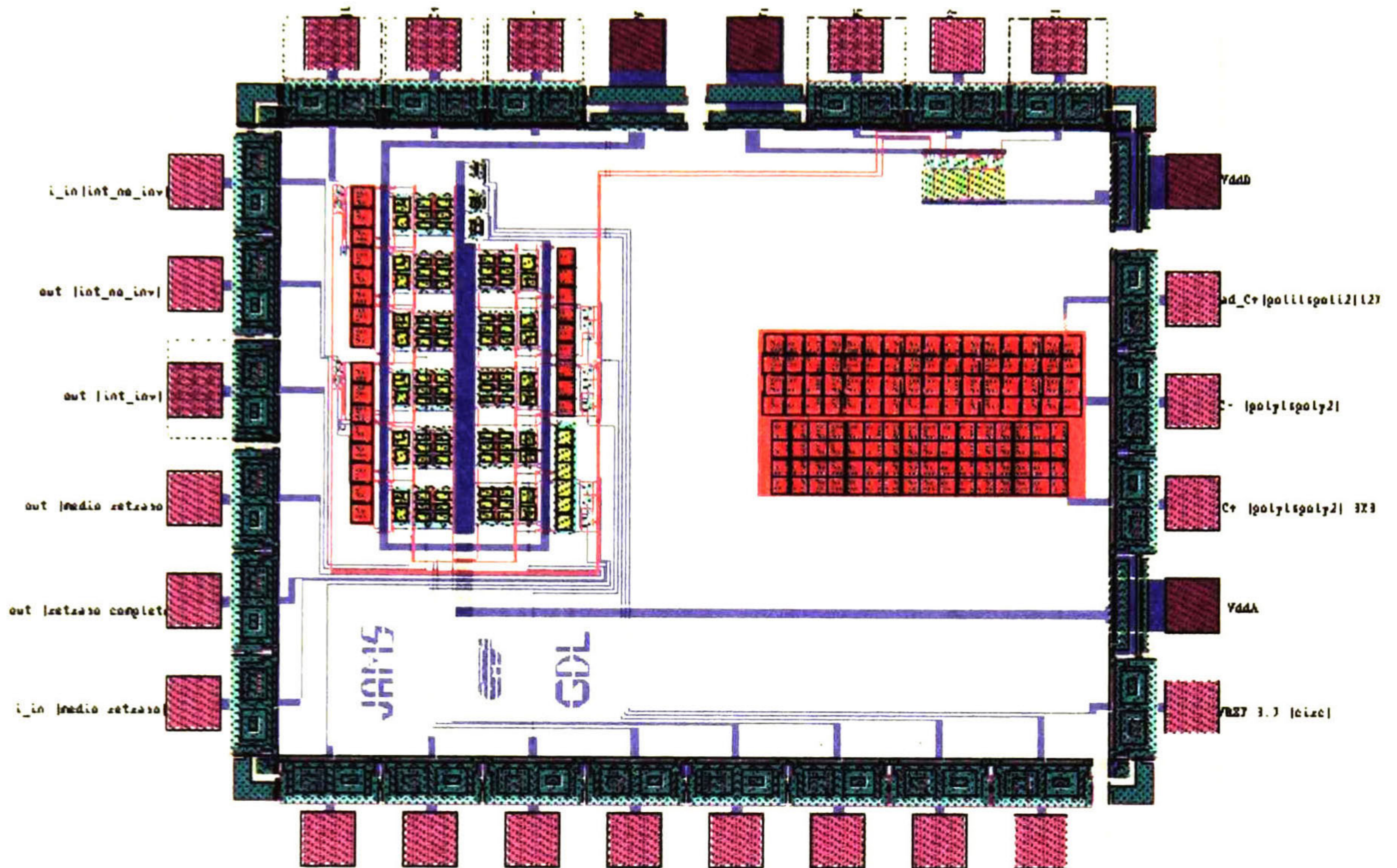


Fig. 3.21 Circuito Integrado de celdas SI.

## • Referencias

- [1] *Dynamic analog techniques in Design of MOS VLSI Circuits for Telecommunications*, E.A. Vittoz, Y. Tsividis and P. Antognetti (Editors), Prentice-Hall Inc., Englewoods Cliffs, New Jersey, 1985.
- [2] *Current Copier Cells*, Electronics Letters, J. Daubert, D. Vallancourt and Y. P. Sividis, Vol. 24, No. 25, pags. 1560-1562, Dec. 1988.
- [3] *A new technique for analog sample data signal processing*, B. Hughes, N.C. Bird and I.C. Macbeth, Procc. IEEE international Symposium on Circuits and Systems, Portland, Oregon, pags. 1584-1587, May 1989.
- [4] *Second Generation Switched Current Signal Processing*, B. Hughes, I.C. Macbeth and D.M. Patullo, Proc. IEEE International Simposio on Circuits and Systems, New Orlands, Louisiana, pags. 2805-2808, August 1990.
- [5] *Analog IC design: the current-mode approach*, Edited by C. Tomazou, F.J. Lidgey & D.G. Haigh, IEEE Circuits and Systems Series 2, USA 1990.
- [6] *Circuits and Systems Tutorials*, Editor Chris Tomazou, Assistant Editors Nick Battersby and Sonia Porta, IEEE Press Circuits and Systems, New York 1996. ISBN 0-7803-11701
- [7] *VLSI Design Techniques for Analog and Digital circuits*, L. Geiger, E. Allen and R. Strader, McGraw-Hill Publishing Company, New York 1990.
- [8] *Analysis of Clock Feedthrough Effects in Switched-Current Cells*, J.M. Martins and V.F. Dias, INESC, Lisboa, Portugal.
- [9] *A 10bit 80Mhz Glitchless CMOS D/A Converter*, Hiroshi Takakura, Masashige Yokoyama and Akira Yamaguchi, Toshiba Corporation, Toshiba Micoelectronics Corporation, IEEE 1991, Custom Integrated Circuits Conference

## 4

**DISEÑO DE SISTEMAS DE FILTRADO ANALÓGICO**

Los SFA de muestreo de datos son sistemas de tiempo discreto que operan a través de muestras periódicas de una señal de entrada y provee una señal de salida como una secuencia de datos muestreados. Se utiliza diseño en modo corriente debido a que existen diferentes tipos de excitación que proveen señales de interés en modo corriente. Además, modo corriente reduce el área de integración aproximadamente un 80% de su contraparte en modo voltaje, obteniendo con esto menor consumo de potencia y por consiguiente un mayor tiempo de vida útil del sistema de alimentación. Una técnica en modo corriente desarrollada a través de los años 80's es *corriente conmutada*. Esta puede ser implementada en un proceso VLSI estándar, lo cual es una gran ventaja para el diseño de circuitos de señal mezclada. Corriente conmutada opera en tiempo discreto, y como todo sistema desarrollado bajo esta técnica, contiene como bloque característico un generador de señales de reloj no traslapadas [1].

**4.1 Función de transferencia de un bicuadrático en S y Z.**

Es bien conocida la ecuación que gobierna todo sistema de segundo orden en el dominio de la variable S, el cual se define como

$$H(s) = \frac{k_1 s^2 + k_2 s + K_0}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \quad (4.1)$$

donde  $\omega_0$  es la frecuencia del polo y Q el factor de calidad. Los polos de la ec. (4.1) están dados por  $s_{pk} = \sigma_{pk} \pm j\omega_{pk}$  [2]. Por lo tanto, se define a

$$\omega_0 = \Delta |s_p| = \sqrt{\sigma_p^2 + \omega_p^2} \quad (4.2)$$

y

$$Q = \frac{\Delta |s_p|}{2|\sigma_p|} = \frac{1}{2} \sqrt{1 + \left(\frac{\omega_p}{\sigma_p}\right)^2} \quad (4.3)$$

Para sistemas de filtrado pasa-bajas las variables  $k_1$  y  $k_2$  son nulas, por lo tanto, la ec. (4.1) se puede escribir como

$$H(s) = \frac{K_0}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \quad (4.4)$$

Para obtener la función de transferencia en el dominio de la variable  $Z$ , se debe realizar la transformada bilineal, ya que se debe realizar el mapeo de  $S$  correspondiente a  $Z$ , por lo tanto, partiendo de

$$z = e^{sT} = \left( e^{sT/2} \right) \left( e^{sT/2} \right) = \frac{e^{sT/2}}{e^{-sT/2}} \quad (4.5)$$

donde  $T$  es el periodo de muestreo. Ahora asumiendo que la frecuencia de la señal de interés es mucho menor que la frecuencia de muestreo y aplicando series de Taylor, e ignorando los términos de orden mayor, se define a  $Z$  como

$$z \approx \frac{1 + sT/2}{1 - sT/2} \quad (4.6)$$

factorizando y ordenando términos obtenemos

$$s = \frac{2}{T} \frac{z - 1}{z + 1} \quad (4.7)$$

la cual se puede encontrar fácilmente en la literatura como transformada bilineal [2],[3]. Por lo tanto, sustituyendo la ec.(4.7) en (4.4), factorizando términos semejantes, se puede encontrar que la función de transferencia de un bicuadrático en el dominio de la variable  $Z$  se define como

$$H(z) = \frac{(a_5 + a_6)z^2 + (a_1a_3 - a_5 - 2a_6)z + a_6}{(1 + a_4)z^2 + (a_2a_3 - a_4 - 2)z + 1} \quad (4.8)$$

donde

$$\begin{aligned} a_1a_3 &= 4k_0T^2/D, \\ a_2a_3 &= 4\omega_0^2T^2/D, \\ a_4 &= 4\omega_0^2T/D, \\ A_5 &= 4k_1T/D, \\ a_6 &= (2k_2 - 2k_1T + k_0T^2)/D \text{ y} \\ D &= \omega_0^2T^2 - 2(\omega_0/Q)T + 4 \end{aligned}$$

El diagrama a bloques del flujo de la señal que caracteriza la ec. (4.8) se muestra en la Fig. 4.1

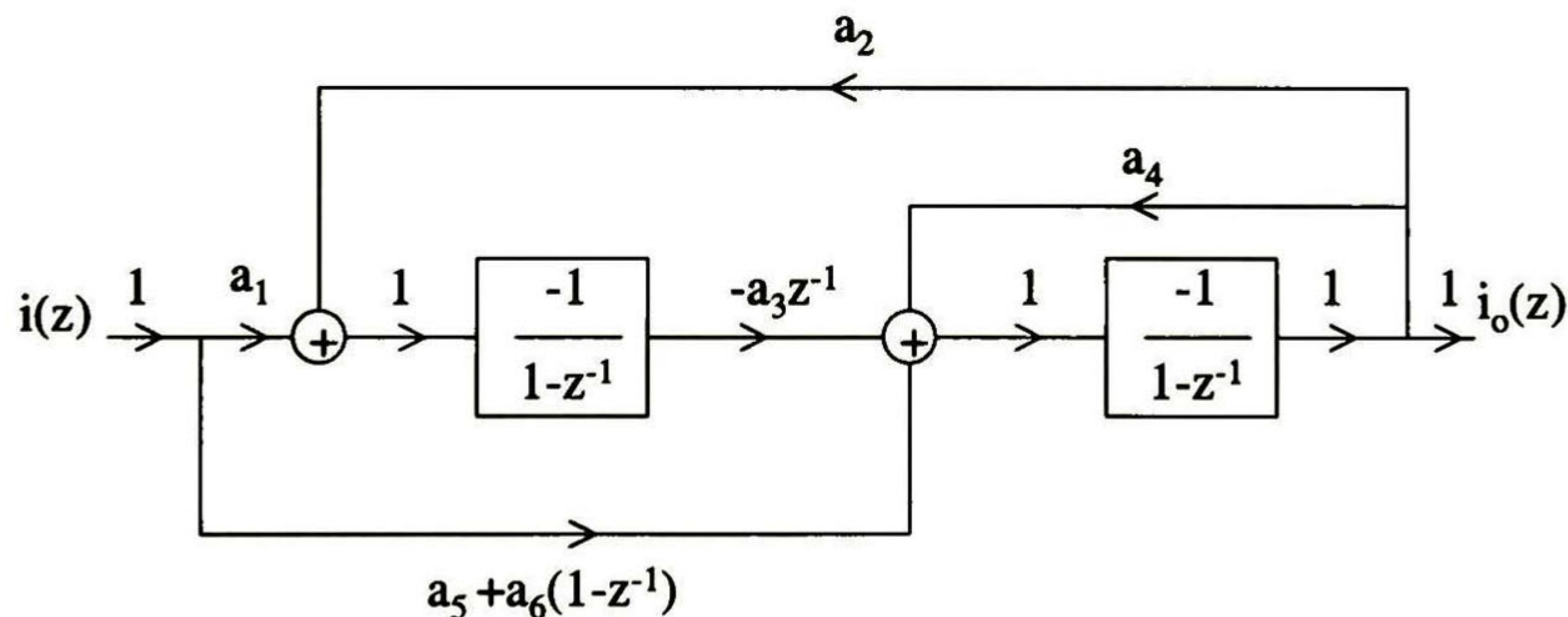


Fig. 4.1 Diagrama a bloques del flujo de la señal en el dominio de la vble.  $Z$  de un bicuadrático.

## 4.2 Bicuadrático pasa-bajas en Corriente Conmutada.

En la Fig. 4.2 se muestra la celda bicuadrática pasa-bajas en corriente conmutada. Se puede observar que consta de 2 integradores y n-etapas de salida, dependiendo de los valores de  $a_1$ - $a_6$ . Estas son relaciones geométricas de la celda integradora y de la etapa de salida. Otro punto importante que debe señalarse, es:  $a_1$ - $a_6$  son variables que toman valores reales positivos, con n cifras significativas, por ejemplo, supóngase que el valor de  $a_1$  es 0.7689, por lo tanto, es

imposible tener una razón de geometrías de 0.7689 de la celda integradora con respecto a la celda de salida, por lo que se realiza un ajuste a dicha variable, es decir, si una celda de salida toma el valor de 0.1,  $a_1$  se puede ajustar a 0.7 o 0.8, siendo ésta una decisión del diseñador. Como se trató en el capítulo 3, las celdas han sido diseñadas para conducir una corriente en DC de  $10\ \mu\text{A}$ , por lo tanto, si el ajuste de la celda es de 0.1, esto significa que  $10\ \mu\text{A}$  es equivalente a 0.1, por lo tanto, para tener una razón de 0.8, se deben colocar 10 celdas integradoras y 8 etapas de salida en paralelo, teniendo así una relación de 8/10, o lo que es equivalente a 0.8.

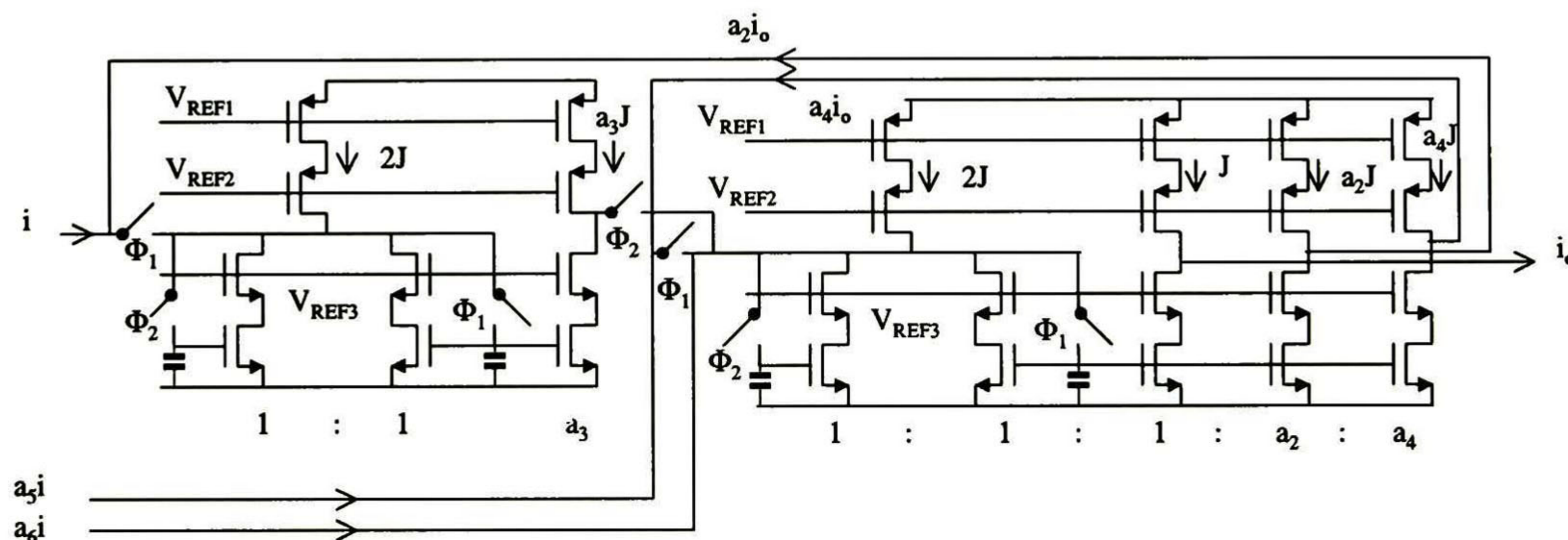


Fig. 4. 2 Celda bicuadrática pasa-bajas de corriente conmutada.

### 4.3 Cálculo de las variables de $a_i$ .

Conociendo los polos de los biquadráticos, es necesario denormalizarlos, ya que comúnmente se encuentran normalizados (en tablas) para una frecuencia angular de 1 rad/seg. Posteriormente se realiza un mapeo de  $S \rightarrow Z$ , ya que se requiere que los polos correspondan a la misma frecuencia en el dominio de la variable  $Z$ . Esto se puede llevar a cabo aplicando la siguiente ecuación [1]

$$\omega_Z = \frac{2}{T} \operatorname{tg} \left( \frac{\omega_S T}{2} \right) \quad (4.9)$$

donde  $\omega_Z$  es la frecuencia angular en el dominio de variable  $Z$ , expresada en rad/s,  $\omega_S$  es la frecuencia angular en el dominio de la variable  $S$ . De ésta manera se obtienen las variables  $a_1$  a  $a_6$  de la ec. (4.8), apoyándose de las ec. (4.2) y (4.3).



#### 4.4. SFA para audio.

El objetivo del diseño del SFA es el uso de celdas de corriente conmutada desarrolladas en el capítulo 3. A manera de ejemplificar la estrategia de diseño propuesta, se implementará un SFA de cuarto orden, Chebyshev, rizo de 0.5db, frecuencia de muestreo de 200kHz y frecuencia de  $-3\text{db}$  de 30kHz. El ajuste de variables se realiza a 0.5 (ya que este valor proporciona una buena respuesta del SFA, además de permitir reducción en área). En la Tabla 4.1 se muestran otros SFA que pueden ser implementados (aunque para algunos casos el área requerida para la integración sea demasiado grande).

$f_{-3\text{db}}$ (kHz)	$f_{\text{muestreo}}$ (kHz)	$\epsilon$ (db)	orden	$f_{-3\text{db}}$ (KHz) (Obtenida)	No. de celdas integradoras	No. de celdas de salida	Area de integración ( $\mu\text{m}^2$ )	Ajuste de variables
20	200	0.5	6	21.5	60	27	8'486,400	0.1
30	200	0.5	6	29	30	25	4'948,500	0.2
40	200	0.5	6	40	60	92	12'467,400	0.1
20	200	0.5	4	21.1	20	12	3'013,400	0.2
30	200	0.5	4	31	20	27	3'931,400	0.2
40	200	0.5	4	38.9	20	47	5'155,400	0.2

Tabla 4.1 Posibles SFA para integrar

#### 4.5 Desarrollo del SFA pasa-bajas Chebyshev.

Se diseña un filtro Chebyshev, con las siguientes características:

$f_{-3\text{db}}$	30KHz
$f_{\text{muestreo}}$	200KHz
Orden	4
Rizo ( $\epsilon$ )	0.5db

Los polos que gobiernan al sistema anterior se definen como  $s_{p1} = -0.17535307 \pm j1.01625289$  y  $s_{p2} = -0.42333976 \pm j0.42094573$ . Para denormalizar los polos se aplica la ec. (4.9), obteniendo

$$s_{p1} = s_{p1} * \omega_z = -3.57387407 \times 10^4 \pm j2.07122684 \times 10^4 \quad (4.10)$$

y

$$s_{p2} = s_{p2} * \omega_z = -8.628095X10^4 \pm j8.579302X10^4 \quad (4.11)$$

Por lo tanto, aplicando las ec. (4.2) y (4.3) se obtiene que

	1er. Bicuadrático	2do. bicuadrático
$\omega_0$	$2.101834X10^5$	$1.216751X10^5$
Q	2.940554	0.705110

Es bien conocido, que al realizar diseño cascada en filtros es necesario comenzar con el bloque que contenga el menor valor de **Q** y así sucesivamente hasta llegar al bloque de valor más alto, con la finalidad de no saturar el sistema. Ahora bien, para calcular el valor de  $k_0$  se parte de la ecuación

$$k_0 = \frac{\omega_0^2}{\sqrt{1 + \epsilon^2}} \quad (4.12)$$

debido a que es un filtro Chebyshev, por lo tanto

	1er. Bicuadrático	2do. Bicuadrático
$k_0$	$1.397667X10^{10}$	$4.170583X10^{10}$
$k_1$	0	0
$k_2$	0	0

aplicando la ec. (4.8) se obtiene

	1er. Bicuadrático	2do. Bicuadrático
$a_1$	0.528518	0.950094
$a_2$	0.559834	1.006391

$a_3$	1	1
$a_4$	1.305091	0.325663
$a_5$	0	0
$a_6$	0.132126	0.237523

ajustando  $a_1$ - $a_6$  con 0.5 se obtiene

	1er.. Bicuadrático	2do. Bicuadrático
$a_1$	0.5	1
$a_2$	0.5	1
$a_3$	1	1
$a_4$	1.5	0.5
$a_5$	0	0
$a_6$	0	0

por lo tanto, la ec. (4.18) puede definirse como

$$H(z) = \frac{(0.5)z}{(2.5)z^2 - (3)z + 1} \quad (4.13)$$

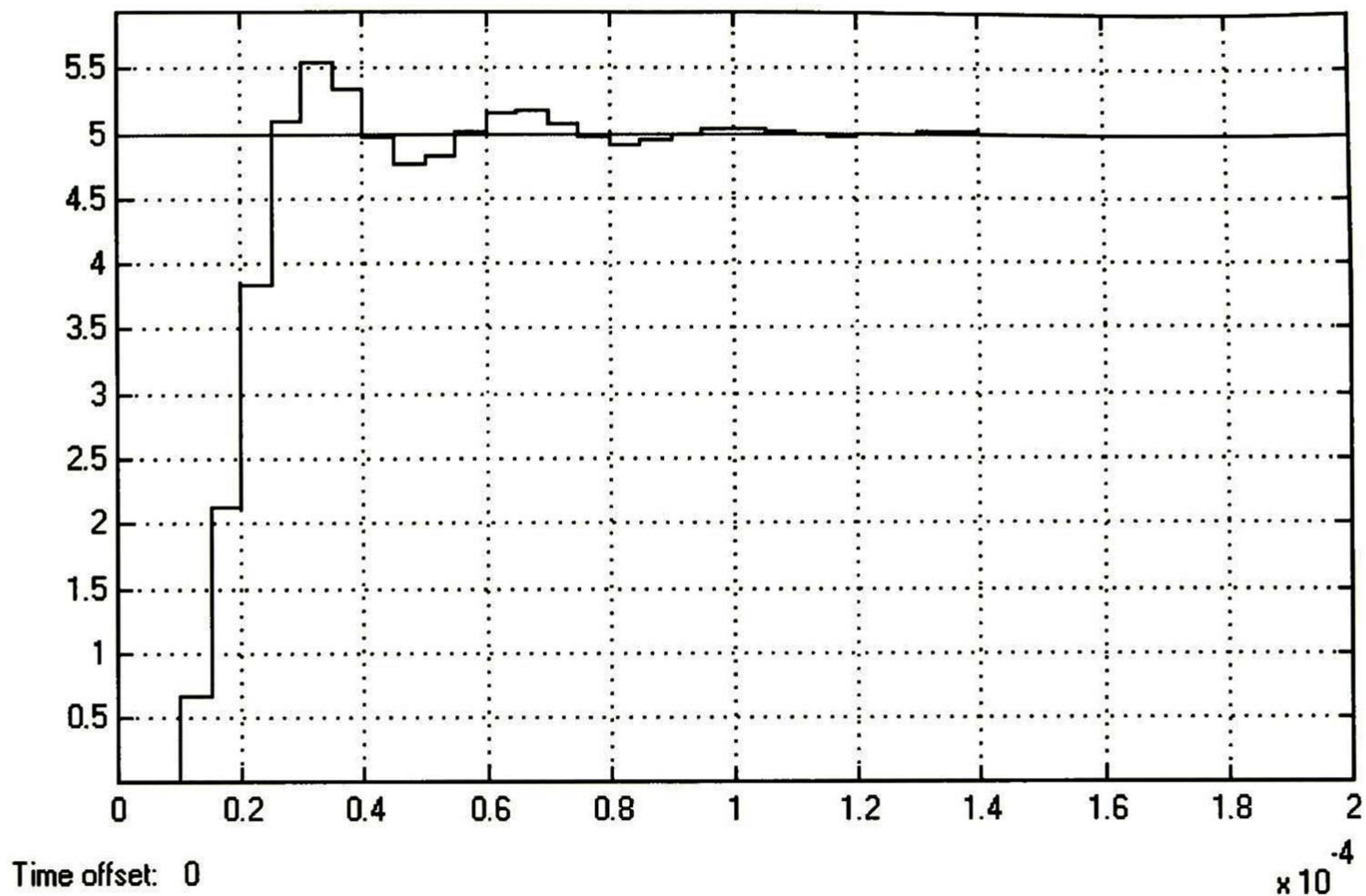
para el primer bicuadrático, y

$$H(z) = \frac{z}{(1.5)z^2 - (1.5)z + 1} \quad (4.14)$$

para el segundo bicuadrático, y

$$H(z) = \left( \frac{(0.5)z}{(2.5)z^2 - (3)z + 1} \right) \left( \frac{z}{(1.5)z^2 - (1.5)z + 1} \right) \quad (4.15)$$

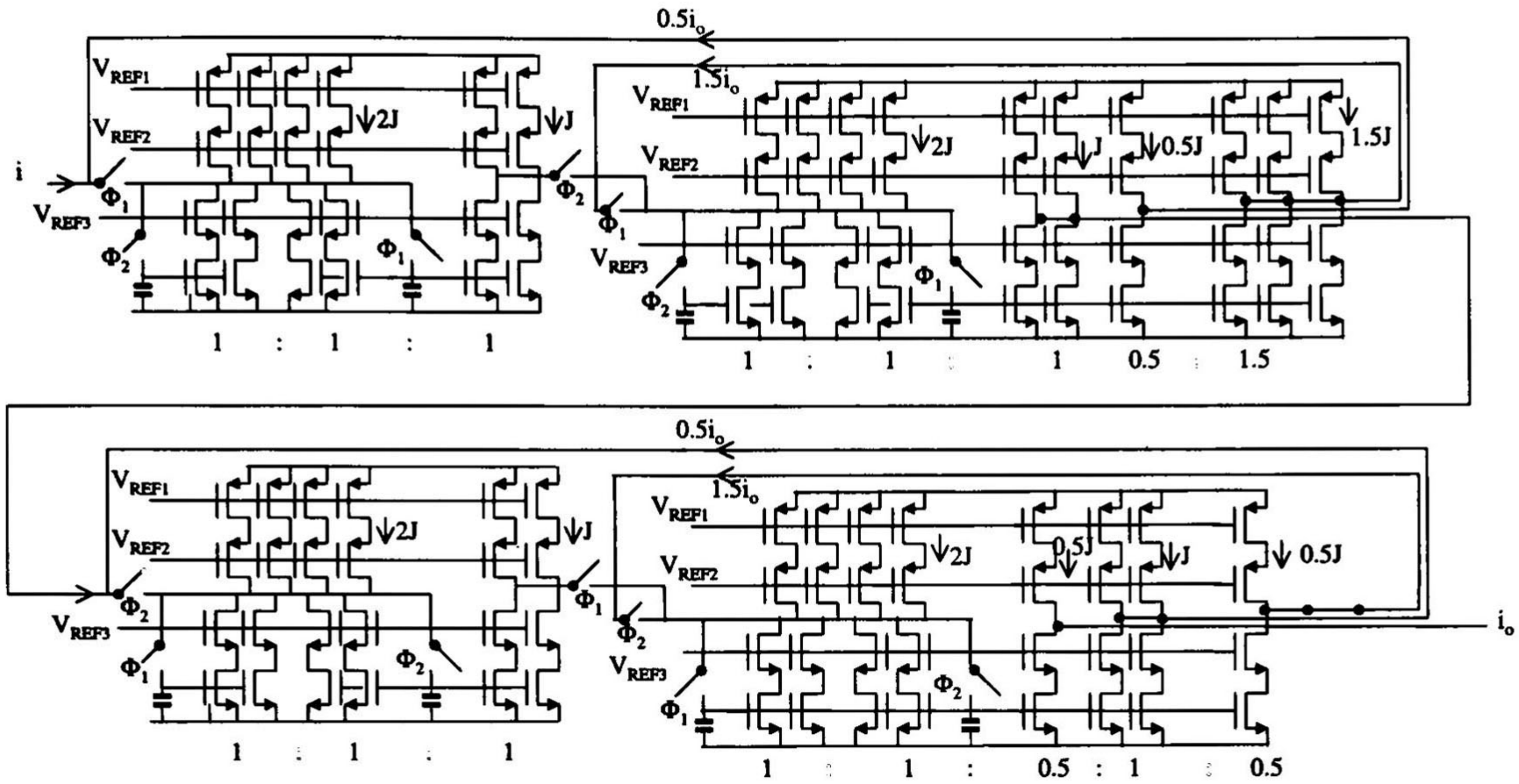
como función de transferencia total. En la Fig. 4.3 se muestra la simulación de la respuesta al escalón en MATLAB, Simulink para (4.15)



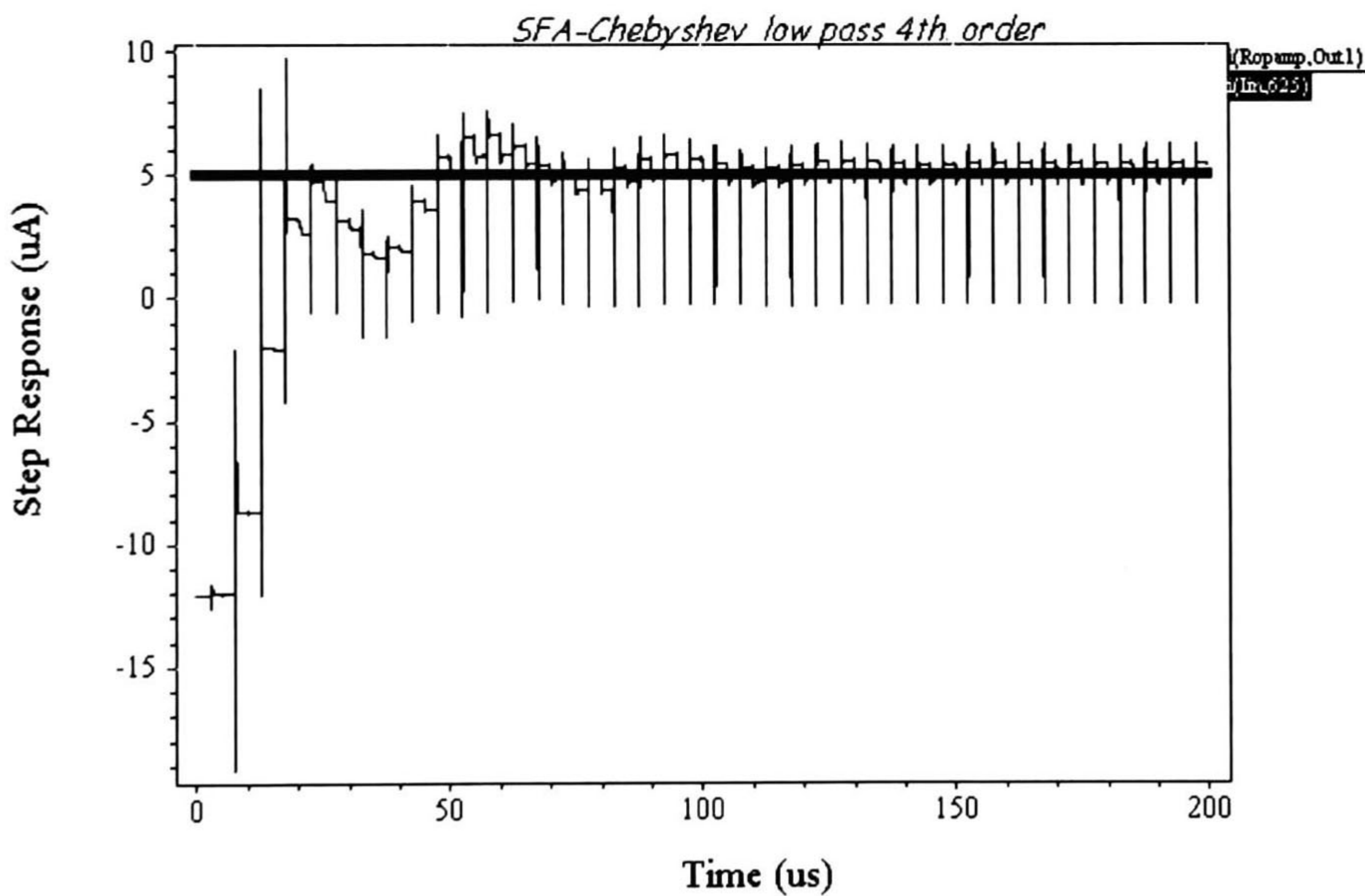
*Fig. 4.3 Respuesta al escalón de (4.15), simulada en MATLAB, Simulink.*

como es bien conocido, la respuesta corresponde a un filtro pasa-bajas, de 4to. orden, y la  $f_{-3\text{db}}$  se puede obtener de la relación  $(f_{-3\text{db}})(t_s^1) \approx .3 \rightarrow 0.45$  [4], la cual es conocida como una ley en el campo de las telecomunicaciones. Dadas las características del SFA, se tiene que la frecuencia de  $-3\text{db}$  es  $30\text{KHz}$ , mientras que el tiempo que tarda el sistema en dar una respuesta del 0.1 al 0.9 de su valor es  $0.13 \times 10^{-4}$  seg aproximadamente, por lo tanto, la expresión  $(f_{-3\text{db}})(t_s)$  es equivalente a 0.39, de lo cual se puede deducir que el SFA tiene características acorde a las especificaciones. En la Fig. 4.4 se muestra el diseño del filtro con celdas SI, mientras la Fig. 4.5 se muestra la simulación TSpice, donde se puede observar que  $t_s$  es aproximadamente  $(0.11 \times 10^{-4})$  seg, por lo que  $(f_{-3\text{db}})(t_s)$  es igual a 0.33, donde se corroboran las características del SFA diseñado, además se observa que la respuesta del sistema diseñado (Fig. 4.4) es semejante al simulado en MATLAB, Simulink (Fig. 4.3).

<sup>1</sup>  $t_s$ : tiempo que tarda la señal del valor 0.1 a 0.9



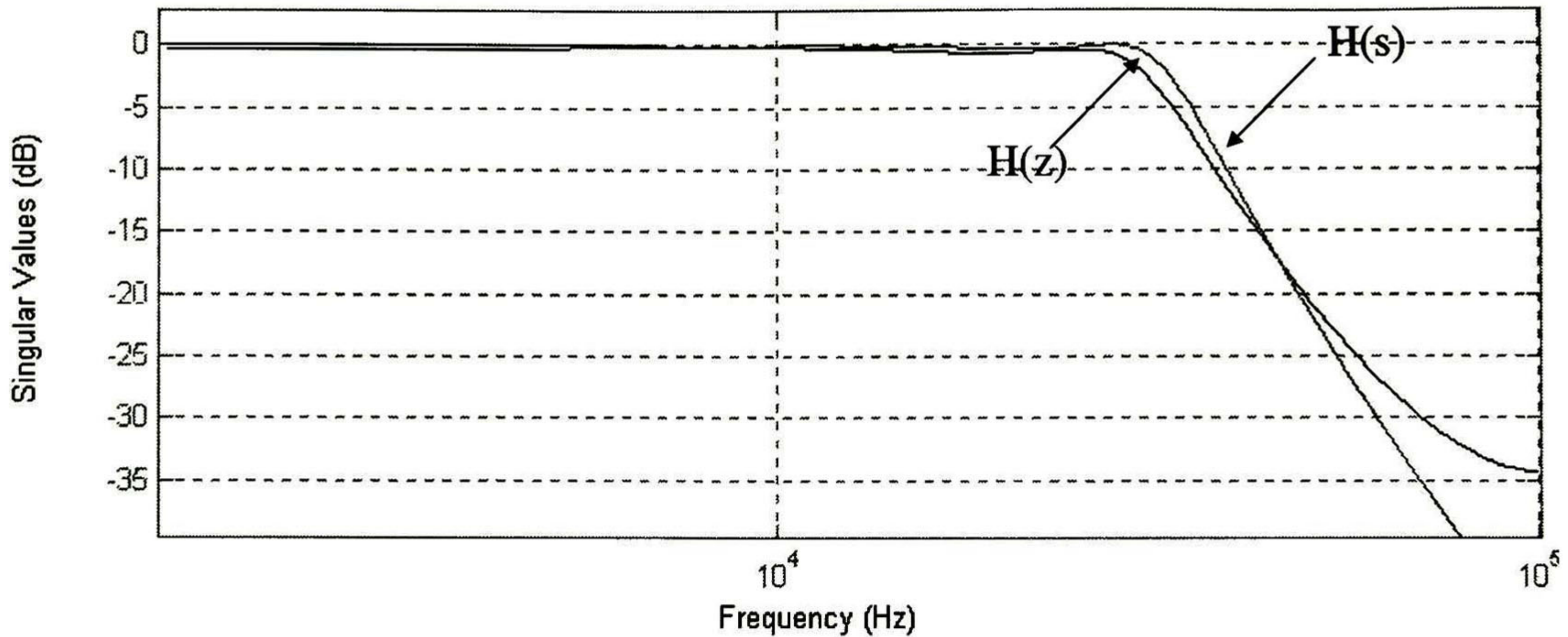
**Fig. 4.4** Diseño del Filtro Chebyshev de 4to. orden con celdas SI.



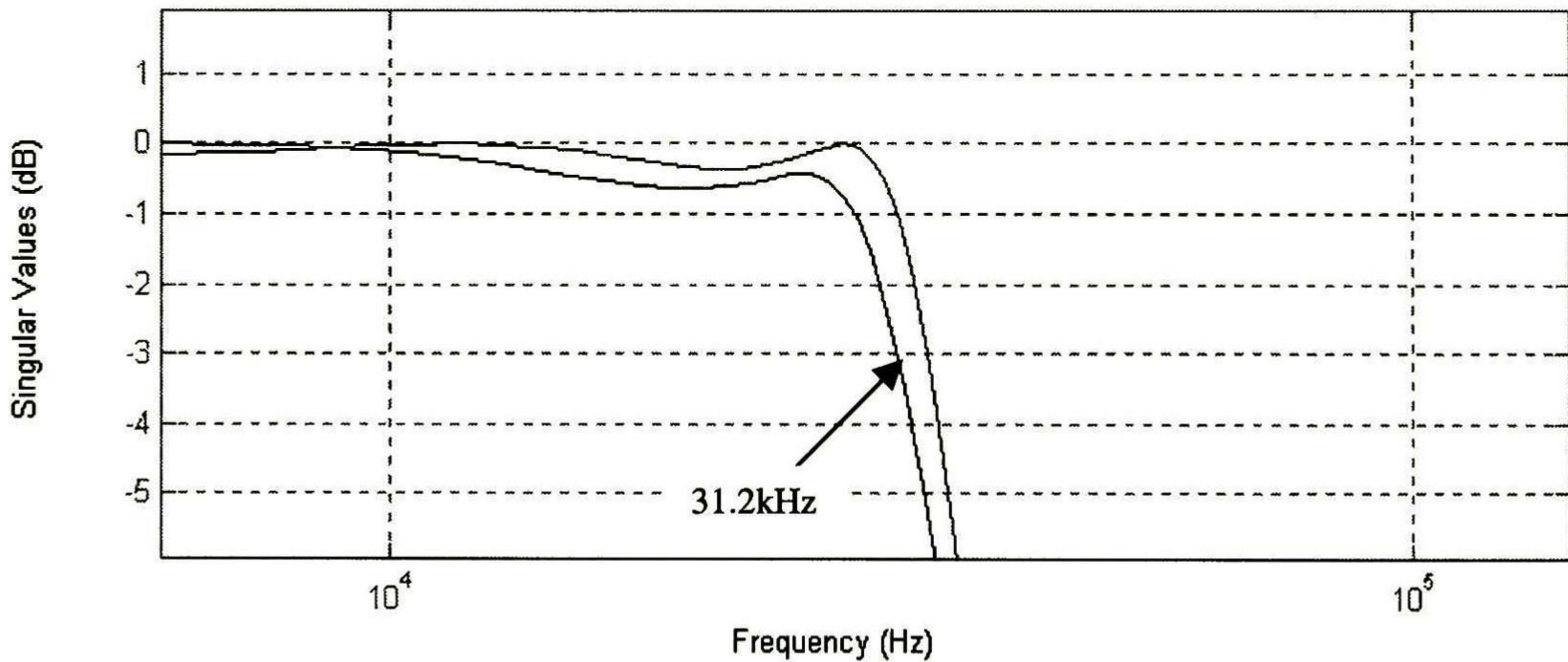
**Fig. 4.5** Simulación en TSpice de la Fig. 4.4.

En la Fig. 4.6a se muestra la respuesta en frecuencia simulada en MATLAB, Simulink para la ec. (4.15) y para la respuesta del sistema en  $H(s)$ , donde se puede observar que es muy

semejante, mientras que en la Fig. 4.6b se ilustra un acercamiento de la  $f_{-3db}$  de la respuesta en  $S$  y en  $Z$ .



(a)



(b)

**Fig. 4.6** a) Simulación en MATLAB'Simulink para la ec. (4.15) en  $Z$  y  $S$  y b) Acercamiento.

## 4.6 Layout del SFA.

En la Fig. 4.7 se ilustra el Layout del circuito integrado del filtro pasa bajas. En la parte central se observa el circuito de la Fig. 4.4, además de contener los voltajes de referencia diseñados en el capítulo 3, así como un circuito generador de las señales de control para los interruptores analógicos (ver Apéndice B para archivos de simulación).

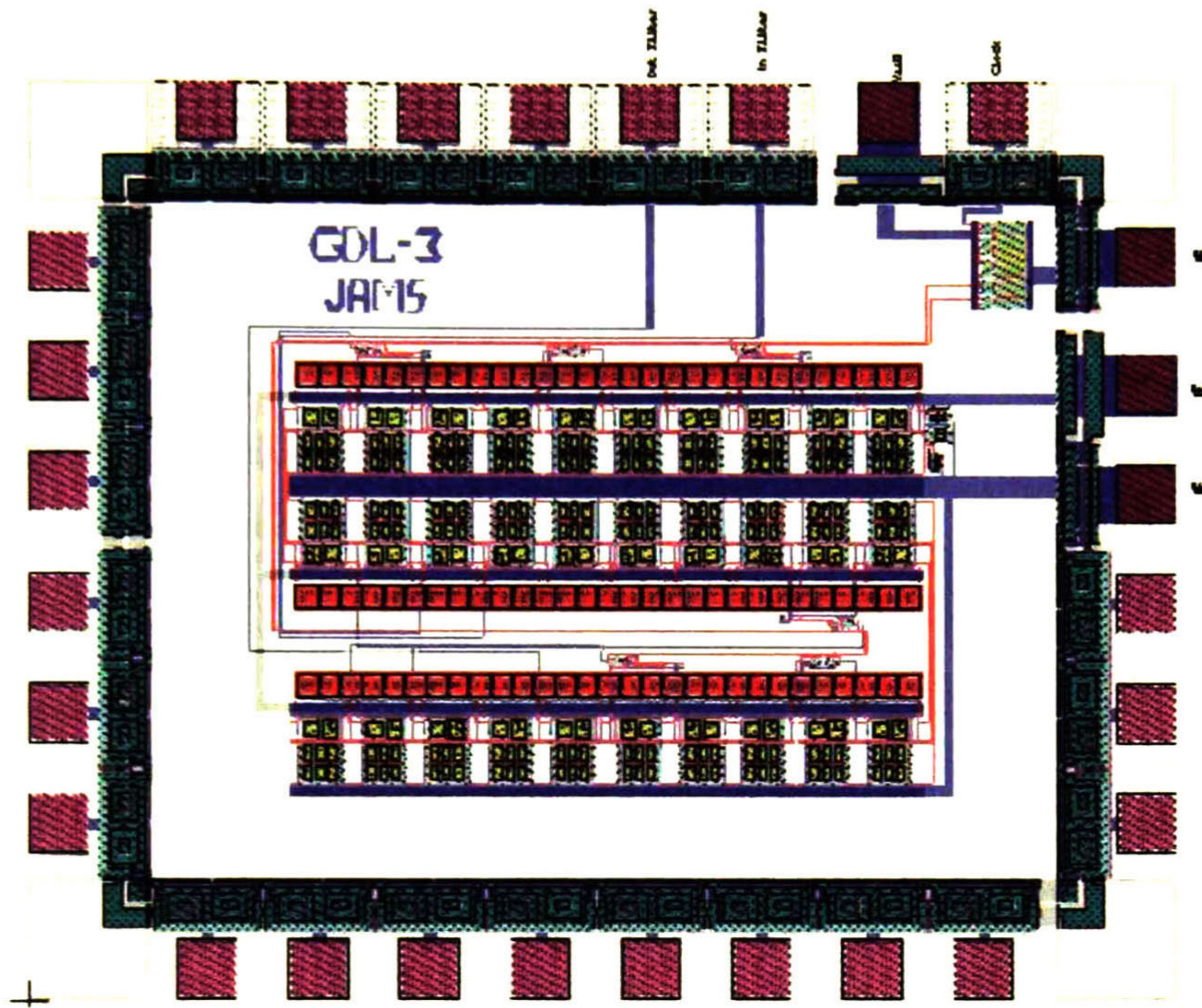


Fig. 4.7 Layout de la Fig. 4.4.

En la Fig. 4.8 se muestra la simulación TSpice del circuito de la Fig. 4.7, donde se puede observar una respuesta muy similar a la simulación de la Fig. 4.5.

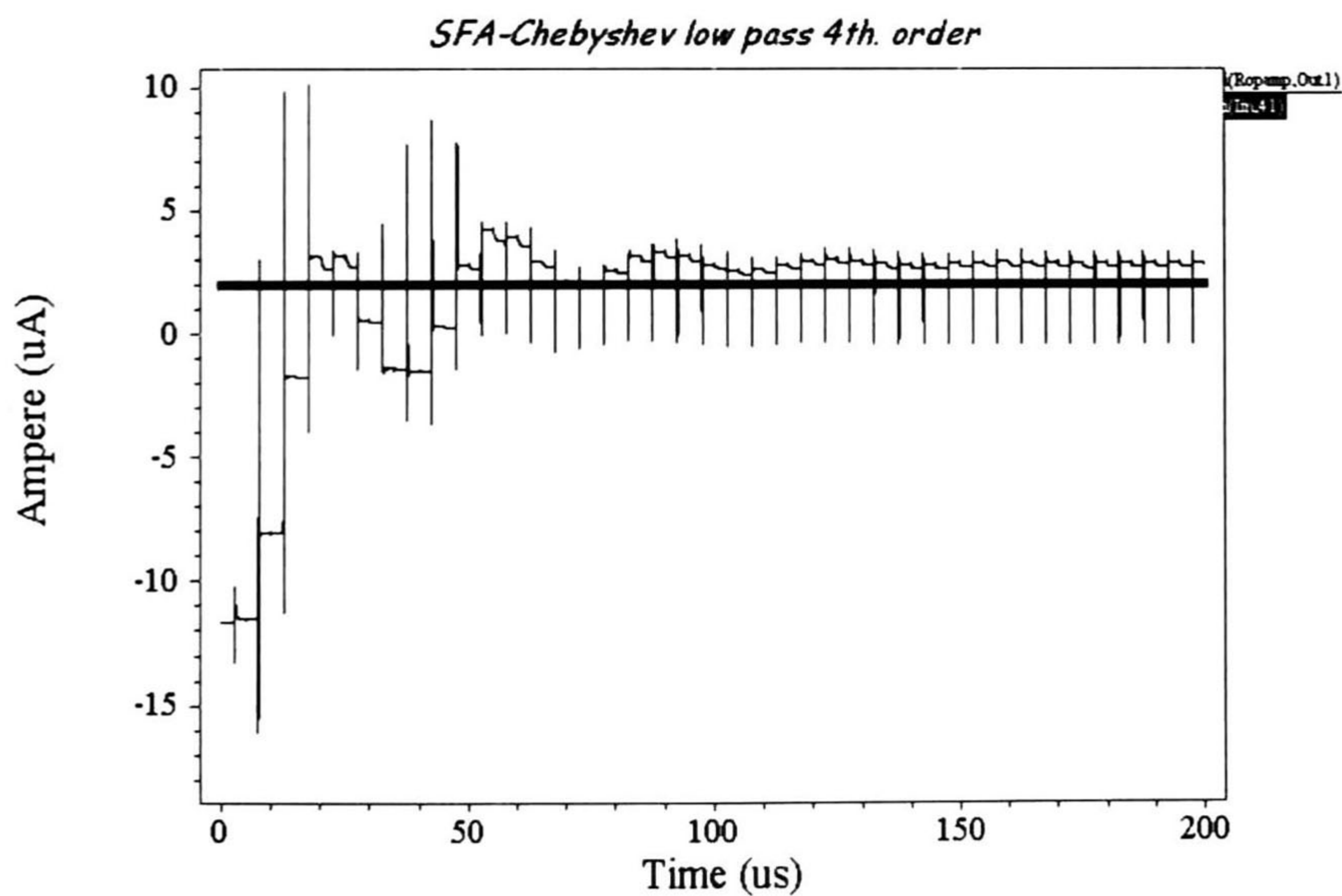
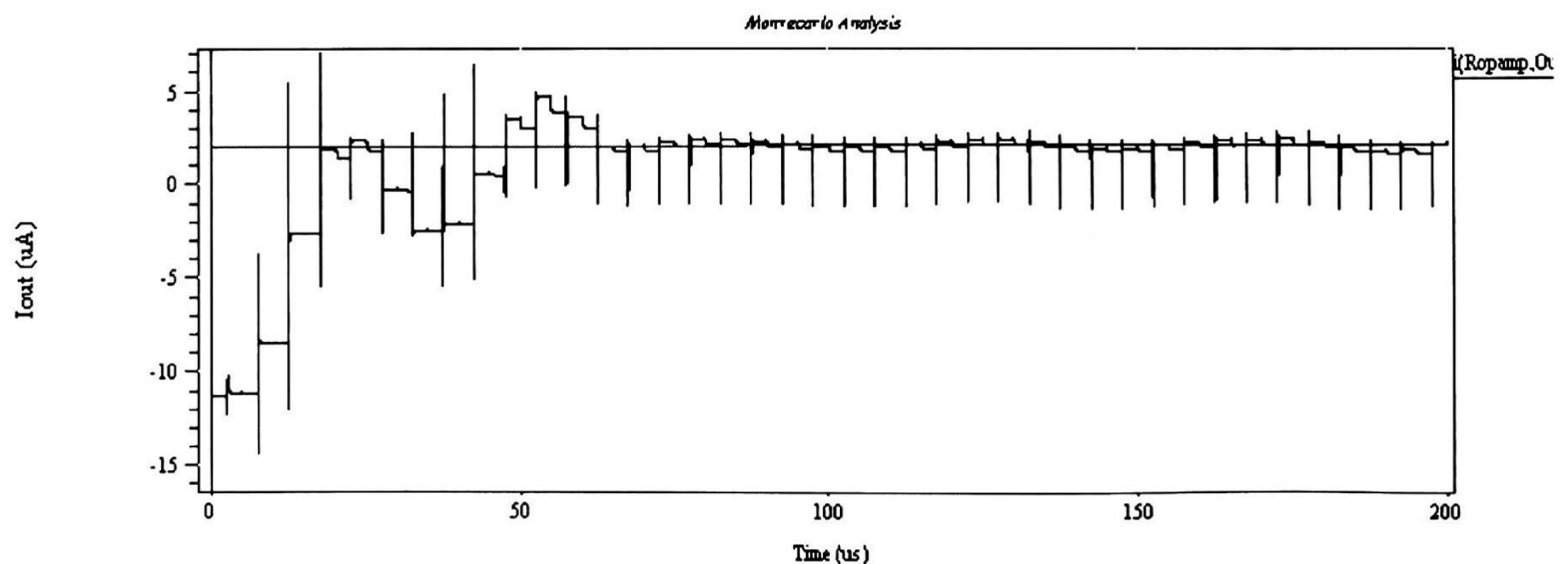
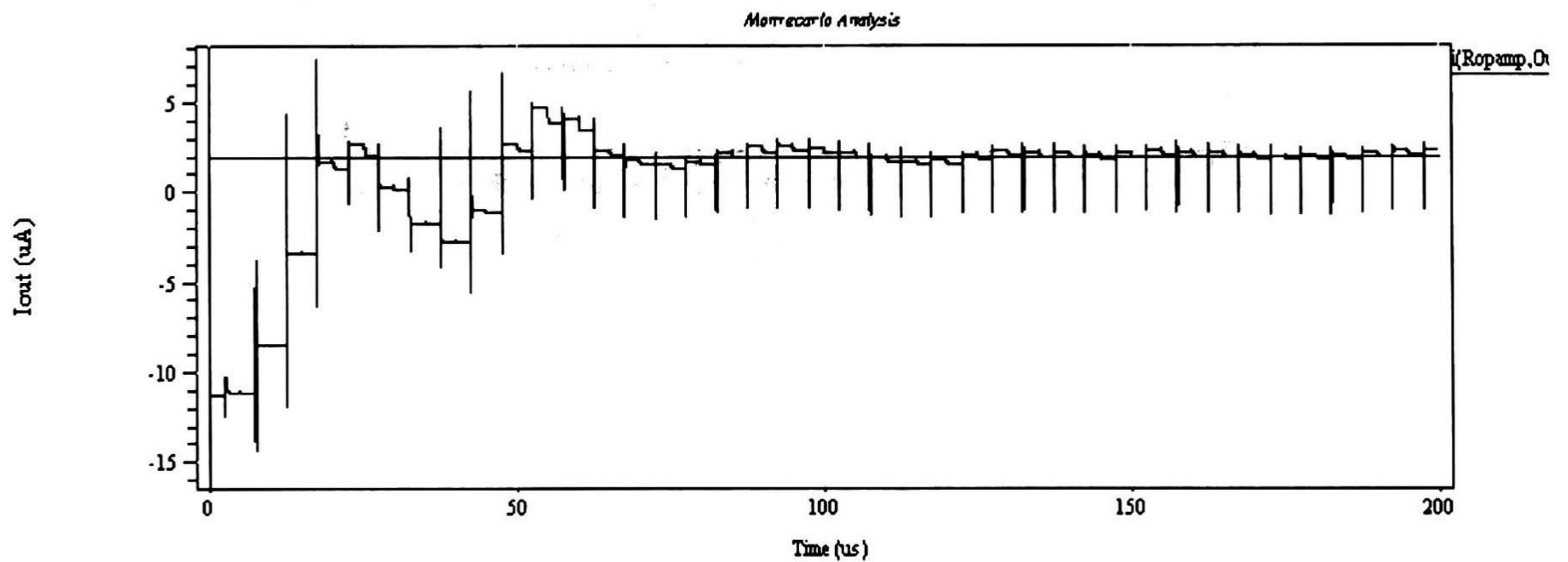


Fig. 4.8 Simulación TSpice del circuito extraído de la Fig. 4.7

## 4.7 Análisis de Montecarlo para el SFA.

Es importante realizar un análisis de montecarlo para el filtro pasa-bajas Chebyshev, con respecto a las geometrías de los transistores del filtro. Se toma una variación del 5% con respecto a lambda ( $\lambda = 0.6\mu\text{m}$ ), ya que es una variación común durante el proceso de fabricación. Se realizó una simulación de montecarlo para 30 corridas, mostrando en la Fig. 4.9 dos de las peores respuestas. Nótese que las respuestas son aceptables, ya que el sistema siempre llega a la estabilización. Al realizar el análisis de montecarlo habrá un movimiento en la ganancia del sistema, debido a que ésta se origina por relaciones geometricas de los transistores.



**Fig. 4.9** (a) y (b) Respuesta al escalón de la Fig. 4.4 con diferentes geometrías.



- **Referencias.**

- [1] *Analog VLSI, Signal and Information Processing*, Mc. Graw-Hill Series in Electrical and Computer Engineering, Mohammed Ismail, Ohio State University, Terri Fiez, Washington State University. ISBN 0-07-032386-0, USA 1976.
- [2] *Analog MOS Integrated Circuits for signal processing*, Roubik Gregorian and Gabor C. Temes, John Wiley & Sons, Inc. USA 1986.
- [3] *Analog IC design: the current-mode approach*, Edited by C. Tomazou, F.J. Lidgley & D.G. Haigh, IEEE Circuits and Systems Series 2, USA 1990.
- [4] *Handbook of Filter Synthesis*, Anatol I. Zverev, Consulting Engineer, Westinghouse Electric Corporation, John Wiley and Sons, Inc. 1967, USA. ISBN 0-471-98680-1

## 5

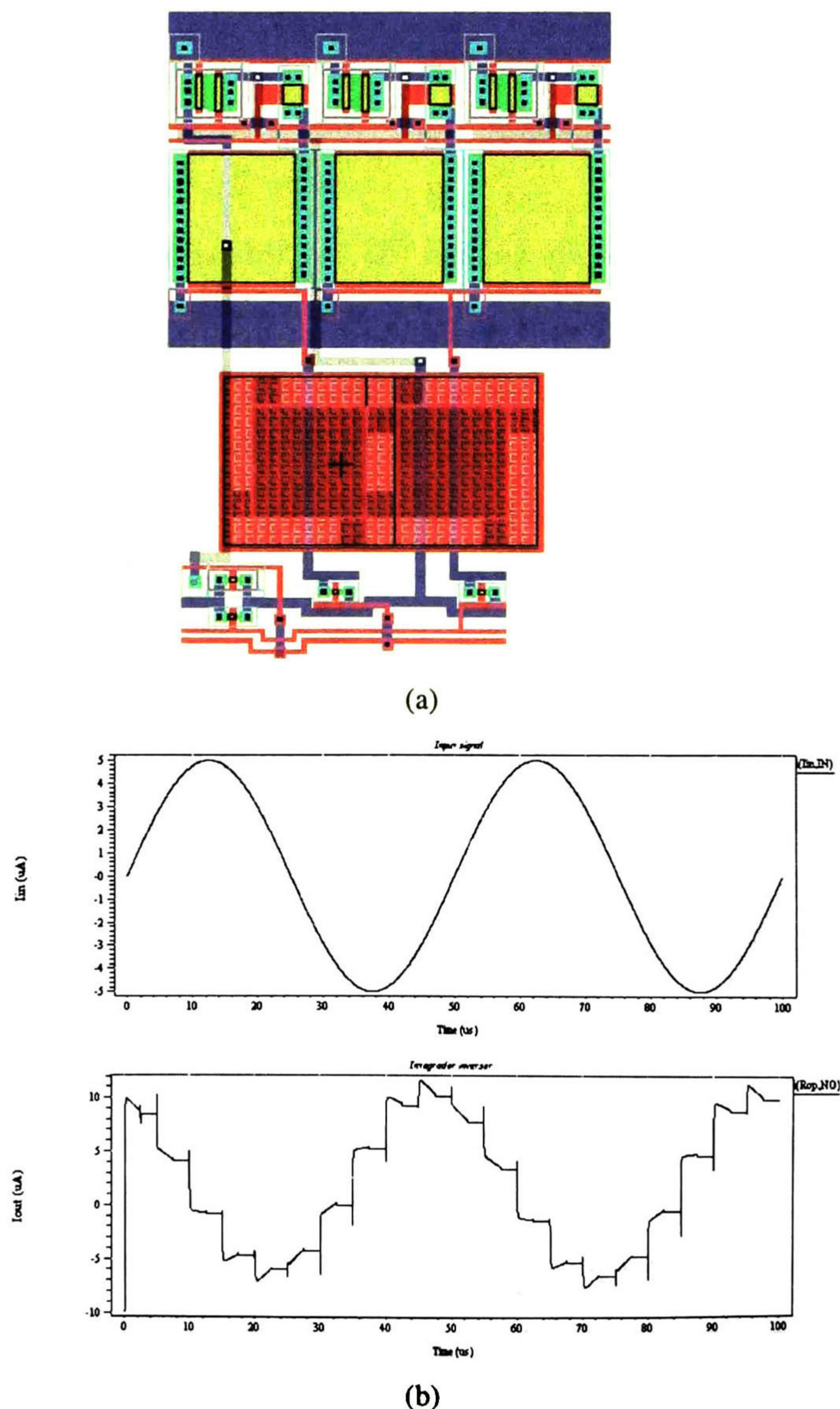
## CONCLUSIONES

Se ha demostrado que el diseño a través de corriente conmutada provee una gran facilidad para el desarrollo de los sistemas de filtrado analógico. Esta facilidad se traduce como modularidad, ya que es posible diseñar SFA partiendo de celdas integradoras, siendo implementadas éstas con celdas de memoria.

Fue imprescindible realizar un análisis de las diferentes estructuras que pueden ser fácilmente encontradas en la literatura, ya que fue importante tomar en cuenta algunos parámetros que caracterizan a los espejos de corriente. Cabe señalar que la presente investigación abarcó únicamente espejos de corriente con salida común, por lo tanto, queda como trabajo futuro la exploración, investigación y desarrollo de estructuras que provean mejores características, ya sean de salida común o diferencial.

Uno de los problemas observados durante el desarrollo de esta investigación fue el tamaño de área para la rama cascode (celda de memoria sin interruptores) con la que se implementaron las celdas de corriente conmutada. Las dimensiones del integrador inversor son de  $315.6\mu\text{m} \times 246\mu\text{m}$ . El orden de estas dimensiones se deben a las geometrías de los transistores de la rama cascode, como se puede observar en el capítulo 3, en la Fig. 3.2, el transistor  $M_1$  es el único transistor que necesita conmutar su voltaje de compuerta (característica básica de la técnica de corriente conmutada, ya que conmuta para utilizar la capacitancia parásita,  $C_{gs}$ , del transistor MOS), el cual requiere tener ciertas dimensiones para proporcionar una capacitancia del orden necesario para la frecuencia de muestreo, es decir, dependiendo de la frecuencia de muestreo será la magnitud de la capacitancia parásita de  $M_1$ . Por consiguiente, para los transistores  $M_2$  y para las cargas ( $M_3$  y  $M_4$ ) podrán ser implementados con geometrías mínimas, proporcionando así dimensiones mucho menores que las obtenidas en la presente investigación, de ésta manera se pueden obtener SFA de mayor orden que puedan ser integrados. Para demostrar que las

dimensiones de los transistores que trabajan como cargas y aquellos que no tienen conmutación alguna, pueden tener pequeñas dimensiones y, de esta manera proporcionar una respuesta muy semejante a la obtenida en esta investigación, en la Fig. 1a se ilustra un integrador inversor con dimensiones de  $109.8 \times 163.2 \mu\text{m}^2$ , representando así una disminución del 77% del integrador inversor diseñado originalmente. En la Fig. 5.1b se ilustra la simulación TSpice del circuito extraído de la Fig. 5.1a, la cual puede ser comparada con la simulación de la Fig. 3.15b del capítulo 3. La respuesta de la Fig. 5.1a tiene un mejor comportamiento que el de la Fig. 3.15b.



**Fig. 5.1** Celda Integradora Inversora, (a) Layout y (b) Simulación en TSpice del circuito extraído.

Otro problema que se obtuvo en el diseño del SFA es la magnitud de las señales que pueden ser procesadas, es decir, la rama fue diseñada para conducir una corriente de polarización de  $10\mu\text{A}$ , por lo tanto, sólo pueden manejarse señales de AC de  $10\mu\text{A}$  como máximo pero, la celda integradora contiene un lazo de retroalimentación (véase capítulo 3), que limita el manejo de señales de entrada de hasta un máximo de  $5\mu\text{A}$ , sin embargo, el SFA diseñado a través de la implementación cascada, consta de dos bicuadráticos (cada uno de ellos con dos lazos de retroalimentación) que limitan el manejo de señales de entrada a tan solo  $2.5\mu\text{A}$  como máximo. Esto significa, que si las celdas son diseñadas para manejar cierta cantidad de corriente, cuando el diseñador implementa los SFA la corriente para la cual fueron diseñadas es reducida en un factor de 0.75. Por lo tanto, el uso de celdas de menores dimensiones proporcionan la ventaja de manejar mayor corriente al ser conectadas en paralelo o se deben realizar celdas que manejen 4 veces la magnitud de la señal que se desea procesar.

Otro punto importante, es la selección de un buen esquema de compensación para minimizar el efecto de inyección de carga y clockfeedthrough. En el capítulo 3 se describen varios esquemas de compensación, así como aquel que compensó en mayor proporción la celda de memoria (véase figura 3.5c). El SFA diseñado en esta investigación consta del esquema de compensación mencionado líneas arriba entre la salida del primer integrador y la entrada del segunda integrador de cada bicuadrático, ya que no todas las secciones sujetas a conmutación deben comprender esquemas de compensación, como por ejemplo, la compuerta del transistor  $M_1$  en la Fig. 3.6 del capítulo 3. Además deben agregarse esquemas sólo en aquellas secciones en que el EFT sea más severo. Cabe mencionar que las celdas de corriente conmutada pueden ser disminuidas en gran proporción a medida que se aumenta la frecuencia de muestreo, lo que significa el uso de una capacitancia parásita de menor dimensión, por lo que el EFT es mas severo con la respuesta del sistema, ya que las capacitancias parásitas de los interruptores analógicos llegan a compararse en magnitud contra las de las celdas de corriente conmutada.

Por otro lado, cuando se lleva a cabo el ajuste de las variables de los bicuadráticos ( $a_1$ - $a_6$ ) deben tomarse en cuenta algunos factores, tales como:

- El valor al que se ajustan las variables: entre más grande sea este valor, menor número de celdas serán necesarias para la implementación del SFA y,
- Se debe cuidar muy minuciosamente el degradamiento de la respuesta del SFA con el ajuste de las variables, ya que se moverá la frecuencia de  $-3\text{db}$ .

Además se debe señalar que la técnica de corriente conmutada provee algunas ventajas sobre otras técnicas de diseño, como el manejo de bajos niveles de alimentación, característica esencial para equipos portátiles, además puede ser implementada sobre un proceso estándar VLSI, proporcionando modularidad para el diseño de sistemas complejos, ya que con el diseño de una rama cascode se diseñaron celdas de memoria, celdas de retraso completo, integradores inversores y no inversores y secciones bicuadráticas pasa-bajas. Una de las ventajas principales que yo le atribuyo en lo personal, es el uso de esta técnica para aplicaciones de cientos de megaHertz en adelante, ya que la capacitancia parásita necesaria para el procesamiento de las señales será muy pequeña, teniendo así celdas de dimensiones muy por debajo de las diseñadas en esta investigación, aunque la desventaja que presentará será el uso de esquemas de compensación muy sofisticados para la cancelación del clockfeedthrough y la inyección de carga, por otro lado, una solución puede ser el uso de celdas diferenciales pero, esto involucraría el uso de mayor área de integración.

Como punto final, deseo señalar que fue muy grato trabajar sobre esta técnica de diseño, debido a que las técnicas de diseño en modo corriente, ya sea conmutada o continua, tienen como bloque principal al espejo de corriente, bloque que se estudió y comprendió a fondo, por lo tanto, se puede observar que el diseñador que aplique la técnica de corriente conmutada no tendrá problema alguno de diseñar con corriente en tiempo continuo o discreto.

## 6

## APORTACIONES

---

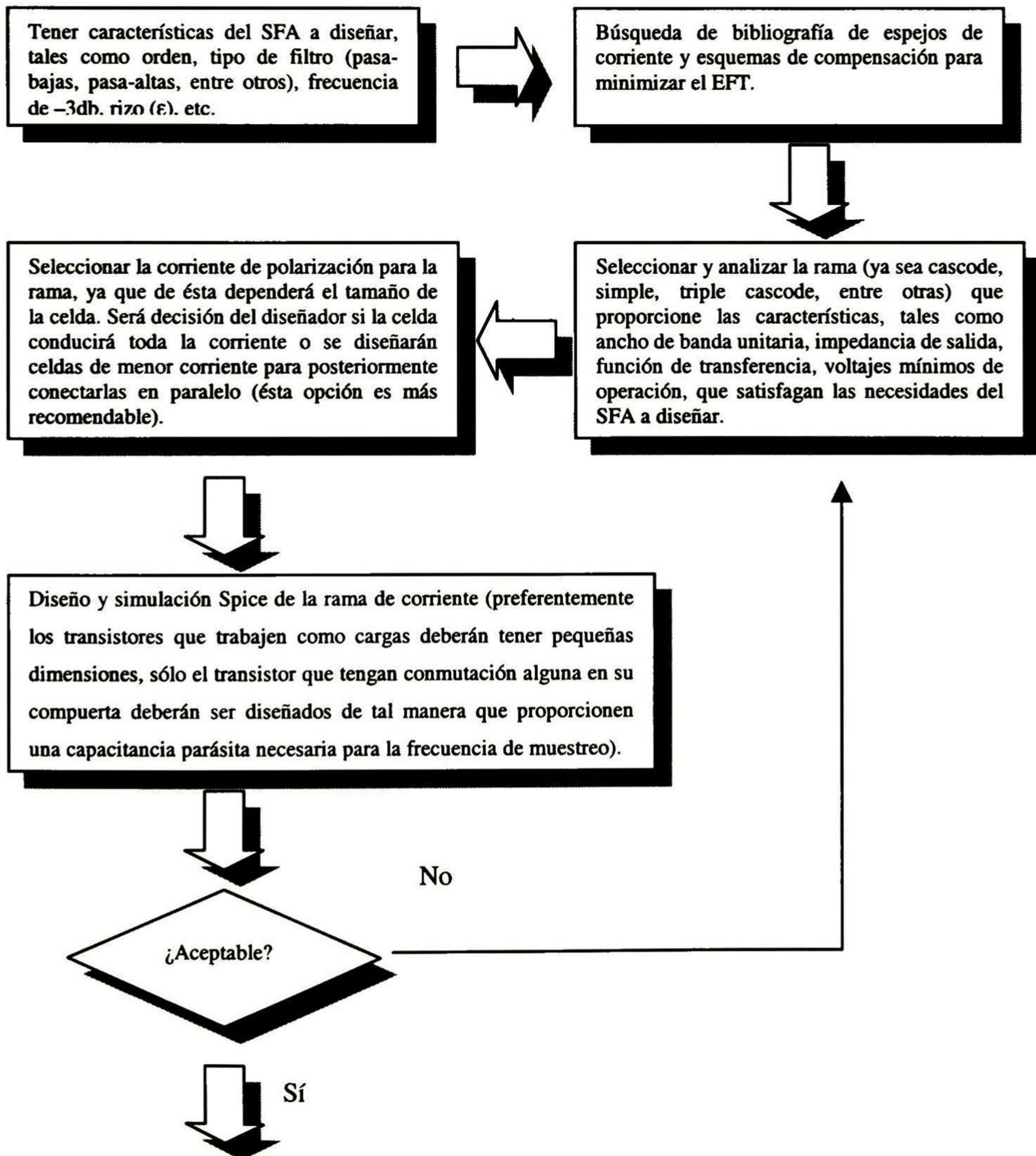
**E**l presente trabajo de investigación arroja como aportaciones para el diseño de SFA usando corriente conmutada a:

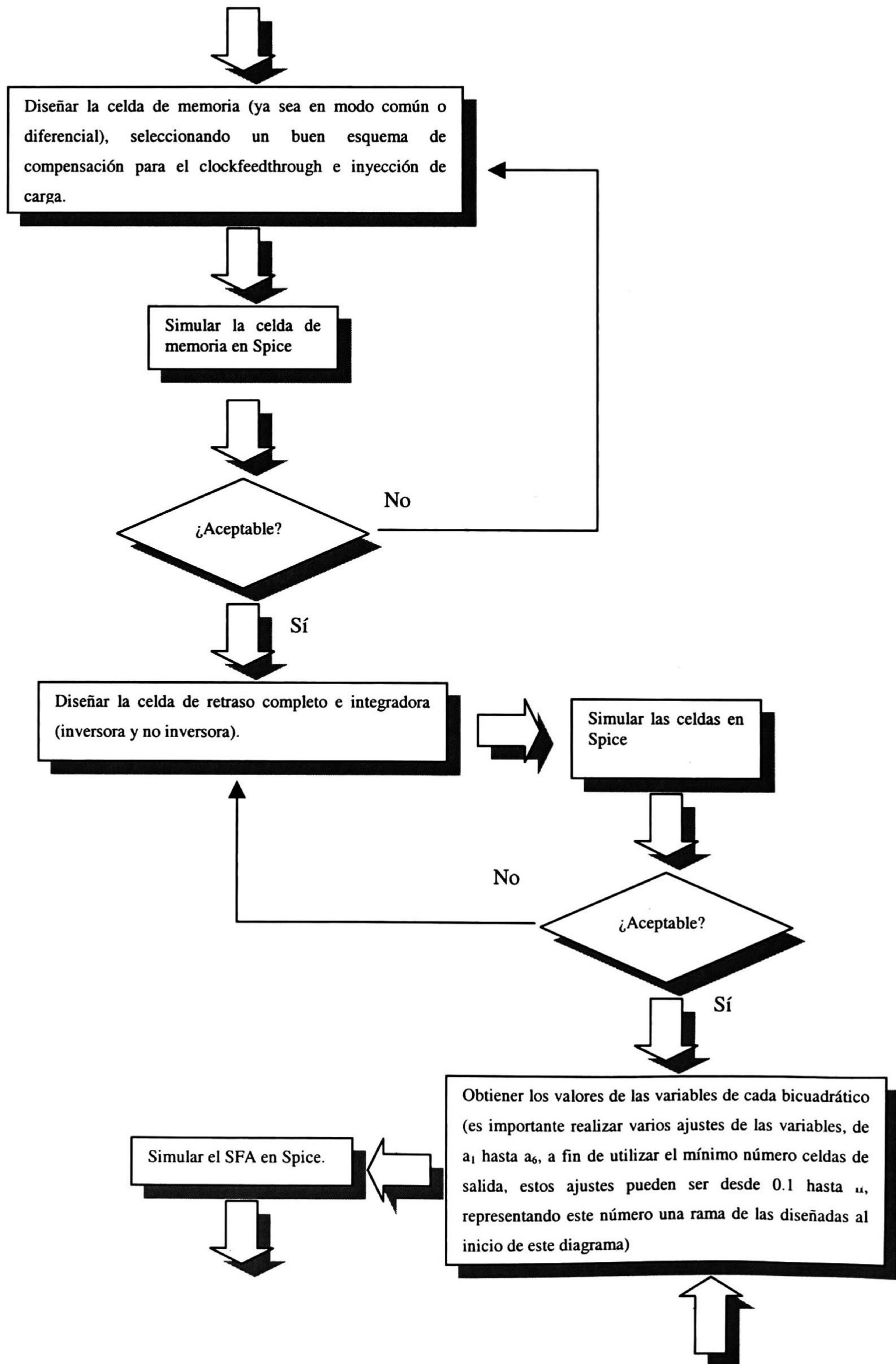
- El uso de un esquema de compensación económico y de fácil implementación para minimizar el efecto feedthrough, además de verificar y demostrar que no todas las ramas sujetas a conmutación deben contener dicho esquema.
- Se demostró la modularidad de la técnica de diseño de corriente conmutada, ya que con una celda (*celda de memoria*) se implementa cualquier SFA.
- Se verifica además que el uso de celdas de corriente conmutada con salida en modo común proporcionan respuestas aceptables, proporcionando de esta manera un ahorro en área, ya que las celdas de corriente conmutada con salida diferencial contienen más transistores.
- Por último, se propone una sencilla metodología para el desarrollo de SFA en cascada, además de puntos estratégicos para una eficiente respuesta del sistema, además de un ahorro de silicio del SFA a diseñar.

7

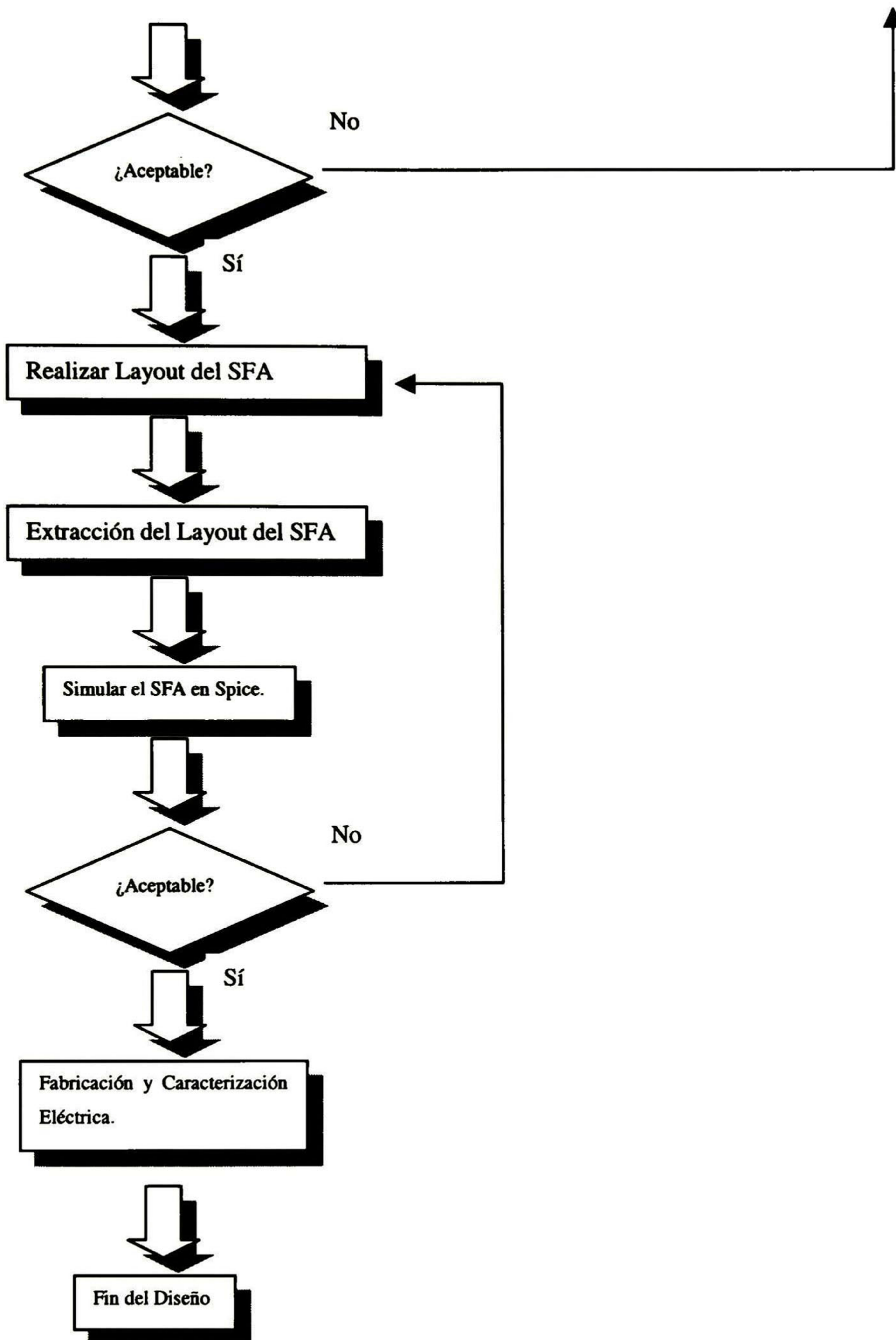
# METODOLOGÍA PARA EL DISEÑO DE SFA

Como se ha mencionado en los capítulos anteriores, se debe realizar un análisis detallado de los espejos de corriente que proporcionen las características necesarias para el SFA a desarrollar. A continuación se presenta una metodología para el diseño de SFA.









# APÉNDICE A

A continuación se presentan los listados extraídos de los layout's de las celdas diseñadas en el capítulo 3.

## 1.- Modelo MOSIS 1.2 $\mu$ m.

```
.model CMOSN nmos level=3 vto=0.715 Kp=78.2e-6 tox=200e-10 nsub=2.944e16
+gamma=0.604 phi=0.462 uo=507 theta=636e-4 delta=1.1 lambda=0.02
+ld=0.21u dl=0.3u dw=-0.204u Kappa=0.1 eta=0.07 mj=0.384
+pb=0.6 nfs=1e11 ucrit=1e4 rsh=60 js=1e-3 vmax=1.5e5 mjsw=0.247
+cgso=3.31e-10 cgdo=3.131e-10 cjsw=3.31e-10 cj=3.0e-4

.model CMOSP pmos level=3 vto=-0.784 Kp=20.5e-6 tox=208e-10 nsub=2.45e16
+gamma=0.543 phi=0.9 uo=170.2 theta=0.181 delta=2.57 lambda=0.01
+ld=0.21u dl=0.3u dw=-0.279u Kappa=1.6 eta=0.05 mj=0.44
+pb=0.6 nfs=1e11 ucrit=1e4 rsh=112 js=1e3 vmax=1.2e5 mjsw=0.34
+cgso=3.41e-10 cgdo=3.41e-10 cjsw=5.71e-10 cj=5.4e-4
```

## 2.- Netlist de la Celda de Memoria.

```
*****
* Half delay cell
*****
.include "d:\simulaciones\modelo\nivel3.mod"

*input current
lin 14 0 SIN(0 5uA 20kHz 0 0 0)

*Sample frequency 200k
Vphi 17 0 PULSE(0 5 0n 5n 5n 2480n 5u)
Vphin 12 0 PULSE(0 5 2500n 5n 5n 2480n 5u)

M1 4 2 1 1 CMOSP L=16.2u W=28.8u AS=401.76p PS=252u AD=414.72p PD=259.2u
M2 4 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M3 4 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M7 3 7 4 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=194.4p PD=122.4u
M8 3 7 4 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M9 3 7 4 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M14 8 13 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=237.6p PS=146.4u
M15 3 9 8 0 CMOSN L=27u W=27u AS=0 PS=0 AD=97.2p PD=61.2u

M4 6 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u
M5 6 2 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0
M6 6 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M10 5 7 6 1 CMOSP L=16.2u W=27u AD=217.26p PD=150.6u AS=0 PS=0
M11 5 7 6 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0
M12 5 7 6 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M16 10 13 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=0 PS=0
M17 5 9 10 0 CMOSN L=27u W=27u AS=0 PS=0 AD=130.14p PD=102.6u

M18 15 1 11 0 CMOSN L=1.8u W=1.8u AD=11.88p PD=14.4u AS=22.86p PS=28.2u
M20 15 0 11 1 CMOSP L=1.8u W=1.8u AD=11.88p PD=14.4u AS=22.86p PS=28.2u

M19 11 12 5 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0
M21 11 17 5 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0

M24 5 17 14 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=10.98p PS=13.8u
M25 5 12 14 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=10.98p PS=13.8u
```

```
M23 13 17 5 0 CMOSN L=1.8u W=1.8u AD=10.62p PD=13.8u AS=0 PS=0
```

```
*Reference Voltage
VDD 1 0 +5V
VDD2 VDD2 0 +2.5V
```

```
VREF3 9 0 DC 2.2V
VREF1 2 0 DC 3.7V
VREF2 7 0 DC 2.9V
```

```
*****
```

```
Eopamp Out1 0 VDD2 15 1000000
Ropamp 15 Out1 10K
```

```
Eop Out2 0 VDD2 3 1000000
Rop Out2 3 10K
```

```
*****
```

```
.op
.acmodel (*)
.options mosparasitics = 1
.param capop=4
.tran 5n 50u
.print tran i(lin,14)
.print tran i(Rop,3)
.END
```

### 3.- Netlist de la Celda de Retraso Completo.

```
*****
```

```
Full Delay cell
```

```
*****
```

```
.include "d:\simulaciones\modelo\nivel3.mod"
```

```
*input current
```

```
lin 20 0 SIN(0 5uA 20kHz 0 0)
```

```
*Sample frequency 200k
```

```
Vphi 24 0 PULSE(0 5 0n 5n 5n 2480n 5u)
```

```
Vphin 18 0 PULSE(0 5 2500n 5n 5n 2480n 5u)
```

```
M1 3 2 1 1 CMOSP L=16.2u W=28.8u AD=622.08p PD=388.8u AS=401.76p PS=252u
```

```
M2 3 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
```

```
M3 3 2 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0
```

```
M10 10 8 3 1 CMOSP L=16.2u W=27u AD=194.4p PD=122.4u AS=0 PS=0
```

```
M11 10 8 3 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
```

```
M12 10 8 3 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0
```

```
M19 10 12 9 0 CMOSN L=27u W=27u AD=97.2p PD=61.2u AS=108p PS=73.2u
```

```
M20 9 15 0 0 CMOSN L=27u W=33u AS=356.4p PS=219.6u AD=0 PD=0
```

```
M4 5 2 1 1 CMOSP L=16.2u W=28.8u AS=401.76p PS=252u AD=0 PD=0
```

```
M5 5 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
```

```
M6 5 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
```

```
M13 4 8 5 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=217.26p PD=150.6u
```

```
M14 4 8 5 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
```

```
M15 4 8 5 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
```

```
M21 11 15 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=0 PS=0
```

```
M22 4 12 11 0 CMOSN L=27u W=27u AS=0 PS=0 AD=130.14p PD=102.6u
```

```
M7 7 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u
```

```
M8 7 2 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0
```

```
M9 7 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
```

```
M16 6 8 7 1 CMOSP L=16.2u W=27u AD=217.26p PD=150.6u AS=0 PS=0
```

```
M17 6 8 7 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0
```

```
M18 6 8 7 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
```

```
M23 13 19 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=0 PS=0
```

```
M24 6 12 13 0 CMOSN L=27u W=27u AS=0 PS=0 AD=130.14p PD=102.6u
```

```

M27 14 24 4 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0
M29 14 18 4 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0
M25 17 1 14 0 CMOSN L=1.8u W=1.8u AD=11.88p PD=14.4u AS=22.86p PS=28.2u
M26 17 0 14 1 CMOSP L=1.8u W=1.8u AD=11.88p PD=14.4u AS=22.86p PS=28.2u

M31 16 18 6 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0
M33 16 24 6 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0
M30 4 1 16 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=22.86p PS=28.2u
M32 4 0 16 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=22.86p PS=28.2u

M35 6 24 20 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=10.98p PS=13.8u
M36 6 18 20 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=10.98p PS=13.8u

M28 15 18 4 0 CMOSN L=1.8u W=1.8u AD=10.62p PD=13.8u AS=0 PS=0
M34 19 24 6 0 CMOSN L=1.8u W=1.8u AD=10.62p PD=13.8u AS=0 PS=0

*Reference Voltage
VDD 1 0 +5V
VDD2 VDD2 0 +2.5V

VREF3 12 0 DC 2.2V
VREF1 2 0 DC 3.7V
VREF2 8 0 DC 2.9V

*****
Eopamp Out1 0 VDD2 17 1000000
Ropamp 17 Out1 10K

Eop Out2 0 VDD2 10 1000000
Rop Out2 10 10K
*****

.op
.acmodel (*)
.options mosparasitics = 1
.param capop=4
.tran 5n 50u
.print tran i(Iin,20)
.print tran i(Rop,Out2)
.end

```

#### 4.-NetList de la celda integradora inversora.

```

*****
* Integrador inversor
*****

.include "d:\Simulaciones\Modelo\nivel3.mod"

*Input Current
Iin 16 0 SIN(0 5uA 20kHz 0 0 0)

* Sample Frequency 200k
Vphi 18 0 PULSE(0 5 0n 5n 5n 2490n 5u)
Vphin 15 0 PULSE(0 5 2500n 5n 5n 2490n 5u)

M1 1 2 3 1 CMOSP L=16.2u W=28.8u AD=622.08p PD=388.8u AS=401.76p PS=252u
M2 1 2 3 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M3 1 2 3 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0
M10 9 7 3 1 CMOSP L=16.2u W=27u AD=194.4p PD=122.4u AS=0 PS=0
M11 9 7 3 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M12 9 7 3 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0
M19 9 11 8 0 CMOSN L=27u W=27u AD=97.2p PD=61.2u AS=108p PS=73.2u
M20 8 14 0 0 CMOSN L=27u W=33u AS=356.4p PS=219.6u AD=0 PD=0

M4 5 2 1 1 CMOSP L=16.2u W=28.8u AS=401.76p PS=252u AD=0 PD=0
M5 5 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M6 5 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M13 4 7 5 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=400.68p PD=259.2u
M14 4 7 5 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

```

```

M15 4 7 5 1 CMOSPL=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M23 12 14 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=0 PS=0
M24 4 11 12 0 CMOSN L=27u W=27u AS=0 PS=0 AD=0 PD=0

M7 6 2 1 1 CMOSPL=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u
M8 6 2 1 1 CMOSPL=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0
M9 6 2 1 1 CMOSPL=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M16 4 7 6 1 CMOSPL=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M17 4 7 6 1 CMOSPL=16.2u W=27u AS=0 PS=0 AD=0 PD=0
M18 4 7 6 1 CMOSPL=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M21 10 13 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=0 PS=0
M22 4 11 10 0 CMOSN L=27u W=27u AS=0 PS=0 AD=226.98p PD=163.8u

M25 4 15 13 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=10.08p PS=13.2u
M26 4 15 16 1 CMOSPL=1.8u W=1.8u AD=0 PD=0 AS=10.98p PS=13.8u

M28 4 18 16 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=10.98p PS=13.8u
M29 14 18 4 0 CMOSN L=1.8u W=1.8u AD=10.62p PD=13.8u AS=0 PS=0

```

\*Reference Voltage

```

VDD 1 0 DC +5V
VDD2 VDD2 0 DC +2.5V
VREF3 11 0 DC +2.2V
VREF1 2 0 DC +3.7V
VREF2 7 0 DC +2.9V

```

```

*****
Eop NO 0 VDD2 9 1000000
Rop NO 9 10K
*****

```

```

.op
.acmodel (*)
.options mosparasitics = 1
.param capop=4
.tran 5n 100u
.print tran i(lin,16)
.print tran i(Rop,NO)
.END

```

## 5.-NetList de la celda integradora no inversora.

```

*****
Integrador no inversor *
*****

.include "d:\Simulaciones\Modelo\nivel3.mod"

*Input Current
iin 16 0 SIN(0 5uA 20kHz 0 0 0)

* Sample Frecuency 200k 2420
Vphi 18 0 PULSE(0 5 0n 5n 5n 2480n 5u)
Vphin 15 0 PULSE(0 5 2500n 5n 5n 2480n 5u)

M1 3 2 1 1 CMOSPL=16.2u W=28.8u AD=622.08p PD=388.8u AS=401.76p PS=252u
M2 3 2 1 1 CMOSPL=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M3 3 2 1 1 CMOSPL=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0
M10 9 7 3 1 CMOSPL=16.2u W=27u AD=194.4p PD=122.4u AS=0 PS=0
M11 9 7 3 1 CMOSPL=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M12 9 7 3 1 CMOSPL=16.2u W=27u AS=0 PS=0 AD=0 PD=0
M19 9 11 8 0 CMOSN L=27u W=27u AD=97.2p PD=61.2u AS=108p PS=73.2u
M20 8 13 0 0 CMOSN L=27u W=33u AS=356.4p PS=219.6u AD=0 PD=0

M4 5 2 1 1 CMOSPL=16.2u W=28.8u AS=401.76p PS=252u AD=0 PD=0
M5 5 2 1 1 CMOSPL=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M6 5 2 1 1 CMOSPL=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M13 4 7 5 1 CMOSPL=16.2u W=27u AS=0 PS=0 AD=400.68p PD=259.2u
M14 4 7 5 1 CMOSPL=16.2u W=27u AD=0 PD=0 AS=0 PS=0

```

```

M15 4 7 5 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M21 10 13 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=0 PS=0
M22 4 11 10 0 CMOSN L=27u W=27u AS=0 PS=0 AD=226.98p PD=163.8u

M7 6 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u
M8 6 2 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0
M9 6 2 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M16 4 7 6 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M17 4 7 6 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0
M18 4 7 6 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M23 12 14 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=0 PS=0
M24 4 11 12 0 CMOSN L=27u W=27u AS=0 PS=0 AD=0 PD=0

M25 4 15 13 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=10.08p PS=13.2u
*C26 20 19 C=4.0192121p
M27 4 18 16 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=10.98p PS=13.8u
M28 14 18 4 0 CMOSN L=1.8u W=1.8u AD=10.62p PD=13.8u AS=0 PS=0
M29 4 15 16 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=10.98p PS=13.8u
*Reference Voltage
VDD 1 0 +5V
VDD2 VDD2 0 +2.5V

VREF3 11 0 DC 2.2V
VREF1 2 0 DC 3.7V
VREF2 7 0 DC 2.9V

```

```

*****
Eop NO 0 VDD2 9 1000000
Rop NO 9 10K
*****

```

```

.op
.acmodel {*}
.options mosparasitics = 1
.param capop=4
.tran 5n 100u
.print tran i(Iin,16)
.print tran i(Rop,NO)
.END

```

## 6.-NetList del voltaje de referencia V<sub>REF1</sub>.

```

*****
* T-Spice simulation file for a basic reference voltage 2.2V *
*****

.INCLUDE "d:\simulaciones\modelo\nivel3.mod"

*****
Vdd Vdd 0 DC +5V

Mn1 Vx Vx 0 0 CMOSN L=26.4u W=4.8u AD=15.84p PD=16.2u AS=15.84p PS=16.2u
Mp1 Vx Vx Vdd Vdd CMOSP L=26.4u W=11.4u AD=37.62p PD=29.4u AS=37.62p PS=29.4u

*.temp -20 -10 0 10 20 30 40 50 60 70 80
.options mosparasitics = 1
.op
.acmodel {*}
*.tran 1u 10u sweep monte=10
.tran 1u 10u
.print tran v(Vx)
.end

```

**7.-NetList del voltaje de referencia  $V_{REF2}$ .**

```

*****
* T-Spice simulation file for a basic reference voltage 2.9V *
*****

.INCLUDE "d:\simulaciones\modelo\nivel3.mod"

Vdd Vdd 0 DC +5V

Mn1 Vx Vx 0 0 CMOSN L=19.2u W=1.8u AD=10.08p PD=13.2u AS=10.08p PS=13.2u
M2 Vx Vx Vdd Vdd CMOSP L=19.2u W=16.2u AD=170.1p PD=53.4u AS=53.46p PS=39u

.options mosparasitics = 1
.op
.acmodel {*}
.end

```

**8.-NetList del voltaje de referencia  $V_{REF3}$ .**

```

*****
*
* T-Spice simulation file for a basic reference voltage 3.7V *
*****

.INCLUDE "d:\simulaciones\modelo\nivel3.mod"

*****

Vdd Vdd 0 DC +5V

M1 Vx Vx 0 0 CMOSN L=35.4u W=1.8u AD=10.08p PD=13.2u AS=10.08p PS=13.2u
M2 Vx Vx Vdd Vdd CMOSP L=4.8u W=25.2u AD=90.72p PD=57.6u AS=83.16p PS=57u

.options mosparasitics = 1
.op
.acmodel {*}
.end

```

# APÉNDICE B

A continuación se presentan el listado extraído del layout del SFA del capítulo 4.

## 1.- Netlist del SFA diseñado en el capítulo 4.

```
.include "d:\Simulaciones\Modelo\nivel3.mod"
*Input Current
*Iin 625 0 SIN(0 5uA 50kHz 0 0 0)
Iin 41 0 PULSE (2uA 2uA)
*Reference Voltage
VDD 1 0 +5V
VDD2 VDD2 0 +2.5V
VREF1 4 0 DC 3.7V
VREF2 52 0 DC 2.9V
VREF3 22 0 DC 2.2V

* Sample Frequency 200k 2420
Vphi 28 0 PULSE (0 5 0n 5n 5n 2490n 5u)
Vphin 33 0 PULSE (0 5 2500n 5n 5n 2490n 5u)

Eopamp Out1 0 VDD2 31 1000000
Ropamp 31 Out1 10K

*****
*Primer bicuadratico*
*****
*Primer Integrador
*rama izquierda
M200 86 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u
M201 86 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M202 86 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0

M252 81 52 86 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0
M249 81 52 86 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M250 81 52 86 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M248 81 22 85 0 CMOSN L=27u W=27u AD=0 PD=0 AS=108p PS=73.2u
M251 85 88 0 0 CMOSN L=27u W=33u AS=0 PS=0 AD=0 PD=0

*rama izquierda centro
M197 64 4 1 1 CMOSP L=16.2u W=28.8u AD=401.76p PD=252u AS=0 PS=0
M198 64 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0
M199 64 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M246 81 52 64 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0
M247 81 52 64 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M243 81 52 64 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M244 81 22 84 0 CMOSN L=27u W=27u AD=108p PD=73.2u AS=0 PS=0
M245 84 88 0 0 CMOSN L=27u W=33u AS=0 PS=0 AD=0 PD=0

*rama derecha centro
M194 63 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=401.76p PD=252u
M195 63 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0
M196 63 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M240 81 52 63 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M241 81 52 63 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0
M242 81 52 63 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0

M238 81 22 82 0 CMOSN L=27u W=27u AD=108p PD=73.2u AS=0 PS=0
M239 82 83 0 0 CMOSN L=27u W=33u AS=0 PS=0 AD=0 PD=0
```



**\*rama derecha**

M191 80 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u  
 M192 80 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M193 80 4 1 1 CMOS L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
  
 M237 81 52 80 1 CMOS L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M234 81 52 80 1 CMOS L=16.2u W=27u AD=789.48p PD=504u AS=0 PS=0  
 M235 81 52 80 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
  
 M233 81 22 79 0 CMOSN L=27u W=27u AD=421.38p PD=286.2u AS=108p PS=73.2u  
 M236 79 83 0 0 CMOSN L=27u W=33u AS=0 PS=0 AD=0 PD=0

**\*A3 (2 celdas)**

M185 75 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u  
 M186 75 4 1 1 CMOS L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
 M187 75 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
  
 M226 74 52 75 1 CMOS L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M227 74 52 75 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M223 74 52 75 1 CMOS L=16.2u W=27u AD=399.78p PD=258.6u AS=0 PS=0  
  
 M224 74 22 76 0 CMOSN L=27u W=27u AS=108p PS=73.2u AD=205.38p PD=136.2u  
 M225 76 83 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=0 PS=0

**\*\***

M188 78 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u  
 M189 78 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M190 78 4 1 1 CMOS L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
  
 M232 74 52 78 1 CMOS L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M229 74 52 78 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M230 74 52 78 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
  
 M228 74 22 77 0 CMOSN L=27u W=27u AD=0 PD=0 AS=108p PS=73.2u  
 M231 77 83 0 0 CMOSN L=27u W=33u AS=0 PS=0 AD=0 PD=0

**\*Segundo Integrador****\*rama izquierda**

M182 72 4 1 1 CMOS L=16.2u W=28.8u AS=401.76p PS=252u AD=0 PD=0  
 M183 72 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M184 72 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
  
 M220 65 52 72 1 CMOS L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M221 65 52 72 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M222 65 52 72 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
  
 M218 65 22 73 0 CMOSN L=27u W=27u AS=108p PS=73.2u AD=0 PD=0  
 M219 73 87 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=0 PS=0

**\*rama izquierda centro**

M179 70 4 1 1 CMOS L=16.2u W=28.8u AD=401.76p PD=252u AS=0 PS=0  
 M180 70 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M181 70 4 1 1 CMOS L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
  
 M217 65 52 70 1 CMOS L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M214 65 52 70 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M215 65 52 70 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
  
 M216 65 22 71 0 CMOSN L=27u W=27u AS=0 PS=0 AD=0 PD=0  
 M213 71 87 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=108p PS=73.2u

**\*rama derecha centro**

M176 62 4 1 1 CMOS L=16.2u W=28.8u AD=401.76p PD=252u AS=0 PS=0  
 M177 62 4 1 1 CMOS L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
 M178 62 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
  
 M211 65 52 62 1 CMOS L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M212 65 52 62 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M209 65 52 62 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M210 65 22 68 0 CMOSN L=27u W=27u AS=0 PS=0 AD=0 PD=0  
 M208 68 69 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=108p PS=73.2u

\*rama derecha

M173 66 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u  
 M174 66 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
 M175 66 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M203 65 52 66 1 CMOSP L=16.2u W=27u AD=801.36p PD=518.4u AS=0 PS=0  
 M206 65 52 66 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M207 65 52 66 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M204 65 22 67 0 CMOSN L=27u W=27u AS=108p PS=73.2u AD=433.26p PD=300.6u  
 M205 67 69 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=0 PS=0

\*Seccion de salida (2 celdas)

M143 53 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=4.1472n PS=2.592m  
 M144 53 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
 M145 53 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M93 16 52 53 1 CMOSP L=16.2u W=27u AD=401.76p PD=252u AS=0 PS=0  
 M96 16 52 53 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M97 16 52 53 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M94 16 22 38 0 CMOSN L=27u W=27u AD=108p PD=73.2u AS=0 PS=0  
 M95 38 69 0 0 CMOSN L=27u W=33u AS=0 PS=0 AD=0 PD=0

\*\*

M146 54 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M147 54 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
 M148 54 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M99 16 52 54 1 CMOSP L=16.2u W=27u AD=401.76p PD=252u AS=0 PS=0  
 M101 16 52 54 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M102 16 52 54 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M100 16 22 39 0 CMOSN L=27u W=27u AS=0 PS=0 AD=0 PD=0  
 M98 39 69 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=108p PS=73.2u

\*A2 (1 celda)

M149 55 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M150 55 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M151 55 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0

M104 41 52 55 1 CMOSP L=16.2u W=27u AD=401.76p PD=252u AS=205.38p PS=136.2u  
 M105 41 52 55 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M107 41 52 55 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0

M106 41 22 40 0 CMOSN L=27u W=27u AS=108.18p PS=75u AD=0 PD=0  
 M103 40 69 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=108p PS=73.2u

\*A4 (3 celdas)

M152 56 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
 M153 56 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M154 56 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M110 43 52 56 1 CMOSP L=16.2u W=27u AS=594.18p PS=381u AD=401.76p PD=252u  
 M111 43 52 56 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M112 43 52 56 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M108 43 22 42 0 CMOSN L=27u W=27u AD=108p PD=73.2u AS=302.58p PS=197.4u  
 M109 42 69 0 0 CMOSN L=27u W=33u AS=0 PS=0 AD=0 PD=0

\*\*

M155 57 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M156 57 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
 M157 57 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M113 43 52 57 1 CMOSP L=16.2u W=27u AD=401.76p PD=252u AS=0 PS=0  
 M116 43 52 57 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M117 43 52 57 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M114 43 22 44 0 CMOSN L=27u W=27u AD=108p PD=73.2u AS=0 PS=0  
 M115 44 69 0 0 CMOSN L=27u W=33u AS=0 PS=0 AD=0 PD=0

\*\*

M158 46 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M159 46 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M160 46 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M119 43 52 46 1 CMOSP L=16.2u W=27u AD=401.76p PD=252u AS=0 PS=0  
 M120 43 52 46 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M122 43 52 46 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M121 43 22 45 0 CMOSN L=27u W=27u AS=0 PS=0 AD=0 PD=0  
 M118 45 69 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=108p PS=73.2u

\*Switch entre primer int y segundo int

M257 65 1 89 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=22.86p PS=28.2u  
 M258 65 0 89 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=22.86p PS=28.2u  
 M259 89 33 74 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0  
 M260 89 28 74 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0

\*Switch del 1er. Int. Rama izquierda

M264 88 33 81 0 CMOSN L=1.8u W=1.8u AD=10.08p PD=13.2u AS=0 PS=0

\*Switch del 1er. Int. Rama derecha

M263 81 28 83 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=10.62p PS=13.8u

\*Switch del 2ndo. Int. Rama izquierda

M256 87 33 65 0 CMOSN L=1.8u W=1.8u AD=10.08p PD=13.2u AS=0 PS=0

\*Switch del 2ndo. Int. Rama derecha

M254 65 28 69 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=10.62p PS=13.8u

\*Switch de entrada al SFA

M261 41 28 81 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0  
 M262 41 33 81 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0

\*Switch de entrada al 2 integrador del 1er. bicuadrático

M253 43 28 65 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0  
 M255 43 33 65 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0

\*\*\*\*\*

\*Segundo Bicuadrático\*

\*\*\*\*\*

\*1er. integrador

\*rama izquierda

M161 58 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M162 58 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M163 58 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0

M124 48 52 58 1 CMOSP L=16.2u W=27u AD=401.76p PD=252u AS=0 PS=0  
 M125 48 52 58 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M127 48 52 58 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0

M126 48 22 47 0 CMOSN L=27u W=27u AS=0 PS=0 AD=0 PD=0  
 M123 47 35 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=108p PS=73.2u

\*rama izquierda centro

M164 59 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M165 59 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M166 59 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0

M130 48 52 59 1 CMOSP L=16.2u W=27u AS=401.76p PS=252u AD=0 PD=0  
 M131 48 52 59 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M132 48 52 59 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M128 48 22 49 0 CMOSN L=27u W=27u AS=108p PS=73.2u AD=0 PD=0  
 M129 49 35 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=0 PS=0

\*rama derecha centro

M167 60 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M168 60 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
 M169 60 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M136 48 52 60 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M137 48 52 60 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M133 48 52 60 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=401.76p PS=252u

M134 48 22 50 0 CMOSN L=27u W=27u AS=108p PS=73.2u AD=0 PD=0  
 M135 50 36 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=0 PS=0

\*rama derecha

M170 61 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M171 61 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M172 61 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M142 48 52 61 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M139 48 52 61 1 CMOSP L=16.2u W=27u AD=401.76p PD=252u AS=0 PS=0  
 M140 48 52 61 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M141 48 22 51 0 CMOSN L=27u W=27u AS=0 PS=0 AD=0 PD=0  
 M138 51 36 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=108p PS=73.2u

\*A3 (2 celdas)

M25 11 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u  
 M26 11 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0  
 M27 11 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M55 27 52 11 1 CMOSP L=16.2u W=27u AD=399.78p PD=258.6u AS=0 PS=0  
 M56 27 52 11 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M57 27 52 11 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M78 27 22 25 0 CMOSN L=27u W=27u AS=0 PS=0 AD=205.38p PD=136.2u  
 M77 25 36 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=0 PS=0

\*\*

M28 12 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u  
 M29 12 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M30 12 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0

M58 27 52 12 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M59 27 52 12 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M60 27 52 12 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0

M79 27 22 26 0 CMOSN L=27u W=27u AD=0 PD=0 AS=108p PS=73.2u  
 M80 26 36 0 0 CMOSN L=27u W=33u AS=0 PS=0 AD=0 PD=0

\*2ndo. integrador

\*rama izquierda

M22 10 4 1 1 CMOSP L=16.2u W=28.8u AS=401.76p PS=252u AD=0 PD=0  
 M23 10 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M24 10 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M52 29 52 10 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0  
 M53 29 52 10 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0  
 M54 29 52 10 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M76 29 22 23 0 CMOSN L=27u W=27u AS=0 PS=0 AD=0 PD=0  
 M75 23 24 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=0 PS=0

\*rama izquierda centro

M19 9 4 1 1 CMOSP L=16.2u W=28.8u AD=401.76p PD=252u AS=0 PS=0  
 M20 9 4 1 1 CMOSP L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0  
 M21 9 4 1 1 CMOSP L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0

M49 29 52 9 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M50 29 52 9 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M51 29 52 9 1 CMOS L=16.2u W=27u AS=0 PS=0 AD=0 PD=0

M74 29 22 21 0 CMOSN L=27u W=27u AS=0 PS=0 AD=0 PD=0

M73 21 24 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=108p PS=73.2u

\*rama derecha centro

M16 2 4 1 1 CMOS L=16.2u W=28.8u AD=401.76p PD=252u AS=0 PS=0

M17 2 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M18 2 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M46 29 52 2 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M47 29 52 2 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M48 29 52 2 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M72 29 22 19 0 CMOSN L=27u W=27u AS=0 PS=0 AD=0 PD=0

M71 19 20 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=108p PS=73.2u

\*rama derecha

M13 8 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u

M14 8 4 1 1 CMOS L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0

M15 8 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M43 29 52 8 1 CMOS L=16.2u W=27u AD=801.36p PD=518.4u AS=0 PS=0

M44 29 52 8 1 CMOS L=16.2u W=27u AS=0 PS=0 AD=0 PD=0

M45 29 52 8 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M69 29 22 18 0 CMOSN L=27u W=27u AD=433.26p PD=300.6u AS=108p PS=73.2u

M70 18 20 0 0 CMOSN L=27u W=33u AD=0 PD=0 AS=0 PS=0

\*Salida del SFA

M10 7 4 1 1 CMOS L=16.2u W=28.8u AS=401.76p PS=252u AD=0 PD=0

M11 7 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M12 7 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M40 31 52 7 1 CMOS L=16.2u W=27u AS=0 PS=0 AD=194.4p PD=122.4u

M41 31 52 7 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M42 31 52 7 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M68 31 22 17 0 CMOSN L=27u W=27u AS=0 PS=0 AD=97.2p PD=61.2u

M67 17 20 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=0 PS=0

\*A2 (2 celdas)

M4 5 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u

M5 5 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M6 5 4 1 1 CMOS L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0

M34 16 52 5 1 CMOS L=16.2u W=27u AD=788.58p PD=503.4u AS=0 PS=0

M35 16 52 5 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M36 16 52 5 1 CMOS L=16.2u W=27u AS=0 PS=0 AD=0 PD=0

M63 16 22 14 0 CMOSN L=27u W=27u AD=399.78p PD=258.6u AS=108p PS=73.2u

M64 14 20 0 0 CMOSN L=27u W=33u AS=0 PS=0 AD=0 PD=0

\*\*

M7 6 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=401.76p PS=252u

M8 6 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M9 6 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

M37 16 52 6 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M38 16 52 6 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M39 16 52 6 1 CMOS L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M65 16 22 15 0 CMOSN L=27u W=27u AD=0 PD=0 AS=108p PS=73.2u

M66 15 20 0 0 CMOSN L=27u W=33u AS=0 PS=0 AD=0 PD=0

\*A4 (1 celda)

M1 3 4 1 1 CMOS L=16.2u W=28.8u AD=2.0736m PD=1.296m AS=401.76p PS=252u

M2 3 4 1 1 CMOS L=16.2u W=28.8u AS=0 PS=0 AD=0 PD=0

M3 3 4 1 1 CMOS L=16.2u W=28.8u AD=0 PD=0 AS=0 PS=0

```

M31 32 52 3 1 CMOSP L=16.2u W=27u AD=205.38p PD=136.2u AS=0 PS=0
M32 32 52 3 1 CMOSP L=16.2u W=27u AS=0 PS=0 AD=0 PD=0
M33 32 52 3 1 CMOSP L=16.2u W=27u AD=0 PD=0 AS=0 PS=0

M62 32 22 13 0 CMOSN L=27u W=27u AS=0 PS=0 AD=108.18p PD=75u
M61 13 20 0 0 CMOSN L=27u W=33u AD=108p PD=73.2u AS=3.564n PS=2.196m

```

\*Switch entre la salida del 1er. Integrador y entrada del 2do. Integrador

```

M85 29 1 30 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=22.86p PS=28.2u
M86 29 0 30 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=22.86p PS=28.2u
M87 30 28 27 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0
M88 30 33 27 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0

```

\*Switch del 1er. Int. Rama izquierda

```

M92 48 28 35 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=10.08p PS=13.2u

```

\*Switch del 2do. Int. Rama derecha

```

M90 36 33 48 0 CMOSN L=1.8u W=1.8u AD=10.62p PD=13.8u AS=0 PS=0

```

\*Switch del 2do. Int. Rama izquierda

```

M84 24 28 29 0 CMOSN L=1.8u W=1.8u AD=10.08p PD=13.2u AS=0 PS=0

```

\*Switch del 2do. Int. Rama derecha

```

M82 29 33 20 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=10.62p PS=13.8u

```

\*Switch de entrada del 2do. bicuadrático

```

M89 48 33 16 0 CMOSN L=1.8u W=1.8u AD=421.38p PD=286.2u AS=0 PS=0
M91 48 28 16 1 CMOSP L=1.8u W=1.8u AD=789.48p PD=504u AS=0 PS=0

```

\*Switch de entrada del 2do. Int

```

M81 32 33 29 0 CMOSN L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0
M83 32 28 29 1 CMOSP L=1.8u W=1.8u AD=0 PD=0 AS=0 PS=0

```

```

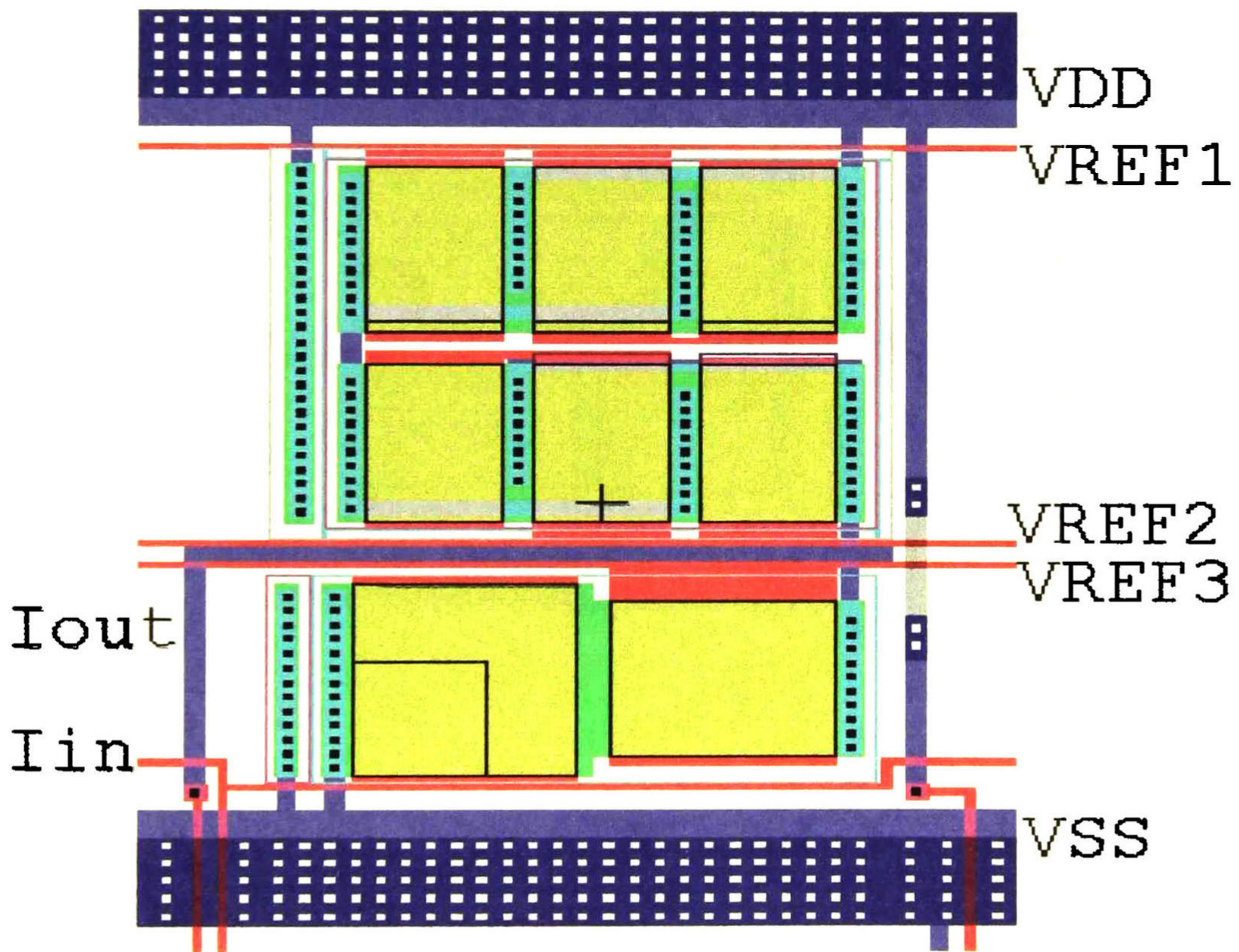
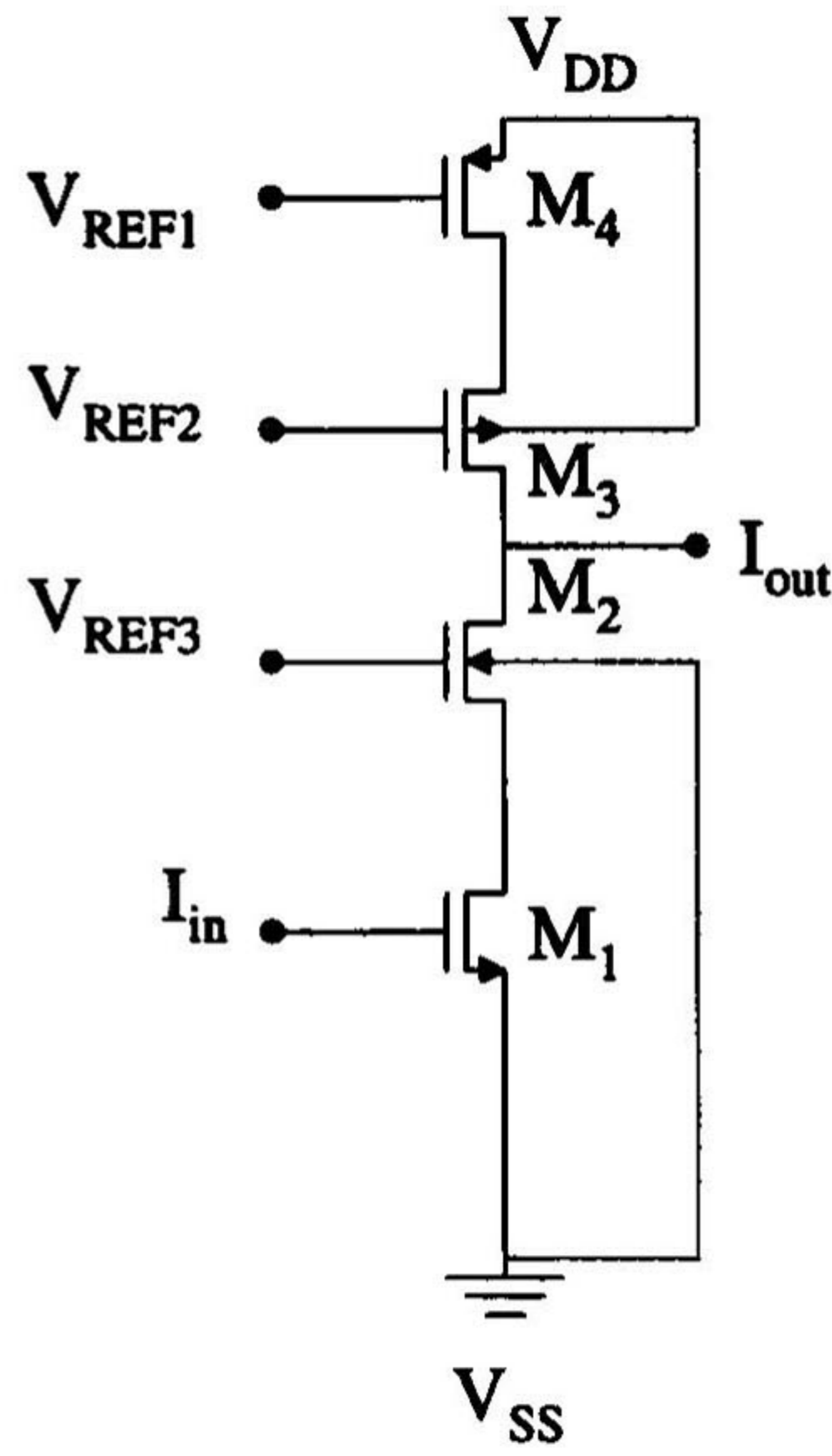
.op
.acmodel {*}
.options mosparasitics = 1
.param capop=4
.tran 50n 200u
.print tran i(lin,41)
.print tran i(Ropamp,Out1)
.END

```

# ESQUEMÁTICOS Y LAYOUT'S DE CELDAS DE CORRIENTE CONMUTADA

---

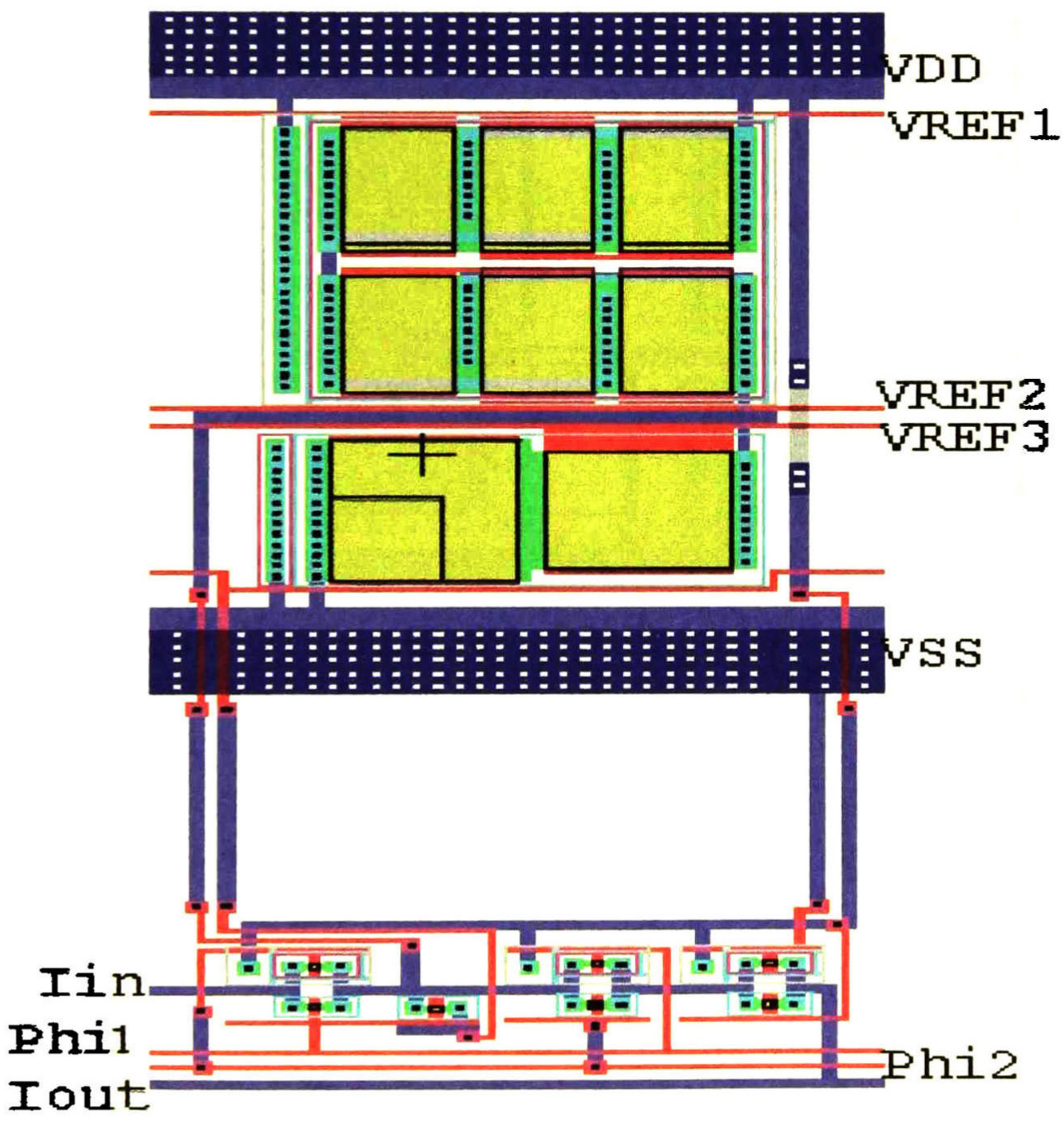
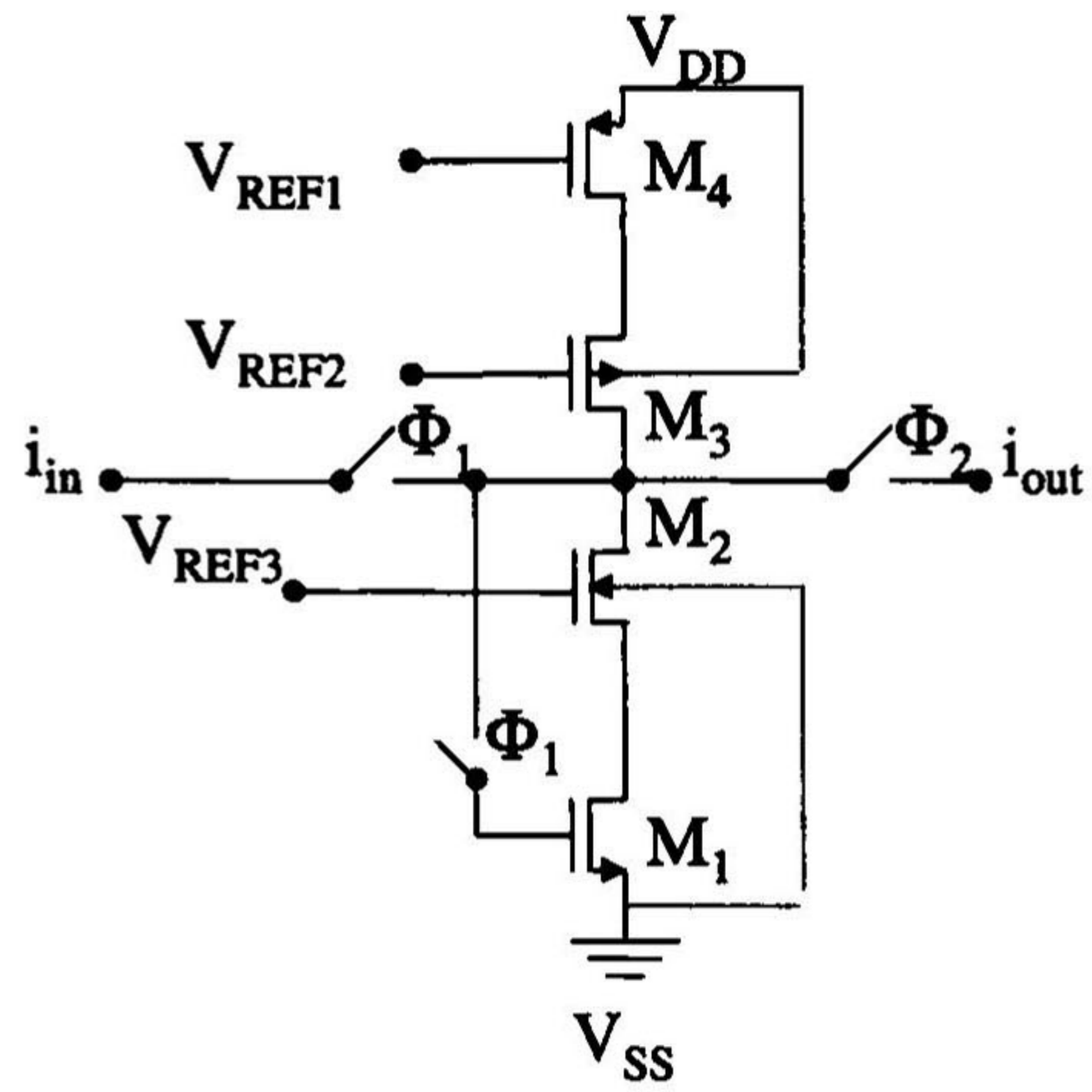
**S**e presenta el layout y esquemático de las celdas diseñadas, analizadas y simuladas en esta investigación. Se muestra la etapa de salida, la celda de memoria sin y con etapa de salida, la celda de medio retraso sin y con etapa de salida, la celda integradora inversora y no inversora, la celda integradora inversora con etapa de salida de dimensiones mínimas, así como la celda de un SFA, se proporciona además el rango de trabajo, dimensiones y número de transistores que la conforman.



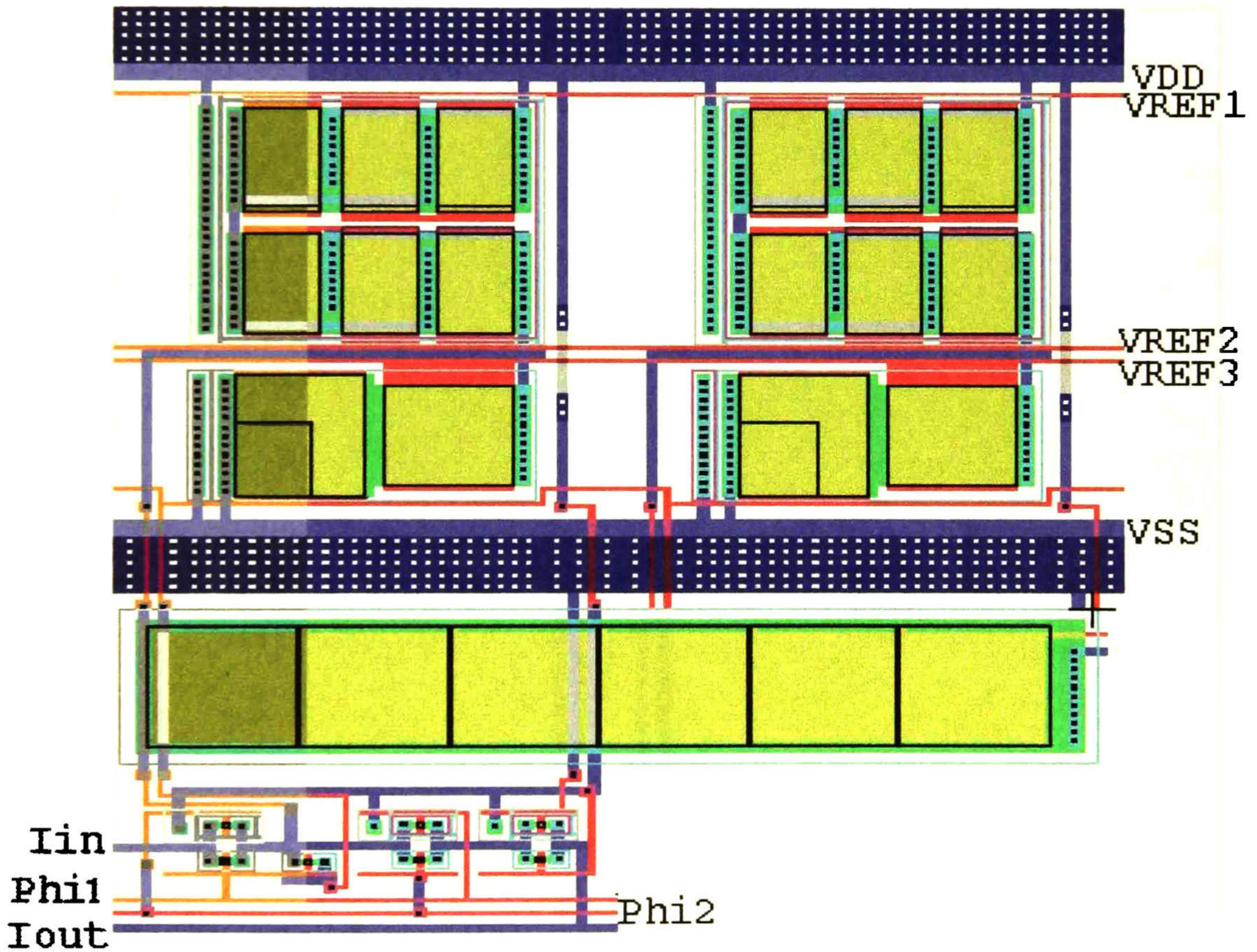
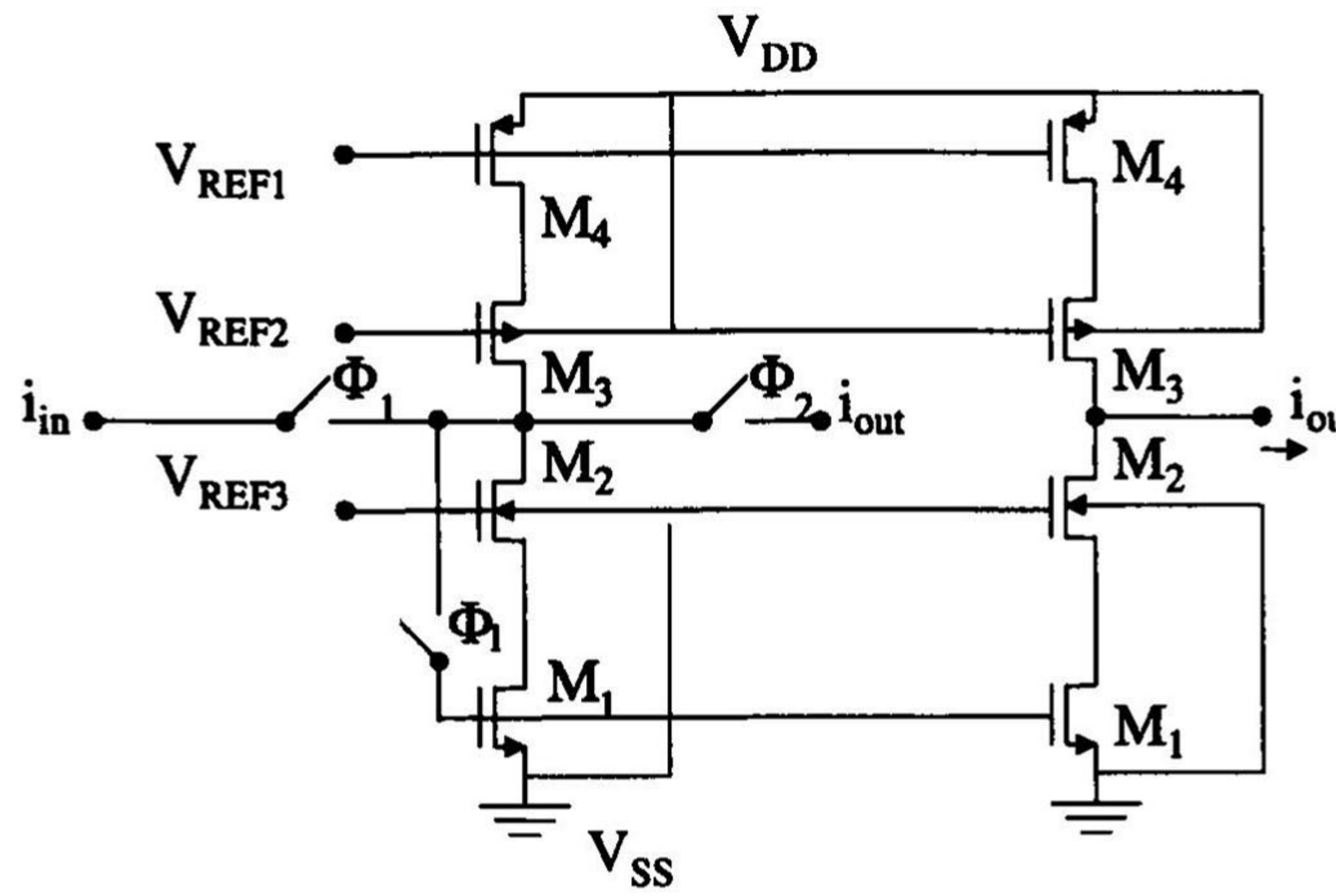
Nombre:  
Dimensiones ( $\mu\text{m}^2$ ):  
Número de transistores:  
Señal de muestreo:

*Etapa de Salida*  
104.4 X 160.2  
8  
200 - 400kHz

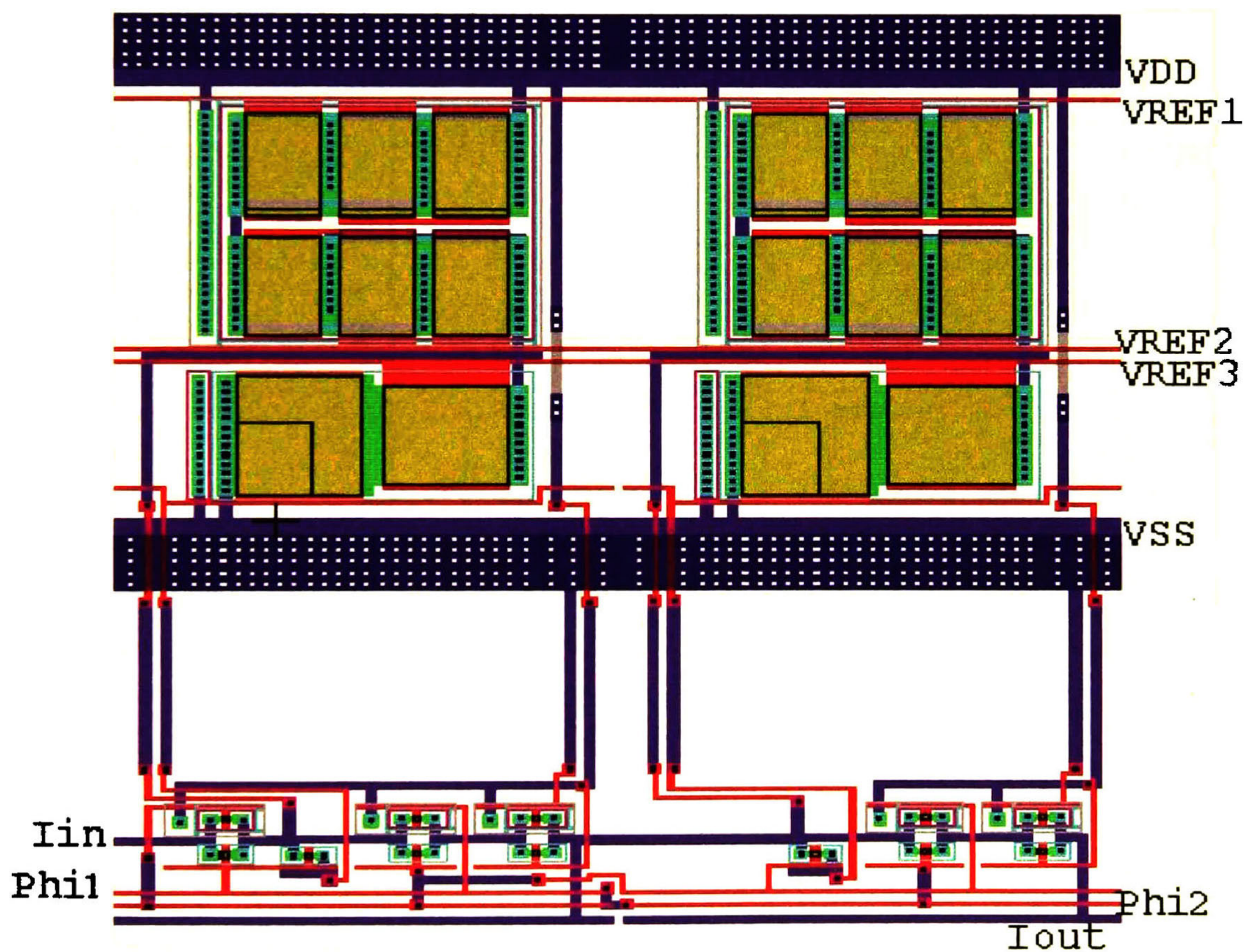
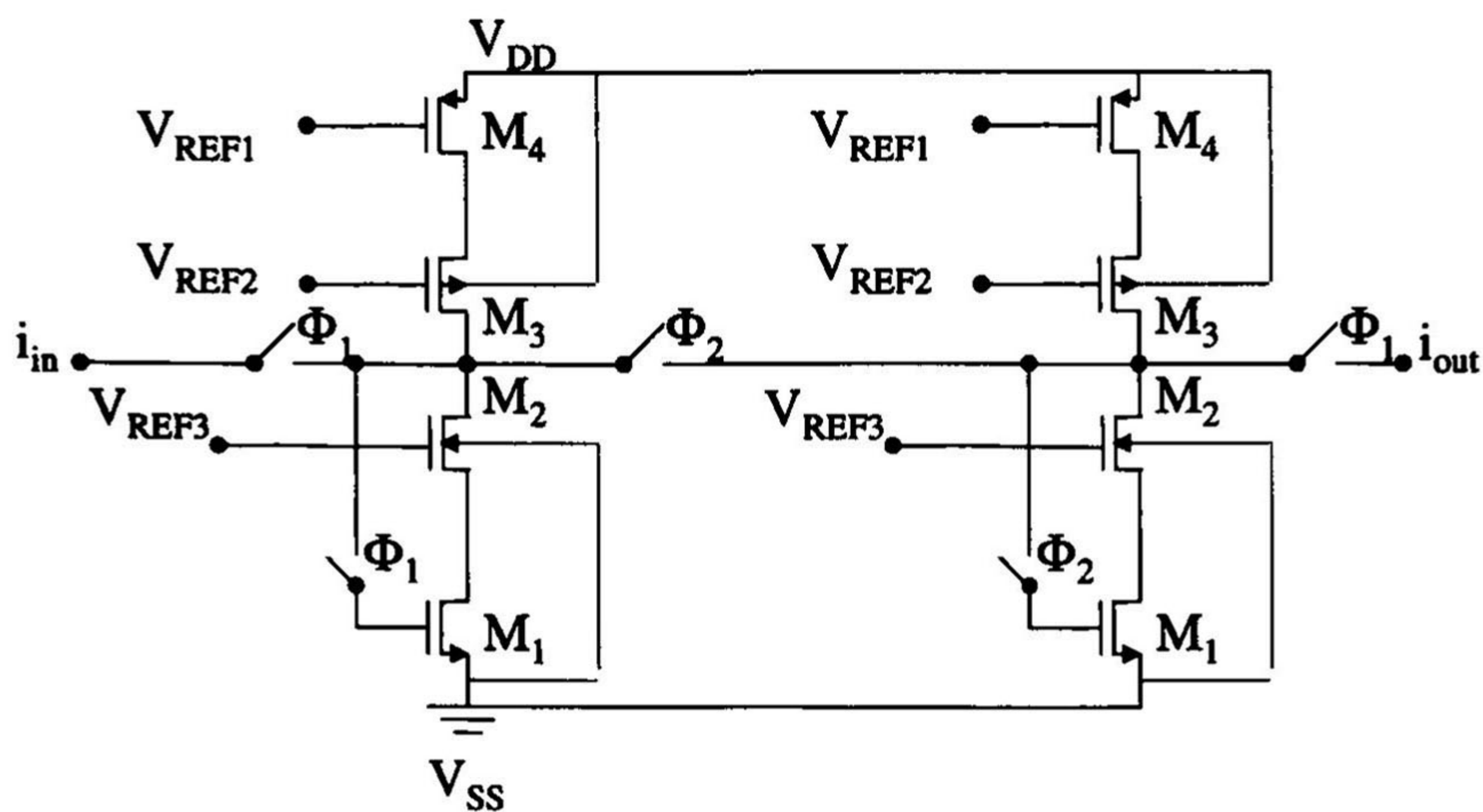




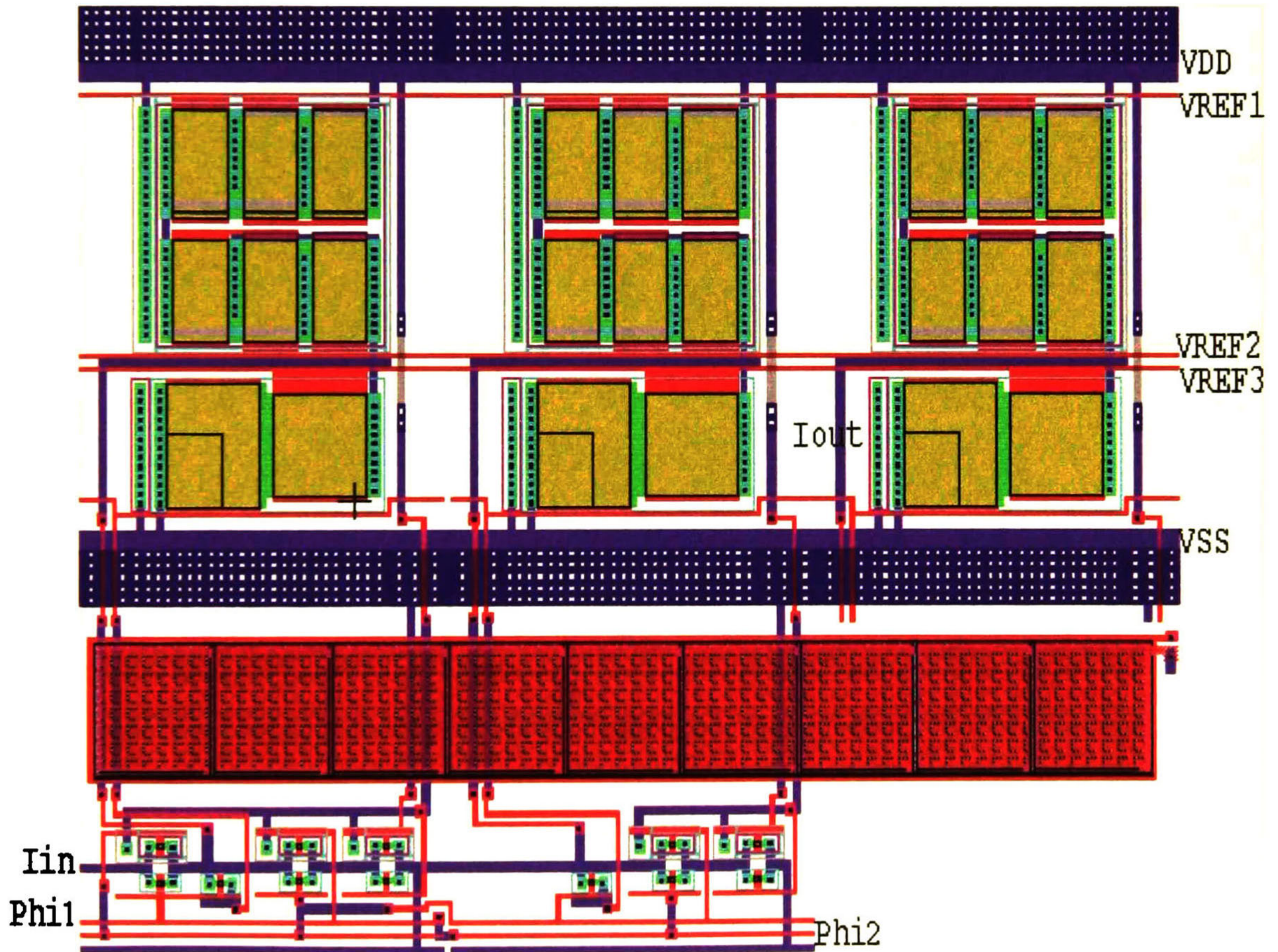
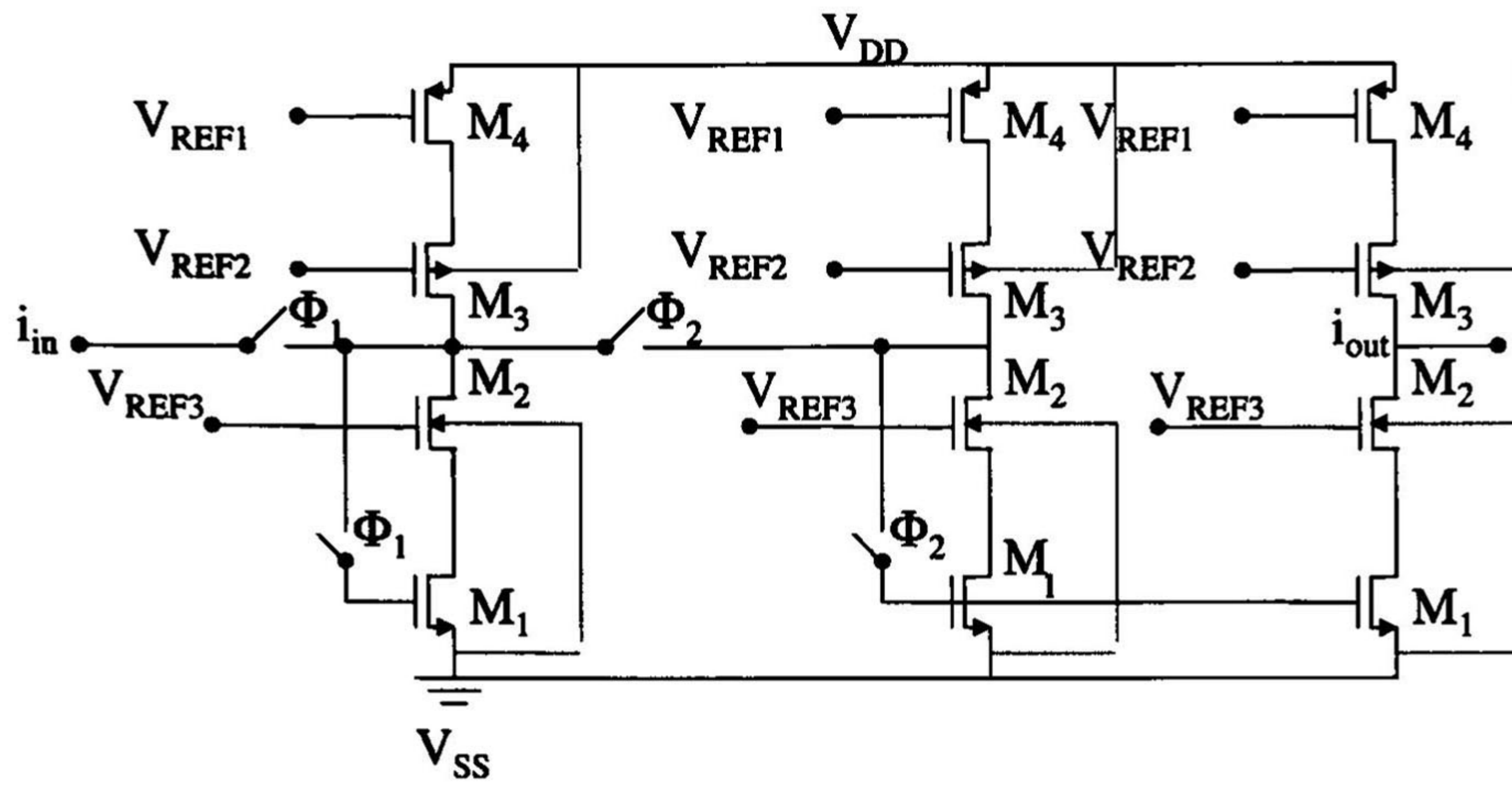
Nombre: *Celda de Memoria*  
 Dimensiones ( $\mu\text{m}^2$ ): *104.4 X 246*  
 Número de transistores: *15*  
 Rango de Frecuencia de Trabajo: *200 – 400 kHz*



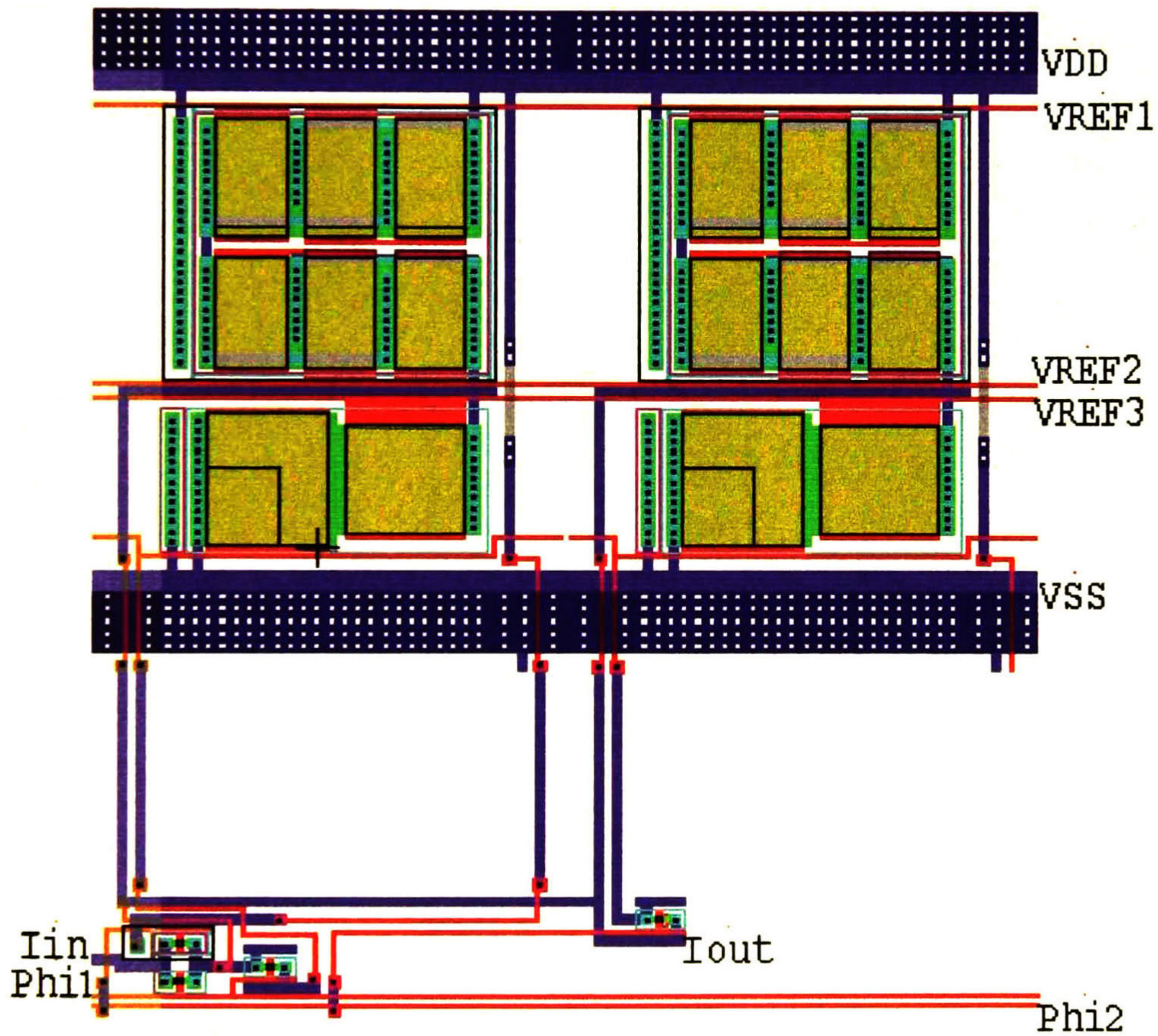
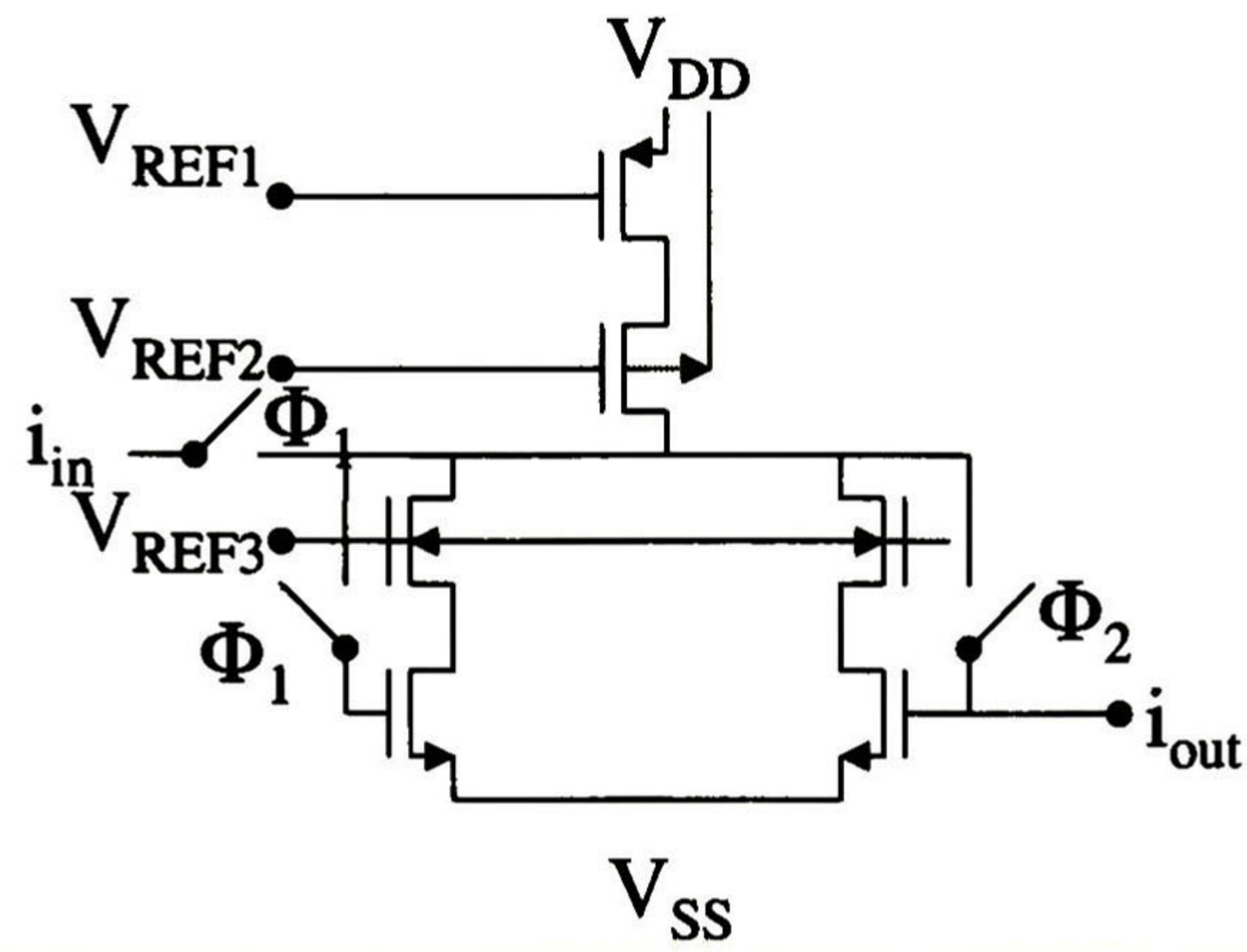
Nombre:	<i>Celda de Memoria con etapa de salida</i>
Dimensiones ( $\mu\text{m}^2$ ):	208.8 X 246
Número de transistores:	23
Señal de muestreo:	200 – 400 kHz



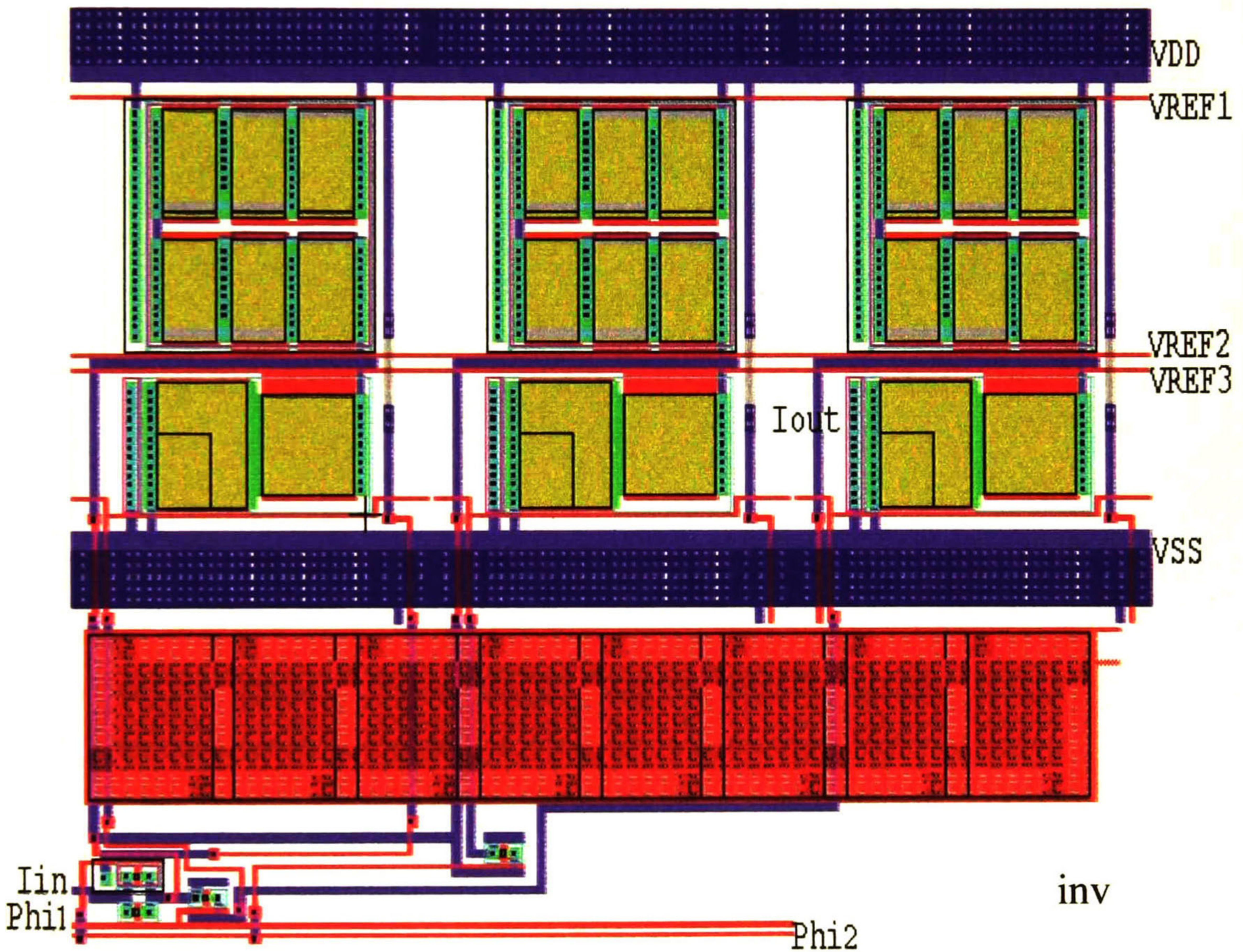
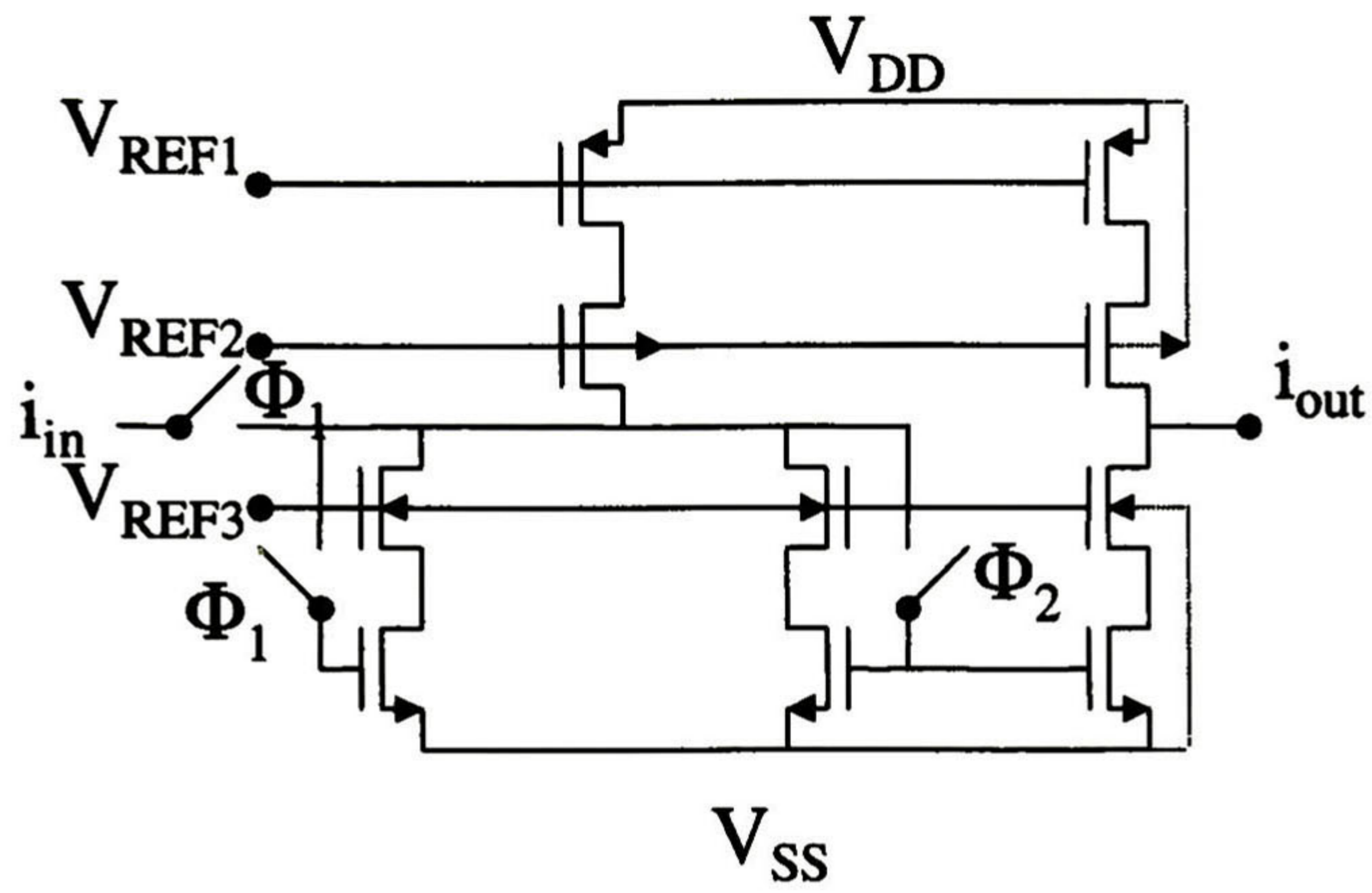
Nombre:	<i>Celda de Retraso Completo</i>
Dimensiones ( $\mu\text{m}^2$ ):	210.6 X 246
Número de transistores:	28
Señal de muestreo:	200 – 400 kHz



Nombre:	<i>Celda de Retraso Completo con etapa de salida</i>
Dimensiones ( $\mu\text{m}^2$ ):	315.6 x 246
Número de transistores:	36
Señal de muestreo:	200 – 400 kHz

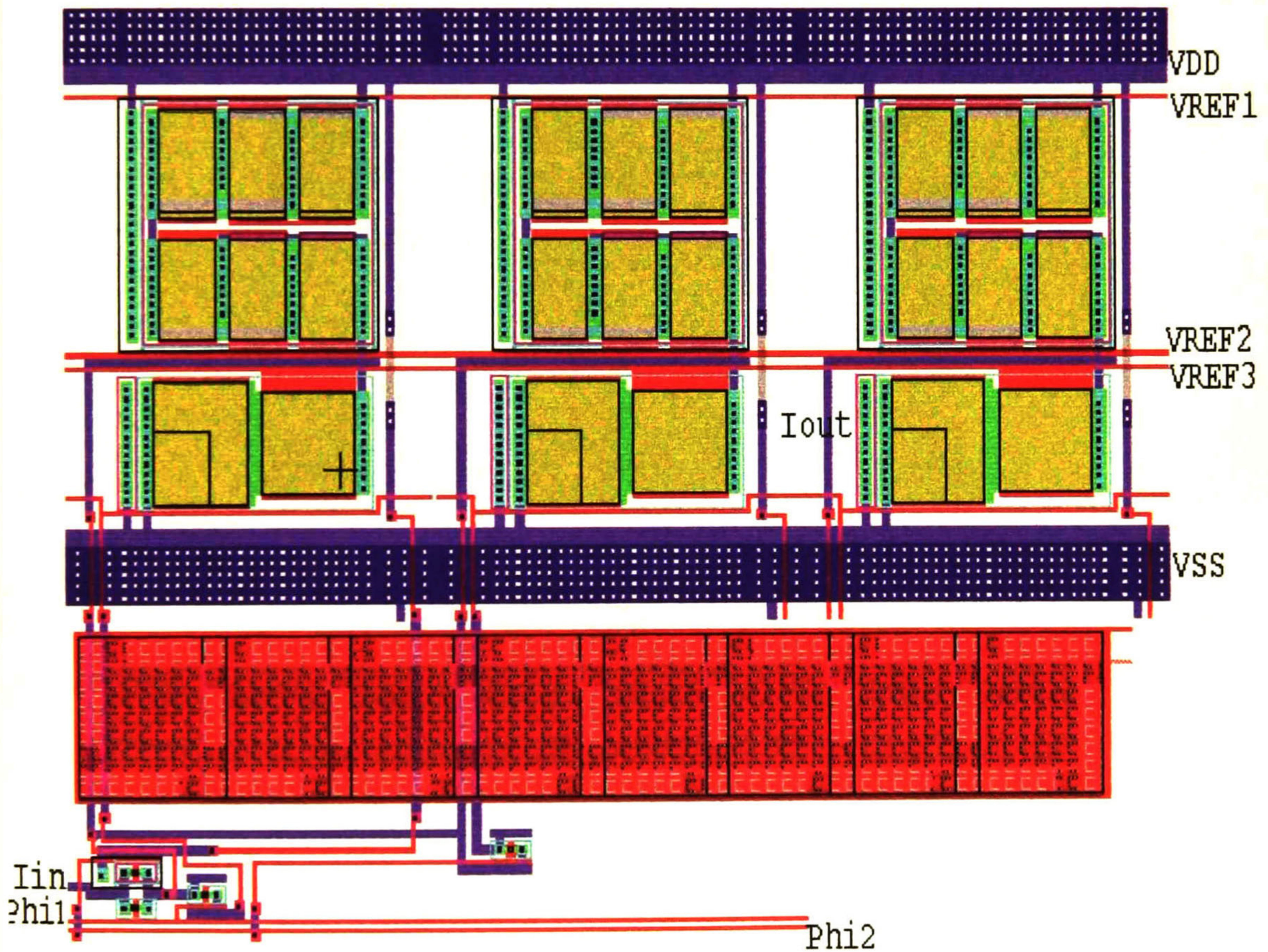
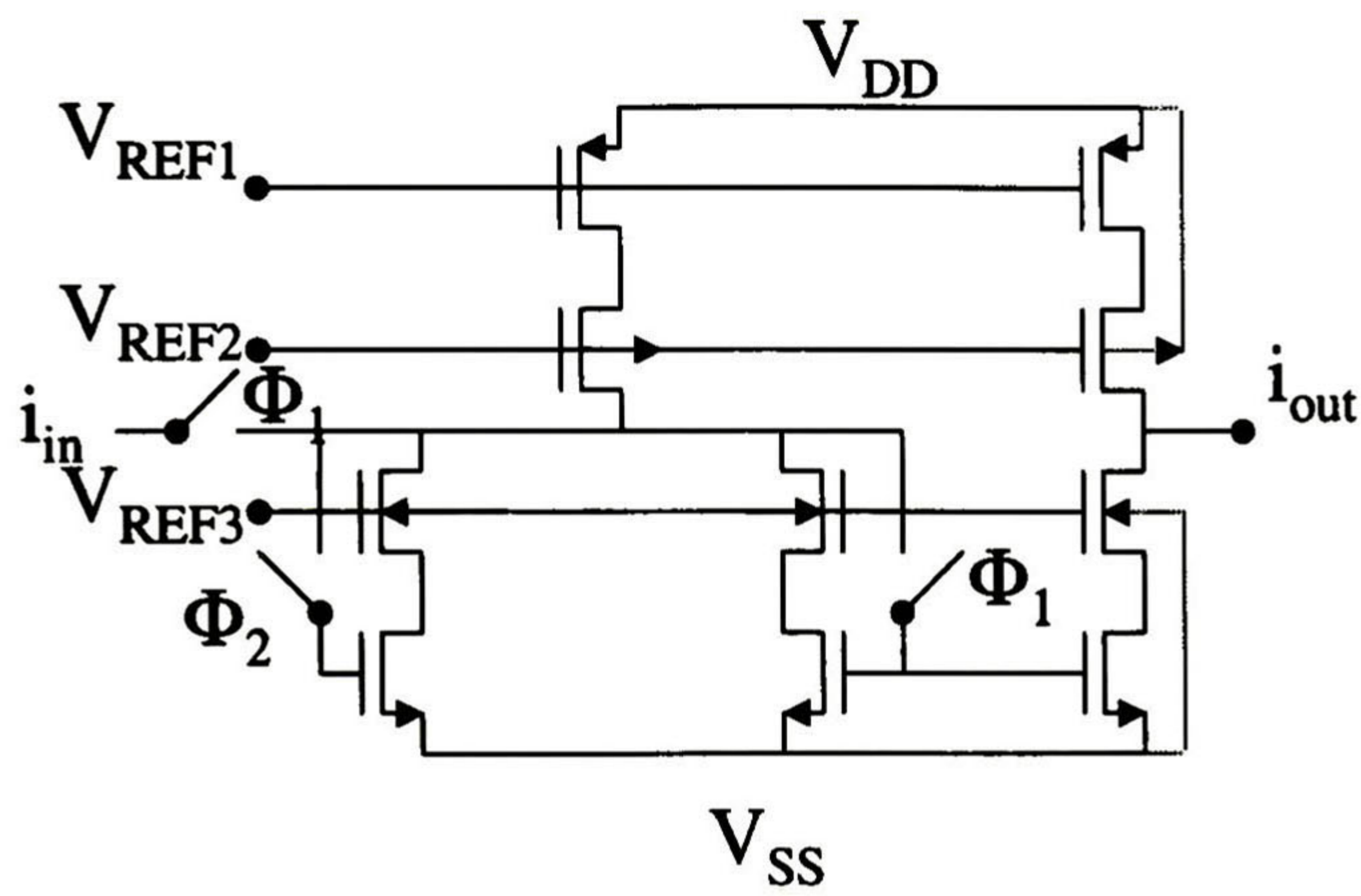


Nombre:	<i>Celda de Integradora</i>
Dimensiones ( $\mu\text{m}^2$ ):	210 X 246
Número de transistores:	20
Rango de Frecuencia de Trabajo:	200 – 400 kHz

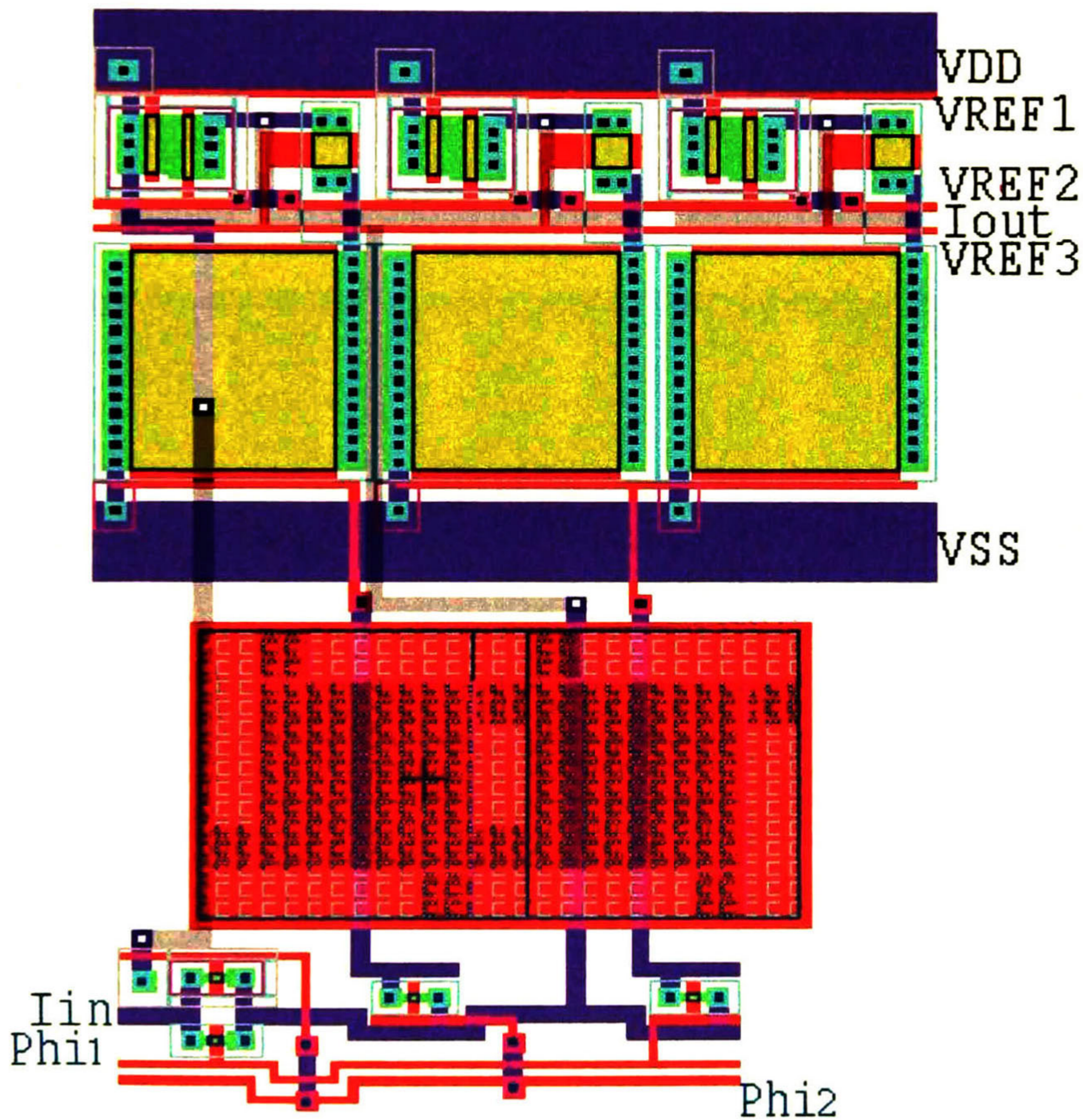
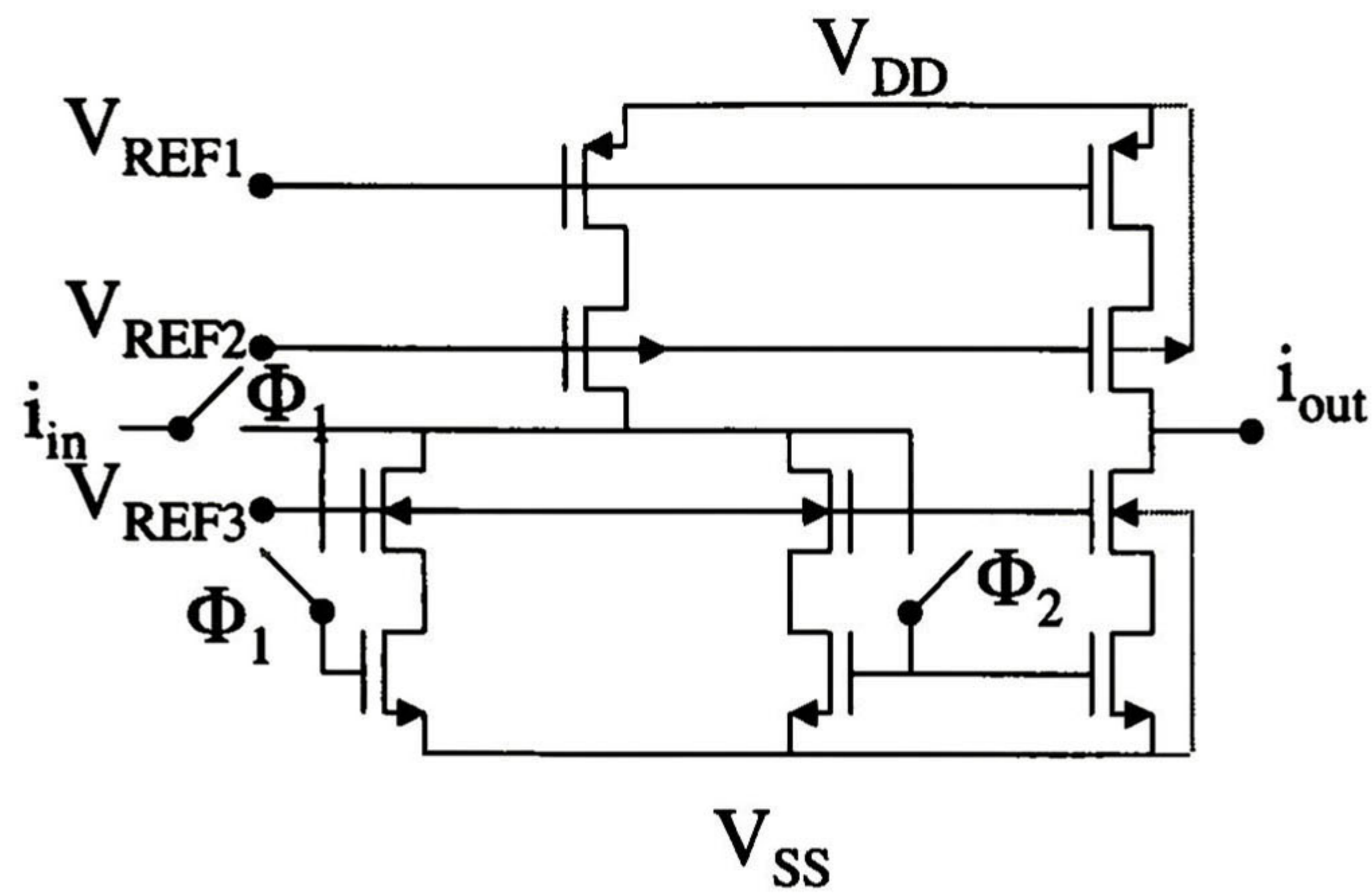


Nombre:  
Dimensiones ( $\mu\text{m}^2$ ):  
Número de transistores:  
Señal de muestreo:

*Celda Integradora inversora con etapa de salida*  
315.6 X 246  
28  
200 – 400 kHz



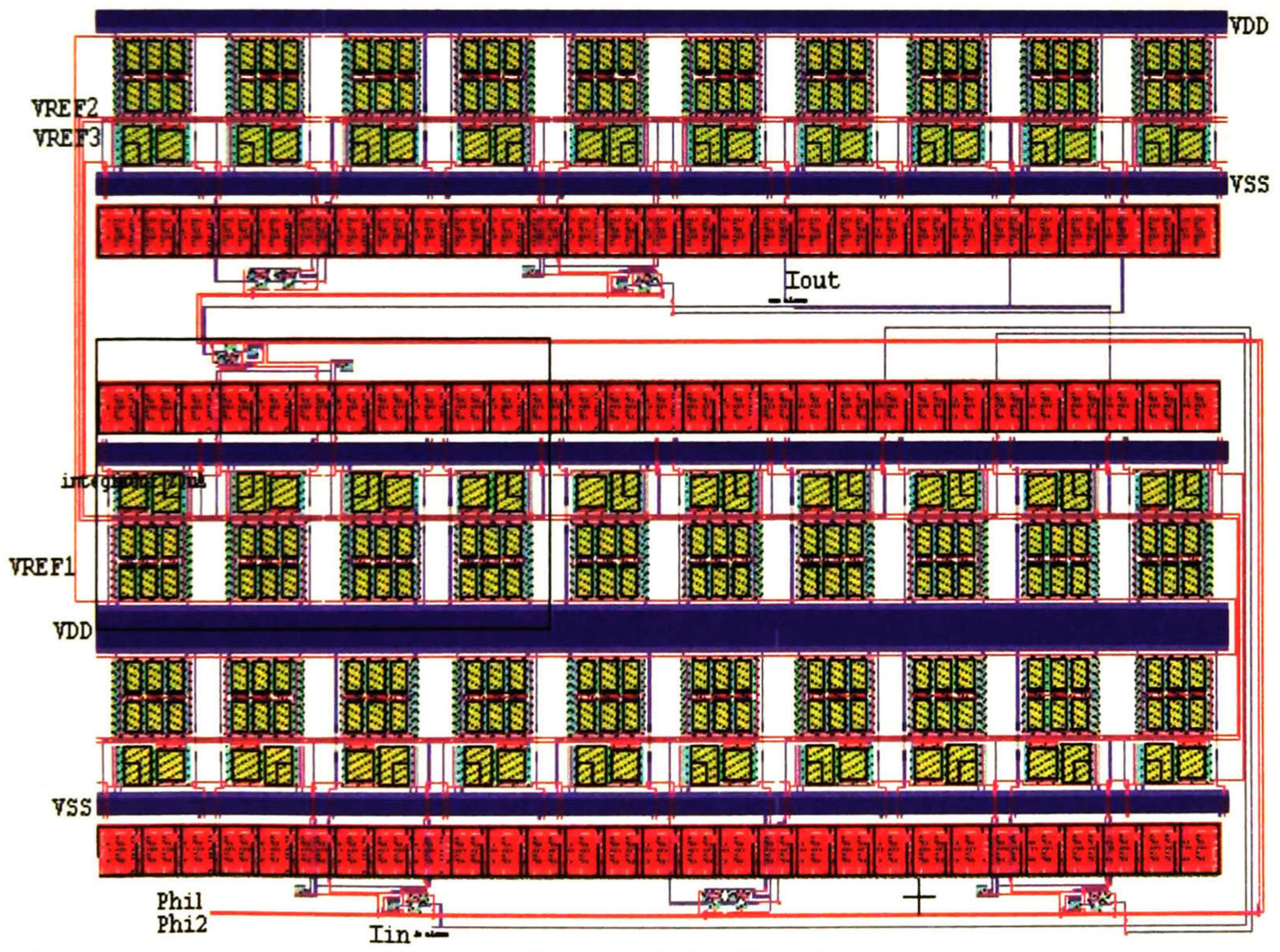
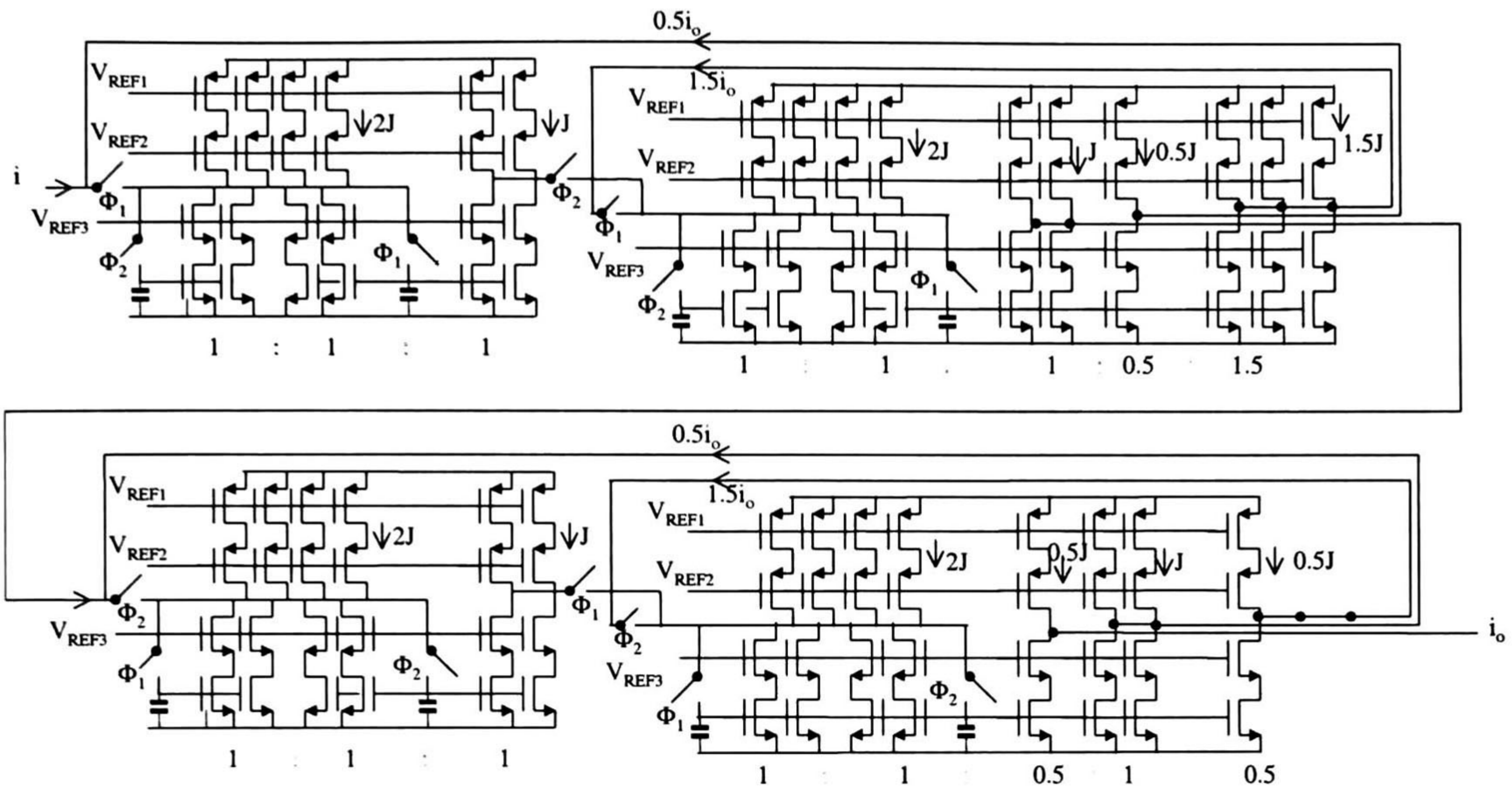
Nombre:	<i>Celda Integradora no inversora con etapa de salida</i>
Dimensiones ( $\mu\text{m}^2$ ):	<i>315.6 X 246</i>
Número de transistores:	<i>28</i>
Señal de muestreo:	<i>200 – 400 kHz</i>



Nombre:  
Dimensiones ( $\mu\text{m}^2$ ):  
Número de transistores:  
Señal de muestreo:

*Celda Integradora inversora reducida con etapa de salida*  
109.8 X 163.2  
16  
200 – 400 kHz





Nombre: *Filtro pasa bajas Chebyshev*  
 Dimensiones ( $\mu\text{m}^2$ ): *1098 X 771*  
 Número de transistores: *248*  
 Señal de muestreo: *200 – 400 kHz*

## TRABAJO FUTURO

---

**E**l trabajo futuro de esta investigación se concentra en realizar sistemas de filtrado analógico con la última celda diseñada (integrador inversor mostrado en las conclusiones), además de comparar resultados experimentales de los circuitos integrados que se mandaron fabricar contra los obtenidos de las simulaciones.

Por otro lado, será necesario realizar simuladores que permitan realizar análisis tanto en el tiempo como en frecuencia en un mismo momento, con la finalidad de simular sistemas conmutados.

Además, se deberán desarrollar esquemas de compensación que minimicen al máximo el efecto *feedthrough*, ya que es un efecto que degrada en gran medida la respuesta del SFA, siempre y cuando se realicen SFA para altas frecuencias.

Deben diseñarse diversas celdas de corriente conmutada, tales como: derivadores, celdas para moduladores Sigma-Delta, celdas para convertidores A-D de 1 bit, entre otras.

Se debe realizar diseño de SFA en escalera, ya que esta clase de SFA presenta mejores características que los SFA en cascada.

## PUBLICACIONES

---

Las publicaciones impresas en memorias de congresos, así como las que están sujetas a aprobación y las que están por desarrollarse son:

- Publicadas en memorias de congresos:

VI WorkShop Procesamiento de Señales utilizando Corriente Conmutada, Federico Iberchip Sandoval-Ibarra, Juan Santana-Corte y Jorge A. Morán-Serna, Vol. 1, pp. 53-58, Sao Paulo, Brasil, Marzo 2000.

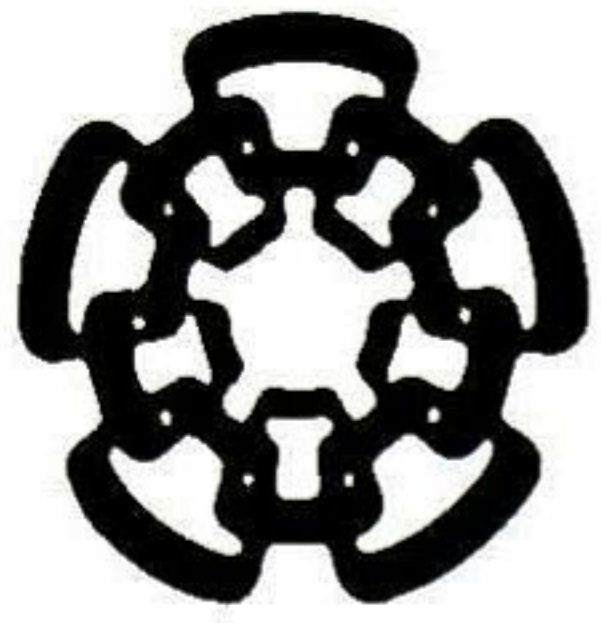
CIECE'2000 Espejos de Corriente y su Aplicación en el Diseño de Circuitos Analógicos en Modo Corriente, Jorge A. Morán-Serna y Federico Sandoval-Ibarra, Aguascalientes, Marzo 2000.

- Aprobado:

SOMI XV Desarrollo de Sistemas de Filtrado Analógico utilizando Corriente Congreso de Conmutada en Circuitos Integrados, Jorge A. Morán-Serna y Federico Instrumentación Sandoval-Ibarra, Guadalajara, Octubre 2000.

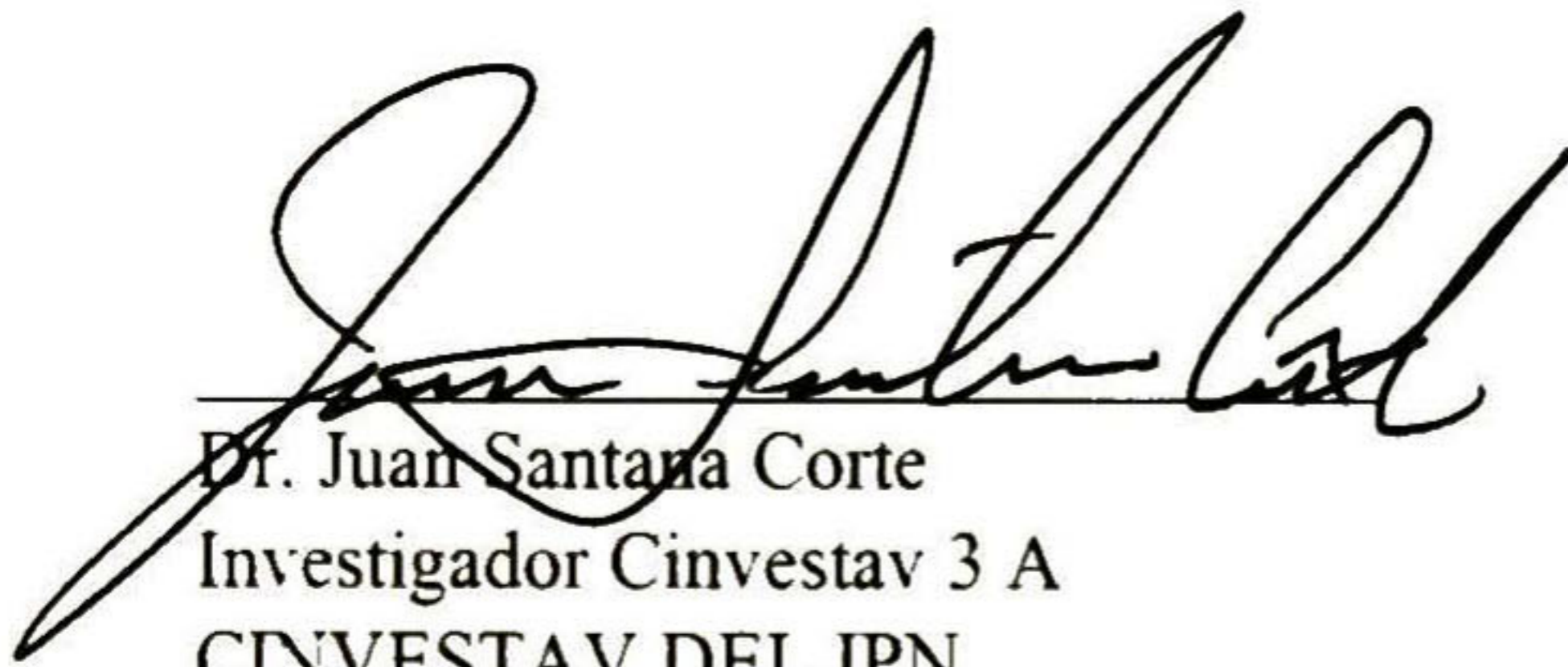
- En proceso de elaboración (ya terminado):

Esquemas de Compensación del Efecto FeedThrough en celdas de Corriente Conmutada, Jorge A. Morán-Serna y Federico Sandoval-Ibarra.

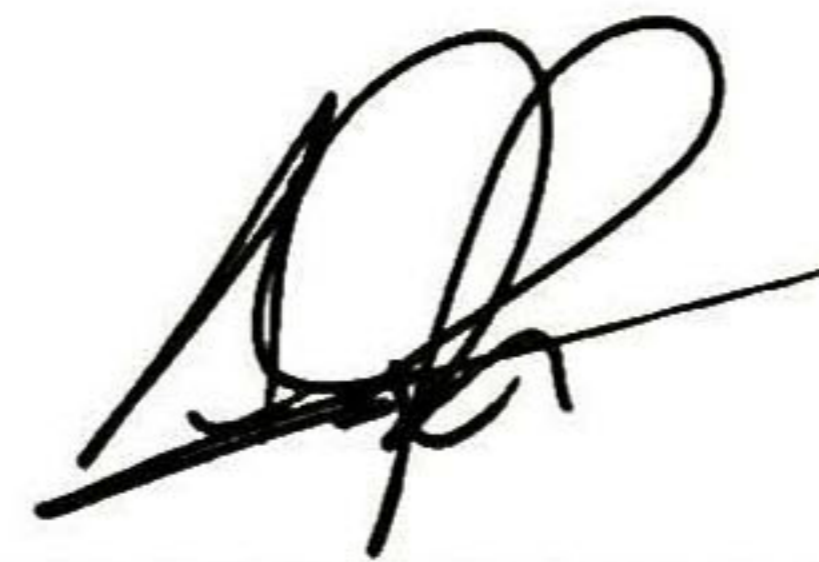


**CENTRO DE INVESTIGACION Y DE ESTUDIOS AVANZADOS DEL IPN  
UNIDAD GUADALAJARA**

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional, aprobó la tesis: “Diseño de Sistemas de Filtrado Analógico usando Corriente Conmutada” que presenta el Ing. Jorge Alejandro Morán Serna el día 29 de septiembre de 2000.



Dr. Juan Santana Corte  
Investigador Cinvestav 3 A  
CINVESTAV DEL IPN  
Guadalajara



Dr. Arturo Román Messina  
Investigador Cinvestav 3 A  
CINVESTAV DEL IPN  
Guadalajara



Dr. Federico Sandoval Ibarra  
Investigador Cinvestav 2 C  
CINVESTAV DEL IPN  
Guadalajara



Dr. José Alejandro Díaz Méndez  
Profesor Titular A  
SEPI-ESIME-IPN  
México, D.F.



CINVESTAV  
BIBLIOTECA CENTRAL



SSIT000003873