



xx(101607.1)



# **CINVESTAV – IPN**

*Centro de Investigación y de Estudios Avanzados del IPN*  
*Unidad Guadalajara*

**CINVESTAV**  
**IPN**  
**ADQUISICION**  
**DE LIBROS**

*“Diseño de una tarjeta FXS para la transmisión  
de voz a través de una red de datos”*

TESIS QUE PRESENTA:

**JUAN GABRIEL FUENTES NOLASCO**

PARA OBTENER EL GRADO DE:

**MAESTRO EN CIENCIAS**

EN LA ESPECIALIDAD DE:

**INGENIERÍA ELÉCTRICA**

**Guadalajara, Jal. Mayo de 2002**

**CINVESTAV – I.P.N.**  
**SECCION DE INFORMACION**  
**Y DOCUMENTACION**

CLASIF.	
ADQUIS.	Tesis-2002
FECHA	6-agosto-02
PROCED	Srd Bibli

***“Diseño de una tarjeta FXS para la transmisión  
de voz a través de una red de datos”***

Tesis de Maestría en Ciencias  
Ingeniería Eléctrica

Por:

**JUAN GABRIEL FUENTES NOLASCO**

Ingeniero en Electrónica  
Instituto Tecnológico de Ciudad Guzmán. 1992-1997  
Becario del CONACYT, expediente No. 121122

Director de Tesis:

**Dr. José Luis Leyva Montiel**

**CINVESTAV del IPN Unidad Guadalajara. Mayo de 2002**

# **Agradecimientos**

**El desarrollo del presente trabajo no hubiera sido posible sin la ayuda de un gran número de personas que dedicaron parte de su tiempo apoyándome con sugerencias, comentarios y en general brindándome toda clase de ayuda para no perderme en el camino.**

**Quiero agradecer primeramente al CONACYT y a CINVESTAV por haberme abierto las puertas hacia el camino de la superación, haberme proporcionado el soporte económico y sobre todo darme la oportunidad de conocer y trabajar con personas increíblemente capaces que fueron parte de mi motivación en la difícil empresa de cursar esta maestría.**

**Mi especial agradecimiento a mi asesor y amigo, el Dr. José Luis Leyva Montiel, quien me brindó parte de su tiempo y experiencia en la dirección del presente trabajo y de quien además recibí el apoyo y la motivación indispensables para preservar el interés por el desarrollo de sistemas y dispositivos electrónicos.**

**Quiero agradecer al personal de CTS quienes me brindaron su amistad y confianza pero sobre todo, su experiencia en cuestiones de diseño y manejo de herramientas CAD. Es para mi un placer reconocer el soporte obtenido por parte de mis compañeros del CINVESTAV, en especial los compañeros de grupo de Telecomunicaciones quienes incondicionalmente me brindaron su amistad e hicieron de mi estancia en Cinvestav una experiencia indescriptible.**

**Finalmente, quiero dar mi más grande agradecimiento a mis padres, incluyendo a Dios, quienes siempre han dado todo para que yo cumpla todas mis metas.**

# Contenido

<b>CAPÍTULO 1 LA TELEFONÍA IP (VOIP)</b> .....	<b>1</b>
1.1 Que es Telefonía IP.....	1
1.2 Beneficios y motivaciones de la Telefonía IP.....	1
1.3 Estándares Involucrados en la telefonía IP.....	2
1.3.1 Organizaciones relacionadas al desarrollo de la Telefonía por Internet.....	3
1.4 Perspectiva de la Telefonía IP .....	4
<b>CAPÍTULO 2 OBJETIVOS Y REQUERIMIENTOS</b> .....	<b>5</b>
2.1 Objetivos.....	5
2.2 Descripción del proyecto Voz Sobre Internet .....	5
2.3 Ubicación de la tarjeta FXS/IP.....	7
2.4 Requerimientos de la tarjeta FXS/IP.....	7
2.4.1 Interfaz de la Tarjeta FXS/IP con los aparatos telefónicos. ....	7
2.4.2 Interfaz entre la tarjeta FXS/IP y el bus PCI. ....	8
2.4.3 Controlador de la tarjeta FXS/IP .....	8
<b>CAPÍTULO 3 LA TERMINAL H.323</b> .....	<b>10</b>
3.1 La Recomendación ITU-T H.323. ....	10
3.1.1 Conjunto de estándares involucrados .....	10
3.1.2 Componentes de un sistema H.323.....	12
3.1.3 Flujo de mensajes en una comunicación H.323 .....	14
3.2 Descripción de la Terminal H.323.....	15
3.3 Relación entre la Terminal H.323 y la tarjeta FXS/IP.....	16
3.4 Comunicación entre dos tarjetas FXS/IP .....	18
<b>CAPÍTULO 4 ARQUITECTURA DE LA TARJETA FXS/IP</b> .....	<b>22</b>
4.1 Metodología de diseño .....	22
4.2 Arquitectura de la tarjeta FXS/IP .....	23
4.2.1 Circuitos de Línea.....	24

4.2.2	Fuente de alimentación de -48Vdc .....	26
4.2.3	Generador de Voltaje de Timbre .....	26
4.2.4	Bloque de Lógica Programable (FPGA) .....	26
4.2.5	Buffer para Voz .....	26
4.2.6	Microcontrolador .....	26
4.2.7	Interfaz al Bus PCI .....	28
<b>4.3</b>	<b>Arquitectura del FPGA.....</b>	<b>29</b>
4.3.1	Descripción General .....	29
4.3.2	Registros Internos.....	30
4.3.3	Interfaz al microcontrolador.....	31
4.3.4	Interfaz al Bus Local.....	31
4.3.5	Lógica para la Transferencia de voz.....	31
<b>4.4</b>	<b>Flujo de la información en el sistema FXS/IP.....</b>	<b>33</b>
4.4.1	Flujo de la información desde la PC hacia los teléfonos.....	33
4.4.2	Flujo de la información desde los teléfonos hacia la PC.....	34
<b>4.5</b>	<b>Herramientas utilizadas en el diseño de la tarjeta FXS/IP.....</b>	<b>35</b>
<b>CAPÍTULO 5 METODOLOGÍA DE PRUEBA PARA EL FPGA.....</b>		<b>36</b>
<b>5.1</b>	<b>Introducción a la verificación funcional.....</b>	<b>36</b>
<b>5.2</b>	<b>Estrategia de Prueba del FPGA de la tarjeta FXS/IP.....</b>	<b>38</b>
5.2.1	Integración a Nivel Macro .....	38
5.2.2	Integración a Nivel Subsistema .....	39
5.2.3	Integración a Nivel Sistema.....	41
<b>5.3</b>	<b>Resultados .....</b>	<b>41</b>
<b>5.4</b>	<b>Implementación .....</b>	<b>41</b>
<b>CAPÍTULO 6 CONCLUSIONES.....</b>		<b>42</b>
<b>6.1</b>	<b>Conclusiones.....</b>	<b>42</b>
<b>6.2</b>	<b>Trabajo Futuro .....</b>	<b>43</b>

# Índice de Figuras

<b>Figura 2-1. Esquema del sistema VoIP-Cinvestav.....</b>	<b>5</b>
<b>Figura 2-2 Ubicación de la tarjeta FXS/IP.....</b>	<b>7</b>
<b>Figura 3-1. Conjunto de protocolos que integran a H.323 .....</b>	<b>10</b>
<b>Figura 3-2. Componentes de la recomendación H.323.....</b>	<b>12</b>
<b>Figura 3-3. Flujo básico de mensajes entre terminales H.323 .....</b>	<b>14</b>
<b>Figura 3-4. Elementos que integran a una terminal H.323.....</b>	<b>15</b>
<b>Figura 3-5. Terminales H.323 .....</b>	<b>16</b>
<b>Figura 3-6. Integración de la tarjeta FXS/IP en una terminal H.323 .....</b>	<b>17</b>
<b>Figura 3-7. Flujo de mensajes entre dos terminales H.323 integrando la tarjeta FXS/IP (1 de 2).....</b>	<b>18</b>
<b>Figura 3-8. Flujo de mensajes entre dos terminales H.323 integrando la tarjeta FXS/IP (2 de 2).....</b>	<b>19</b>
<b>Figura 4-1. Diagrama a bloques de la tarjeta FXS/IP.....</b>	<b>23</b>
<b>Figura 4-2. Diagrama a bloques del circuito de línea.....</b>	<b>24</b>
<b>Figura 4-3. Diagrama de flujo para el firmware del microcontrolador .....</b>	<b>27</b>
<b>Figura 4-4. Diagrama a bloques del FPGA .....</b>	<b>29</b>
<b>Figura 4-5. Flujo de la información en el sistema FXS/IP.....</b>	<b>33</b>
<b>Figura 4-6. Mecanismo básico para el movimiento de información en la tarjeta FXS. .....</b>	<b>35</b>
<b>Figura 5-1. Metodología fundamental de la verificación funcional .....</b>	<b>36</b>
<b>Figura 5-2. Esquema de verificación mediante una cama de pruebas .....</b>	<b>37</b>
<b>Figura 5-3. Macros del circuito para la transferencia de voz.....</b>	<b>39</b>
<b>Figura 5-4. Esquema de verificación del FPGA a nivel macro .....</b>	<b>40</b>
<b>Figura 5-5. Esquema de verificación a nivel subsistema.....</b>	<b>40</b>
<b>Figura 6-1. Alternativa a futuro para la tarjeta FXS/IP .....</b>	<b>43</b>

---

# **I. Introducción**

Hasta ahora, la red telefónica tanto pública como privada ha sido el medio preferido para el transporte del tráfico de voz, video, y datos. Esta tendencia ha sido motivada principalmente por la omnipresencia de la red telefónica y por la gran cantidad de investigaciones enfocadas a la optimización de la misma. Ejemplo de ello es el estudio y aprovechamiento de las características de la voz así como la implementación de sistemas digitales los cuales han permitido el desarrollo de redes de telefonía altamente eficientes y confiables.

Tradicionalmente, la integración del tráfico de datos y video en el lazo de abonado de la red telefónica se ha llevado a cabo a través de módems los cuales utilizan el mismo ancho de banda que el utilizado por el tráfico de voz. Hasta hace poco, este esquema de integración había funcionado de manera eficiente debido a que el tráfico de datos era menor al de la voz. Sin embargo, el amplio desarrollo de las aplicaciones de multimedia y de la red Internet ha provocado un cambio radical en la forma en que la red telefónica es utilizada. Ahora el tráfico de datos supera por mucho al tráfico de voz lo cual ha motivado al desarrollo de nuevos esquemas de integración de tráfico digital utilizando la misma infraestructura de la red telefónica pública (PSTN, por sus siglas en inglés).

Otro cambio radical que ha impactado la eficiencia de la red telefónica es el incremento en la duración de las llamadas telefónicas esto es, un usuario conectado a la red Internet a través de la red telefónica puede “apropiarse” de la línea telefónica por varias horas. Debido a que la red telefónica trabaja bajo el esquema de la conmutación de circuitos en el cual se proporciona al usuario todo el ancho de banda disponible (64kbps) todo el tiempo (estos circuitos no pueden utilizarse por nadie mas mientras dura la llamada telefónica), el acceso de una cantidad considerable de usuarios a la red Internet utilizando la red telefónica puede llegar a saturar una central telefónica al grado de que sea prácticamente imposible realizar una llamada telefónica normal. Este hecho se ve agravado a medida que más y más usuarios contratan líneas telefónicas secundarias con el fin de tener tanto a los servicios telefónicos comunes como al acceso a Internet desde una PC.

Otro hecho que hace a la PSTN un medio no muy eficiente para el transporte de datos es que este tipo de tráfico es generado en modo de “ráfagas”: después de que una ráfaga de datos es enviada, el circuito de 64kbps permanece inactivo hasta que la siguiente ráfaga de datos es transmitida.

A diferencia de la red telefónica, las redes de datos como Internet proporcionan un esquema basado en la conmutación de paquetes para el envío de información entre cada uno de los elementos que las integran. Este tipo de redes ofrece un ancho de banda variable el cual es siempre utilizado al menos por un elemento activo de la red. En este esquema cada paquete lleva un encabezado en el cual se indica el punto fuente y el punto de destino para el paquete. Un elemento llamado “ruteador” se encarga de redireccionar a cada paquete hacia su destino final; de esta forma no existe nunca un circuito o camino dedicado para cada paquete. Este mecanismo permite un uso más eficiente del ancho de banda que el que se lleva a cabo en las redes telefónicas.

---

El incremento en el tráfico de datos, el poco ancho de banda que la voz requiere y la flexibilidad que las redes de datos proporcionan para llevar a cabo nuevos esquemas de procesamiento de información, ha sido motivo de investigaciones acerca de la factibilidad y ventajas de transportar la voz sobre redes de datos basadas en la conmutación de paquetes (la red Internet principalmente). Por ejemplo, es posible implementar algoritmos de compresión para reducir una llamada clásica de 64kbps a 5kbps y tener mejor utilización del ancho de banda disponible así como un costo menor en llamadas de larga distancias y/o entre oficinas corporativas.

Aunque existe gran inquietud en este nuevo enfoque, no será posible reemplazar por completo y de la noche a la mañana a la clásica red telefónica por nuevas redes de datos basadas totalmente en la conmutación de paquetes. Sin embargo, a pesar de las complicaciones (principalmente el costo) que representa el cambio de un tipo de red a otro, este reemplazo está llevándose a cabo motivado también por la flexibilidad que presentan las redes datos para implementar nuevos tipos de servicios, aplicaciones de multimedia y algoritmos de procesamiento de información.

El reto principal en la realización de sistemas de voz sobre redes IP es el proporcionar un servicio de calidad similar o mejor que el ofrecido por la red telefónica actual. Esto significaría que un usuario común no haga distinción cuando una comunicación telefónica se establezca a través de la red telefónica pública conmutada o a través de la red Internet.

El presente documento describe el diseño del sistema FXS/IP el cual permite conectar un número de aparatos telefónicos con una red de datos a través de una PC habilitando la posibilidad de transmitir la voz a través de la red de datos local, la red Internet o incluso a través de la PSTN.

Esta tarjeta forma parte del proyecto denominado VoIP-Cinvestav en el cual se propone un esquema para la transmisión de voz a través de una red basada en la conmutación de paquetes en donde teléfonos tradicionales y computadoras comparten un canal de transmisión común. La arquitectura del proyecto VoIP-Cinvestav, el cual incluye a otros 5 temas de tesis, fue desarrollada en CINVESTAV Unidad Guadalajara.

## **II. Propósito del Documento**

El presente documento tiene el propósito de dar a conocer el trabajo de tesis "*Diseño de una tarjeta FXS para la transmisión de voz a través de una red de datos*" desarrollado en CINVESTAV Unidad GDL.

El documento presenta la arquitectura y la funcionalidad de la tarjeta FXS/IP así como la metodología seguida para el diseño de la misma.

El documento también proporciona información técnica general (definiciones, nomenclatura, estándares, arquitectura) relacionada a la transmisión de voz sobre Internet. Esta información puede ser de utilidad para toda aquella persona interesada en incursionar en el desarrollo de terminales de baja complejidad para sistemas VoIP. Este documento debe tomarse como una referencia básica para el diseño de tales sistemas.

---

### **III. Audiencia**

La audiencia de este documento incluye a cualquier persona interesada ya sea en entender aspectos básicos de la telefonía por Internet o en el desarrollo sistemas de baja complejidad utilizados en esta tecnología aún en desarrollo.

Es recomendable sin embargo, que el lector tenga un conocimiento básico acerca de los temas tratados en el cuerpo de la tesis tales como el diseño lógico, los circuitos impresos, las redes de computadoras y temas de telefonía lo cual incluye protocolos, estándares y dispositivos utilizados en los sistemas telefónicos tradicionales.

### **IV. Organización de los capítulos**

La tesis se encuentra organizada en seis capítulos y cuatro apéndices. El Capítulo 1 presenta una introducción a la telefonía por Internet en la cual se incluye la definición de esta tecnología, los principales estándares existentes y algunos de los grupos y foros relacionados con la telefonía por IP.

El Capítulo 2 describe los objetivos a lograr con el desarrollo de esta tesis así como los requerimientos que la tarjeta FXS/IP debe cumplir para ser totalmente funcional. En este mismo capítulo se describe en forma general el proyecto de Voz Sobre Internet (VoIP-Cinvestav) propuesto en CINVESTAV-GDL del cual forma parte la tarjeta FXS/IP.

El Capítulo 3 presenta una breve descripción de una terminal que cumple con los requerimientos establecidos por el conjunto de estándares H.323. Al inicio del capítulo se hace una referencia a la recomendación H.323 en donde se describen los principales componentes especificados por ésta. Se describen también el flujo de mensajes entre terminales del sistema VoIP-Cinvestav en los que se involucra la tarjeta FXS/IP.

El Capítulo 4 presenta la arquitectura de la tarjeta FXS/IP. La primer parte del capítulo describe la metodología de diseño seguida en el desarrollo de la tarjeta. Después, se hace una descripción de la arquitectura de la tarjeta explicando la funcionalidad de cada uno de los bloques que la integran. Se presenta también una descripción de como se realiza el flujo de la información en la tarjeta. La última parte del capítulo presenta la arquitectura del circuito FPGA incluido en la tarjeta describiendo brevemente la funcionalidad de cada uno de sus bloques. El capítulo no menciona los nombres de fabricantes ni los detalles técnicos de los componentes; esto se describe en [16].

El Capítulo 5 describe la estrategia seguida para la verificación funcional del FPGA utilizando una herramienta de simulación. Se comenta brevemente los resultados obtenidos en la simulación.

El Capítulo 6 presenta las conclusiones, críticas y observaciones acerca del desarrollo del presente trabajo. Se describe también el posible trabajo futuro en caso de que se le diera continuación a la presente tesis.

El apéndice A incluye la especificación técnica de la tarjeta, documento escrito en inglés.

El apéndice B incluye la especificación técnica del FPGA, documento escrito en inglés.

El apéndice C incluye el plan de pruebas del FPGA, documento escrito en inglés.

El apéndice D incluye los diagramas esquemáticos de la tarjeta.

---

Los documentos incluidos como apéndices se encuentran en el disco compacto que acompaña al presente documento.

## **V. Términos Ingleses y Abreviaciones**

Esta sección describe las abreviaciones y acrónimos utilizados a lo largo del documento.

**ATM.** (*Asynchronous Transfer Mode*). Modo de Transferencia Asíncrona

**BORSCHT:** (*Battery, Overvoltage protection, Ringing, Supervision, Coding-decoding, Hybrid, Test*). Batería, Protección de Sobrevoltaje, Voltaje de Timbre, Supervisión, Codificación-Decodificación, Circuito Híbrido, Prueba.

**CODEC:** (*Coder – Decoder*). Codificador-Decodificador.

**DTMF:** (*Dual Tone MultiFrequency*). Tono Doble de Múltiple Frecuencia.

**FPGA:** (*Field-Programmable Gate Array*). Arreglo de compuertas programable.

**FXS:** (*Foreign eXchange Station*). Sistema de Central Externa.

**IETF:** (*Internet Engineering Task Force*). Fuerza Operante de Ingeniería Internet.

**IP:** (*Internet Protocol*). Protocolo Internet

**ISDN:** (*Integrated Services Digital Network*). Red Digital de Servicios Integrados.

**ITU-T:** (*International Telecommunication Union*). Unión Internacional de Telecomunicaciones.

**LAN:** (*Local Area Network*). Red de área local. (intra oficina, entre edificios)

**MCU:** (*Multipoint Control Unit*). Unidad de control multipunto.

**MC:** (*Multipoint Controller*). Controlador Multipunto.

**MP:** (*Multipoint Processor*). Procesador Multipunto.

**PBX:** (*Private Branch eXchange*). Sistema de conmutación telefónico privado

**PCM:** (*Pulse Code Modulation*). Modulación por Pulsos Codificados.

**PSTN:** (*Public Switched Telephone Network*). La red telefónica pública conmutada.

**QoS:** (*Quality of Service*). Calidad de Servicio

---

**SLIC:** (*Subscriber Loop Interface Circuit*). Circuito Interfaz al Lazo de Abonado

**VHDL:**(*Very High Speed Integrated Circuit Hardware Description Language*).Lenguaje para la descripción de circuitos integrados de muy alta velocidad.

**VoIP:** (*Voice Over IP*). Voz sobre Internet

# Capítulo 1 La Telefonía IP (VoIP)

---

## ***1.1 Que es Telefonía IP***

La telefonía IP o VoIP (del inglés Voice Over IP) puede definirse como el mecanismo para realizar llamadas telefónicas y enviar facsímiles a través de redes de datos con una calidad de servicio (QoS) no garantizada conservando todos los servicios que ofrecen las redes telefónicas actuales.

## ***1.2 Beneficios y motivaciones de la Telefonía IP***

Existen motivaciones tanto técnicas como financieras para la Telefonía IP. Algunos de los beneficios se deducen a partir de la relativa ineficiencia de la red telefónica para el transporte de datos y video.

Las principales motivaciones y justificaciones de este tipo de sistemas y del presente trabajo son del tipo financieras, por ejemplo:

- a) Una llamada clásica utiliza un canal dedicado de 64kbps mientras que a través de Internet es posible utilizar un flujo de alrededor de 6kbps para la misma llamada lo cual reduce los costos en gran medida.
- b) Al utilizar la red de datos para el envío de la voz, el cableado dedicado a la red telefónica es eliminado. Esto reduce o incluso elimina también los costos de mantenimiento y renta de sistemas PBXs.
- c) Permite a las compañías de cable proporcionar el servicio telefónico local

En el aspecto técnico, las nuevas tecnologías para el transporte de datos a altas velocidades justifican el transporte de voz a través de redes de paquetes conmutados como una aplicación mas de datos.

Otro aspecto justificante es la creación de nuevos servicios y características de forma inmediata. La red PSTN no proporciona esta flexibilidad debido a que está construida sobre una infraestructura en la que solo los fabricantes del equipo proporcionan las aplicaciones para éste. La red de datos presenta una infraestructura más flexible en la que los proveedores de servicios tienen el campo abierto para el desarrollo de aplicaciones a un costo menor.

El control del ancho de banda es otra motivación para el desarrollo de la Telefonía por Internet. La red de datos tiene la capacidad de usar el ancho de banda solo cuando éste se requiere. En cambio, una llamada telefónica a través de la PSTN requiere de un circuito dedicado entre los dos teléfonos. Aun cuando existen espacios de tiempo en los que los circuitos telefónicos no se utilizan durante una llamada, la central telefónica no cuenta con los mecanismos necesarios para hacer uso del ancho de banda que no se está utilizando.

La posibilidad de transportar voz (y Fax) a través de una red de IP proporciona una forma efectiva y atractiva de reducir los costos de mantenimiento y operación que requieren dos redes distintas. Además, las corporaciones que cuentan con una red entre oficinas podrían hacer ahorros en su servicio telefónico interno al no utilizar la red telefónica pública.

### ***1.3 Estándares Involucrados en la telefonía IP***

Esta sección describe brevemente los protocolos y estándares involucrados en el desarrollo de un sistema de transmisión de voz a través de una red datos basada en la conmutación de paquetes.

A medida que la telefonía por IP evoluciona, surgen nuevos estándares y se realizan mejoras a los ya existentes. La observancia de los estándares al diseñar tienen como finalidad la implementación de sistemas que proporcionen una mejor calidad de servicio y mecanismos de control, administración y mantenimientos más confiables.

Por el momento, los principales estándares son:

#### ***H.323.***

Esta es una recomendación de la ITU-T que especifica la forma de transportar multimedia (Voz, datos y video) a través de redes de datos. H.323 es la recomendación más utilizada debido a que antes del desarrollo de ésta no se había definido un protocolo o estándar para la tecnología VoIP. H.323 reutiliza estándares ya existentes para especificar sus requerimientos.

H.323 fue la base para desarrollo de la arquitectura del sistema VoIP-Cinvestav. En el Capítulo 3 se presenta una mayor descripción de los elementos de H.323.

#### ***SGCP (Single Multimedia Gateway Control Protocols)***

SGCP fue desarrollado en 1998 para reducir los costos de Gateways (interfaces para interconectar diferentes tipos de redes).

Este protocolo utiliza elementos para el control de las conexiones entre diferentes tipos de Gateways. SGCP especifica una arquitectura en la cual el control de la llamada se realiza fuera del Gateway a través de elementos llamados agentes de llamada.

El protocolo SGCP se utiliza para establecer, mantener y desconectar llamadas a través de redes que utilizan el protocolo IP.

Los elementos básicos de SGCP son:

- *Puntos de comunicación (endpoints)*. Son los puntos de origen y destino de la información.
- *Conexiones*. Las cuales pueden ser punto a punto o en difusión.
- *Llamadas*. Estas están formadas por un grupo de conexiones.
- *Agentes de Llamada*. Son elementos externos que proporcionan un control inteligente de llamada para redes de voz sobre Internet.
- *Mapas de dígitos*. Mecanismos utilizados en los Gateways para el envío de los números marcados por el usuario hacia un agente de llamada.

**IPDC (Internet Protocol Device Control)**

Este protocolo es muy similar a SGCP con la diferencia de que incluye distintos mecanismos para las realizar funciones de operación, administración y mantenimiento.

**MGCP (Multimedia Gateway Control Protocols)**

El protocolo MGCP fue desarrollado en 1998 por el grupo Fuerza Operante de Ingeniería Internet (IETF, por sus siglas en inglés). MGCP surgió de la unión de SGCP e IPDC por lo que incluye las características y ventajas de estos estándares.

**SIP (Session Initial Protocol)**

Este es un protocolo desarrollado por la IETF el cual es utilizado para establecer, mantener y terminar sesiones de multimedia. Estas sesiones incluyen telefonía por Internet, conferencias, y aplicaciones sencillas que involucren audio, datos y video.

SIP ofrece muchas ventajas como una plataforma para la programación de servicios de telefonía debido a su modelo simple de petición-repuesta.

**1.3.1 Organizaciones relacionadas al desarrollo de la Telefonía por Internet**

Las principales organizaciones que proporcionan estándares y recomendaciones relacionadas a la telefonía por Internet son:

- **International Telecommunication Union.** Telecommunication Standardization Sector. (ITU-T). <http://www.itu.int/home/index.html>
- **Internet Engineering Task Force.** (IETF). <http://www.ietf.org>
- **European Telecommunication Standards Institute (ETSI).** <http://www.etsi.org/>
- **Electrical Industries Association/ Telecommunications Industry Association.** (EIA-TIA). <http://www.eia.org/>
- **International Multimedia Teleconferencing Consortium,** <http://www.imtc.org/>
- **Voice On The Net (VON) Coalition,** <http://www.von.org/>
- **MIT Internet Telephony Consortium,** <http://itel.mit.edu/>
- **Enterprise Computer Telephony Forum (ECTF),** <http://www.ectf.org/>
- **Cablelabs PacketCable,** <http://www.packetcable.com/>
- **ETSI SPAN (Service and Protocols for Advanced Networks) Project,** <http://www.etsi.org/span/Overview.htm>
- **ETSI TIPHON (Telecommunications and Internet Protocol Harmonization over Networks) Project,** <http://www.etsi.org/tiphon/>
- **IP Telephony (iptel),** <http://www.ietf.org/html.charters/iptel-charter.html>
- **Service in the PSTN/IN Requesting Internet Service (spirits),** <http://www.ietf.org/html.charters/spirits-charter.html>
- **Session Initiation Protocol (sip),** <http://www.ietf.org/html.charters/sip-charter.html>
- **Signaling Transport (sigtran),** <http://www.ietf.org/html.charters/sigtran-charter.html>
- **Media Gateway Control (megaco),** <http://www.ietf.org/html.charters/megaco-charter.html>
- **Internet Fax (fax),** <http://www.ietf.org/html.charters/fax-charter.html>

- **Instant Messaging and Presence Protocol (impp)**, <http://www.ietf.org/html.charters/impp-charter.html>
- **Internet Message Access Protocol Extension (imapext)**, <http://www.ietf.org/html.charters/imapext-charter.html>
- **Voice Profile for Internet Mail (vpim)**, <http://www.ietf.org/html.charters/vpim-charter.html>
- **Audio/Video Transport (avt)**, <http://www.ietf.org/html.charters/avt-charter.html>

### ***1.4 Perspectiva de la Telefonía IP***

A medida que la disponibilidad del ancho de banda y la calidad del servicio de la red IP mejoren, la tendencia de trasportar el tráfico de voz a través de la red Internet se verá fortalecida. El tráfico se verá diferenciado por aplicaciones y no por circuitos de conmutación físicos. Las nuevas tecnologías, como Fast Ethernet, Giga Ethernet y las redes ópticas, serán la base para la implementación de los mecanismos que permitan integrar la voz al tráfico de datos proporcionando la calidad de servicio que actualmente ofrece la red telefónica pública conmutada.

Es previsible que a medida que los sistemas de VoIP sean más robustos, la cantidad de comunicaciones simultáneas que estos sistemas soporten será considerablemente mayor. Esto permitirá a las corporaciones implementar sistemas más complejos enfocados a la reducción de los costos ocasionados por los altos volúmenes de trafico de multimedia que sus operaciones requieren. La independencia de IP de la arquitectura sobre la que está implementada (ATM, Ethernet, etc.) será una de las principales justificaciones para la convergencia de los diferentes tipos de tráfico.

Hasta ahora, los retos y problemas a solucionar para el desarrollo de productos para telefonía IP incluyen:

- a) Lograr una calidad de voz que sea comparable a la ofrecida por la red telefónica pública.
- b) La implementación de mecanismos para minimizar los rechazos de llamada, los retardos en la red de datos, la pérdida de paquetes y las desconexiones.
- c) Lograr que la señalización en la llamada sea transparente al usuario, es decir, que éste no se entere sobre que tecnología (PSTN o VoIP) se está proporcionando el servicio.
- d) Implementación de Gateways robustos para la intercomunicación entre la PSTN y VoIP.
- e) Implementación de servicios de administración, seguridad, directorios, esquemas de marcación, y tarificación.

# Capítulo 2 Objetivos y requerimientos

La primer parte de este capítulo muestra los objetivos a lograr con esta tesis. Enseguida se presenta una descripción general del proyecto VoIP del cual forma parte la tarjeta FXS/IP. Después se describe la interacción de la tarjeta FXS/IP con el resto del sistema haciendo énfasis en las funciones generales que realiza la tarjeta. Por último se especifican los requerimientos generales que la tarjeta FXS/IP debe cumplir. Para una descripción mas detallada de los requerimientos, se puede consultar [16].

## 2.1 Objetivos

Los objetivos de la presente tesis son:

- 1) Diseñar una tarjeta FXS que permita interconectar 4 aparatos telefónicos a una red de datos basada en la conmutación de paquetes.
- 2) Seleccionar los componentes electrónicos a partir de lo disponible en el mercado.
- 3) Realizar la captura esquemática.
- 4) Realizar el circuito impreso de la tarjeta.
- 5) Redactar la documentación requerida a lo largo del flujo de diseño de la tarjeta; esto incluye especificaciones, planes de prueba y esquemáticos.

## 2.2 Descripción del proyecto Voz Sobre Internet

La Figura 2-1 muestra la estructura del sistema de transmisión de voz a través de una red basada en la conmutación de paquetes propuesto en CINVESTAV Unidad Guadalajara.

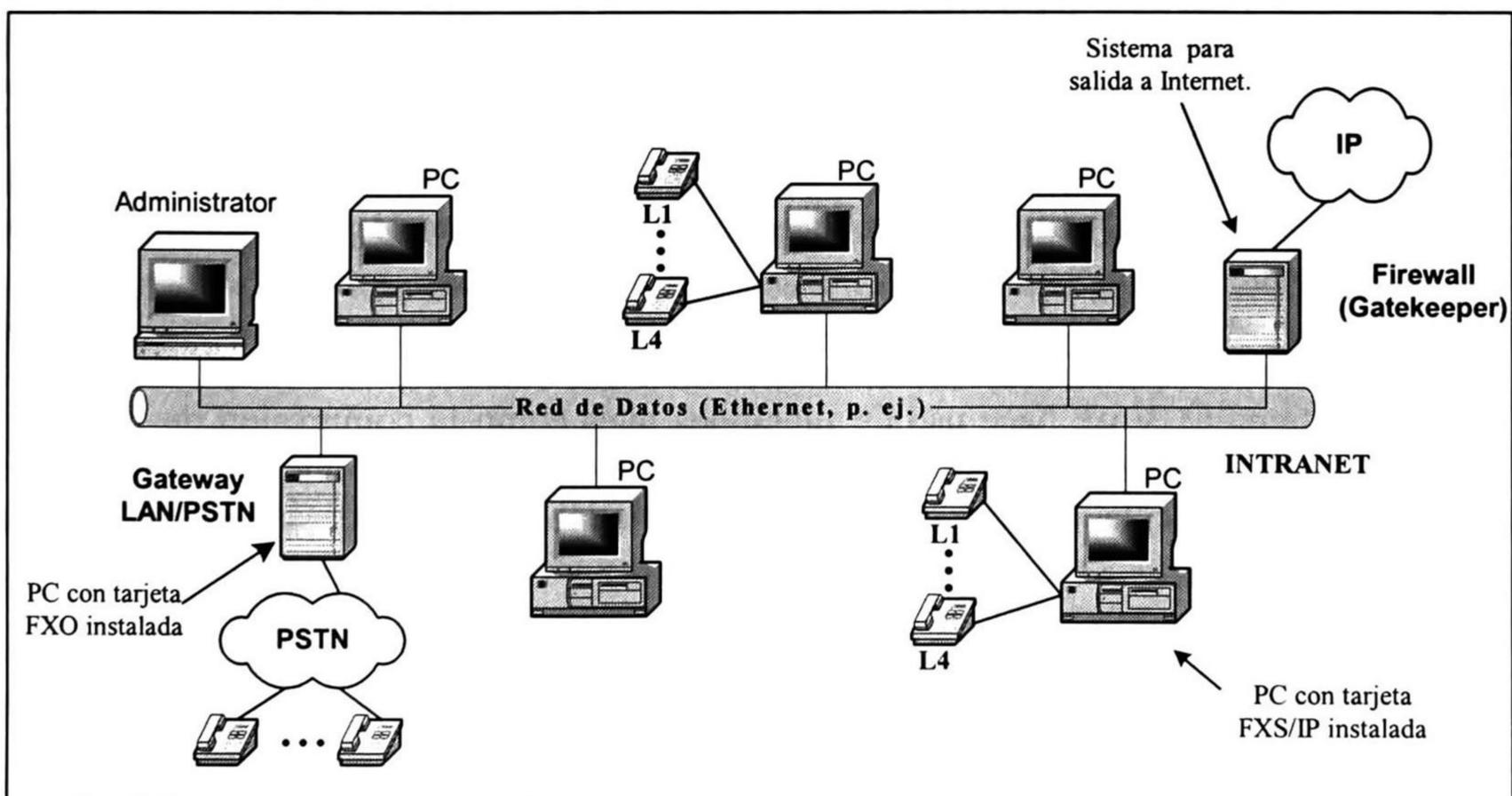


Figura 2-1. Esquema del sistema VoIP-Cinvestav.

Con este sistema de red interna o Intranet se pretende realizar la transmisión de voz y datos a través de un medio de transmisión común lo cual evita el hecho de tener que instalar, rentar y proporcionar el mantenimiento de dos redes de transmisión de información diferentes (voz y datos). Esta es una de las principales ventajas que brinda este tipo de sistemas

En la Figura 2-1 se muestra una red de datos Ethernet como el medio de transmisión común; sin embargo, es posible utilizar cualquier otro tipo de red de datos basada en la conmutación de paquetes. Esta facilidad se debe a que las interfaces necesarias se encuentran instaladas en una PC a través de la cual se conectan la red de datos y los teléfonos.

Con este esquema es posible establecer una comunicación entre cualquier par de teléfonos dentro del edificio en donde se encuentra instalado el sistema, acceder cualquier teléfono conectado a la red telefónica pública conmutada o incluso realizar una comunicación entre teléfonos conectados en dos sistemas VoIP remotos interconectados a través de la red IP.

Para comunicar el sistema VoIP-Cinvestav con la red telefónica pública conmutada éste cuenta con una tarjeta FXO instalada en una de las PC's tal y como se muestra en la Figura 2-1. El diseño de una tarjeta FXO para el sistema VoIP-Cinvestav se presenta en [13].

El sistema también tiene la capacidad de establecer una comunicación al exterior de la red local a través de la red de Internet. Para lograr esta función, se requiere de un sistema que permita el control de la seguridad para el acceso desde la red de Internet hacia la Intranet o red local y viceversa. Comúnmente, éste sistema recibe el nombre de Firewall y puede ser implementado como un elemento de la recomendación H.323 llamado Gatekeeper tal y como se muestra en la Figura 2-1. En la sección 3.1.2 se describen algunas de las funciones principales del Gatekeeper de H.323.

El sistema VoIP-Cinvestav cuenta con tarjetas FXS/IP instaladas en algunas de las PCs para poder realizar las funciones de un sistema telefónico (p.ej un PBX ). Cada una de estas tarjetas funciona como interfaz la cual permite la conexión de un número de teléfonos analógicos a la red de datos. Esta interfaz proporciona la señalización necesaria para los teléfonos y realiza la conversión analógica-digital y digital-analógica de la voz; la tarjeta también proporciona la mayoría de las facilidades y funciones básicas que una central telefónica proporciona a un teléfono conectado a una línea analógica. Este documento presenta el diseño de tal interfaz.

Para lograr mantener las mismas características de comunicación que ofrece un teléfono clásico, el sistema de VoIP hace uso de funciones tales como la compresión de la voz, el control de las llamadas, la tarificación de llamadas, el control del ancho de banda disponible, control de la calidad del servicio, medición de estadísticas del sistema, la conversión de direcciones de Internet a números telefónicos, entre algunas otras. El diseño y la propuesta para la implementación de estas funciones se describe en [15],[14] y [30].

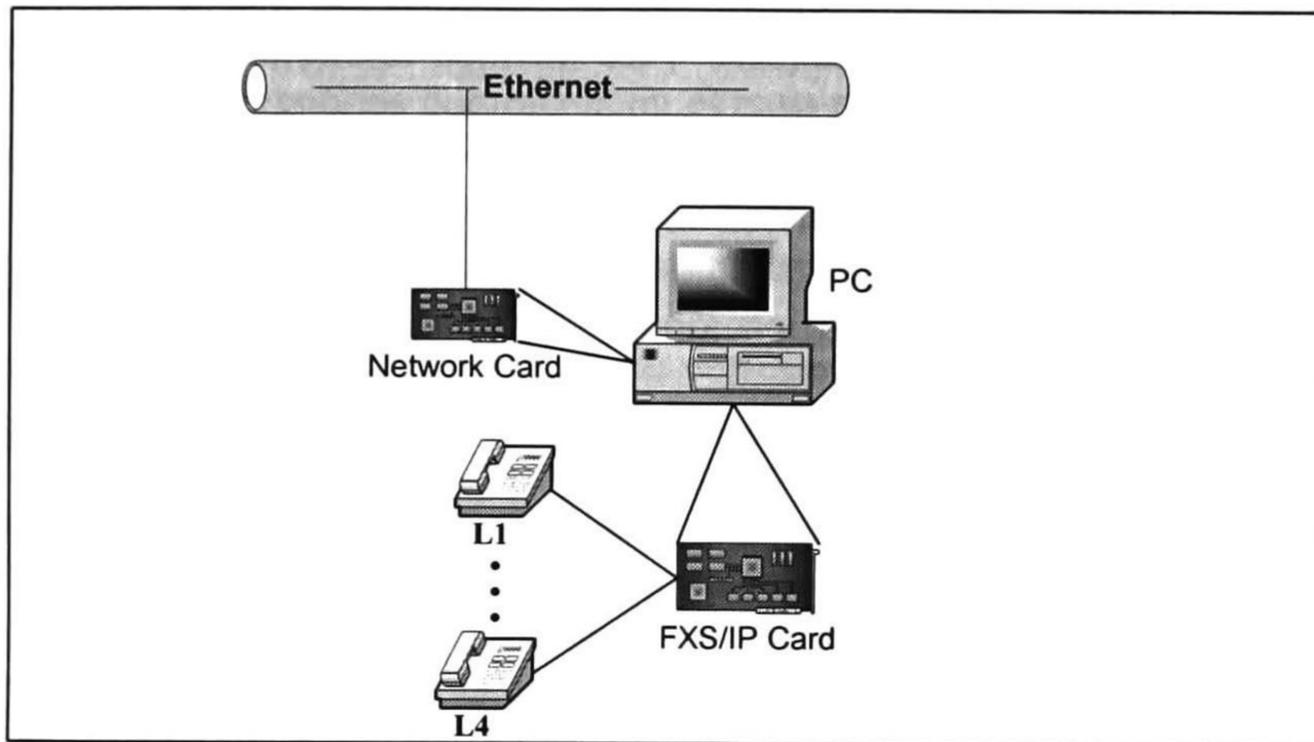
Para lograr la compatibilidad con otros sistemas similares (PBXs identificadores de llamadas, sistemas de correo de voz, etc) desarrollados por otras compañías, el sistema VoIP-Cinvestav cumple con los estándares descritos en la recomendación H.323 desarrollada por la ITU-T para el soporte de sistemas VoIP.

### 2.3 Ubicación de la tarjeta FXS/IP

El sistema FXS/IP es una tarjeta del tipo PCI la cual se inserta en una ranura de una computadora personal. La tarjeta tiene la capacidad de manejar hasta 4 aparatos telefónicos analógicos. La Figura 2-2 muestra la ubicación de la tarjeta FXS/IP en el sistema VoIP.

La tarjeta FXS/IP proporciona funciones tales como la generación del voltaje de  $-48V$ , el voltaje de timbrado, la conversión digital-analógica, analógica-digital de la voz así como la señalización necesaria para la marcación y el establecimiento de una llamada.

Las siguientes secciones presentan en mas detalle todas las características propuestas para el diseño de la tarjeta.



**Figura 2-2 Ubicación de la tarjeta FXS/IP**

### 2.4 Requerimientos de la tarjeta FXS/IP

Esta sección presenta los requerimientos para el diseño de la tarjeta FXS/IP. La descripción de los mismos se realiza en dos partes: la primera describe los requerimientos de la interfaz entre la tarjeta FXS/IP y los aparatos telefónicos, y la segunda describe los requerimientos de la interfaz entre la tarjeta FXS/IP y el bus PCI. Al final de la sección se describen brevemente también los requerimientos del controlador de la tarjeta (device driver).

#### 2.4.1 Interfaz de la Tarjeta FXS/IP con los aparatos telefónicos.

Funciones requeridas:

- Proporcionar el voltaje de alimentación de  $-48VDC$  a cada una de las cuatro líneas telefónicas.
- Proporcionar la protección a sobrevoltaje para cada línea telefónica. Esta protección es una obligación para proteger al usuario de cualquier corto circuito de las líneas telefónicas con las líneas de alimentación o fuentes de alto voltaje cercanas al cableado telefónico.

- c) Proporcionar el voltaje de timbrado para cada uno de los teléfonos. La amplitud del voltaje, la frecuencia y la cadencia de la señal de timbre deben cumplir con los estándares para los siguientes países: México, EUA, Canadá.
- d) Proporcionar la conversión analógica-digital y digital-analógica de la voz, basándose en las leyes  $\mu$  y A.
- e) Compresión de voz bajo el estándar G.711.
- f) Proporcionar el Circuito Interfaz de Lazo de Subscriptor SLIC (*Subscriber Loop Interface Circuit*) para el control de la señalización hacia los teléfonos. La señalización para la toma (“*seizure*”) de la línea telefónica será del tipo “*Loop-Start*”
- g) Manejo de la señalización DTMF (Tonos Duales de Frecuencia Múltiple).
- h) Incorporar un sistema de identificación de llamadas.
- i) Proporcionar el control de la configuración, activación y desactivación de los diferentes dispositivos incluidos en la tarjeta.

#### **2.4.2 Interfaz entre la tarjeta FXS/IP y el bus PCI.**

Esta interfaz debe:

- a) Proporcionar interconexión con el bus PCI a 33 MHz.
- b) Realizar el intercambio de datos entre la tarjeta FXS/IP y la tarjeta de red.
- c) Realizar el manejo de la señalización DTMF a través de un canal seguro.
- d) Configurar las funciones de la tarjeta y monitorear el estado de las comunicaciones que se encuentren en progreso en la tarjeta.

#### **2.4.3 Controlador de la tarjeta FXS/IP**

En general, este software proporcionará servicios a la capa de aplicación para el control y monitoreo de la tarjeta FXS/IP. Todas las funciones de acceso a la tarjeta serán ejecutadas por el controlador o Device Driver.

El controlador deberá:

- 1) Proporcionar funciones de lectura y escritura a los elementos de memoria incluidos en la tarjeta utilizando comandos para el bus PCI.
- 2) Realizar la transferencia bidireccional de la voz digitalizada entre la capa de aplicación y la tarjeta FXS/IP. La voz es obtenida de y enviada a la tarjeta de red.

- 3) Enviar a la tarjeta FXS/IP los tonos para la señalización telefónica (invitación a marcar, tono de ocupado y tono de timbrado). La capa de aplicación se encarga de proveer al device driver con el tono de señalización adecuado.
- 4) Controlar la cadencia de la señal de timbrado.
- 5) Transferencia de los tonos DTMF entre la aplicación y la tarjeta FXS/IP.
- 6) Implementar una subrutina de configuración básica de la tarjeta FXS/IP

Tratándose de un controlador bajo el sistema operativo Windows, éste no tendrá la capacidad de realizar decisiones complejas en el caso de que ocurra un evento en la tarjeta. El controlador solo enviará la información generada en la tarjeta a la capa de aplicación y viceversa. La capa de aplicación se encargará de tomar las decisiones y utilizará los servicios del controlador para realizar el acceso al hardware. Véase [14].

# Capítulo 3 La terminal H.323

En este capítulo se describe la Terminal H.323. Se revisa también brevemente la recomendación H.323 en la cual se basa la arquitectura del sistema VoIP-Cinvestav. Se presenta una breve descripción de los protocolos que forman parte de ésta así como los componentes involucrados en una red de datos basada en la conmutación de paquetes que cumple con dicha recomendación.

Se describen también los escenarios de flujo de mensajes entre dos tarjetas FXS/IP y entre una tarjeta FXS/IP y la tarjeta FXO/IP encargada de la comunicación de la red de datos con la red PSTN. La descripción de estos escenarios no incluye los mensajes especificados por H.323 para el establecimiento, ejecución y finalización de una comunicación debido a que los protocolos para tales funciones se implementan en la capa de aplicación en la PC.

## 3.1 La Recomendación ITU-T H.323.

La recomendación H.323 de la ITU-T (International Telecommunications Union Telecommunication Standardization Sector) especifica los requerimientos técnicos para los sistemas de comunicación donde los diferentes tipos de tráfico (voz, datos y video) utilizan una red de datos basada en la conmutación de paquetes como un medio compartido de transmisión. Para lograr esto, H.323 reúne estándares ya existentes como por ejemplo el G.723 para la codificación y compresión de voz, el H.261 para codificación de video o el Q.931 para el establecimiento de una llamada. Esto hace de H.323 un protocolo complejo pero flexible en el soporte de las aplicaciones complejas de multimedia a través de una red de datos no confiable como la Internet.

### 3.1.1 Conjunto de estándares involucrados

La Figura 3-1 muestra el conjunto de protocolos considerados en la recomendación H.323.

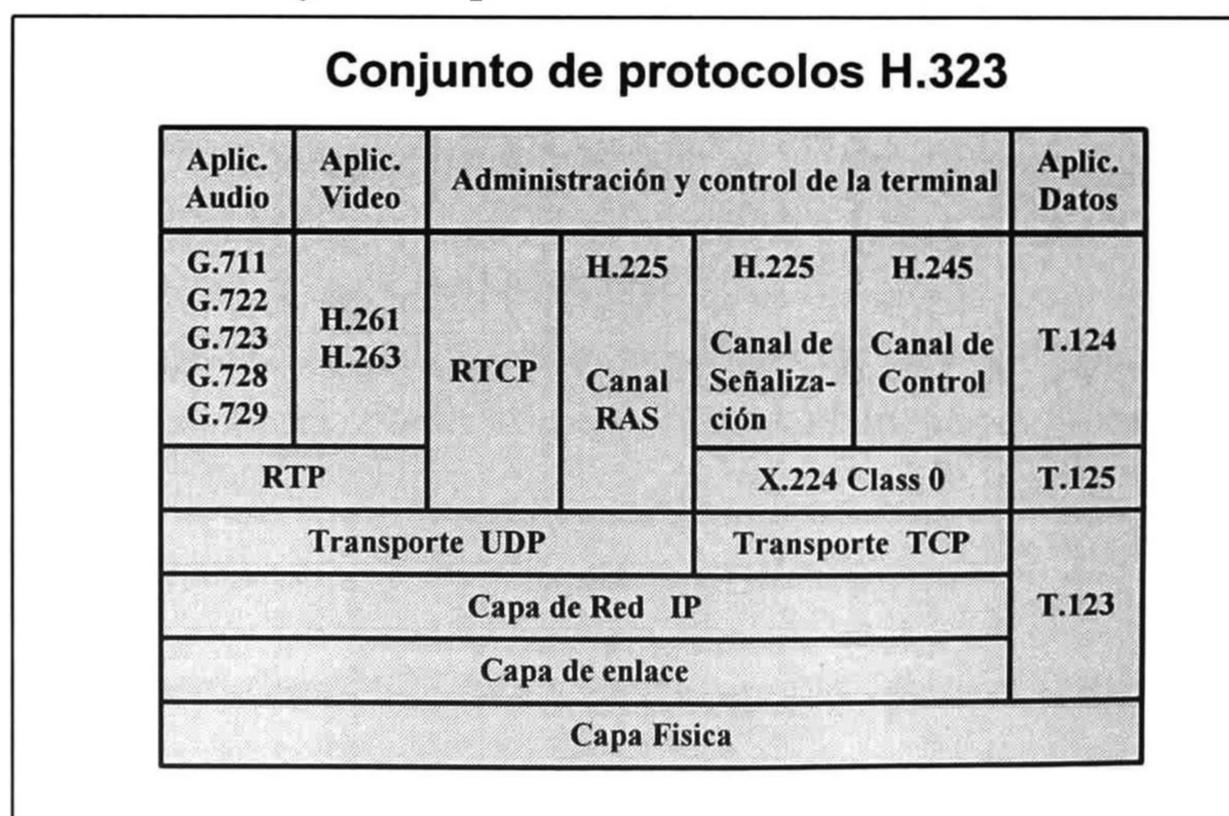


Figura 3-1. Conjunto de protocolos que integran a H.323

Las capas de transporte, red, enlace y la capa física mostradas en la Figura 3-1 no forman parte de la especificación de H.323. Estas dependen de la red de datos local.

A continuación se describe brevemente la función de los protocolos más importantes de H.323 relacionados con la transmisión de voz por Internet.

- **H.225.** Protocolo para el control de la señalización de la llamada. H.225 utiliza la señalización del estándar Q.931 y Q.932. H.225 crea un canal confiable para el control de la llamada a través del puerto TCP/IP 1720. Este puerto inicia el envío de los mensajes entre los componentes en comunicación con el propósito de establecer, mantener y desconectar comunicaciones.
- **H.225 RAS** (*Registro, Admisión y Estado*). Este protocolo proporciona la señalización necesaria para el control y el establecimiento de una comunicación entre el Gatekeeper y otro elemento H.323. El canal RAS es el primer canal que se establece al iniciar una comunicación cuando existe un Gatekeeper. El canal RAS es una conexión UDP (no confiable) a través del cual se envían los mensajes para el registro, la aceptación, control del ancho de banda, condición de la red, y los mecanismos de desconexión.
- **H.245** (*Media Control and Transport*). Este protocolo proporciona señalización de control la cual consiste en el intercambio de mensajes punto a punto entre dos elementos H.323. Los mensajes de control se envían a través de un canal de control lógico (canal lógico 0) el cual se mantiene abierto de forma permanente. A través de este canal se realizan los intercambios de capacidades, así como la apertura y cierre de canales lógicos entre las terminales involucradas en una comunicación. Los canales lógicos abiertos son usados tanto para la transmisión (a través de RTP) del audio, datos, video como para el monitoreo de la comunicación (a través de RTCP).
- **RTP** (*Real Time Protocol*). Protocolo de tiempo real punto a punto el cual utiliza las capas de transporte (UDP) existentes para el acarreo de la información con requerimientos de tiempo real.
- **RTCP** (*Real Time Control Protocol*). Protocolo para el monitoreo de la calidad de servicio y para transportar información acerca de las características de los elementos en comunicación. RTCP realiza el monitoreo la calidad del servicio pero no proporciona funciones para establecer los parámetros modifiquen la calidad del mismo.
- **Q.931** Protocolo que especifica el control básico de la llamada. Es utilizado por H.225.

- **Protocolos para el soporte de audio.**

<b>Protocolo</b>	<b>Descripción</b>
<b>G.711</b>	Modulación por pulsos codificados (PCM, por sus siglas en inglés) con una tasa de transferencia de 64kbps. Se consideran ambas reglas de compansión (ley $\mu$ y ley A)
<b>G.722</b>	Codificador de voz de banda ancha operando a 64, 56 o 48 kbps
<b>G.723.1</b>	Codificador de voz para aplicaciones de multimedia con una tasa de transferencia de 6.3 o 5.3kbps.
<b>G.728</b>	(LD-CELP) Codificador de voz de bajo retardo basado en la codificación por predicción lineal con una tasa de transferencia de 16kbps.
<b>G.729</b>	(CS-ACELP) Codificador de voz basado en la codificación por predicción lineal con una tasa de transferencia de 8kbps

El sistema VoIP-Cinvestav maneja los protocolos G.711, G.723 y G.729.

### 3.1.2 Componentes de un sistema H.323

La recomendación de una red H.323 (también llamado zona H.323) incluye Terminales, Gateways, Gatekeepers y Unidades de Control Multipunto (MCU, por sus siglas un inglés).

La Figura 2-2 muestra los componentes principales de un sistema H.323.

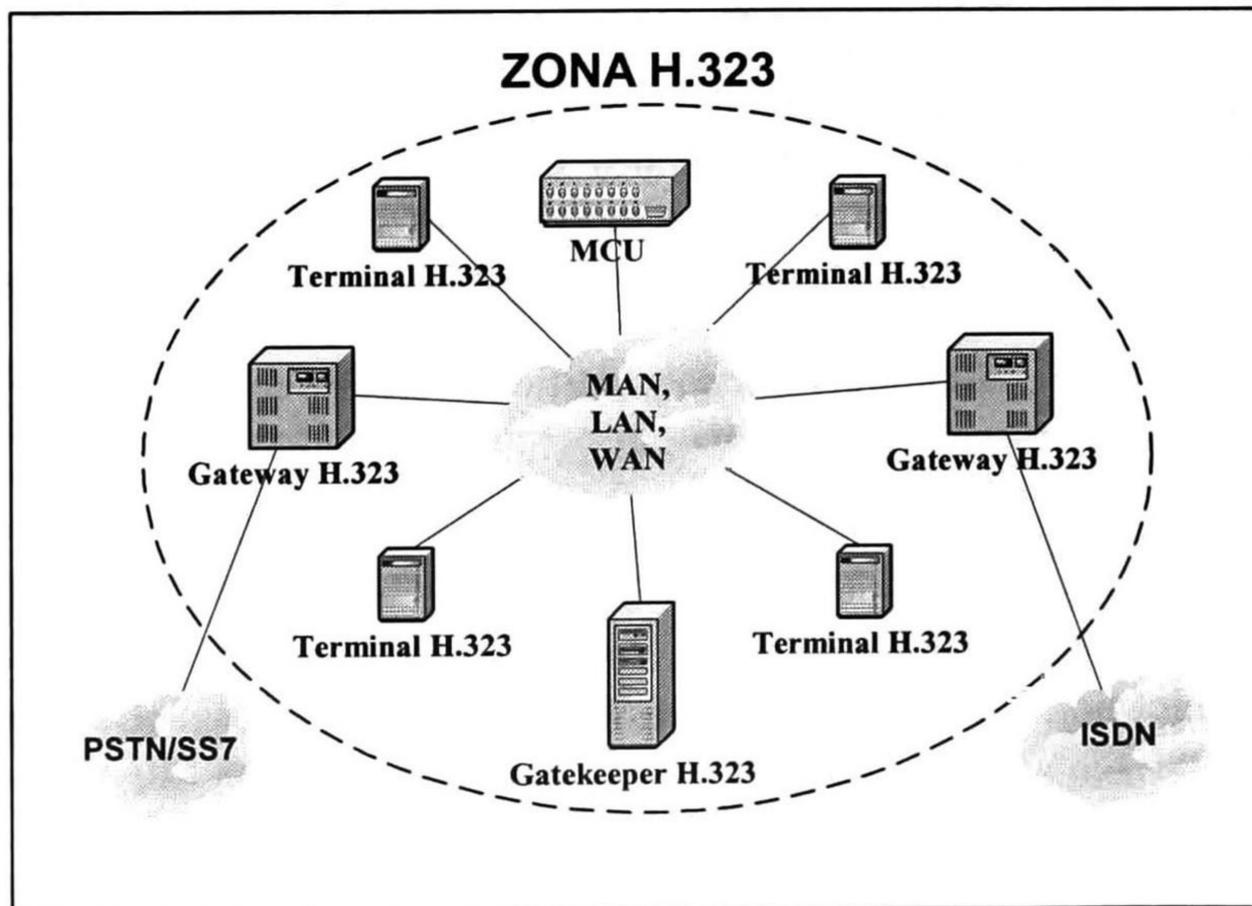


Figura 3-2. Componentes de la recomendación H.323

### ***Gatekeeper***

Es un elemento opcional de una zona H.323. Los principales servicios que ofrece el Gatekeeper son:

- a) **Traducción de direcciones.** Mapeo de números telefónicos comunes (estándar E.164) o alias hacia direcciones IP.
- b) **Control de Admisión.** Proporciona accesos autorizados a través de mensajes definidos por el protocolo RAS.
- c) **Control del ancho de banda.** Consiste en la modificación de parámetros que controlan el ancho de banda requerido por los elementos en comunicación. Se utilizan mensajes definidos en el protocolo RAS.
- d) **Administración de la zona H.323.** El Gatekeeper mantiene un registro de las direcciones IP y alias de todos los elementos que integran la zona H.323.

### ***Gateway***

Este elemento realiza la traducción de protocolos para el establecimiento y finalización de la llamada, la conversión de formatos de multimedia, y la transferencia de información entre redes H.323 y redes gobernadas por otro tipo de protocolos.

### ***Terminal***

Es el elemento básico de un sistema H.323. Sus principales funciones y características son:

- Control de la llamada
- Dar el formato adecuado a los flujos de multimedia
- Codificación de audio
- Interfaz con la red de datos

La sección 3.2 proporciona una explicación más detallada de una terminal H.323 en la cual se describe a la tarjeta FXS/IP como parte de una terminal.

### ***MCU***

El MCU es un elemento opcional de una zona H.323 el cual proporciona conferencias multipunto. Por lo regular, un MCU consiste de un controlador multipunto (MC, por sus siglas en inglés) y uno o más procesadores multipunto (MP, por sus siglas en inglés).

El MC proporciona el soporte necesario llevar a cabo la conferencia multipunto transmitiendo el conjunto de capacidades a cada uno de los puntos participantes y revisando sus capacidades durante la conferencia. El MC puede implementarse en una terminal, Gateway, Gatekeeper o el mismo MCU.

Por otra parte, el MP recibe los flujos multimedia y los distribuye hacia los participantes de la conferencia.

### 3.1.3 Flujo de mensajes en una comunicación H.323

La Figura 3-3 muestra el flujo básico de mensajes cuando una comunicación de voz se establece entre dos terminales H.323.

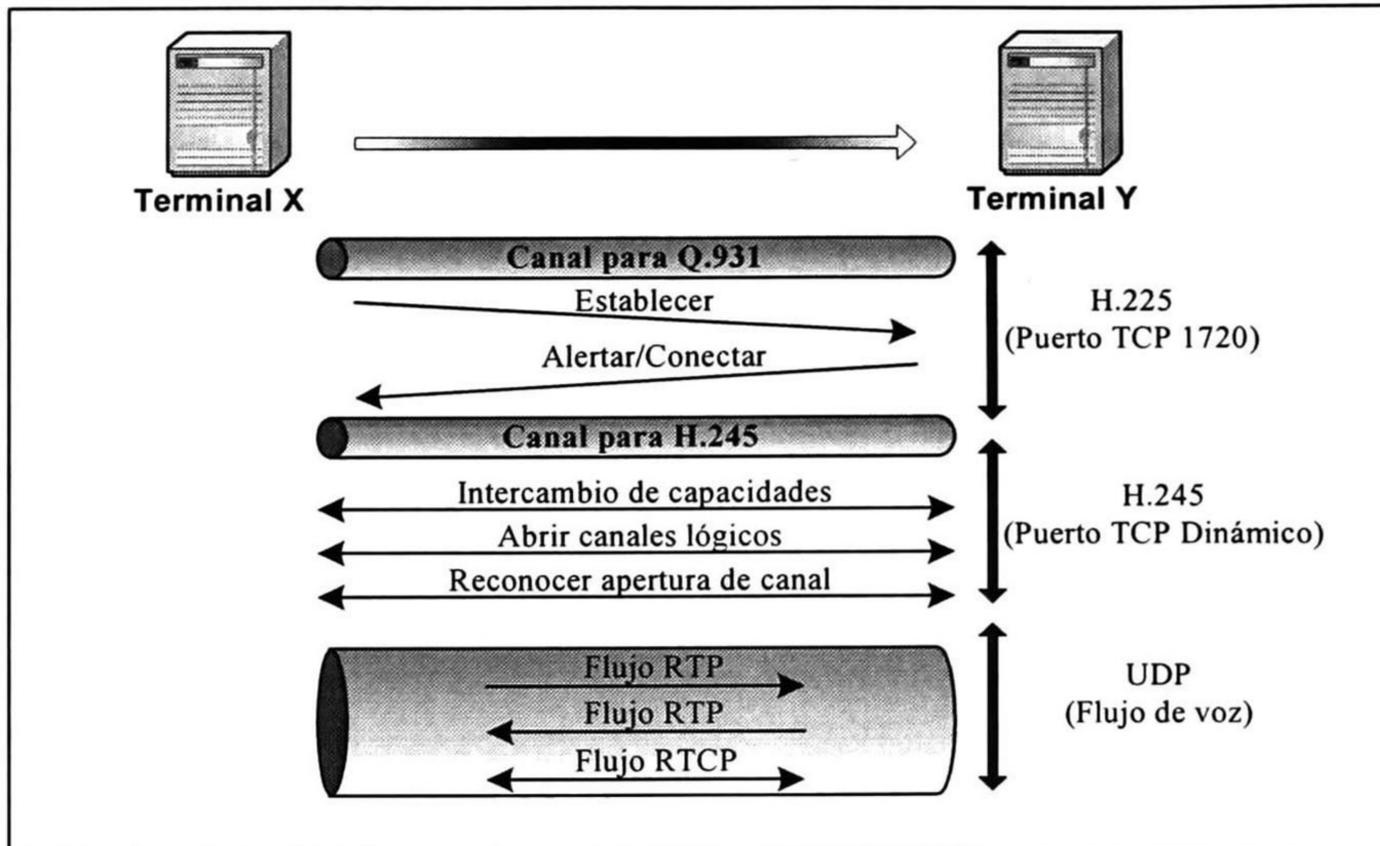


Figura 3-3. Flujo básico de mensajes entre terminales H.323

A continuación se describe brevemente el flujo de mensajes de la Figura 3-3. Para esto se asumirá que no existe el Gatekeeper y que ambas terminales conocen la dirección IP de su contraparte.

El establecimiento de la comunicación se lleva a cabo de la siguiente forma:

1. La terminal X envía un mensaje de iniciación de llamada (Establecer) hacia la terminal Y a través del puerto 1720
2. La terminal Y responde con un mensaje de alerta y un número de puerto para iniciar la apertura del canal de control del protocolo H.245.
3. A través del protocolo H.245 se realiza el intercambio de capacidades entre las dos terminales. Este intercambio incluye los tipos de codificadores de audio, los números de puertos para el flujo de voz, y la notificación de capacidades adicionales con que cuentan las terminales.
4. A continuación se realiza el mecanismo de apertura de canales lógicos para el flujo de datagramas UDP. El mecanismo de apertura crea un canal lógico para cada dirección.
5. Se inicia el envío de la voz a través de RTP.
6. RTCP se utiliza para proporcionar información a ambos puntos acerca de la calidad de la comunicación a través de RTP.

### 3.2 Descripción de la Terminal H.323

La Terminal H.323 proporciona comunicaciones bidireccionales de audio, video y datos en tiempo real y es un elemento obligatorio en una zona H.323. La recomendación H.323 especifica que la Terminal debe proporcionar señalización de la llamada, mensajes de control, multiplexaje, codecs de audio, codecs de video y protocolos para el soporte de datos. La Figura 3-4 muestra los elementos básicos de una Terminal H.323.

H.323 no especifica el equipo de audio o video que debe formar parte de la Terminal pero sí recomienda ciertas capacidades obligatorias que el equipo debe tener.

Como se puede observar, la Terminal H.323. hace uso de los protocolos explicados en la sección 3.1.1.

Como requerimiento mínimo, una terminal H.323 debe proporcionar soporte de audio cumpliendo con del estándar G.711; y si ésta proporciona funciones de video, el requerimiento mínimo es utilizar el protocolo H.261. El soporte de datos debe realizarse a través de la serie de protocolos T.120 los cuales son utilizados en los equipos terminales que siguen los estándares ITU-T.

La función de retardo de trayectoria de recepción es opcional tanto para audio como para video. Esta función puede utilizarse para proporcionar sincronización y control del jitter.

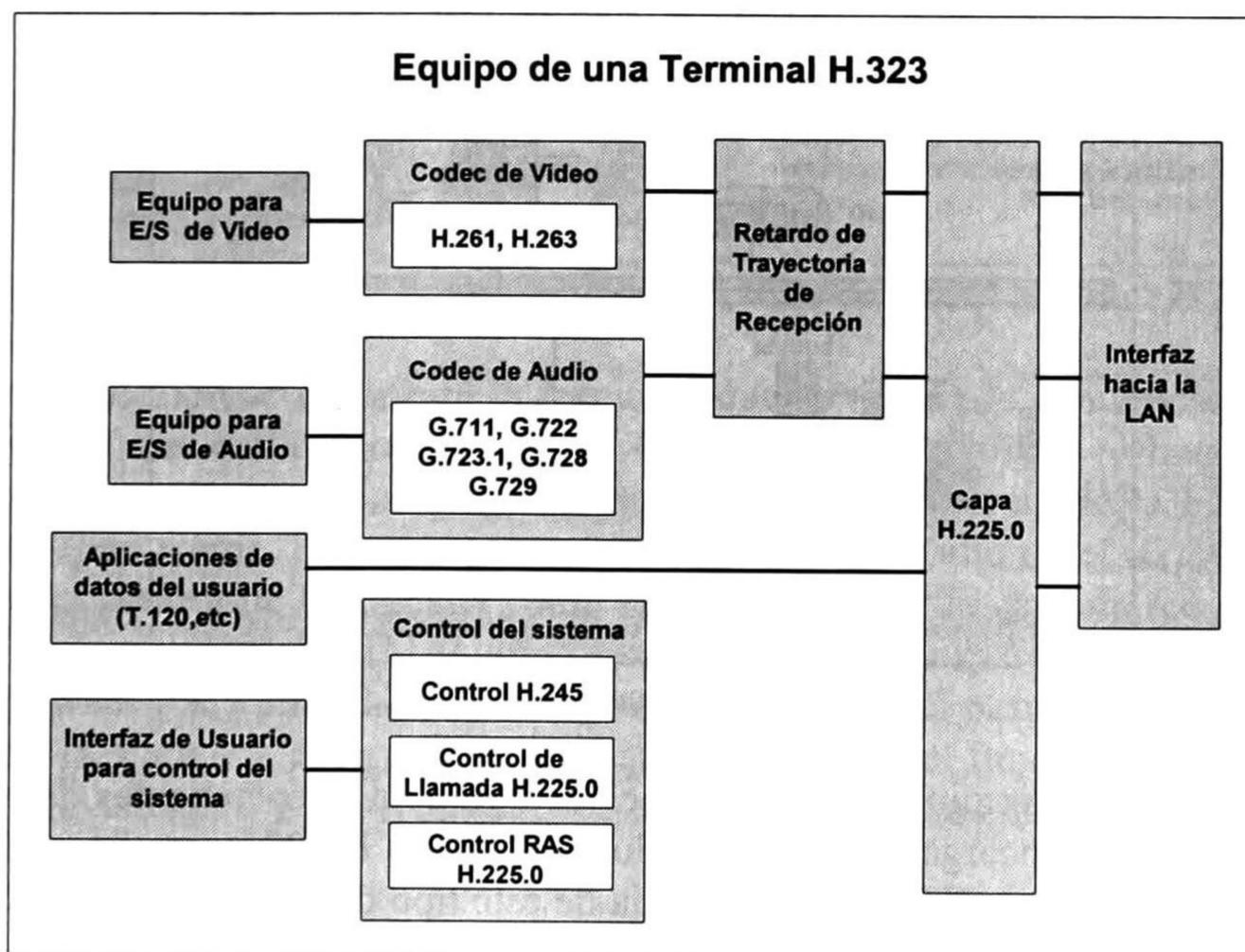


Figura 3-4. Elementos que integran a una terminal H.323

### 3.3 Relación entre la Terminal H.323 y la tarjeta FXS/IP

Esta sección describe brevemente la manera en que la tarjeta FXS/IP junto con una PC forman un sistema que cumple con las especificaciones de una Terminal H.323.

Físicamente, una Terminal H.323 puede ser una computadora personal o un dispositivo independiente conectado a la red. Para proporcionar sus servicios, la Terminal cuenta con dos interfaces físicas: la interfaz al equipo de comunicación (aparato telefónico, equipo multimedia, etc.) y la interfaz a la red de datos.

La Figura 3-5 muestra algunos ejemplos de implementaciones de terminales H.323. Como ejemplos de terminales independientes se muestran dos sistemas: 1) un Hub especial al cual se conectan teléfonos analógicos comunes y 2) un Teléfono IP.

La principal ventaja que presentan estos dispositivos es su escalabilidad por lo que es posible implementar sistemas con un número mayor de puertos. Además, si la implementación es a base de un DSP, es posible agregar funciones adicionales tales como la cancelación de eco y la compresión de voz. La desventaja que presentan estos sistemas es la complejidad de su diseño y su implementación física lo cual se ve reflejado en el tiempo para llevar al mercado un producto totalmente funcional.

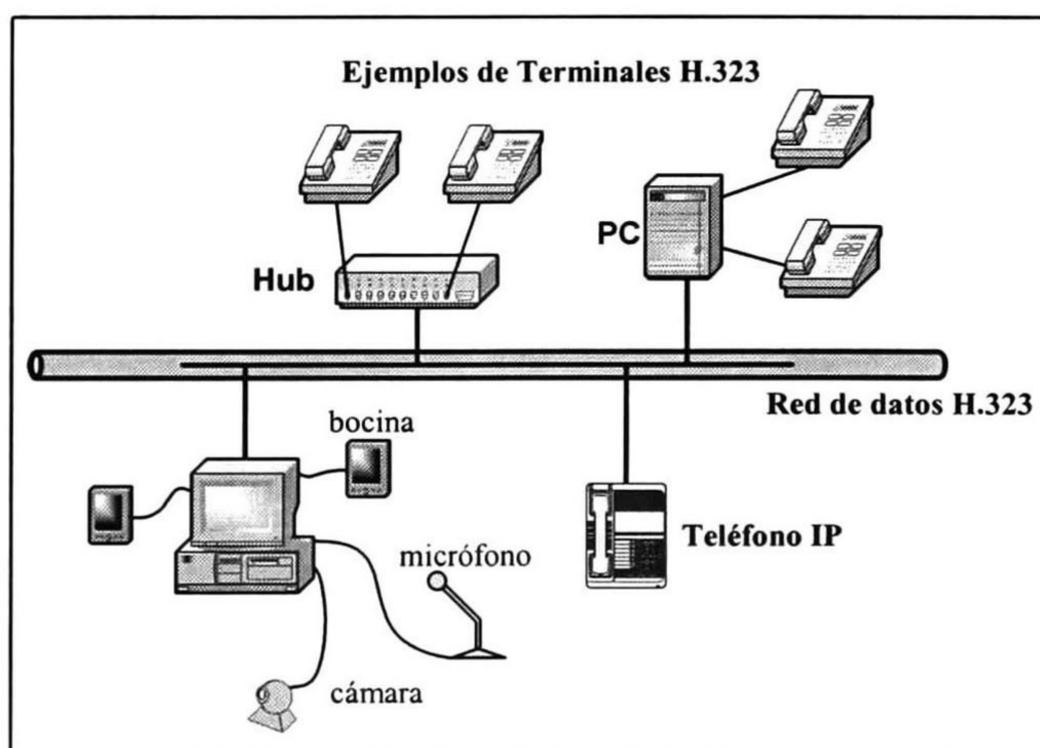
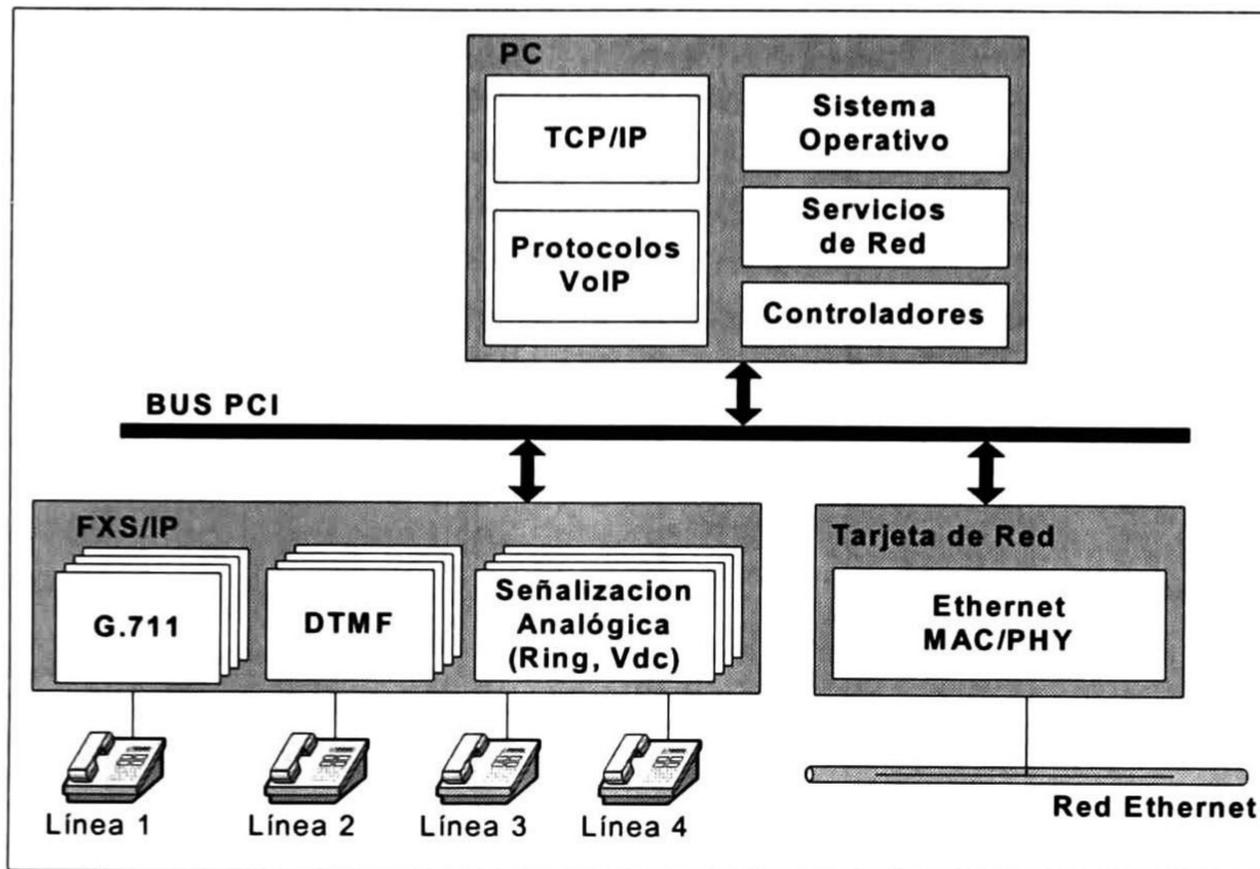


Figura 3-5. Terminales H.323

Los otros dos tipos de terminales mostrados en la figura son dependientes de una PC. En este caso, la PC es la encargada de ejecutar los protocolos H.323 para el establecimiento, control y terminación de la llamada. La ventaja de este tipo de terminales es su flexibilidad y versatilidad. Un ejemplo de esto es la facilidad con la que la interfaz hacia la red de datos puede ser sustituida si el tipo de red (Ethernet, ATM, etc.) cambia. El diseño y la implementación de este tipo de terminales es relativamente<sup>1</sup> menos complicado que el tipo de terminales independientes explicado anteriormente y por lo tanto el tiempo para llevarse al mercado es menor.

<sup>1</sup> La complejidad dependerá de los requerimientos de la terminal, del conocimiento y dominio de estándares involucrados.

La tarjeta FXS/IP forma parte de una terminal del tipo “basada en PC” en donde el software en la PC se encarga de 1) ejecutar los protocolos H.323 dedicados al control de la llamada, 2) ejecutar las aplicaciones TCP/IP para la transmisión de voz hacia la red de datos y 3) proporcionar los controladores para la tarjeta FXS/IP y la tarjeta interfaz a la red de datos. La tarjeta FXS/IP proporciona principalmente las funciones de la recomendación G.711 para el soporte de audio y parte de la señalización utilizada en un teléfono analógico común. Un esquema simplificado de la terminal H.323 de la que forma parte la tarjeta FXS/IP se muestra en la Figura 3-6.



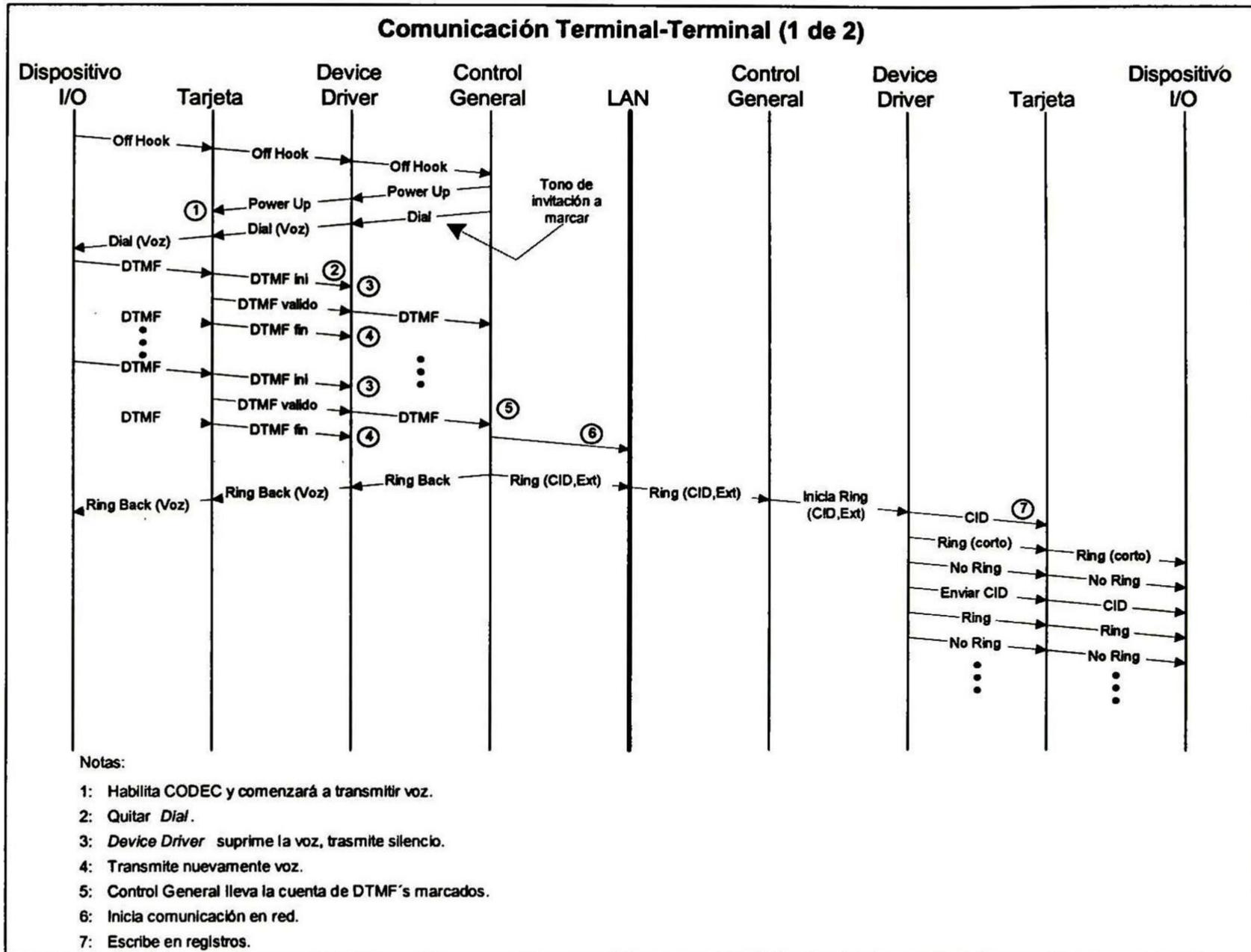
**Figura 3-6. Integración de la tarjeta FXS/IP en una terminal H.323**

En la siguiente sección se describirá la forma en que se realiza la comunicación entre dos terminales H.323 que incluyen a la tarjeta FXS/IP. La descripción se realiza considerando los mensajes que se envían a nivel del controlador (device driver) de la FXS/IP y de la tarjeta misma (hardware). Tanto los protocolos H.323 de mas alto nivel (H.245,H.225) que se encargan del control de la llamada como los protocolos de la capa de red (TCP/IP) y la capa física de la red de datos (MAC/PHY) se consideran transparentes desde el punto de vista del hardware y el controlador. Estos protocolos siguen el paso de mensajes mostrado en la Figura 3-3. Para una descripción más detallada acerca del flujo de mensajes entre dos terminales al nivel H.225 y H.245, se pueden consultar los documentos [15] y [18].

### 3.4 Comunicación entre dos tarjetas FXS/IP

Para la descripción de la comunicación entre dos tarjetas FXS/IP se seguirá el flujo de mensajes mostrado en la Figura 3-7 y la Figura 3-8.

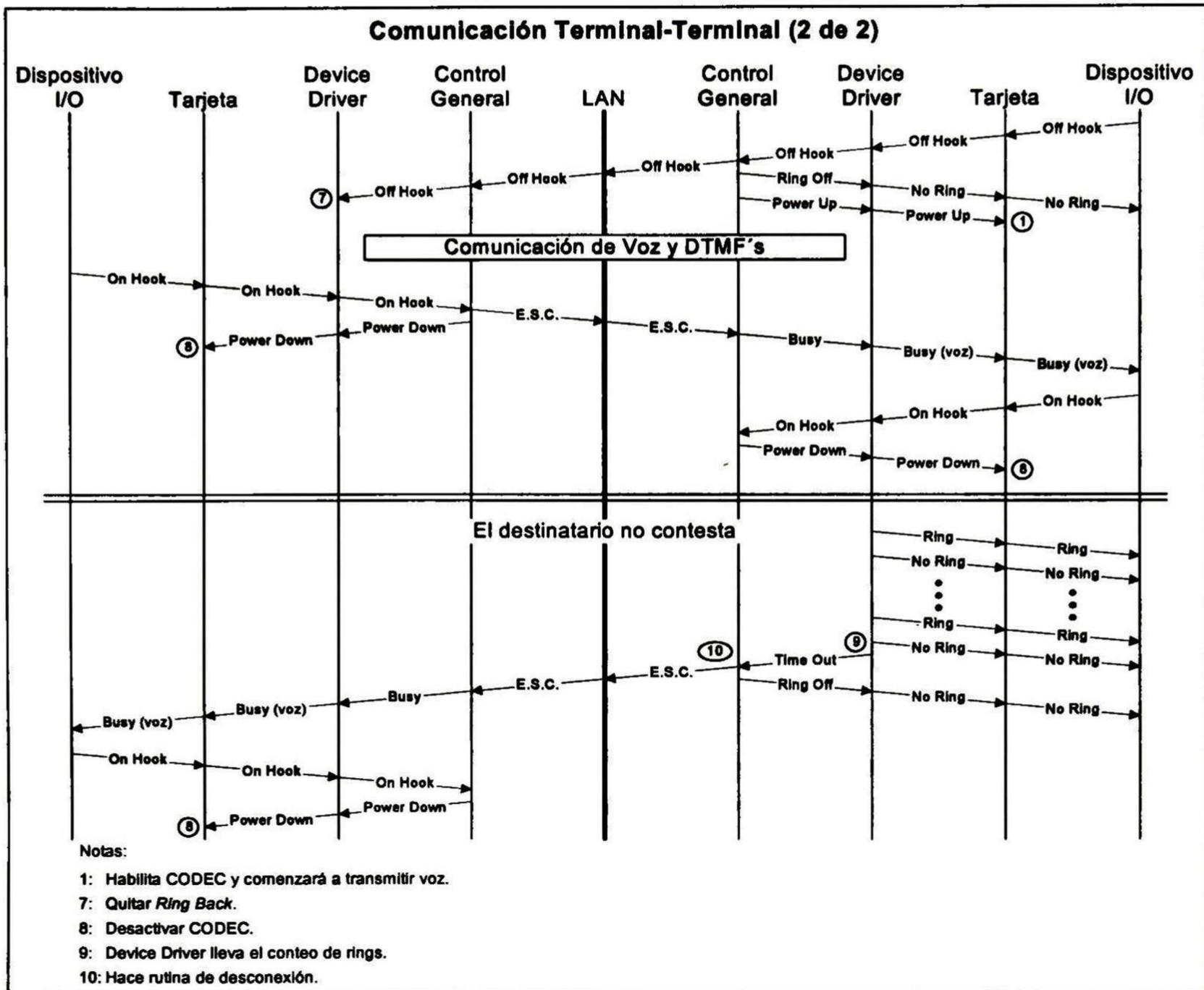
Las figuras muestran los elementos involucrados en la comunicación de dos terminales H.323 remotas conectadas a una red LAN (Intranet). Los elementos participantes son los teléfonos analógicos (Dispositivo I/O), las tarjetas FXS/IP, los controladores de la tarjeta (Device Driver), el control general de la llamada y la red de datos (LAN).



**Figura 3-7. Flujo de mensajes entre dos terminales H.323 integrando la tarjeta FXS/IP (1 de 2)**

Las figuras describen brevemente la secuencia de algunos eventos que ocurren durante el establecimiento, la ejecución y la finalización de la llamada. Estos eventos se explican en las notas en la parte inferior de las figuras.

En la descripción se supone que cada terminal conoce de antemano la dirección IP de su contraparte así como los puertos TCP a través de los cuales se ejecutará la comunicación; estos puertos se definieron durante la apertura de canales realizada por los protocolos encargados del control de la llamada. La Figura 3-8 incluye dos escenarios diferentes, uno en donde la llamada se ejecuta y termina normalmente (mostrado en parte superior de la figura) y otro en el que el destinatario no contesta (mostrado en la parte inferior de la figura).



**Figura 3-8. Flujo de mensajes entre dos terminales H.323 integrando la tarjeta FXS/IP (2 de 2)**

La llamada telefónica la inicia el usuario con el dispositivo I/O a la izquierda de la Figura 3-7. La comunicación se realiza de la siguiente manera:

- El usuario levanta el teléfono y se produce una señal de descolgado (*Off-Hook*) la cual es detectada por la tarjeta FXS/IP.
- La señal de descolgado se propaga hasta la aplicación encargada del control general de la llamada. El control general responde con una orden de encendido de dispositivos (*Power Up*).
- La tarjeta recibe la orden de *Power Up* y enciende a los dispositivos que se encontraban en modo de bajo consumo de potencia (*Power Down*).
- El control general envía hacia la tarjeta FXS/IP los datos correspondientes al tono de invitación a marcar. La tarjeta los captura y los envía hacia el aparato telefónico.

- El usuario escucha el tono y procede a la marcación del número del teléfono conectado a la terminal remota. La marcación genera tonos del tipo DTMF los cuales son enviados hacia la tarjeta.
- La tarjeta FXS/IP captura los tonos y los envía hacia la PC en donde el *Device Driver* y posteriormente el control general reciben los tonos. El control general realiza la validación de los tonos.
- Una vez que el control general identifica la terminal con el número telefónico marcado, se envía el tono de llamando (*Ring Back*) hacia la terminal local y una orden de timbrar (*Ring*) hacia la terminal remota a través de la red de datos en forma de paquetes. Junto con esta orden, se envía la información correspondiente al número telefónico de la parte que está llamando.
- La tarjeta FXS/IP que inició la llamada recibe el tono de *Ring Back* y lo propaga hasta el teléfono local.
- En la terminal remota, el correspondiente control general recibe los paquetes de datos con la orden de activar el circuito de timbre enviándola hacia tarjeta FXS/IP la cual a su vez inyectará el voltaje de timbre en el teléfono correspondiente. El *Device Driver* se encarga de dar la cadencia adecuada a la señal de *Ring*.

A continuación se describen los eventos de la Figura 3-8. Esta es la continuación de la descripción de la llamada iniciada en la Figura 3-7.

- Suponiendo que el usuario contesta, se genera una señal *Off Hook* la cual llega hasta el control general de la terminal remota. El control general envía un mensaje de *Off-Hook* hacia la terminal local a través de la red de datos.
- El control general de la terminal local recibe el mensaje de *Off Hook* con lo cual cesa el envío del tono *Ring Back* hacia la tarjeta FXS/IP local.
- Se establece la comunicación de voz y la posible transferencia de tonos DTMF's
- En la finalización de la llamada el usuario local (puede ser el remoto) cuelga generándose la señal correspondiente (*On Hook*) hacia la tarjeta FXS/IP y llegando hasta el control general.
- El control general responde enviando una orden de apagado de dispositivos (*Power Down*) hacia la terminal local y enviando un mensaje hacia la terminal remota en el cual le avisa que se genere el tono de ocupado hacia el teléfono remoto.
- Cuando el usuario de la terminal remota cuelga, la señal de *On Hook* es enviada hasta el control general el cual responde con la orden de *Power Down* hacia la FXS/IP.

- Si el usuario no contesta (ver escenario de la parte inferior de la Figura 3-8), la expiración de un temporizador hace que la terminal remota envíe una señal de fin de tiempo (*Time Out*) hacia la terminal local en la cual se genera el tono de ocupado y después de que el usuario cuelga, se genera la orden de *Power Down* hacia los dispositivos correspondientes.

Cuando se realiza una llamada hacia la red pública telefónica, es necesario hacer uso de la tarjeta FXO/IP. La comunicación entre la terminal H.323 integrando tarjeta FXS/IP y la tarjeta FXO/IP sigue un procedimiento similar. Para una descripción de la comunicación involucrando la tarjeta FXO/IP se puede consultar [13].

# Capítulo 4 Arquitectura de la tarjeta FXS/IP

---

Este capítulo se enfoca en la descripción de la arquitectura de la tarjeta FXS/IP. El capítulo inicia con una breve descripción de la metodología seguida en el diseño de la tarjeta FXS/IP. Se incluye también una sección en la que se describe la arquitectura del FPGA el cual proporciona funciones indispensables para la transferencia bidireccional de la voz.

## 4.1 Metodología de diseño

El diseño de la tarjeta FXS/IP comenzó con la definición de los requerimientos mostrados en la sección 2.4. Una vez entendidos los requerimientos se procedió a la elaboración de la especificación de la tarjeta y a la búsqueda de componentes que cumplieran con los requerimientos. La selección de componentes se realizó sobre la base de parámetros tales como funcionalidad, costo, consumo de potencia, complejidad de los circuitos externos y obsolescencia.

Después de identificar los circuitos adecuados, se procedió con la captura esquemática y posteriormente con la colocación (*“placement”*) de los componentes y el enrutado (*“routing”*) de la tarjeta.

Finalizados los pasos anteriores, se procedió a realizar el documento de especificación de un dispositivo FPGA requerido en la tarjeta. Se desarrolló un algoritmo en el cual se definieron las funciones necesarias para la transferencia de la voz desde los Codecs hacia un buffer para la voz y viceversa. Este algoritmo fue transformado a Cartas de Máquinas de Estado Algorítmicas (FSM Charts) de las cuales se obtuvo la trayectoria de datos del circuito para la transferencia de voz a nivel transferencia de registros (RTL, por sus siglas en inglés). Los bloques RTL resultantes se especificaron en VHDL para su posterior simulación.

Una vez finalizada la codificación en VHDL se procedió a realizar las pruebas en simulación del FPGA. Para esto se elaboró un plan de pruebas en el cual se describen los estímulos y la respuesta de cada uno de los bloques incluidos en el FPGA. Para llevar a cabo las simulaciones de la lógica programable, se desarrollaron camas de pruebas encargadas de generar y analizar de forma automática los estímulos y respuestas especificados en el plan de pruebas. Los programas correspondientes a las camas de prueba se codificaron en VHDL.

El paso final fue la simulación del FPGA en la cual se realizó la transferencia de voz entre el buffer de voz y los Codecs. Después de que se corrigieron los errores en el diseño, se realizó el procedimiento de *“place and route”* mediante una herramienta del fabricante del FPGA elegido. Esto proporcionó una estimación de la cantidad de lógica utilizada en el FPGA.

La siguiente sección describe la arquitectura de la tarjeta FXS/IP.

## 4.2 Arquitectura de la tarjeta FXS/IP

La tarjeta FXS/IP es un sistema que proporciona las funciones necesarias para interconectar cuatro líneas telefónicas con una red de datos. Los componentes requeridos para implementar dichas funciones se muestran en el diagrama a bloques de la Figura 4-1. Algunos de los bloques están formados de sub-bloques para los cuales se describen también su funcionalidad. La forma en que fueron implementadas las funciones de los bloques y sub-bloques que integran la tarjeta FXS/IP se describen en [16] y en [17].

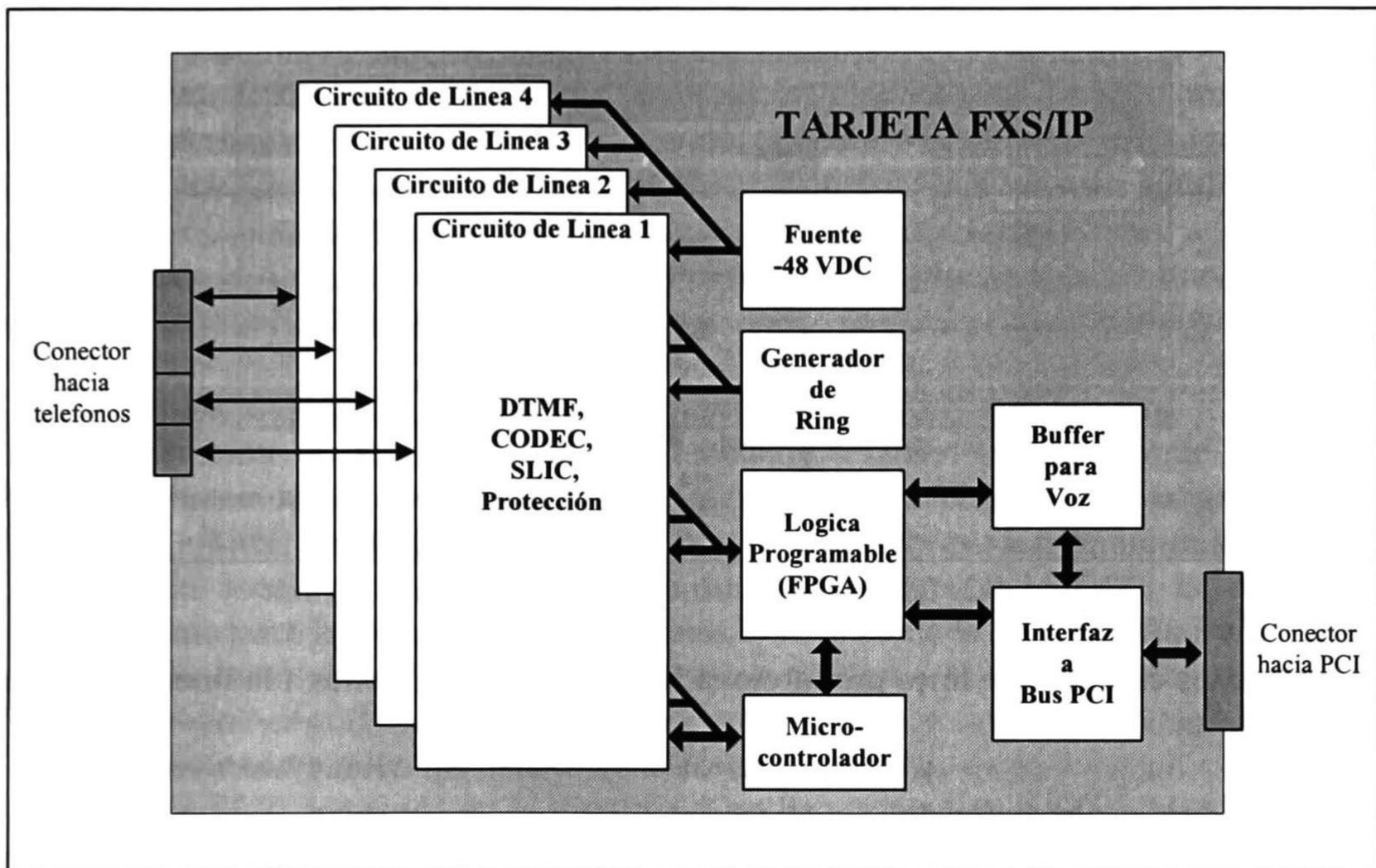


Figura 4-1. Diagrama a bloques de la tarjeta FXS/IP

Como se puede ver en la Figura 4-1, la tarjeta FXS/IP está integrada por los siguientes elementos:

- Circuitos de Línea
- Fuente de alimentación de  $-48\text{VDC}$
- Generador de Voltaje de Timbre
- Bloque de Lógica Programable
- Buffer para Voz
- Microcontrolador
- Interfaz a PCI

Las siguientes secciones describen brevemente la función que desempeña cada uno de estos bloques en la tarjeta FXS/IP.

### 4.2.1 Circuitos de Línea

El circuito de línea proporciona la mayoría de las funciones necesarias para dar soporte a una línea telefónica analógica. Existen 4 circuitos de línea en la tarjeta FXS/IP, uno para cada una de las líneas telefónicas. La Figura 4-2 muestra el diagrama a bloques interno de uno de los circuitos de línea.

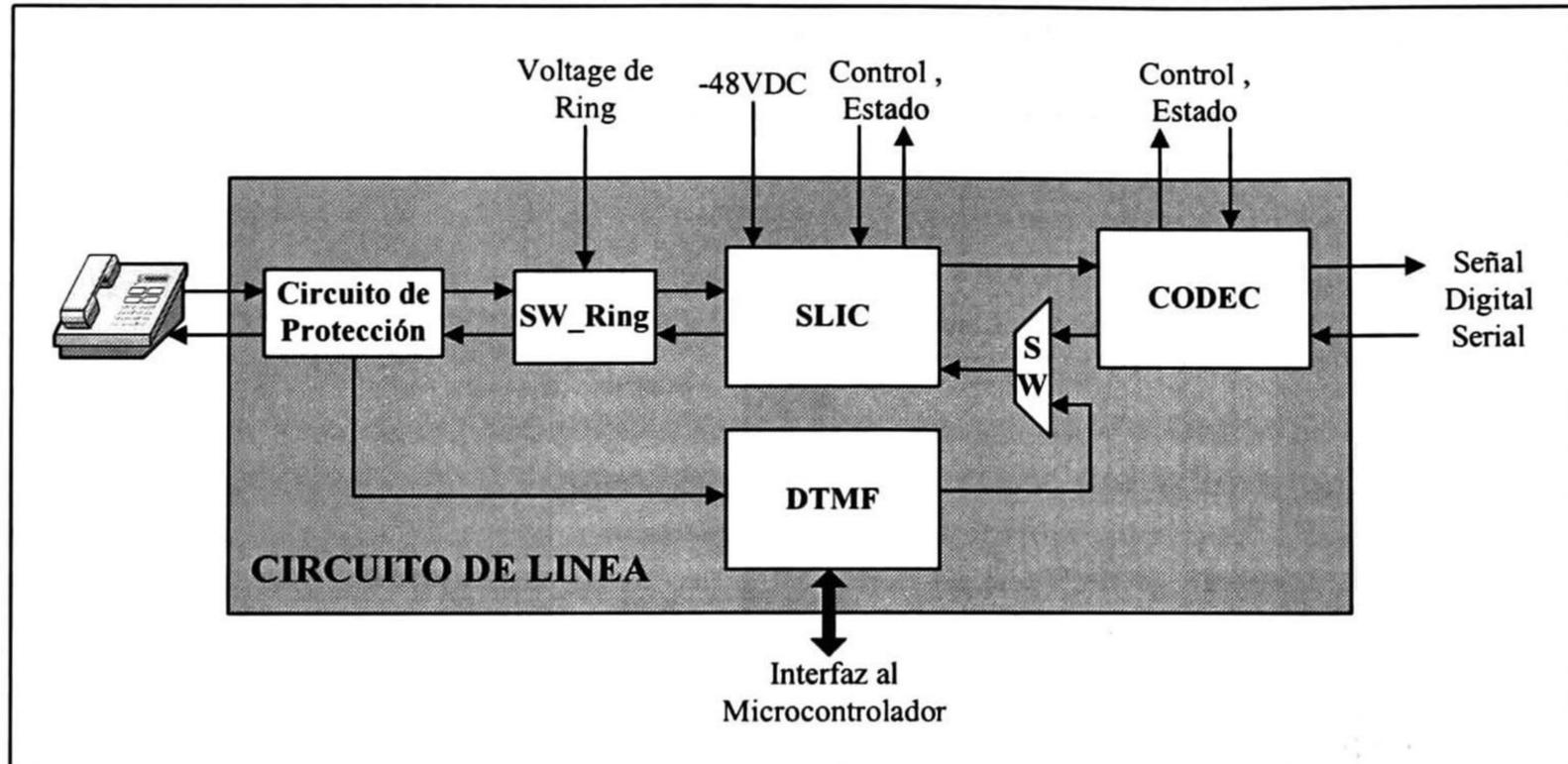


Figura 4-2. Diagrama a bloques del circuito de línea

Cada uno de los circuitos de línea proporciona las siguientes funciones a la línea telefónica que éste soporta:

#### ***Protección de sobrevoltaje.***

La protección de sobrevoltaje bloquea los impulsos de sobrevoltaje que pudieran ser generados en la línea telefónica debido a descargas eléctricas provenientes del exterior o de cables de alta tensión que pasan cerca del cable telefónico. La protección de sobrevoltaje es proporcionada por el bloque denominado *Circuito de Protección* mostrado en la Figura 4-2.

#### ***Conmutación del voltaje de timbre***

Esta función permite que el voltaje de timbre generado en la tarjeta llegue hasta la correspondiente línea telefónica. Esta función es realizada por el bloque denominado *SW\_Ring* el cual es un conmutador controlado por el *SLIC*, ambos mostrados en la Figura 4-2.

#### ***Generación y direccionamiento de la corriente de alimentación***

Esta función es implementada por el bloque denominado *SLIC* el cual proporciona la corriente demandada por la línea telefónica conectada al circuito de línea en cuestión. La mayor demanda de corriente se establece cuando el usuario levanta el auricular del teléfono cerrando el lazo en la línea (señalización "*Loop-Start*").

***Conversión analógica-digital y digital-analógica de la voz***

La señal de voz proveniente del teléfono requiere de un proceso de digitalización para poder ser enviada hacia la red. Así mismo, la voz digitalizada proveniente de la red de datos tiene que ser convertida a su correspondiente señal analógica para poder ser reproducida en el teléfono. Estas dos funciones de conversión de analógico a digital y viceversa son proporcionadas por el bloque denominado *CODEC* mostrado en la Figura 4-2. El *CODEC* proporciona interfaces seriales hacia el FPGA a través de las cuales se realiza la transferencia bidireccional de la voz.

***Captura y digitalización de los tonos de marcación***

La captura y digitalización de los tonos de marcación consiste en tomar los tonos DTMF producidos por el teléfono cuando el usuario realiza la marcación de algún número telefónico y convertirlos a un formato digital predefinido para ser enviados hacia la PC. Los números marcados digitalizados serán posteriormente utilizados para identificar la dirección IP de la PC con el teléfono de destino. El bloque denominado DTMF mostrado en la Figura 4-2 es el responsable de realizar ésta función.

***Generación de señales DTMF***

La generación de señales DTMF es realizada también por el bloque denominado DTMF responsable de la captura de las mismas. El objetivo de la generación de señales DTMF es el de implementar un mecanismo para proporcionar a la línea telefónica local el número telefónico correspondiente a la llamada entrante. El mecanismo para la transferencia de señales DTMF hacia la línea telefónica se describe en [17].

***Detección e indicación del estado de la línea telefónica***

El bloque *SLIC* mostrado en la Figura 4-2 realiza la función de detección e indicación del estado de la línea telefónica. Básicamente esta función consiste en vigilar si el usuario ha descolgado (estado *Off-Hook*) el auricular del teléfono para iniciar una llamada o si el auricular ha sido colgado (estado *On-Hook*). El *SLIC* provee interfaces digitales para informar el estado de la línea a dispositivos externos tales como el microcontrolador o el controlador de PCI.

***Conmutación a bajo consumo de potencia***

Dentro del circuito de línea, tanto el *SLIC* como el *CODEC* incluyen mecanismos para poder ser configurados en modo de bajo consumo de potencia con lo que solo una mínima parte de estos circuitos permanece activa. Esta característica es utilizada para reducir el consumo global de potencia de la tarjeta FXS/IP cuando las líneas telefónicas se encuentran inactivas.

Nótese que el circuito de línea cubre gran parte de los requerimientos mostrados anteriormente proporcionando la mayoría de las funciones BORSCHT.

### 4.2.2 Fuente de alimentación de -48Vdc

La función de este circuito es la de proporcionar el voltaje de corriente directa que requieren los circuitos del aparato telefónico (sobre todo los antiguos que necesitaban de este voltaje para alimentar el micrófono y el auricular).

Existe una sola fuente de alimentación de -48VDC en la tarjeta la cual es compartida por los cuatro circuitos de línea. La fuente de alimentación de -48VDC es la batería especificada en las funciones BORSCHT. La alimentación de este circuito es generada a partir de las fuentes de alimentación de la PC.

### 4.2.3 Generador de Voltaje de Timbre

El generador de voltaje de timbre (*Ring*) proporciona un voltaje de corriente alterna el cual es utilizado para excitar al circuito de timbrado en el aparato telefónico. Existe solo un generador de voltaje de timbre en la tarjeta el cual es compartido por los cuatro circuitos de línea. Dentro del circuito de línea, el circuito SLIC es el responsable de activar y desactivar el envío del voltaje de timbre hacia la respectiva línea telefónica.

### 4.2.4 Bloque de Lógica Programable (FPGA)

El bloque de lógica programable (*FPGA*) es un elemento multifunción que proporciona la mayor parte de las funciones utilizadas en la transferencia de la voz entre la tarjeta FXS/IP y la PC.

En general, en el bloque de lógica programable se incluyen elementos tales como los circuitos encargados del procesamiento de la voz proveniente de los codecs y del buffer para voz, los circuitos de control para los Codecs y el buffer externo para voz así como los registros de control y estado los cuales son utilizados en el control y monitoreo de los diferentes elementos que integran la tarjeta.

Debido a su importancia, la sección 4.3 presenta una descripción más completa acerca de las funciones del FPGA.

### 4.2.5 Buffer para Voz

El buffer para voz forma parte del mecanismo de transferencia entre la tarjeta FXS/IP y la PC. El buffer para voz es una memoria de doble puerto la cual almacena temporalmente la voz digitalizada generada en la llamada telefónica. El buffer es compartido por los cuatro circuitos de línea de manera que existen zonas predefinidas de memoria tanto de transmisión como de recepción asignadas a cada uno de los circuitos de línea. La cantidad de información almacenada en el buffer es configurable vía un registro en el FPGA.

### 4.2.6 Microcontrolador

El Microcontrolador incluido en la tarjeta FXS/IP proporciona funciones de control y monitoreo de algunos dispositivos en tarjeta los cuales que requieren de una atención constante. Específicamente el Microcontrolador se encarga de ejecutar las siguientes funciones:

- a) Configuración de los circuitos DTMF.

- b) Transferencia de los tonos DTMF digitalizados provenientes de los circuitos DTMF hacia registros internos del FPGA.
- c) Transferencia de tonos DTMF digitalizados desde el FPGA hacia los circuitos DTMF para proporcionar función de Caller ID.
- d) Habilitación de los conmutadores involucrados en la inyección de los tonos DTMF analógicos hacia la línea telefónica.
- e) Detección del colgado o descolgado de cada una de las cuatro líneas telefónicas basándose en el ciclo de trabajo de señales digitales proporcionadas por los SLICs.

Para el acceso a los elementos de memoria externos, el microcontrolador utiliza un bus multiplexado de datos-direcciones de 8 y 10 bits de ancho respectivamente. El microcontrolador también utiliza puertos dedicados para el control de los conmutadores analógicos en los circuitos de línea y la detección del estado de la línea en los SLIC's. La Figura 4-3 muestra un esquema a alto nivel del algoritmo para el firmware del microcontrolador que implementa las funciones anteriormente descritas.

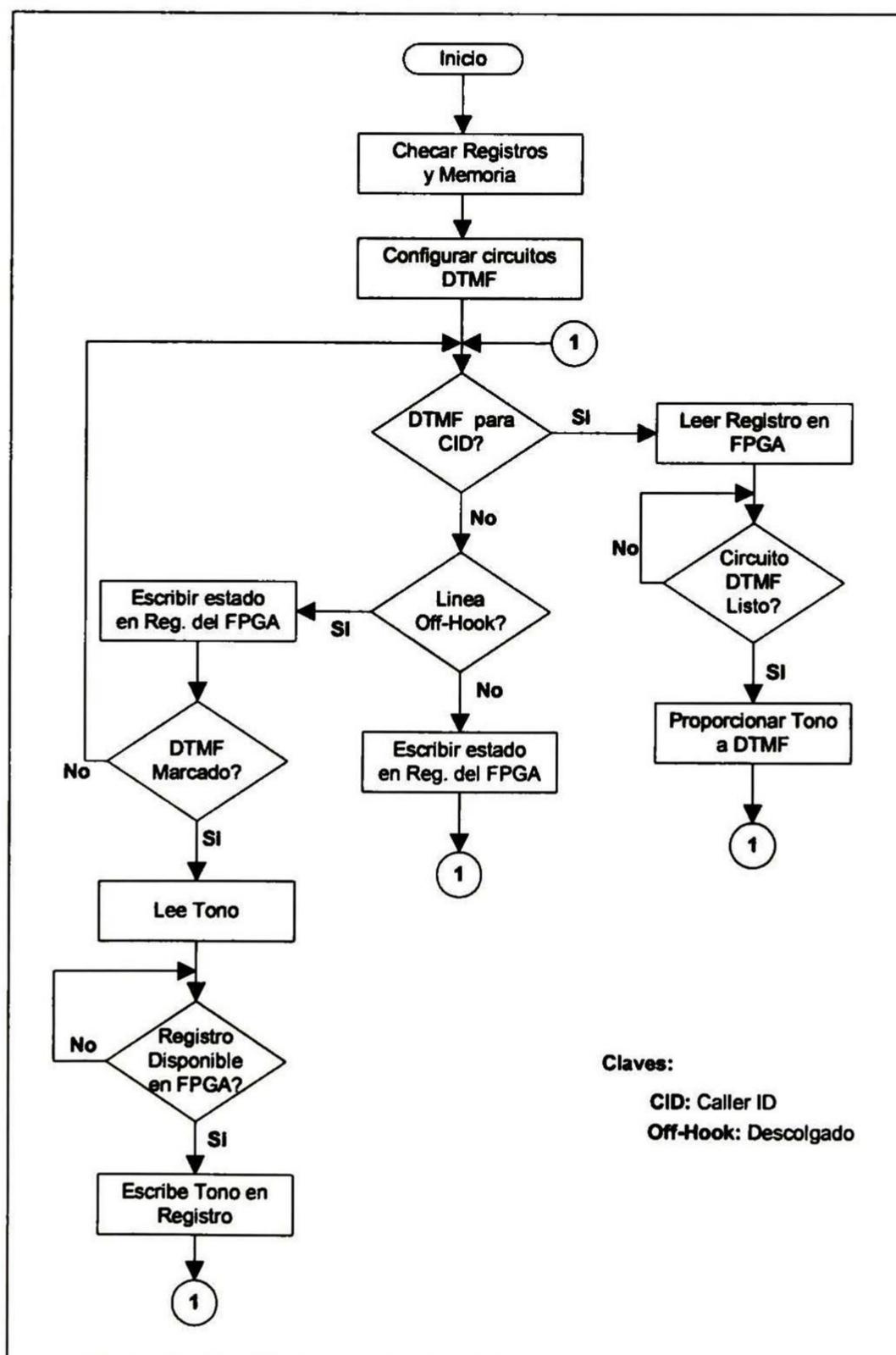


Figura 4-3. Diagrama de flujo para el firmware del microcontrolador

### 4.2.7 Interfaz al Bus PCI

La interfaz al Bus PCI permite el acceso de la PC hacia algunos de los circuitos que integran la tarjeta FXS/IP. Básicamente, la interfaz al Bus PCI consiste de un circuito integrado el cual convierte el protocolo complejo de PCI en un mecanismo que utiliza un Bus Local similar al bus ISA el cual simplifica en gran medida el acceso a los circuitos incluidos en la tarjeta. El Bus Local proporciona un bus de datos-direcciones demultiplexado (bus de datos de 32 bits y bus de direcciones de 11 bits) para el acceso a los elementos de memoria en la tarjeta. Algunas de las facilidades que la interfaz al bus PCI permite son:

- a) *Acceso al buffer de voz para la recepción y el envío de voz digitalizada.* En este caso, la interfaz al bus PCI permite que la PC lea de la memoria de doble puerto la voz digitalizada proveniente de los Codecs y que escriba a ésta misma la voz digitalizada proveniente de la red de datos.
- b) *Acceso a los registros internos del FPGA.* La interfaz al Bus PCI permite accesos a los registros de control, de estado y de transferencia integrados en el FPGA. De esta manera, la PC puede configurar, activar, desactivar y monitorear el comportamiento de los circuitos incluidos en la tarjeta FXS/IP.
- c) *Propagación de la señal de interrupción hacia la PC.* Las señales de interrupción generadas en la tarjeta son enviadas hacia la interfaz al Bus PCI la cual a su vez se encarga de realizar un mapeo de estas señales hacia una de las líneas de interrupción disponibles en el bus PCI y así interrumpir a la PC para iniciar la atención a la tarjeta.

### 4.3 Arquitectura del FPGA

Esta sección describe brevemente la arquitectura interna del FPGA incluido de la tarjeta FXS/IP. La arquitectura se divide en dos sistemas principales: uno encargado de la transferencia de la voz y el otro dedicado a la transferencia de información para el control y verificación del estado de los circuitos así como la transferencia de los tonos DTMF.

La Figura 4-4 muestra el diagrama a bloques de la lógica digital a implementar en el FPGA.

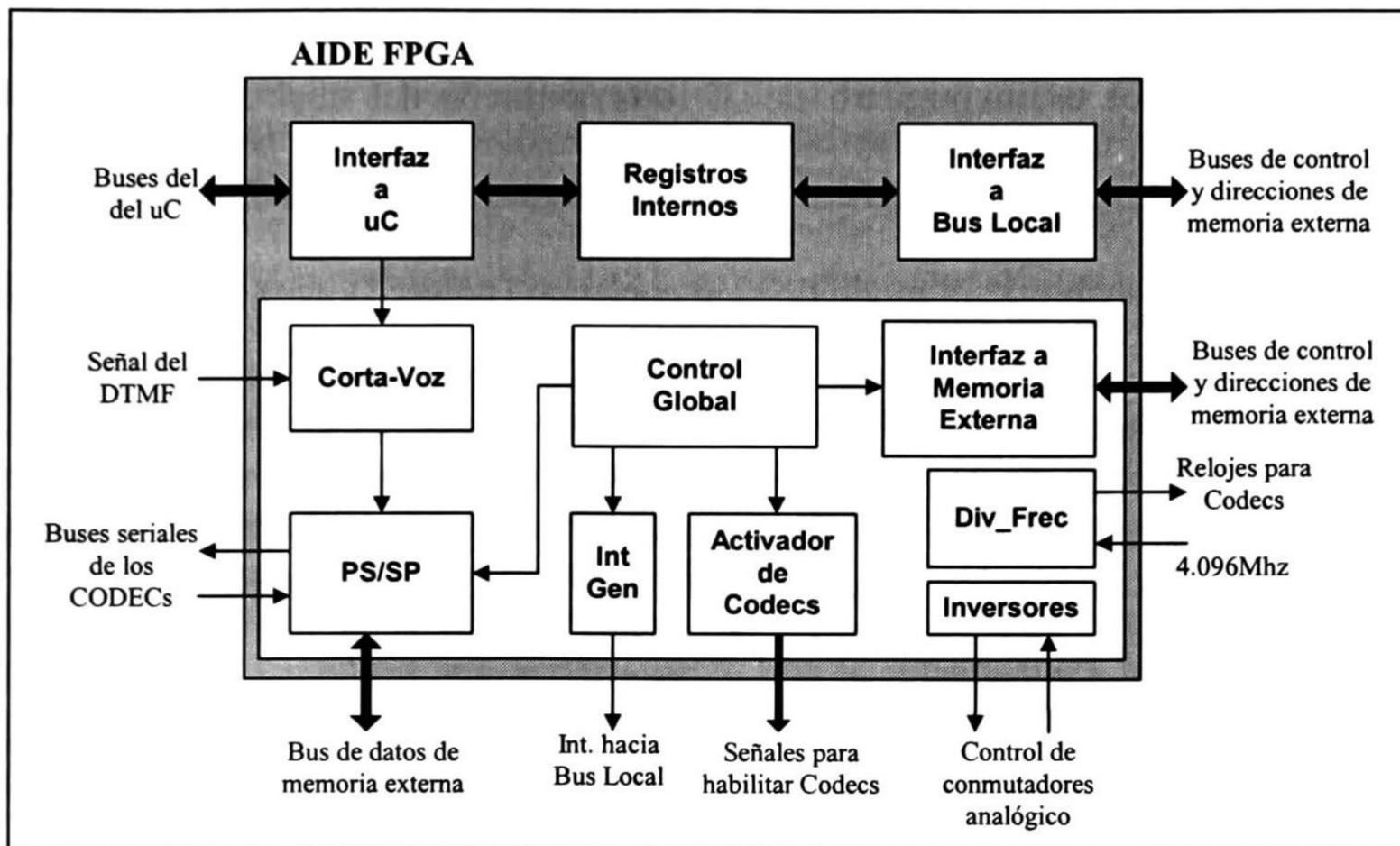


Figura 4-4. Diagrama a bloques del FPGA

#### 4.3.1 Descripción General

El FPGA es un dispositivo multifunción que proporciona la lógica digital requerida para la adaptación de las líneas telefónicas analógicas con la PC.

En el FPGA se implementa la circuitería digital que permite la transferencia bidireccional de la voz entre los CODECs y el buffer de voz externo. Específicamente, el FPGA:

- Captura los datos provenientes de los CODECs y los almacena en el buffer de voz externo.
- Realiza operaciones de lectura hacia el buffer de voz externo. La información obtenida es enviada hacia los CODECs.
- Almacena temporalmente los tonos DTMFs generados desde los teléfonos y aquellos provenientes desde la PC. Este almacenamiento temporal permite el intercambio de los tonos entre el microcontrolador y la PC.
- Implementa registros de control y estado para el control de los dispositivos en la tarjeta y monitoreo de los eventos que ocurren en la misma.

### 4.3.2 Registros Internos

El diseño de los registros del FPGA fue llevado a cabo por Jorge Luis Giottonini y está descrito en [13]. El diseño de los registros fue ligeramente modificado para utilizarse en el FPGA de la tarjeta FXS/IP.

Existen 3 tipos de registros en el FPGA; estos son 1) el registro de control, 2) el registro de estado y 3) los registros de transferencia de DTMF. A continuación se describe brevemente la función de cada uno de ellos.

#### ***Registro de Control***

El registro de control es un registro de 32 bits a través del cual la PC controla el comportamiento de los diferentes componentes que integran la tarjeta FXS/IP. Específicamente, a través de este registro y del controlador de PCI, la PC tiene la capacidad de:

- a) Habilitar o deshabilitar el modo de bajo consumo (Power Down) de cada uno de los Codecs.
- b) Habilitar o deshabilitar el modo de bajo consumo (Power Down) del circuito Generador de Ring.
- c) Configurar el modo de operación de cada uno de los SLICs.
- d) Configurar el tamaño de espacio reservado en el buffer de voz para cada uno de los Codecs (todos los Codecs tienen la misma cantidad de espacio asignado).

#### ***Registro de Estado***

Al igual que el registro de control, este es un registro de 32-bits que se utiliza para observar y detectar eventos que ocurren en la tarjeta FXS/IP a través de señales que proporcionan sus circuitos. Específicamente, este registro proporciona:

- a) *El estado de cada una de las líneas telefónicas.* Después de que el microcontrolador analiza señales digitales de los SLICs y determina el estado de las líneas telefónicas (colgado o descolgado), éste escribe el estado de las líneas en el registro de estado. La PC podrá realizar una operación de lectura a este registro para verificar si existe un teléfono descolgado.
- b) *El estado de los registros de transferencia de DTMF* El microcontrolador o la PC llevan a cabo un acceso hacia los bits adecuados del registro de estado para determinar si alguno de los registros de transferencia tiene un dato válido.
- c) *Identificación de la zona del buffer de voz que contiene información válida para ser procesada.*

#### ***Registros de Transferencia de DTMF's***

Existen 2 registros de transferencia de DTMF dentro del FPGA. A través de uno de estos registros, la PC transfiere los tonos DTMF digitalizados hacia el microcontrolador. Este registro es indispensable para la implementación de la función que proporciona el número telefónico de la llamada entrante. El microcontrolador utiliza el otro registro para transferir los tonos DTMF provenientes de las líneas telefónicas hacia la PC.

### 4.3.3 Interfaz al microcontrolador

El FPGA incorpora una interfaz asíncrona a través de la cual el microcontrolador accesa los elementos de memoria dentro del FPGA (Ver Figura 4-4).

Específicamente, la interfaz al microcontrolador proporciona acceso a los registros internos de estado y de transferencia de DTMF del FPGA. El microcontrolador utiliza un bus de datos-direcciones multiplexado (un bus de datos de 8 bits y un bus de direcciones de 10 bits de ancho) para realizar el acceso a estos registros. La interfaz al microcontrolador proporciona la circuitería necesaria para el demultiplexaje de los buses del microcontrolador.

En esta interfaz se implementa también la lógica para la decodificación de las direcciones requeridas en los accesos a los registros del FPGA y de los circuitos DTMF.

El mapa de memoria de microcontrolador puede consultarse en [16].

El diseño de la interfaz al microcontrolador fue realizado por Jorge Luis Giottonini y se describe en [13].

### 4.3.4 Interfaz al Bus Local

Al igual que la interfaz al microcontrolador, la interfaz al Bus Local permite a la PC realizar operaciones de escritura y/o lectura a los elementos internos de memoria del FPGA. La interfaz al bus local se conecta directamente al Bus Local del controlador de PCI el cual se encarga de convertir los comandos de PCI a operaciones de lectura y escritura.

El Bus Local es un bus de datos-direcciones demultiplexado (bus de datos de 32 bits y bus de direcciones de 11 bits). El bus de datos de 32 bits se conecta por completo a la interfaz al bus local mientras que solo 4 líneas del bus de dirección son conectadas a esta interfaz.

Específicamente, la interfaz al Bus local proporciona el acceso a los registros de estado, control y transferencia de DTMF.

Esta interfaz incluye la lógica para la decodificación de direcciones del bus de direcciones del bus local.

La Interfaz al bus local fue diseñada por Jorge Luis Giottonini. Toda la información relacionada al diseño de esta interfaz puede consultarse en [13].

### 4.3.5 Lógica para la Transferencia de voz

Esta sección describe la lógica dedicada al procesamiento y transferencia de la voz digitalizada proveniente, por un lado, del CODEC de cada uno de los circuitos de línea y por el otro, del buffer de voz cuya información es proporcionada por la PC.

Los bloques delimitados por el recuadro en blanco en la Figura 4-4 integran la parte del FPGA dedicada a la transferencia de voz.

#### *Circuito Corta-Voz*

La función de este bloque es la de cortar la trayectoria que sigue la voz desde el CODEC hacia el buffer de voz cada vez que un tono DTMF es generado en la línea telefónica activa. Esto evita que los tonos DTMF se propaguen por la trayectoria que sigue la voz pudiéndose generar tonos DTMF dobles en el otro extremo de la comunicación. Los tonos DTMF válidos siguen una trayectoria dedicada a través de los registros de transferencia del FPGA.

### ***Convertidor Serie-Paralelo y Paralelo-Serie (SP-PS)***

Este bloque se encarga de convertir la voz en formato digital serial proveniente de los CODECs a un formato paralelo de 8 bits de manera que pueda ser almacenada en el buffer de voz externo. Este bloque realiza también la función inversa, es decir, captura la voz digitalizada con formato de 8 bits en paralelo proveniente del buffer externo de voz y la convierte a un formato serial para ser inyectado al circuito CODEC activo.

El FPGA cuenta con solo un convertidor SP-PS el cual es compartido en tiempo por los cuatro circuitos CODECs.

### ***Control Global***

El control global proporciona señales de habilitación a cada uno de los bloques del circuito de transferencia de voz. De esta forma se le ordena a cada uno de los bloques el momento en el que tiene que proporcionar su función. El control global también recibe señales a través de las cuales se le indica el momento en que ocurre o termina un evento específico.

### ***Generador de Interrupciones***

La función de este circuito es la de generar una señal de interrupción hacia el Bus Local cada vez que todos y cada uno de los CODECs ha generado la información suficiente para llenar su espacio de memoria asignado en buffer externo de voz. El controlador de PCI se encargará de propagar la señal de interrupción hacia el bus PCI de la PC. Cuando ésta es interrumpida, se inicia la atención a la tarjeta FXS/IP.

### ***Activador de Codecs***

La función de este bloque de lógica es la de generar señales de habilitación cada 125us hacia cada uno de los CODECs de la tarjeta. Estas señales permiten que solamente un circuito CODEC se active a la vez ya sea para transmisión o para la recepción de la voz. Esto permite que alguna de la lógica en el FPGA sea compartida en tiempo por los cuatro CODECs.

### ***Divisor de frecuencia***

El divisor de frecuencia recibe una señal de reloj de 4.096MHz la cual es utilizada para generar dos señales: una señal periódica de 2.048Mhz y otra de 8KHz con un ciclo de trabajo de 0.4%. La primera es utilizada por los CODECs para generar y recibir los datos digitales seriales. La segunda se utiliza como un pulso de sincronía que inicia la secuencia de eventos necesarios para la transferencia de voz.

### ***Interfaz a Memoria Externa***

Este bloque genera las señales de control y dirección necesarias en las operaciones de lectura y escritura hacia el buffer de voz externo. La interfaz proporciona un bus de datos de 16 bits y un bus de direcciones de 11 bits con lo que es posible acceder cualquier localidad de memoria del buffer. La interfaz incluye circuitos discriminadores que seleccionan la información válida leída de la memoria y aquella información que va a ser escrita a ésta.

#### 4.4 Flujo de la información en el sistema FXS/IP

En esta sección se describe brevemente el mecanismo para el movimiento de la información en la tarjeta FXS/IP.

La Figura 4-5 muestra la trayectoria de la información en la tarjeta FXS/IP. En ésta se incluye la trayectoria desde la PC hacia los teléfonos y viceversa.

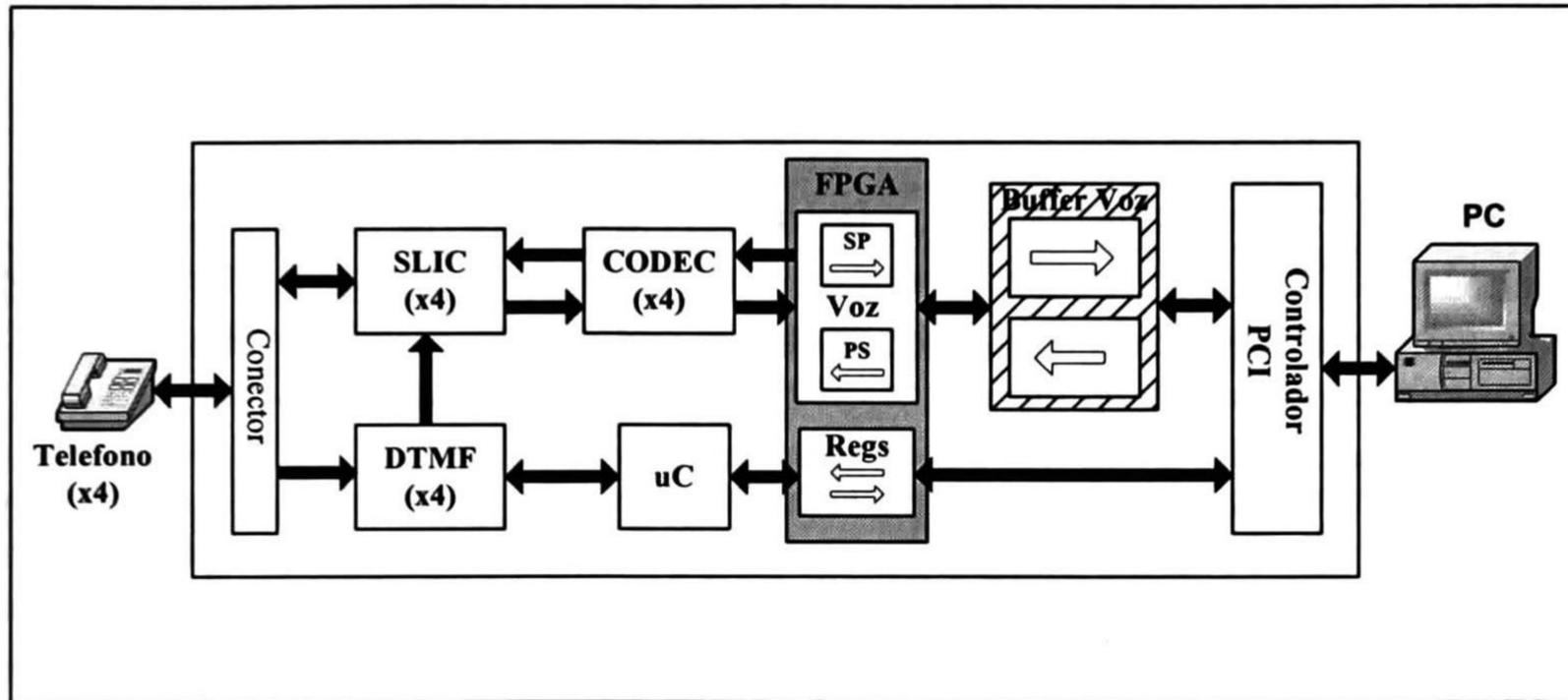


Figura 4-5. Flujo de la información en el sistema FXS/IP

##### 4.4.1 Flujo de la información desde la PC hacia los teléfonos

Existen dos tipos de flujos de información desde la PC hacia los teléfonos. El primero es el flujo de la voz digitalizada proveniente de la red de datos y el segundo es el flujo de los tonos DTMF utilizados en la función de identificación de llamada.

El flujo de la voz digital desde la PC hacia los teléfonos comienza en el momento en que la PC es interrumpida por la tarjeta FXS/IP escribiendo la información proveniente de la red de datos en la zona de escritura dentro del Buffer de Voz. Esta zona está indicada en el Buffer de Voz de la Figura 4-5 por la flecha apuntando hacia la izquierda. El FPGA ejecuta operaciones de lectura hacia el Buffer de Voz capturando solo el byte correspondiente al Codec que será activado al final de la lectura del Buffer de Voz. Una vez activado el Codec, éste recibe en forma serial el dato anteriormente leído desde el Buffer. El Codec se encarga de acondicionar la información para ser enviada hacia los teléfonos a través de los SLICs. La misma operación es realizada para cada uno de los Codecs. Esta operación de lectura es repetida hasta que todos los Codecs han recibido toda la información válida en el Buffer de Voz. Un ciclo de este proceso se muestra en el esquema inferior de la Figura 4-6.

Por otra parte, el flujo de datos DTMF recorre una trayectoria en la cual se involucran los registros internos de transferencia del FPGA descritos anteriormente. Cada vez que la PC recibe tonos DTMF digitales, ésta realiza operaciones de escritura hacia uno de los registros internos del FPGA en el cual deposita el tono DTMF digital además de la información de la línea a la que va dirigido el tono.

El microcontrolador, a través del registro de estado, se entera de que existe un nuevo tono DTMF digitalizado y realiza una operación de lectura hacia una zona del registro de transferencia que indica a que línea va dirigida el tono. El microcontrolador realiza una segunda lectura al registro de transferencia para capturar el tono DTMF. El microcontrolador escribe hacia el respectivo circuito DTMF el tono recibido desde la PC. Este proceso se repite para cada tono proveniente desde la PC. La PC no escribirá más información hasta que el microcontrolador haya capturado aquella que previamente ha sido enviada al registro interno de transferencia del FPGA. En extremo de la línea telefónica, un circuito identificador de llamada (si es que se instala) capturará y mostrará la numeración recibida.

#### **4.4.2 Flujo de la información desde los teléfonos hacia la PC.**

Existen dos tipos de flujos de información desde los teléfonos hacia la PC. Uno es el flujo de la voz generada desde cada uno de los teléfonos y el otro es el flujo de los tonos DTMF generados por la marcación del número telefónico de la parte llamada.

El flujo de la voz desde los teléfonos hacia la PC comienza desde el teléfono o teléfonos activos. El respectivo circuito Codec se encarga de recibir la voz en formato analógico y convertirla a un flujo digital serial. Este flujo es enviado al FPGA en donde un circuito convertidor de serie a paralelo reproduce el flujo serial de voz en un formato paralelo de 8 bits. Debido a que existe solo un convertidor de serie a paralelo, solo un Codec es habilitado a la vez. El pulso de habilitación de los Codecs se genera cada 125 us. Cada uno de los bytes generados es escrito en la zona del Buffer de Voz designada para la línea telefónica que produjo dicho byte. Esta zona se representa en la Figura 4-5 con la flecha apuntando hacia la derecha dentro del Buffer de Voz. Cada byte proveniente de cada línea telefónica será escrito en el Buffer de Voz hasta que cada una de las zonas designadas para cada línea contenga el máximo número de bytes válidos; este número es programable por registro. Cuando las zonas en el Buffer se escriben por completo, se genera una interrupción hacia la PC para iniciar la subrutina de atención a través de la cual la PC obtiene la información de voz del Buffer. El esquema superior de la Figura 4-6 muestra una secuencia de escritura hacia el Buffer de voz.

El flujo de tonos DTMF se realiza también a través de un registro interno de transferencia en el FPGA. Cuando el usuario marca el número telefónico, el circuito DTMF de la línea activa se encarga de capturar el tono y convertirlo a un formato digital de 4 bits en paralelo. El microcontrolador realiza ciclos de lectura a los circuitos DTMFs para obtener los tonos DTMF digitalizados. Después de capturar los tonos, el microcontrolador los deposita en el registro de transferencia del FPGA para que la PC los obtenga a través de ciclos de lectura.

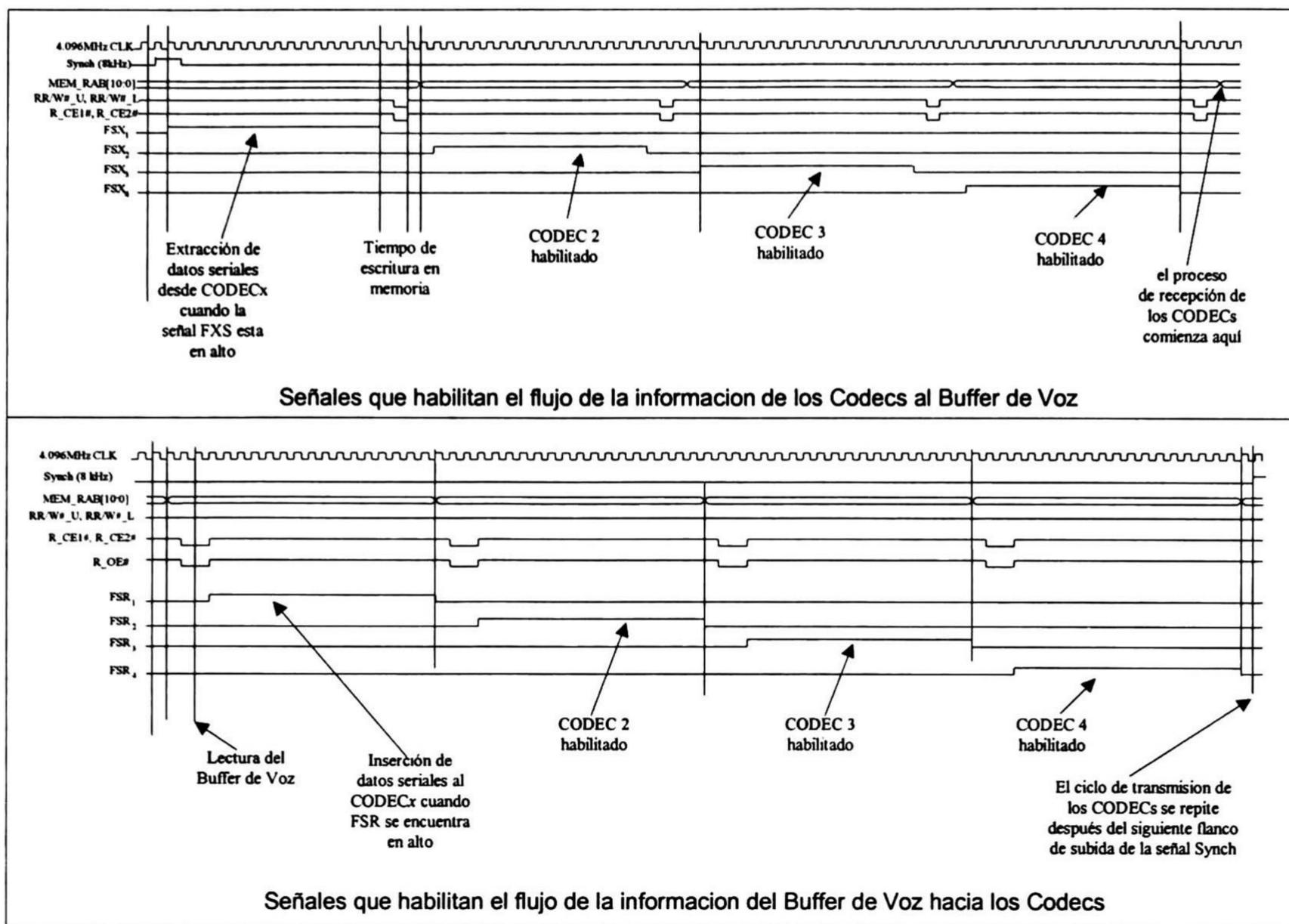


Figura 4-6. Mecanismo básico para el movimiento de información en la tarjeta FXS.

### 4.5 Herramientas utilizadas en el diseño de la tarjeta FXS/IP

Durante el diseño tanto de la tarjeta como del FPGA se utilizaron algunas herramientas computacionales las cuales, una vez aprendidas, ayudaron a agilizar el flujo de diseño de la tarjeta. A continuación se enlistan las herramientas utilizadas.

Tarea	Herramienta computacional
Elaboración de documentos	Microsoft Word
Captura Esquemática	Orcad Capture Release 9
Enrutado de la tarjeta	Orcad Layout Release 9
Simulación del FPGA (nivel macro)	Xilinx Foundation
Simulación del FPGA (nivel subsistema)	ModelSim
Síntesis del FPGA	Xilinx Foundation

# Capítulo 5. Metodología de prueba para el FPGA

---

Como se mencionó anteriormente, la arquitectura del FPGA se divide en dos principales trayectorias: la de transferencia de la voz y la de los registros internos de control, estado y transferencia de DTMF.

En este capítulo se describe la metodología seguida en el proceso de verificación de la lógica relacionada a la trayectoria transferencia de la voz. La verificación de la lógica que involucra los registros internos y las interfaces al controlador de PCI y al microcontrolador fue realizada por Jorge Luis Giottonini Badilla y es presentada en [13].

Se mencionan también algunos los problemas encontrados así como los resultados obtenidos.

## 5.1 Introducción a la verificación funcional

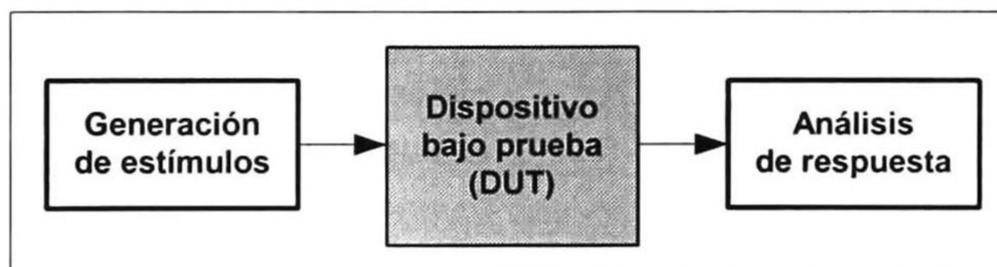
La verificación funcional se puede definir como un mecanismo que permite determinar si el diseño obtenido cumple con la funcionalidad definida en su documento de especificación.

Anteriormente la verificación de un diseño se realizaba hasta después de su implementación, con lo cual se consumía gran cantidad de tiempo y recursos en un laboratorio antes de llevar el producto al mercado.

Ahora, con el desarrollo de herramientas computacionales para el modelado de circuitos integrados tales como VHDL o Verilog, es posible realizar simulaciones del comportamiento de los circuitos digitales antes de que estos sean implementados.

Además, la creciente complejidad de los circuitos integrados en cuanto a número de transistores y funcionalidad se refiere, hace de la verificación funcional mediante herramientas computacionales una herramienta indispensable.

Desde un punto de vista práctico, la verificación funcional se lleva a cabo a través de dos mecanismos principales. El primero consiste en la aplicación de estímulos (también llamados vectores de prueba) al circuito en cuestión (también denominado dispositivo bajo prueba o DUT por sus siglas en inglés), y el segundo consiste en el análisis de la respuesta del DUT. Esto se representa en la Figura 5-1.



**Figura 5-1. Metodología fundamental de la verificación funcional**

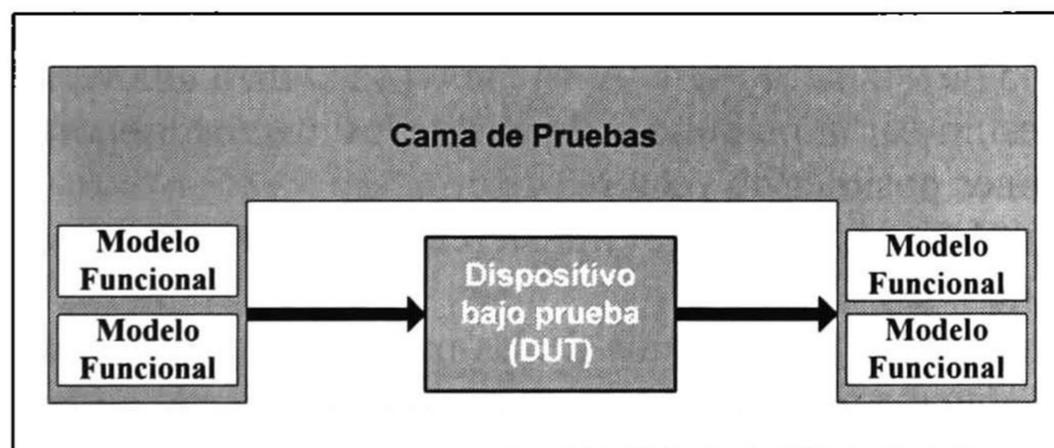
La eficacia y potencialidad de la verificación funcional dependerá en el método utilizado para la generación de los estímulos y el análisis de la respuesta del DUT.

El método de verificación más común, pero menos eficiente en diseños complejos, es el aplicar estímulos mediante una herramienta de simulación y luego analizar visualmente la respuesta del circuito, ya sea en forma de ondas o desde un archivo de texto. Una de las principales desventajas de este método es que es dependiente del simulador y está propenso al error humano. Sin embargo puede llegar a ser bastante eficiente y por lo regular preciso en diseños pequeños.

Otro método de verificación, más adecuado para validar un diseño, es el llamado Modelo Funcional de Bus (BFM, por sus siglas en inglés). Este método consiste en la generación de modelos de las interfaces de los circuitos que rodean al dispositivo bajo prueba los cuales le proporcionarán los estímulos y analizarán la respuesta del mismo. La ventaja de este método es que permite la creación de ambientes en los que trabajará el circuito más cercanos a la realidad. Además facilita la creación de un número mayor de vectores de prueba que estimularán al circuito.

La desventaja es que, dependiendo de la complejidad, puede tomar bastante tiempo realizar los modelos de los sistemas que rodean el DUT. Además, debido a que los modelos son creados con lenguajes de programación, por lo regular VHDL, Verilog o C, éstos tienen que ser también libres de errores.

El uso del modelo BFM implica la creación de una cama de pruebas (también llamado *testbench*). La cama de pruebas es un sistema que está integrado por todos los modelos de los elementos que rodean al dispositivo bajo prueba en una aplicación real y por lo tanto tiene la función de proporcionar estímulos al diseño y monitorear sus salidas. La Figura 5-2 muestra un ejemplo de este esquema.



**Figura 5-2. Esquema de verificación mediante una cama de pruebas**

En esquema de la Figura 5-2, el DUT es tratado como una caja negra, es decir, la verificación funcional se realiza sin un conocimiento preciso de la arquitectura interna del diseño enfocándose solo en las entradas y salidas del mismo.

Un aspecto importante del esquema de verificación utilizando una cama de pruebas es la posibilidad de implementar un mecanismo de auto-análisis (también conocida como *self-check*) de los resultados obtenidos. De esta forma, la cama de pruebas puede generar alguna señal o algún archivo que indique solamente si la prueba en particular fue exitosa o no, sin la necesidad de que el verificador analice los datos generados en la prueba.

La estrategia de verificación en el FPGA de la tarjeta FXS/IP hace uso de los dos esquemas de verificación anteriormente expuestos. Las siguientes secciones describen tal estrategia en la cual se hace una división jerárquica de la arquitectura del FPGA obtenida con el fin de lograr una mayor cobertura de verificación y minimizar la complejidad y el tiempo de simulación los esquemas utilizados.

Para una descripción completa acerca de la verificación funcional, el lector puede consultar [30].

## ***5.2 Estrategia de Prueba del FPGA de la tarjeta FXS/IP***

La estrategia de prueba considera tres niveles de integración de la lógica en el FPGA. Estos niveles, listados de menor a mayor de acuerdo a la jerarquía de integración son:

- a) Nivel macro
- b) Nivel módulo o subsistema
- c) Nivel Sistema

Estos niveles se describen a continuación.

### **5.2.1 Integración a Nivel Macro**

El nivel macro es el nivel más inferior en la jerarquía de integración. En este se consideran los bloques más básicos obtenidos a nivel transferencia de registro (RTL) que componen la lógica de transferencia de voz del FPGA. A este nivel se realiza una verificación exhaustiva en la cual se intenta estimular al máximo cada una de las macros proporcionando el número mayor de combinaciones posibles de vectores de prueba.

La Figura 5-3 muestra los macros a nivel transferencia de registro que componen la lógica para la transferencia de voz.

Debido a la baja complejidad de cada una de las macros, la verificación a nivel macro se realizó utilizando el esquema de verificación más simple explicado en la sección anterior en el cual el análisis de la respuesta del cada macro se realiza de forma visual. La herramienta utilizada para tal efecto fue el Xilinx Logic Simulator, el cual proporciona un visor de forma de ondas denominado Xilinx Waveform Viewer y un editor de comandos llamado Xilinx Script Editor. Este último permite crear archivos de comandos en los cuales se describen el tipo y la cantidad de estímulos que serán aplicados a la macro bajo prueba. Es este mismo archivo se describe el tiempo de aplicación para cada uno de los estímulos. Una vez ejecutada la simulación, el visor de formas de onda proporciona la respuesta del circuito la cual es analizada de forma visual.

La Figura 5-4 muestra el esquema de verificación utilizado en cada una de las macros.

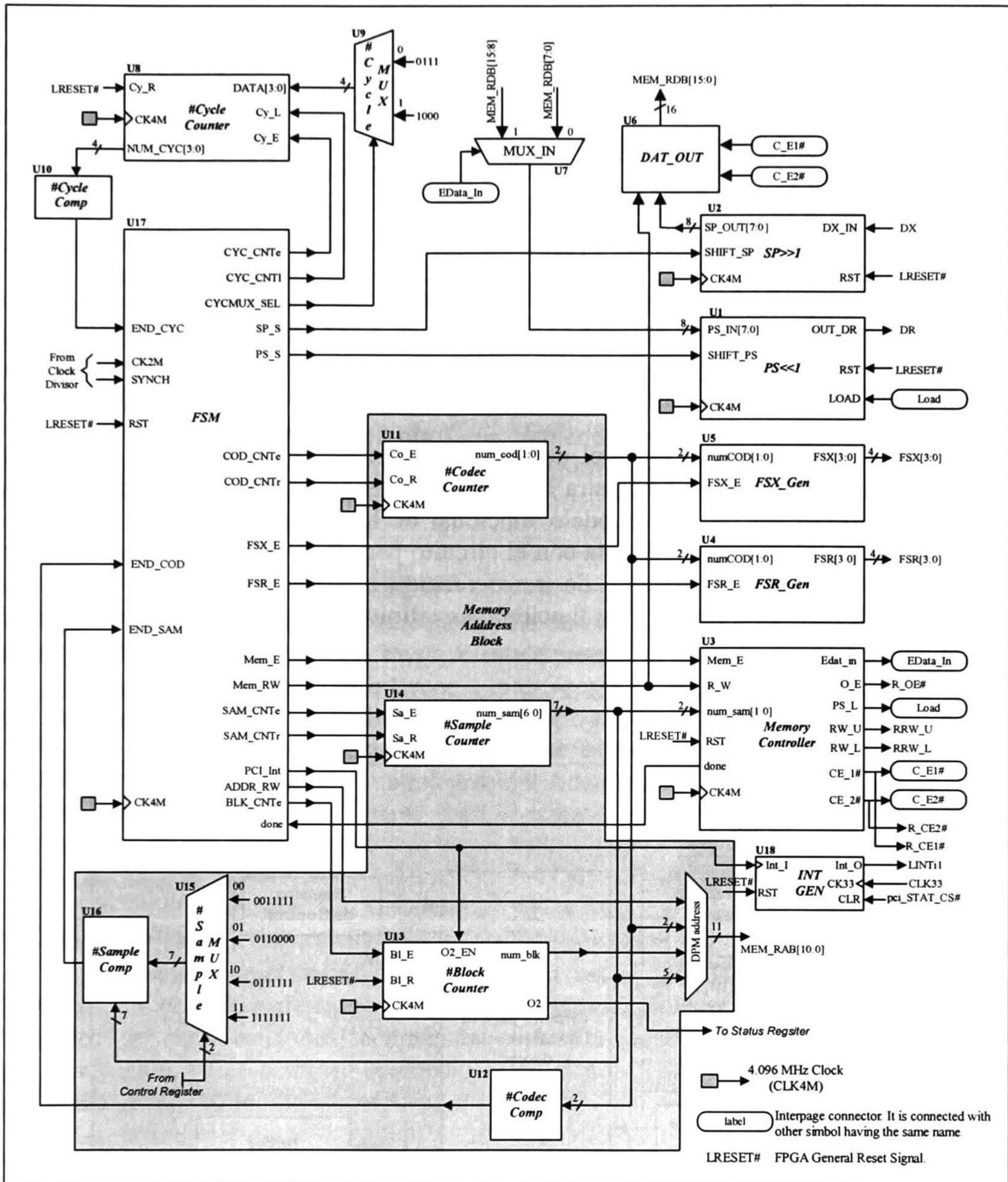
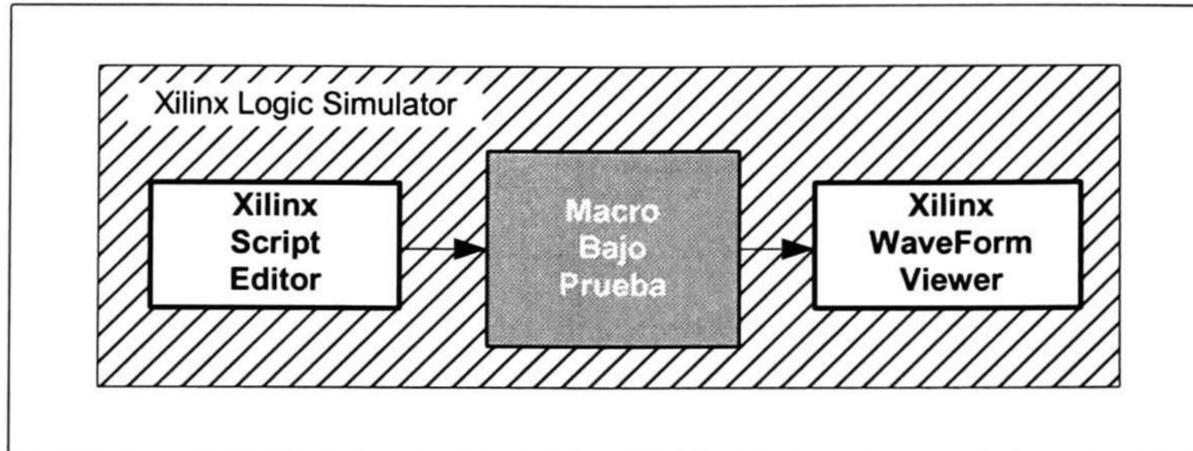


Figura 5-3. Macros del circuito para la transferencia de voz

### 5.2.2 Integración a Nivel Subsistema

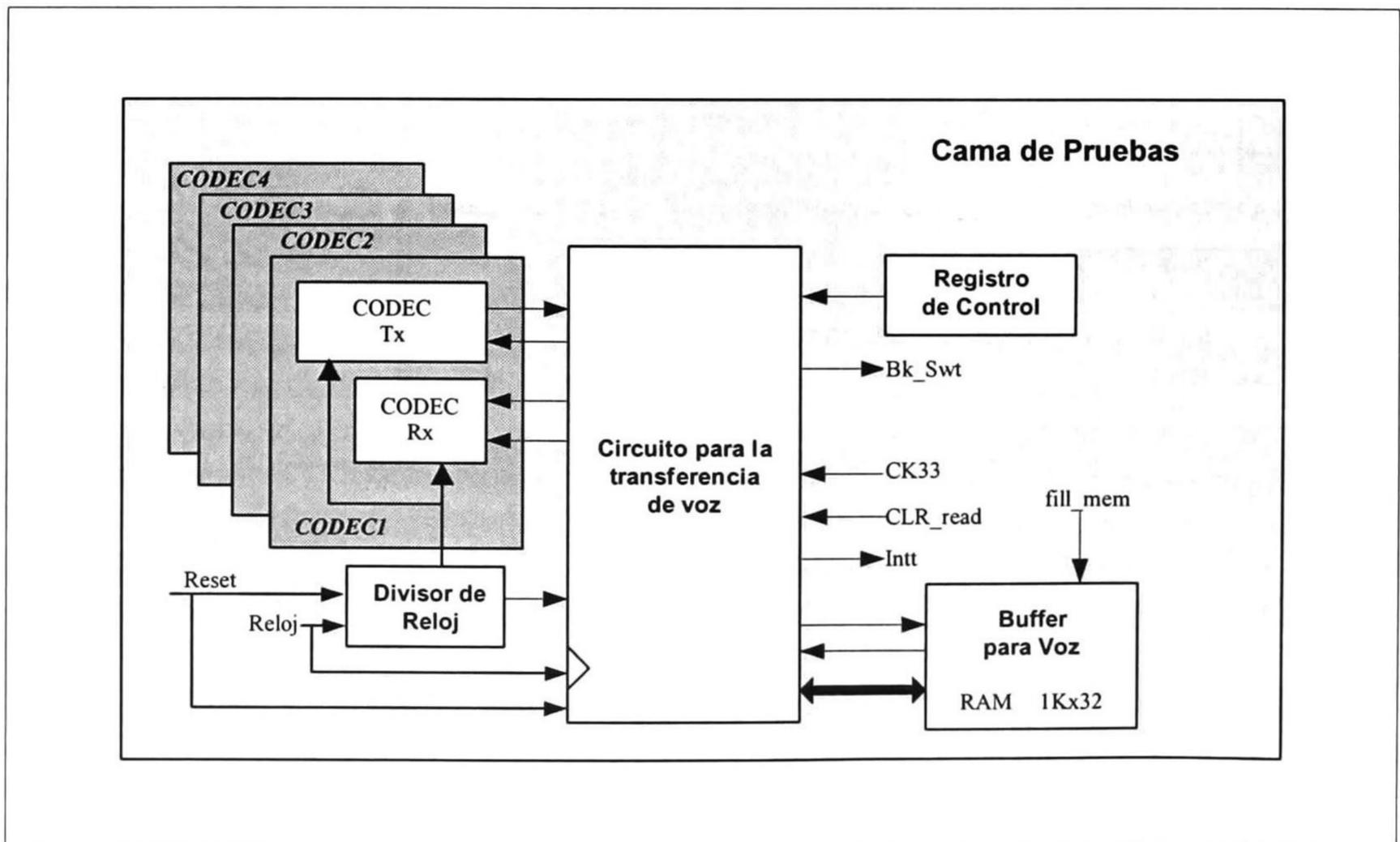
En este nivel de integración se interconectan todas las macros para formar el subsistema de transferencia de voz mostrado en la Figura 5-3.

Después de interconectar todas las macros, el subsistema de transferencia de voz se considera una caja negra en la que la arquitectura interna es irrelevante y solo las señales entradas y salidas del nuevo subsistema reflejarán su comportamiento.



**Figura 5-4. Esquema de verificación del FPGA a nivel macro**

Para la verificación funcional al nivel de subsistema, se utilizó el esquema del modelo funcional de bus. La Figura 5-5 muestra la cama de pruebas utilizada para la verificación funcional del FPGA así como el modelo funcional de bus de los elementos externos al FPGA que tienen interconexión directa con el circuito para la transferencia de voz. Nótese que la estructura interna del circuito de transferencia de voz es totalmente invisible. La única forma de realizar la verificación funcional es estimulando y analizando las interfaces del circuito.



**Figura 5-5. Esquema de verificación a nivel subsistema**

El modelado de los elementos que rodean el diseño fue realizado en VHDL. El modelo de cada uno de los elementos mostrados sigue las especificaciones proporcionadas por los fabricantes de los circuitos integrados utilizados en la realidad.

En el caso de los CODECs, por tratarse de circuitos integrados híbridos, solo se programó el modelo de sus interfaces digitales de transmisión y recepción.

La cama de prueba implementa las señales y elementos internos al FPGA pertenecientes al subsistema formado por los registros internos y las interfaces digitales a los buses externos. De los registros internos, solo el registro de control tiene influencia en el comportamiento del circuito de transferencia de voz.

La cama de prueba fue programada también en VHDL. La simulación fue realizada utilizando el software ModelSim, la cual es una herramienta que no requiere del proceso de síntesis antes de ejecutar una simulación.

Los estímulos aplicados por los Codecs y el Buffer para voz están formados por datos preprogramados al inicio de la simulación un instante después de aplicar la señal de reset.

La cama de prueba genera archivos de datos los cuales contienen los resultados recibidos por los Codecs y por el Buffer de Voz respectivamente. Al final de la simulación, estos archivos de salida se comparan con otros que contienen los valores esperados en los Codecs y el Buffer de voz. Después de la comparación, el simulador envía un mensaje que indica si la prueba fue exitosa o no.

### **5.2.3 Integración a Nivel Sistema**

La integración a nivel sistema interconecta las dos trayectorias principales en las que se divide el FPGA. Es decir, a este nivel se interconectan el subsistema de transferencia de voz y el subsistema de registros internos e interfaces a componentes externos. Esta última verificada por Jorge Luis Giottonini.

Sin embargo, dada la poca interacción que existe entre estas dos trayectorias, se decidió omitir la verificación a este nivel de integración. Además, las pocas señales existentes entre los dos subsistemas fueron consideradas en la cama de pruebas utilizada en el esquema de verificación a nivel subsistema.

## **5.3 Resultados**

En las simulaciones ejecutadas se consideraron las 4 cantidades máximas de bytes a almacenar en el buffer de voz por cada uno de los Codecs, es decir, en los 4 casos simulados se escriben y se leen desde el buffer de voz 32, 48 64 y 128 bytes respectivamente. El tiempo promedio de simulación para cada caso fue de aproximadamente 10 minutos.

## **5.4 Implementación**

Para la realización del FPGA se consideró un circuito integrado FPGA Spartan de Xilinx con una capacidad de 30000 compuertas. Después del proceso de síntesis del FPGA, la herramienta indicó aproximadamente un 60% de utilización del FPGA lo cual equivale a aproximadamente 18000 compuertas.

# Capítulo 6 Conclusiones

---

En este capítulo se describen las conclusiones correspondientes al desarrollo de esta tesis así como las enseñanzas que esta experiencia ha dejado.

## 6.1 Conclusiones

La realización de un sistema para voz sobre una red de datos (Internet, por ejemplo) no puede llevarse a cabo con tan solo colocar Codecs entre teléfonos y la red de datos implicada. Existe un gran número de elementos que deben considerarse; por ejemplo, los tipos de interfaces telefónicas, especificaciones telefónicas a incluir, los protocolos de red a utilizar, el presupuesto disponible, el costo del sistema, entre otros.

Un sistema confiable de voz sobre una red de datos debe proporcionar la calidad suficiente para poder mantenerse como un sistema rentable. Este debería al menos poseer la calidad de voz que la red telefónica actual proporciona.

Sin duda, la utilización del ancho de banda y la administración de la red son dos de las principales funciones que afectan a un sistema de Voz sobre Internet. Se puede afirmar que la transmisión de Voz y datos sobre redes de paquetes proporciona el método con la mejor eficiencia en el manejo de ancho de banda para la integración de servicios divergentes.

Después de haber desarrollado el presente trabajo se puede decir que la mayoría de los objetivos de la tesis han sido cumplidos al presentar el diseño de una tarjeta FXS que cumple con los requerimientos presentados al inicio del documento.

La inexperiencia, al inicio de este trabajo, en el tema de Voz sobre Internet, en los protocolos involucrados, en el diseño de circuitos impresos de regular velocidad, en el diseño de lógica programable de alta densidad y en el manejo de las respectivas herramientas provocó que el desarrollo de la tesis se alargara mas allá del tiempo especulado, conllevando a que no se tuviera el tiempo necesario para llevar a cabo su implementación.

A pesar de la inexperiencia, se realizó un esfuerzo para lograr el aprendizaje y, casi de forma paralela, la aplicación de lo aprendido.

Aunque no se llegó a una implementación final de la tarjeta, el presente trabajo muestra un panorama de los factores que involucra tanto el diseño de una tarjeta FXS como el diseño de un sistema de transmisión de voz sobre una red de datos. Por lo tanto esta tesis, y las otras relacionadas al sistema VoIP-Cinvestav, serían la primera piedra en Cinvestav Unidad Guadalajara en el desarrollo de esta clase de sistemas. Este documento resultaría de ayuda a la persona que desee incursionar en el área del diseño de sistemas de telefonía sobre Internet.

En el presente trabajo se aplicaron las metodologías fundamentales para el diseño de sistemas digitales en lógica programable así como la metodología de verificación de los mismos. Esto brinda un ejemplo de como la teoría de estas metodologías es aplicada en la solución de un problema real. La verificación del FPGA incluido en este trabajo, por

ejemplo, utiliza diferentes esquemas de verificación en diferente nivel de integración. A pesar de ello, es necesario concluir que la metodología de auto-prueba, en la cual el verificador solo analiza si el caso de prueba fue exitoso o no, es la más conveniente a utilizar.

Un aspecto que, debido a la inexperiencia, se descuidó un poco en esta tesis y sobre todo en el diseño de la lógica programable fue la inclusión de mecanismos para las pruebas físicas de la tarjeta. Por ejemplo, el diseño del FPGA está enfocado en la funcionalidad que éste debe presentar pero carece de lógica que permita realizar auto pruebas físicas.

## 6.2 Trabajo Futuro

Aun cuando se ha realizado la mayor parte del trabajo en lo que al hardware se refiere, aun faltan algunos aspectos a completar.

Específicamente, para una futura implementación es necesario realizar el firmware del microcontrolador para el soporte de las cuatro líneas telefónicas. Se requiere también del diseño y la implementación del software controlador (Device Driver) de la tarjeta FXS/IP en la PC así como el software interfaz entre las aplicaciones de control de la llamada y el controlador de la tarjeta. Un cambio para mejorar la eficiencia del sistema es el implementar un generador de tonos de ocupado (*Busy*), timbrando (*Ring Back*) y el de invitación a marcar (*Dialing*) dentro del FPGA, de manera que la PC pueda activar uno de estos tonos a través de una escritura a registro.

Otra posibilidad a futuro es la de implementar la tarjeta FXS/IP como un sistema independiente de la PC es decir un dispositivo *stand-alone* el cual incluya por un lado las interfaces a las líneas telefónicas y por el otro una interfaz directa a una red específica de datos, Ethernet por ejemplo. Un posible esquema de este sistema se muestra en la Figura 6-1.

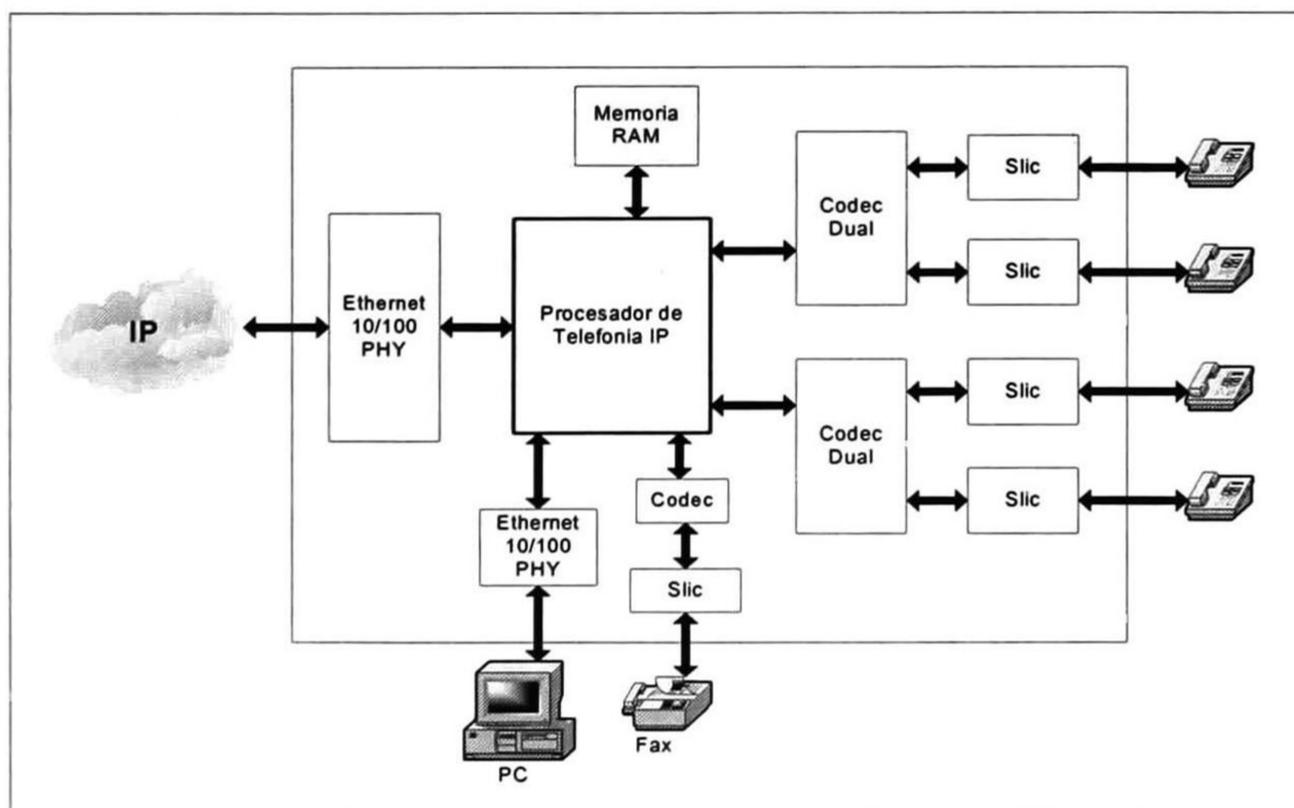


Figura 6-1. Alternativa a futuro para la tarjeta FXS/IP

Esta nueva alternativa agrega características adicionales tales como el soporte para la transmisión y recepción de Fax e interfaces para la comunicación con una PC desde la cual se podrían realizar funciones de monitoreo y configuración. Actualmente Zarlink y Texas Instruments son dos de los fabricantes que proporcionan procesadores para telefonía por IP así como algunas otras familias de dispositivos para el soporte de esta clase de sistemas. Estos también proporcionan el firmware y software para la implementación de los protocolos y estándares utilizados en la telefonía por IP.

## BIBLOGRAFIA

- [1] **J. R. Pierce, A. M. Noll:** *Señales. La Ciencia de las Telecomunicaciones*, Editorial Riverté.
- [2] **J. Bellamy.** *Digital Telephony*. Second Edition. John Wiley & Sons, Inc. 1991.
- [3] **W. D. Reeve:** *Subscriber Loop Signaling and Transmission Handbook. Analog.* IEEE PRESS, 1992
- [4] **W. D. Reeve:** *Subscriber Loop Signaling and Transmission Handbook: Digital.* IEEE PRESS, 1995
- [5] **H. Schulzrinne:** "Converging on Internet Telephony," *IEEE Internet Computing Magazine*, pp. 40-43, May-June 1999.
- [6] **P. Goyal, A. Greenberg, C. R. Kalmanek, W. T. Marshall, P. Mishra, D Nortz And K.K. Ramakrishnan. At&T Laboratories.:** "Integration of Call Signaling and Resource Management for IP Telephony," *IEEE Internet Computing Magazine*. pp. 44-52, May-June 1999.
- [7] **D. Rizetto, C. Catania:** "A Voice Over IP Service Architecture for Integrated Communications," *IEEE Internet Computing Magazine*. pp. 53-62, May-June 1999.
- [8] **Christos A. Polyzois, K. Hal Purdy, And Pig-Fai Yang, Davis Shrader, Henry Sinnreich, Francois Menard, Henning Schulzrinne.** "From POTS to PANS: A Commentary on the Evolution to Internet Telephony," *IEEE Internet Computing Magazine*. pp. 83-90, May-June 1999.
- [9] **H. Schulzrine, J Rosenberg.** "The IETF Internet Telephony Architecture and Protocols". IC Online Tutorial. <http://computer.org/internet>.
- [10] **Telogy Networks.** *Voice over Packet Tutorial*. <http://www.techguide.com>
- [11] **D. Minolli, E. Minolli:** "Delivering Voice Over IP Networks". Published by John Wiley & Sons, Inc., 1998. 1<sup>st</sup> Ed.
- [12] **J. Davison, J. Peters:** "Voice Over IP Fundamentals". Cisco Press, 2000.
- [13] **J. L. Giottonini:** "Interfaz PCI-PSTN". Tesis de Maestria en CINVESTAV-IPN Unidad Guadalajara. Diciembre de 2000.
- [14] **I. Romero; D. Garduño.** *Voice Over IP Software Design Specification*. CINVESTAV-CTS. Marzo de 2000

- [15] **D. Garduño.** *“Una arquitectura de software considerando mecanismos de sincronización para sistemas multimedia basados en la recomendación ITU -T H.323”*. CINVESTAV-IPN. Tesis de Maestría. Marzo de 2000.
- [16] **J. G. Fuentes, J.L. Giottonini.** FXS/IP NAYARIT CARD Technical Design Specification. Issue 0.2. CINVESTAV-CTS. January 2000.
- [17] **J. G. Fuentes, J. L. Giottonini.** AIDE FPGA. Technical Design Specification. Issue 0.2. CINVESTAV-CTS. August 2000.
- [18] **International Telecommunication Union.** Telecommunication Standardization Sector. *ITU -T Recommendation H.323Packet -based multimedia communications systems*. February 1998.
- [19] **H. W. Johnson, M. Graham.** *High -Speed Digital Design. A Handbook of Black Magic*. Prentice Hall 1993.
- [20] **E. Solari, G. Willse.** *PCI Hardware and Software. Architecture and Design*. Third Edition. Annabooks, San Diego. January 1996.
- [21] **M. I. Montrose.** *Printed Circuit Board Design Techniques for EMC Compliance*. IEEE Press 1996.
- [22] **PCI Special Interest Group.** *PCI Local Bus Specification*. Revision 2.1 June 1, 1995.
- [23] **S. Sjöholm, L. Lindh.** *VHDL for Designers*. Prentice Hall Europe 1997
- [24] **P. J. Ashenden.** *The Designer's Guide to VHDL*. Morgan Kaufmann Publishers, Inc. San Francisco, Ca. 1996.
- [25] **K. Skahill.** *VHDL for Programmable Logic*. Cypress Semiconductor. Addison Wesley Publishing, 1996.
- [26] **D. J. Smith.** *HDL Chip Design. A practical Guide for Designing, Synthesizing and Simulating ASICs and FPGAs using VHDL or Verilog*. Doone Publications, 1996
- [27] **D. D. Gajski.** Principles of Digital Design. Prentice Hall, 1997.
- [28] **D. Van Den Bout.** *The Practical Xilinx Designer Lab Book 1.5* . Prentice Hall 1999.
- [29] **J. F Wakerly.** *Digital Design. Principles and Practices*. Third Edition. Prentice Hall, 2000.
- [30] **J. Bergeron.** *Writing Testbenches. Functional Verification of HDL Models*. Kluwer Academic Publishers, 2000.

**Referencias a componentes**

- [C1] **Xilinx.** *XCS30-3PQ240 Spartan FPGA.. The Programmable Logic Data book.* 1999.
- [C2] **Texas Instruments.** *TP3057B PCM Codec and Filter.* Data sheets. Revised July 1996
- [C3] **Fairchild.** *NM93CS46 1K-Bit Serial EEPROM .* Data Sheets. March 1999
- [C4] **IDT.** *IDT7133,7143 2Kx16 Dual Port SRAM .*Data Sheets. January 1999
- [C5] **Intersil.** *HC5526 Subscriber Loop Interface Circuit.* Data Sheets. January 1997.
- [C6] **Mitel.** *MT8888 Integrated DTMF transceiver with Intel interface.* Analog/Digital Telecom components Data Book. Issue 10, 1995. Page 4-91
- [C7] **Atmel.** *AT90S8515 AVR 8-bit microcontroller.* AVR RISC Microcontroller Data Book. August 1999, Page 6-3
- [C8] **PowerDsine** *PCR-SIN01A 1 Watt Sine Wave Telephone Ring Generator.* Data Sheets. Rev06 August 1998.
- [C9] **PicoElectronics.** *IRF48S DC-DC Converter.* Data sheets.
- [C10] **PLX Technologies** *PCI9050-1 PCI Target Interface.* PCI9050-1 Data Book. Version 1.02. December 1999

**Apéndice A.**  
**Especificación Técnica de Diseño de la Tarjeta FXS/IP**

(Este documento se encuentra en el disco compacto que acompaña a la tesis)

**Apéndice B.**  
**Especificación Técnica de Diseño del FPGA AIDE**

(Este documento se encuentra en el disco compacto que acompaña a la tesis)

**Apéndice C.  
Plan de Pruebas**

(Este documento se encuentra en el disco compacto que acompaña a la tesis)

**Apéndice D.**  
**Diagramas Esquemáticos de la tarjeta**

(Estos documentos se encuentran en el disco compacto de la tesis)



## Contenido del disco compacto que acompaña al documento de tesis.

Directorio	Archivo	Descripción
<i>Archivos de esquemáticos y layout / FXS_CARD_BOM</i>	FXSCARD_02may00.xls	Cotización de componentes de la tarjeta. Documento de Excell
	FXSCARD_5.xls	Lista de materiales de la tarjeta (BOM). Documento de Excell
<i>Archivos de esquemáticos y layout / FXS_Layout_Rev0.1</i>	FXSCARD_5.mml	Lista de nodos. Archivo de Orcad Layout Release 9
	FXSCARD12NOV99.MAX	Layout de la tarjeta. Archivo de Orcad Layout Release 9
	FXSCARD12NOV99.SST	Documentos de fabricación de la tarjeta. Archivos de Orcad Layout Release 9
	FXSCARD12NOV99.SMT	
	FXSCARD12NOV99.TOP	
	FXSCARD12NOV99.PWR	
	FXSCARD12NOV99.GND	
	FXSCARD12NOV99.BOT	
	FXSCARD12NOV99.SMB	
	FXSCARD12NOV99.SSB	
	FXSCARD12NOV99.DRD	
	FXSCARD12NOV99.AST	
	FXSCARD_5.DSN	
*.OLB		
<i>Archivos de esquemáticos y layout / FXS_Library_Layout</i>	Telefonia IP.mdb	
<i>Archivos de esquemáticos y layout / FXS_Library_Schematic</i>		Librerías de footprints. Archivos de Orcad Layout Release 9
<i>Archivos del FPGA\Simulaciones nivel_modulo\Codigo en VHDL de Modulos</i>	*.VHD	Base de datos de los componentes para los esquemáticos. Archivo de Orcad Capture Release 9
<i>Archivos del FPGA\Simulaciones nivel_modulo\Scripts de simulacion</i>	*.CMD	Código en VHDL de los módulos que componen el circuito de transferencia de la voz en el FPGA
<i>Archivos del FPGA\Simulaciones nivel_subistema\Codigo en VHDL del TestBench</i>	aidepkg.vhd	Scripts para la verificación de los módulos que componen el circuito de transferencia de la voz en el FPGA. Archivos para el programa Xilinx Foundation Script Editor.
	fsmdata.vhd	Librería en VHDL ( <i>package</i> ) de los módulos que forman el circuito de transferencia de la voz en el FPGA.
	stimpkg.vhd	Código en VHDL para la interconexión de los módulos que forman el circuito de transferencia de la voz en el FPGA.
		Librería en VHDL ( <i>package</i> ) de los módulos que forman la cama de pruebas (testbench) para la verificación del circuito de transferencia de la voz en el FPGA.
	testbench.vhd	Código en VHDL para la interconexión de los módulos que forman la cama de pruebas (testbench) para la verificación del circuito de transferencia de la voz en el FPGA.

## Contenido del disco compacto que acompaña al documento de tesis (cont...)

Directorio	Archivo	Descripción	
<i>Archivos del FPGA\Simulaciones nivel_subistema\Resultado de Simulacion</i>	rx_cod128bytes.txt	Archivo de salida resultante de la simulación del circuito de transferencia de la voz en el FPGA. Se reciben 128 bytes en el Codec activo.	
	rx_cod32bytes.txt	Igual que el anterior pero considerando 32 bytes.	
	rx_cod48bytes.txt	Igual que el anterior pero considerando 48 bytes.	
	rx_cod64bytes.txt	Igual que el anterior pero considerando 64 bytes.	
	vsim.wlf	Formas de onda de la simulación. Archivo para ModelSim	
	wr_mem128bytes.txt	Archivo de salida resultante de la simulación del circuito de transferencia de la voz en el FPGA. Se almacenan 128 bytes por Codec en el buffer externo para la transferencia de la voz.	
	wr_mem32bytes.txt	Igual que el anterior pero considerando 32 bytes.	
	wr_mem48bytes.txt	Igual que el anterior pero considerando 48 bytes.	
	wr_mem64bytes.txt	Igual que el anterior pero considerando 64 bytes.	
	cc.do	Script de compilación de la cama de pruebas.	
<i>Archivos del FPGA\Simulaciones nivel_subistema\Scripts para simulacion</i>	c.txt	Script de ejecución de la cama de pruebas.	
	wave_last.do	Script para agregar señales en la simulación	
	modelsim.ini	Script de configuración para ModelSim	
	pci_wr.txt	Archivo con vectores de entrada. Información desde PCI hacia memoria de doble puerto.	
	tx_cod.txt	Archivo con vectores de entrada. Información desde el Codec hacia la memoria de doble puerto	
	Board_PostLayout.pdf	Diagrama de la tarjeta después del layout. Archivo de Acrobat.	
	caps.pdf	Esquemáticos de la tarjeta. Archivos de Acrobat.	
	cod2to4.pdf		
	CODEC1_p4.PDF		
	dpm.pdf		
<i>Diagramas esquematicos</i>	dtm1to5.pdf		
	fpga.pdf		
	microc.pdf		
	pci_conn.pdf		
	pci_targ.pdf		
	protect.pdf		
	Ring_p1.PDF		
	silic1to4.pdf		
	apendice_a_tdsBoard.doc	Especificación Técnica de la Tarjeta. Documento de Microsoft Word	
	apendice_b_TDS_FPGA.doc	Especificación Técnica del FPGA. Documento de Microsoft Word	
apendice_c_Test_Plan.doc	Test Plan para el FPGA. Documento de Microsoft Word		
<i>Documentos</i>	Descripción de los escenarios sin gatekeeper.doc	Descripción de una comunicación entre dos PCs con la tarjeta FXS/IP. Documento de Microsoft Word	
	Tesis_Doc_rev1.0.doc	Documento de Tesis. Documento de Microsoft Word	
	gw_t.pdf	Escenarios de la comunicación Gateway-Terminal	
	t_gw.pdf	Escenarios de la comunicación Terminal-Gateway	
	t_t.pdf	Escenarios de la comunicación Terminal-Terminal	
	Terminal.PDF	Escenarios de la comunicación Terminal-Terminal a mas bajo nivel.	
	ar505enu.exe	Instalación para el Acrobat Reader 5.0	
	<i>Escenarios de Llamada</i>		
<i>root</i>			



**Centro de Investigación y de Estudios Avanzados del IPN**

**Unidad Guadalajara**

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional, aprobó la tesis: DISEÑO DE UNA TARJETA FXS PARA LA TRANSMISIÓN DE VOZ A TRAVÉS DE UNA RED DE DATOS del(a) C. Juan Gabriel FUENTES NOLASCO el día 31 de Mayo de 2002.

Dr. Jose Luis LEIVA MONTIEL  
Investigador Cinvestav 3B  
CINVESTAV GDL  
Guadalajara

Dr. Deni Librado TORRES  
ROMÁN  
Profesor Investigador 3A  
CINVESTAV GDL  
Guadalajara

Dr. Arturo VELOZ GUERRERO  
Investigador Cinvestav 3A  
CINVESTAV GDL  
Guadalajara

Ing. Jorge Armando GAMBOA  
ORTIZ  
Gerente General  
Centro de Tecnología de  
Semiconductores  
Guadalajara



CINVESTAV  
BIBLIOTECA CENTRAL



SSIT000004429