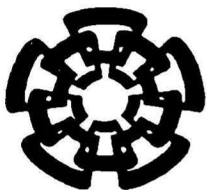


xx(1016(2,1)



CINVESTAV

*Centro de Investigación y de Estudios Avanzados del IPN
Unidad Guadalajara*

**Diseño e Implementación de un DSU/CSU
para la línea E1**

CINVESTA
I P N

ADQUISICION
DE LIBROS

TESIS QUE PRESENTA
ARMANDO GOVEA CAMACHO

PARA OBTENER EL GRADO DE
MAESTRO EN CIENCIAS

EN LA ESPECIALIDAD DE
INGENIERIA ELECTRICA

Unidad Guadalajara, Jalisco. Marzo de 2002

CLASIF.
ADQUIS.	Tesis-2002
FECHA	6-agosto-02
PROCED.	Serv. Bibli.

Diseño e Implementación de un DSU/CSU para la línea E1

Tesis de Maestría en Ciencias
Ingeniería Eléctrica

Por:

Armando Govea Camacho

Ingeniero en Comunicaciones y Electrónica
Universidad de Guadalajara, 1989-1994.
Becario de CONACYT, expediente no. 112949

Director de Tesis:

Dr. José Luis Leyva Montiel

CINVESTAV del IPN Unidad Guadalajara, Marzo de 2002

Índice General

<i>Diseño e Implementación de un DSU/CSU para la línea E1</i>	<i>i</i>
<i>Índice de Figuras</i>	<i>vi</i>
<i>Índice de Tablas</i>	<i>vii</i>
<i>Introducción</i>	<i>viii</i>
<i>Antecedentes</i>	<i>viii</i>
<i>Mercado de los DSU/CSU's</i>	<i>ix</i>
1 TRAMA E1	1
1.1 INTRODUCCIÓN.....	1
1.2 ESTRUCTURA DE LA SEÑAL E1.....	1
1.2.1 Código de línea E1.....	3
1.2.2 Código AMI.....	3
1.2.3 Código HDB3.....	3
1.3 ERRORES EN LOS ENLACES TELEFÓNICOS E1.....	4
1.4 CANAL DE MANTENIMIENTO.....	4
1.4.1 Señales orientadas a mensaje.....	5
1.4.2 Formato del mensaje PRM.....	5
1.4.3 Ejemplo de mensaje de reporte de desempeño.....	7
1.5 MANTENIMIENTO.....	8
1.6 ALARMAS.....	8
2 DSU/CSU PARA E1	10
2.1 INTRODUCCION.....	10
2.2 BREVE DESCRIPCION FUNCIONAL DEL DSU/CSU.....	10
2.3 CONFIGURACIONES BASICAS DE LOS DSU/CSUS.....	11
2.4 COMPONENTES DEL DSU/CSU.....	12
2.5 INDICADORES LUMINOSOS.....	13
2.6 INTERFACES FISICAS.....	14
3 LIU/FRAMER EN EL DSU/CSU	15
3.1 INTRODUCCION.....	15
3.2 CONFIGURACIONES DE RETROALIMENTACIÓN O "LOOPBACKS".....	16
3.3 RECUPERACIÓN Y TRANSMISIÓN DE LOS BITS SA EN EL FRAMER.....	19
3.4 CONTADORES DE ERRORES.....	19
3.5 HABILITACION DE CANALES E1.....	19
4 PUERTO DE DATOS	20
4.1 INTRODUCCION.....	20
4.2 FUNCIÓN DEL PUERTO DE DATOS EN EL DSU/CSU.....	20
4.2.1 La adaptación de velocidades.....	21
4.2.2 Decodificador de direcciones.....	22
4.2.3 Puertos de E/S.....	22
4.2.4 Registros V35.....	22
4.2.5 Retroalimentación en el puerto de datos.....	22
4.2.6 Generador y Detector de secuencias de bits pseudoaleatorias (PRBS).....	22
4.2.7 Extracción e inserción de bits Sa.....	22
4.2.8 Adaptación de relojes.....	22
4.2.9 Manejador de interrupciones.....	22
4.3 FIFO DE ADAPTACIÓN DE VELOCIDAD DE NX64KBPS (1<=N<=31) A 2048KBPS.....	23
4.3.1 Mecanismo de adaptación de velocidad en transmisión.....	24

4.4	LA COLA FIFO DE ADAPTACIÓN DE VELOCIDAD DE 2048 A NX64KBPS ($1 \leq N \leq 31$)	30
4.4.1	<i>Mecanismo de adaptación de velocidad en recepción</i>	31
4.5	MANEJO DE LOS BITS SA _n	37
4.6	RETROALIMENTACIONES O LOOPBACKS EN EL PUERTO DE DATOS	39
4.7	GENERADOR DE SEÑALES DE RELOJ	40
4.8	DECODIFICADOR DE DIRECCIONES	40
4.9	MANEJO DE INTERRUPCIONES	42
4.10	COMUNICACIÓN DEL DSU/CSU CON EL EQUIPO DEL USUARIO	45
5	EL MICROCONTROLADOR	46
5.4	INTRODUCCIÓN	46
5.5	ELECCIÓN DEL MICROCONTROLADOR	46
5.6	CONFIGURACIÓN DEL MICROCONTROLADOR AT89C51	48
5.7	CONFIGURACION BÁSICA DE LOS REGISTROS DEL MICROCONTROLADOR	49
5.8	CONEXIÓN CON OTROS DISPOSITIVOS	51
5.9	PUERTO SERIE DE COMUNICACIONES "UART"	52
6	CONTROL DE LOS BITS SA	53
6.4	INTRODUCCIÓN	53
6.5	CONTROLADOR DE COMUNICACIÓN SERIAL	53
6.6	DESCRIPCIÓN DEL SCC	53
6.7	CONFIGURACION DEL SCC	55
7	CONCLUSIONES	61
8	BIBLIOGRAFÍA	62
9	APÉNDICE A	64
10	APÉNDICE B	131

Índice de Figuras

Figura 1	Formato AMI.....	3
Figura 2	Formato HDB3.....	4
Figura 3	Formato de señales orientadas a mensaje.....	5
Figura 4	Estructura del paquete HDLC.....	6
Figura 5	Contenido de los octetos que conforman el paquete HDLC.....	6
Figura 6	Interpretación del paquete HDLC.....	7
Figura 7	Ejemplo de PRM.....	8
Figura 8	El fraccional.....	10
Figura 9	Aplicación del DSU/CSU en la red telefónica pública.....	11
Figura 10	Aplicación del DSU/CSU en un campus.....	11
Figura 11	Diagrama a bloques del DSU/CSU.....	12
Figura 12	Panel frontal del DSU/CSU.....	13
Figura 13	Panel trasero del DSU/CSU.....	14
Figura 14	Diagrama a bloques del Framer.....	16
Figura 15	Aplicación de las 3 retroalimentaciones del DSU/CSU.....	17
Figura 16	Retroalimentación local.....	17
Figura 17	Retroalimentación del framer.....	18
Figura 18	Retroalimentación remota.....	18
Figura 19	Puerto de datos.....	21
Figura 20	Diagrama a bloques de la cola Txfifo.....	23
Figura 21	Diagrama de tiempo del bloque Txfifo.....	27
Figura 22	Ocupación del bloque Txfifo cuando la velocidad del DTE =1024Kbps y los canales seleccionados para transmitir son: del 1 al 16.....	28
Figura 23	Ocupación del bloque Txfifo cuando la velocidad del DTE =1024Kbps y los.....	29
Figura 24	Diagrama a bloques de la cola Rxfifo.....	30
Figura 25	Diagrama de tiempo del bloque Rxfifo.....	34
Figura 26	Ocupación del bloque Rxfifo cuando la velocidad del DTE =1024Kbps y los canales seleccionados para recibir son: del 1 al 16. Este es el caso donde la Rxfifo tiene la máxima ocupación.....	35
Figura 27	Ocupación del bloque Rxfifo cuando la velocidad del DTE =1024Kbps y los canales seleccionados para recibir son: del 1-11 y del 27-31. Es el caso donde la Rxfifo alcanza su mínima ocupación.....	36
Figura 28	Recepción y transmisión de los bits Sa.....	37
Figura 29	Recepción y transmisión de los bits Sa.....	38
Figura 30	Loopbacks Floop y Dloop.....	39
Figura 31	Adaptación de relojes.....	40
Figura 32	Decodificador de direcciones.....	41
Figura 33	Manejador de interrupciones.....	42
Figura 34	Interfaz del equipo del usuario con la red telefónica.....	45
Figura 35	Diagrama de estados de la comunicación del DSU/CSU (DCE) con el equipo del cliente (DTE).....	45
Figura 36	Diagrama a bloques del microcontrolador AT89C51.....	47
Figura 37	Sistema mínimo.....	48
Figura 38	Mapa de memoria del microcontrolador.....	48
Figura 39	Registros de Función Especial (SFR).....	49
Figura 40	Conexión del Microcontrolador AT89C51 con los dispositivos del DSU/CSU.....	51
Figura 41	Diagrama a bloques del SCC.....	54

Índice de Tablas

<i>Tabla 1.</i>	<i>Bits del 1 al 8 de una trama EI</i>	<i>2</i>
<i>Tabla 2.</i>	<i>Estructura de la multitrama CRC4</i>	<i>2</i>
<i>Tabla 3.</i>	<i>Banderas de interrupciones del puerto de datos, Framers y SCC</i>	<i>44</i>
<i>Tabla 4.</i>	<i>Registros de escritura del SCC</i>	<i>55</i>
<i>Tabla 5.</i>	<i>Registros de lectura del SCC</i>	<i>56</i>
<i>Tabla 6.</i>	<i>Secuencia de inicialización del SCC</i>	<i>60</i>

Introducción

Antecedentes

La red pública telefónica, es uno de los medios más socorridos para comunicar punto a punto, las redes de voz y datos. Por esta misma razón, la infraestructura existente de cobre (líneas de par torcido) es el medio más explotado para llevar información desde los hogares, oficinas o grandes compañías, hasta la central telefónica.

Debido a esto se utiliza la red telefónica pública con la finalidad de transmitir voz y datos.

DCE (Data Communication Equipment) es el nombre genérico que se usa para nombrar al dispositivo que interconecta el equipo del cliente con la central telefónica. El DCE más común para velocidades de hasta 56Kbps es el “modem” que utiliza una modulación en fase, para lograr una comunicación punto a punto.

Para velocidades mayores, de hasta 2.048Mbps se utilizan los DSU/CSU (Data Service Unit/Channel Service Unit). Estos dispositivos transmiten en banda base a distancias de hasta 1.5Km.

CSU: Unidad de Servicio al canal, es un dispositivo que funciona como interfaz digital, que conecta equipos terminales del usuario a la línea telefónica, por ejemplo un conmutador o un ruteador.

DSU: Unidad de Servicio de Datos, dispositivo empleado en la transmisión digital para conectar un CSU a un DTE (Equipo Terminal de datos, el cual funciona como fuente o destino de los datos, y que también ofrece las funciones de control de comunicaciones de datos de acuerdo con los protocolos. Ejemplos de estos protocolos son RS-232, RS-449, EIA530 y V35. Ejemplos de DTEs son computadoras, servidores de red, traductores de protocolos y multiplexores).

Los DSU/CSUs para E1 (estándar europeo, que es utilizado en México), son dispositivos que permiten a un equipo de transmisión de datos conectarse a la línea telefónica. Los DSU/CSU's de muy bajas velocidades, 56kbps y 64kbps, soportan servicios digitales de banda angosta y son similares en apariencia a los modems. Los DSU/CSU's de más alta velocidad son diseñados para un ancho de banda de T1 ó E1, y son normalmente construidos para dispositivos de red. Un DSU/CSU puede proveer servicios especiales que van más allá de una simple interfaz, encriptación, multiplexación, manejo de estadísticas de los diferentes tipos de errores, etc. En la figura 1 se ilustra donde se utiliza.

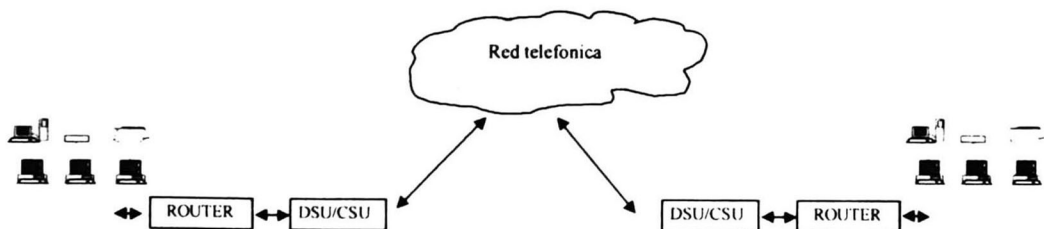


Figura.1 Aplicación del DSU/CSU

El DSU/CSU permite comunicar puentes o ruteadores a través de la línea telefónica, genera estadísticas de la comunicación y conteo de errores, con la finalidad de verificar la calidad del canal.

El presente documento describe una estrategia de diseño de un DSU/CSU, la cual se basa en utilizar el mínimo de compuertas de un CPLD y utilizar la menor cantidad de circuitos integrados posible alrededor de este, ya que a mayor cantidad de componentes mayor es el precio.

En el mercado existen diferentes tipos de DSU/CSU's, los cuales varían en precio de acuerdo a la cantidad de protocolos de comunicación y velocidad que manejen en el canal de datos. El DSU/CSU que se describe en los siguientes capítulos, maneja 8 tipos de interfaces hacia el DTE y una velocidad de $n \times 64\text{Kbps}$ ($1 \leq n \leq 31$).

El capítulo 1, describe la trama E1. El capítulo 2, menciona en forma superficial las funciones del DSU/CSU. El capítulo 3, explica como funciona el LIU/Framer. El capítulo 4, describe los bloques que se diseñaron en el FPGA (adaptación de velocidades). El capítulo 5, menciona el microcontrolador AT89C51. El capítulo 6, describe el canal de mantenimiento o canal Sa.

Mercado de los DSU/CSU's

En la actualidad existen muchos fabricantes de DSU/CSU's, por ejemplo: Paradyne, Cisco systems, Rad data communications, Telebyte, Adtran, DataSMART, Telinc, Kentrox, Archtek Telecom Corp. Best data products Inc. BoCE research, Cardinal technologies, Hayes, IBM, Megahertz corporation, Microm, Motorola, Multitech, Penril, Practical peripherals, Quantum data system, HK Ltd, Supra, teletronix, US Robotics, Zoom, etc.

El precio de cada uno de estos DSU/CSU's depende de la cantidad de protocolos y velocidad que se maneja en el canal de datos (DSU). A mayor velocidad y cantidad de protocolos mayor precio.

Lista de precios de los DSU/CSU's			
Fabricante	Modelo	Interfaz con el usuario	Precio
Telebyte	Model682	V35	920
Paradyne	3172,	EIA 530A, v 35, RS-449	1642
RAD	FCD-E1	V 35, RS-530, V 36/RS-449 or X 21	
ADTRAN	DSU III	EIA-530 or V 35, X 21/V 11	995
DataSMART	456	EIA-530 or V 35, X.21/V 11	1495
Telinc	TL3452/TL3450	X21, V35	
CISCO	3600	EIA-530 or V 35, X 21/V 11	3092
Kentrox	PN 01-72521	V35, EIA530/RS449	2495

Tabla I. Lista de precios de DSU/CSU's

Introducción

Antecedentes

La red pública telefónica, es uno de los medios más socorridos para comunicar punto a punto, las redes de voz y datos. Por esta misma razón, la infraestructura existente de cobre (líneas de par torcido) es el medio más explotado para llevar información desde los hogares, oficinas o grandes compañías, hasta la central telefónica.

Debido a esto se utiliza la red telefónica pública con la finalidad de transportar voz y datos.

DCE (Data Communication Equipment) es el nombre genérico que se usa para nombrar al dispositivo que interconecta el equipo del cliente con la central telefónica. El DCE más común para velocidades de hasta 56Kbps es el "modem", que utiliza una modulación en fase, para lograr una comunicación punto a punto.

Para velocidades mayores, de hasta 2.048Mbps se utilizan los DSU/CSU (Data Service Unit/Channel Service Unit). Estos dispositivos transmiten en banda base a distancias de hasta 1.5Km.

CSU: Unidad de Servicio al canal, es un dispositivo que funciona como interfaz digital, que conecta equipos terminales de usuario a la línea telefónica, por ejemplo un conmutador o un ruteador.

DSU: Unidad de Servicio de Datos, dispositivo empleado en la transmisión digital para conectar un CSU a un DTE (Equipo Terminal de datos, el cual funciona como fuente o destino de los datos, y que también ofrece las funciones de control de comunicaciones de datos de acuerdo con los protocolos. Ejemplos de estos protocolos son RS-232, RS-449, EIA530 y V35. Ejemplos de DTEs son computadoras, servidores de red, traductores de protocolos y multiplexores).

Los DSU/CSUs para E1 (estándar europeo, que es utilizado en Mexico), son dispositivos que permiten a un equipo de transmisión de datos conectarse a la línea telefónica. Los DSU/CSU's de muy bajas velocidades 56kbps y 64kbps, soportan servicios digitales de banda angosta y son similares en apariencia a los modems. Los DSU/CSU's de más alta velocidad son diseñados para un ancho de banda de T1 ó E1, y son normalmente construidos para dispositivos de red. Un DSU/CSU puede proveer servicios especiales que van más allá de una simple interfaz, encriptación, multiplexación, manejo de estadísticas de los diferentes tipos de errores, etc. En la figura 1 se ilustra se donde se utiliza.

El DSU/CSU permite comunicar puentes o ruteadores a través de la línea telefónica. También genera estadísticas de la comunicación y conteo de errores, con la finalidad de verificar la calidad del canal.

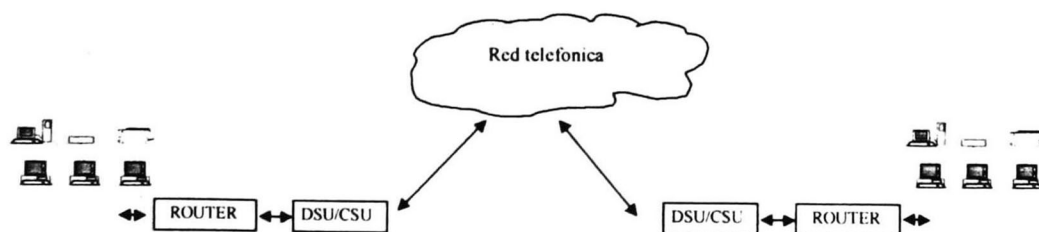


Figura.1 Aplicación del DSU/CSU

Mercado de los DSU/CSU's

En la actualidad existen muchos fabricantes de DSU/CSU's, por ejemplo: Paradyne, Cisco systems, Rad data communications, Telebyte, Adtran, DataSMART, Telinc, Kentrox, Archtek Telecom Corp. Best data products Inc. BoCE research, Cardinal technologies, Hayes, IBM, Megahertz corporation, Microm, Motorola, Multitech, Penril, Practical peripherals, Quantum data system, HK Ltd, Supra, , teletronix, US Robotics, Zoom.

El precio de cada uno de estos DSU/CSU's depende de la cantidad de protocolos y velocidad que se maneja en el canal de datos (DSU). A mayor velocidad y cantidad de protocolos mayor precio.

Lista de precios de los DSU/CSU's			
Fabricante	Modelo	Interfaz con el usuario	Precio
Telebyte	Model682	V35	920
Paradyne	3172,	EIA 530A, v.35, RS-449	1642
RAD	FCD-E1	V.35, RS-530, V.36/RS-449 or X.21	
ADTRAN	DSU III	EIA-530 or V.35, X.21/V.11	995
DataSMART	456	EIA-530 or V.35, X.21/V.11	1495
Telinc	TL3452/TL3450	X21, V35	
CISCO	3600	EIA-530 or V.35, X.21/V.11	3092
Kentrox	PN.01-72521	V35, EIA530/RS449	2495

Tabla1. Lista de precios de DSU/CSU's

Capítulo I

1 Trama E1

1.1 Introducción

Las siglas CSU significan, *Unidad de Servicio al Canal*. Las funciones que lleva a cabo el CSU son:

- Conectar el equipo del cliente a la central telefónica
- Proteger el equipo del cliente de sobrevoltajes y sobrecorrientes provenientes de la central telefónica. Por ejemplo, descargas eléctricas en la línea telefónica.
- Recuperar el reloj y la señal original transmitida
- Mantenimiento y supervisión de la línea telefónica y del sistema de comunicaciones.

Las siglas DSU , significan *Unidad de Servicio de Datos*. Las funciones que lleva a cabo el DSU son:

- Formateo de datos, para que sean enviados a través de la red telefónica pública.
- Adaptación de velocidades del equipo del cliente que maneja una velocidad de $n \times 64 \text{Kbps}$ ($1 \leq n \leq 31$); a la red telefónica pública cuya velocidad es 2048Kbps.
- Control del intercambio de datos entre el DSU y el equipo del cliente.
- Funciones de mantenimiento.
 - 1) *Loopbacks*
 - 2) Generación y detección de patrones de prueba 511 y 2047.

1.2 Estructura de la señal E1

La línea E1 opera a una velocidad de 2.048Mbps. Los datos transferidos a través de una línea E1 son organizados en tramas. Cada trama E1 consta de 256 bits, numerados de 1 a 256.

Los 256 bits están organizados en 32 canales de ocho bits cada uno. La trama E1 se repite cada 125 μs . es decir 8000 veces cada segundo. Así, la velocidad de cada canal es de 64Kbps. El número de canales disponibles para el usuario es de 30 ó 31, dependiendo del uso.

Por ejemplo, cuando se transmiten sólo datos, se tienen 31 canales disponibles para usarse como carga útil. El canal 0 es usado para sincronizar la comunicación y para implementar el canal de mantenimiento[1].

Si se transmiten voz y datos, entonces se tienen 30 canales disponibles, ya que el canal 16 se usa para transmitir la señalización de las llamadas telefónicas.

En la tabla 1 se muestra el canal 0. Este canal está compuesto por un patrón repetitivo de dos palabras: FAS y NFAS.

Número de bit	1	2	3	4	5	6	7	8
FAS Trama que contiene alineación de trama.	Si	0	0	1	1	0	1	1
	Nota 1			Palabra de alineación de trama				
NFAS Trama que no tiene Alineación de trama	Si	1	A	Sa4	Sa5	Sa6	Sa7	Sa8
	Nota 1	Nota 2	Nota 3	Nota 4				

Tabla 1. Bits del 1 al 8 de una trama E1.

Nota 1: Si.- Es usado para monitoreo de errores, en la Verificación Redundante cíclica 4 (CRC-4).

Nota 2: Este bit es fijo a uno, para evitar confusión con la palabra de alineación de trama.

Nota 3: A.- Indica Alarma remota. 1 condición de alarma. 0 no alarma.

Nota 4: Sa4-Sa8. Se utilizan en aplicaciones específicas punto a punto. De acuerdo con la recomendación del CCITT G.761.

Nota 5: Las tramas FAS y NFAS se alternan.

Las tramas E1 están organizadas en patrones más largos llamados multitramas. El número de tramas incluidas en una multitrama es 16. En transmisión de voz, el canal 16 es utilizado para la señalización y en este caso, el número máximo de canales disponibles para el usuario se reduce a 30.

En la tabla 2 se muestra la estructura de la multitrama CRC-4 para el canal 0.

	Sub-multitrama(SMF)	Número de trama	Bits del 1 al 8							
			1	2	3	4	5	6	7	8
Multitrama	I	0	C1	0	0	1	1	0	1	1
		1	0	1	A	Sa4	Sa5	Sa6	Sa7	Sa8
		2	C2	0	0	1	1	0	1	1
		3	0	1	A	Sa4	Sa5	Sa6	Sa7	Sa8
		4	C3	0	0	1	1	0	1	1
		5	1	1	A	Sa4	Sa5	Sa6	Sa7	Sa8
		6	C4	0	0	1	1	0	1	1
	7	0	1	A	Sa4	Sa5	Sa6	Sa7	Sa8	
	II	8	C1	0	0	1	1	0	1	1
		9	1	1	A	Sa4	Sa5	Sa6	Sa7	Sa8
		10	C2	0	0	1	1	0	1	1
		11	1	1	A	Sa4	Sa5	Sa6	Sa7	Sa8
		12	C3	0	0	1	1	0	1	1
		13	E	1	A	Sa4	Sa5	Sa6	Sa7	Sa8
		14	C4	0	0	1	1	0	1	1
15		E	1	A	Sa4	Sa5	Sa6	Sa7	Sa8	

Tabla 2. Estructura de la multitrama CRC4.

Nota 1: E.-Indica la detección de un error en la palabra CRC4 por el receptor remoto.

Nota 2: C1-C4.- CRC4.

Nota 3: A.- Indica alarma remota.

1.2.1 Código de línea E1

En el enlace entre la oficina central y el DSU/CSU se manejan dos tipos de codificación de línea: AMI (Inversión Alternada de Marca) y HDB3 (Bipolar de Alta-Densidad 3) [3].

1.2.2 Código AMI

En el formato AMI, los “unos” son transmitidos en forma alterna, como pulsos positivos y negativos, es decir cambiando la polaridad del pulso entre +3 y -3V. Los “ceros” son transmitidos con cero Volts. El formato AMI no permite la transmisión de cadenas largas de “ceros” consecutivos. Esto se debe a que estas secuencias no proporcionan información suficiente para la recuperación del reloj en el equipo receptor.

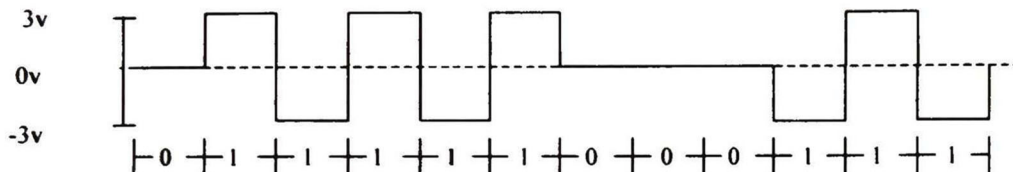


Figura 1 Formato AMI

Dos pulsos consecutivos con la misma polaridad (+,+) ó (-,-) es considerado como una violación bipolar y como un error de transmisión.

1.2.3 Código HDB3

La codificación HDB3 restringe la cantidad de “ceros” consecutivos a 3. Cuando la cantidad de ceros a transmitir es mayor que 3 el equipo transmisor introduce un patrón de violaciones bipolares “válido” que el receptor sabe reconocer y convertir nuevamente en una secuencia de “ceros”

Regla de codificación HDBn

- Se usa el código AMI siempre que no haya un número mayor de n “ceros” consecutivos.
- Si se detecta una secuencia de “ceros” mayor que n , entonces $(n+1)$ ceros se sustituyen por una secuencia pseudoaleatoria con la siguiente estructura:

- A00.....00V
← (n + 1) →

Para un número par de “unos” que hayan ocurrido después del último pulso violación. A representa un pulso de acuerdo a la regla AMI y V un pulso que viola dicha regla.

- 000.....00V
← (n + 1) →

Para un número impar de “unos” que hayan ocurrido después del último pulso violación. En la figura 2. Se ilustra la regla.

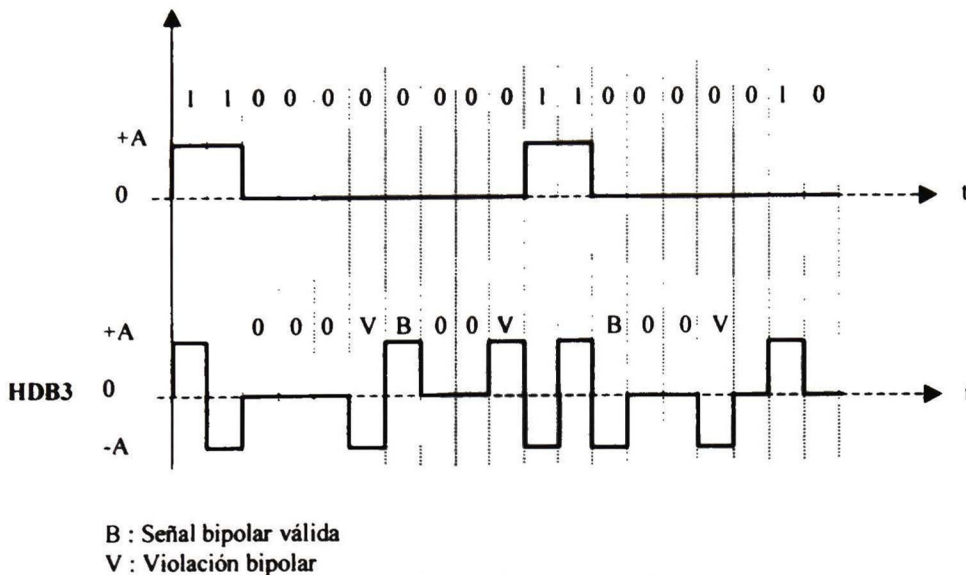


Figura 2 Formato HDB3

1.3 Errores en los enlaces telefónicos E1

La ocurrencia de eventos de error indican la calidad del canal de transmisión en un enlace de comunicaciones[4]. En el DSU/CSU se puede detectar y contabilizar los siguientes tipos de errores:

- Violaciones Bipolares o Violaciones de código
- Error CRC4
- Error en las tramas con FAS y NFAS
- Error en el bit E

Evento de violación bipolar o de código de línea: Para una señal codificada con AMI, una violación bipolar es la ocurrencia consecutiva de pulsos con la misma polaridad. En HDB3 una violación de código es la ocurrencia consecutiva de violaciones bipolares de la misma polaridad.

Evento de error CRC4: Se produce cuando el código CRC4 recibido no corresponde al código calculado localmente. Un caso especial dentro de los errores de CRC es el *Evento de demasiados errores*. Que corresponde a tener más de 914 errores detectados en el CRC4 en un intervalo de un segundo.

Evento de error en las tramas con FAS: Cualquier error en la palabra FAS (0011011).

Evento de error en las tramas con NFAS: Error en el bit 2 de la trama con NFAS.

Evento de error en el bit E: Cuando se recibe el bit E igual a cero, el equipo remoto nos está comunicando que en la trama enviada por nosotros, se detectó un error de CRC-4.

1.4 Canal de mantenimiento.

El sistema E1 tiene un canal de mantenimiento punto a punto entre la CT(Central Telefónica) y el DSU/CSU. A través de este canal la CT envía alarmas, mensajes de control y monitorea los errores que ocurren en una transmisión. Estos mensajes viajan por la red en formato HDLC y son llamados "Señales Orientadas a Mensaje"[20].

1.4.1 Señales orientadas a mensaje

Son Mensajes de mantenimiento que intercambian dos dispositivos, en un enlace bajo el protocolo HDLC (High level Data Link Control)[20].

Bandera 8 bits	Dirección 8 bits	Control 8 bits	Mensaje Cualquier número de bits	CRC 16 bits	Bandera 8 bits
-------------------	---------------------	-------------------	-------------------------------------	----------------	-------------------

Figura 3 Formato de señales orientadas a mensaje.

Dos tipos de señales orientadas a mensaje están definidas para el canal de mantenimiento:

- Mensajes de identificación : de ruta (path), de prueba (test) y desocupado (Idle). Estos pueden ser generados tanto por una terminal o por un equipo intermedio en un circuito DS1. Estos mensajes no se requiere que se generen en el DSU/CSU.
- Mensajes de reporte de desempeño “PRMs”, (ver figura 3). Requeridos por la central telefónica y generados por terminales remotas DS1 (CSUs). Requeridos para las rutinas de mantenimiento en el DSU/CSU.

1.4.2 Formato del mensaje PRM

Estos mensajes contienen el conteo de errores ocurridos cada segundo en los últimos 4s. Estos mensajes se envían indefinidamente cada segundo hacia la CT [21].

Los mensajes ensamblados a partir de la información existente en los registros del DSU/CSU, son enviados por el bit 1 del canal 0, y se repiten cada segundo.

El reporte de desempeño contiene información sobre el desempeño del canal de comunicación en los últimos 4 segundos. Ver octetos 5 al 12 en la figura 4, y el ejemplo de la figura 7.

El conteo de eventos se acumula en cada intervalo contiguo de 1 segundo. Al final de un intervalo, un contador módulo 4 debe ser incrementado, y los bits de desempeño deben ser activados en los t_n octetos (octetos 5 y 6 de la figura 4). Estos octetos y los octetos que llevan los bits de información de los anteriores 3 segundos forman el reporte de desempeño[21].

El equipo que genera el PRM, genera la señal de secuencia de verificación de trama (FCS) y el corrimiento de cero requerido para la transparencia (Esto evita que la bandera 7E, se produzca en la carga útil del mensaje). El transmisor genera el corrimiento de cero en los bits que se encuentran entre las banderas de inicio y fin de trama LAPD, insertando ceros después de una secuencia de 5 unos consecutivos[2].

En las figuras 4,5,6 se usan las siguientes abreviaturas:

- SAPI: Punto identificador de servicio de acceso (Service Access Point Identifier);
- C/R : Orden/Respuesta (Command/Response);
- EA : Dirección extendida (Extended address);
- TEI : Identificador de terminal final (Endpoint Identifier);
- FCS : Secuencia verificadora de trama (Frame Check Sequence).

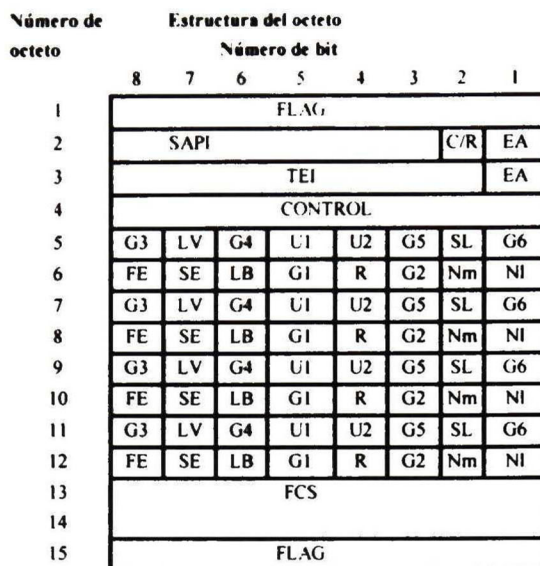


Figura 4 Estructura del paquete HDLC

Número De octeto	Contenido Del octeto	Interpretación
1	01111110,	Opening LAPD flag
2	00111000,	From CI: SAPI=14, C/R=0, EA=0
	00111010,	From carrier: SAPI=14, C/R=1, EA=0
3	00000001,	TEI=0, EA=1
4	00000011,	Unacknowledged frame
5,6	Variable	Data for latest second (T)
7,8	Variable	Data for previous second (T-1)
9,10	Variable	Data for earlier second (T-2)
11,12	Variable	Data for earlier second (T-3)
13,14	Variable	CRC16 Frame Check Sequence
15	01111110,	Closing LAPD flag

Figura 5 Contenido de los octetos que conforman el paquete HDLC

Valor de bit	Interpretación
G1=1	CRC error event=1
G2=1	1<CRC error event ≤5
G3=1	5<CRC error event ≤10
G4=1	10<CRC error event ≤100
G5=1	100<CRC error event ≤319
G6=1	CRC error event ≥320
SE=1	Severely errored framing event ≥ (FE shall=0)
FE=1	Frame synchronization bit error event ≥ (SE shall=0)
LV=1	Line code violation event ≥1
SL=1	Slip event ≥1
LB=1	Payload loopback activated
U1,U2=0	Under study for synchronization
R=0	Reserved (default value=0)
NmNI=00,01,10,11	One-second report modulo 4 counter

Figura 6 Interpretación del paquete HDLC.

1.4.3 Ejemplo de mensaje de reporte de desempeño

Ejemplo de mensajes que reportan el desempeño

Contenido del Mensaje	Octetos	Mensaje enviado en $t = T_0$	Mensaje enviado En $t = T_0 + 1$	Mensaje enviado en $t = T_0 + 2$	Mensaje enviado En $t = T_0 + 3$
Encabezado	Flag	01111110,	01111110,	01111110,	01111110,
	Address 1	00111000,	00111000,	00111000,	00111000,
	Address 2	00000001,	00000001,	00000001,	00000001,
	Control	00000011,	00000011,	00000011,	00000011,
El segundo más Reciente	msg octet 1	00000001,	00000000,	10000000,	00100000,
	msg octet 2	00000000,	00000001,	00000010,	00000011,
1er. segundo Previo	msg octet 3	00000000,	00000001,	00000000,	10000000,
	msg octet 4	00010011,	00000000,	00000001,	00000010,
2do. Segundo Previo	msg octet 5	00000000,	00000000,	00000001,	00000000,
	msg octet 6	01000010,	00010011,	00000000,	00000001,
3er. segundo Previo	msg octet 7	00000010,	00000000,	00000000,	00000000,
	msg octet 8	00000001,	01000010,	00010011,	00000000,
Verificación de Error	FCS octet 1	Xxxxxxxx	Xxxxxxxx	Xxxxxxxx	Xxxxxxxx
	FCS octet 1	Xxxxxxxx	Xxxxxxxx	Xxxxxxxx	Xxxxxxxx
	Flag	01111110,	01111110,	01111110,	01111110,

NOTA - El desempeño y el valor del contador de datos se muestran a continuación

T 0 -3 → NmNI= 01, slip = 1, all other parameters = 0
T 0 -2 → NmNI = 10, severely errored framing = 1; all other parameters = 0
T 0 -1 → NmNI = 11, CRC error = 1, all other parameters = 0
T 0 → NmNI = 00, CRC error = 320; all other parameters = 0
T 0 +1 → NmNI = 01, all parameters = 0
T 0 +2 → NmNI = 10; CRC error = 6; all other parameters = 0
T 0 +3 → NmNI = 11; CRC error = 40, all other parameters = 0

Figura 7 Ejemplo de PRM

1.5 Mantenimiento

Las rutinas de mantenimiento tienen por objeto determinar la posible fuente de falla en un enlace. El DSU/CSU cuenta con tres mecanismos que permiten localizar una falla en el sistema:

- Mecanismos de retroalimentación
LLB(Local Loopback) activado automáticamente a través del bit Sa6:
Secuencia de encendido = 1000
Secuencia de apagado = 1010

LLB, RLB(Remote Loopback), FLB (Framer Loopback), activados por el usuario.

- Generación y detección de patrones de prueba (secuencias pseudoaleatorias)
Activados en el DSU/CSU por el usuario
- Mensajes de control
Mensajes orientados a bit

1.6 Alarmas

Las alarmas tienen la función de indicar la existencia de un problema en la red telefónica [4]. Las compañías telefónicas manejan básicamente 3 tipos de alarmas. éstas se ilustran a continuación:

- Alarma roja ó indicación de pérdida de alineación de trama. Esta es una alarma generada localmente y se declara en caso de perder la alineación de trama por más de 2s. Puede ser originada por:
Pérdida de la señal (LOS)
Pérdida del patrón de sincronía, se activa si se reciben tres patrones FAS consecutivos incorrectos.
Errores excesivos de CRC-4 (más de 914 en un intervalo de 1 segundo).
- Alarma amarilla ó indicación de alarma remota. Indica que el equipo remoto se encuentra en el estado de “pérdida de alineación de trama” El equipo remoto transmite una alarma amarilla en alguna de las siguientes formas :
 - Sujeta el bit_3 del patrón NFAS a uno por tres tramas consecutivas.
 - Sujeta el bit 6 del canal 16 a uno

- **Alarma azul ó indicación de señal de alarma (AIS).**
Indica que el equipo remoto está fuera de servicio. En este caso el equipo remoto envía una secuencia de unos todo el tiempo sin formato de manera de que el receptor no pierda el reloj y pueda salir de sincronía. La alarma azul se declara cuando en dos tramas consecutivas (512 bits) se tienen 2 o menos ceros.
- **Condición de deslizamiento**
Esta alarma se genera localmente e indica que el reloj proveniente de la red telefónica respecto al reloj del canal de datos está fuera de sincronía. Existen 2 tipos de corrimiento:
Corrimiento negativo(SLIP-N). Esta alarma indica que el DSU/CSU detectó un "sobre flujo". Este es provocado por que el reloj de la red telefónica, con el cual se reciben los datos, es más rápido que el reloj usado para retransmitir los datos al DTE. Esta situación ocasiona que de vez en cuando, el DSU/CSU descarte tramas completas para compensar la diferencia de relojes.
Corrimiento positivo(SLIP-P). Esta alarma, indica que el DSU/CSU detectó un "sub flujo" Este es provocado por que el reloj del DTE es más rápido que el reloj de la red telefónica. Esta situación, ocasiona que de vez en cuando, el DSU/CSU repite una trama, para compensar la diferencia de relojes.

Capítulo 2

2 DSU/CSU para E1

2.1 Introducción

El DSU/CSU (Unidad de Servicio de Datos/Unidad de Servicio al Canal) es un equipo de comunicación de datos (DCE). Este, al igual que un módem permite transmitir datos a través de la red telefónica pública. En E1 el ancho de banda útil es de 1.984Mbs cuando se transmiten datos y de 1.920 Mbs cuando se transmiten voz y datos. Esta interfaz permite velocidades fraccionales (FE1), es decir permite conectar el equipo de datos del usuario con la red telefónica pública a velocidades de $n \times 64\text{Kbps}$ ($1 \leq n \leq 31$).

2.2 Breve descripción funcional del DSU/CSU.

El DSU/CSU es un dispositivo que proporciona n ($n = 1, 2, \dots, 31$) canales de comunicación síncronos, que el usuario utiliza para enviar y recibir información. El formato de comunicación E1 proporciona al usuario hasta 31 canales de 64Kbps cada uno. Estos canales pueden ser usados para transmitir voz, datos ó una combinación de ambos. El DSU/CSU es un sistema que recibe un flujo continuo de datos desde el DTE y acomoda estos datos en los canales de la trama E1. De acuerdo con la velocidad de transmisión, el usuario selecciona ($n = 1, 2, \dots, 31$) canales. La asignación de los canales es arbitraria.

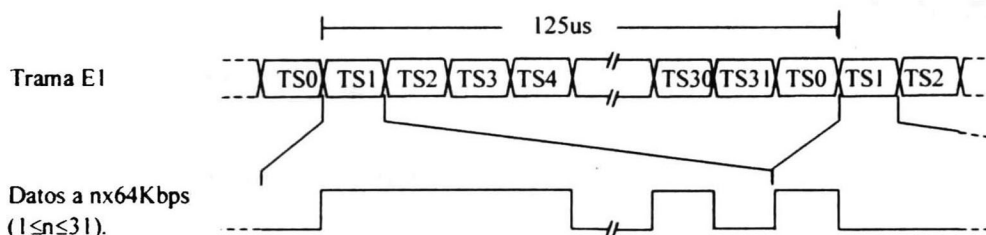


Figura 8 E1 fraccional

El DSU/CSU cumple con las recomendaciones de CCITT G.703 (características eléctricas y físicas de interfaces digitales jerárquicas), G.704 (características funcionales de interfaces asociadas con nodos de red) y G.732 (características de equipo primario PCM de multiplexeo operando a 2048Kbps). El código de línea es HDB3. La distancia máxima a la que puede transmitir es 1.5Km[4].

2.3 Configuraciones básicas de los DSU/CSUs

Existen dos configuraciones básicas donde se utilizan los DSU/CSUs:

- Punto a punto a través de la red telefónica pública, ver Figura 9
- Punto a punto en un mismo campus, ver Figura 10.

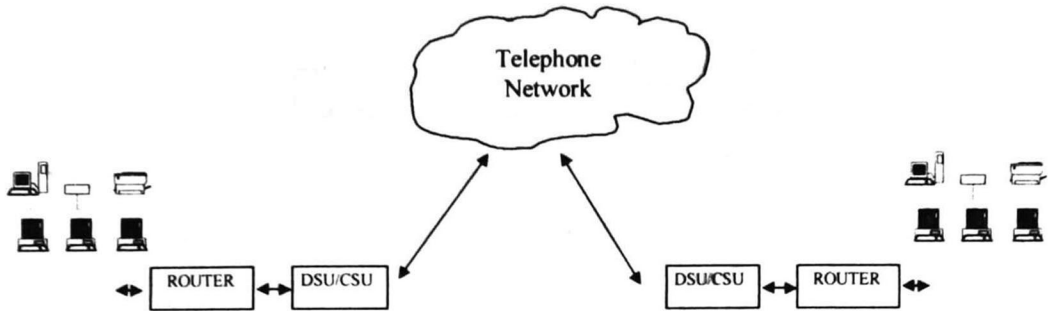


Figura 9 Aplicación del DSU/CSU en la red telefónica pública

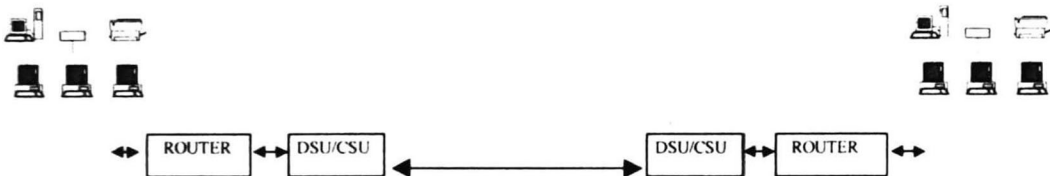


Figura 10 Aplicación del DSU/CSU en un campus

El DSU/CSU empaqueta los datos en canales ó en ranuras de tiempo "time slot"(TS). Un canal es igual a un TS, éstos eran utilizados originalmente para transmitir voz en una trama E1. La trama E1 contiene 32 canales, numerados como canal_0 ó TS0, canal_1 ó TS1.... canal_31 ó TS31. El usuario define de manera libre (excepto el canal 0) los canales que va a utilizar para recibir y transmitir datos.

2.4 Componentes del DSU/CSU.

En la figura 11 se muestra el diagrama a bloques del DSU/CSU.

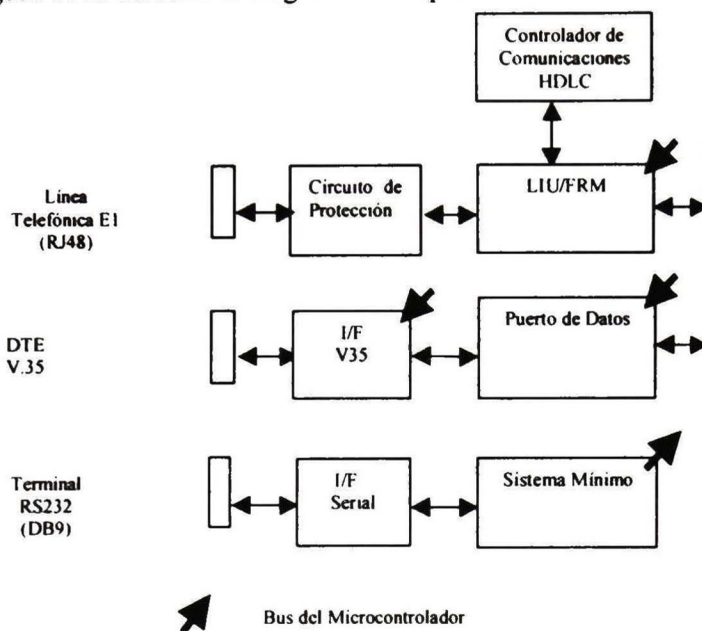


Figura 11 Diagrama a bloques del DSU/CSU.

Enseguida se da una breve explicación de cada uno de los bloques.

Circuito de protección

Protege al equipo del usuario de sobrevoltajes y sobrecorrientes (hasta 3000 V y hasta 1.5A) que pueden provenir de la red telefónica.

LIU/Framer

Contiene todas las funciones necesarias de interfaz para conectar el equipo del usuario con la CT (Central Telefónica). Recupera reloj y datos, localiza los límites de la trama y la multitrama, monitorea el flujo de datos en busca de alarmas. En la transmisión, genera las formas de onda requeridas para cables de 75 y 120 Ohms. El dispositivo usado para este propósito es el DS2153Q de Dallas Semiconductor.

Controlador de comunicaciones HDLC

Este bloque se encarga de controlar la comunicación de los 5 canales de mantenimiento. A través de ellos se transmite y recuperan los mensajes contenidos en los bits Sa. Esta función se implementó en 3 controladores de comunicación serial (SCC). El dispositivo usado es el Z85C300.

Puerto de datos

Aquí se implementaron varias funciones:

- Adaptación de velocidades entre la línea telefónica (2048Kbps) y el equipo del usuario ($n \times 64\text{Kbps}$, $1 \leq n \leq 31$). La asignación de canal se hace a este nivel.
- Generación de todas las señales de reloj $n \times 64\text{Kbps}$. ($1 \leq n \leq 32$). Para este fin se utiliza un circuito integrado PLL externo al puerto de datos.
- Genera y detecta patrones de prueba (PRBS) 511 y 2047.
- Genera las señales necesarias para acceder todos los dispositivos del DSU/CSU.
- Registros de lectura/escritura para configurar los dispositivos del DSU/CSU.

El puerto de datos fue implementado en un FPGA EPF10K40RC208-3 de Altera.

I/F V35

Interfaz con el equipo del cliente. Se utilizó el dispositivo SP505ACF el cuál tiene 7 transceivers configurables para 8 interfaces diferentes. El protocolo usado aquí es el V35.

Sistema mínimo

Las funciones que lleva acabo este bloque son:

- Iniciación y configuración de todos los dispositivos
- Ejecutar rutinas de mantenimiento y autoprueba
- Manejo de interrupciones

Los dispositivos que conforman el sistema mínimo son: el microcontrolador AT89C51, Memoria EPROM AT89C512 (ambos de Atmel) y un latch 74HC373 de National.

I/F Serial

Con este puerto se implementa una interface con el usuario tipo RS232 a través de una interfaz física DB9. A este bloque se conecta a una terminal tipo VT.100 a través de la cuál el usuario configura y monitorea el estado de la comunicación. Los datos se transmiten a una velocidad máxima de 19200 baudios, con un bit de inicio, ocho bits de datos y un bit de paro

2.5 Indicadores luminosos

El DSU/CSU posee leds indicadores de estado. Estos se muestran en la figura 12.

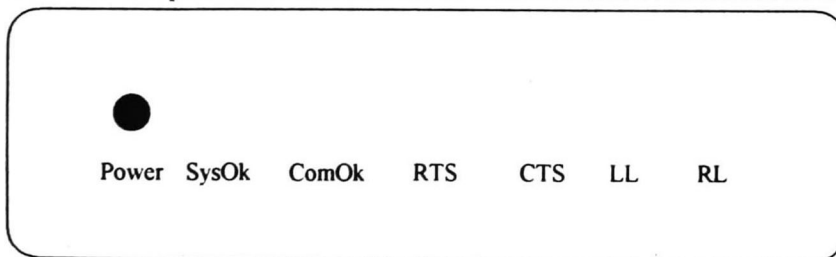


Figura 12 Panel frontal del DSU/CSU

Power, se activa si el DSU/CSU está alimentado y su fuente de alimentación genera el voltaje de acuerdo a las especificaciones.

SysOk, es un indicador de dos colores (Verde/Rojo). Si el sistema funciona correctamente el indicador permanece de color verde. El color rojo se activa en los siguientes casos:

- Las rutinas de autoprueba detectan errores
- El watch dog del sistema se activa

ComOk, es un indicador de dos colores (Verde/Rojo). Si el enlace se mantiene correctamente el indicador permanece de color verde. El color rojo se activa en los siguientes casos:

- LOS, OOF
- Pérdida del reloj maestro
- Más de 914 errores en el CRC en un intervalo de 1s
- Cuando existe una condición de alarma de "SLIP"

RTS (Request To Send), se activa de acuerdo a la petición del DTE de transmitir datos

CTS (Clear To Send), se activa cuando el CSU/ DSU permite la transmisión de datos

LL (Local Loopback), se activa si el DSU/CSU se encuentra en estado de "Loopback" local.

RL (Remote Loopback), se activa si el CSU/ DSU se encuentra en estado de "Loopback" remoto.

2.6 Interfaces físicas

RJ48: Conector telefónico de 4 hilos.

V35: Conector tipo V35 hembra de 34 hoyos

DB9: Conector tipo DB9

Plug: Conector hembra tipo plug

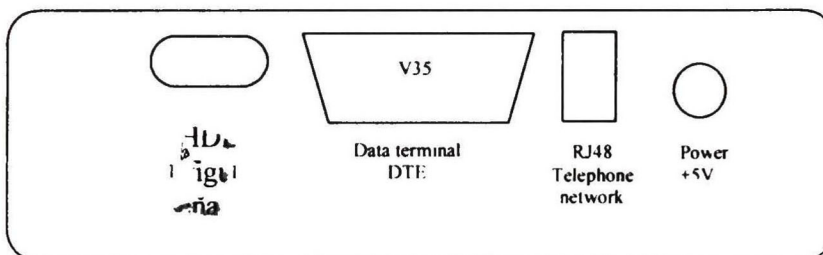


Figura 13 Panel trasero del DSU/CSU

Nota: En la especificación técnica (10) se describen con más detalle los conectores

Capítulo 3

3 LIU/Framer en el DSU/CSU

3.1 Introducción

Es un dispositivo básico del DSU/CSU. Este dispositivo interconecta al sistema con la línea telefónica y permite el formateo de la información de acuerdo al estándar E1. Se buscó un dispositivo que además de cumplir con los estándares G.702, G.703, G.732, de la ITU (CCITT), también tuviera bajo costo. De los dispositivos analizados, se obtuvo la siguiente tabla:

	<i>Dallas</i> <i>DS2153Q</i>	<i>Mitel</i> <i>MT8979</i>	<i>Transwitch</i> <i>TXC-03109</i>
Función LIU	Si	No	Si
TS que puede acceder	32	32	32
Acceso a FAS, CAS y CRC4	Si	Si	Si
Detección y generación de Alarmas: Remota y AIS	Si	Si	Si
Señales de reloj programables para FE1.	Si	No	Si
Acceso a los bits Si y Sa	Si	No	Si
Loopbacks	3	2	4
Contadores de errores	5	2	5
Fuente de voltaje de 5V	Si	Si	3.3V
Precio en dólares de 100 a 999 unidades	33.30us	22.74	85
Precio en dólares por 10,000 unidades	28.30 us	18.78	78

Del análisis de 3 circuitos integrados, se seleccionó el circuito DS2153Q de Dallas semiconductor. Que además cuenta con las siguientes características:

Código de línea AMI y HDB3

Impedancia de línea configurable de 75, 120 Ohms.

Genera y detecta las señales de Alineación de trama (FAS), Señalización de Canal Asociado (CAS), Código Cíclico Redundante 4 (CRC4).

Extrae e inserta la señalización de canal asociado (CAS).

Detecta y genera alarmas remotas.

Funcionalidad independiente del receptor y el transmisor.

Recepción y transmisión de los bits Si y Sa.

Tres lazos de retroalimentación (loopbacks) para prueba.

Contadores de: violaciones bipolares y de código; errores CRC4, errores FAS, y error en el bit E.

En la figura 14 se muestra el diagrama a bloques del *framer*.

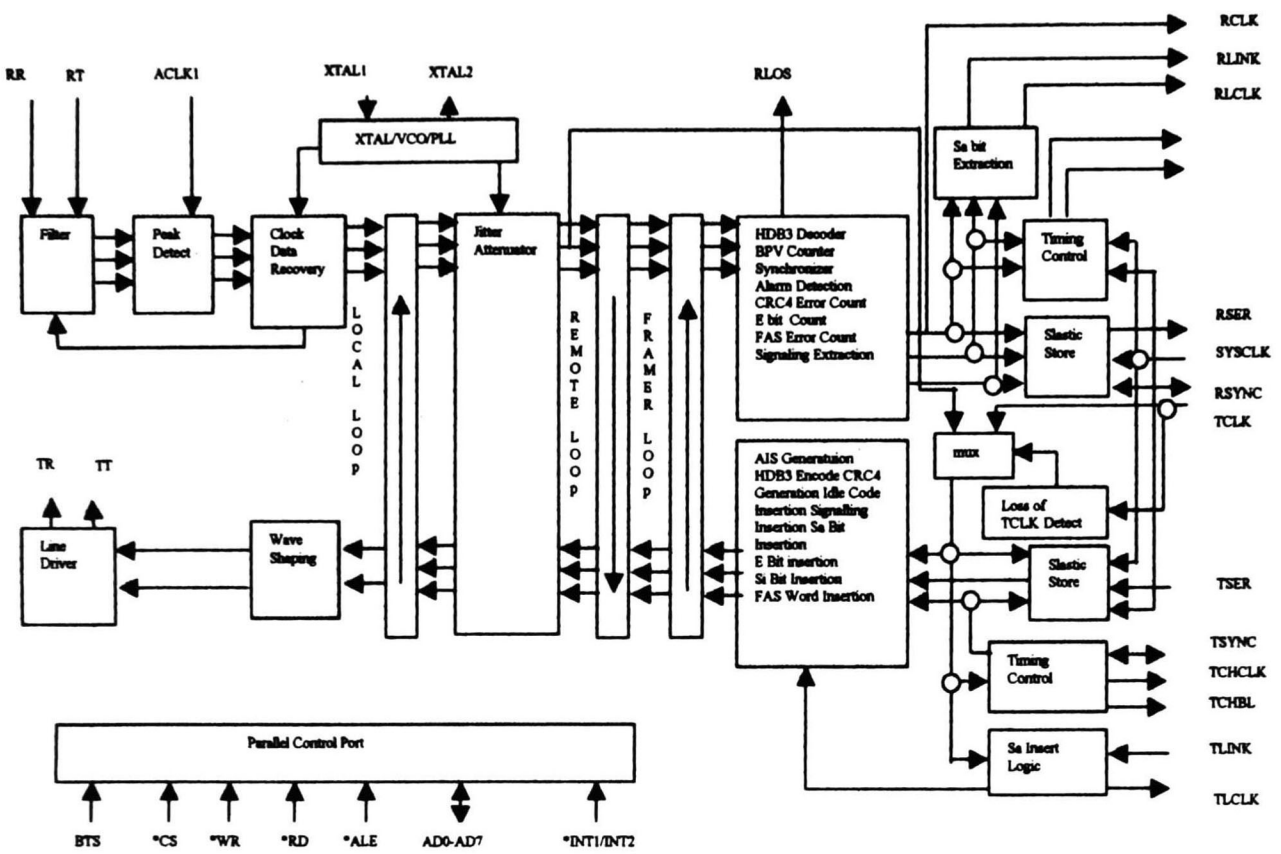


Figura 14 Diagrama a bloques del Framer.

3.2 Configuraciones de retroalimentación o "loopbacks".

Las retroalimentaciones se utilizan para localizar fallas en el canal de datos entre el equipo del cliente y la CT. Estas son parte de las rutinas de mantenimiento del sistema.

Existen tres tipos de retroalimentación en el DS2153Q: *Retroalimentación local*, *Retroalimentación del framer*, *Retroalimentación remota*. En la figura 15 se ilustra su aplicación.



Figura 15 Aplicación de las 3 retroalimentaciones del DSU/CSU.

Retroalimentación local

En esta retroalimentación, los datos transmitidos desde el DTE hacia la CO son regresados hacia el DTE. Por otro lado estos mismos siguen transmitiéndose hacia la CO en forma normal. La forma en que se activa es cambiando el estado de cero a uno el bit CCR2.0 (ver tabla de registros del DSU/CSU).

Equipo del usuario

DSU/CSU

Red telefónica pública

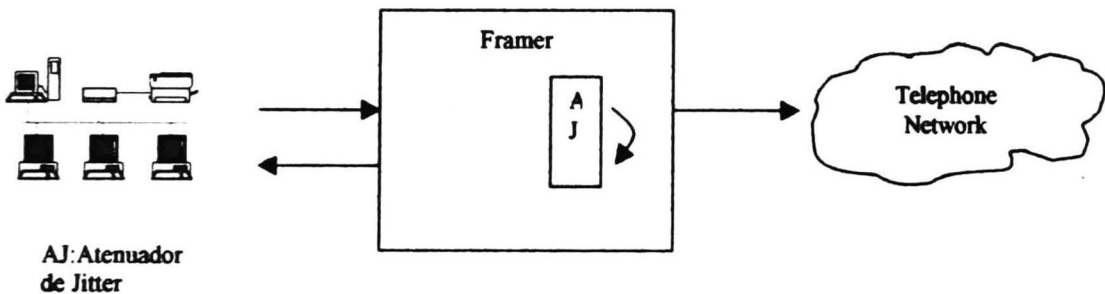


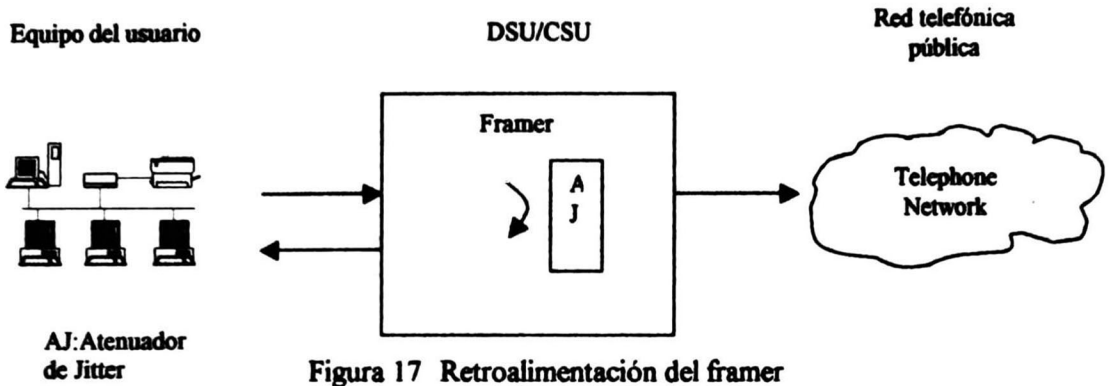
Figura 16 Retroalimentación local

Retroalimentación del framer

Cuando se activa ocurre lo siguiente:

- Los datos provenientes del equipo del usuario DTE son transmitidos a la red telefónica a través de los pines TTIP y TRING.
- Los datos que se reciben de la red telefónica por los pines RTIP y RRING son ignorados.
- La señal de reloj, que recupera el framer de la red telefónica y que envía por el pin RCLK, es reemplazada por el reloj que genera el DSU/CSU y que es suministrada al framer a través del pin TCLK.

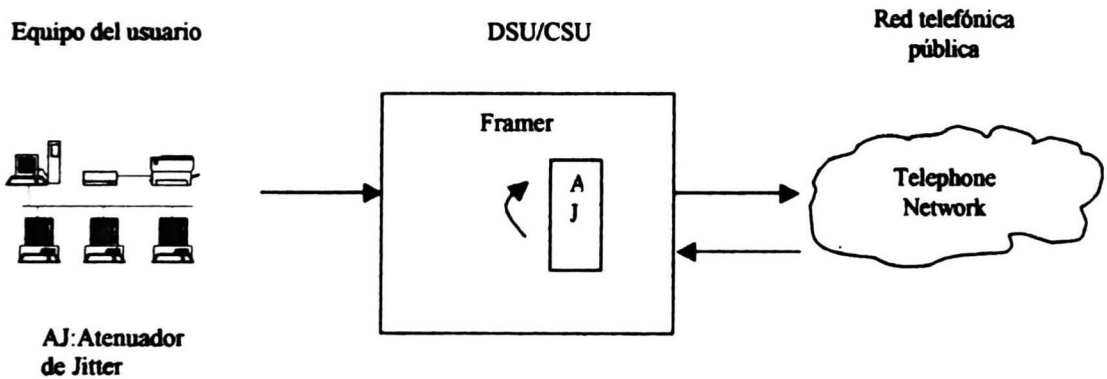
La forma en que se activa es cambiando el estado de cero a uno el bit CCR1.7.



Retroalimentación remota

Los datos recibidos de la red telefónica en los pines RTIP y RRING son retransmitidos hacia la red telefónica nuevamente a través de los pines TTIP y TRING. Los datos provenientes del equipo del usuario, presentes en el pin TSER son ignorados.

La forma en que se activa es cambiando de estado de cero a uno el bit CCR2.1.



3.3 Recuperación y transmisión de los bits Sa en el *Framer*.

Los bits Sa_i tienen usos diversos como canales alternos de comunicación punto a punto. Su uso lo define la compañía telefónica que ofrece el servicio E1, sin embargo, el bit Sa₄ ha quedado definido o aceptado como un canal de 4Kbps para uso exclusivo de mantenimiento y para el monitoreo del desempeño del enlace telefónico. El *framer* accesa los bits Sa de dos formas:

- a) paralela, a través de dos registros RNAF y TNAF.
- b) Serie, mediante dos pines RLINK y TLINK.

Para evitar hacer un software grande de control para los bits Sa en el microcontrolador AT89C51; se escogió la opción b). Tanto la verificación como la generación de los bits Sa; se lleva a cabo con la ayuda de tres controladores de comunicación serial (SCC) Z85C300.

En la especificación técnica del DSU/ CSU [10], se muestran las señales del *framer* que intervienen en el manejo de los bits Sa.

3.4 Contadores de errores.

El *Framer* posee 4 contadores que registran los errores detectados en la trama E1. Los errores que cuenta son:

- Violaciones bipolares ó de código, (VCR ó VC) son definidas como marcas consecutivas de la misma polaridad.
- Palabra errónea de CRC4 en la submultitrama, cuando la palabra de CRC4 contenida en el bit de la submultitrama no es la correcta.
- Error en el bit E, el bit que se detecta es el primer bit de las tramas 13 y 15, en las líneas E1 que utilizan CRC4 en la multitrama.

Palabra errónea de alineación de trama (FAS). La palabra de alineación de trama en el Canal_0 no es la correcta.

Estos contadores son leídos por el microcontrolador AT89C51, para fines estadísticos, con el objetivo de verificar la calidad del canal E1 que se está utilizando y para generar alarmas, en caso de que los contadores registren más errores de los permisibles. La lectura de los contadores de errores se describe en la Especificación técnica del DSU/CSU [10].

3.5 Habilitación de canales E1.

La habilitación de canales en el *Framer* se hace a través de 4 registros (RCBR1, RCBR2, RCBR3, RCBR4) para los canales que se van recibir y 4 registros (TCBR1, TCBR2, TCBR3, TCBR4) para los canales que se van usar para transmitir. Los canales se seleccionan poniendo a uno, el bit correspondiente en los 8 registros. La forma en que estos registros hacen la asignación de canal es, El *Framer* tiene dos señales de salida: RCHBLK y TCHBLK, que indican cuando un canal ha sido habilitado para recepción ó para transmisión. El mecanismo es muy sencillo, estas señales se activan a uno cuando un canal seleccionado aparece en el bus PCM [4].

Las señales RCHBLK y TCHBLK son utilizadas por las *fifo*'s para capturar y transmitir a través del bus PCM la información a la línea E1.

Capítulo 4

4 Puerto de datos

4.1 Introducción

Con la finalidad de reducir espacio y costos en el DSU/CSU las funciones que se mencionan a continuación se implementaron en un dispositivo programable de propósito específico (CPLD) llamado Puerto de datos. Sus funciones son:

- Adaptación de velocidades, entre el equipo del cliente $n \times 64\text{Kbps}$. ($1 \leq n \leq 32$) y la red telefónica 2048kbps.
- Decodificador de direcciones. Provee las señales de control necesarias para acceder los registros de los dispositivos que conforman el DSU/CSU.
- Registros de lectura y escritura. Estos se utilizan para leer y escribir en los dispositivos que conforman el DSU/CSU.
- Loopbacks. Se utilizan para fines de prueba.
- Generador/detector de secuencias pseudoaleatorias. Se utilizan para fines de prueba.
- Adaptación de relojes. Este bloque sincroniza el DSU/CSU con el reloj maestro y genera todas las señales de reloj que utiliza el DSU/CSU.

4.2 Función del Puerto de Datos en el DSU/CSU

El puerto de datos es un Dispositivo Lógico Programable Complejo (CPLD), EPF10K40RC208-3 de Altera. En el cuál se implementaron los bloques que se muestran en la figura 19. Cada bloque fue implementado usando el Lenguaje de Programación de Hardware de alta Densidad (VHDL) y empleando la herramienta de captura esquemática, que ofrece la herramienta de diseño Max-Plus II Ver.9.1 de Altera. De aquí la programación del Puerto de datos es estructural, por lo que ocupa el menor espacio posible en el CPLD. El dispositivo usado es solo una referencia. Sin embargo, el diseño es genérico y puede transportarse a un dispositivo de diferente marca.

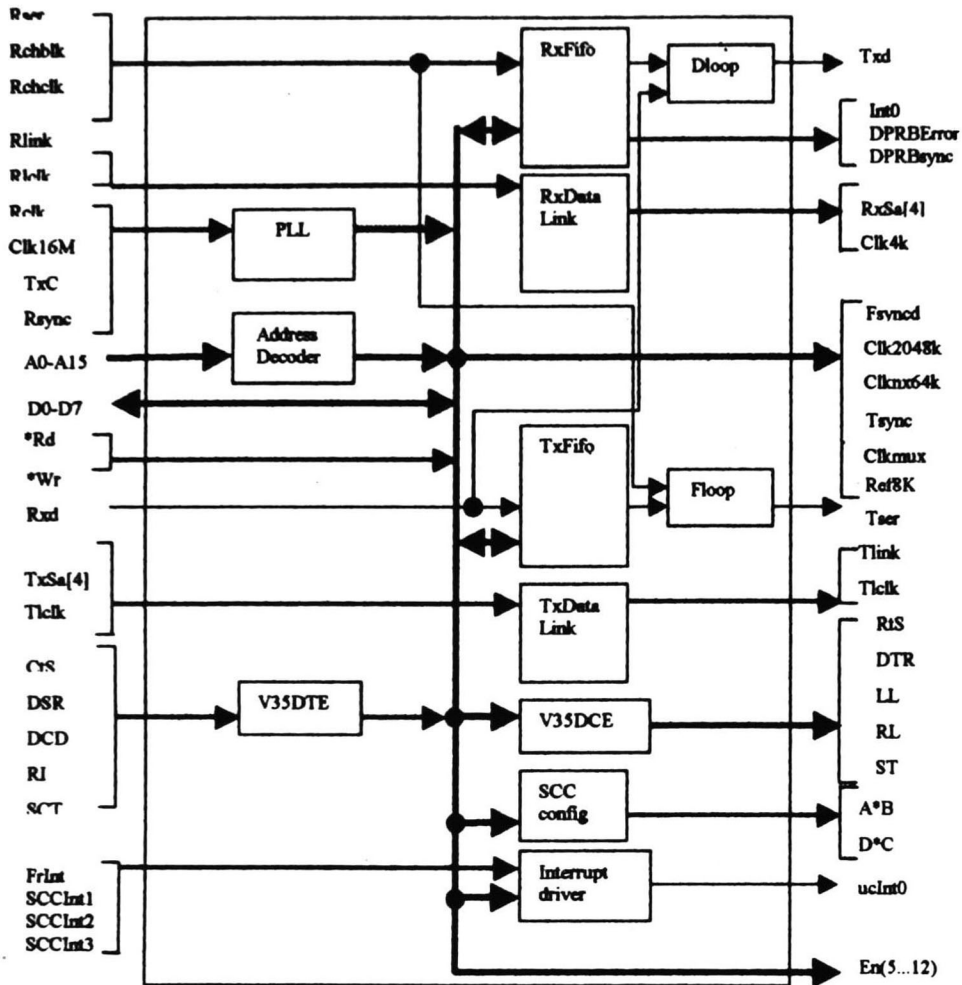


Figura 19 Puerto de datos

4.2.1 La adaptación de velocidades

A través de los bloques llamados **Rxfifo** y **Txfifo** se hace la adaptación de velocidades entre la red telefónica y el DTE. A través del bloque **Rxfifo**, el puerto de datos recibe los TS de información seleccionados por el *Framer* en ráfagas a una velocidad de 2048Kbps, y los envía al equipo del usuario a una velocidad constante de $n \times 64$ Kbps ($1 \leq n \leq 31$) vía la interfaz V35. A través del bloque **Txfifo** el puerto de datos recibe el flujo serial de datos proveniente del equipo del usuario a una velocidad constante de $n \times 64$ Kbps ($1 \leq n \leq 31$) y los envía al *Framer* en ráfagas a una velocidad de 2048Kbps.

4.2.2 Decodificador de direcciones

Genera las señales requeridas para acceder los registros de los componentes programables del DSU/CSU. Este bloque genera 12 señales de selección de dispositivo o registro interno (Chip Enable). El bloque que lleva a cabo esta función es el address decoder.

4.2.3 Puertos de E/S

Se implementaron dos puertos tipo Intel para el microcontrolador AT89C51:

- Un puerto bidireccional A0_A7, de datos y direcciones (puerto 1)
- Un puerto de direcciones A8_A15 (Puerto 2)

4.2.4 Registros V35

A través de estos registros el microcontrolador AT89C51, configura y monitorea la comunicación con el equipo del cliente. Se implementaron 3 registros. CR8 CR9 y SR2.

4.2.5 Retroalimentación en el puerto de datos

Se implementaron 2 retroalimentaciones a diferente profundidad:

Dloop (DTE loop) se activa poniendo a uno el bit CR2-b0, los datos provenientes del DTE son enviados de regreso al DTE, antes de entrar a las FIFO's; los datos provenientes de la red telefónica pasan por la FIFO's y son enviados de regreso hacia la red telefónica.

Floop (Framer loop), se activa poniendo a uno el bit CR2-b1, los datos provenientes del DTE pasan por las FIFO's y son enviados de regreso al DTE; los datos provenientes de la red telefónica son enviados de regreso hacia la red telefónica, antes de entrar a las FIFO's. Ver la Especificación técnica del DSU/CSU [10].

4.2.6 Generador y Detector de secuencias de bits pseudoaleatorias (PRBS)

El generador produce las secuencias pseudoaleatorias 511 y 2047. El detector busca y verifica las secuencias de bits aleatorios 511 y 2047 en los canales datos.

4.2.7 Extracción e inserción de bits S_{ai}

Esta función es ejecutada por los bloques RxData link y TxData link. El bloque RxData link almacena los bits S_{ai} que el *Framer* recupera de la trama E1, y los envía a los controladores seriales (SCC's). El bloque TxData link recibe los bits S_{ai} provenientes de los controladores seriales y los envía al *Framer* sincronizados con la señal Tclk.

4.2.8 Adaptación de relojes

Esta función fue implementada con el bloque PLL y un circuito integrado NE564 externo al Puerto de datos. A partir de un reloj maestro, el bloque PLL genera todas las señales de reloj necesarias para el DSUCSU, $nx64Kbps$ ($1 \leq n \leq 32$), Clk8M (8.192Mbps).

4.2.9 Manejador de interrupciones

Este bloque recibe todas las interrupciones provenientes de los dispositivos que conforman el DSU/CSU, y genera una sola interrupción la cual se envía al microcontrolador AT89C51, para que sea atendida.

4.3 Fifo de adaptación de velocidad de $n \times 64\text{Kbps}$ ($1 \leq n \leq 31$) a 2048Kbps .

Esta función fue implementada en el bloque llamado Txfifo de la Figura 19. La Txfifo es una cola del tipo; primero que entra, primero que sale(FIFO); circular, de entrada y salida serie. La Txfifo recibe datos del equipo del usuario a través de la interfaz V35 a $n \times 64\text{Kbps}$ ($1 \leq n \leq 31$) y los transmite al *Framer* en ráfagas a 2048Kbps .

En la Figura 20 se muestra el diagrama a bloques.

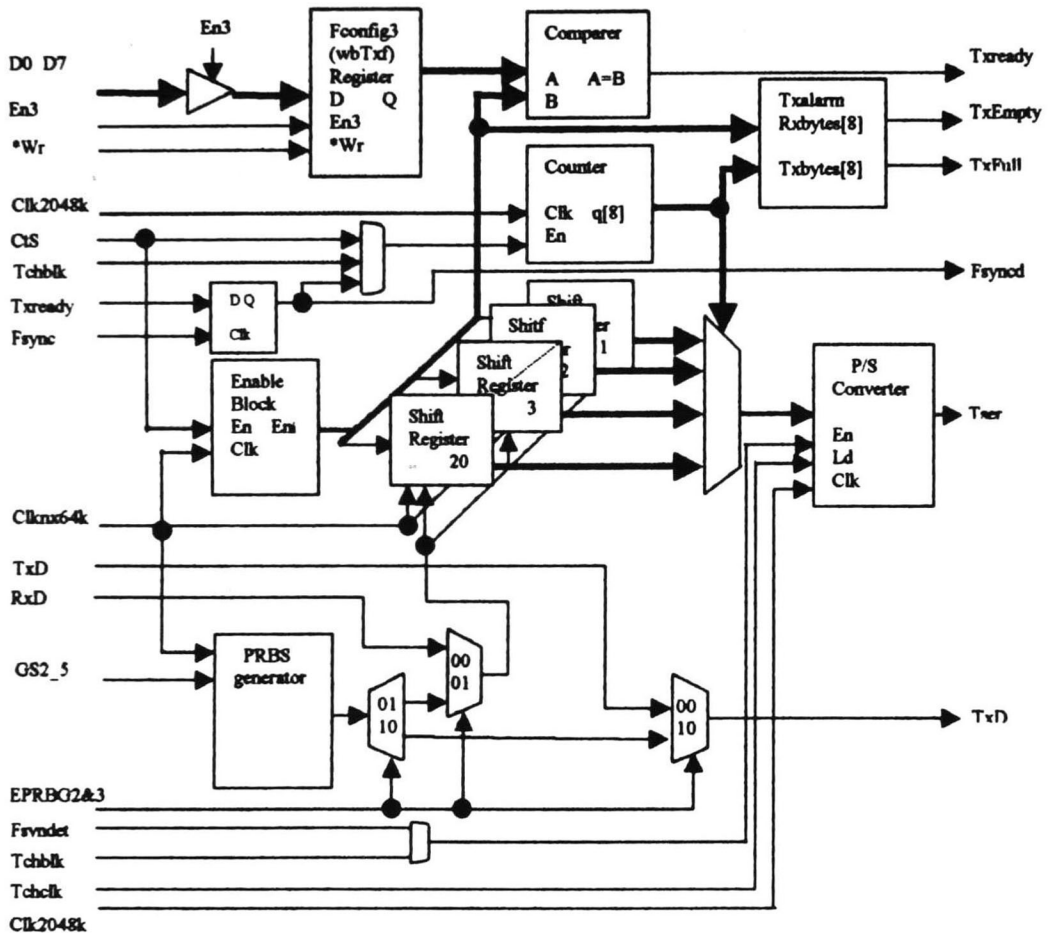


Figura 20 Diagrama a bloques de la cola Txfifo

4.3.1 Mecanismo de adaptación de velocidad en transmisión

La Txfifo recibe datos del equipo del usuario, a través del pin RxD, a una velocidad de $n \times 64 \text{Kbps}$ ($1 \leq n \leq 31$), estos datos son almacenados consecutivamente en cada uno de los 20 registros de corrimiento. Cada registro de corrimiento es de 8 bits de longitud. Por lo que cada registro almacena un canal de la trama E1. Los bits de datos que recibe la Txfifo son almacenados con el flanco de bajada del reloj Clknx64k. Las señales RxD y Clknx64k son comunes a los 20 registros de corrimiento (SR). Cada 8 bits el bloque habilitador de registros (*Enable block*) selecciona un SR para almacenar el byte recibido. El bloque habilitador de registros, también cuenta los bytes almacenados en la Txfifo, cuando el número de bytes almacenados es igual al número almacenado en el registro CR5 (*wbTxf*), la Txfifo activa la señal de salida Txready para indicar que la Txfifo tiene almacenados los bytes suficientes para empezar a transmitir datos al *Framer*.

El convertidor paralelo/serie (*P/S Converter*), recibe 1 byte a la vez del demultiplexor, y lo envía en forma serial hacia el *Framer*.

El bloque de alarma (*Txalarm*), verifica cuando la Txfifo esta a punto de vaciarse o de llenarse. Cambia de estado de cero a uno el bit de salida Txempty, un byte antes de que se vacíe; y cambia de estado de cero a uno el bit de salida Txfull, un byte antes de que se llene.

En la figura 21 se muestra un diagrama de tiempo de las señales que intervienen en el bloque Txfifo. La velocidad a la que esta transmitiendo el DTE es de 1024Kbps. Los canales seleccionados para transmitir hacia el framer son del 1 al 16. A continuación se describen los 5 estados del funcionamiento de la Txfifo de la figura 20:

A:

- La Txfifo recibe las señales provenientes del Framer: *Fsync*(indica el inicio de cada trama E1, mediante un pulso de reloj de 2048Kbps.) y *Tchblk*(se activa en los canales del 1 al 16. *Tchblk=0* indica que en ese canal se envía información. *Tchblk=1* Indica que el canal no se utiliza).
- La señal Txready es generada por la Txfifo (*Txready=0*, indica que esta ha almacenado los bytes suficientes para iniciar la transmisión al Framer. *Txready=1* indica que no ha almacenado los bytes suficientes para iniciar la transmisión).
- La Txfifo no envía datos al Framer, ni recibe datos del DTE.

B:

- La Txfifo almacena los datos provenientes del DTE. En el tiempo que dura este estado se almacenan los bytes que están especificados en la *tabla 6 Txready signal and Maximum length of Txfifo* en [10].

C:

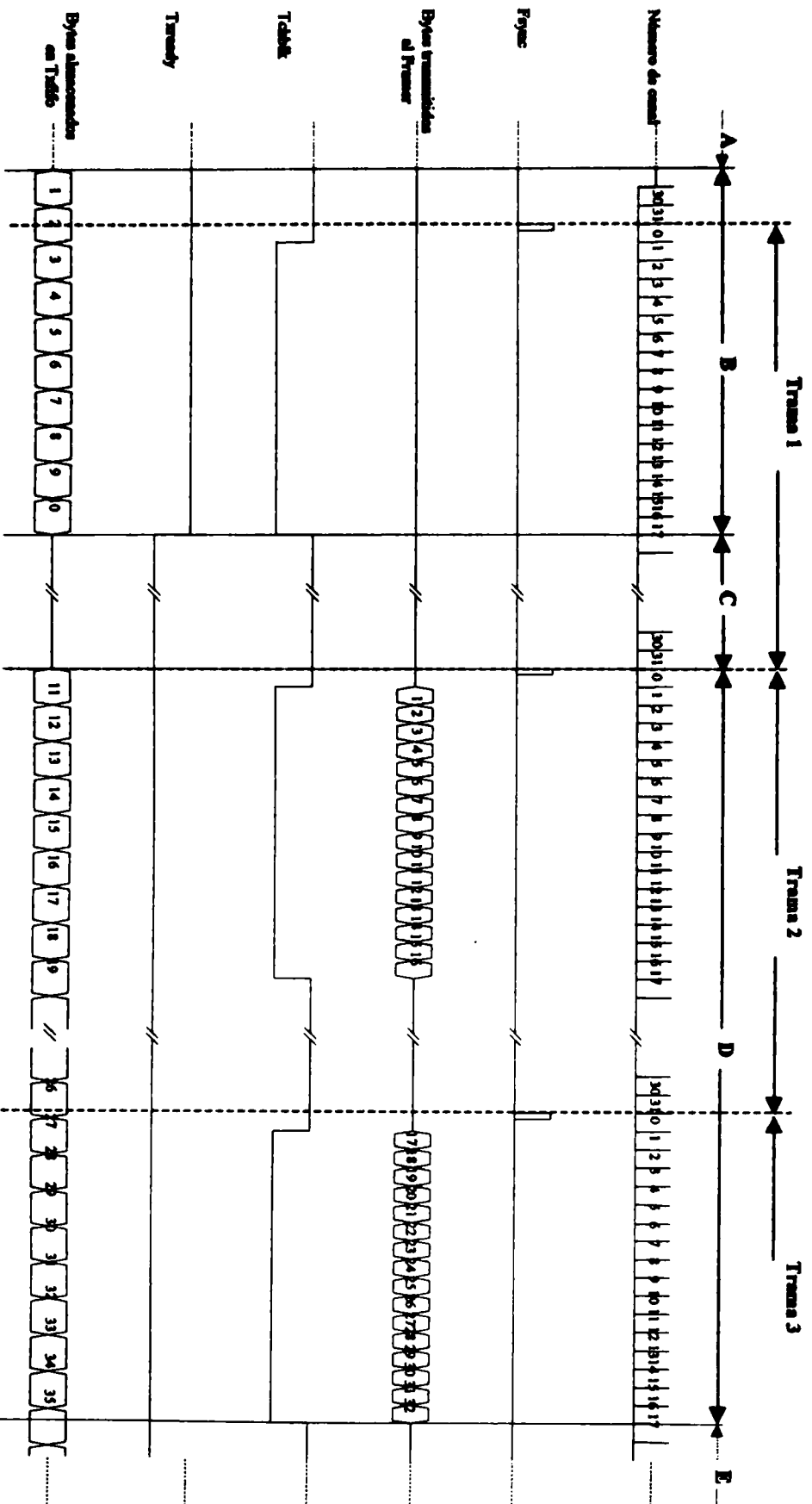
- La Txfifo deja de almacenar los datos provenientes del DTE.
- La señal *Txready* cambia de estado de uno a cero, indicando que la Txfifo tiene almacenados los bytes suficientes para empezar a transmitir datos al Framer.
- La señal *Tchblk* indica que los canales 0 y del 17 al 31 no se utilizan para enviar datos.

D:

- La señal *Fsync* activa la *Txfifo* para que continúe almacenando los datos provenientes del DTE.
- La *Txfifo* continúa transmitiendo datos indefinidamente hacia el Framer en los canales que le indica la señal *Tchblk* con cero (canales 1 al 16).
- La *Txfifo* continúa almacenando datos indefinidamente provenientes del DTE. La *Txfifo* fue diseñada de tal forma que en la relación de velocidades de transmisión/recepción siempre haya almacenados mínimo 2 bytes. De esta forma, en condiciones normales de operación la *Txfifo* nunca se vacía ni se llena.

E:

La *Txfifo* continua trabajando indefinidamente.



Velocidad del DTE = 1024Kbps
 Canales seleccionados para transmitir
 hacia el frame - 1 - 16

Figura 21 Diagrama de tiempo del bloque Tx dñfo

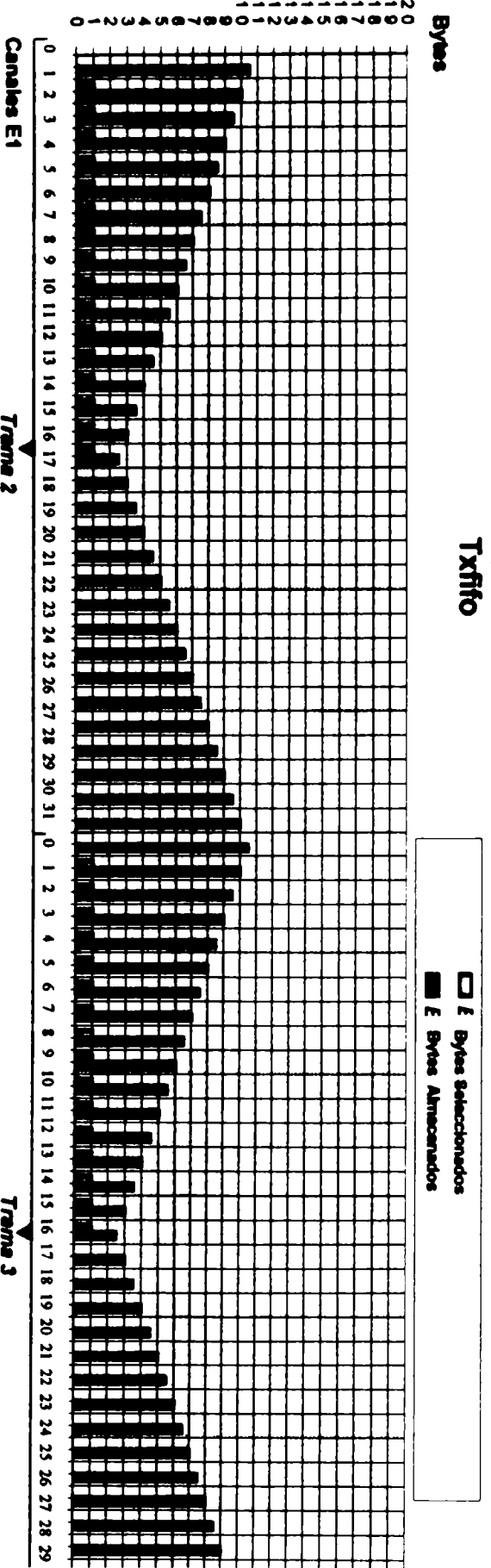


Figura 22 Ocupación del bloque Txñfo cuando la velocidad del DTE = 1024Kbps y los canales seleccionados para transmitir son: del 1 al 16.

Bytes

Tx fijo

□ Bytes Seleccionados
■ Bytes Almacenados

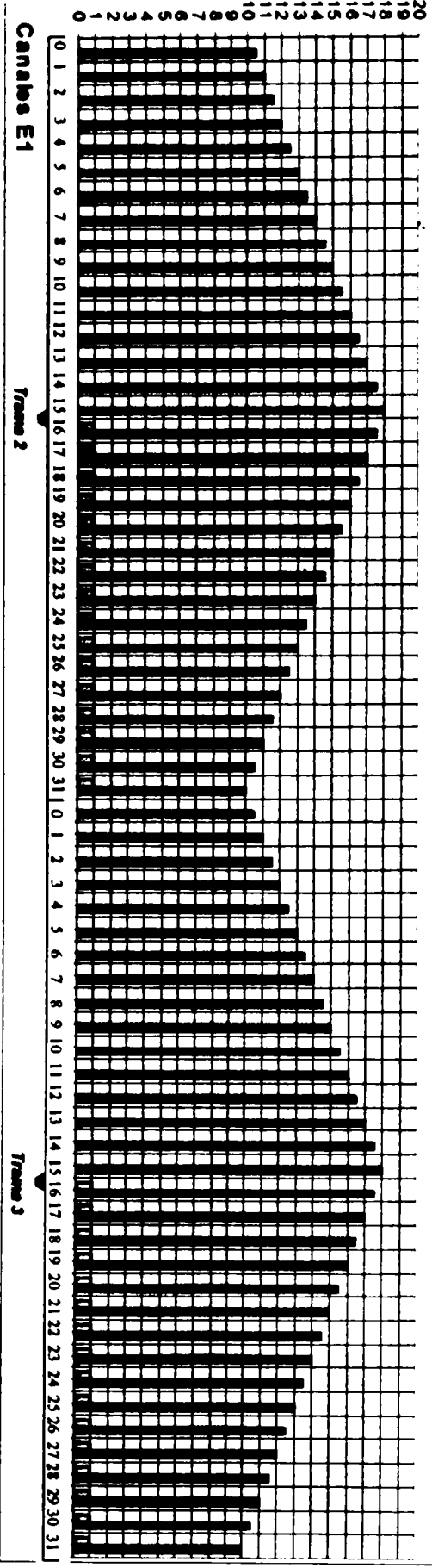


Figura 23 Ocupación del bloque Tx fijo cuando la velocidad del DTE = 1024Kbps y los canales seleccionados para transmitir son: del 16 al 31.

4.4 La cola Fifo de adaptación de velocidad de 2048 a nx64Kbps ($1 \leq n \leq 31$).
 Esta función fue implementada en el bloque llamado Rx fifo de la figura 19. La Rx fifo es una cola del tipo; primero que entra, primero que sale; circular. La Rx fifo recibe datos del *Framer* a 2048Kbps y los transmite al equipo del usuario a través de la interfaz V35 a nx64Kbps ($1 \leq n \leq 31$).

En la Figura 24 se muestra el diagrama a bloques.

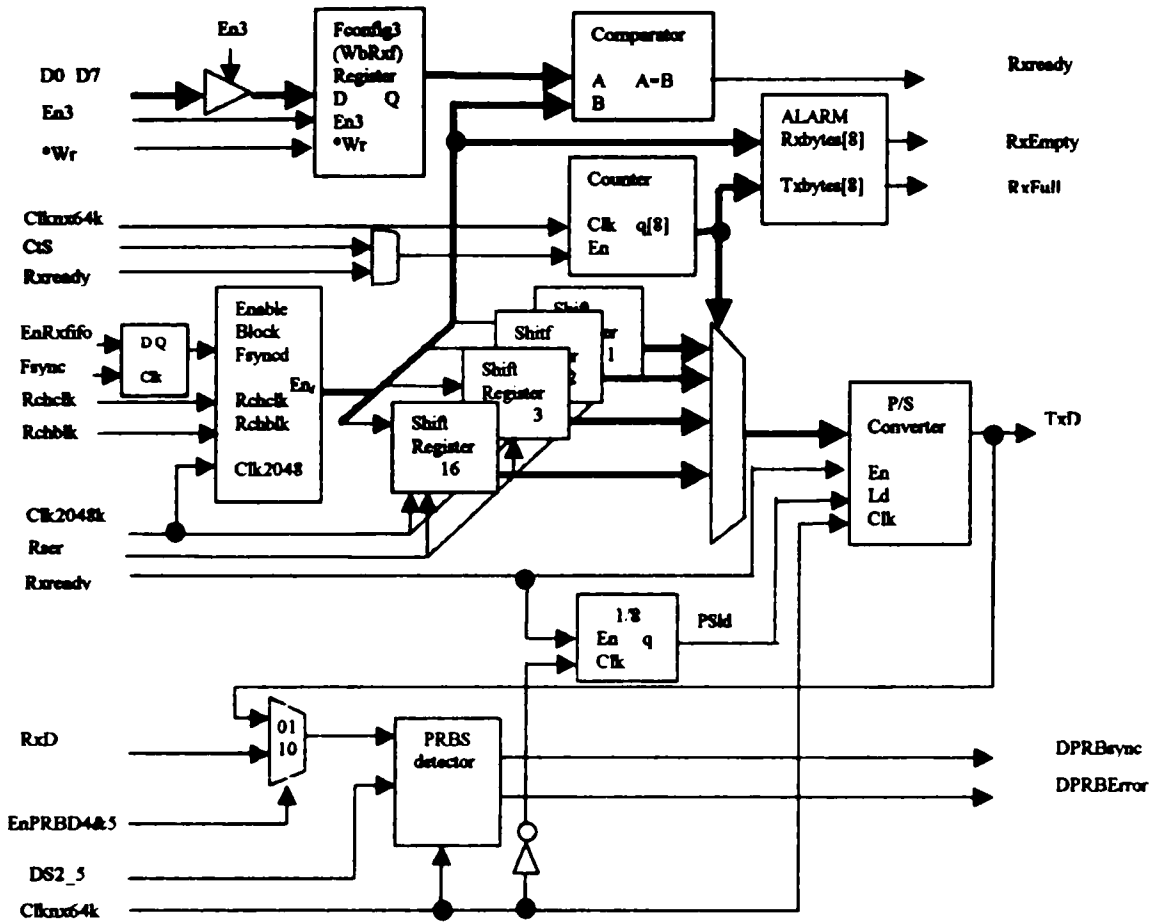


Figura 24 Diagrama a bloques de la cola Rx fifo

4.4.1 Mecanismo de adaptación de velocidad en recepción

La Rxfifo recibe datos del Framer a través del pin Rser, a una velocidad de 2048Kbps, estos datos son almacenados en 16 registros de corrimiento. Cada registro de corrimiento es de 8 bits de longitud. Por lo que cada registro almacena un canal de la trama E1. Los bits de datos que recibe la Rxfifo son almacenados en el flanco de bajada del reloj de 2048Kbps. Las señales Rser y Clk2048k son comunes a los 16 registros de corrimiento. El bloque habilitador de registros (*Enable block*) selecciona un registro a la vez, para almacenar un canal. Además cuenta los canales E1 que se han almacenado en la Rxfifo. Cuando el número de canales almacenados en la Rxfifo es igual al número almacenado en el registro de bytes de espera CR4 (*wbRxf*), la señal de salida Rxready cambia de estado de uno a cero para indicar que la Rxfifo tiene almacenados los bytes suficientes para iniciar la transmisión hacia el equipo del usuario.

El convertidor paralelo/serie(*P/S Converter*), recibe 1 byte a la vez del demultiplexor, y lo envía en forma serial hacia el equipo del usuario.

El bloque divisor 1/8, emite un pulso de reloj de Clknx64k, cada 8 pulsos de este. El pulso es usado para cargar un byte del demultiplexor en el convertidor paralelo/serie, y que este a su vez lo envíe en forma serial hacia el equipo del usuario.

El bloque detector de secuencias pseudoaleatorias (PRBS detector) recibe datos de dos fuentes: *Framer* y del equipo del usuario a través de la interfaz V35. El usuario selecciona la fuente mediante los pines CR2.5 y CR2.4(00:desactivado, 01: red, 10: DTE, 11: reservado) respectivamente. La secuencia de bits aleatorios a detectar se selecciona a través del bit CR2.6 (0: 2047, 1: 511).

El bloque de alarma (Rxalarm), verifica cuando la Rxfifo esta a punto de vaciarse y de llenarse. Cambia de estado de cero a uno el bit de salida Rxempty, un byte antes de que se vacíe; y cambia de estado de cero a uno el bit de salida Rxfull, un byte antes de que se llene.

En la figura 25 se muestra un diagrama de tiempo de las señales que intervienen en el bloque Rxfifo. La velocidad a la que esta recibiendo el DTE es de 1024Kbps. Los canales E1 seleccionados para recibir datos provenientes del framer son del 1 al 16. A continuación se describen los 5 estados del funcionamiento de la Rxfifo de la figura 24:

A:

- La Rxfifo recibe las señales provenientes del Framer: *Fsync*(indica el inicio de cada trama E1, mediante un pulso de reloj de 2048Kbps.) y *Rchblk*(se activa en los canales del 1 al 16. *Rchblk=0* indica que en ese canal se recibe información. *Rchblk=1* Indica que el canal no se utiliza).
- La señal *Rxready=0*, indica que la Rxfifo tiene almacenados los bytes suficientes para empezar a transmitir datos al DTE. *Rxready=1* que no esta lista para transmitir al DTE.
- En este estado la Rxfifo no envía datos al datos al DTE.

B:

- La Rxfifo empieza a almacenar los bytes provenientes del framer. El tiempo que dura este estado se almacenan los bytes que están especificados en la *tabla 7 Rxready signal and Maximum length of Rxfifo* en [10].

C:

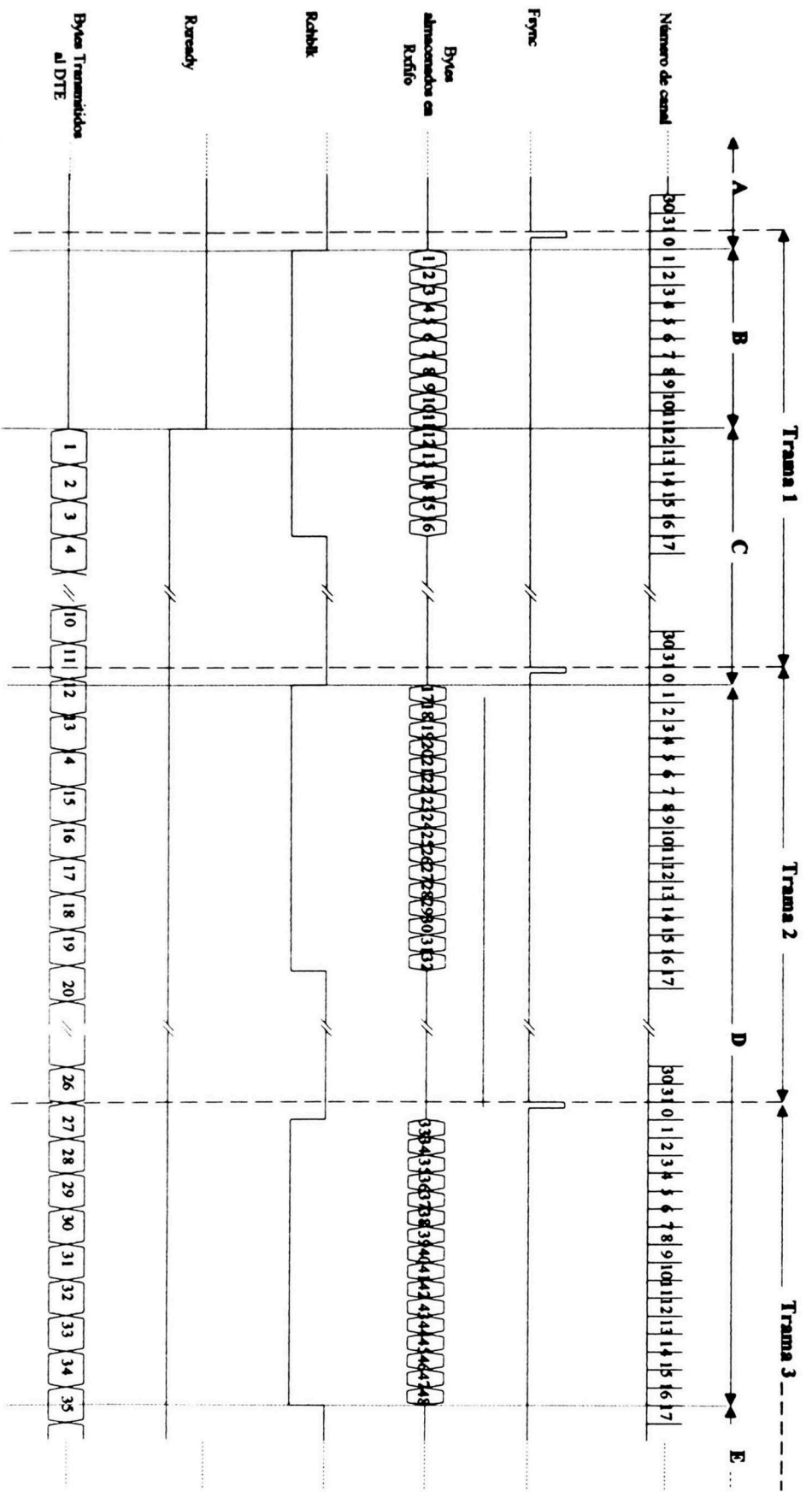
- La Rxfifo empieza a transmitir datos hacia el DTE.
- La señal Rxready cambia de estado de uno a cero, indicando que la Rxfifo tiene almacenados los bytes suficientes para empezar a transmitir datos al DTE.
- La señal Rchblk indica que los canales 0 y del 17 al 31 no se utilizan para enviar datos.

D:

- La Rxfifo continúa indefinidamente almacenando los todos los bytes de información seleccionados por la señal Rchblk(canales 1 al 16). También continúa transmitiendo bytes de información indefinidamente hacia el DTE.
- La Rxfifo fue diseñada de tal forma que en la relación de velocidades de transmisión/recepción siempre haya almacenados mínimo 2 bytes. De esta forma, en condiciones normales de operación la Rxfifo nunca se vacía ni se llena.

E:

La Rxfifo continua trabajando indefinidamente.



Velocidad del DTE = 1024Kbps
 Canales seleccionados para recibir
 del 1 al 16.

Figura 25 Diagrama de tiempo del bloque Rx fifo

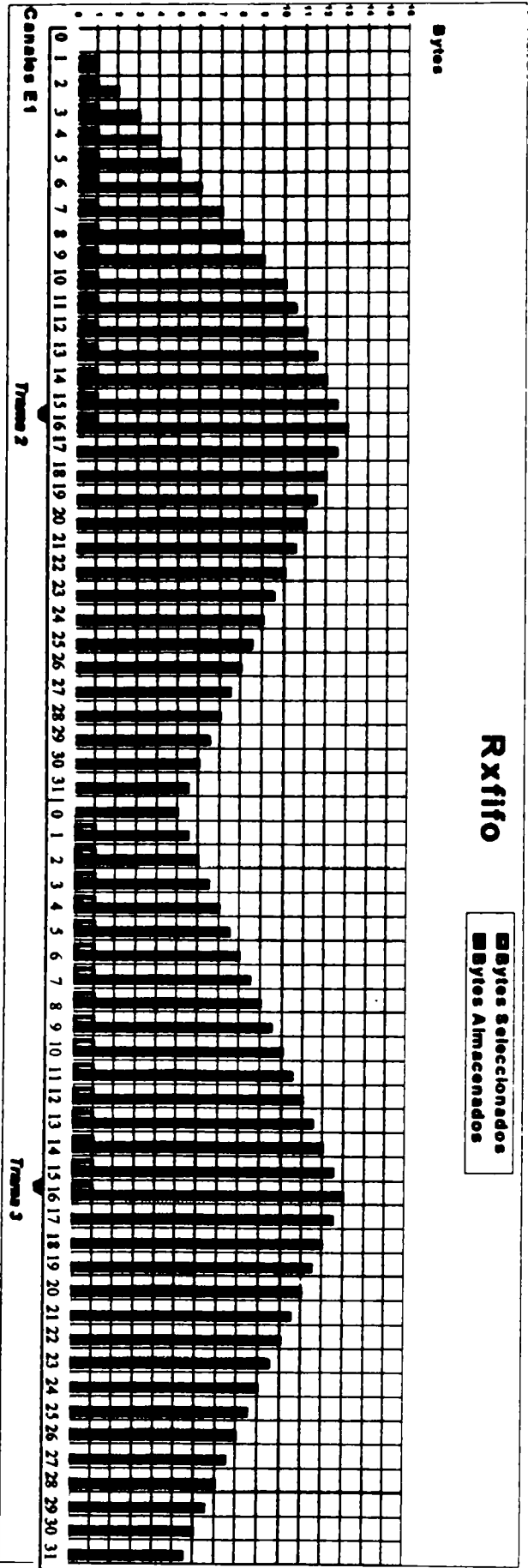


Figura 26 Ocupación del bloque Rx fifo cuando la velocidad del DTE = 1024Kbps y los canales seleccionados para recibir son: del 1 al 16. Este es el caso donde la Rx fifo tiene la máxima ocupación.

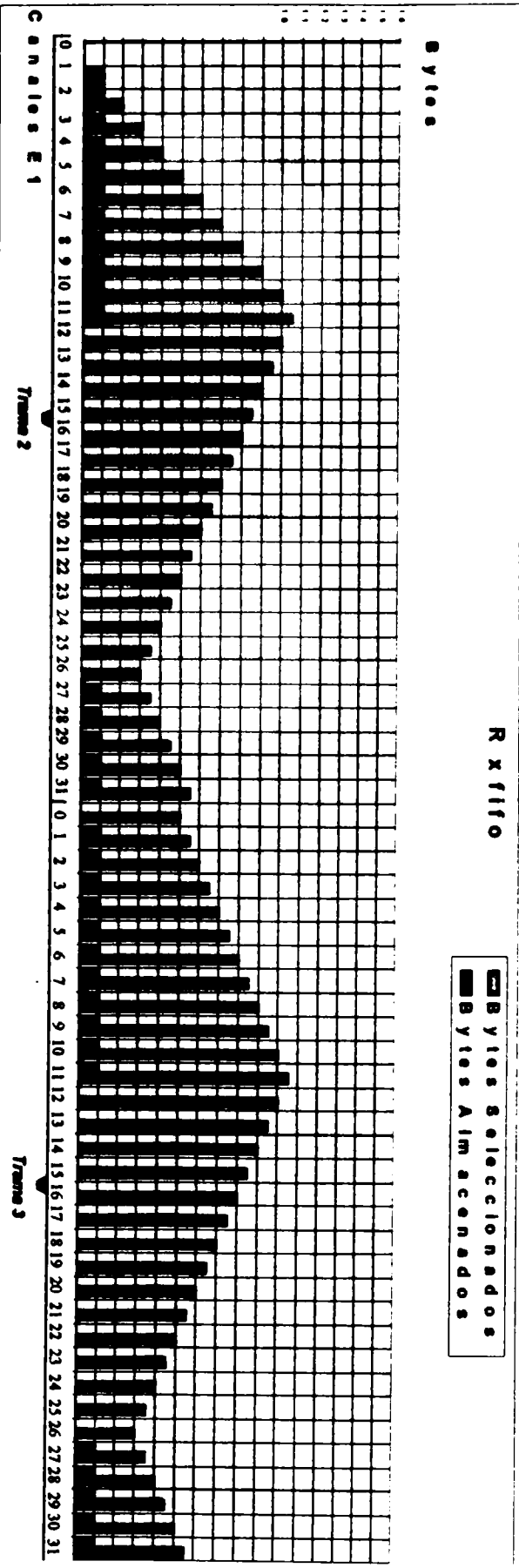


Figura 27 Ocupación del bloque Rxrfifo cuando la velocidad del DTE = 1024Kbps y los canales seleccionados para recibir son: del 1-11 y del 27-31. Es el caso donde la Rxrfifo alcanza su mínima ocupación.

4.5 Manejo de los bits Sa_i.

Los bits Sa₄ a Sa₈ son utilizados en aplicaciones específicas punto a punto (En equipos transmisores codificadores (transcoder) que cumplen con la recomendación G.761. El protocolo de comunicación que se maneja en los bits Sa_i, es el HDLC, descrito en el capítulo 1.

La recepción y transmisión de los canales de comunicación Sa_i se lleva a cabo mediante 3 controladores de comunicación serial y dos convertidores serie a paralelo implementados en el puerto de datos: TxDataLink y RxDataLink. La interpretación de los mensajes y ejecución de los comandos, es responsabilidad del software que se ejecuta en el microcontrolador de la tarjeta.

Ver el diagrama a bloques en la Figura 28 y el diagrama de tiempo en la Figura 29.

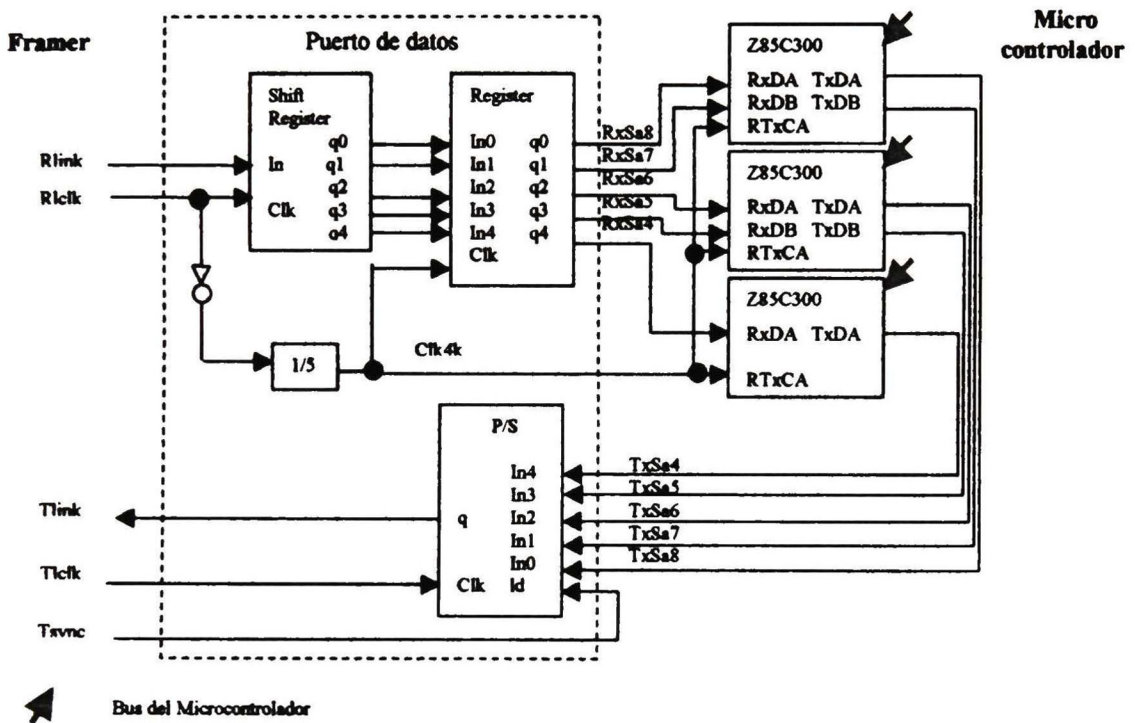


Figura 28 Recepción y transmisión de los bits Sa.

Cada controlador serial de comunicaciones (SCC) transmite y detecta dos canales de comunicación serial Sa_i de 4Kbps cada uno. De aquí la utilización de tres SCC's.

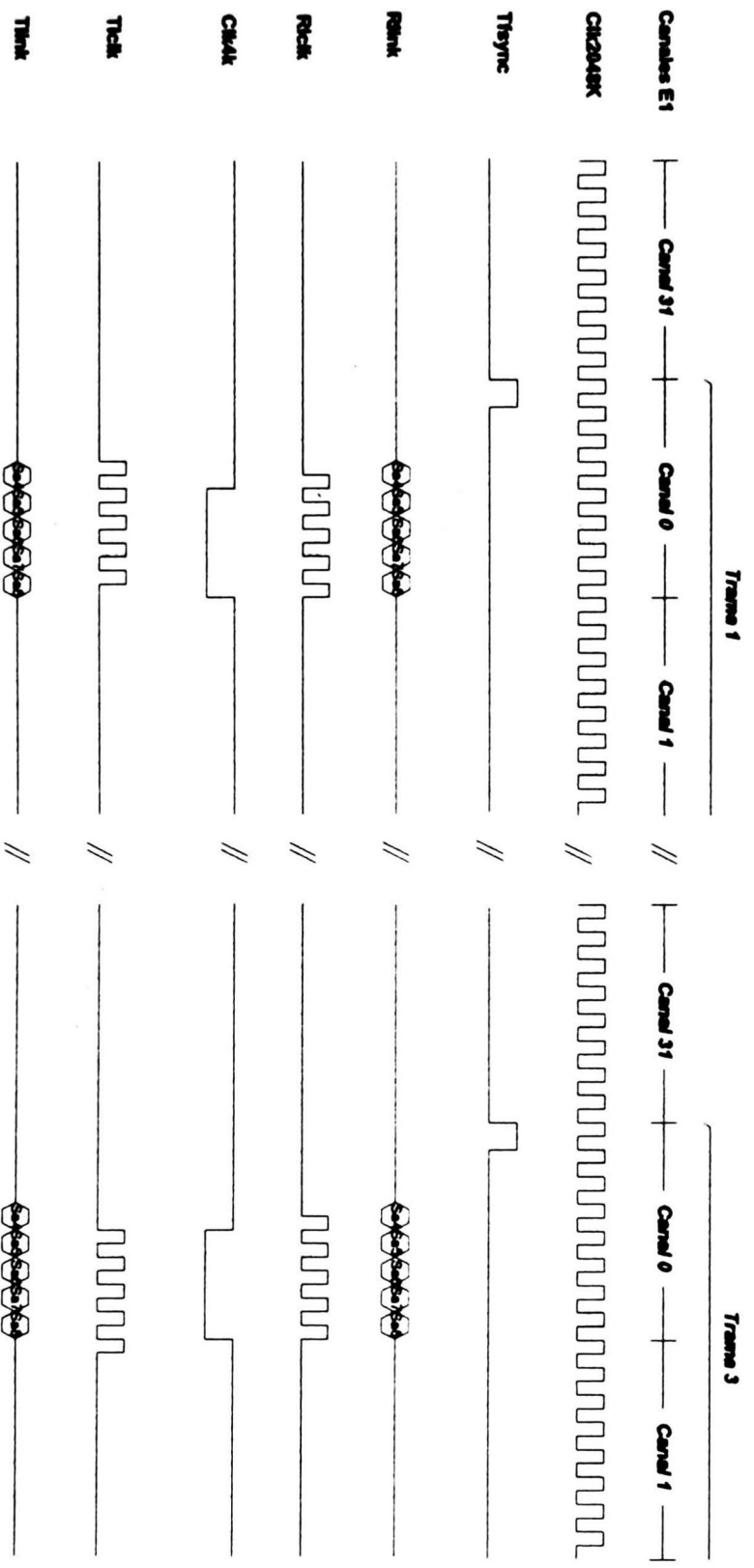


Figura 29 Recepción y transmisión de los bits Sa.

4.6 Retroalimentaciones o Loopbacks en el puerto de datos

Se implementaron dos retroalimentaciones en el Puerto de datos: Floop y Dloop. Estos se ilustran en la Figura 30.

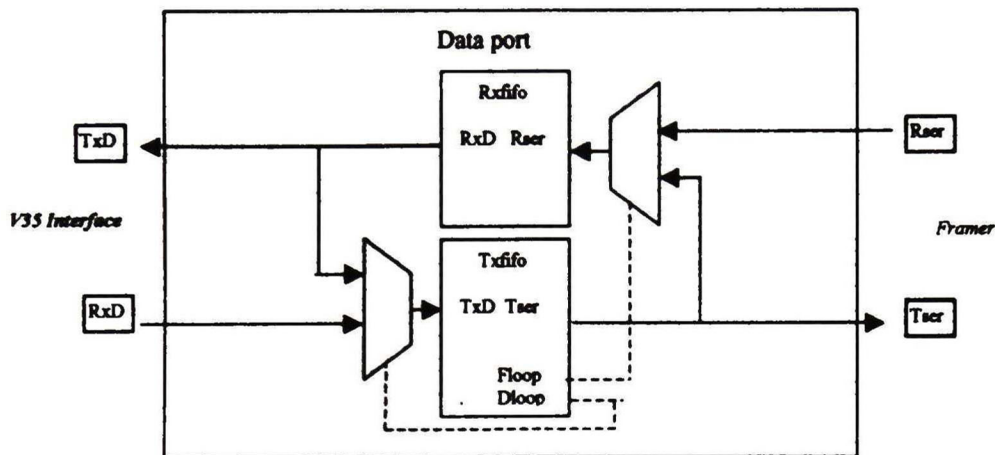


Figura 30 Loopbacks Floop y Dloop

Loopback Floop. Se activa a través del bit CR2.1 (=0, desactivado; =1 activado). Cuando se activa ocurren dos cosas:

- Los datos provenientes del DTE (interfaz V35, pin RxD), son enviados de regreso al DTE (interfaz V35, pin TxD). Estos datos también siguen su curso normal hacia el framer.
- Los datos provenientes del Framer a través del pin Rser son ignorados.

Loopback Dloop. Se activa a través del bit CR2.0 (=0 desactivado; =1 activado). Cuando se activa ocurren dos cosas:

- Los datos provenientes del framer a través del pin Rser son enviados de regreso al Framer a través del pin Tser. Estos datos también siguen su curso normal hacia el DTE.
- Los datos provenientes del canal de datos a través del pin RxD son ignorados.

4.7 Generador de señales de reloj.

Este bloque genera todas las señales de reloj requeridas en el DSU/CSU. Las frecuencias que genera son:

- Sincronía de trama (FS) 8KHz para sincronizar el conteo de todos los circuitos que intercambian datos
- Reloj de transmisión hacia la línea telefónica (Clk2048K) 2.048MHz para manejar el Framer
- Reloj para transmitir hacia el Puerto de Datos $n \times 64\text{KHz}$ ($1 \leq n \leq 31$)

Estos relojes se encuentran en sincronía con el reloj seleccionado como maestro (reloj de la CO, el reloj del equipo del usuario o el reloj interno). El generador de señales de reloj fue implementado en dos bloques: el bloque PLL que se muestra en la Figura 19 y un circuito integrado externo al Puerto de datos, NE564. El bloque completo se muestra en la Figura 31.

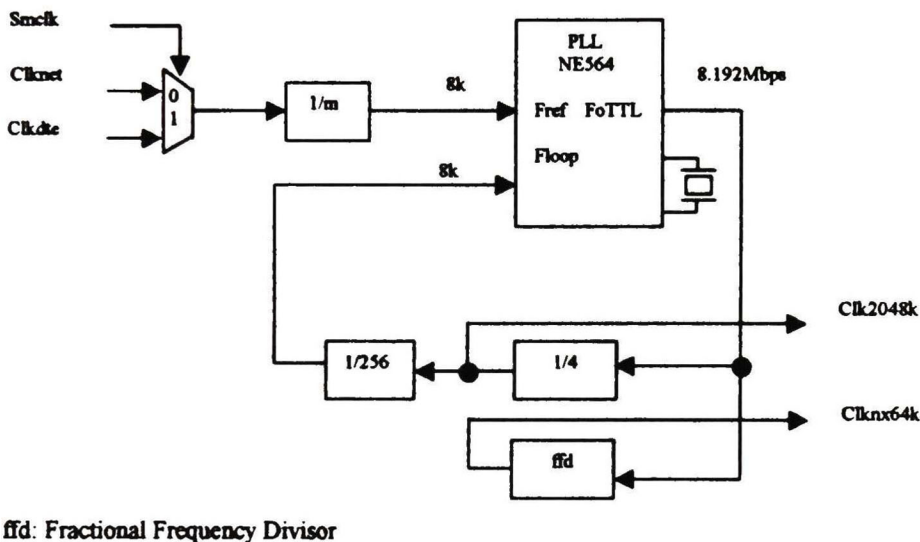


Figura 31 Adaptación de relojes

En la referencia [10], se describen con detalle, los bloques que integran el PLL.

4.8 Decodificador de direcciones

Esta función se implementó en el bloque Address decoder de la Figura 19. Este bloque genera las señales (CE) que permiten acceder los registros de los dispositivos que conforman el DSU/CSU. El decodificador de direcciones fue diseñado para trabajar con el bus tipo intel. El diagrama a bloques se muestra en la Figura 32.

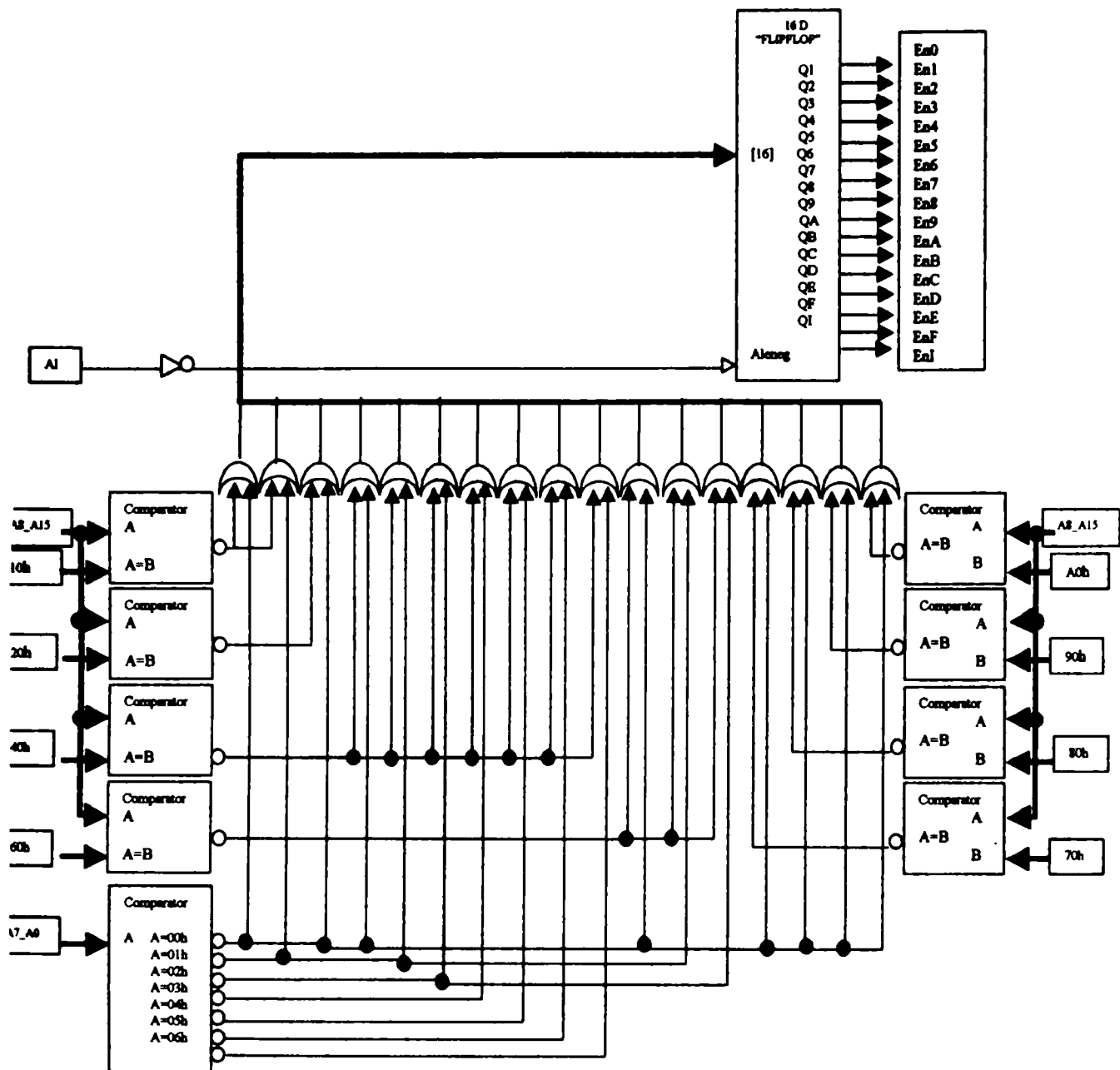


Figura 32 Decodificador de direcciones

4.9 Manejo de Interrupciones

Los dispositivos que generan interrupciones en el DSU/CSU son: El Framer, Tx fifo, Rx fifo y los tres controladores seriales (SCC). Para el manejo de tales interrupciones se implementó un bloque en el puerto de datos llamado "Interrupt driver", el cuál se ilustra en la Figura 33. Cuando ocurre una o varias interrupciones estas son capturadas en el bloque "5 flip-flop". La señal de interrupción se habilita si la señal EnInts esta activada (=0). Cuando el microcontrolador recibe una señal de interrupción, este lee el puerto cero con la finalidad de obtener la dirección de la fuente de interrupción. Una vez que es obtenida la dirección, el microcontrolador ejecuta la rutina de servicio de interrupción correspondiente (ISR).

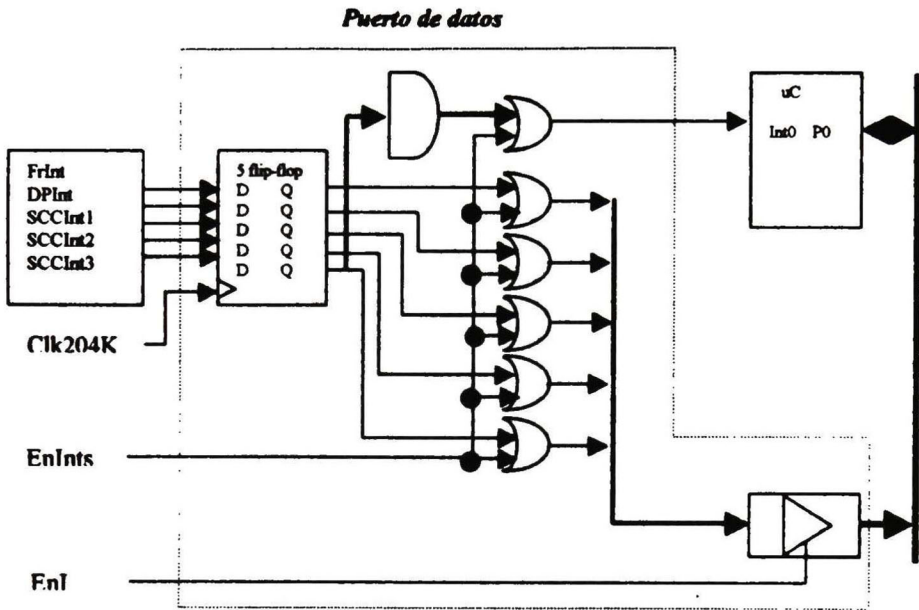


Figura 33 Manejador de interrupciones.

En la siguiente tabla, se muestran por orden de prioridad, los registros de los dispositivos que lee el microcontrolador.

Dispositivos generadores de interrupciones

Dispositivo	Bit	Nombre	Concepto
<i>Framer</i>	SR1.7	RSA1	Receive Signaling All Ones. Se activa cuando el canal 16 contiene menos de 3 ceros en 16 tramas consecutivas.
	SR1.6	RDMA	Receive Distant MF Alarm. Se activa cuando el bit 6 del canal 16 en la trama cero ha sido activado en dos tramas consecutivas.
	SR1.5	RSA0	Receive Signaling All Zeros. Se activa cuando en una multitrama el canal 16 contiene solo ceros.
	SR1.4	RSLIP	Receive Elastic Store Slip Occurrence. Se activa cuando el "elastic store" ha repetido o borrado una trama de datos
	SR1.3	RUA1	Receive Unframed All Ones. Se activa cuando se reciben solo unos
	SR1.2	RRA	Receive Remote Alarm. Se activa cuando una alarma remota se recibe en el TS0
	SR1.1	RCL	Receive Carrier Loss. Se activa cuando se reciben 255 ceros consecutivos.
	SR1.0	RLOS	Receive Loss of Sync. Se activa cuando el framer no esta sincronizado con el flujo E1.
<i>Puerto de datos</i>	SR2.7	RMF	Receive CAS Multiframe. Se activa cada 2ms, para alertar al host que los datos de señalización están disponibles
	SR2.6	RAF	Receive Align Frame. Se activa cada 250us al inicio de las tramas con alineación de trama. Indica al host que los bits Sa y Si estan disponible en los registros RAF y RNAF
	SR2.5	TMF	Transmit Multiframe. Se activa cada 2ms. Indica que los datos de señalización necesitan ser actualizados
	SR2.4	SEC	One Second Timer. Se activa cada segundo basada en la señal de reloj RCLK.
	SR2.3	TAF	Transmit Align Frame. Se activa cada 250us al inicio de cada trama con alineación. Se utiliza para actualizar los registros TAF y TNAF.
	SR2.2	LOTC	Loss of Transmit Clock. Se activa cuando el pin TCLK no ha tenido transiciones por el tiempo que dura un canal (3.9us)
	SR2.1	RCMF	Receive CRC4 Multiframe. Se activa cada 2 ms. Cada 16 tramas
	SR2.0	TSLIP	Transmit Elastic Store Slip. Se activa cuando el "elastic store" ha repetido o borrado una trama de datos.
	SR1.5	Tx_Empty	TxFifo Empty. Se activa 1 byte antes de que la Txfifo se vacie.
	SR1.4	Tx_Full	Txfifo Full. Se activa 1 byte antes de que la Txfifo se llene.
	SR1.3	Rx_Empty	RxFifo Empty. Se activa 1 byte antes de que la Rxfifo se vacie.
	SR1.2	Rx_Full	Rxfifo Full. Se activa 1 byte antes de que la Rxfifo se llene.
	SR1.1	DPRB_Error	Error en PRBS. Se activa cuando el detector de PRBS, ha detectado más de 15 bits erróneos en 128 bits recibidos.
	SR1.0	DPRB_Sync	PRBS sincronizado. Se activa cuando el detector de PRBS, ha detectado menos de 15 bits erróneos en 128 bits recibidos.

SCC	RR2.7	V7	V3 V2 V1	Bit de estado (WR9.4) = 0
			V4 V5 V6	Bit de estado (WR9.4) = 1
	RR2.6	V6	0 0 0	Buffer de transmisión del canal B vacío
			0 0 1	Cambio en el registro de estado del canal B
	RR2.5	V5	0 1 0	Caracter recibido disponible en el canal B
			0 1 1	Condición especial de recepción del canal B
	RR2.4	V4	1 0 0	Buffer de transmisión del canal A vacío
			1 0 1	Cambio en el registro de estado del canal A
	RR2.3	V3	1 1 0	Caracter recibido disponible en el canal A
		1 1 1	Condición especial de recepción del canal B	
	RR2.2	V2		
	RR2.1	V1		
	RR2.0	V0		

Tabla 3. Banderas de interrupciones del puerto de datos, Framer y SCC

4.10 Comunicación del DSU/CSU con el equipo del usuario.

El protocolo de comunicación utilizado entre el equipo del usuario(DTE) y el DSU/CSU (DCE), es el V.35. Este es un protocolo de comunicación serial que puede manejar una velocidad máxima de 10Mbps.

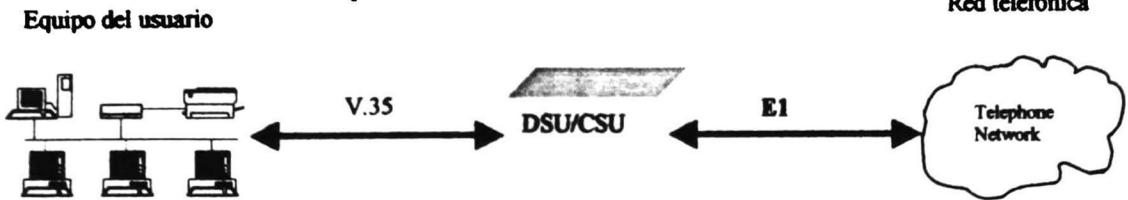


Figura 34 Interfaz del equipo del usuario con la red telefónica.

La interfaz V35 en el DSU/CSU se implemento en dos dispositivos:

- El circuito integrado de Sipex SP505ACF, el cuál funciona como adaptador de señales V35 (NRZ, $\pm 0.45V$) a señales binarias de 0 a 5 Volts, y viceversa.
- Los bloques que se encuentran en el dispositivo llamado puerto de datos: V35DTE, V35DCE y V35config. Cada bloque es un registro de 8 bits.
 - V35DTE es el registro de solo lectura SR2. En este el microcontrolador lee las señales que emite el DTE: RTS, DTR, LL, RL, ST.
 - V35DCE es el registro de escritura CR9. A través de este el microcontrolador activa/desactiva las señales del DCE: CTS, DSR, DCD, RI, SCT.
 - V35Config es el registro de escritura CRA. A través de este el microcontrolador configura el circuito integrado SP505ACF, para que funcione en modo V35.

En la Figura 35 se ilustra el diagrama de estado de la comunicación del equipo del usuario con el DSU/CSU.

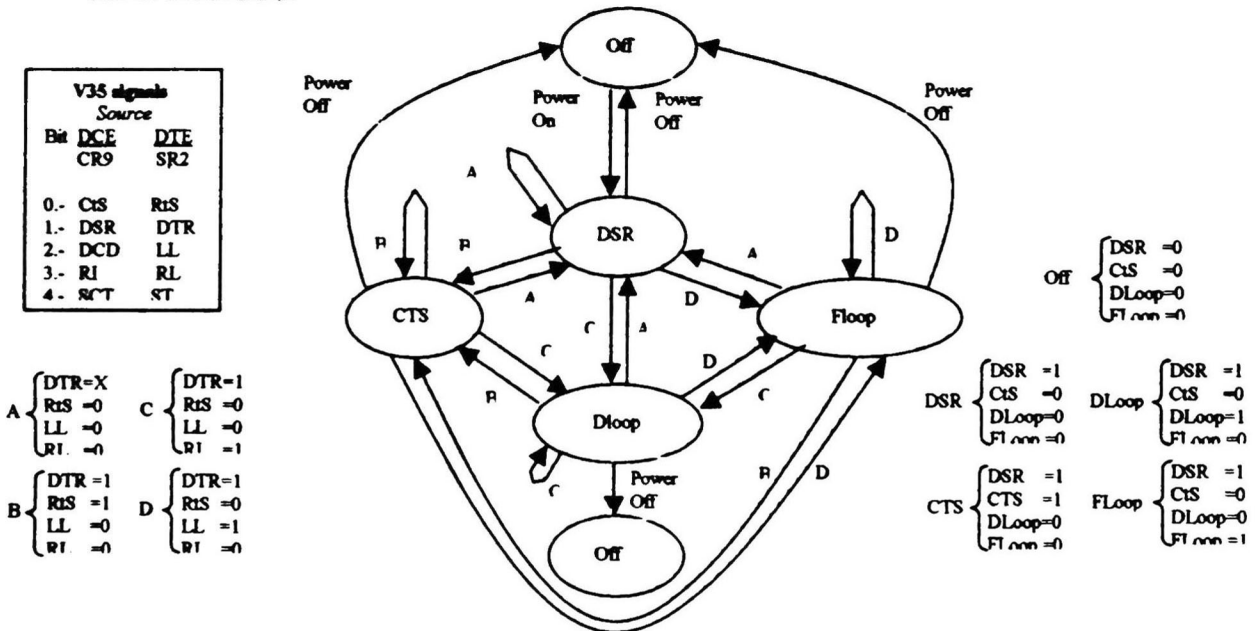


Figura 35 Diagrama de estados de la comunicación del DSU/CSU (DCE) con el equipo del cliente (DTE).

Capítulo 5

5 El microcontrolador

5.4 Introducción

Las funciones que lleva a cabo el microcontrolador en el DSU/CSU son:

- Configuración e inicialización de los circuitos integrados que conforman el DSU/CSU
- Atender la interfaz con el usuario a través del puerto serial y la terminal del cliente
- Control de interrupciones
- Control de la comunicación V.35 en el canal de datos

5.5 Elección del microcontrolador

Para seleccionar un microcontrolador se buscó uno que cumpliera con las siguientes características:

- Compatible con el Bus de Intel
- Que soporte un cristal mínimo de 12Mhz (tiempo mínimo para atender las interrupciones del framer que es de 125us).
- 32 líneas de E/S programables
- Tener un UART
- Voltaje de alimentación de 5Volts
- Precio bajo

De una comparación entre 3 microcontroladores se escogió el AT89C51 de Atmel.

	Atmel AT89C51	Philips 80C51	Intel P8051
Tiempo de entrega	15 días	30 días	30días
Distribuidor	Zapopan	Zapopan	
Kit de desarrollo	49		
Emulador	prestado por el dist		
Simulador	incluido c/kit		
Programador	incluido c/kit		
Precio por 1,000 al año	4.09	4.30	

Las características del microcontrolador AT89C51 son:

- Compatible con el microcontrolador 8051 de Intel
- 4 Kbytes de memoria Flash interna
- Velocidad de operación: 0 Hz to 24 MHz
- Tres niveles de seguridad para la memoria de programa
- 128 x 8 bit RAM interna
- 32 líneas de E/S programables
- Dos Temporizadores / Contadores de 16 bits
- Seis fuentes de interrupción
- Canal serie programable (velocidad, tamaño de palabra, paridad, etc.)
- Modos de "Low power idle" y "power down"

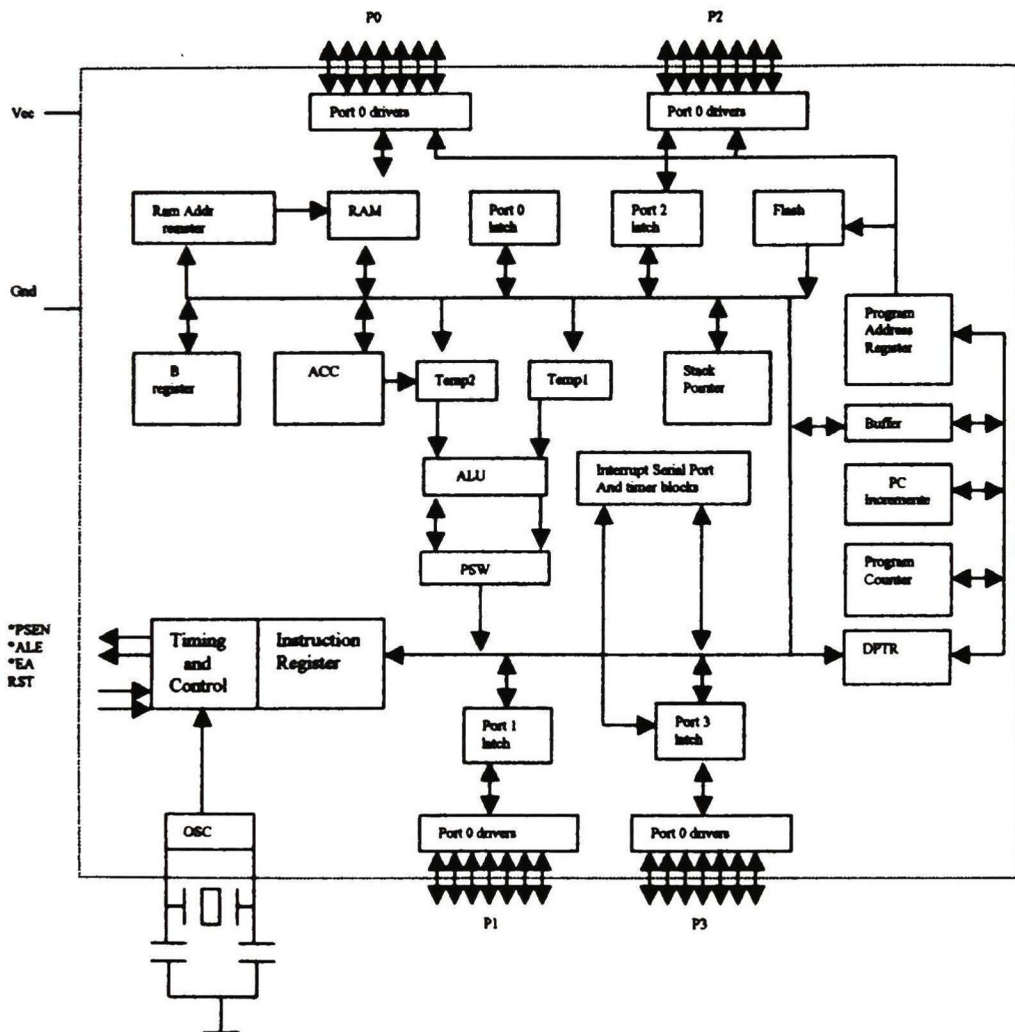


Figura 36 Diagrama a bloques del microcontrolador AT89C51

5.6 Configuración del microcontrolador AT89C51

El sistema mínimo del microcontrolador AT89C51 está formado por:

- Un "latch" octal 74HC373, el cuál es utilizado para almacenar temporalmente el byte menos significativo de direcciones que emite el microcontrolador por el puerto 0
Una memoria EEPROM de 64Kbytes AT29C512, la cuál se utiliza para almacenar el programa de control.
- El microcontrolador AT89C51

En la Figura 37 se muestra el sistema mínimo.

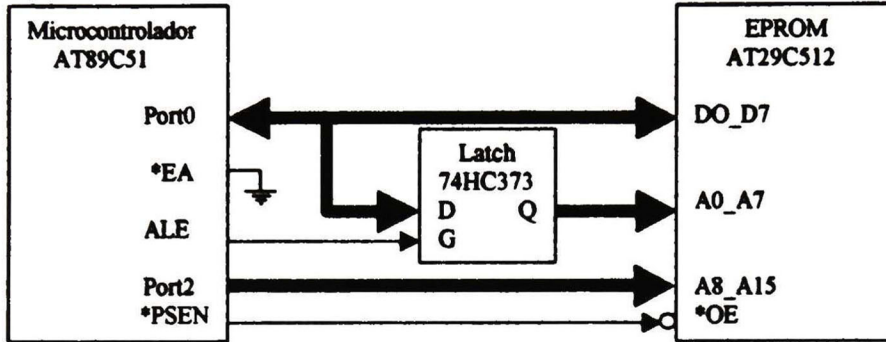


Figura 37 Sistema mínimo.

Todos los dispositivos en la tarjeta del DSU/CSU, que el microcontrolador AT89C51 accesa tienen una dirección de memoria asignada. De esta forma el acceso a los registros de los dispositivos se hace como si éstos fueran memoria de datos. El mapa de memoria se muestra en la Figura 38.

Memoria de datos interna			Memoria de programa interna		
Inicio	Fin	Dispositivo	Inicio	Fin	Dispositivo
0000H	001FH	Register Bank	0000H	0FFFH	Internal flash
0020H	002FH	Bit addressable locations			
0030H	007FH	General purpose RAM			
0080H	00FFH	Special Function Registers			
Memoria de datos externa			Memoria de programa Externa		
Inicio	Fin	Dispositivo	Inicio	Fin	Dispositivo
0100H	0100H	(CR1) General reset	1000H	FFFFH	Program control
0101H	0101H	(CR2) Interrupt enable			
0102H	01FFH	General purpose			
0200H	02FFH	Framer registers			
0300H	0306H	Fifo registers			
0307H	0309H	V35 registers			
030AH	0328H	SCC1 registers			
0329H	0346H	SCC2 registers			
0347H	0364H	SCC3 registers			
0365H	FFFFH	General purpose			

Figura 38 Mapa de memoria del microcontrolador

Special function registers		
Byte address	Register Name	Value on reset
FF		
F0	B register	0000 0000
E0	Accumulator	0000 0000
D0	Program status word	0000 0000
B8	Interrupt priority	XXXX 0000
B0	Port 3	1111 1111
AB	Interrupt enable	0XX0 0000
A0	Port 2	1111 1111
99	Serial buffer	Indeterminate
98	Serial control	0000 0000
90	Port 1	1111 1111
8D	Timer high 1	0000 0000
8C	Timer high 0	0000 0000
8B	Timer low 1	0000 0000
8A	Timer low 0	0000 0000
89	Timer mode	0000 0000
88	Timer control	0000 0000
87	Power control	0XXX 0000
83	Data pointer High	0000 0000
82	Data pointer low	0000 0000
81	Stack pointer	0000 0111
80	Port 0	1111 1111

Figura 39 Registros de Función Especial (SFR).

5.7 Configuración básica de los registros del microcontrolador

Una vez que el microcontrolador sale de la rutina de Reset, se procede a escribir los registros de SFR (Special Function Registers) de la siguiente forma:

0: Deshabilitado

1: Habilitado

IE: Interrupt enable register (Bit addressable)

Número	Nombre	Valor	Función
IE.7	EA	1	Habilita todas las interrupciones
IE.6	---	---	Reservado para uso futuro.
IE.5	ET2	0	Deshabilita el sobre flujo del Timer 2
IE.4	ES	1	Habilita la interrupción del puerto serie
IE.3	ET1	0	Deshabilita el sobre flujo del Timer 1
IE.2	EX1	1	Habilita la interrupción externa 1
IE.1	ET0	0	Deshabilita el sobre flujo del Timer 0
IE.0	EX0	1	Habilita la interrupción externa 0

IP: Interrupt priority register (Bit addressable)

Numero	Nombre	Valor	Función
IP.7	.---	---	Reservado para uso futuro
IP.6	.---	---	Reservado para uso futuro
IP.5	.---	---	Reservado para uso futuro
IP.4	PS	1	Define el nivel de prioridad de interrupción del puerto serie
IP.3	PT1	0	Define el nivel de prioridad de interrupción del timer 1
IP.2	PX1	1	Define el nivel de prioridad de la interrupción externa 1
IP.1	PT0	0	Define el nivel de prioridad de interrupción del timer 0
IP.0	PX0	1	Define el nivel de prioridad de la interrupción externa 0

0:Prioridad baja

1:Prioridad alta

TCON: Timer/Counter control register (Bit addressable)

Numero	Nombre	Valor	Función
TCON.7	TF1	0	Bandera de sobreflujo del Timer 1
TCON.6	TR1	0	Bit de control de activación del T1
TCON.5	TF0	1	Bandera de sobreflujo del Timer 0
TCON.4	TR0	0	Bit de control de activación del T0
TCON.3	IE1	0	Bandera del Timer 1 que se activa en un flanco.
TCON.2	IT1	1	Especifica un cambio de estado de 1 a 0 en la interrupción 1
TCON.1	IE0	0	Bandera del Timer 0 que se activa en un flanco.
TCON.0	IT0	1	Especifica un cambio de estado de 1 a 0 en la interrupción 0

TMOD: Timer/Counter mode control register (not bit addressable)

Numero	Nombre	Valor	Función
TMOD.7	Gate	0	Activa el Timer counter 1, si el pin Int1 es 1.
TMOD.6	C/*T	0	Selector de Timer 1/Counter 1
TMOD.5	M1	0	Selector de modo de operación en Timer 1 (2)
TMOD.4	M0	0	Selector de modo de operación en Timer 1 (2)
TMOD.3	Gate	0	Activa el Timer counter 0, si el pin Int0 es 1.
TMOD.2	C/*T	1	Selector de Timer0/Counter0
TMOD.1	M1	1	Selector de modo de operación en Timer 0 (2)
TMOD.0	M0	0	Selector de modo de operación en Timer 0 (2)

SCON: Serial port control register (Bit addressable)

Numero	Nombre	Valor	Función
SCON.7	SM0	0	Especifica el modo de operación del puerto serie (8N1S)
SCON.6	SM1	1	Especifica el modo de operación del puerto serie (8N1S)
SCON.5	SM2	0	Especifica el modo de operación del puerto serie (8N1S)
SCON.4	REN	1	Habilita/deshabilita la recepción
SCON.3	TB8	0	Habilita la transmisión del 9no. Bit en los modos 2 y 3
SCON.2	RB8	0	Habilita la recepción del 9no. Bit en los modos 2 y 3
SCON.1	TI	X	Bandera de interrupción activada por hw. En la transmisión
SCON.0	RI	X	Bandera de interrupción activada por hw. En la recepción

5.9 Puerto serie de comunicaciones "UART"

El microcontrolador posee un puerto de comunicación de datos RS-232. Este es usado para establecer un canal de comunicación con el usuario a través de una terminal tipo VT.100, esta se utiliza para monitorear el desempeño del DSU/CSU y configurar su funcionamiento.

El monitoreo de la actividad del DSU/CSU por una terminal remota, consiste en leer los registros internos de la tarjeta. La terminal remota, obtiene estos datos con fines estadísticos, para posteriormente evaluar la calidad del canal E1.

Se utilizo la UART interna del microcontrolador AT89C51, para implementar el puerto RS232. Las siglas significan Unidad Asíncrona de Transmisión/Recepción.

La UART está configurada de la siguiente forma:

- Velocidad 19200 baudios
- 1 bit de "start", 8 bits de datos, 1 bit de "stop"

La forma de configurar la UART se muestra a continuación:

El "Timer 1" es usado en modo 2 (auto recarga). Ver "Atmel Microcontroller Data book". La formula que se utiliza para calcular el "Baud rate" es:

$$\text{Baud rate} = \frac{K \times \text{Oscillator freq.}}{32 \times 12 \times [256 - (\text{TH1})]}$$

Si el bit SMOD=0 en el registro PCON, entonces K=1.

Si el bit SMOD=1 en el registro PCON, entonces K=2.

Por lo regular el usuario conoce el "Baud rate", por lo que únicamente se necesita conocer el valor de recarga para el TH1. Despejando de la ecuación anterior queda:

$$\text{TH1} = 256 - \frac{K \times \text{Oscillator freq.}}{384 \times \text{Baud rate}} = 253d = \text{FDH}$$

Oscillator freq. = 11059200Hz.

Baud rate = 19200bps

K=2

Capítulo 6

6 Control de los bits Sa

6.4 Introducción

En el formato de la trama E1, se tienen disponibles 5 canales de comunicación serial de 4Kbps cada uno. El bit Sa4 de la trama E1 se utiliza para el mantenimiento, control y monitoreo de errores en la transmisión. Los bits Sa5 al Sa8, corresponden a 4 canales de 4Kbps y son definidos por el usuario o por la compañía telefónica que presta el servicio. En este diseño se utiliza el protocolo HDLC, para el manejo de la información en los canales Sa_i.

Los SCC son básicamente convertidores serie a paralelo, que además verifican que los mensajes que se reciben cumplen con el standard HDLC. El SCC envía una interrupción al microcontrolador cada vez que hay un nuevo mensaje. Además indica el inicio y fin del mensaje, además si este fue recibido sin errores. El procesador se encarga de identificar el destinatario y de interpretar el contenido del mensaje.

6.5 Controlador de comunicación serial

La función del SCC es la recepción y transmisión de mensajes HDLC. El control de los bits Sa_i se implementó usando 3 SCC's, cada SCC controla dos canales de comunicación Sa_i.

6.6 Descripción del SCC

Las características del SCC son:

- Dos canales independientes full-duplex
 - Manejo de la recepción y transmisión de datos en forma síncrona
 - Características en el manejo de SDLC/HDLC
 - Generación y verificación de la secuencia de aborto
 - Detección automática 5 "1" consecutivos e Inserción/Remoción y de un "0"
 - Inserción automática de banderas entre mensajes
 - Reconocimiento del campo de direcciones
 - Manejo del campo I
 - Generación y detección de CRC
 - Modo "SDLC loop" con reconocimiento de final del patrón (EOP) ó loop, entrada y salida.
 - Fifo receptora de 3 bytes de longitud
 - Fifo transmisora de 1 byte de longitud
 - Codificación/decodificación NRZ, NRZI o FM, decodificación del código Manchester.
 - Generador de "baud rate" en cada canal
 - PLL digital para recuperación del reloj
 - Software de "interrupt acknowledge"
 - Cuando la fuente de reloj del PLL digital es externa, esta puede ser hasta 2x el PCLK
- El diagrama a bloques se muestra en la figura 37.

Channel A
Exploded view

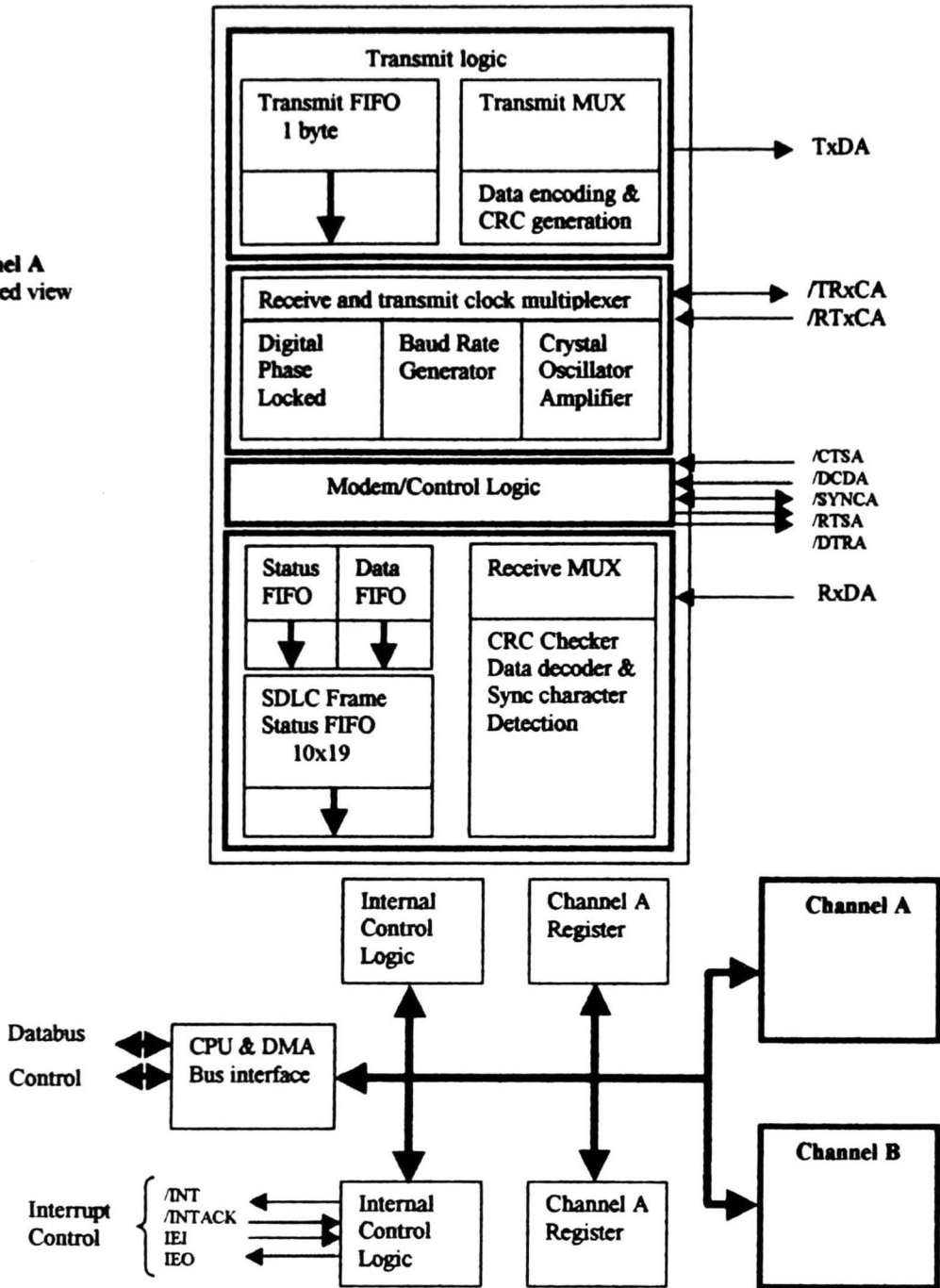


Figura 41 Diagrama a bloques del SCC.

6.7 Configuración del SCC

El formato de trama utilizado es el HDLC. El software que se ejecuta en el procesador esta diseñado para el manejo de señales orientadas a mensaje (PRM).

El SCC puede trabajar en 3 formas básicas de I/O:

Polling: el software del microcontrolador debe estar monitoreando el SCC para determinar cuando hay datos válidos disponibles en los registros del SCC o cuando el SCC transmitió un byte y esta listo para transmitir el siguiente.

Interrupciones: El SCC posee 3 fuentes de interrupción para cada canal, estas son: 1)Receptor, 2)Transmisor, 3)condiciones de estado. Haciendo en total 6 fuentes de interrupción por SCC. Cuando en el SCC existe una condición de interrupción, se genera una señal, que es enviada al microcontrolador a través del pin /INT.

Transferencia de bloques: Usa la señal de salida /W//REQ esta es definida por software como una línea de control de flujo de datos /WAIT o /REQ.

Las tres formas básicas implican la manipulación de registros durante la inicialización y la transferencia de datos. En el DSU/CSU se utilizaron las interrupciones. En la Tabla 4 y 5 se muestran los registros del SCC.

Registros de escritura del SCC (WR)

Reg.	Descripción
WR0	Registro de comandos de inicialización y apuntadores
WR1	Interrupciones de transmisión/recepción y definición del modo de transferencia
WR2	Vector de interrupciones
WR3	Parámetros de recepción y control
WR4	Modos y parámetros del transmisor/receptor
WR5	Modos y parámetros del transmisor
WR6	Caracteres de sincronía o campo de direcciones del SDLC
WR7	Caracter de sincronía o bandera de SDLC
WR8	Registro del buffer de transmisión
WR9	Control maestro de interrupciones
WR10	Bits de control del transmisor/receptor
WR11	Control de la modalidad del reloj
WR12	Byte menos significativo de la kte.de tiempo del generador de baud rate
WR13	Byte más significativo de la kte.de tiempo del generador de baud rate
WR14	Miscelánea de bits de control

Tabla 4. Registros de escritura del SCC

Registros de lectura del SCC (RR)

Reg.	Descripción
RR0	Estado del buffer de transmisión y recepción
RR1	Estado de condiciones especiales en al recepción
RR2	Vector de interrupciones modificado (solo canal B), Vector de interrupciones sin modificar (solo canal A)
RR3	Bits pendientes de interrupciones (solo canal A)
RR4	Modos y parámetros del transmisor/receptor
RR5	Modos y parámetros del transmisor
RR6	Byte LS del contador de la FIFO en modo SDLC
RR7	Contador de bytes de la SDLC FIFO y status
RR8	Buffer receptor
RR9	Parámetros del receptor y modos de control
RR10	Miscelánea de bits de estado
RR11	Miscelánea de bits de control del transmisor/receptor
RR12	Byte menos significativo de la kte. de tiempo del generador de baud rate
RR13	Byte más significativo de la kte. de tiempo del generador de baud rate
RR14	Control de la FIFO
RR15	Estado de las interrupciones externas

Tabla 5. Registros de lectura del SCC

A continuación se muestran todos los registros del SCC y su valor después de haber recibido una señal de “reset”

WR0: Registro de comandos

Numero	Nombre	Valor	Función
WR0.7	D7	0	MSB Especifica el código de reset del CRC(00.-Null code)
WR0.6	D6	0	LSB Especifica el código de reset del CRC(00.-Null code)
WR0.5	D5	0	MSB Códigos de comando del SCC (000.-Null Code)
WR0.4	D4	0	Códigos de comando del SCC (000.-Null Code)
WR0.3	D3	0	LSB Códigos de comando del SCC (000.-Null Code)
WR0.2	D2	0	MSB Códigos de selección de registros(000.- Register 0)
WR0.1	D1	0	Códigos de selección de registros(000.- Register 0)
WR0.0	D0	0	MSB Códigos de selección de registros(000.- Register 0)

WR1: Interrupciones de transmisión/recepción y definición del modo de transferencia

Numero	Nombre	Valor	Función
WR1.7	D7	0	Habilitador de requisición WAIT de DMA
WR1.6	D6	0	Función de requisición WAIT de DMA
WR1.2	D5	0	WAIT/REQUEST en transmisión o recepción
WR1.4	D4	0	Modos de interrupción en el receptor(bits D3 y D4)
WR1.3	D3	0	Modos de interrupción en el receptor(bits D3 y D4)
WR1.2	D2	X	Paridad es una condición especial
WR1.1	D1	0	Habilitador de interrupción en el transmisor
WR1.0	D0	0	Habilitador maestro de interrupciones External/Status

WR2: Vector de interrupciones

Numero	Nombre	Valor	Función
WR2.7	D7	X	Vector 0
WR2.6	D6	X	Vector 1
WR2.5	D5	X	Vector 2
WR2.4	D4	X	Vector 3
WR2.3	D3	X	Vector 4
WR2.2	D2	X	Vector 5
WR2.1	D1	X	Vector 6
WR2.0	D0	X	Vector 7

WR3: Parámetros de recepción y control

Numero	Nombre	Valor	Función
WR3.7	D7	X	Recibe bits/carácter(bits D7 y D6)
WR3.6	D6	X	Recibe bits/carácter(bits D7 y D6)
WR3.5	D5	X	Autohabilitador
WR3.4	D4	X	Entra en modo de comparación
WR3.3	D3	X	Habilita el receptor de CRC
WR3.2	D2	X	Habilita el modo SDLC
WR3.1	D1	X	Inhibe la carga del carácter de sincronía
WR3.0	D0	0	habilita el receptor

Habilita el receptor. 8 bits por carácter.

WR4: Modos y parámetros del transmisor/receptor

Numero	Nombre	Valor	Función
WR4.7	D7	X	Velocidad de reloj (bits D7 y D6)
WR4.6	D6	X	Velocidad de reloj (bits D7 y D6)
WR4.5	D5	X	Selecciona el modo de sincronía (bits D5 y D4)
WR4.4	D4	X	Selecciona el modo de sincronía (bits D5 y D4)
WR4.3	D3	X	Selecciona los bits de stop (bits D3 y D2)
WR4.2	D2	1	Selecciona los bits de stop (bits D3 y D2)
WR4.1	D1	X	Selecciona la paridad para/impar
WR4.0	D0	X	habilita la paridad

WR5: Modos y parámetros del transmisor

Numero	Nombre	Valor	Función
WR5.7	D7	0	Bit de control del "Data Terminal Ready"
WR5.6	D6	X	Selector de bits/carácter en el transmisor (bits D6 y D5)
WR5.5	D5	X	Selector de bits/carácter en el transmisor (bits D6 y D5)
WR5.4	D4	0	Bit de control de "Send break"
WR5.3	D3	0	Bit habilitador del transmisor
WR5.2	D2	0	Bit selector del polinomio SDLC/CRC-16
WR5.1	D1	0	Bits de control de la señal "Request to send"
WR5.0	D0	X	Bit que habilita la transmisión del CRC

WR6: Caracteres de sincronía o campo de direcciones del SDLC

Numero	Nombre	Valor	Función
WR6.7	D7	X	Bit7 de sincronía / dirección
WR6.6	D6	X	Bit6 de sincronía / dirección
WR6.5	D5	X	Bit5 de sincronía / dirección
WR6.4	D4	X	Bit4 de sincronía / dirección
WR6.3	D3	X	Bit3 de sincronía / dirección
WR6.2	D2	X	Bit2 de sincronía / dirección
WR6.1	D1	X	Bit1 de sincronía / dirección
WR6.0	D0	X	Bit0 de sincronía / dirección

WR7: Caracter de sincronía o bandera de SDLC

Numero	Nombre	Valor	Función
WR7.7	D7	X	Bit7 de sincronía
WR7.6	D6	X	Bit6 de sincronía
WR7.5	D5	X	Bit5 de sincronía
WR7.4	D4	X	Bit4 de sincronía
WR7.3	D3	X	Bit3 de sincronía
WR7.2	D2	X	Bit2 de sincronía
WR7.1	D1	X	Bit1 de sincronía
WR7.0	D0	X	Bit0 de sincronía

WR8: Registro del buffer de transmisión

Todos los bits en estado de indeterminado.

WR9: Control maestro de interrupciones

Numero	Nombre	Valor	Función
WR9.7	D7	1	Comando de reset (bit D7 y D6)
WR9.6	D6	1	Comando de reset (bit D7 y D6)
WR9.5	D5	0	Bit de control por software del "interrupt acknowledge"
WR9.4	D4	0	Bit de control de estado
WR9.3	D3	0	Habilitador maestro de interrupciones
WR9.2	D2	0	Bit deshabilitador de la cadena de interrupciones
WR9.1	D1	X	Bit habilitador de respuesta a una ciclo de "acknowledge"
WR9.0	D0	X	Bit de control de inclusión de un vector de estado en el bus

WR10: Bits de control del transmisor/receptor

Numero	Nombre	Valor	Función
WR10.7	D7	0	Preset del CRC
WR10.6	D6	0	Bits de codificación de datos (bits D6 y D5)
WR10.5	D5	0	Bits de codificación de datos (bits D6 y D5)
WR10.4	D4	0	Bit de control "Go-active-on-poll"
WR10.3	D3	0	Bit de control de la bandera de desocupado
WR10.2	D2	0	Bit selector de bandera de aborto cuando ocurre sobreflujo
WR10.1	D1	0	Bit de control de modo "Loop"
WR10.0	D0	0	Bit selector de sincronía 6/8 bits

WR11:Control de la modalidad del reloj

Numero	Nombre	Valor	Función
WR11.7	D7	0	Bit selector RTxC-XTAL/NOXTAL
WR11.6	D6	0	Selector del reloj del receptor (bits D6 y D5)
WR11.5	D5	0	Selector del reloj del receptor (bits D6 y D5)
WR11.4	D4	0	Selector del reloj del transmisor (bits D4 y D3)
WR11.3	D3	1	Selector del reloj del transmisor (bits D4 y D3)
WR11.2	D2	0	Bit de control del pin TRxC
WR11.1	D1	0	Bit selector de la fuente de salida de la señal /TRxC
WR11.0	D0	0	Bit selector de la fuente de salida de la señal /TRxC

WR12:Byte menos significativo de la kte.de tiempo del generador de baud rate

Todos los bits en estado de indeterminado

WR13:Byte más significativo de la kte.de tiempo del generador de baud rate

Todos los bits en estado de indeterminado

WR14:Miscelanea de bits de control

Numero	Nombre	Valor	Función
WR14.7	D7	X	Bits de comando del PLL digital (bits D7, D6 y D5)
WR14.6	D6	X	Bits de comando del PLL digital (bits D7, D6 y D5)
WR14.5	D5	1	Bits de comando del PLL digital (bits D7, D6 y D5)
WR14.4	D4	1	Bit selector del "Local loopback"
WR14.3	D3	0	Bit selector de autoeco
WR14.2	D2	0	Bit selector de de la función DTR/Request
WR14.1	D1	0	Bit selector de la fuente generadora de "baud rate"
WR14.0	D0	0	Bit habilitador del generador de "baud rate"

WR15:Control habilitador de interrupciones de estado externas

Numero	Nombre	Valor	Función
WR15.7	D7	1	Habilitador de interrupción Break/Abort
WR15.6	D6	1	Habilitador de interrupción del transmisor "Underrun/EOM"
WR15.5	D5	1	Habilitador de interrupción CTS
WR15.4	D4	1	Habilitador de interrupción "SYNC/Hunt"
WR15.3	D3	1	Habilitador de interrupción DCD
WR15.2	D2	0	Bit de control de la FIFO de estado
WR15.1	D1	0	Habilitador de interrupción del contador cuando llega a cero
WR15.0	D0	X	Reservado

En la Tabla 6 se muestra la secuencia de inicialización de los registros de escritura, para que el SCC funcione en modo SDLC.

Registro	Bit								Descripción
	D7	D6	D5	D4	D3	D2	D1	D0	
WR4	0	0	1	0	0	0	0	0	Selecciona el reloj x1, modo SDLC, habilita el modo "sync"
WR3	1	0	0	1	1	1	0	0	Rx 8 bits/carácter, No autohabilitado, modo "HUNT", habilita Rx CRC, detecta de direcciones,
WR5	0	1	1	0	0	0	1	1	DTR no invertido, 8 bits en el Tx, Usa el CRC del SDLC, habilita la señal RTS, habilita la bandera de SDLC
WR7	0	1	1	1	1	1	1	0	
WR6	X	X	X	X	X	X	X	X	Dirección secundaria del receptor
WR15	X	X	X	X	X	X	X	X	Habilita el acceso a registro nuevo
WR10	0	0	0	0	1	0	0	0	Preset a cero, codificación NRZ, Tx envía 1's en "Idle", Tx envía CRC cuando hay sobreflujo, Loop deshabilitado
WR3	1	0	0	1	1	1	0	1	Habilita el receptor
WR5									Habilita el transmisor
WR0									inicializa el generador de CRC(reset)

Tabla 6. Secuencia de inicialización del SCC

7 Conclusiones

- 1.- Se ha logrado un buen aprendizaje del estándar de E1. Gracias al diseño del DSU/CSU para E1.
- 2.- El presente documento es una fuente bibliográfica, para las personas interesadas en conocer el standard E1.
- 3.- Se dio a conocer una estrategia de diseño, donde se plantea una solución para resolver la diferencia de velocidades entre dos equipos. Esta fue la utilización de colas FIFO.
- 4.- De acuerdo al estado del arte de los CPLD's y microcontroladores, el uso de colas FIFO, fue la solución más económica para resolver la diferencia de velocidades.
- 5.- El sistema de recuperación y generación de reloj (PLL), fue implementado con dispositivos analógicos. De acuerdo a la experiencia obtenida, es mejor que el sistema se implemente en forma digital por varias razones: El *jitter* en sistemas analógicos es más sensible al ruido externo; el sistema digital ocupa menor espacio en el PCB, el costo es menor y es más fácil hacer cambios.
- 6.- Cuando se utilizan CPLD's se deben de tomar en cuenta dos factores: El porcentaje que se utiliza del dispositivo y la distribución de los pines externos. Se recomienda utilizar como máximo 75% de la capacidad total del dispositivo. La distribución de los pines externos se recomienda dejar que los algoritmos de síntesis de la herramienta de diseño los asigne.

8 Bibliografía

- [1] General aspects of digital transmissions systems; Terminal Equipment's CCITT volume III - fascicle III.4 recommendations G.704, G.706, G.732, CCITT 1988.
- [2] Network to Customer Installation – DS1 Metallic Interface, Draft American National Standard for Telecommunications, Revision of ANSI T1.403-1989.
- [3] EIA/TIA-530 Standard, Electronic Industries Association, Engineering department June 1992.
- [4] Telecom Application notes, Dallas Semiconductor 1996, www.dalsemi.com.
- [5] Telecommunications data book, Dallas Semiconductor 1996, . www.dalsemi.com.
- [6] TTL Logic data book, Texas Instruments 1988.
- [7] AVR Enhanced RISC microcontroller data book, Atmel corporation May 1997.
- [8] Microcontroller databook, Atmel corporation May, 1996.
- [9] Handbook of computer communications standards vol.1, William Stallings, SAMS, 19xx.
- [10] DSU/CSU for E1 line, Technical design Specification, Armando Govea Camacho, CINVESTAV del IPN Unidad Guadalajara 1999.
- [11] Data communications, William J. Beyda, Prentice Hall, 19xx.
- [12] Fractional E1 (CEPT) Rate & Interface converter Operator's Manual, RAD data communications Ltd 1992.
- [13] Maxplus II Getting Started, Altera Corporation 1994.
- [14] VHDL Lenguaje para descripción y modelado de circuitos, Fernando Pardo Carpio, Octubre 1997.
- [15] VHDL, Douglas L. Perry, Mc.Graw Hill Series on Computer Engineering second edition 1994.
- [16] HDL Chip Design, A practical guide for designing, synthesizing and simulating ASICs and FPGAs using VHDL or Verilog. Douglas J. Smith, Doone publications 1996.
- [17] The Designers Guide to VHDL, Peter J. Asbenden, Morgan Kaufmann Publishers, Inc. 1988.

[18] Introducción a los microcontroladores Hardware, Software y aplicaciones. Jose Adolfo Gonzalez Vazquez. McGraw Hill, Primera edición 1992.

[19] The 8051 Microcontroller Second Edition, Scott Mackenzie , Prentice Hall 1995.

[20] SCC user's Manual, Zilog 1992.

9 Apéndice A

Technical Design Specification

DSU/CSU For E1 Line

Contents

<i>Contents</i>	<i>i</i>
<i>Figures</i>	<i>iii</i>
<i>Timing Diagrams</i>	<i>v</i>
<i>Tables</i>	<i>vi</i>
1. INTRODUCTION	1
2. PURPOSE OF THE DOCUMENT	1
3. REFERENCE DOCUMENTS	1
3.1. STANDARDS.....	1
3.2. DATA SHEETS.....	1
4. NETWORK ARCHITECTURE	1
4.1. POINT TO POINT APPLICATION.....	1
4.2. NETWORK CONNECTION IN A CAMPUS.....	2
4.3. FEATURES.....	2
5. PHYSICAL DESIGN	2
5.1. FRONT PANEL.....	2
5.2. REAR PANEL.....	3
6. ARCHITECTURE	3
7. DETAILED DESCRIPTION	5
7.1. PROTECTION CIRCUTTRY.....	5
7.2. LIU/FRAMER.....	6
7.2.1. <i>Loopback configurations</i>	7
7.2.1.1. <i>Framer Loopback</i>	7
7.2.1.2. <i>Remote Loopback</i>	7
7.2.2. <i>Local Loopback</i>	7
7.2.3. <i>Alarms</i>	7
RSA1 (receive signaling all ones).....	7
7.2.4. <i>Sa data link management bits</i>	8
7.2.5. <i>Bit error statistics</i>	8
7.2.5.1. <i>BPV or Code Violation Counter (VCR)</i>	8
7.2.5.2. <i>CRC4 Error Counter</i>	8
7.2.5.3. <i>E-Bit Counter</i>	8
7.2.5.4. <i>FAS Bit Error Counter</i>	8
7.2.6. <i>Time slot allocation</i>	8
7.2.7. <i>Data port interface</i>	9
7.2.8. <i>Processor interface</i>	9
7.3. DATA PORT DEVICE.....	10
7.3.1. <i>Adaptation rate queue 2048Kbps to mx64Kbps(1 ≤ n ≤ 31)</i>	12
7.3.1.1. <i>Enable block</i>	16
7.3.1.2. <i>Comparison block</i>	17
7.3.1.3. <i>Alarm Block</i>	25
7.3.1.4. <i>Rxfifo Shift registers</i>	26
7.3.1.5. <i>PRBS detector and generator blocks</i>	28
7.3.1.5.1. <i>PRBS detector block</i>	29
7.3.1.5.2. <i>PRBS sequence generator</i>	30

7.3.2.	<i>Adaptation rate queue nx64Kbps (1 ≤ n ≤ 31) to 2048Kbps</i>	31
7.3.2.1.	<i>Enable block</i>	35
7.3.2.2.	<i>Comparison block</i>	36
7.3.2.3.	<i>Txfifo Alarm Block</i>	43
7.4.	MICROCONTROLLER	64
7.4.1.	<i>Timer definition</i>	66
7.4.2.	<i>Port definition</i>	66
7.4.3.	<i>Interruption level definition</i>	66
7.4.4.	<i>Terminal port</i>	67
7.5.	SERIAL COMMUNICATION CONTROLLER	68
7.5.1.	<i>Z85X300 Register access</i>	70
7.5.2.	<i>Interface timing</i>	70
8.	PROGRAMMING	72
8.1	MEMORY MAP	72
8.2	INITIALIZATION μCONTROLLER'S REGISTERS	72
8.3	INITIALIZATION Z85C300 REGISTER'S	72
8.4	INITIALIZATION Z85C300 REGISTER'S	72
9.	PHYSICAL INTERFACE	78
9.1	POWER CONNECTOR	78
9.2	RJ48 CONNECTOR	78
9.3	V35 CONNECTOR	79
9.4	RS-232 CONNECTOR	80
10.	GLOSSARY	81
 PCB DOCUMENTS		
SCHEMATIC DIAGRAM		
PCB LAYOUT		

Figures

Figure 1.	DSU/CSU Application via telephone network.....	1
Figure 2.	DSU/CSU Point to point Application	2
Figure 3.	DSU/CSU front panel.....	2
Figure 4.	DSU/CSU Rear panel.....	3
Figure 5.	DSU/CSU block diagram.....	3
Figure 6.	Line protection block diagram.....	5
Figure 7.	LIU/Framer Block.....	6
Figure 8.	Framer Data port interface	9
Figure 9.	Data Port Block Diagram.....	10
Figure 10.	RxFifo Block Diagram.....	12
Figure 11.	Rxfifo block when the DTE rate is 1024Kbps. & the selected E1 channels to receive are: 1 to 11 & 27 to 31. Rxfifo block reaches it's minimum capacity.....	15
Figure 12.	Rxfifo Enable Block	16
Figure 13.	Comparison block.....	17
Figure 14.	Rxfifo block when the DTE rate is 1024Kbps. & the selected E1 channels to receive are: 1 to 16. Rxfifo block reaches it's maximum capacity.	23
Figure 15.	RxFifo Alarm Block.....	25
Figure 16.	Rxfifo Shift register.....	26
Figure 17.	PRBS detector and generator blocks.....	28
Figure 18.	PRBS 511/2047 Test pattern generator.....	30
Figure 19.	TxFifo block diagram.....	31
Figure 20.	Txfifo block when the DTE rate is 1024Kbps. & the selected E1 channels to transmit are: 1 to 16. Txfifo block reaches it's minimum capacity.	34
Figure 21.	TxFifo Enable block.....	35
Figure 22.	Comparison block.....	36
Figure 23.	Txfifo block when the DTE rate is 1024Kbps. & the selected E1 channels to transmit are: 16 to 31. Txfifo block reach it's maximum capacity.	41
Figure 24.	TxFifo Alarm Block.....	43
Figure 25.	Txfifo Shift register.....	44
Figure 26.	Sa bits management.....	46
Figure 27.	Data port loopbacks.....	47
Figure 28.	PLL Block.....	48
Figure 29.	Block diagram of NES64 PLL.....	49
Figure 30.	Connection NES64 PLL to Data port.....	50
Figure 31.	1/m block.....	51
Figure 32.	Data port architecture.....	53
Figure 33.	Data port interrupt signals.....	59
Figure 34.	Address decoder.....	60
Figure 35.	V35 registers.....	62
Figure 36.	State machine of communication between the DCE (CSU/DSU)and the DTE.....	63
Figure 37.	Microcontroller connection.....	64
Figure 38.	Microcontroller AT89C51 block diagram.....	65
Figure 39.	SCC block diagram.....	69
Figure 40.	Z85X300 Read Cycle Timing.....	70
Figure 41.	Z85X300 Write Cycle Timing.....	70
Figure 42.	SDLC message Format.....	71
Figure 43.	Memory map.....	72
Figure 44.	Lower 256 bytes of internal data memory.....	72
Figure 45.	Special function registers.....	73
Figure 46.	DS2153Q Register map.....	74

<i>Figure 47. Power connector</i>	78
<i>Figure 48. RJ48 connector</i>	78
<i>Figure 49. DCE Housing connector</i>	80
<i>Figure 50. DB9 connector</i>	80

Timing Diagrams

<i>TD 1. Rxfifo when it reach it's minimum capacity.....</i>	<i>14</i>
<i>TD 2. RxfifoEnable block.....</i>	<i>16</i>
<i>TD 3. Received and transmitted bytes in Rxfifo.....</i>	<i>22</i>
<i>TD 4. Rxfifo Shift register block.....</i>	<i>27</i>
<i>TD 5. Received & Transmitted bytes in Txfifo</i>	<i>33</i>
<i>TD 6. Txfifo Enable block.....</i>	<i>35</i>
<i>TD 7. Maximum lengh of Txfifo</i>	<i>38</i>
<i>TD 8. Txfifo worst case, when it reaches it's maximum capacity.....</i>	<i>40</i>
<i>TD 9. Txfifo Shift register block.....</i>	<i>45</i>
<i>TD 10. Data link Sa bits and clk4k</i>	<i>46</i>
<i>TD 11. 64Kbps to 8Kbps conversion</i>	<i>51</i>
<i>TD 12. Read cycle</i>	<i>53</i>
<i>TD 13. Write port</i>	<i>53</i>
<i>TD 14. Address decoder.....</i>	<i>61</i>

Tables

<i>Table 1. Alarm criteria</i>	7
<i>Table 2. R_xready test results</i>	18
<i>Table 3. R_xready signal and Maximum length of R_xfifo values</i>	24
<i>Table 4. Configuration of PRBS detector and generator blocks</i>	28
<i>Table 5. T_xready test results</i>	37
<i>Table 6. T_xready signal and Maximum length of T_xfifo</i>	42
<i>Table 7. Values for CR6 and CR7 Data port register</i>	52
<i>Table 8. Data port registers</i>	54

1. Introduction

This document describes the hardware of the E1 DSU/CSU called *Jusi*. This communication system connects user data equipment at rates of $n \times 64 \text{Kbps}$, ($1 \leq n \leq 31$) to the E1 public telephone network at 2048 Kbps.

2. Purpose of the document

This document is written for hardware, software and test engineers. It will provide all the information required to maintain the product in the market.

3. Reference Documents

3.1. Standards

General aspects of digital transmissions systems; Terminal Equipment's CCITT volume III - fascicle III.4 recommendations G.704, G.706, G.732, CCITT 1988.
EIA/TIA Standard, Electronic Industries Association, 1988

3.2. Data sheets

Telecom Application notes, Dallas Semiconductor 1996, www.dalsemi.com.
Telecommunications data book, Dallas Semiconductor, 19xx.
TTL Logic data book, Texas Instruments, 1988
AVR Enhanced RISC microcontroller data book, Atmel, 1996.
Microcontroller data book, Atmel, 1996.
Handbook of computer communications standards vol.1, William Stallings, SAMS, 19xx.
Data communications, William J. Beyda, Prentice Hall, 19xx

4. Network architecture

Jusi is designed to interconnect data communication equipment (computers, bridges and routers) at $n \times 64 \text{kbps}$ ($1 \leq n \leq 31$) to E1 leased telephone lines.

Jusi has one V.35 data communication port, and one E1 (RJ48) Network port at 120 Ohms for connecting with the telephone network. *Jusi* allows the user to monitor and control operational parameters like: speed, E1 time slot assignment, alarm generation and detection, 511 and 2047 PRBS test pattern generation and detection.

4.1. Point to point application

The E1 DSU/CSU is used to connect bridges or routers through the telephone network. Figure 1 shows an interconnection example.

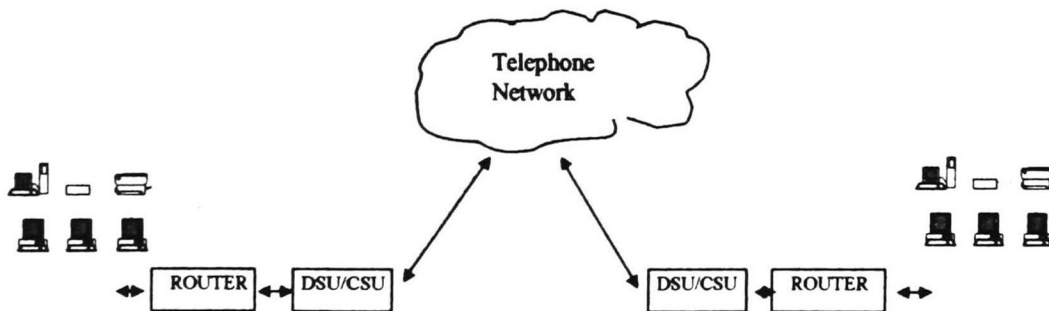


Figure 1. DSU/CSU Application via telephone network

4.2. Network connection in a campus

The E1 DSU/CSU can be used for interconnecting bridges or routers in the same campus. Figure 2 shows an interconnection example.

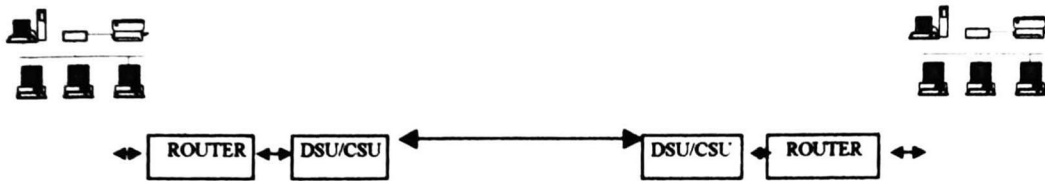


Figure 2. DSU/CSU Point to point Application

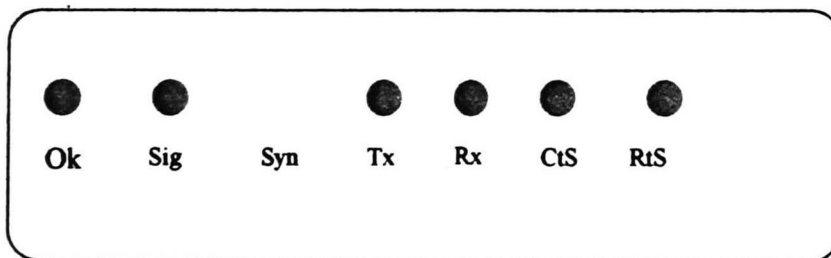
4.3. Features

- ◆ E1/FE1 n x 64Kbps where $1 \leq n \leq 31$
- ◆ V.35 data port interface
- ◆ Network line built of 120 Ohm
- ◆ Generates Alarms: TUA1, remote alarm and multiframe alarm.
- ◆ Alarm monitoring RSA0, RSA1, RDMA, RUA1, RRA y RCL.
- ◆ Detects and generates PRBS 511 and 2047 test patterns.
- ◆ Local loopback, Remote loopback, Framer loopback, DTE loopback.
- ◆ Counters for communication statistics: BER, EER.
- ◆ Programmable code AMI or HDB3.
- ◆ Serial port RS-232 for system configuration and user interface.
- ◆ Visual indicators (LEDs).

5. Physical design

Jusi will use the housing 1598 Styrene 2-Piece Plastic Instrument Case model HM246-ND from Hammond Manufacturing. Dimensions are 5.236x5.236x2.008 ”

5.1. Front panel



- | | | | |
|------|--|------|------------------|
| Ok: | Activated after passing self test | TxD: | Transmitted data |
| Sig: | Activated if network signal is well detected | RxD: | Received data |
| Syn: | Activated if OOF or LOS | CtS: | Clear to send |
| | | RtS: | Request to send |

Figure 3. DSU/CSU front panel

5.2. Rear panel

- RJ48: Network connector
- V35: DTE connector
- DB9: Terminal connector
- Plug: Vcc connector

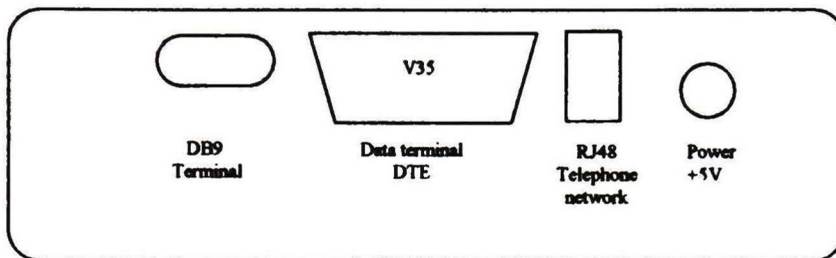


Figure 4. DSU/CSU Rear panel

6. Architecture

Figure 5 shows Jusi architecture.

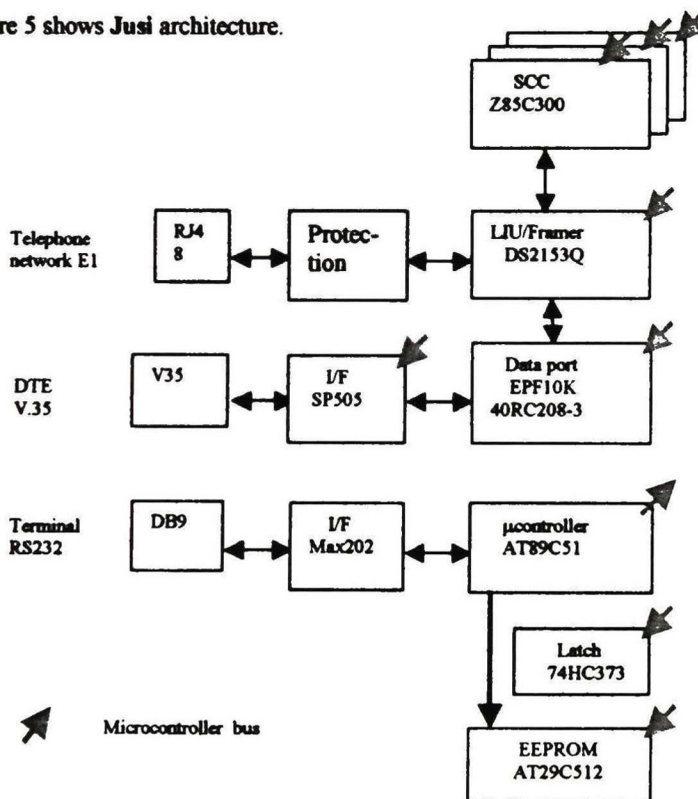


Figure 5. DSU/CSU block diagram.

Protection

Protection circuitry protects the user equipment from overvoltages and overcurrents (up 3000 V and up 1.25 A) that can appear on the telephone line.

LIU/Framer

Contains all the necessary functions for interfacing the card to the E1 lines. Provides the Clock and Data recovery, generates the waveshapes for both 75 and 120 Ohm cables, locates the frame and multiframe boundaries and monitors the data stream for alarms. The device used for that purpose is the DS2153Q from Dallas Semiconductors.

SCC

The SCC (Serial communication controller) process the Sa data link bits. Three SCCs are used on the card to support 5 communications channels. The device used is the Z85C300.

Data port

This block allows the rate adaptation between the telephone line (2048Kbps) and the data port ($n \times 64$ Kbps, for $1 \leq n \leq 31$). Channel allocation is done at this level. This block can generate and detect 511 and 2047 PRBS test patterns. Also, it generates the enable signals needed to access all addressable devices on the board. The data port circuit was implemented using Altera's FPGA EPF10K40RC208-3.

I/F SP505

The integrated circuit SP505ACF has 7 drivers and 7 receivers for eight different interfaces. Software selectable. The protocol used here is the V35.

 μ Controller

The μ controller functions in the DSU/CSU are: on board devices function programming, self-test, test mode control and terminal communication control. The selected μ controller is the Atmel's AT89C51.

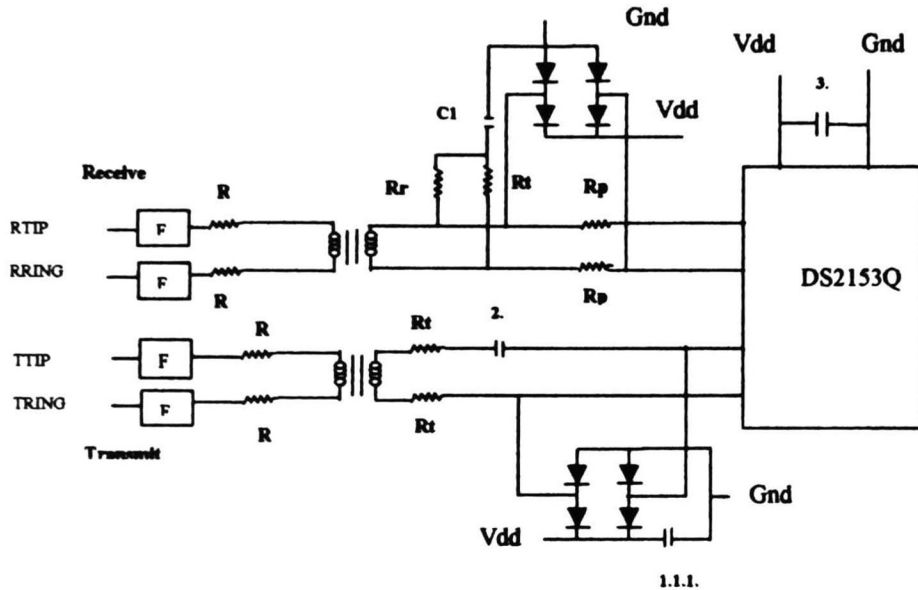
I/F Max202

The Max202 do the signal conditioning between the data port device and the RS232 terminal (DB9). This block support a V.100 terminal and let the user program the function of the system and it monitors the status of the communication.

7. Detailed description

7.1. Protection circuitry

Fig.6 shows the protection circuitry recommended by the DS2153Q manufacturer. Rt is a protection resistor for the transmitter outputs. The C2 capacitor is for blocking DC. Rp is a protection resistor for the receiver TIP and RING inputs. Rr is a load resistor, to prevent signal reflections back to the transmitter. C1 is a high frequency noise filter.



- C1=0.1μF
- C2=0.47μF
- C3=68μF
- C4=2.2μF
- R=5 Ohms/3W
- Rr=55 Ohms/0.125W
- Rt=4 Ohms/0.125W
- Rp=100/0.125W/±5%
- F=550mA
- D=1N4148

Notes

1. All resistor values are 1 % tolerance.
2. Layout is critical. Suggest 20 mil width and 150 mils of separation.
3. The resistor R are used to protect the fuse during surges. The fuse is used to protect resistor and the transformer during the exposure to large AC or DC current.
4. The power supply of transmit side diode bridge should be decoupled to control large current surges and provide fast response time.
5. A minimum of 68μF de-coupling capacitance should be provided at power supply inputs of the DS2153Q.

Figure 6. Line protection block diagram

7.2.1. Loopback configurations

Three Loopbacks are available in the DS2153Q: Local, Remote and Framer loopbacks, see *fig.7*. The loopbacks are activated through the CCR1 and CCR2 framer registers.

7.2.1.1. Framer Loopback

In framer loopback (FLB), the DS2153Q will loop the transmitted DTE payload back to the DTE. When FLB is enabled the following actions occurs.

1. Data will be transmitted as normal at TTIP and TRING pins.
2. Data at RTIP and RRING will be ignored.
3. The RCLK output is replaced by the TCLK input.

7.2.1.2. Remote Loopback

In this loopback the recovered data is returned back to public network through the TTIP and TTRING pins. Data at TSER pin will be ignored (see the *fig.7.*).

7.2.2. Local Loopback

In this loopback, the recovered data from the network is replaced by the data to be transmitted to the network. Data to be transmitted to the network follows the normal path to TTIP and TRING pins (see *fig.7.*).

7.2.3. Alarms

When either CCR2.4 or CCR2.5 is set to one Th DS2153Q monitors the receive side to determine if any of the following conditions are present:

- Loss of receive frame synchronization (OOF)
- AIS (all ones) reception
- Loss of receive carrier (or signal) (LOS).

If any one (or more), of the above conditions is present, then the DS2153Q will either force an AIS alarm (if CCR2.5=1) or a remote alarm(CCR2.4=1) to be trasmitted via the TTIP and TRING pins.

Only one alarm can be detected at the time. It is an illegal state to have both CCR2.4 and CCR2.5 set to one at the same time.

Table 1 shows the set up and clear alarm criteria.

Table 1. Alarm criteria			
ALARM	SET CRITERIA	CLEAR CRITERIA	CCTTT SPEC
RSA1 (receive signaling all ones)	Over 16 consecutive frames ¹ , timeslot 16 contains less than 3 zeros.	Over 16 consecutive frames ¹ , timeslot 16 contains 3 or more zeros.	G.732, 4.2
RSA0 (receive signaling all zeros)	Over 16 consecutive frames ¹ , timeslot 16 contains all zeros.	Over 16 consecutive frames ¹ , timeslot 16 contains at least a single 1.	G.732, 5.2
RDMA (receive distant MF alarm)	Bit 6 in TS 16 of frame 0 set to one for two consecutive MF	Bit 6 in TS 16 of frame 0 set to zero for two consecutive MF	O.162, 2.1.5
RUA1 (receive unframed all ones)	Less than 3 zeros in two frames (512 bits)	More than 2 zeros in two frames (512 bits)	O.162, 1.6.1.2
RRA (receive remote alarm)	Bit 3 of NFAS set to one for 3 consecutive times	Bit 3 of NFAS set to zero for 3 consecutive times	O.162, 2.1.4
RCL (receive carrier loss)	255 consecutive zeros received	In 255 bit times at least 32 ones are received	G.775

1.- one multiframe

7.2.4. Sa data link management bits.

The DS2153Q provides an access to the E1 performance monitor data link (Sa bit). The Sa bits can be access:

- From the internal registers RNAF and TNAF
 - From the external pins RLINK and TLINK
- All five Sa bits are always output at the RLINK pin

In **Just** card, three SCCs (Serial Communication controller) handle the Sa bits. See the Rxdata link and Txdata link at Data port sections.

7.2.5. Bit error statistics

Four counters in the DS2153Q records the errors found in the received payload:

- Bipolar Violations (BPVs) or Code Violations (CVs)
- CRC4 SMF errors
- E bits errors as reported by the far end
- Word errors in the frame alignment signal (FAS).

Counters are automatically updated on either one second boundaries (CCR2.7=0) or every 62.5ms (CCR2.7=1) as determinate by the Timer in Status Register 2 (SR2.4). Hence, These registers will contain the performance data from the previous second or the previous 62.5 ms.

7.2.5.1. BPV or Code Violation Counter (VCR)

VCR register records either BPVs or CVs. Bipolar violations are defined as consecutive marks of the same polarity in AMI coding. Code violations are defined as consecutive bipolar violations of the same polarity in HDB3 coding. The DS2153Q can be programmed to count BPVs when receiving AMI code and to count CVs when receiving HDB3 code. The counter is not disabled by the loss of sync conditions.

7.2.5.2. CRC4 Error Counter

Register CRCCR1 records errors in the cyclic redundancy check 4 (CRC4). The counter is disabled during loss of sync at either the FAS or CRC4 level. It will continue to count if loss of multiframe sync occurs at the CAS level.

7.2.5.3. E-Bit Counter

Register EBCR1 records the Far End Blocks Errors (FEBE) as reported in the first bit of frames 13 and 15 on E1 lines running with CRC4 multiframe. These count registers will increment once each time the received E-bit is zero. The counter is disabled during loss of sync at either the FAS or CRC4 level; it will continue to count if loss of multiframe sync occurs at the CAS level.

7.2.5.4. FAS Bit Error Counter

Register records errors in the Frame Alignment signal in time slot 0. This counter is disabled during loss of frame synchronization conditions; it is not disabled during loss of synchronization in either the CAS or CRC4 multiframe level.

7.2.6. Time slot allocation

Time slot allocation is programmed using the Receive Channel Blocking Registers (RCBR1, RCBR2, RCBR3, RCBR4) and Transmit Channel Blocking Registers (TCBR1, TCBR2, TCBR3, TCBR4). Those registers control RCHBLK and TCHBLK pins respectively. The RCHBLK and TCHCLK pins are user programmable outputs that can be forced either to high or low during individual channels and according to RCBR and TCBR registers.

7.2.7. Data port interface.

The Data port do the rate adaptation between the E1 line rate (2048Kbps) to the port rate (nx64Kbps for 1 ≤ n ≤ 31). See the fig.8

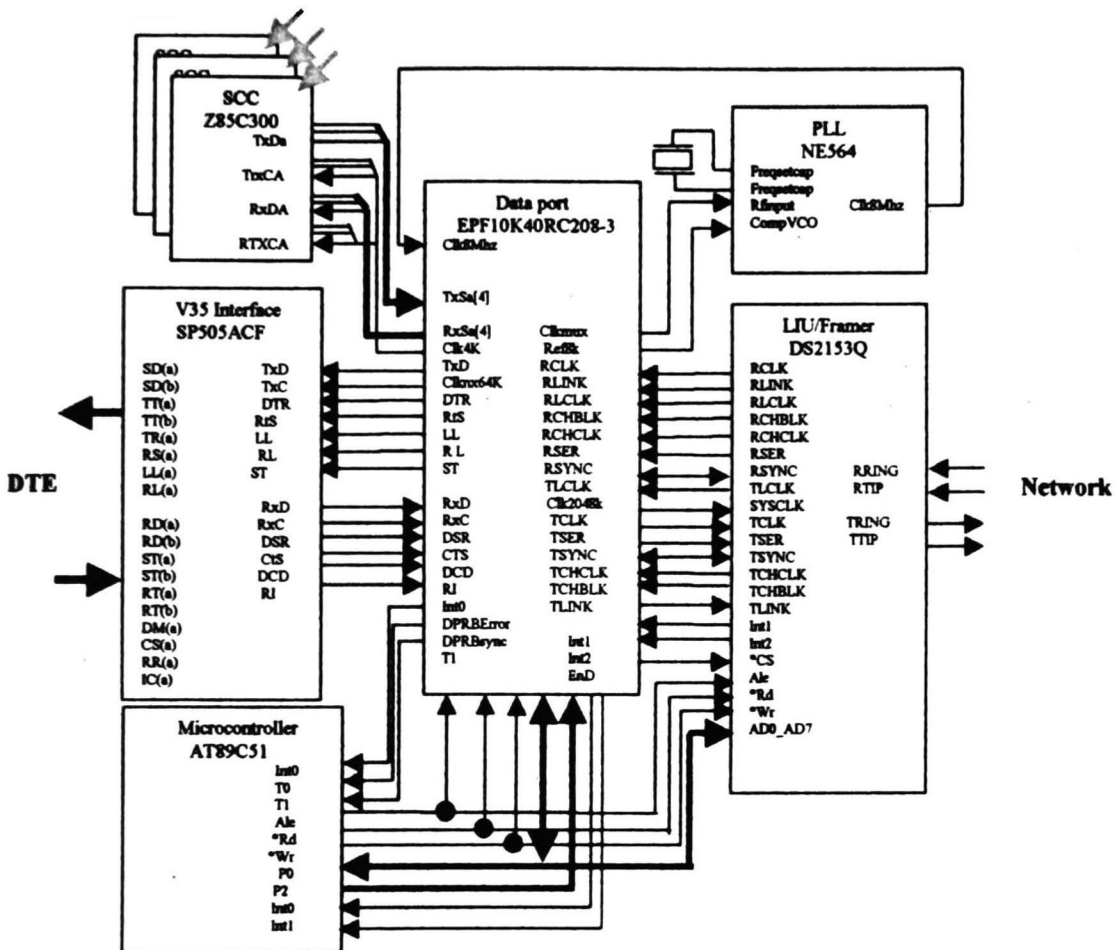


Figure 8. Framer Data port interface

Masters timing signals can be taken from any of the following three sources: clock recovered from the network (RCLK, RSYNC), clock received from the DTE (RxC) or the internal free running clock (oscillator). See timing diagrams in Data port section.

7.2.8. Processor interface.

The DS2153Q is controlled via a multiplexed bi-directional address/data bus. The bus operates in Intel mode. Data is accessed on the 8-bit data bus. Int1 and Int2 signals handle interrupts to the microprocessor. Both signals will inform the apparition of abnormal situations. See the timing diagrams in the electrical characteristics at Telecommunications data book, Dallas Semiconductor, 19xx.

7.3. Data port device

The Data port is a device designed using the Altera's FPGA, EPF10K40RC208-3.

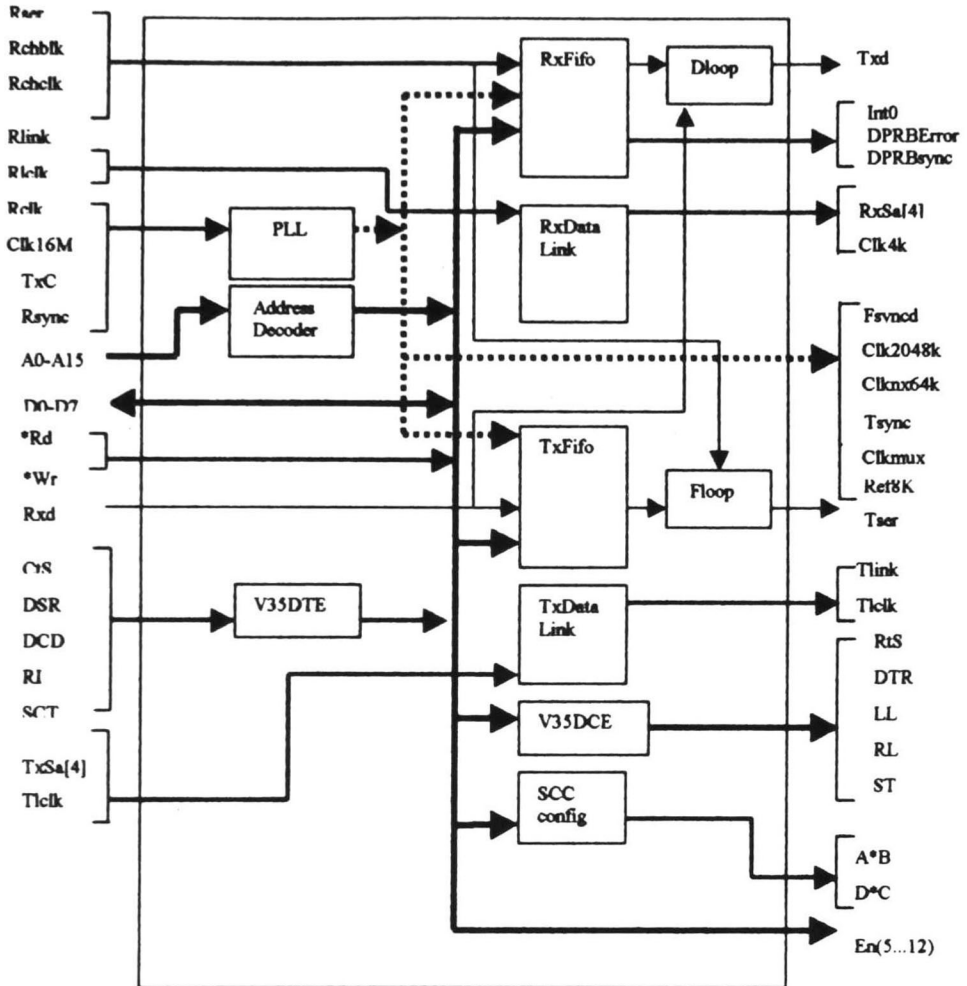


Figure 9. Data Port Block Diagram.

The functions are:

- Adaptation rate

This function is executed by two FIFOs, RxFifo and TxFifo. The RxFifo receives the data channels coming from the network at 2048Kbps and re-transmits them to a DTE at $n \times 64\text{Kbps}$ ($1 \leq n \leq 31$). In the same way but in the reverse direction, the TxFifo receives the data from the DTE at $n \times 64\text{Kbps}$ ($1 \leq n \leq 31$) and re-transmit it in 8-bit packets at 2048Kbps to Framer.

- PRBS test pattern generation and detection

The data port device provides the generation of 511/2047 PRBs sequences. Those circuits are used to implement maintenance procedures for the network and DTE loops.

- Loopbacks

Two loopback mechanisms are available in the data port: The Dloop (DTE Loopback), the data received from the DTE at Rxd pin are send back to DTE through the Txd pin. The Floop (Framer Loopback) the data received from the Framer at Rser pin are send back to the Framer through Tser pin. Dloop and Floop loopbacks are activated in the CR2-b0 & CR2-b1 bits respectively.

- Address decodification

Generates all the signals required by the processor to access the internal registers of all the devices on the board. Also, it has 12 programmable chip selects signals are available for the user.

- I/O Ports

16 pins are used to interface the device with the processor bus, A0_A7 and A8_A15. A0_A7 have two functions, in the first time, it is used to carry the low byte of the address bus. In a second time, it is a bi-directional Data port. A8_A15 is the high address byte of the processor address port.

- V35 Registers

There are 2 registers, V35DCE and V35DTE registers. The microcontroller use this registers to control the communication between the DTE and DSU/CSU.

- Data link control

The TxData Link and RxData Link blocks perform this function. Three Z85C3008VSC Serial Communication Controllers are used to support the Sa communication channels.

- Clock generation

The PLL block and the NE564 device are used to implement this function. This circuit provide the transmit clocks and the references required by the Framer (2048 Kbps) and the DTE (nx64kbps, n=1.2..31).

Each block function is described next.

7.3.1. Adaptation rate queue 2048Kbps to nx64Kbps(1 ≤ n ≤ 31).

Rxfifo is a circular FIFO, it receives a serial data from the Framer at 2048Kbps. and retransmit it to the DTE at nx64Kbps. Data received at Rser pin is used to drive a 16 shift register array. Each SR (Shift Register) is eight bits length, and a E1 data channel (time slot) is stored at the time. Data is stored and shifted on Clk2048k falling edges. For writing, the shift registers are accessed sequentially, the Enable block, selects one SR at the time, according with the Rchclk and Rchblk signals. Rchclk and Rchblk signals are active high. Every time the Rchclk and Rchblk signals are high, the enable block selects the next SR and stores the corresponding TS.

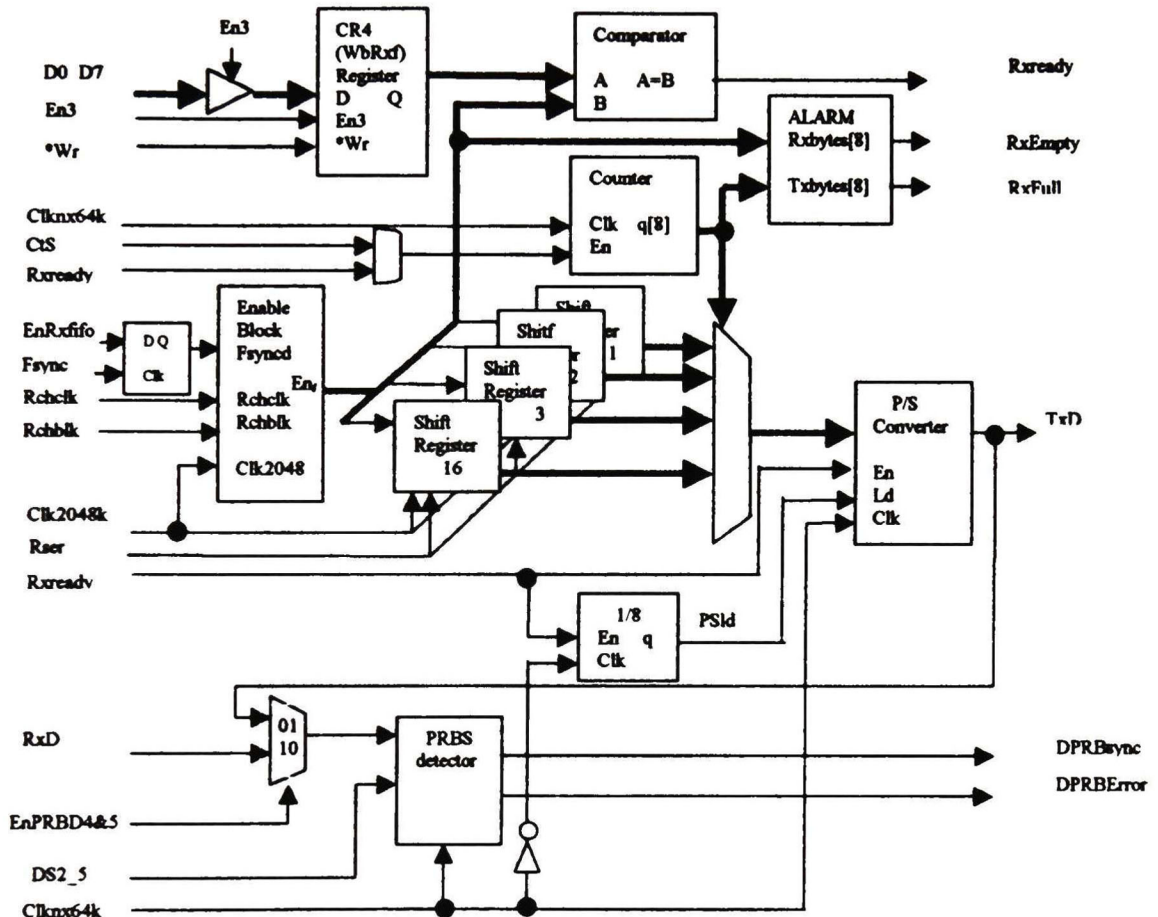


Figure 10. RxFifo Block Diagram.

Rxfifo starts output data once the comparator block sets Rxready signal low. The comparator block compares the Enable block count with the number stored in CR4 (wbRxf) register. Data is transmitted to the DTE according to the Clk2048k clock. Alarm block monitors the Rxfifo state, (empty or full). Output Data is loaded to the P/S converter at the falling edge of PSld clock (every 8 Clk2048k pulses). Rxready signal enables the P/S converter to shift the serial stream to the DTE at nx64Kbps.

The test pattern detector is located at this level. It can be programmed by CR2 register (b5 & b4 bits) to monitor RxD (from the Net) or TxD (from the DTE) payloads.

In the TD.1 is shown how the Rxfifo block works. The DTE rate is 1024Kbps. The selected channels to receive data from Framer are 1 to 11 & 27 to 31. Next are described the Rxfifo states.

A:

- The Rxfifo block receive signals from Framer:

Fsync it marks the beginning of each E1 Frame, through a 2048Kbps clock pulse.

Rchblk is low when the channel is selected to receive data. It is high when the channel is not selected.

Rxready, it is low when the Rxfifo block has stored the bytes needed to start transmitting to DTE. It is high when the Rxfifo block is not ready to start the transmission.

- The Rxfifo block do not store data.

B:

- Rxfifo block starts to store the TS selected by *Rchblk* signal.
- *Rxready* signal change from one to zero, this means Rxfifo block has stored the bytes needed to start the transmit data to DTE.
- In this state are stored the bytes that are shown in the table 2 *Rxready test results*.

C:

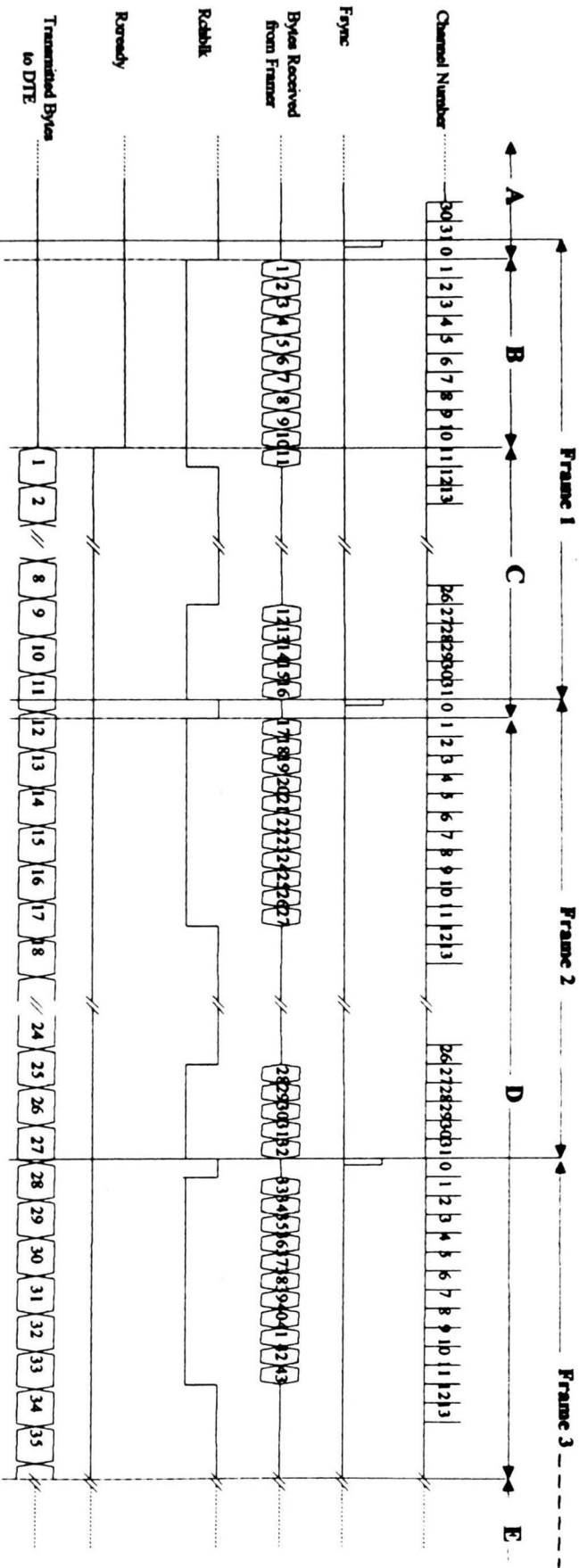
- Rxfifo block starts transmitting data to DTE.

D:

- Rxfifo block stores & transmit data bytes indefinitely.
- Rxfifo block was designed in such way the relation ship between Transmit/Receive data always there are two bytes stored in Rxfifo block. In this way under normal operational conditions it never be emptied.

E:

Rxfifo block works indefinitely, until any abnormal condition happens, or some alarm be activated.



TD 1.Rx fifo when it reach it's minimum capacity

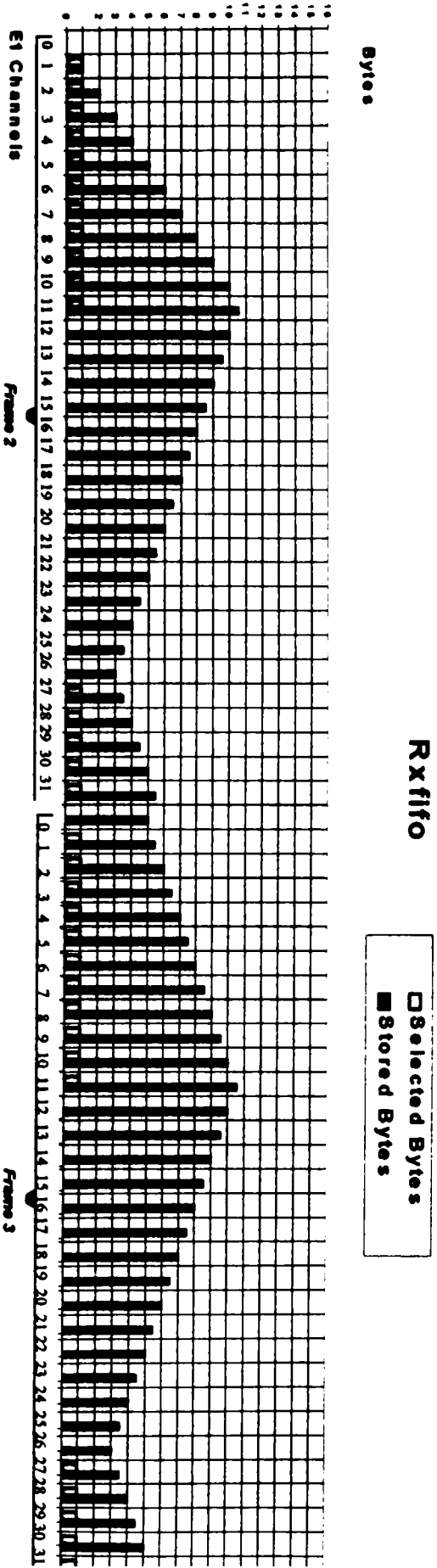


Figure 11. Rx fifo block when the DTE rate is 1024Kbps. & the selected E1 channels to receive are: 1 to 11 & 27 to 31. Rx fifo block reaches it's minimum capacity.

7.3.1.1. Enable block.

The functions of enable block in the Rxfifo are: enable the data store in the Rxfifo shift registers, to count the number of the stored TS in Rxfifo, see fig.12. CounterA is enabled when the Fsyncd, Rchclk and Rchblk are valid (high). CounterA counts at the falling edge of Clk2048k clock. The comparator block zeroes to the counterA every time the count reach 10h (16d). The Register block contains 16 d flip-flops, which are activated at rising edge of Clk2048K clock. The counterB counts the stored TS in Rxfifo, this counter is used also to control the Rxempty and Rxfull alarms.

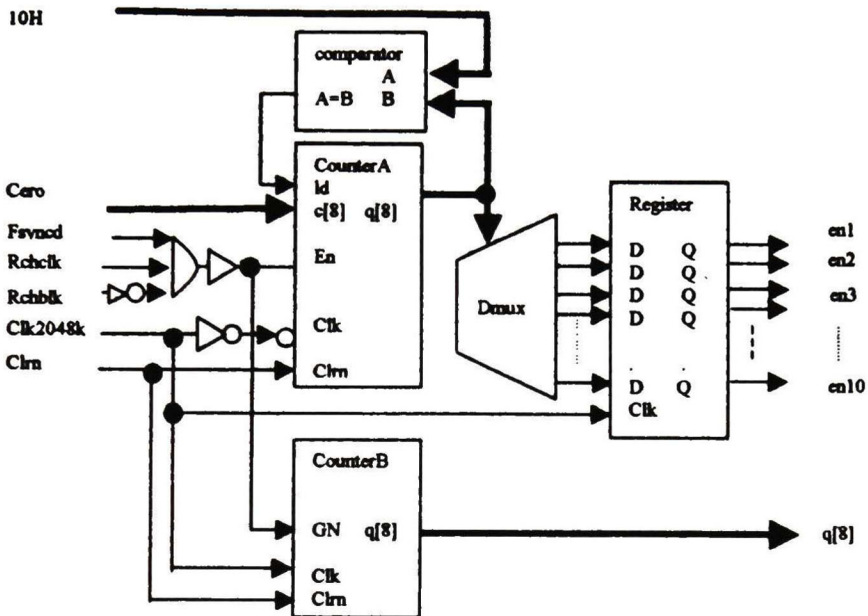
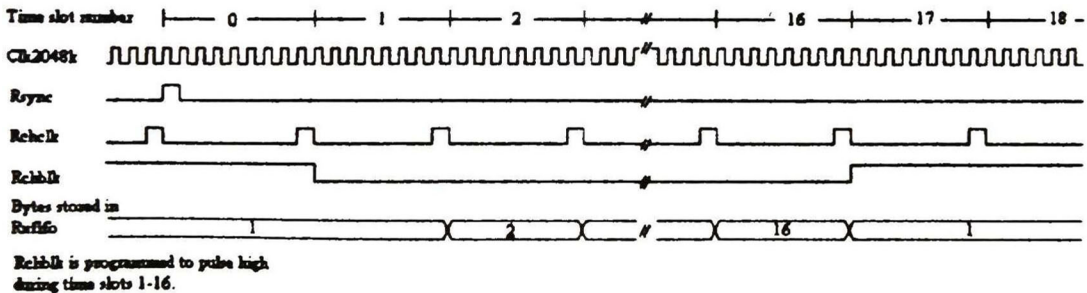


Figure 12. Rxfifo Enable Block.

In the Timing Diagram TD2, is shown how the enable block works. The Bytes stored in Rxfifo counter, is the register number, which is enabled to store data in Rxfifo. Next are described the states of Rxfifo Enable block.
 Time Slot 0 : The time before time slot 0 begins, Bytes stored in Rxfifo is one.
 Time Slot 1 to 16 : Rxfifo Enable Block enable the Rxfifo registers to store data, one each time Rchblk is low & Rchclk is high.
 Time Slot 17 to 0 : Rxfifo Enable Block disable the Rxfifo register to store data, the time Rchblk is high.



TD 2. RxfifoEnable block

7.3.1.2. Comparison block.

The comparison block in Rxfifo is shown in the Fig. 13. Rxready enables the Rxfifo to transmit data to DTE. The Rxready signal is active low and it is valid when the number of TS stored in Rxfifo is equal to the value stored in CR4 (wbRxf) register. Rxready vs. Maximum length of Rxfifo is described in Table 2. CR4 register value is set by the microcontroller according to DTE baud rate. For example if the DTE baud rate is 1024Kbps. then CR4 will be 0AH, in this case, Rxready signal is activated when the Rxfifo has stored 0BH TS. The Rxready signal stays active until a reset to the device occurs or when a new baud rate is declared.

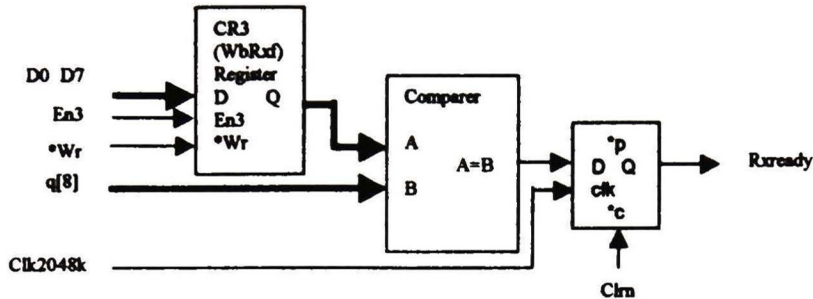


Figure 13. Comparison block

The wbRxf number is calculated in such way that, under normal conditions the Rxfifo be never emptied. Under normal conditions, the mechanism guaranties the Rxfifo will have at least 2 TS stored at any time for equivalent rates between 8TS and 31TS. For equivalent rates between 1TS and 7TS it guaranties at least 1 TS is stored. See the table 2. Rxready test results.

For FE1 and in the case of having a non-continue TS allocation, a certain number of TS must be stored before initiate any re-transmission. In the same way, during normal conditions we should guaranty that the Rxfifo will contain always data to maintain a continues data flow to the DTE. In that regard, Txbnx64k represent the number of bytes that can be transmitted to the DTE during the time accumulated by all unused TS.

$$\frac{(32 - n) 125\text{us}}{32} = X : \text{Accumulated time by all unused TS in a frame.}$$

$$\frac{8}{n \times 64\text{kbps}} = Y : \text{Divisor factor to obtain the transmitted bytes at nx64kbps rate.}$$

$$X / Y = NTx\text{bnx}64\text{k}$$

$$NTx\text{bnx}64\text{k} = \frac{(32 - n) 125\text{us}}{256} \quad (\text{based on TS received at } 2048\text{Kbps})$$

$$Tx\text{bnx}64\text{k} = NTx\text{bnx}64\text{k} * n64\text{kbps} \quad (\text{based on the DTE rate})$$

$$Rx\text{ready} = Tx\text{bnx}64\text{k} + 2$$

Rxready : Number of E1 stored time slots required to begin to transmission to the DTE.

Txbnx64k : Number of TS that can be transmitted to the DTE during the time accumulated by all unused TS.

Note: In the Rxready calculus, the number 2 was added to avoid an Rxfull alarm signal.

See the Table2. Rxready test results.

Table 2. Rxready test results

Number (n) of received TS	DTE Rate (Kbps)	Rxready Transmission ¹ to the DTE starts on TS number	Frame 1		Frame 2	
			Number of TS transmitted to DTE	Number of TS Stored in Rxjfo	Number of TS transmitted to DTE ¹	Number of TS Stored in Rxjfo ¹
1	64	2	0.9375	1.0625	1	1.0625
2	128	3	1.8125	1.1875	2	1.1875
3	192	4	2.625	1.375	3	1.375
4	256	5	3.375	1.625	4	1.625
5	320	6	4.0625	1.9375	5	1.9375
6	384	6	4.875	1.125	6	1.125
7	448	7	5.46875	1.53125	7	1.53125
8	512	8	6	2	8	2
9	576	8	6.75	2.25	9	2.25
10	640	8	7.5	2.5	10	2.5
11	704	9	7.90625	3.09375	11	3.09375
12	768	9	8.625	3.375	12	3.375
13	832	9	9.34375	3.65625	13	3.65625
14	896	9	10.0625	3.9375	14	3.9375
15	960	9	10.78125	4.21875	15	4.21875
16	1024	10	11	5	16	5
17	1088	9	12.21875	4.78125	17	4.78125
18	1152	9	12.9375	5.0625	18	5.0625
19	1216	9	13.65625	5.34375	19	5.34375
20	1280	9	14.375	5.625	20	5.625
21	1344	9	15.09375	5.90625	21	5.90625
22	1408	8	16.5	5.5	22	5.5
23	1472	8	17.25	5.75	23	5.75
24	1536	8	18	6	24	6
25	1600	7	19.53125	5.46875	25	5.46875
26	1664	6	21.125	4.875	26	4.875
27	1728	6	21.9375	5.0625	27	5.0625
28	1792	5	23.625	4.375	28	4.375
29	1856	4	25.375	3.625	29	3.625
30	1920	3	27.1875	2.8125	30	2.8125
31	1984	2	29.0625	1.9375	31	1.9375
32	2048	2	30	2	32	2

1. And subsequent frames

The Rxfifo was exercised in all different DTE rates $nx64Kbps$ ($n=1,2,\dots,31$). The results are summarized in the Table 2. *Rxready test results*.

The maximum length of Rxfifo is calculated according to:

$$MIR_{xf} = R_{xb2048k} + T_{xbn} \times 64k$$

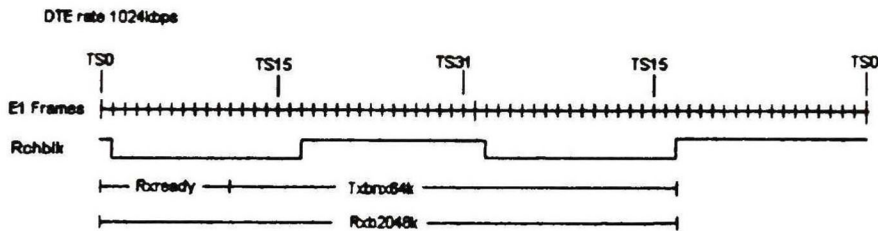
MIR_{xf} : Maximum length of Rxfifo.

$R_{xb2048k}$: Stored bytes in Rxfifo at 125us + the bytes selected when Rchblk signal is active in the next frame.

$T_{xbn} \times 64k$: Transmitted bytes to DTE at $nx64kbps$ in $(125us - Rxready)$ + the time Rchblk signal is active in the next frame.

See the TD.3 Maximum length of Rxfifo & Fig.14

See the Table.3 RxReady and Maximum length of Rxfifo values.



Maximum length of Rxfifo

In the TD.4 is shown how the Rxfifo block works. The DTE rate is 1024Kbps. The selected channels to receive data from Framer are 1 to 16. Next are described the Rxfifo states.

A:

- The Rxfifo block receive signals from Framer:

Fsync it marks the beginning of each E1 Frame, through a 2048Kbps clock pulse.

Rchblk is low when the channel is selected to receive data. It is high when the channel is not selected. This case it is low in the channels 1 to 16.

Rxready, it is low when the Rxfifo block has stored the bytes needed to start transmitting to DTE. It is high when the Rxfifo block is not ready to start the transmission.

- The Rxfifo block do not transmit data to DTE.

B:

- The Rxfifo block start to transmit data to DTE. In this state are stored the bytes that are shown in the table 3 *Rxready & maximum length of Rxfifo*.

C:

- Rxfifo block starts transmitting data to DTE.

- *Rxready* signal change from one to zero, this means Rxfifo block has stored the bytes needed to start the transmit data to DTE.

- *Rchblk* signal means 0 & 17 to 31 channels are not used to transmit data.

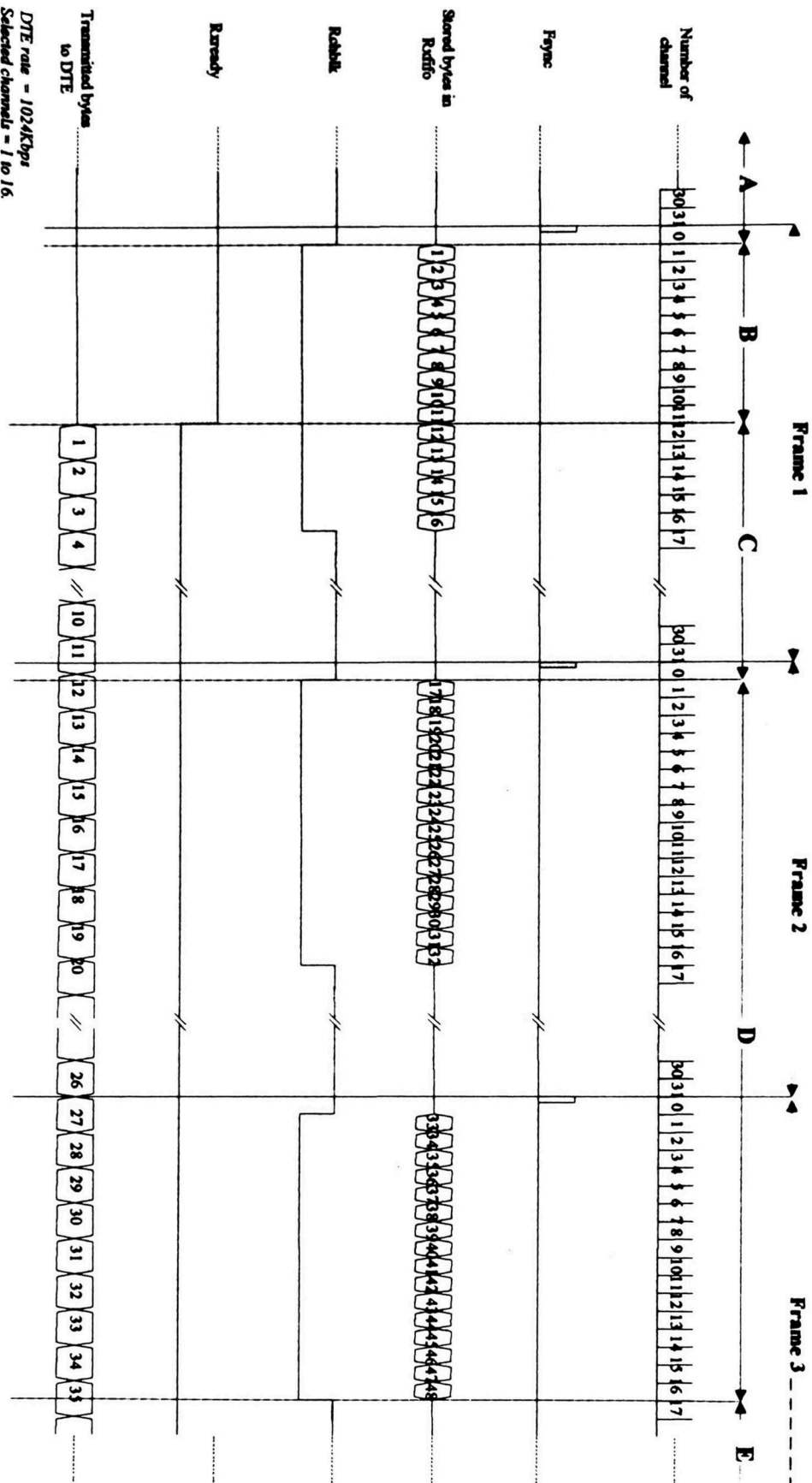
D:

- Rxfifo block stores & transmit data bytes indefinitely.

- Rxfifo block was designed in such way the relation ship between Transmit/Receive data always there are two bytes stored in Rxfifo block. In this way under normal operational conditions it never be emptied.

E:

Rxfifo block works indefinitely, until any abnormal condition happens, or some alarm be activated.



TD 3. Received and transmitted bytes in Rx fifo

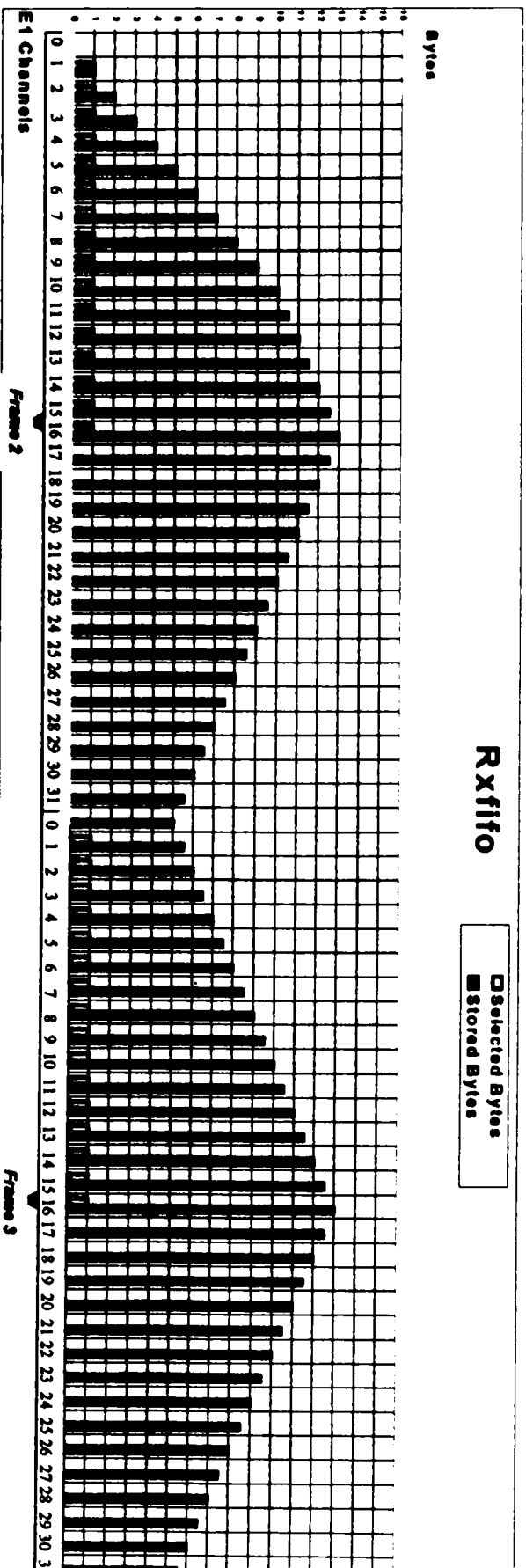


Figure 14. Rx fifo block when the DTE rate is 1024Kbps. & the selected E1 channels to receive are: 1 to 16. Rx fifo block reaches it's maximum capacity.

Table 3. Rxready and Maximum length of Rxfifo values.

Number (n) of received TS	DTE Rate (Kbps)	Rxready Transmission ¹ to the DTE starts on TS number	MlRxfifo Rxfifo length requirements in number of TS
1	64	3	3
2	128	4	4
3	192	5	5
4	256	6	6
5	320	7	7
6	384	7	8
7	448	8	9
8	512	9	10
9	576	9	11
10	640	9	12
11	704	10	13
12	768	10	13
13	832	10	14
14	896	10	15
15	960	10	15
16	1024	11	16
17	1088	10	16
18	1152	10	16
19	1216	10	16
20	1280	10	16
21	1344	10	16
22	1408	9	15
23	1472	9	15
24	1536	9	14
25	1600	8	13
26	1664	7	12
27	1728	7	12
28	1792	6	10
29	1856	5	9
30	1920	4	7
31	1984	3	5
32	2048	3	4

1. Rxready Transmission to the DTE starts after

* Experimental value

7.3.1.3. Alarm Block

The Alarm block monitors the relation between the stored data in Rxfifo and data transmitted to DTE, see the fig. 15. The mechanism is simple:

- Rxfull:= 1 (valid), if CounterB-CounterA:= 78H bits (15bytes), one byte before the Rxfifo be full.
- Rxempty:= 1 (valid), if CounterB-CounterA:= 8H (1byte), one byte before the Rxfifo be empty.

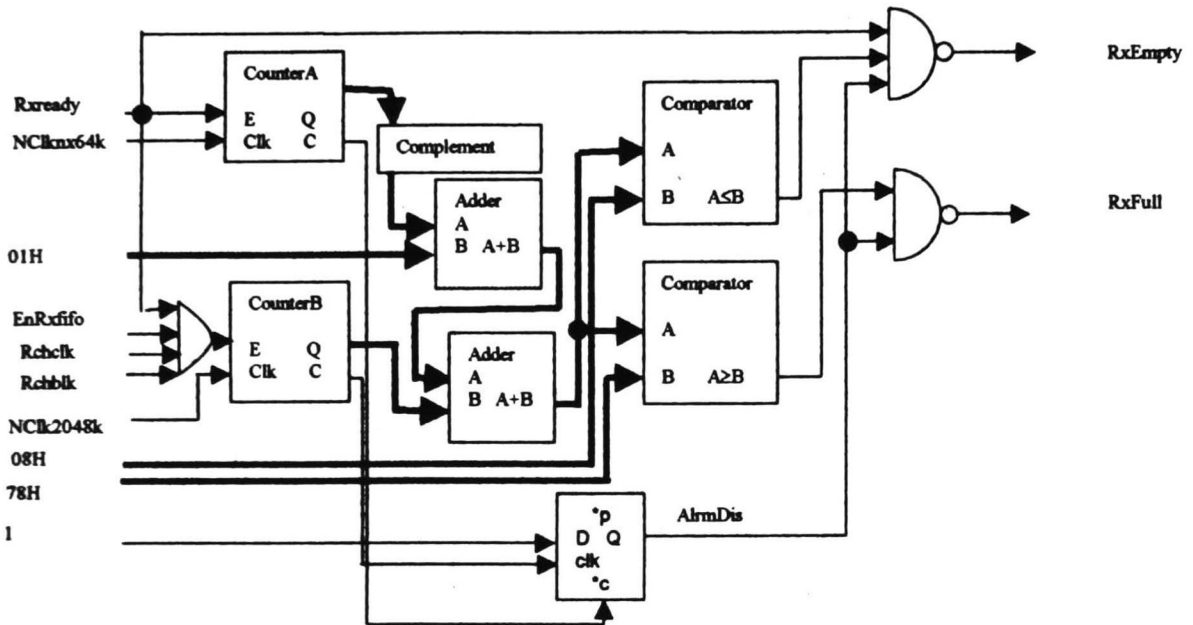


Figure 15. RxFifo Alarm Block

AlarmDis prevents a false Rxfull alarm activation when counterB is equal to zero. In that case CounterA will be always greater than CounterB.

After Reset and Rchblk, Rxempty signal is maintained active until counterB is greater than 8. To prevent a false Rxempty alarm, Rxempty signal is enabled until the Rxready signal is activated.

7.3.1.4. Rxfifo Shift registers.

The Rxfifo has 16 shift registers (SR), each shift register is eight bits length and a E1 data channel (time slot) is stored on each SR. A block diagram of a SR is shown in fig. 16. Received data (at Rser) is shifted on Clk2048k falling clock edges. The data is parallel stored in "8b-Flip-Flop" block on the rising edge of En1 signal.

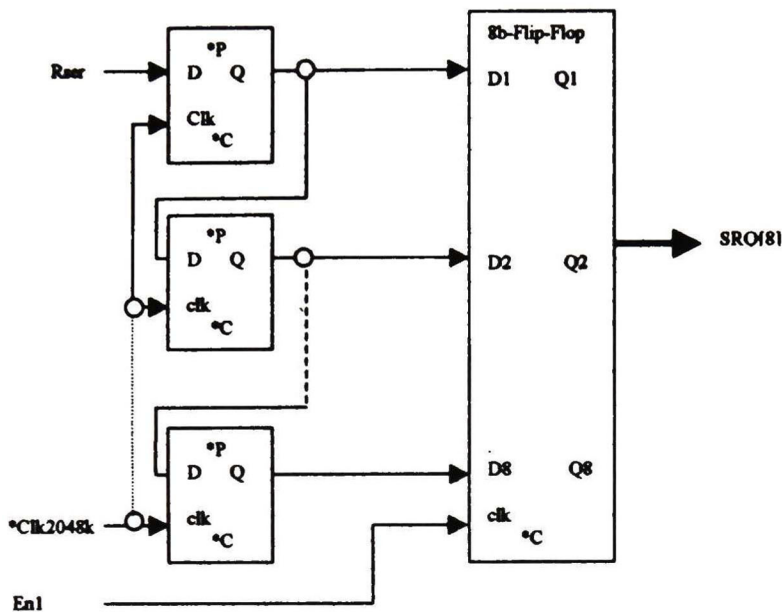


Figure 16. Rxfifo Shift register

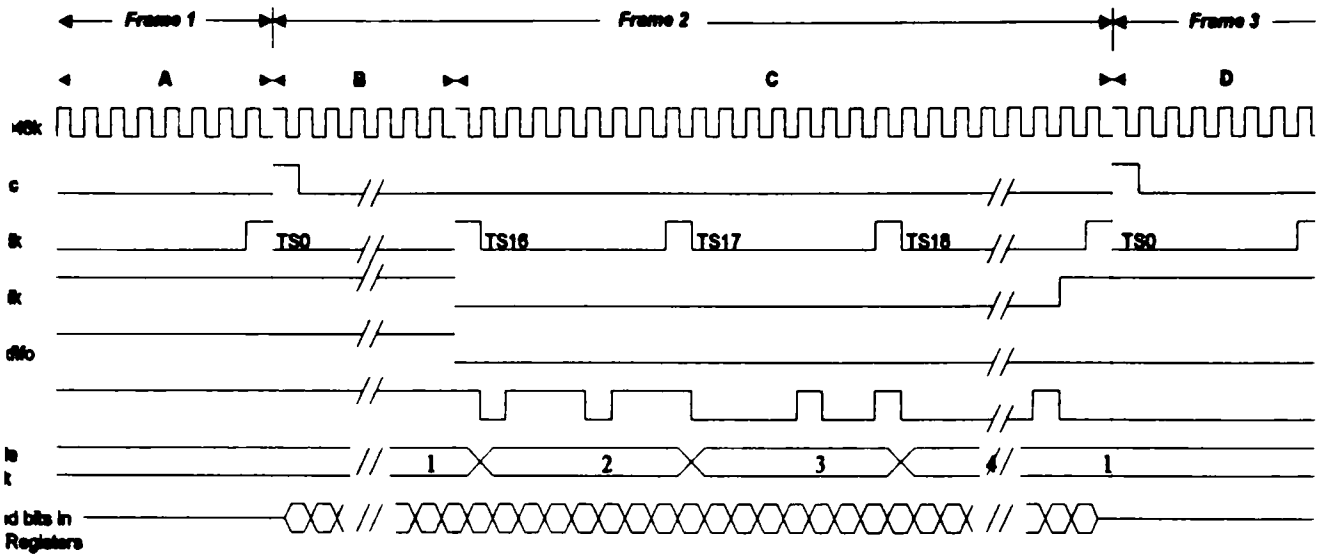
In the *TD5. Rxfifo shift register*, is described how Rxfifo shift registers block works.

A: Rchblk & EnRxfifo signals are high. The SR block is waiting for Fsync signal be activated. It did not stored data bits.

B: Fsync pulse occurs. SR block begins to store data bits, each SR stores a E1 time slot. The SR block store all the sixteen E1 TS selected by Rchblk signal. Each time Rchblk is low, SR block store the corresponding TS. Each E1 data bit is stored & shifted at Clk2048k falling edge clock. Enable block counter, shows in which SR number is stored the TS, it is activated when Rchclk falling edge signal, Rchblk & EnRxfifo signals are low.

C: SR block stop store E1 TS. It will wait for Rchblk & EnRxfifo signals be low to begin again to store data. Once the Enable block counter reach the sixteen number, it will start to count from one again. This means the next E1 TS will be stored at SR1, and the byte that was there already was sent to DTE. The SR block is a circular FIFO.

D: This state starts at the same time of frame 3. The B & C states are repeated. The SR block stores E1 TS When the Rchblk & EnRxfifo signals are low. This state is repeated indefinitely, until anormal situation happens (some alarm be activated).



TD 4. Rx fifo Shift register block.

7.3.1.5. PRBS detector and generator blocks

In Fig. 17 the Data port PRBS detector and generator block are shown. Table 4 presents the register configuration to enable/disable the PRBS detector and generator.

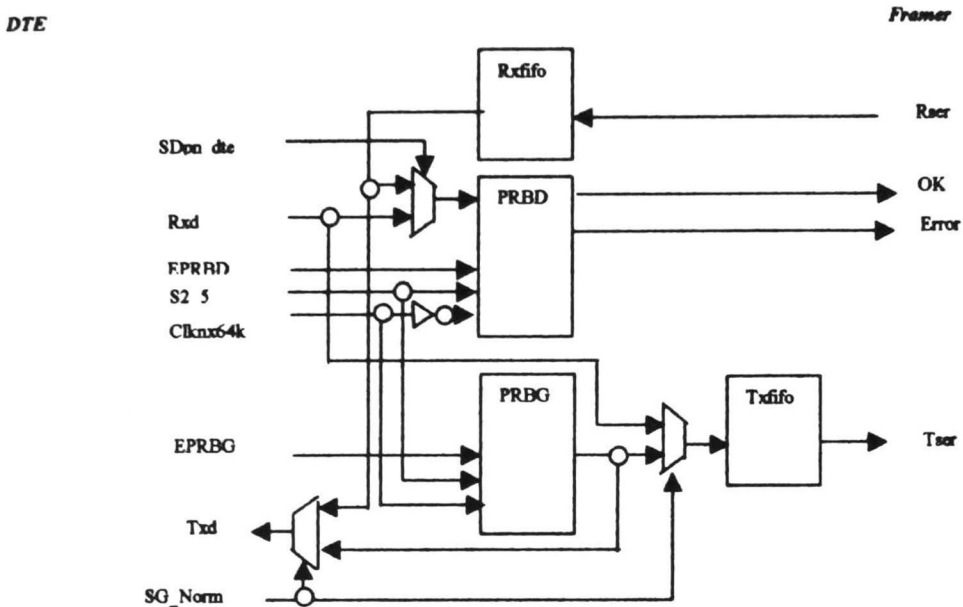


Figure 17. PRBS detector and generator blocks.

The table 4 shows the configuration for PRBS sequence detector and generator.

EPRBG	EPRBD	SDpn_dte	SG_Norm	DTE		DSU/CSU		Public net.	
				Tx	Rx	Tx	Rx	Tx	Rx
0	0	0	0	data	data	data	data	data	data
0	1	0	0	PRBS	data	data	PRBS	data	PRBS
0	1	1	0	data	PRBS	data	PRBS	PRBS	data
1	0	0	1	X	PRBS	PRBS	X	X	PRBS
1	1	0	1	PRBS	PRBS	PRBS	PRBS	X	PRBS
1	1	1	1	X	PRBS	PRBS	PRBS	PRBS	PRBS

data : valid data.

PRBS:PRBS sequence 511/2047.

X : data lost

Table 4. Configuration of PRBS detector and generator blocks.

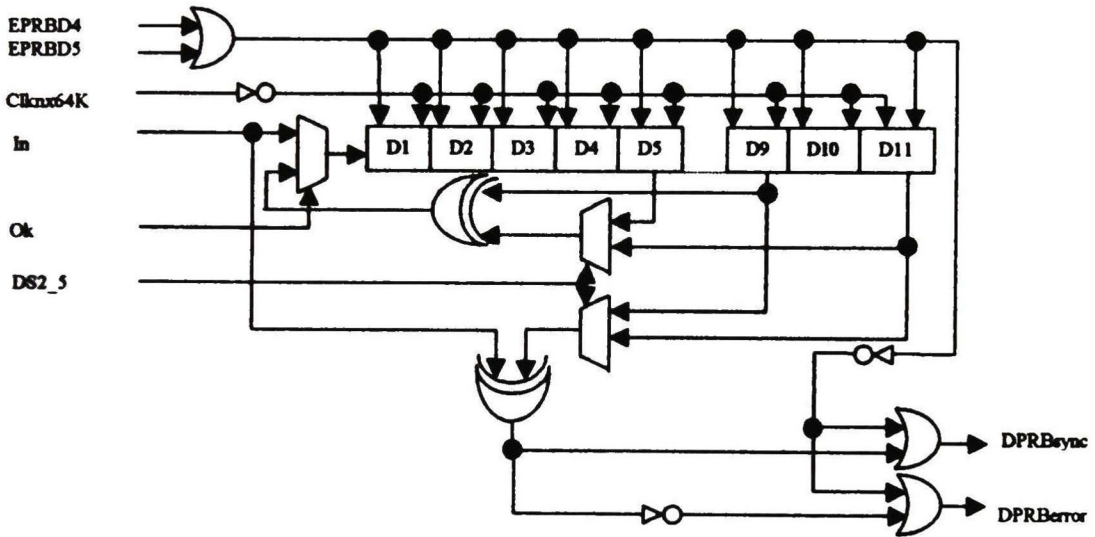
7.3.1.5.1. PRBS detector block

The PRBS (Pseudo Random Bits Sequence) detector block can be program to detect 2^9-1 (511) or $2^{11}-1$ (2047) test patterns. The PRBS detector can monitor data either, from the network or from the DTE, CR2 register (b5 & b4 bits) is used for that purpose. The PRBS detector functioning is simple:

- PRBsync signal (Fstatus-b0) is set after 16 correct consecutive bits are detected
- PRBsync signal is deactivated if 15 bits in error are detected in a window of 128 received bits.
- Error signal is valid every time an error is detected

Any of these conditions produce a Interrupt request to the processor. The PRBS detector is shown in the *fig.18 PRBS 511/2047 detector block*.

Once the pattern synchronization is reached (DPRBsync), the detection process continue by a process of comparison between the received sequence against the sequence generated by PRBS generator.



PRBS 511/2047detector block

7.3.1.5.2 PRBS sequence generator

The PRBS (Pseudo Random Bits Sequence) generator block can be programmed to generate $2^9-1(511)$ or $2^{11}-1(2047)$ test patterns. The PRBS generator output the PRBS sequence to DTE and to framer. The PRBS generator functioning is simple: the user enable the PRBS generator in CR2 register (b3 & b2 bits). The PRBS generator is shown in the fig. 19.

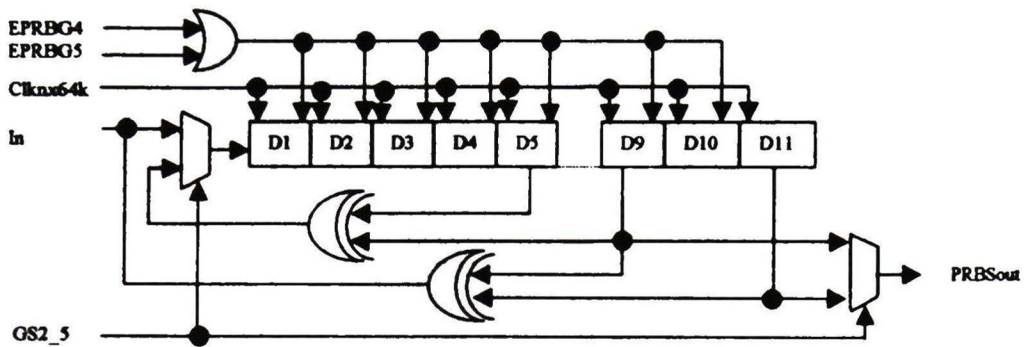


Figure 18. PRBS 511/2047 Test pattern generator

7.3.2. Adaptation rate queue nx64Kbps (1 ≤ n ≤ 31) to 2048Kbps.

TxFifo is a circular FIFO it receives a serial data from the DTE at nx64Kbps.(1≤n≤31) and retransmit it (via framer) to public telephone network at 2048Kbps. Received data at Rxd pin, is used to drive a 20 shift register array. Each SR (shift register), is eight bits length, therefore each SR can store a byte coming from DTE. Data is stored and shifted on Clknx64k falling edges. For writing, the shift registers are accessed sequentially, the Enable block, selects one SR at the time, each 8 received bits. See the TD.6 Received and transmitted bytes in Txfifo.

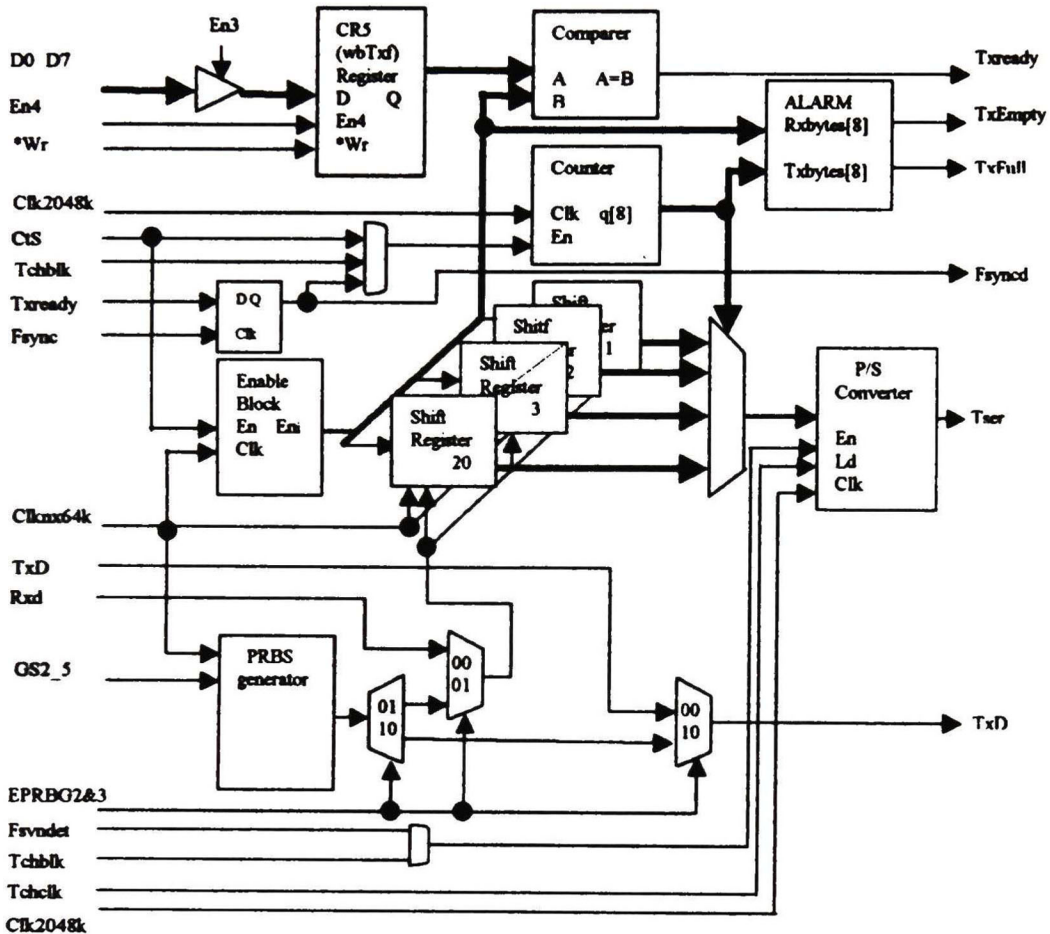


Figure 19. Tx FIFO block diagram.

Txfifo starts output data once the comparator block sets Txready signal low. The comparator block compares the Enable block count with the number stored in CR5 (wbTxf) register. Data is transmitted to Framer according to the Clk2048k clock. Alarm block monitors the Txfifo state, (empty or full). Output data is loaded to the P/S converter at the rising edge of Tchclk clock signal (every 8 Clk2048k pulses). Txready signal enables the P/S converter to shift the serial stream to the Framer at 2048Kbps.

The test pattern generator is located at this level. It can be programmed by CR2 register (b3 & b2 bits) to transmit PRBS sequence to Framer and to DTE, or let the Txfifo transmit data to Framer.

In the TD.6 is shown how the Tx fifo block works. The DTE rate is 1024Kbps. The selected channels to transmit data to Framer are 1 to 16. Next are described the Tx fifo states.

A:

- Tx fifo block receive signals from Framer:

Fsync it marks the beginning of each E1 Frame, through a 2048Kbps clock pulse.

Tchblk is low when the channel is selected to transmit data. It is high when the channel is not selected. This case it is low in the channels 1 to 16.

Txready, is low when the Tx fifo block has stored the bytes needed to start transmitting to Frame. It is high when the Tx fifo block is not ready to start the transmission.

- Tx fifo block do not transmit data to Framer.

B:

- Tx fifo block starts to store data coming from DTE. The number of bytes that will be stored before to start to transmit, is shown in the table 6. *Txready signal and Maximum length of Tx fifo, Waiting bytes before to Tx to framer: $wb = N - 2 - Rxbnx64k$* column.

C:

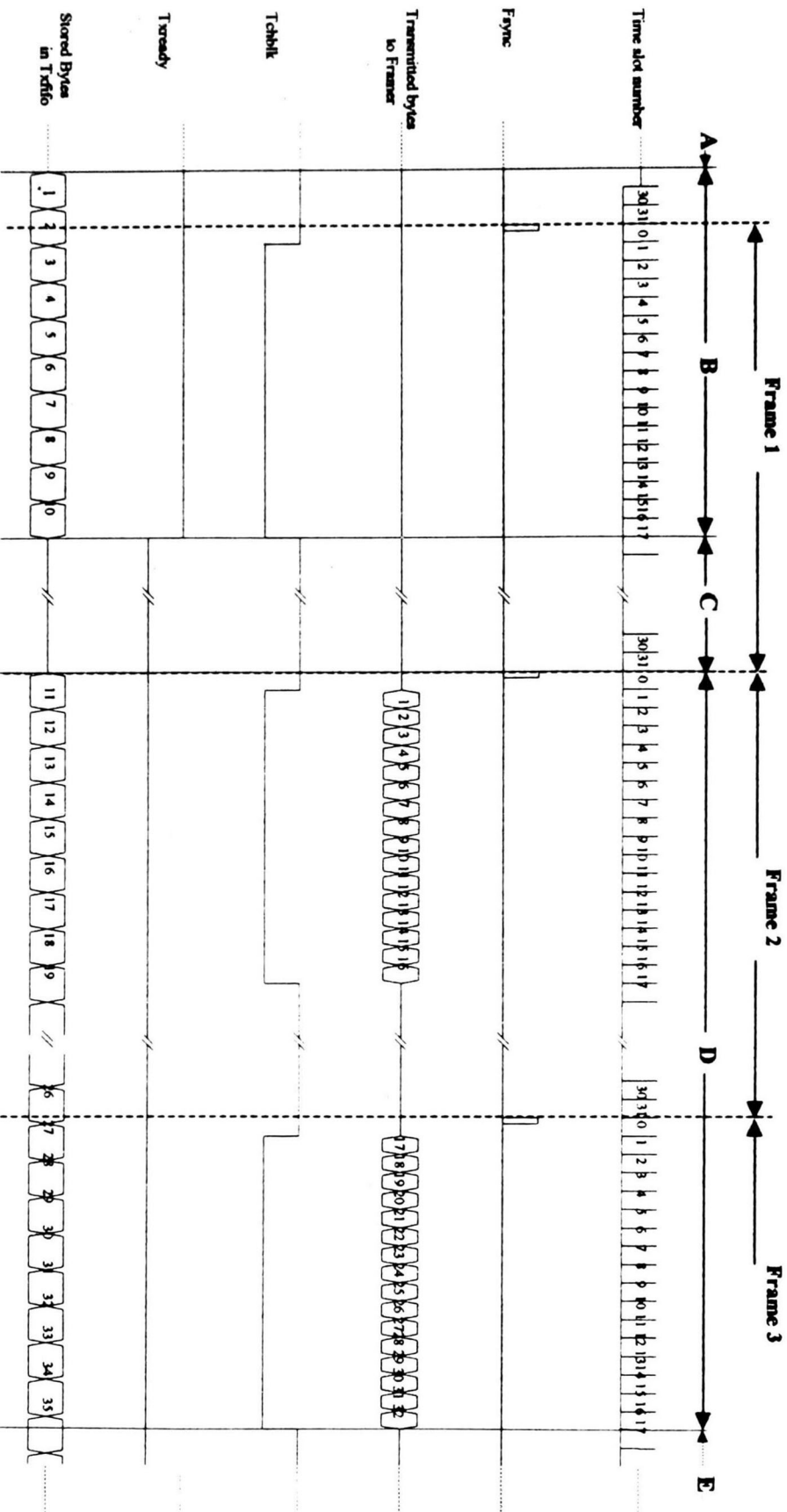
- Tx fifo block stops store data coming from DTE.
- *Txready* signal, change from high to low, this means Tx fifo block has stored enough bytes to start transmitting to Framer.
- *Tchblk* signal is high 0 & 17 to 31 channels, these are not used to transmit data.

D:

- Tx fifo block starts to store data again, when it receive *Fsync* signal. Tx fifo block was designed in such way the relationship between Transmit/Receive data always there are two bytes stored in Tx fifo block. In this way under normal operational conditions it never be emptied.
- Tx fifo block transmit data indefinitely to Framer on the channels selected by *Tchblk* signal.

E:

Tx fifo block works indefinitely, until any abnormal condition happens, or some alarm be activated.



DTE Rate = 1024Kbps
 Selected TS to transmit to Framers = 1 - 16

Received & Transmitted bytes in Tx fifo

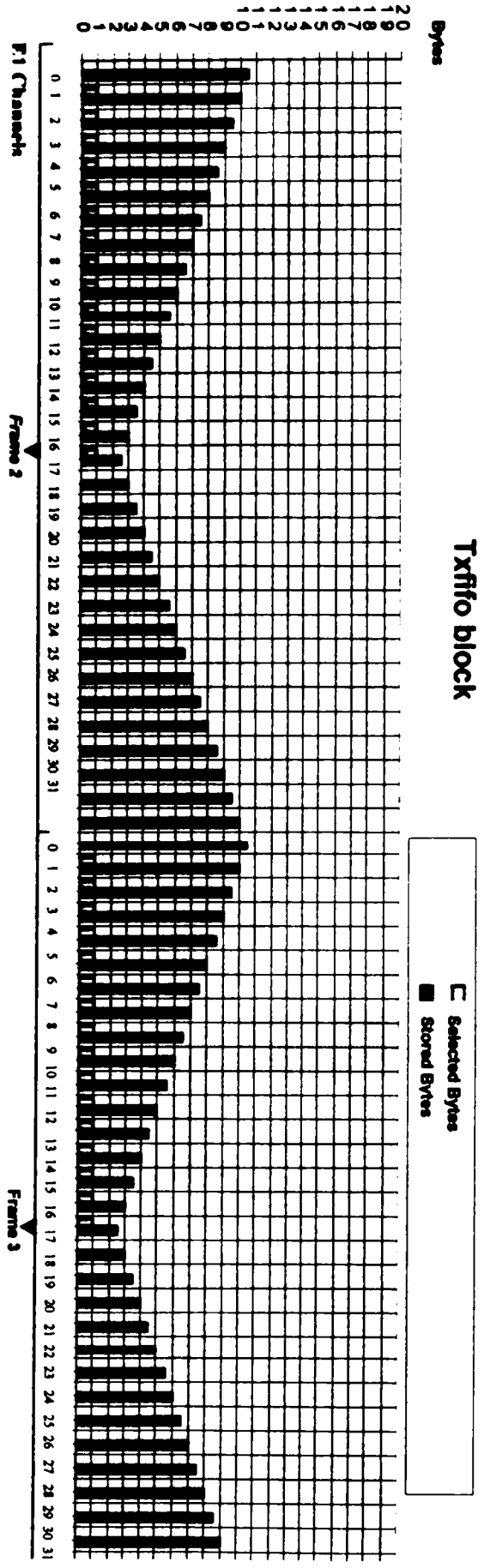


Figure 20. Txiffo block when the DTE rate is 1024Kbps. & the selected E1 channels to transmit are: 1 to 16. Txiffo block reaches it's minimum capacity.

7.3.2.1. Enable block.

The functions of enable block in the Tx fifo are: enable the data store in the Tx fifo shift registers, to count the number of the stored bytes in Tx fifo, see the fig.22. CounterA is enabled when the CtS V35 signal and the output of 1/8 divisor block are valid (high). The counterA counts at the falling edge of Clkx64k clock. The comparator load zeroes to the counterA every time the count reach 14H(20d). The Register block contain 20 d flip-flops, which are activated at rising edge of Clkx64K clock. The CounterB counts the stored bytes in Tx fifo, this counter is used also to control the Txempty and Txfull alarms.

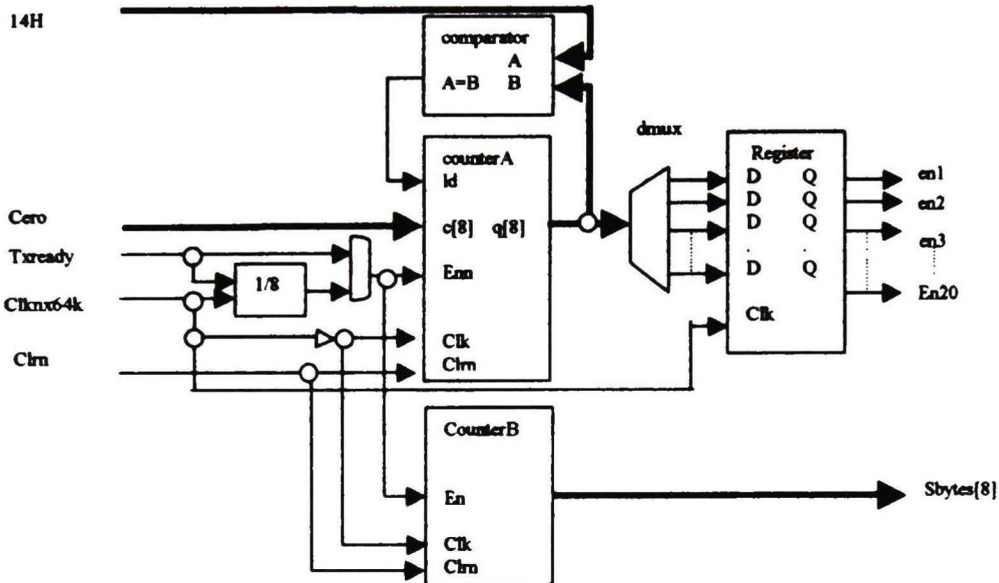
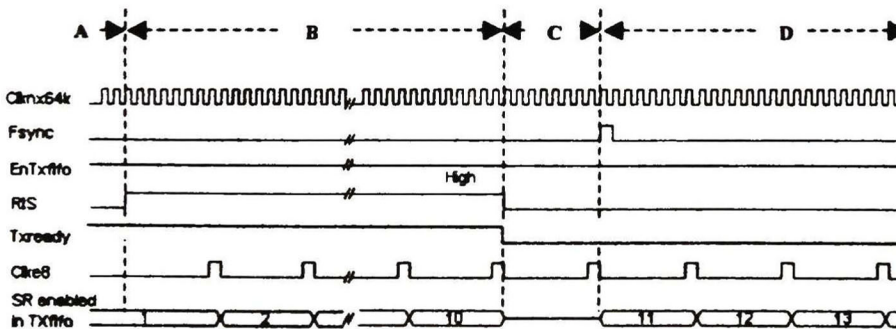


Figure 21. TxFifo Enable block

In the timing diagram TD.7, is shown how the enable block works. The SR enabled in Tx fifo counter, is the register number, which is enabled to store data in Tx fifo. Next are described the states of Tx fifo Enable block.

- A: The Tx fifo Enable block, is waiting for RtS signal be activated.
- B: The RtS signal is activated & Clke8 signal starts to pulse every 8 bits. The SR enabled in Tx fifo counter starts to count the bytes stored in Tx fifo registers. It stops count when the RtS signal is low.
- C: The Txready signal is low, that means the Tx fifo has stored the bytes needed to start a transmission. The RtS signal is low, this means Tx fifo block stops to store data bytes.
- D: Fsync signal is high for a Clk2048Kbps signal period. It enables the SR enable in Tx fifo signal counter starts to count again. Once it reach 14H number, it is preset to 01H.



TD 5. Tx fifo Enable block

7.3.2.2. Comparison block.

The comparison block in Tx fifo is shown in the *fig. 23*. Txready enables the Tx fifo to transmit data to Framer. The Txready signal is activate low and it is valid when the number of bytes stored in Tx fifo is equal to the value stored in CR5 (wbTxf) register. *Txready vs. Maximum length of Tx fifo* is described in Table 5. CR5 register value is set by the microcontroller according to DTE baud rate. For example if the DTE baud rate is 1024Kbps. then CR5 will be 0AH, in this case, Txready signal is activated when the Tx fifo has stored 0BH TS. The Txready signal stays active until a reset to the device occurs or when a new baud rate is declared.

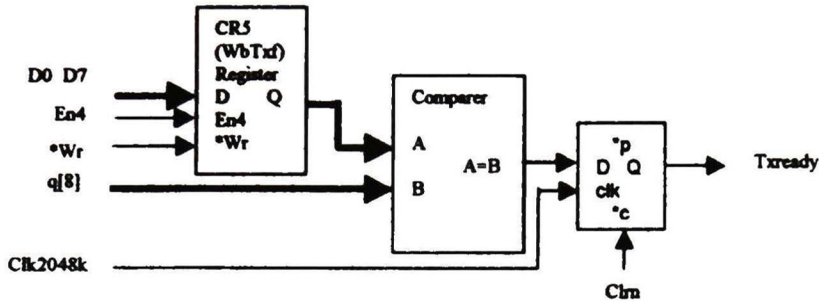


Figure 22. Comparison block

The wbTxf number is calculated in such way that, under normal condition the Tx fifo be never emptied. Under normal conditions, the mechanism guaranties the Tx fifo will have at least 2 bytes stored at any time.

For FE land in the case of having a non-continue TS allocation, a certain number of bytes received from DTE, must be stored before initiate any re-transmission. In the same way, during normal conditions we should guaranty that the Tx fifo will contain always data to maintain a data flow to the Framer. In that regard, *Rxbnx64k* represent the number of bytes that must be stored in Tx fifo, before start to transmit to Framer.

$$\frac{n (125\mu s)}{32} = X : \text{Accumulated time by all used TS in a frame.}$$

$$\frac{8}{n \times 64\text{kbps}} = Y : \text{Divisor factor to obtain the stored bytes at nx64kbps rate.}$$

$$Rxbnx64k = X / Y = NRxbnx64k * nx64Kbps$$

$$NRxbnx64k = \frac{(n 125\mu s)}{256} \quad (\text{based on TS transmitted at 2048Kbps})$$

$$Rxbnx64k = NRxbnx64k * nx64Kbps \quad (\text{based on the DTE rate})$$

$$Txready = N + 2 - Rxbnx64k$$

Txready : Number of bytes required to begin to transmission to the Framer.

N : Number n of nx64kbps (1 <= n <=31)

Rxbnx64k : Number of bytes that can be stored in Tx fifo during the time accumulated by all used TS.

See the *table.5 Txready test result*

Table 5. Txready test results

Number (n) of transmitted TS	DTE Rate (Kbps)	Rxbur64k	Txready Transmission 'to The Framers starts On TS number	Frame 1		Frame 2 ²	
				Stored bytes in Txjffo equal to Txready	Transmitted bytes to Framer = 0	Stored bytes ¹ in Txjffo equal to (Txready + Rxbur64k) - N	Transmitted bytes to Framer = N
1	64000	0.03125	2.96875	2.96875	0	2	1
2	128000	0.125	3.875	3.875	0	2	2
3	192000	0.28125	4.71875	4.71875	0	2	3
4	256000	0.5	5.5	5.5	0	2	4
5	320000	0.78125	6.21875	6.21875	0	2	5
6	384000	1.125	6.875	6.875	0	2	6
7	448000	1.53125	7.46875	7.46875	0	2	7
8	512000	2	8	8	0	2	8
9	576000	2.53125	8.46875	8.46875	0	2	9
10	640000	3.125	8.875	8.875	0	2	10
11	704000	3.78125	9.21875	9.21875	0	2	11
12	768000	4.5	9.5	9.5	0	2	12
13	832000	5.28125	9.71875	9.71875	0	2	13
14	896000	6.125	9.875	9.875	0	2	14
15	960000	7.03125	9.96875	9.96875	0	2	15
16	1024000	8	10	10	0	2	16
17	1088000	9.03125	9.96875	9.96875	0	2	17
18	1152000	10.125	9.875	9.875	0	2	18
19	1216000	11.28125	9.71875	9.71875	0	2	19
20	1280000	12.5	9.5	9.5	0	2	20
21	1344000	13.78125	9.21875	9.21875	0	2	21
22	1408000	15.125	8.875	8.875	0	2	22
23	1472000	16.53125	8.46875	8.46875	0	2	23
24	1536000	18	8	8	0	2	24
25	1600000	19.53125	7.46875	7.46875	0	2	25
26	1664000	21.125	6.875	6.875	0	2	26
27	1728000	22.78125	6.21875	6.21875	0	2	27
28	1792000	24.5	5.5	5.5	0	2	28
29	1856000	26.28125	4.71875	4.71875	0	2	29
30	1920000	28.125	3.875	3.875	0	2	30
31	1984000	30.03125	2.96875	2.96875	0	2	31
32	2048000	32	2	2	0	2	32

1. And subsequent frames

2. This value was taken at last E1 TS selected to transmit. It was taken in account the worst case, when the E1 TS selected are all together & they are at the beginning of the frame.

The Tx fifo was exercised in all different DTE rates nx64Kbps (n=1,2,...31). The results are summarized in the Table 6. *Txready* and maximum length of Tx fifo.

The maximum length of Tx fifo was calculated according to:

$$NSB = \frac{125\mu s(32 - n)}{256} \quad \text{(based on TS transmitted at 2048Kbps)}$$

$$SB = NSB * nx64kbps \quad \text{(based on the DTE rate)}$$

$$MITxf = Txready + SB + 2$$

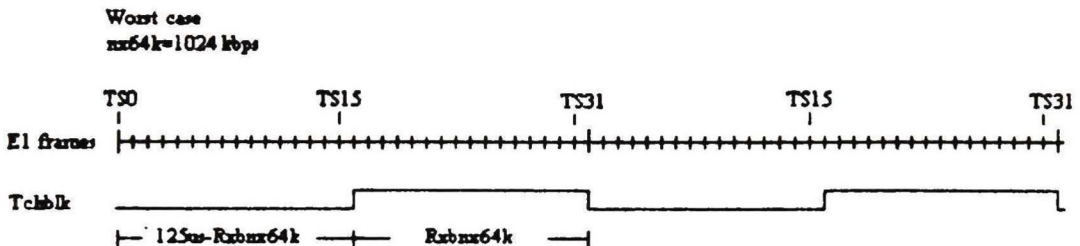
SB : Number of bytes that can be stored in the Tx fifo during the time accumulated by all unused TS.

MITxf : Maximum length of Tx fifo (bytes).

Txb2048k : Transmitted bytes to framer when TCHBLK signal is active.

Note : the number 2 was added to avoid an full alarm.

See the TD.8 *Maximum length of Tx fifo* and Table 6. *Txready* signal and *Maximum length of Tx fifo*.



$$MITxf = wbTxf + 2 + (125\mu s - Rrbnx64k) * (8/nx64k)$$

MITxf : Maximum length of Tx fifo

wbTxf : Bytes to have to be stored in Tx fifo, before to enable the Txready signal

Rrbnx64k: Received bytes in Tx fifo when the Tchblk signal is high.

TD 6. Maximum length of Tx fifo

In the TD.9. is shown how the Txfifo block works. The DTE rate is 1024Kbps. The selected channels to transmit data to Framer are 16 to 31. Next are described the Txfifo states.

A:

- Txfifo block receive signals from Framer.

Fsync it marks the beginning of each E1 Frame, through a 2048Kbps clock pulse.

Tchblk is low when the channel is selected to transmit data. It is high when the channel is not selected. This case it is low in the channels 16 to 31.

Txready, is low when the Txfifo block has stored the bytes needed to start transmitting to Frame. It is high when the Txfifo block is not ready to start the transmission.

- Txfifo block do not transmit data to Framer.

B:

Txfifo block starts to store data coming from DTE. The number of bytes that will be stored before to start to transmit, is shown in the table 5. *Txready signal test results*, in "Txready Transmission to The Framer starts On TS number" column.

C:

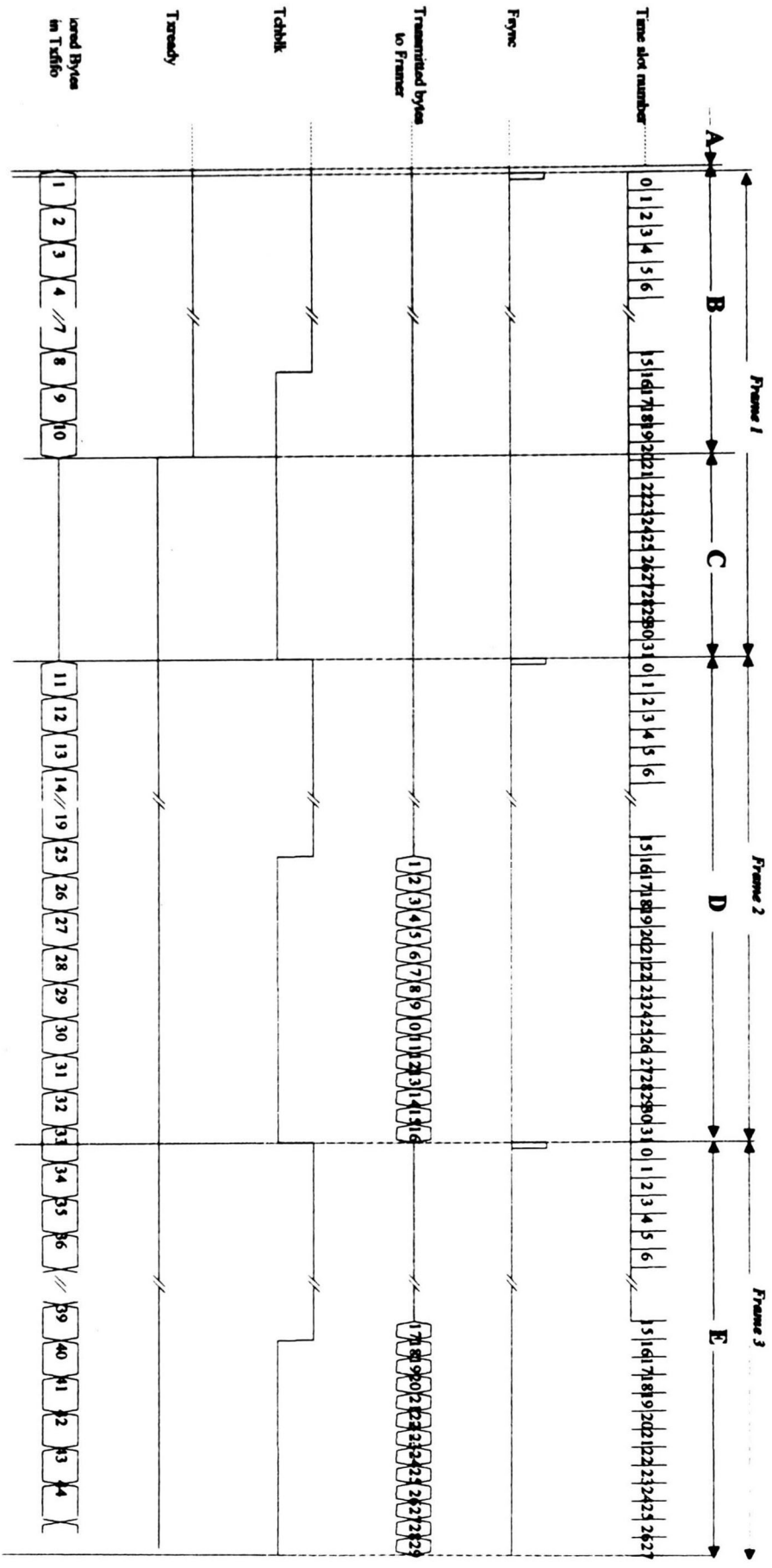
- Txfifo block stops store data coming from DTE.
- *Txready* signal, change from high to low, this means Txfifo block has stored enough bytes to start transmitting to Framer.
- *Tchblk* signal is high from 0 to 15 E1 channels, these are not used to transmit data.

D:

- Txfifo block starts to store data again, when it receive *Fsync* signal. Txfifo block was designed in such way the relationship between Transmit/Receive data always there are two bytes stored in Txfifo block. In this way under normal operational conditions it never be emptied.
- Txfifo block transmit data indefinitely to Framer on the channels selected by *Tchblk* signal.

E:

Txfifo block works indefinitely, until any abnormal condition happens, or some alarm be activated.



DTE Rate = 1024Kbps
 Selected TS = 16 to 31

TTD 7. Txiffo worst case, when it reaches it's maximum capacity

Centro de Tecnologia de Semicondutores

Page 40 of 81

Confidential

Tx fifo block

Selected Bytes
 Stored Bytes

Bytes

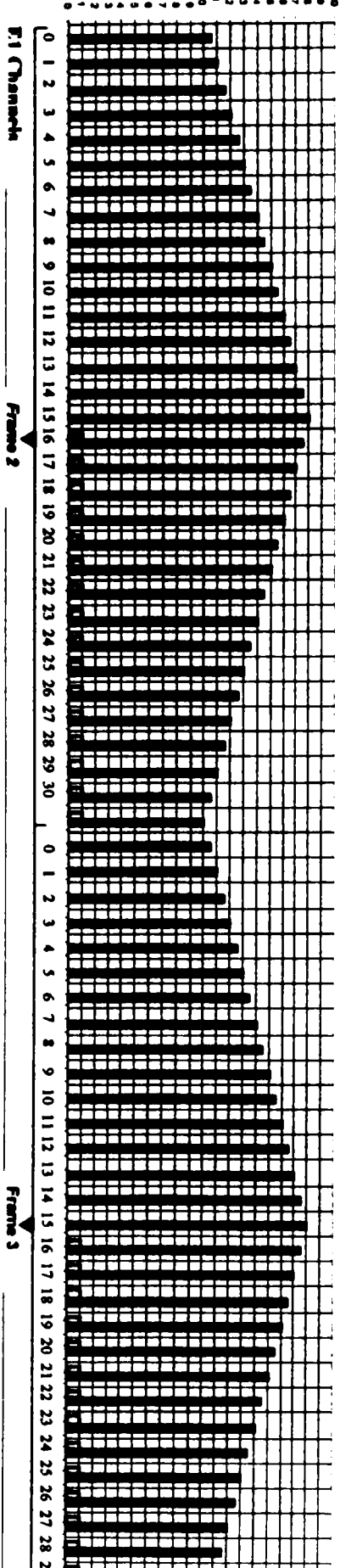


Figure 23. Tx fifo block when the DTE rate is 1024Kbps, & the selected E1 channels to transmit are: 16 to 31. Tx fifo block reach it's maximum capacity.

Table 6. Txready signal and Maximum length of Txifo.

<i>N</i>	<i>Nx64k</i>	<i>Rxbur64k at TCHBLK signal</i>	<i>Waiting bytes before to Tx to framer: wb = N+2-Rxbur64k</i>	<i>Maximum length of TxFifo(MITxF) MITxfifo=wb+2+ (125us-aA)/(R/B)</i>	<i>Bytes in Txifo after a frame= wb</i>
1	64	0.03125	1	2	1
2	128	0.125	2	4	2
3	192	0.28125	3	6	3
4	256	0.5	4	8	4
5	320	0.78125	5	10	5
6	384	1.125	6	13	6
7	448	1.53125	7	15	7
8	512	2	8	16	8
9	576	2.53125	8.46875	17	9
10	640	3.125	8.875	18	9
11	704	3.78125	9.21875	19	10
12	768	4.5	9.5	19	10
13	832	5.28125	9.71875	20	10
14	896	6.125	9.875	20	10
15	960	7.03125	9.96875	20	10
16	1024	8	10	20	10
17	1088	9.03125	9.96875	20	10
18	1152	10.125	9.875	20	10
19	1216	11.28125	9.71875	20	10
20	1280	12.5	9.5	19	10
21	1344	13.78125	9.21875	19	10
22	1408	15.125	8.875	18	9
23	1472	16.53125	8.46875	17	9
24	1536	18	8	16	8
25	1600	19.53125	7.46875	15	8
26	1664	21.125	6.875	14	7
27	1728	22.78125	6.21875	13	7
28	1792	24.5	5.5	11	6
29	1856	26.28125	4.71875	10	5
30	1920	28.125	3.875	8	4
31	1984	30.03125	2.96875	6	3
32	2048	32	2	4	2

A = 8/2048k

B = nx64k

Note: in the calculus of MITxF was added 2, to avoid a Txfull alarm signal.

7.3.2.3. Tx fifo Alarm Block

The Alarm block monitors the relation between the stored data in Tx fifo and data transmitted to DTE, see the fig.25. The mechanism is simple:

- Txfull =1 (valid), if counterB - counterA= 98H bits, (19bytes), one byte before the Tx fifo be full.
- Txempty =1 (valid), if counterB - counterA= 8H bits, (1bytes), one byte before the Tx fifo be empty.

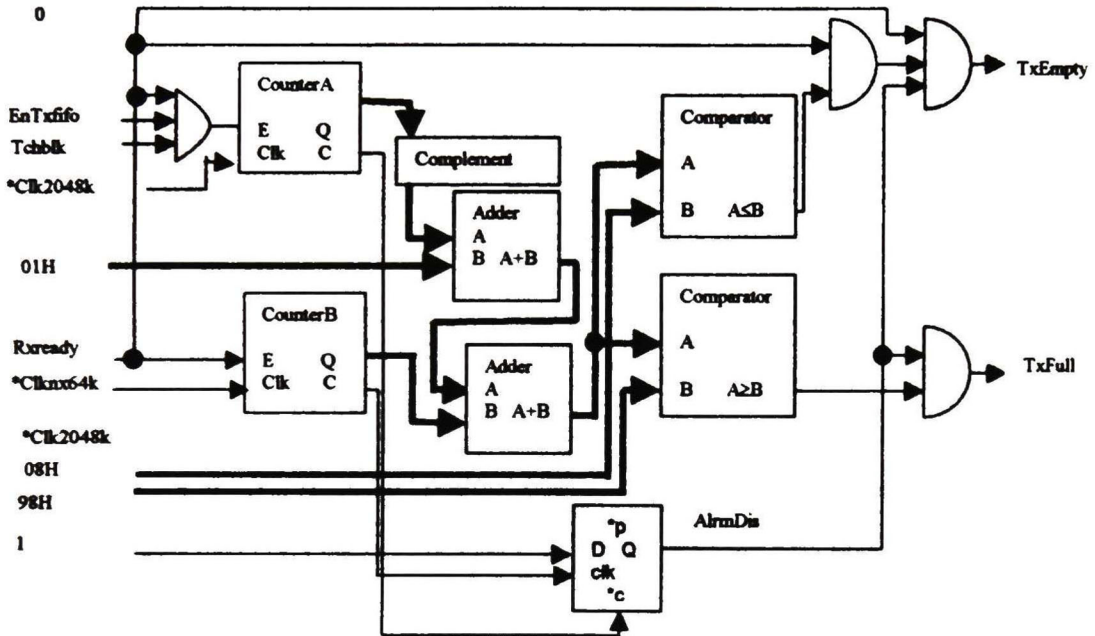


Figure 24. TxFifo Alarm Block

AlrmDis prevents a false Txfull alarm activation when counterB is equal to zero. In that case CounterA will be always greater than CounterB.

After Reset , Rxempty signal is maintained active until counterB is greater than 8. To prevent a Txempty alarm, Txempty signal is enabled until the Txready signal is activated.

7.3.2.4. Txfifo shift registers.

The Txfifo has 20 shift register, each shift register is eight bits length and a FI data channel (time slot) is stored on each SR. A block diagram of a SR is shown in fig.22. Received data (at Rxd) is shifted on Clktx64k falling clock edges. The data is parallel stored in "8b- Flip-Flop" block on the rising edge of EnI signal.

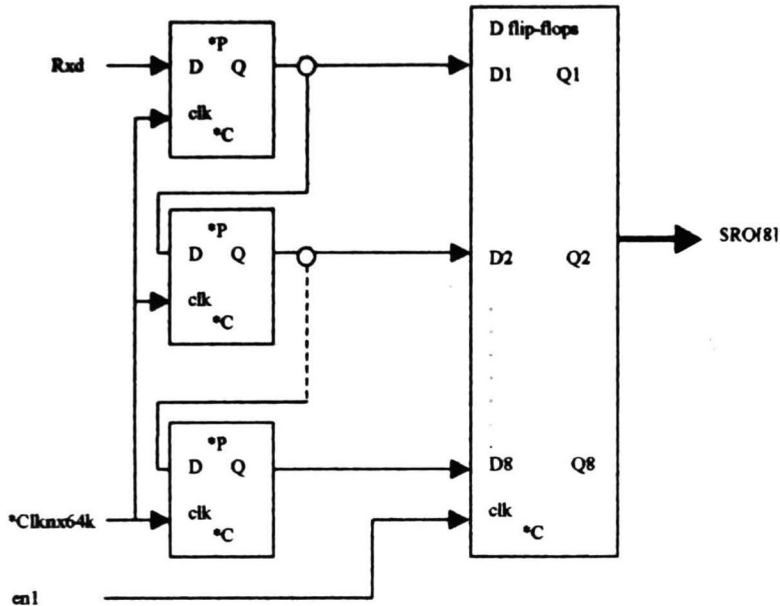
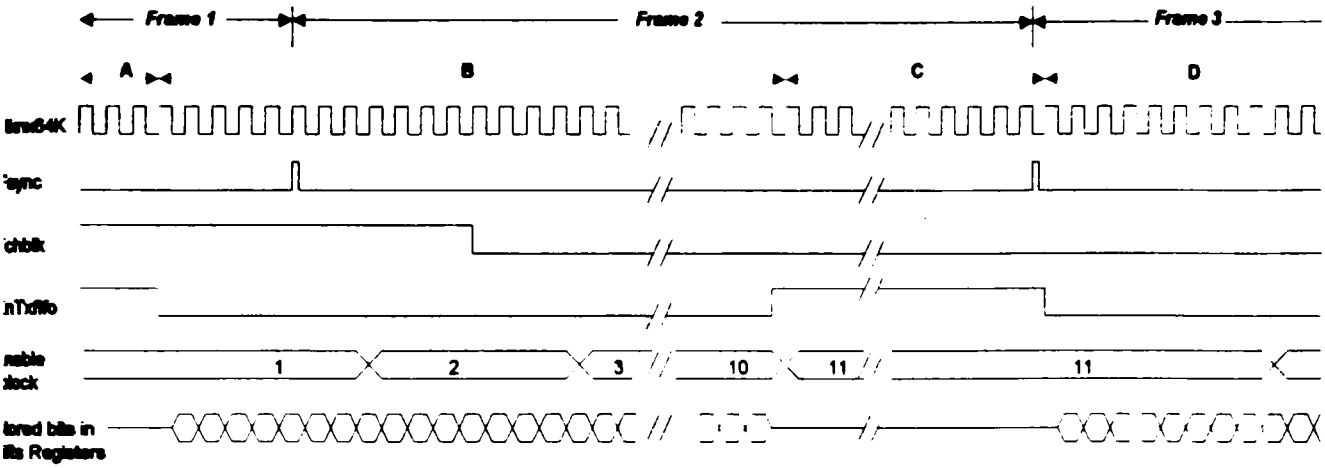


Figure 26. Txfifo Shift register

In the TD10, *Txfifo shift register*, is described how Txfifo shift registers block works. This example is based in TD.6 Received and transmitted bytes in Txfifo.

- A: Txfifo block do not store data coming from DTE. EnTxfifo signal is high. Enable block counter remains 1.
- B: Txfifo starts to store data coming from DTE. EnTxfifo signal becomes low. Each 8 received bits the Enable block counter, change his value. It counts the stored bytes in Txfifo block. During this state are stored ten bytes.
- C: Txfifo block stops storing data. EnTxfifo signal is high, it changes to low, when Txfifo receive Fsync signal. The Enable block counter remains on 11.
- D: Txfifo block starts storing data again, it remains on this state until an abnormal situation happens. Txfifo block transmit data to framer when Tchblk signal is low.



TD 10. Tx fifo Shift register block

7.3.3. Data Link Sa bits management.

The control of data link bits is implemented using 3 SCC (Serial Communication controllers) Z85C300. Each SCC can manage two Sa channels. The SCC's receive and transmit Sa bits at the same time, at rising edge of Clk4k. The Clk4k is obtained dividing by five the Rlclk signal (20Kbps). The Sa bits that are going to be send to the Framer are first converted to a serial stream by P/S converter, and transmitted to Framer at rising edge of Tlclk. The block diagram is shown in the *fig.23 Sa bits management*.

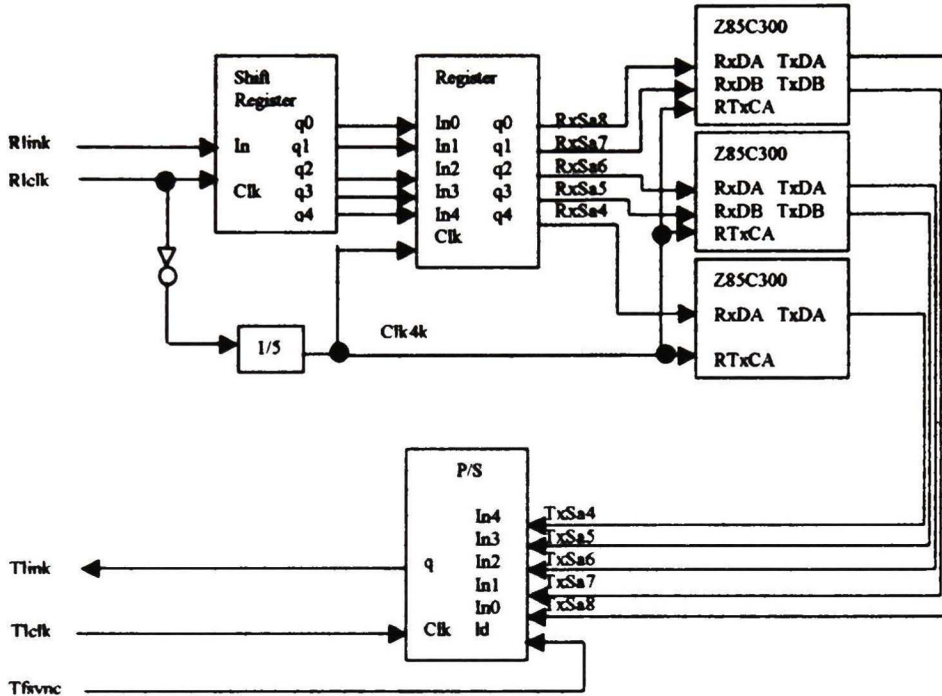
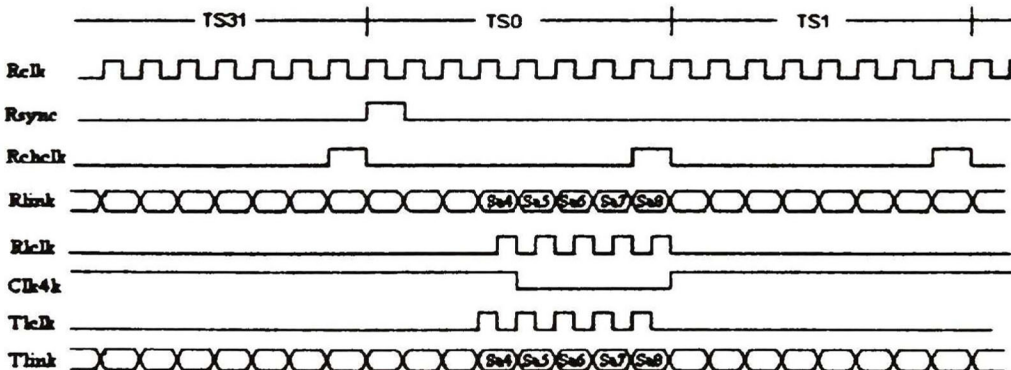


Figure 27. Sa bits management.

The Rlclk, Tlclk, Rlclk, Tlclk and Tfsync are signals coming from the Framer. The Clk4k is common to all SCC's. See the *See TD.11 Data link Sa bits and clk4k*.



TD 11. Data link Sa bits and clk4k.

7.3.4. Floop and Dloop

The Floop and Dloop blocks are loopbacks at different depth. They are shown in the fig.28.

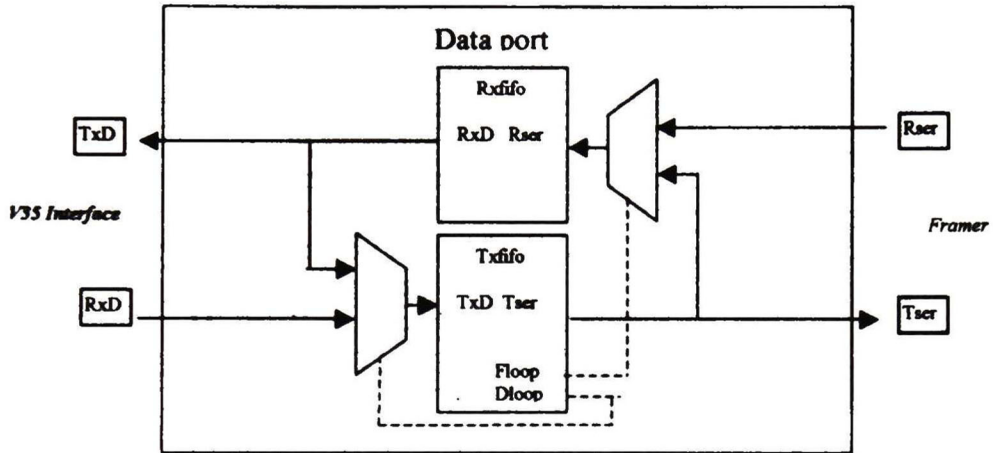


Figure 28. Data port loopbacks.

Floop loopback. It is activated through CR2.1(=0, not actived; =1 activated).When it is activated two things happens:

- Data coming from DTE (V35 interfaz, Rx D pin), are sent again to DTE(V35 interfaz, Tx D pin). These data continue being transmitted to Framer.
- Data coming from Framer through Rser pin are ignored.

Dloop loopback, It is activated through CR2.0(=0, not actived; =1 activated).When it is activated two things happens:

- Data coming from Framer through Rser pin are sent again to Framer through Tser pin. These data continue being transmitted to DTE.
- Data coming from data channel through Rx D pin are ignored.

7.3.5. Adaptation rate

The adaptation rate block generates all the clock frequencies required by the DSU/CSU. They are: Clk_{nx64k} ($1 \leq n \leq 31$), Clk_{2048k} , Clk_{8M} . These clocks are phase locked to a master clock reference, the recovered clock from the network or the clock provided by the DTE. Master clock selected by $Smclk$ bit (0:Network, 1:DTE) in CR2register, bit number 2. The rate adaptation circuit is implemented in two sections: an external PLL (Phase Lock Loop, NE564) and the glue logic on the Data port block to select the master time and divide the main clock to produce all the timing required on the board, see fig. 29

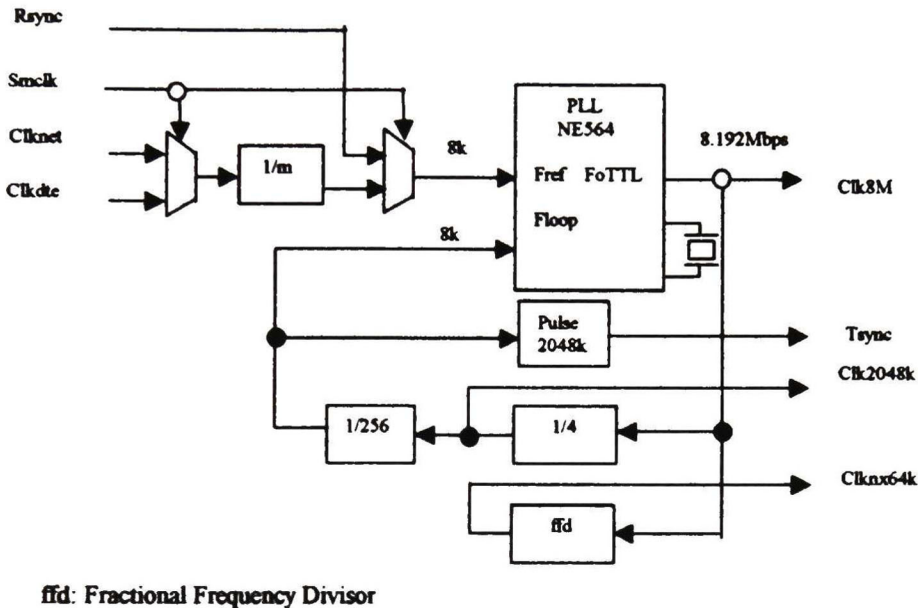


Figure 29. PLL Block.

The value of m is selected in the way to produce an 8KHz reference to the PLL. The integrated circuit (ic) NE564 is a full PLL, its block diagram is shown in the fig.28. The circuit produce the transmit references for the Frammer (Clk_{2048k}) and for the DTE ($nx64Kbps$, $n=1, 2 \dots 31$). $Tsync$ signal is the 8KHz transmit reference for the entire board.

The ffd block is a fractional frequency divisor which divides the input frequency 8.192Mbps by a rational number to obtain the $nx64Kbps$ ($1 \leq n \leq 31$) frequency.

7.3.5.1. NE564 PLL

Features:

- Operation with 5V supply.
- TTL compatible inputs and outputs
- Guaranteed operation to 50MHz.
- External loop gain control.
- No elaborate filtering needed in FSK applications
- Variable loop gain (externally controlled)

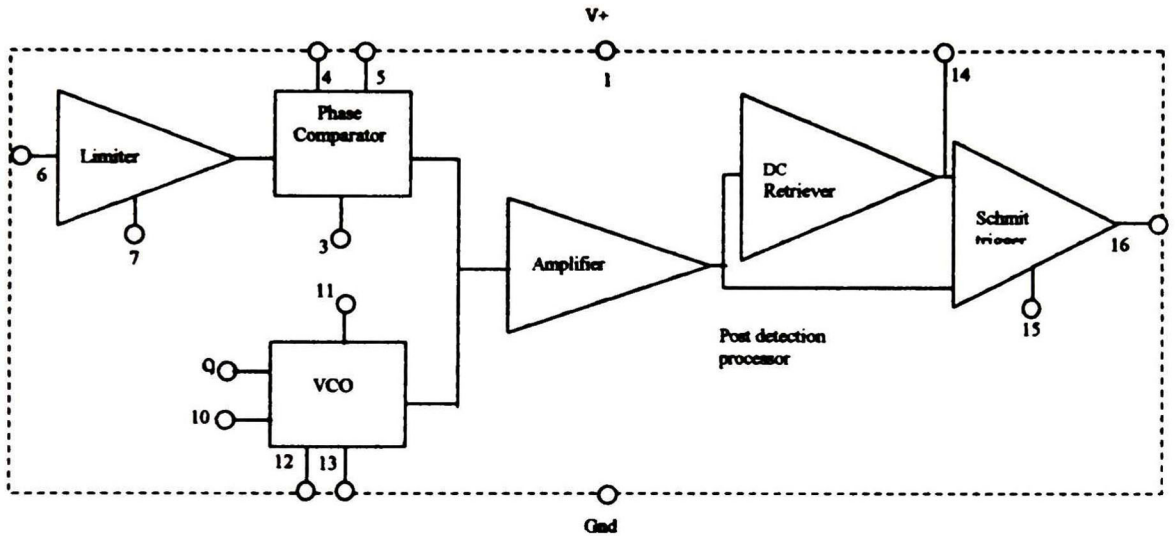


Figure 30. Block diagram of NE564 PLL

The NE564 PLL is configured to work as Phase-Locked Frequency Multiplier with VCXO, see fig.31. Calculation of the component values are based on Signetics Linear Products book at Product Specification section (page 4-251).

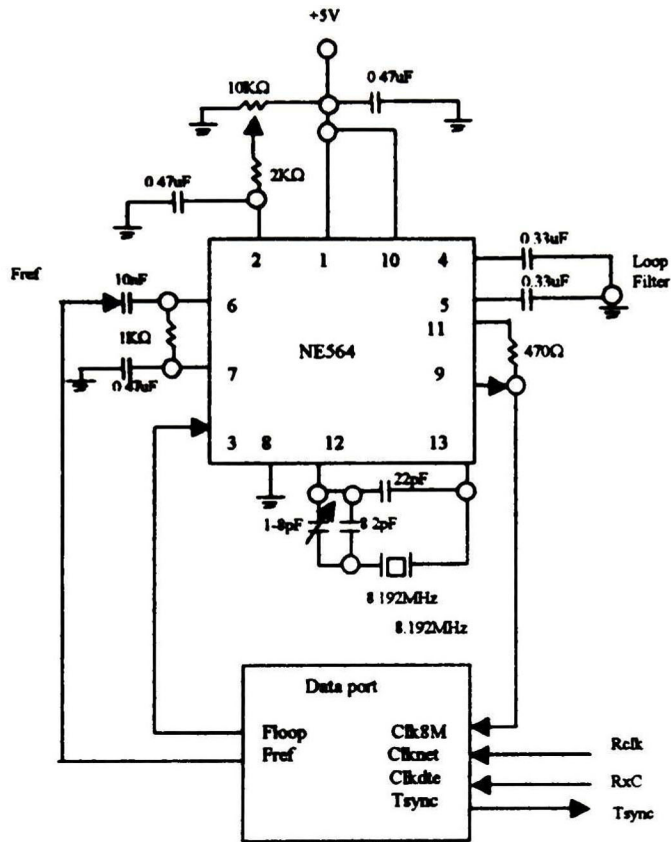


Figure 31. Connection NE564 PLL to Data port.

7.3.5.1.1. 1/m block

The 1/m divisor block is shown in the fig.32.

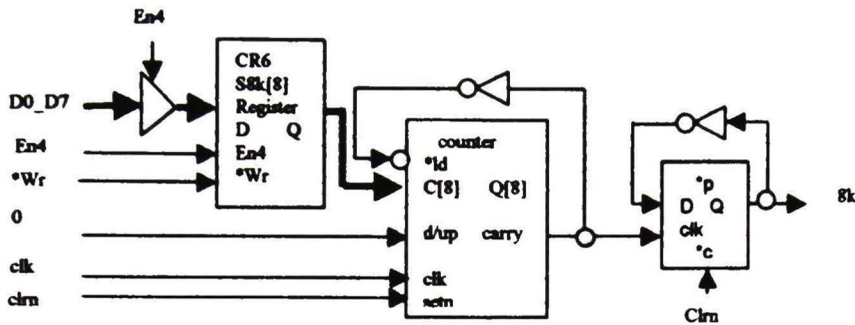
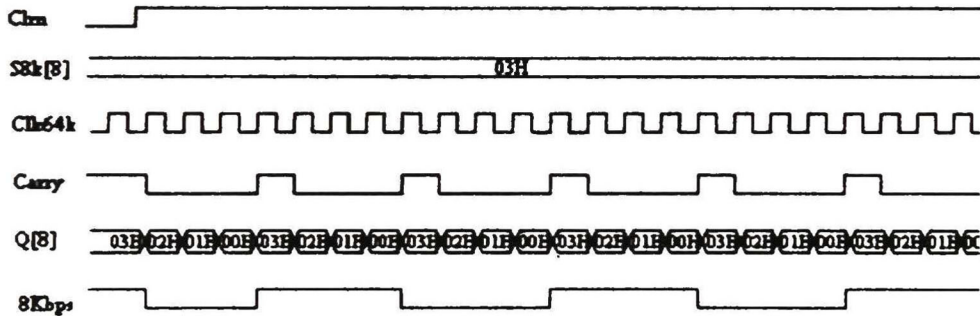


Figure 32. 1/m block

S8k[8] value is set by the microcontroller AT89C51 according to the master clock frequency, see table 7. The counter is configured to count down, S8k[8] value is re-loaded every carry pulse. A divisor by two is used to give the 50% duty cycle.

The 1/4, 1/256 blocks were implemented like the 1/m block. Just change the value in the input C[8] of counter block, it is set to 03H and 80H respectively. See the TD12. 64kbps to 8kbps conversion.



TD 12. 64Kbps to 8Kbps conversion

Table 7. Values for CR6 and CR7 Data port register

Number (n) of received TS	DTE Rate (Kbps)	Values for CR6 & CR7 Dataport registers	
		CR7	CR6
N	Nx64k		
1	64	04H	03H
2	128	08H	07H
3	192	0CH	0BH
4	256	10H	0FH
5	320	14H	13H
6	384	18H	17H
7	448	1CH	1BH
8	512	20H	1FH
9	576	24H	23H
10	640	28H	27H
11	704	2CH	2BH
12	768	30H	2FH
13	832	34H	33H
14	896	38H	37H
15	960	3CH	3BH
16	1024	40H	3FH
17	1088	44H	43H
18	1152	48H	47H
19	1216	4CH	4BH
20	1280	50H	4FH
21	1344	54H	53H
22	1408	58H	57H
23	1472	5CH	5BH
24	1536	60H	5FH
25	1600	64H	63H
26	1664	68H	67H
27	1728	6CH	6BH
28	1792	70H	6FH
29	1856	74H	73H
30	1920	78H	77H
31	1984	7CH	7BH
32	2048	80H	7FH

7.3.6. uProcessor interface

The Device Data port uses the Intel uProcessor mode. A(7:0) bus carries the low byte of memory address in the first part of the memory access cycle. In a second time it carries the 8-bit Data bus. A(15:8) bus carries the high byte of memory address.

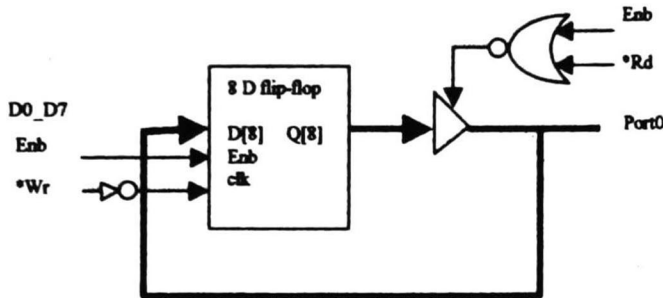
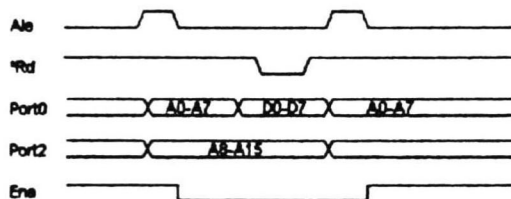
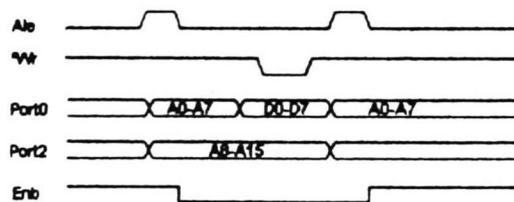


Figure 33. Data port architecture



TD 13. Read cycle



TD 14. Write port

7.3.7. Data Port registers

The Data port device has 11 registers, 9 control registers (R/W), and 2 status registers (RO). They control and monitor the DSU/CSU functioning, see *table.8 Data port registers*.

Table 8. Data port registers

Control register 1 (CR1)

CR1 is a write read register. It is located at address 1000h. On reset it takes the default values (*). This register is used to reset all the Data port register.

<i>Bit</i>	<i>Name</i>	<i>Function</i>
7	Clrn(7)	0 : (*)
6	Clrn(6)	0 : (*)
5	Clrn(5)	0 : (*)
4	Clrn(4)	0 : (*)
3	Clrn(3)	0 : (*)
2	Clrn(2)	0 : (*)
1	Clrn(1)	0 : (*)
0	Clrn(0)	0 : (*)

Control register 2 (CR2)

CR2 is a write read register. It is located at address 4000h. On reset it takes the default values (*). This register is used to configure the PRBS generator, PRBS detector and loopbacks.

<i>Bit</i>	<i>Name</i>	<i>Function</i>
7	GS5_2	Test pattern to generate 0: 2048 pattern (*) 1: 511 pattern
6	DS5_2	Test pattern to detect 0: 2048 pattern (*) 1: 511 pattern
5 & 4	EPRBD	PRBS detector b5 b4 0 0: deactivated operation (*) 0 1: monitoring the Network 1 0: monitoring the DTE 1 1: reserved
3 & 2	EPRBG	PRBS generator b3 b2 0 0: deactivated operation (*) 0 1: enabled towards the Network 1 0: enabled towards the DTE 1 1: reserved
1	Floop	Framer loopback 0: normal operation (*) 1: activated
0	Dloop	DTE loopback 0: normal operation (*) 1: activated

Control register 3 (CR3)

CR2 is a write read register. It is located at address 4001h. On reset it takes the default values (*). This register is used to enable/disable the Txfifo and Rxfifo.

<i>Bit</i>	<i>Name</i>	<i>Function</i>
7	Unused	
6	Unused	
5	Unused	
4	Unused	
3	Unused	
2	Smclk	Master clock selector 0: Network clock 1: DTE clock
1	EnTxfifo	Enable DTE transmission 0: disabled 1: enabled (*)
0	EnRxfifo	Enable DTE reception 0: disabled 1: enabled (*)

Control register 4 (CR4)

CR3 is a write read register. It is located at address 4002 h. On reset it takes the default values (*) (DTE rate = 64kbps). In this register the ucontroller, set the number of TS that have to be stored in Rxfifo, before to begin to transmit to DTE, according to DTE rate. See the values in the table2.

<i>Bit</i>	<i>Name</i>	<i>Function</i>
7	WbRxfifo(7)	0 : (*)
6	WbRxfifo(6)	0 : (*)
5	WbRxfifo(5)	0 : (*)
4	WbRxfifo(4)	0 : (*)
3	WbRxfifo(3)	0 : (*)
2	WbRxfifo(2)	0 : (*)
1	WbRxfifo(1)	1 : (*)
0	WbRxfifo(0)	0 : (*)

Control register 5 (CR5)

CR3 is a write read register. It is located at address 4003 h. On reset it takes the default values (*). (DTE rate = 64kbps). In this register the ucontroller, set the number of bytes that have to be stored in Tx fifo, before to begin to transmit to Framer, according to DTE rate. See the values in the table 6.

<i>Bit</i>	<i>Name</i>	<i>Function</i>
7	WbTxifo(7)	0 : (*)
6	WbTxifo(6)	0 : (*)
5	WbTxifo(5)	0 : (*)
4	WbTxifo(4)	0 : (*)
3	WbTxifo(3)	0 : (*)
2	WbTxifo(2)	0 : (*)
1	WbTxifo(1)	0 : (*)
0	WbTxifo(0)	1 : (*)

Control register 6 (CR6)

CR3 is a write read register. It is located at address 4005 h. On reset it takes the default values (*) (DTE rate=64kbps). In this register the ucontroller set the value of m, in the 1/m frequency divisor block according to DTE rate, to obtain the reference frequency 8kbps. See the table 7.

Bit	Name	Function
7	S8k(7)	0 : (*)
6	S8k(6)	0 : (*)
5	S8k(5)	0 : (*)
4	S8k(4)	0 : (*)
3	S8k(3)	0 : (*)
2	S8k(2)	0 : (*)
1	S8k(1)	1 : (*)
0	S8k(0)	1 : (*)

Control register 7 (CR7)

CR6 is a write read register. It is located at address 4006 h. On reset it takes the default values (*). (DTE rate = 64kbps). In this register the ucontroller, set the number of Snx64k in the fractional frequency divisor block to obtain the nx64kbps clock. See the values in the table 7.

Bit	Name	Function
7	Snx64k (7)	0 : (*)
6	Snx64k (6)	0 : (*)
5	Snx64k (5)	0 : (*)
4	Snx64k (4)	0 : (*)
3	Snx64k (3)	0 : (*)
2	Snx64k (2)	1 : (*)
1	Snx64k (1)	0 : (*)
0	Snx64k (0)	0 : (*)

Control register 8 (CR8)

CR7 is a read register. It is located at address 6000h. On reset it takes the default values (*). In this register the ucontroller configure the interface to DTE. The SP505 driver/receiver.

Bit	Name	Function
7	Unused	
6	Unused	
5	Unused	
4	Unused	
3,2,1,0	Dec3-Dec0	Mode 3 2 1 0 0 0 0 0 Tristate (*) 0 0 1 0 RS-232 0 1 0 0 RS-422 0 1 0 1 RS-485 0 1 1 0 V.36 1 1 0 0 RS-449 1 1 0 1 EIA-530 1 1 1 0 V.35 (*) 1 1 1 1 EIA530A
The states not defined, are not valid.		

Control register 9 (CR9)

CR8 is a write read register. It is located at address 6001 h. On reset it takes the default values (*). This register is used to control the communication to DTE, according to V.35 interface. This register activate/deactivate the DCE signals.

<i>Bit</i>	<i>Name</i>	<i>Function</i>
7	Unused	
6	Unused	
5	Unused	
4	Unused	
3	RI	1: activate the Ring indicator signal 0: deactivate the Ring indicator signal (*)
2	DCD	1: activate the Data carrier detect signal 0: deactivate the Data carrier detect signal(*)
1	DSR	1: activate the Data set ready signal 0: deactivate the Data set ready signal (*)
0	CTS	1: activate the Clear to send signal 0: deactivate the Clear to send signal (*)

Control register A (CRA)

CR9 is a write and read register. It is located at address 7000h. On reset it takes the default values (*). This register is used to configure the three SCC's.

<i>Bit</i>	<i>Name</i>	<i>Function</i>
7	Unused	
6	Unused	
5	Unused	
4	Unused	
3	Unused	
2	Unused	
1	D*C	Data/control select 0: control (*) 1: data
0	A*B	Channel select 0: B (*) 1: A

Status register 1 (SR1)

SR1 is a read register. It is located at address 4004h. On reset it takes the default values (*).

<i>Bit</i>	<i>Name</i>	<i>Function</i>
7	Unused	
6	Txfequal	0: Txready is deactivated (low) (*) 1: Txready is activated (high)
5	Tx_empty	0: Txfifo has more than 1 byte stored (*) 1: Txfifo has 1 byte stored
4	Tx_full	0: Txfifo has less than 19 bytes stored (*) 1: Txfifo has 19 bytes stored
3	Rx_empty	0: Rxfifo has more than 1 byte stored (*) 1: Rxfifo has 1 byte stored
2	Rx_full	0: Rxfifo has less than 15 bytes stored (*) 1: Rxfifo has 15 bytes stored
1	DPRBerror	0: No test pattern error detected (*) 1: One test pattern error detected
0	DPRBsync	0: Test pattern detector out of sync (*) 1: Test pattern detector in sync

Control register 2 (SR2)

SR2 is a read register. It is located at address 6002h. On reset it takes the default values (*). This register is used to control the communication to DTE, according to V.35 interface. This register monitors the DTE signals.

Bit	Name	Function
7	FrLOS	0: Frame synchrony detected in the public network (*) 1: Lost of frame synchrony detected in the public network
6	DTELOS	0: Receive Clock signal detected (*) 1: Receive Clock signal no detected
5	Unused	
4	Unused	
3	RL	0: the Remote loop signal is deactivated (*) 1: the Remote loop signal is active
2	LL	0: the Local loop signal is deactivated (*) 1: the Local loop signal is activate
1	DTR	0: the Data terminal ready signal is deactivate (*) 1: the Data terminal ready signal is active
0	RTS	0: the Request to Send signal is deactivated (*) 1: the Request to Send signal is activated

7.3.8. Interrupt management.

In the Data port there are five signals that can cause an interrupt to ucontroller. They are shown in the fig.34 When any one of these signals is active (low), the ucontroller executes the corresponding ISR (Interrupt Service Routine).

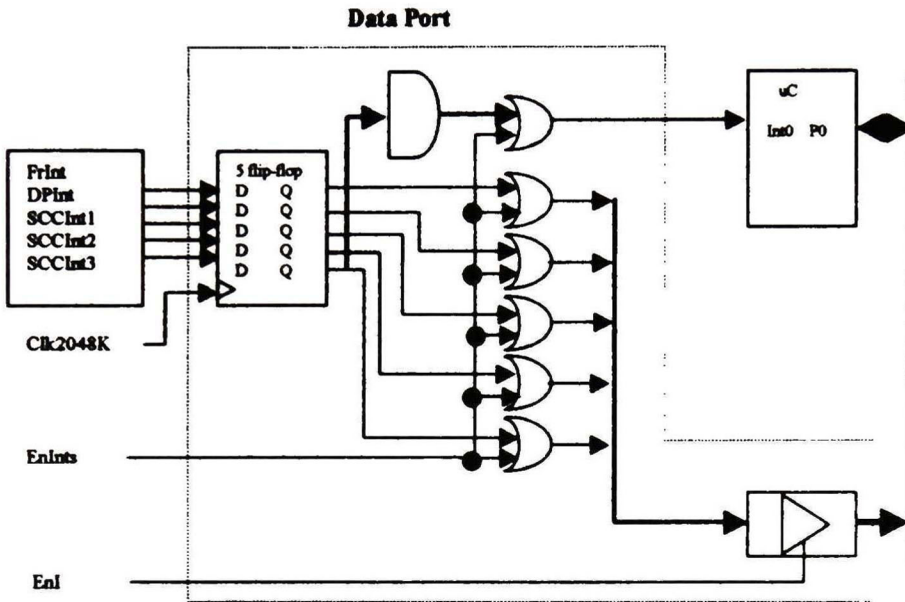


Figure 34. Data port interrupt signals

The signals DPRBerror and DPRBsync, are connected to timer0 and timer1. The timers counts the error and correct bits detected in PRBS detector. Each event is recorded by the timers. A "event" is any external stimulus that provides a 1-to-0 transition in T0 and T1 pins.

7.3.9. Address decoder.

The address enable block generates all the signals required to access the registers of devices on the board. 16 different address with a range of 8Kbytes each one. A range of 8Kbytes was assigned to each device.

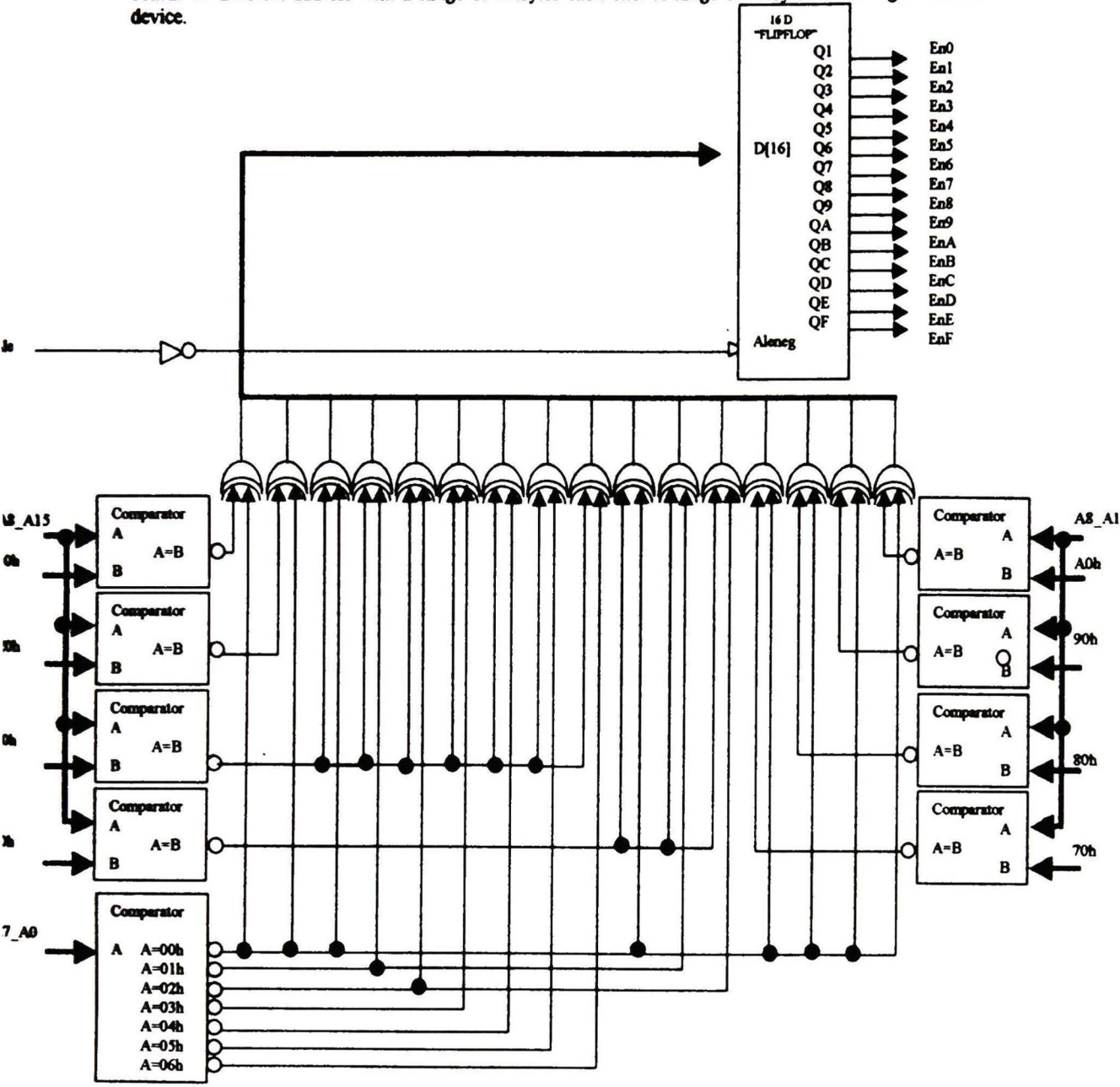
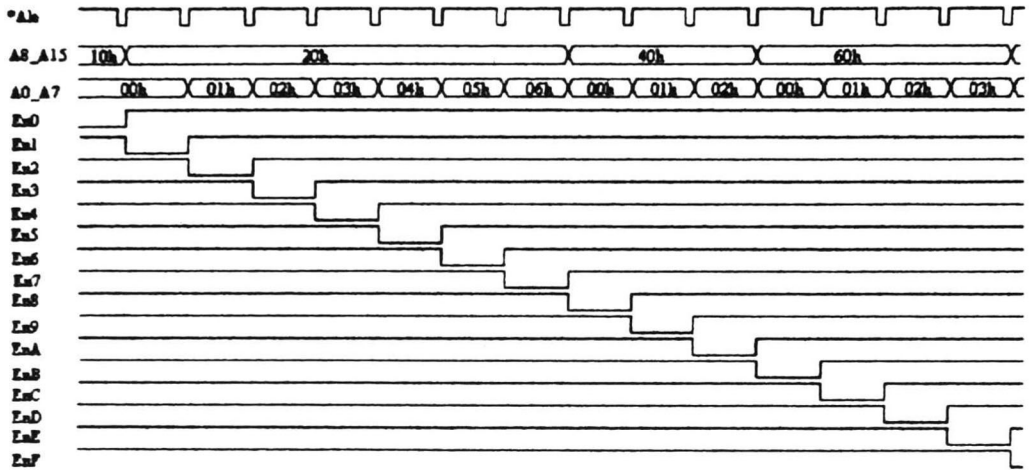


Figure 35. Address decoder



TD 15. Address decoder

7.3.10. V35 DTE port

The card uses a V.35 DCE port to interface with a local DTE. The physical interface is implemented via an multiprotocol/transceiver integrated circuit SP505ACF. This device contains all the transceivers required to control and monitor the communication, see fig. 36.

DTE

Ucontroller

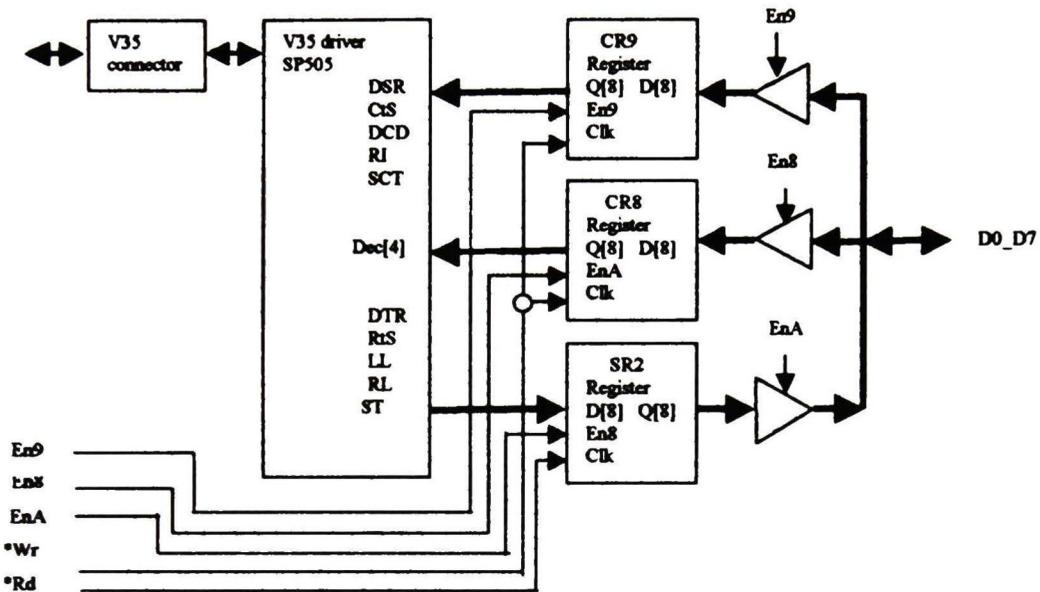


Figure 36. V35 registers

CR8, CR9 and SR2 V35 registers are used to control the communication between the DSU/CSU and DTE.

7.3.10.1. V.35 protocol

The communication is controlled using the V.35 protocol. The fig.37 shows the state machine used to establish the communication between DCE (DSU/CSU) and DTE.

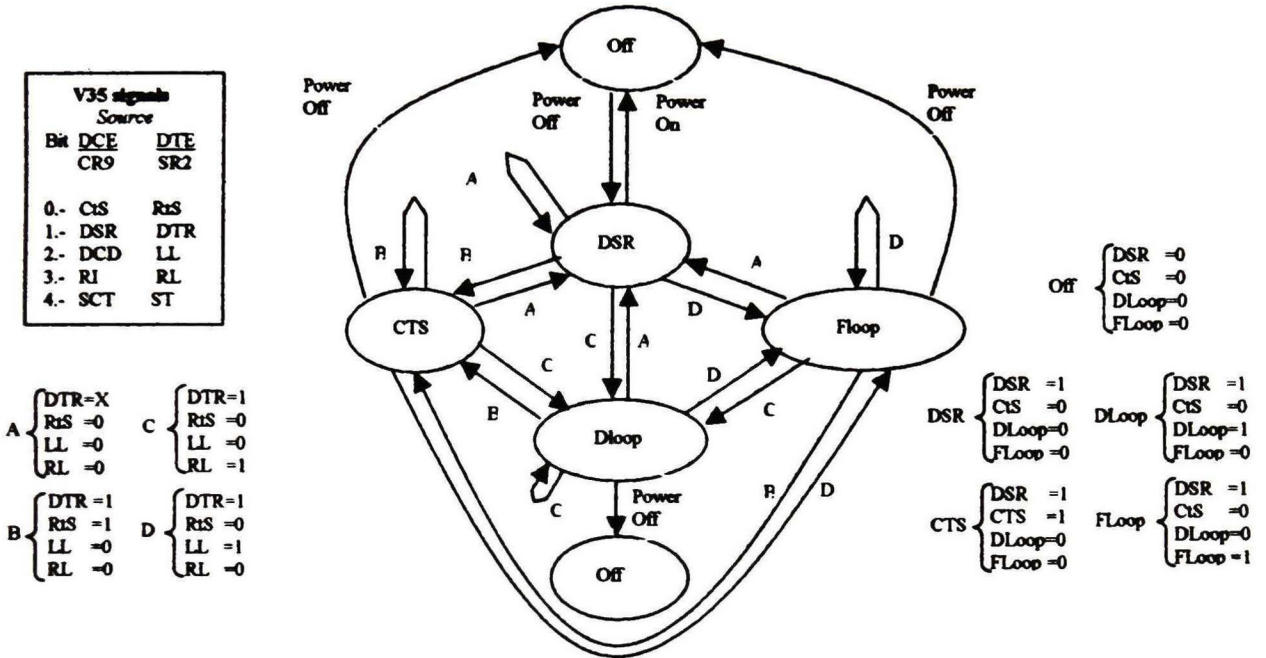


Figure 37. State machine of communication between the DCE (CSU/DSU) and the DTE.

7.4. Microcontroller

The fig. 38 shows how the microcontroller is connected to the Data port, LIU/Framer, V35 interface, RS232 interface & SCC's.

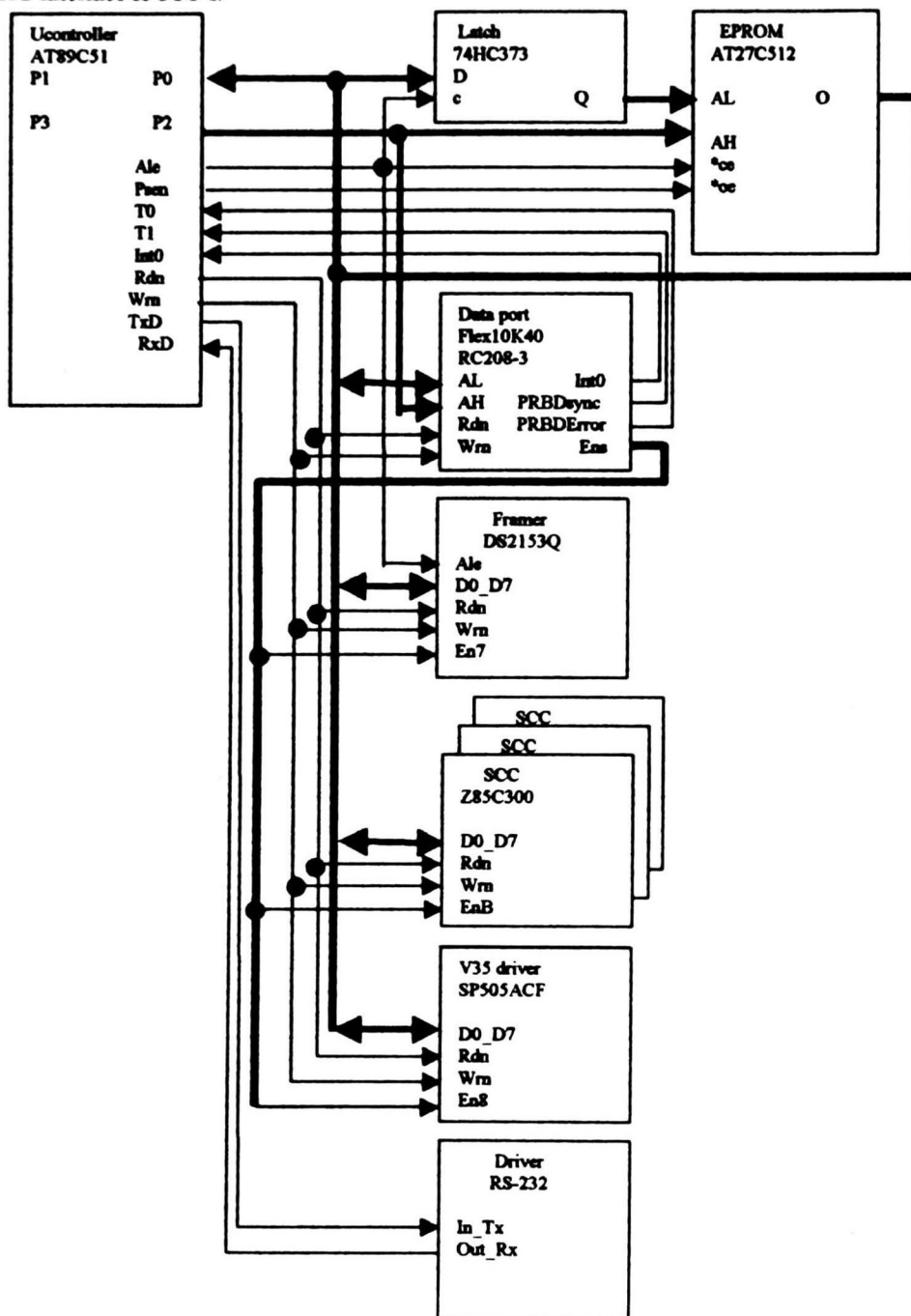


Figure 38. Microcontroller connection

The AT89C51 features are:

- Compatible with MCS-51 products
- 4 Kbytes of In-system re-programmable Flash Memory
- Fully Static operation: 0 Hz to 24 MHz
- Three-level program memory lock
- 128 x 8 bit internal RAM
- 32 programmable I/O lines
- Two 16 bit Timer/Counter
- Six interrupt sources
- Programmable serial channel
- Low power idle and power down modes

The fig.39 shows the block diagram.

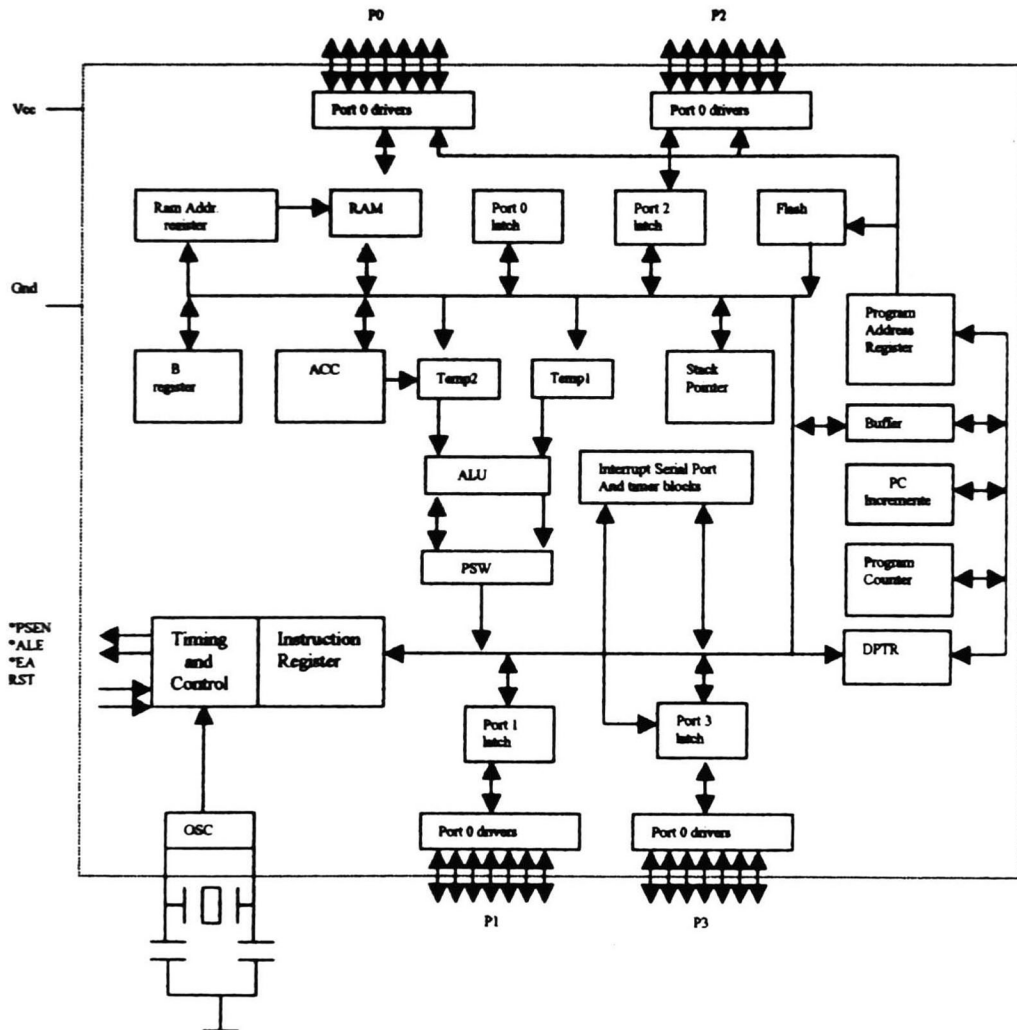


Figure 39. Microcontroller AT89C51 block diagram.

7.4.1. Timer definition

The AT89C51 has two 16 bit Timer/Counter registers: Timer 0 and Timer1. As a Timer the register is incremented every machine cycle. Thus the register counts machine cycles. Since a machine cycle consist of 12 oscillator periods, the count rate is 1/12 of the oscillator frequency. As a counter, the register is incremented in response to a 1-to-0 transition at its corresponding external input pin, T0 & T1. The external input is sampled during S5P2 of every machine cycle. When the samples show a high in one cycle and low in the next cycle, the count is incremented.

Both Timers were programmed as a counter, mode 0, to record the events of PRBDError and PRBSsync.

7.4.2. Port definition

All four ports in the AT89C51 are bidirectional. Each consist of a latch (Special Function Register P0 through P3), an output driver, and an input buffer.

The output drivers of ports 0 and 2, and the input buffers of Port0, are used to in accesses to external memory. In this application, port 0 outputs the low byte of the external memory address, time multiplexed with the byte being written or read. Port 2 outputs the high byte of the external memory address when the address is 16 bits wide. Otherwise the Port 2 pins continue to emit the P2 SFR content.

All the Port 3 pins are multifunctional. They are not only port pins, but also provide the special features listed in the following table 9.

Table 9. Port 3

Port Pin	Alternate Function
P3.0	RXD (Serial input port)
P3.1	TXD (Serial output port)
P3.2	/INT0 (external interrupt)
P3.3	/INT1 (external interrupt)
P3.4	T0 (Timer/counter 0 external input)
P3.5	T1 (Timer/counter 1 external input)
P3.6	/WR (External data memory write strobe)
P3.7	/RD (External data memory read strobe)

The alternate functions can only be activated if the corresponding bit latch in the port SFR contains a 1. Other wise the port pin is stuck at 0. In the DSU/CSU the ports that were used are:

Port 0, is used to access all the devices in the board.

Port 1, it is not used .

Port 2, used to addressing the EEPROM, Data port, LIU/Framer, SP505, Z85C300.

Port 3, used to control the communication between the DSU/CSU and the user terminal equipment. In this port are received the interrupt and timers signals too.

7.4.3. Interruption level definition

The AT89C51 provides 5 interrupt sources: two external interrupts, two timer interrupts and a serial port interrupt. The external interrupts /INT0 and /INT1 can each be either level activated or transition activated, depending on bits IT0 and IT1 in Register TCON. The flags that actually generate these interrupts are the IE0 and IE1 bits in TCON. When the service routine is vectored to, hardware clears the flag that generated an external interrupt only if the interrupt was transition activated. If the interrupt was level activated then the external requesting source (rather than on chip hardware) controls the request flag.

The Timer 0 and Timer1 interrupts are generated by TF0 and TF1, which are set by a rollover in their respective Timer/Counter registers(except for Timer 0 in Mode3). When a timer interrupt is generated, the on chip hardware clears the flag that generated it when the service routine is vectored to.

In the DSU/CSU were used 3 interrupts sources: /INT0, Timer 0 and Timer 1. The three interrupts sources were programmed in transition activated mode.

From high to low priority, interrupt sources are listed below.

Interrupt	Source	Vector Address
System Reset	RST	0000h
External 0	IE0	0003h
Timer 0	TF0	000Bh
External 1	IE1	0013h
Timer 1	TF1	001Bh
Serial Port	RI or T1	0023h
Timer 2	TF2 or EXF2	002Bh

7.4.4. Terminal port

The serial port is full duplex. It is also receive-buffered, which means it can begin receiving a second byte before a previously received byte has been read from the receive register. (However, if the first byte still has not been read when reception of the second byte is complete, one of the bytes will be lost). The serial port receive and transmit registers are both accessed at Special function Register SBUF. Writing to SBUF loads the transmit register, and reading SBUF accesses a physical separate receive register.

The serial port can operate in four different modes. The mode that is use in DSU/CSU is the mode 1.

Mode1: 10 bits are transmitted (through TXD) or received (Through RXD): a start bit(0), 8 data bits(LSB first), and a stop bit(1). On receive, the stop bit goes into RB8 in Special Function Register SCON. The baud rate is variable.

7.5. Serial Communication Controller

In the Serial Communication Controller (SCC), was implemented the Sa bits control. The SCC detects and generates all the five Sa bits. The device that was used is the Zilog's Z85C300. The SCC is a dual channel, multiprotocol data communication peripheral, designed for use with 8 and 16 bit microprocessors.

Their features are:

- Two independent full-duplex channels.
- Synchronous/Isosynchronous data rates:
Up to $\frac{1}{4}$ of thePCLK using external clock source
Up to 4 Mbits/sec at 16MHz PCLK
- Asynchronous capabilities
5,6,7 or 8 bits/caracter (capable of handling 4 bits/caracter or less)
1,1.5 or 2 stop bits
Odd or even parity
Times 1, 16, 32 or 64 clock modes
Break generation and detection
Parity, overrun and framing error detection
- Byte oriented synchronous capabilities:
Internal or external character synchronization
One or two sync characters (6 or 8 bits/sync character) in separate register
Automatic Cyclic Redundancy Check (CRC) generation/detection.
- SDLC/HDLC capabilities:
Abort sequence generation and checking
- Automatic zero insertion and detection
Automatic flag insertion between messages
Address field recognition
I-field residue handling
CRC generation/detection
SDLC loop mode with EOP recognition/loop entry and exit
- Receiver FIFO
3 bytes deep
- Transmitter FIFO
1 byte deep
- NRZ, NRZI or FM encoding/decoding. Manchester code decoding (encoding with external logic).
- Baud rate generator in each channel
- Digital phase locked loop (DPLL) for clock recovery
- Crystal oscillator
- Status FIFO
- Software interrupt acknowledge feature
- When the DPLL clock source is external, it can be up to 2x the PCLK

The fig. 40 shows the block diagram.

Channel A
Exploded view

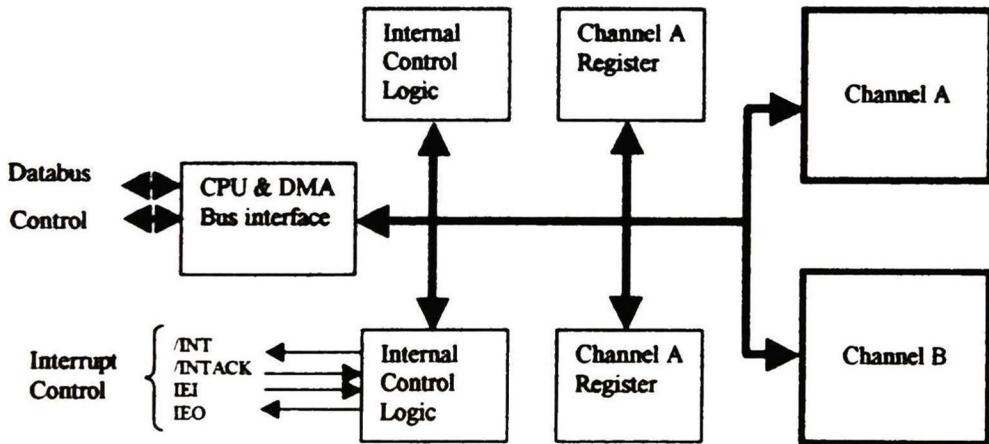
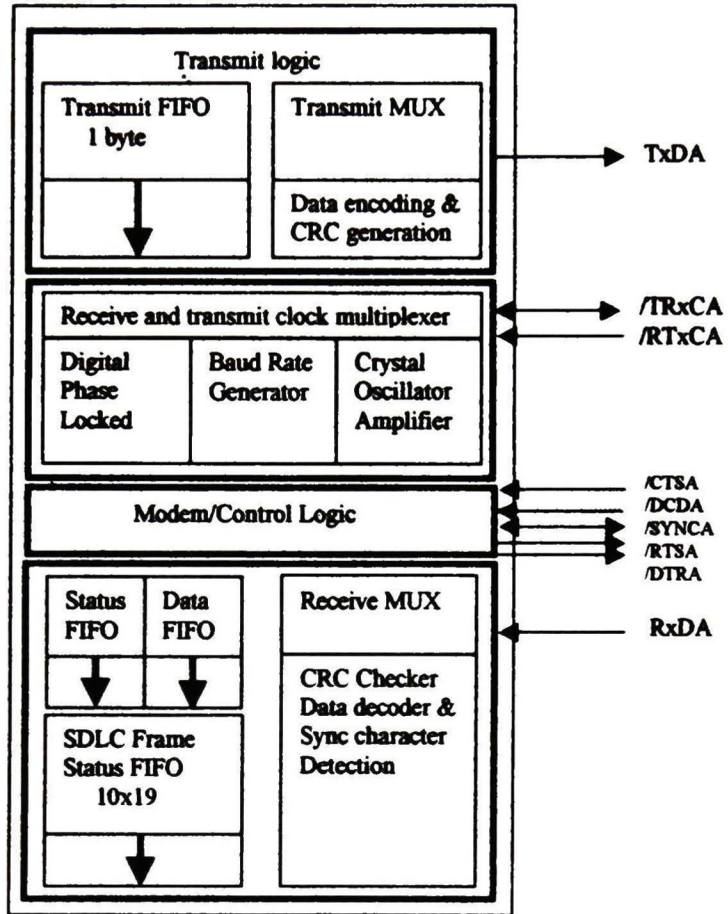


Figure 40. SCC block diagram

7.5.1. Z85X300 Register access

The user can configure the SCC to handle all synchronous formats regardless of data size, number of stop bits, or parity requirements. The configuration is done through 14 Write registers and 7 Read registers per channel.

The registers in the Z85C300 are accessed in a two step process, using a Register pointer to perform the addressing. To access a particular register, the pointer bits are set by writing to WR0. See the SCC register map in the table 11. The pointer bits may be written in either channel because only one set exists in the Z85C300. After the pointer bits are set, the next read or write cycle of the Z85C300 having D//C low will access the desired register. At the conclusion of this read or write cycle the pointer bits are reset to 0s, so that the next control write is to the pointers in WR0.

A read to RR8 or a write to WR8 is either done in this fashion or by accessing the Z85C300 having D//C pin high. A read or write with D//C high accesses the data registers directly, and independently of the state of the pointer bits. This allows single-cycle access to the data registers and does not disturb the pointer bits.

The fact that the pointer bits are reset to 0, unless explicitly set otherwise, means that WR0 and RR0 may also be accessed in a single cycle. That is, it is not necessary to write the pointer bits with 0 before accessing WR0 or RR0.

There are three pointer bits in WR0, and these allow access to the registers with addresses 7 through 0. Note that a command may be written to WR0 at the same time that the pointer bits are written. To access the registers with addresses 15 through 8, the Point High command must accompany the pointer bits. This precludes concurrently issuing a command when pointing to these registers.

7.5.2. Interface timing

Two control signals, /RD and /WR, are used by the Z85X300 to time bus transactions. Four other signals, /CE, D//C, A//B and /INTACK, are used to control the type of bus transaction that occurs. The read and write cycle are shown in the fig.41 and fig.42 respectively

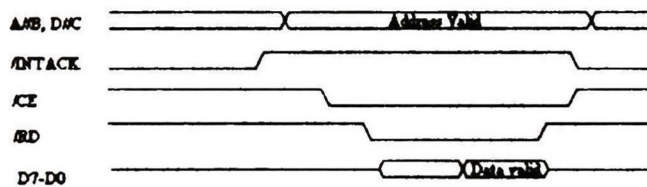


Figure 41. Z85X300 Read Cycle Timing

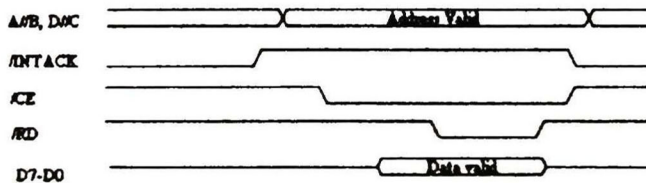


Figure 42. Z85X300 Write Cycle Timing

7.5.3 Bit-oriented synchronous (SDLC/HDLC) .

Synchronous Data Link (SDLC) uses synchronization characters. The SDLC protocol uses the technique of zero insertion to make all data transparent from synchrony characters. The basic format for SDLC is a frame, see the fig. 43. A frame is marked at the beginning and end by a unique flag pattern. The flags enclose an address, control, information and frame check fields. There are many different implementations of the SDLC protocol and many not use the all of the fields.

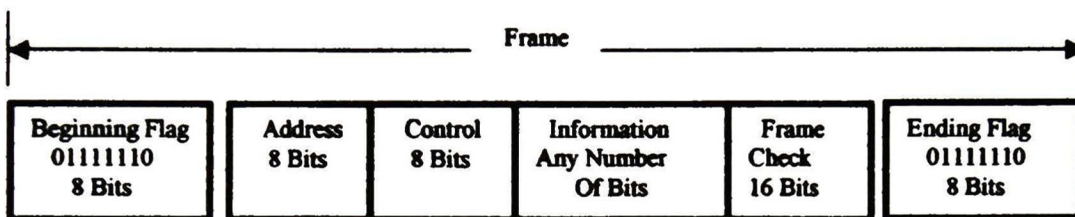


Figure 43. SDLC message Format

The SCC's SDLC address field is eight bits long and is used to designate which receiving station accept the transmitted message. The eight bits address allows up to 254 stations to be addressed uniquely or a global address (11111111) is used to broadcast the message to all stations. Address 00000000 is usually used as a Test packed address.

The control field of a SDLC frame is typically 8 bits, but can be any length. It is treated as a normal data by the transmit and receive logic.

The information field is not restricted in format or content and can be of any reasonable length (including zero). The determination of maximum length is a function of the communication channel's error rate.

The frame check field is used to detect errors in the received address, control and information fields. The method used to test if the received data matches the transmitted data, is called a Cyclic Redundancy Check (CRC).

There are two unique bit patterns in SDLC mode besides the flag sequence. They are the Abort and EOP (End of Poll) sequence. An abort is a sequence of seven or thirteen consecutive 1s and is used to signal the premature termination of a frame. The EOP is the bit pattern 11111110, which is used in loop applications as a signal to a secondary station that may begin transmission.

Byte Address	Bit address								
FF									
F0	F7	F6	F5	F4	F3	F2	F1	F0	B
E0	E7	E6	E5	E4	E3	E2	E1	E0	ACC
D0	D7	D6	D5	D4	D3	D2	-	D0	PSW
B8				BC	BB	BA	B9	B8	IP
B0	B7	B6	B5	B4	B3	B2	B1	B0	P3
A8	AF			AC	AB	AA	A9	A8	IE
A0	A7	A6	A5	A4	A3	A2	A1	A0	P2
99	No bit addressable								SBUF
98	9F	9E	9D	9C	9B	9A	99	98	SCON
90	97	96	95	94	93	92	91	90	P1
8D	No bit addressable								TH1
8C	No bit addressable								TH0
8B	No bit addressable								TL1
8A	No bit addressable								TL0
89	No bit addressable								TL1
88	8F	8E	8D	8C	8B	8A	89	88	TCON
87	No bit addressable								PCON
83	No bit addressable								DPH
82	No bit addressable								DPL
81	No bit addressable								SP
80	87	86	85	84	83	82	81	80	P0

Figure 46. Special function registers.

DS2153Q Register map

Address	R/W	Register Name	Address	R/W	Register Name
2000	R	BPV or code violation count 1	202E	R/W	Receive Channel Blocking 4
2001	R	BPV or code violation count 2	202F	R	Receive Align Frame
2002	R	CRC4 count 1/FAS Error count 2	2030	R	Receive Signaling 1
2003	R	CRC4 Error count 2	2031	R	Receive Signaling 2
2004	R	E-bit count 1/FAS Error count 2	2032	R	Receive Signaling 3
2005	R	E-bit count 2	2033	R	Receive Signaling 4
2006	R	Status 1	2034	R	Receive Signaling 5
2007	R	Status 2	2035	R	Receive Signaling 6
2008	R/W	Receive information	2036	R	Receive Signaling 7
2010	R/W	Receive control 1	2037	R	Receive Signaling 8
2011	R/W	Receive control 2	2038	R	Receive Signaling 9
2012	R/W	Transmit control 1	2039	R	Receive Signaling 10
2013	R/W	Transmit control 2	203A	R	Receive Signaling 11
2014	R/W	Common control 1	203B	R	Receive Signaling 12
2015	R/W	Test 1	203C	R	Receive Signaling 13
2016	R/W	Interrupt Mask	203D	R	Receive Signaling 14
2017	R/W	Interrupt Mask	203E	R	Receive Signaling 15
2018	R/W	Line Interface Control	203F	R	Receive Signaling 16
2019	R/W	Test 2	2040	R/W	Transmit Signaling 1
201A	R/W	Common control 2	2041	R/W	Transmit Signaling 2
201B	R/W	Common control 3	2042	R/W	Transmit Signaling 3
201E	R	Synchronizer Status	2043	R/W	Transmit Signaling 4
201F	R	Receive Non-Align Frame	2044	R/W	Transmit Signaling 5
2020	R/W	Transmit Align Frame	2045	R/W	Transmit Signaling 6
2021	R/W	Transmit Non-Align Frame	2046	R/W	Transmit Signaling 7
2022	R/W	Transmit Channel Blocking 1	2047	R/W	Transmit Signaling 8
2023	R/W	Transmit Channel Blocking 2	2048	R/W	Transmit Signaling 9
2024	R/W	Transmit Channel Blocking 3	2049	R/W	Transmit Signaling 10
2025	R/W	Transmit Channel Blocking 4	204A	R/W	Transmit Signaling 11
2026	R/W	Transmit Idle 1	204B	R/W	Transmit Signaling 12
2027	R/W	Transmit Idle 2	204C	R/W	Transmit Signaling 13
2028	R/W	Transmit Idle 3	204D	R/W	Transmit Signaling 14
2029	R/W	Transmit Idle 4	204E	R/W	Transmit Signaling 15
202A	R/W	Transmit Idle Definition	204F	R/W	Transmit Signaling 16
202B	R/W	Receive Channel Blocking 1			
202C	R/W	Receive Channel Blocking 2			
202D	R/W	Receive Channel Blocking 3			

Figure 47. DS2153Q Register map

The register map for the Z85C300 is shown in the table 10.

<i>A/B</i>	<i>PNT2</i>	<i>PNT1</i>	<i>PNT0</i>	<i>WRITE</i>	<i>READ 85C30 WR15 D2=0</i>	<i>READ 85C30 WR15 D2=1</i>
0	0	0	0	WR0B	RR0B	RR0B
0	0	0	1	WR1B	RR1B	RR1B
0	0	1	0	WR2	RR2B	RR2B
0	0	1	1	WR3B	RR3B	RR3B
0	1	0	0	WR4B	RR0B	RR0B
0	1	0	1	WR5B	RR1B	RR1B
0	1	1	0	WR6B	RR2B	RR6B
0	1	1	1	WR7B	RR3B	RR7B
0	0	0	0	WR0A	RR0A	RR0A
0	0	0	1	WR1A	RR1A	RR1A
0	0	1	0	WR2	RR2A	RR2A
0	0	1	1	WR3A	RR3A	RR7A

With Point High Command

<i>A/B</i>	<i>PNT2</i>	<i>PNT1</i>	<i>PNT0</i>	<i>WRITE</i>	<i>READ 85C30 WR15 D2=0</i>	<i>READ 85C30 WR15 D2=1</i>
1	0	0	0	WR8B	RR8B	RR8B
1	0	0	1	WR9	RR13B	RR13B
1	0	1	0	WR10B	RR10B	RR10B
1	0	1	1	WR11B	RR15B	RR15B
1	0	0	0	WR12B	RR12B	RR12B
1	0	0	1	WR13B	RR13B	RR13B
1	0	1	0	WR14B	RR14B	RR14B
1	0	1	1	WR15B	RR15B	RR15B
1	1	0	0	WR8A	RR8A	RR8A
1	1	0	1	WR9	RR13A	RR13A
1	1	1	0	WR10A	RR10A	RR10A
1	1	1	1	WR11A	RR15A	RR15A
1	1	0	0	WR12A	RR12A	RR12A
1	1	0	1	WR13A	RR13A	RR13A
1	1	1	0	WR14A	RR14A	RR14A
1	1	1	1	WR15A	RR15A	RR15A

Table 10. Z85C30 Register Map.

8.2 Initialization μ controller's registers

Special function registers after a reset are shown in the table 11.

Symbol	Name	Address	Reset value
ACC	Accumulator	0E0h	00000000
*B	B Register	0F0h	00000000
*PSW	Program Status Word	0D0h	00000000
SP	Stack Pointer	081h	00001111
DPL	Data Pointer Low Byte	082h	00000000
DPH	Data Pointer High Byte	083h	00000000
*P0	Port 0	080h	11111111
*P1	Port 1	090h	11111111
*P2	Port 2	0A0h	11111111
*P3	Port 3	0B0h	11111111
*IP	Interrupt priority Control	0B8h	XXX00000
*IE	Interrupt Enable Control	0A8h	0XX00000
TMOD	Timer/Counter Mode Control	089h	00000000
*TCON	Timer/Counter Control	088h	00000000
TH0	Timer/Counter 0 High byte	08Ch	00000000
TL0	Timer/Counter 0 Low Byte	08Ah	00000000
TH1	Timer/Counter 1 High Byte	08Dh	00000000
TL1	Timer/Counter 1 Low Byte	08Bh	00000000
*SCON	Serial Control	098h	00000000
SBUF	Serial Data Buffer	099h	Indeterminade
PCON	Power Control	087h	0XXX0000

Table 11. SFR after a reset.

The registers in the Framer, are not defined after a power on. The ucontroller AT89C51 write all the Framer registers after a power on.

The Z85C300 Register Reset Values, are shown in table 12.

8.3 Initialization Z85C300 registers.

Hardware RESET									Channel RESET					
	7	6	5	4	3	2	1	0	7	6	5	4	3	2
WR0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
WR1	0	0	X	0	0	X	0	0	0	0	X	0	0	X
WR2	X	X	X	X	X	X	X	X	X	X	X	X	X	X
WR3	X	X	X	X	X	X	X	0	X	X	X	X	X	X
WR4	X	X	X	X	X	1	X	X	X	X	X	X	X	1
WR5	0	X	X	0	0	0	0	X	0	X	X	0	0	0
WR6	X	X	X	X	X	X	X	X	X	X	X	X	X	X
WR7	X	X	X	X	X	X	X	X	X	X	X	X	X	X
WR7'	0	0	1	0	0	0	0	0	0	0	1	0	0	0
WR9	1	1	0	0	0	0	X	X	X	X	0	X	X	X
WR10	0	0	0	0	0	0	0	0	0	X	X	0	0	0
WR11	0	0	0	0	1	0	0	0	X	X	X	X	X	X
WR12	X	X	X	X	X	X	X	X	X	X	X	X	X	X
WR13	X	X	X	X	X	X	X	X	X	X	X	X	X	X
WR14	X	X	1	1	0	0	0	0	X	X	1	0	0	0
WR15	1	1	1	1	1	0	0	0	1	1	1	1	1	0
RR0	X	1	X	X	X	1	0	0	X	1	X	X	X	1
RR1	0	0	0	0	0	1	1	X	0	0	0	0	0	1
RR3	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RR10	0	X	0	0	0	0	0	0	0	X	0	0	0	0

Table 12. Z85C300 Register Reset Value.

9 Physical Interface

9.1 Power connector

- 1 3 Volts
- 2 GND
- 3 No connected

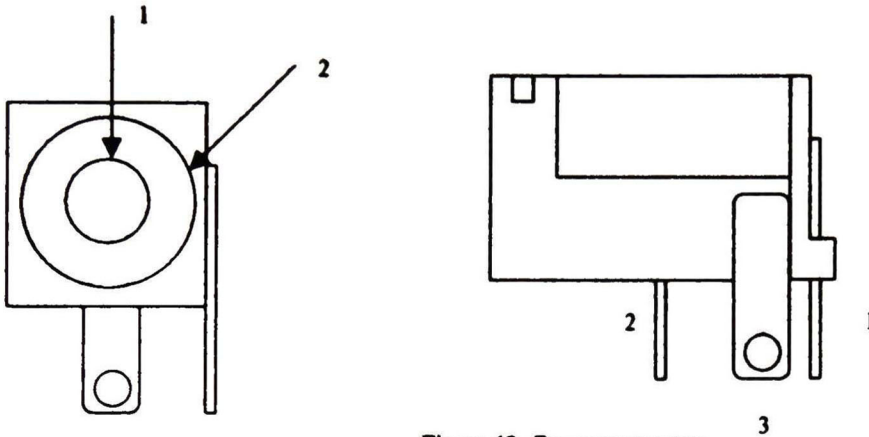


Figure 48. Power connector

9.2 RJ48 connector

- 2 ——— TRING
- 4 ——— TTIP
- 6 ——— RRING
- 8 ——— RTIP
- 1, 3, 5, 7 — No connected.

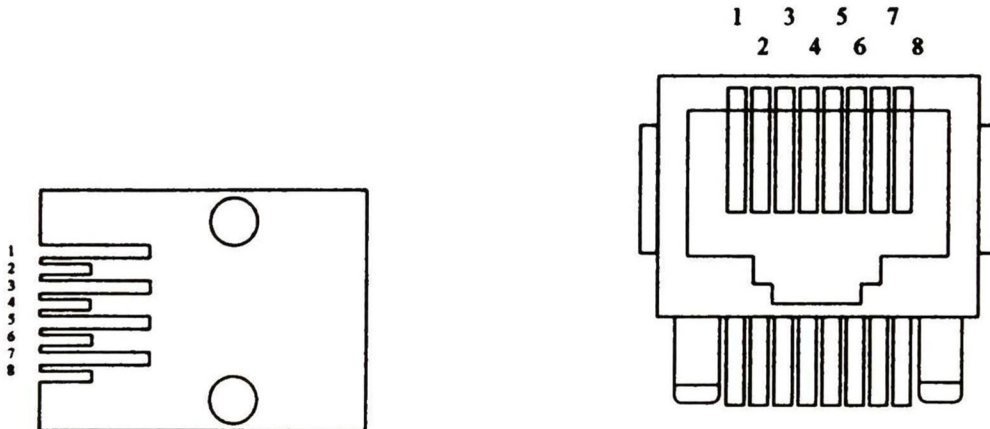


Figure 49. RJ48 connector

9.3 V35 connector

Table 13. V35 connector pins

<i>Pin ISO 2593</i>	<i>Function</i>	<i>Direction</i>
A	Ground	Common
B	Signal ground	From DTE
C	Request to send	To DTE
D	Ready for sending	To DTE
E	Data set ready	To DTE
F	Data carrier detect	From DTE
H	Data terminal ready	From DTE
J	Calling indicator	To DTE
K	F1	
L	Local loopback	From DTE
M	F1	
N	Remote loopback	From DTE
R	Received data A-wire	To DTE
T	Received data B-wire	To DTE
V	Receiver signal element timing A-wire	To DTE
X	Receiver signal element timing B-wire	To DTE
Y	Transmitter signal element timing A-wire	To DTE
AA	Transmitter signal element timing B-wire	To DTE
P	Transmitted data A-wire	From DTE
S	Transmitted data B-wire	From DTE
U	Transmitter signal element timing A-wire	From DTE
Z	F2	
W	Transmitter signal element timing B-wire	From DTE
BB	F2	
CC	F3	
DD	F4	
EE	F3	
FF	F4	
HH	N1	
JJ	N2	
KK	N1	
LL	N2	
MM	F	
NN	Test indicator	To DTE

N= pin number permanently reserved for national use

F= pin number reserved for future international Standard and should not be used for national use.

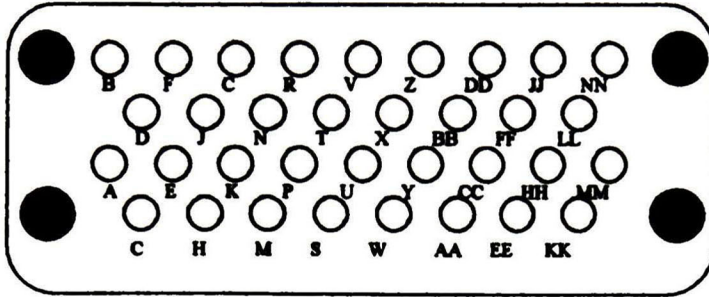


Figure 50. DCE Housing connector.

9.4 RS-232 connector

- 1,2,,3,4, 6,7,8 — No connected.
- 5 — Gnd
- 3 — RxD
- 2 — TxD

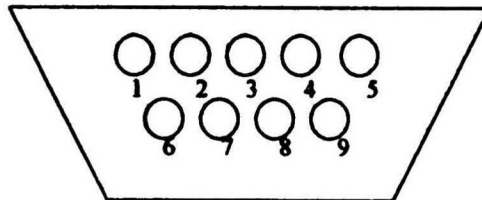


Figure 51. DB9 connector.

10. Glossary

511	:CCITT Standard PRBS.
2047	:CCITT Standard PRBS.
A	:Ampere
A1S	:Alarm all ones.
AMI	:Binary code defined by CCITT
CCITT	:The International Telegraph and Telephone Consultative Committee
CRC	:Cyclic Redundancy Code
DB25	:Connector defined by RS-232 standard.
DSU/CSU	:Data Service Unit/Channel service Unit
DTE	:Data Terminal Equipment
E1	:Standard defined by the CCITT a 2048Kbps.
EIA	:Electronic Industries Association
FAS	:Frame Alignment Signal.
FE1	:Fractional E1 .
HDB3	:Binary code defined by CCITT
Kbps	:Kilo bits by second
Multiframe alarm	:The error word CRC4 has errors.
NFAS	:No FAS
PRBS	:Pseudo-random Binary Sequence
RDMA	:Receive distant multiframe alarm. TS16 's 6 bit set.
Remote Alarm	:bit3 of the TS0 set.
RJ48	:Four wires telephonic connector
RRA	:Receive Remote alarm. 255 consecutive zeros received.
RSA0	:Receive Signaling All zeros
RSA1	:Receive Signaling All zeros
TS0-TS31	:Time slot 0- Time slot31
TUA1	:Transmit unframed all ones
ucontroller	:Microcontroller
Vcc	:Source power.

10 Apéndice B



**Centro de Investigación y de Estudios
Avanzados del IPN**

Unidad Guadalajara

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional, aprobó la tesis: DISEÑO E IMPLEMENTACIÓN DE UN DSU/CSU PARA LA LÍNEA E1 del(a) C. Armando GOVEA CAMACHO el día 1 de Marzo de 2002

Dr. Deni Librado Torres
Román
Profesor Investigador 3A
CINVESTAV GDL
Guadalajara

Dr. Federico Sandoval
Ibarra
Investigador Cinvestav 2C
CINVESTAV GDL
Guadalajara

Dr. Rogelio Alcántara Silva
Investigador de Carrera
Titular B de Tiempo
completo
Departamento de División
de Estudios de Posgrado.
Sección de Ingeniería
Eléctrica
Universidad Nacional
Autónoma de México, D.F



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000004432