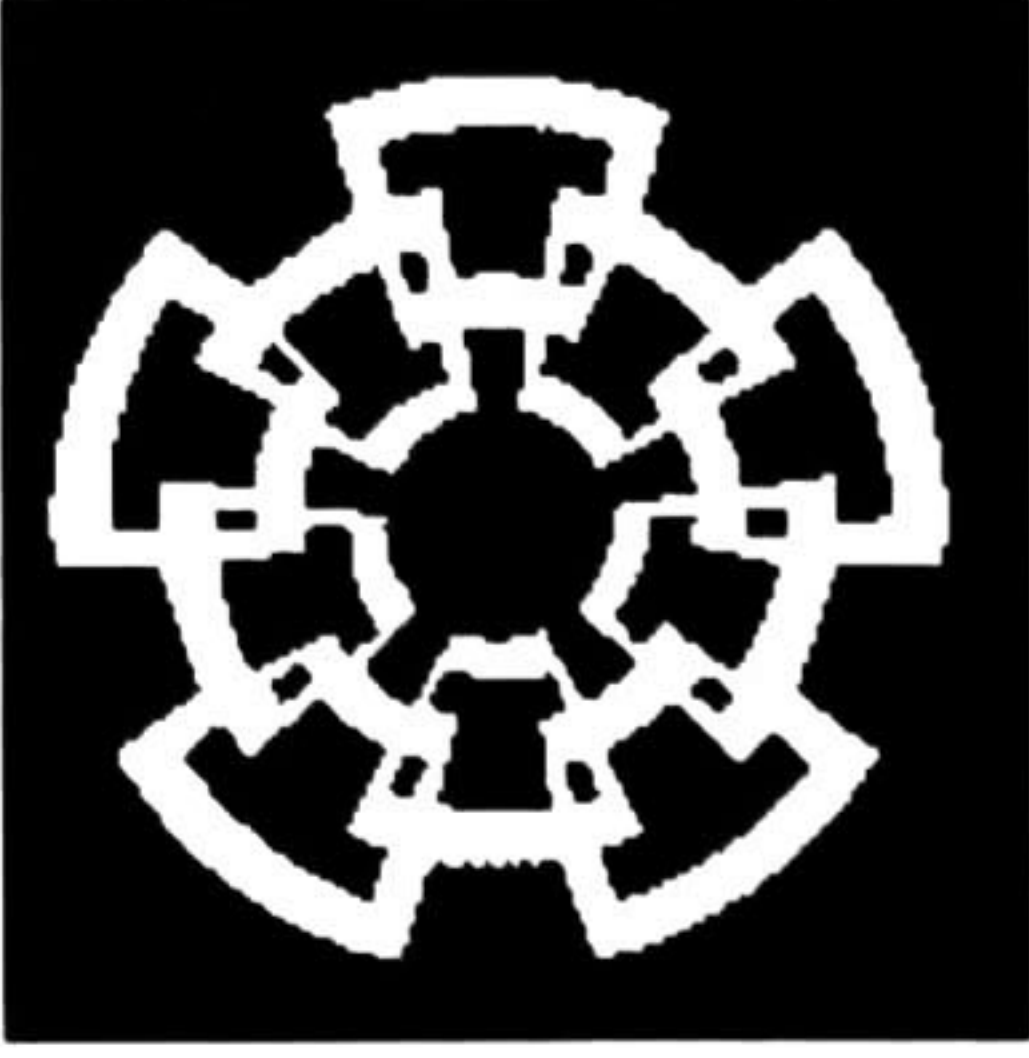






xx(104962.1)





# CINVESTAV-IPN

Centro de Investigación y de Estudios Avanzados del I.P.N.  
Unidad Guadalajara.

---

---

**CINVESTAV I.P.N.**  
**SECCION DE INFORMACION**  
**Y DOCUMENTACION**

***DISEÑO DE UN CONVERTIDOR A/D ALGORÍTMICO.***

TESIS QUE PRESENTA:

**JOSE DE JESÚS MACIAS QUIJAS**

PARA OBTENER EL GRADO DE:

**MAESTRO EN CIENCIAS**

CON ESPECIALIDAD EN:

**INGENIERÍA ELÉCTRICA**

C I N V E S T A V  
I P N  
A D Q U I S I C I O N  
D E L I B R O S

GUADALAJARA, JALISCO, FEBRERO DEL AÑO 2002.



CLASIF. \_\_\_\_\_  
ADQUIS. SSI-216  
FECHA: 27 NOV 2002  
PROCED. TESIS 89  
\$ \_\_\_\_\_



***DISEÑO DE UN CONVERTIDOR A/D ALGORÍTMICO.***

**Tesis para obtener el grado de:**

***MAESTRÍA EN CIENCIAS CON ESPECIALIDAD EN INGENIERÍA  
ELÉCTRICA***

**Por:**

**José de Jesús Macias Quijas**

Ingeniero en Sistemas Computacionales  
Universidad Autónoma de Aguascalientes, 1993-1998

Becario CONACYT, registro No. 129179

**Directores de Tesis:**

**Dr. Federico Sandoval Ibarra  
Dr. Juan Martín Santana Corte**

**CINVESTAV del IPN Unidad Guadalajara, PRIMAVERA 2002.**



# AGRADECIMIENTOS

---

A DIOS por ser tan generoso conmigo y mis seres queridos.

A MIS PADRES *Ma. Isabel Quijas y Ricardo Macias* por su amor, enseñanzas, apoyo moral y económico en cualquier momento y de manera incondicional.

A MIS HERMANOS *Ricardo, Liliana y Sebastián* porque en esos momentos de estrés pudieron soportarme sin ningún reproche.

A MI ASESOR *Dr. Federico Sandoval* por su confianza, amistad y por guiarme y tolerarme en todo momento.

A MIS SOBRINOS *Sebastián y Alexandra* porque gracias a su cariño incondicional e inocencia me han hecho tomar conciencia en momentos difíciles.

A MIS AMIGOS *Tiko, Gorras, Patón, Gino, Bibi, Lamas, Walter, Alex, Kiko y Héctor* por estar siempre cuando necesitaba ayuda, por su lealtad y confianza.

A *Fabiola* porque gracias a ella descubrí una gran fuerza dentro de mi.

A MIS AMIGOS *Jorge y Román* por brindarme su amistad incondicional y por todos aquellos momentos de alegría, tristeza y desacuerdo.

A MIS PROFESORES *Enrique Arámbula, Magali Estrada, Federico Sandoval, Juan Santana y Deni Torres*, porque gracias a ellos aprendí cosas esenciales no sólo para poder salir adelante en lo profesional, si no para poder llegar a ser una persona de confianza.

AL CINVESTAV porque sin ésta institución no hubiese tenido ésta magnífica experiencia.

AL CONACyT por que gracias a su apoyo económico pude lograr una de mis pequeñas grandes metas.



Especialmente para mis AMIGOS *Julio César González* y *Carlos Cuauhtemoc De Anda* por haberme brindado su protección, confianza, cariño y amistad; gracias donde quiera que se encuentren.



# CONTENIDO

---

|   |              |
|---|--------------|
| <b>Introducción</b>   | <b>1- 6</b>  |
| <b>Capítulo 1: Conceptos Básicos del Convertidor A/D Algorítmico.</b>             | <b>7-40</b>  |
| 1.1 Descripción.....  | 7            |
| 1.2 Principio de Conversión.....  | 8            |
| 1.3 Elementos Necesario para la Construcción del Convertidor A/D Algorítmico..... | 11           |
| 1.3.1 Circuitos Sampled And Hold.....   | 11           |
| 1.3.2 Circuitos Multiplicadores.....  | 16           |
| 1.3.3 Capacitores.....  | 20           |
| 1.3.4 Comparadores.....   | 30           |
| 1.3.5 Circuito Sumador – Restador.....  | 37           |
| 1.4 Resumen.....  | 38           |
| Referencias.....  | 40           |
| <b>Capítulo 2: Diseño y Simulación de Bloques Básicos</b>                         | <b>41-58</b> |
| 2.1 Diseño y Simulación de un Amplificador Operacional.....                       | 41           |
| 2.2 Realización y Simulación de un Sampled And Hold (S/H).....                    | 48           |
| 2.3 Realización y Simulación de un Amplificador Multiplicador por 2.....          | 52           |
| 2.4 Realización y Simulación de un Circuito Sumador – Restador.....               | 54           |
| 2.5 Realización y Simulación de un Comparador de Voltaje.....                     | 56           |
| 2.6 Resumen.....  | 58           |
| Referencias.....  | 58           |
| <b>Capítulo 3: Técnica Pipeline y Diseño de un Chip de Prueba</b>                 | <b>59-68</b> |
| 3.1 Conceptos Básicos de la Técnica Pipeline.....                                 | 59           |
| 3.2 Desarrollo CMOS del Convertidor Analógico a Digital Algorítmico.....          | 62           |
| 3.3 Diseño de Celdas Básicas a Nivel Layout.....                                  | 63           |
| 3.3.1 Diseño del Amplificador Operacional de Voltaje.....                         | 64           |
| 3.3.2 Diseño del circuito S/H.....  | 65           |
| 3.3.3 Diseño del Comparador de Voltaje.....                                       | 65           |
| 3.3.4 Diseño de la Celda Básica de Conversión de 1 Bit.....                       | 67           |
| 3.4 Resumen.....  | 68           |
| Referencias.....  | 68           |



|   |              |
|---|--------------|
| <b>Capítulo 4: Caracterización Eléctrica de Circuitos Básicos</b>     | <b>69-74</b> |
| 4.1 Amplificador Operacional de Voltaje.....                          | 70           |
| 4.2 Caracterización del Circuito S/H.....                             | 71           |
| 4.2 Resumen.....  | 74           |
| Referencias.....  | 74           |
| <br>  |              |
| <b>Capítulo 5: Conclusiones</b>                                       | <b>75-76</b> |
| 5.1 Conclusiones de la Tesis.....                                     | 75           |
| 5.2 Aportaciones.....   | 76           |
| 5.3 Trabajo Futuro.....   | 76           |
| <br>  |              |
| <b>Apéndice A: Búsqueda del Valor de los Capacitores del S/H.....</b> | <b>77-78</b> |
| <br>  |              |
| <b>Apéndice B: layout de bloques básicos.....</b>                     | <b>79-84</b> |
| <br>  |              |
| <b>Apéndice C: Publicaciones.....</b>                                 | <b>85-98</b> |



# INDICE DE FIGURAS Y TABLAS

---

## INTRODUCCIÓN GENERAL

|  |   |
|--|---|
| <b>Figura 1</b> Interfaz entre los Mundos Digital y Analógico.....                                 | 2 |
| <b>Figura 2</b> Convertidor Analógico-Digital de n bits en paralelo.....                           | 3 |
| <b>Figura 3</b> Resolución Vs. Frecuencia para Convertidores A/D.....                              | 4 |
| <b>Figura 4</b> Anchos de Banda de señales usadas en aplicaciones de procesamiento de señales..... | 5 |

## CAPÍTULO 1

|  |    |
|--|----|
| <b>Figura 1.1</b> (a) Diagrama a bloques del flujo de señal del convertidor A/D Algorítmico, (b) Periodos de Conversión y Muestreo.....  | 8  |
| <b>Figura 1.2</b> Grafica del Bit Menos Significativo en función del número de bits de un ADC y del voltaje de referencia.....   | 10 |
| <b>Tabla 1.</b> Bit Menos Significativo para convertidores con resolución entre 12 y 14 bits.....  | 11 |
| <b>Figura 1.3</b> (a) Circuito S/H Simple, (b) Formas de onda ilustrando la operación del circuito en la Figura del inciso (a).....  | 12 |
| <b>Figura 1.4</b> (a) Circuito de compensación de inyección de carga (b) Diagramas de tiempos de las señales de control.....   | 13 |
| <b>Figura 1.5</b> (a) Circuito S/H con offset y error de ganancia compensados (b) Diagramas de tiempos de las señales de control.....  | 14 |
| <b>Figura 1.6</b> Circuito equivalente en modo muestreo.....   | 15 |
| <b>Figura 1.7</b> Circuito equivalente en modo retención.....  | 15 |
| <b>Figura 1.8</b> Amplificador de Voltaje General.....   | 17 |
| <b>Figura 1.9</b> Amplificador de Voltaje con Capacitores Conmutados.....  | 17 |
| <b>Figura 1.10</b> Amplificador de Voltaje.....  | 18 |
| <b>Figura 1.11</b> Circuito amplificador de voltaje mostrando el voltaje de offset del Opamp.....  | 18 |
| <b>Figura 1.12</b> Amplificador de Voltaje Inversor con Compensación de Offset.....  | 19 |
| <b>Figura 1.13</b> Arreglos Típicos de capacitores. (a) Interconexión de varios capacitores unitarios para formar capacitores de integración y/o suma, (b) Capacitor unitario utilizado como capacitor de muestreo o de conmutación..... | 22 |
| <b>Figura 1.14</b> Variaciones Aleatorias en los límites de un capacitor MOS.....  | 23 |
| <b>Figura 1.15</b> Crecimiento no uniforme del óxido.....  | 24 |
| <b>Figura 1.16</b> Arreglo de Capacitores para obtener una relación de 1.....  | 25 |
| <b>Figura 1.17</b> Arreglo de 3 capacitores en centroide común.....  | 27 |
| <b>Figura 1.18</b> Técnica Razón Perímetro – Area.....   | 28 |
| <b>Figura 1.19</b> Lay-Out del Capacitor Unitario.....   | 29 |
| <b>Figura 1.20</b> Lay-Out con $C_1 = C_u$ .....   | 29 |
| <b>Figura 1.21</b> Lay-Out con $C_1 = 2C_u$ .....  | 30 |
| <b>Figura 1.22</b> (a) Símbolo del Comparador (b) Curva de transferencia de un comparador.....   | 30 |



|   |    |
|---|----|
| <b>Figura 1.23</b> modelo ideal para un comparador.....   | 31 |
| <b>Figura 1.24</b> Curva de transferencia de un comparador con ganancia finita.....   | 32 |
| <b>Figura 1.25</b> modelo con ganancia finita de un comparador.....   | 32 |
| <b>Figura 1.26</b> Curva de transferencia de un comparador, incluyendo el offset.....   | 33 |
| <b>Figura 1.27</b> Cancelación del voltaje de offset de un comparador. El comparador aquí debe ser estable, con ganancia unitaria en la retroalimentación durante $\phi_{IA}$ ( $\phi_{IA}$ es igual a $\phi_I$ pero con un ligero adelanto para minimizar errores de inyección de carga )..... | 33 |
| <b>Figura 1.28</b> (a) Durante la fase de "reset", (b) Durante la fase de comparación.....  | 34 |
| <b>Figura 1.29</b> Comparador de la Figura 1.27, con interruptores canal-n, mostrando capacitancias parásitas de traslape.....  | 35 |
| <b>Figura 1.30</b> Divisor de Capacitores.....  | 36 |
| <b>Figura 1.31</b> Circuito Sumador-Restador General.....   | 37 |
| <b>Figura 1.32</b> Circuito Sumador-Restador de dos entradas.....   | 38 |

## CAPÍTULO 2

|   |    |
|---|----|
| <b>Figura 2.1</b> Amplificador Operacional de dos Etapas compensado.....  | 41 |
| <b>Tabla 2.</b> Dimensiones de los Elementos que Conforman al Amplificador Operacional de la Fig. 2.1.....  | 45 |
| <b>Figura 2.2</b> Curva de Transferencia.....   | 45 |
| <b>Figura 2.3</b> Curvas de Ganancia (dB) y Fase (grados).....  | 46 |
| <b>Figura 2.4</b> Curva de Ancho de Banda (Hz) y Ganancia(dB).....  | 46 |
| <b>Figura 2.5</b> (a) Curva que muestra el tiempo de respuesta del amplificador operacional en el dominio del tiempo, (b) Curva que muestra el tiempo de establecimiento del mismo amplificador.....  | 47 |
| <b>Figura 2.6</b> Análisis Montecarlo con variación en los transistores y capacitor de compensación del 5%, (a) análisis en DC de la salida Vs la entrada (b) Análisis en AC de la salida en DB y Grados (Ganancia y Fase).....             | 47 |
| <b>Figura 2.7</b> Circuito Sampled and Hold que compensa offset y el error debido a la ganancia.....  | 48 |
| <b>Figura 2.7(a)</b> Esquema de muestra para el análisis del capacitor C.....   | 48 |
| <b>Figura 2.8</b> Gráfica de la salida del S/H con capacitores óptimos y ajustados.....   | 50 |
| <b>Figura 2.9</b> Análisis Monte Carlo con un 5% en el valor Capacitivo de $C_a$ , $C_c$ y $C_h$ .....  | 50 |
| <b>Figura 2.10</b> Análisis Monte Carlo con un 5% en el valor Capacitivo de $C_a$ , $C_c$ y $C_h$ y en las geometrías de los interruptores.....   | 51 |
| <b>Figura 2.11</b> Respuesta de un Circuito Sampled and Hold con una frecuencia de muestreo de 500KHz.....  | 51 |
| <b>Figura 2.12</b> Respuesta de un Circuito Sampled and Hold con una frecuencia de muestreo de 150KHz.....  | 52 |
| <b>Figura 2.13</b> Circuito Amplificador Inversor con factor de ganancia $\alpha$ .....   | 52 |
| <b>Figura 2.14</b> Respuesta de un Amplificador Inversor con factor de ganancia $\alpha = 2$ cuando (a) $C = 0.1\text{pF}$ , $C = 0.2\text{pF}$ , (b) $C = 10\text{pF}$ , $C = 20\text{pF}$ y (c) $C = 1\text{pF}$ , $C = 2\text{pF}$ ..... | 53 |
| <b>Figura 2.15</b> Análisis Monte Carlo con un 5% en el valor de los capacitores que proporcionan el factor de ganancia.....  | 53 |
| <b>Figura 2.16</b> Análisis Monte Carlo con un 5% en el valor de los Capacitores y en las geometrías de los interruptores.....  | 54 |
| <b>Figura 2.17</b> Circuito Sumador-Restador utilizando un amplificador operacional y capacitores.....  | 54 |
| <b>Figura 2.18</b> Respuesta del Circuito Sumador-Restador utilizando voltajes de entrada constantes.....   | 55 |



|   |    |
|---|----|
| <b>Figura 2.19</b> Respuesta del Circuito Sumador-Restador utilizando voltajes de entrada con forma senoidal.....                       | 55 |
| <b>Figura 2.20</b> Respuesta del Circuito Sumador-Restador utilizando análisis Monte Carlo con variación del 5% en los capacitores..... | 56 |
| <b>Figura 2.21</b> Comparador de Voltaje de dos etapas.....   | 56 |
| <b>Figura 2.22</b> Respuesta del Comparador de Voltaje a una señal de 30kHz.....  | 57 |
| <b>Figura 2.23</b> Análisis Monte Carlo con variación del 5% en el valor nominal de los transistores.....                               | 57 |

## CAPÍTULO 3

|   |    |
|---|----|
| <b>Figura 3.1</b> Diagrama a Bloques de un ADC típico, utilizando la Técnica Pipeline.....  | 59 |
| <b>Figura 3.2</b> Diagrama a Bloques de cada una de las etapas de un ADC algorítmico, utilizando la Técnica Pipeline.....   | 60 |
| <b>Tabla 3.</b> Salida de un ADC de 3 bits con técnica pipeline.....  | 61 |
| <b>Figura 3.3</b> Diagrama a Bloques de un ADC algorítmico, utilizando la Técnica Pipeline.....   | 62 |
| <b>Figura 3.4</b> Simulación de la celda básica para 1 bit del ADC Algorítmico.....   | 63 |
| <b>Figura 3.5</b> Simulación de un ADC Algorítmico de 4 bits utilizando técnica pipeline. (a) Entrada y Referencia, (b) Salida de la etapa 1, (c) Salida de la etapa 2, (d) Salida de la etapa 3, (e) Salida de la etapa 4..... | 64 |
| <b>Figura 3.6</b> El diseño a nivel layout se realiza mediante Ledit a partir de las reglas de diseño de proceso mamin12. ....  | 64 |
| <b>Figura 3.7</b> El diseño a nivel layout del circuito Sampled And Hold bajo el proceso de Diseño mamin12. ....  | 65 |
| <b>Figura 3.8</b> El diseño a nivel layout del circuito Comparador de Voltaje bajo el proceso de Diseño mamin12.....  | 66 |
| <b>Figura 3.9</b> Microfotografía y características del chip de prueba.....   | 66 |
| <b>Figura 3.10</b> El diseño a nivel layout de la celda básica de conversión bajo el proceso de Diseño mamin12.....   | 67 |

## CAPÍTULO 4

|   |    |
|---|----|
| <b>Figura 4.1</b> Esquema experimental del chip bajo prueba.....  | 69 |
| <b>Figura 4.2</b> Fotografía del Esquema experimental del chip bajo prueba.....   | 70 |
| <b>Figura 4.3</b> Características de transferencia del amplificador operacional de 2 etapas Con compensación Miller.....                  | 70 |
| <b>Figura 4.4</b> Respuesta del circuito S/H con una señal de entrada triangular y frecuencia de muestreo de 60kHz.....                   | 71 |
| <b>Figura 4.5</b> Respuesta del circuito S/H con una señal de entrada senoidal y frecuencia de muestreo de 60kHz.....                     | 72 |
| <b>Figura 4.6</b> Fotografía de la entrada (parte superior) y respuesta (parte inferior) del circuito S/H medidas en un osciloscopio..... | 72 |
| <b>Figura 4.7</b> Fotografía microscópica del circuito integrado.....   | 73 |
| <b>Figura 4.8</b> Fotografía microscópica de los circuitos Opamp y Sampled and Hold.....  | 73 |
| <b>Figura 4.9</b> Fotografía microscópica de los arreglos de capacitores.....   | 73 |



## APÉNDICE A

|  |           |
|--|-----------|
| <b>Tabla A.1 MONTE CARLO PARAMETER VALUES.....</b>   | <b>77</b> |
| <b>Figura A.1 Respuesta de un Circuito Sampled and Hold durante el periodo de retención<br/>variando aleatoriamente el valor de <math>C_a</math>, <math>C_h</math> y <math>C_c</math>.....</b> | <b>78</b> |

## APÉNDICE B

|   |           |
|---|-----------|
| <b>Figura B.1 Amplificador Operacional de dos Etapas compensado.....</b>                                  | <b>79</b> |
| <b>Figura B.2 Layout del Amplificador Operacional de dos Etapas.....</b>                                  | <b>80</b> |
| <b>Figura B.3 Circuito Sampled and Hold que compensa offset y el error debido a la<br/>ganancia.....</b>  | <b>80</b> |
| <b>Figura B.4 layout del Circuito Sampled and Hold.....</b>   | <b>81</b> |
| <b>Figura B.5 Circuito Amplificador Inversor con factor de ganancia <math>\alpha</math>.....</b>          | <b>81</b> |
| <b>Figura B.6 Layout del Circuito Multiplicador con ganancia de 2.....</b>                                | <b>82</b> |
| <b>Figura B.7 Circuito Sumador-Restador utilizando un amplificador operacional y<br/>capacitores.....</b> | <b>82</b> |
| <b>Figura B.8 Layout del Circuito Sumador – Restador.....</b>   | <b>83</b> |
| <b>Figura B.9 Comparador de Voltaje de dos etapas.....</b>  | <b>83</b> |
| <b>Figura B.10 Layout del Circuito Comparador de Voltaje.....</b>   | <b>84</b> |
| <b>Figura B.11 Layout del Chip de Prueba.....</b>   | <b>84</b> |



# PREFACIO

---

## *Justificación del Trabajo de Investigación*

**E**n el más amplio sentido, la *información* es simplemente el conocimiento de una situación, de un suceso, o de una tendencia. Mientras que una *señal* es el medio por el cual el conocimiento se comunica. Así, la condición de un sistema mecánico como un automóvil puede describirse mediante una gran cantidad de piezas de información, el número de las cuales depende de la necesidad y del contexto de la situación. Mientras que para un observador en el interior de un avión por despegar suele ser importante sólo conocer su posición, para un avión a punto de aterrizar es necesaria la información sobre la velocidad y aún sobre la aceleración. Esta información se transmite al observador mediante señales, componentes de la situación que el observador nota. Como es de suponer, tales señales no son siempre explícitas ya que mientras el conductor de un automóvil puede observar su velocímetro directamente, un peatón debe derivar la velocidad de ese automóvil mediante medios diferentes. En ésta situación, un observador recibe un conjunto de señales en las que la información que él desea se encuentra *codificada*, es decir, la información se obtiene sólo después de cierta reflexión, una actividad muy simple que se denomina *procesamiento de la señal*.

En sentido estricto, los sistemas electrónicos se emplean para facilitar el proceso de extracción de la información que se requiere de un conjunto de señales recibidas. Sin embargo, para que una señal sea procesada por un sistema electrónico, se debe convertir primero en una señal eléctrica, es decir, en corriente o bien alternativamente en voltaje. Este proceso se lleva a efecto mediante dispositivos llamados *transductores*, de los cuales hay una gran variedad para distintas formas de señales físicas. No es el propósito estudiar cada uno de los diferentes tipos de transductores en este documento, de manera que se asumirá que las señales de interés existen en el dominio eléctrico. En la práctica, una señal eléctrica está caracterizada por una *función* donde la variable independiente es el tiempo,  $t$ . En general, la señal a procesar puede ser del tipo *analógica* o *digital*. Una señal analógica es una señal continua en el tiempo y se caracteriza por tener un valor bien definido en cualquier instante de tiempo. Por el contrario, una señal digital asigna a cada valor un número finito de símbolos. Ejemplos de señales digitales son la *clave Morse*, la que se caracteriza por usar puntos y rayas, es decir, la clave Morse constituye un sistema *binario*. Otros sistemas binarios de uso común son los conceptos *prendido/apagado*, *abierto/cerrado*, *oscuro/iluminado*, *alto/bajo*, *verdadero/falso*, *uno/cero*, etc. En aplicaciones ópticas (p.e. interferometría) el uso de regiones oscuras e iluminadas constituyen un medio a través del cual se obtiene información útil del sistema bajo análisis. Mientras que abierto/cerrado son conceptos clásicos en control de válvulas para el



suministro de elementos gaseosos o líquidos. En electrónica, el uso de *niveles de voltaje* altos y bajos son símbolos mediante los cuales se representa una señal y se procesa su información. En este campo de aplicación, un *sistema digital* podría definir, por ejemplo, un *estado lógico* 1 como una señal de valor nominal de 3 voltios y el estado lógico 0 como una señal nominal de 0 voltios. Como es de esperar, cada nivel de voltaje presenta una desviación aceptable del valor nominal, de manera que la región intermedia entre las regiones permitidas se traslapan sólo durante la transición de un estado a otro y viceversa. Por lo tanto, las terminales de excitación de los sistemas de procesamiento digital aceptan señales binarias dentro de las transiciones permisibles y responden en la terminal de salida con señales binarias que caen dentro de las tolerancias específicas.

Una señal digital es fácil de recuperar aún cuando se haya enviado o transmitido entre dos puntos muy distantes. Aún más, en situaciones de gran distancia se usan sistemas electrónicos denominados *repetidores* cuya función es detectar la señal digital y le elimina toda aquella señal no deseada que de una u otra forma se acopla a la señal de interés. Limpia la señal se transmite otra gran distancia si así lo requiere esa aplicación particular. Por otro lado, toda aplicación real requiere múltiples señales de excitación y generalmente se obtienen múltiples respuestas, y para que el procesamiento de tales señales sea rápida y confiable es conveniente que esas señales sean digitales. Ahora bien, si el mundo real es analógico ¿por qué no usar procesamiento analógico? Las respuestas son diversas: 1) Procesando de manera analógica las señales de interés (corriente, voltaje, etc.) éstas experimentan una degradación por variaciones de los elementos de red que componen el sistema de procesamiento, es decir, la degradación de la señal es dependiente de los elementos y de la exactitud del equipo de procesamiento. Por ésta razón, es que se postula como una norma, que todo diseño analógico debe aceptar como máximo una pérdida de información del 30% (o equivalentemente  $-3\text{dB}$ ); 2) Las señales analógicas que se transmiten como ondas son muy susceptibles a alterar su forma de onda, un fenómeno conocido como *distorsión*. La mayor dificultad de las señales analógicas es que no hay forma de retomar esas señales mediante un repetidor y eliminar completamente el efecto de la distorsión.

Por lo tanto, es muy conveniente usar circuitos que permitan la conversión de señales analógicas a digitales, es decir, usar circuitos convertidores A/D. Generalmente, una vez convertida una señal analógica a digital se procesa de manera establecida y en la mayoría de las veces el resultado del procesamiento digital es convertido a una señal analógica mediante un circuito D/A. Este proceso es muy conveniente en aquellos sistemas en los que se está monitoreando un evento y se tiene interés en alterarlo y/o modificarlo.

## ***Objetivo del Trabajo de Investigación***

La función de un convertidor A/D (llamado también ADC), es transformar un voltaje o corriente, o cualquier otra señal adecuada, en una palabra digital. El convertidor A/D es un dispositivo *codificador* que transforma una señal analógica en una palabra digital



de una longitud predeterminada de bits. La señal analógica, denotada de aquí en adelante como  $V_{in}$ , es aproximada mediante una fracción binaria asociada a un voltaje de referencia  $V_{ref}$ . De esta manera la salida del convertidor corresponde a una palabra digital  $D$  dada por:

$$D = \frac{V_{in}}{V_{ref}} = b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}$$

donde  $n$  especifica el número total de bits de la palabra digital y  $b_i$  ( $i = 1, 2, 3, \dots, n$ ) especifica los coeficientes binarios de cada bit, pudiendo ser éstos 1 ó 0. La respuesta puede darse en forma paralela o serie. El A/D del tipo serial proporciona un bit en un solo instante de tiempo, comenzando por el bit más significativo, MSB; el A/D del tipo paralelo proporciona  $n$  bits en el mismo instante de tiempo  $t$ . En la mayoría de las aplicaciones son preferidos los A/D del tipo paralelo ya que son más veloces y eficientes en el manejo de datos respecto a su contraparte serial. Sin embargo, en procesos modernos VLSI, el área de integración es un parámetro importante a satisfacer por el diseñador. Por lo tanto, si bien es cierto que es ampliamente recomendable usar convertidores A/D del tipo paralelo, también es cierto que la cantidad de bloques requeridos –los cuales dependen de la resolución que se solicite– constituye el principal problema en términos de área de integración requerida. Por otro lado, existen procesos de conversión serie, cuya área de integración es mínima y que debiera ser una respuesta a la necesidad de circuitos A/D, sin embargo, el tiempo requerido para “capturar” una palabra digital pudiera ser el principal inconveniente. Aún así, una opción de conversión que constituye una solución de conversión moderadamente rápida y que requiere moderada área de integración es el denominado A/D algorítmico. Estrictamente hablando, éste ejecuta un algoritmo simple de conversión haciendo uso de un mínimo de bloques básicos, por supuesto este convertidor es del tipo serial pero, la propuesta en el presente trabajo de investigación, es llevar el diseño A/D algorítmico a su implementación pipeline. Para ello basta diseñar una celda de conversión de 1 bit y repetir tantas celdas en cascada como resolución se requiera, obteniendo un proceso de conversión cuasi-paralelo.

Por lo tanto, el **objetivo** del presente proyecto es desarrollar las celdas analógicas básicas para el diseño de un convertidor A/D algorítmico (llamado también cíclico o recirculante) hasta su implementación a nivel layout.

## ***Metas del Trabajo de Investigación***

Para cumplir con el objetivo mencionado es necesario satisfacer un conjunto de metas, como las que se describen a continuación:

- Descripción de los bloques básicos necesarios para el desarrollo del convertidor A/D algorítmico; explicar su principio básico de operación y determinar las principales no idealidades de cada bloque básico.



- Desarrollar una o varias estrategias de diseño que permitan minimizar las no idealidades y las fuentes de error, que de una u otra forma, determinan el valor del bit menos significativo. Caracterizar el convertidor en términos de rapidez, resolución y operación a bajos niveles de alimentación.
- Optimizar en lo posible, el algoritmo de conversión. Proponer un proceso de diseño *pipeline*. Describir las posibilidades, y si es el caso, las ventajas/desventajas del procedimiento de conversión pipeline.
- Diseñar, simular y elaborar el layout de cada bloque básico.
- Desarrollar, simular y diseñar el layout de la celda básica de conversión.
- Construir el sistema de conversión y diseñar el chip de prueba correspondiente.

## ***Metodología del Trabajo de Investigación***

Para llevar a cabo este trabajo de investigación es necesario seguir un procedimiento de trabajo organizado, el cual se establece de la manera siguiente:

- a) Captura de información y ubicación del trabajo de tesis (en lo sucesivo llamado proyecto) dentro del campo de desarrollo de convertidores A/D. Indicar las ventajas/desventajas del concepto de conversión y describir el principio de cuantización. De igual manera, realizar una descripción tentativa del contenido de cada uno de los capítulos de este proyecto. Esta información servirá para documentar el capítulo cero que solo será denominado **Introducción General**.
- b) Describir el principio básico de operación de un convertidor A/D algorítmico. Indicar los bloques básicos para la formación del convertidor. Explicar las principales fuentes de error del convertidor, e indicar las no idealidades de cada bloque, de manera tal que se mencione de qué manera repercuten esos factores en el valor del bit menos significativo, en la rapidez y resolución del convertidor.
- c) Proponer una metodología de diseño que optimice el proceso de conversión. Describir las ventajas/desventajas de implementar un convertidor algorítmico mediante procesamiento pipeline. Analizar y describir los métodos de minimización de fuentes de error y no idealidades para los bloques básicos requeridos.
- d) Para cada una de las celdas seleccionadas, implementar su diseño, simulación y el correspondiente layout. Realizar la extracción del circuito eléctrico equivalente, hacer su simulación y corroborar que el resultado sea similar al obtenido inicialmente. Finalmente, desarrollar la celda básica de conversión.



- e) Construir y diseñar el chip de prueba del sistema de conversión o parte de él. Verificar mediante simulación la resolución, la rapidez de respuesta y demás parámetros de interés.
- f) Por último se describen conclusiones obtenidas a partir del proyecto y se especificará el trabajo futuro.

## ***Organización del Trabajo de Investigación***

Este trabajo de investigación se planea de la forma siguiente:

Se tiene una *Introducción*, en la cual se describen las ventajas/desventajas de trabajar con los sistemas analógico y digital, además de los tipos de interfaz que existen entre estos dos sistemas, lo cual se realiza a partir de convertidores *A/D* y *D/A*. A partir de esto, se describe el principio de cuantización en general de los convertidores *A/D*. Además se presenta una comparación entre las distintas técnicas de conversión *A/D*. En el *Capítulo 1* se desarrollan los conceptos básicos del convertidor *A/D* algorítmico, como son el diagrama a bloques, su principio de conversión, la importancia del voltaje de referencia requerido, y cada uno de los bloques básicos que lo conforman: circuito Sampled and Hold, circuito multiplicador, circuito sumador – restador, capacitores y comparador, además del Opamp, del cual se auxilian todos los circuitos anteriores. Sobre estos bloques básicos se realiza un análisis, en el cual se muestran desviaciones y la forma de minimizarlas y/o eliminarlas. En el *Capítulo 2* se realiza el diseño de cada uno de los bloques básicos, de acuerdo a la extracción de su modelo eléctrico a partir del *layout*, se realiza la simulación, de la cual se muestran resultados. Cabe señalar que se realizan simulaciones “*MonteCarlo*” para verificar su funcionamiento bajo condiciones adversas. En el *Capítulo 3* se muestra la técnica *pipeline* y sus características, esto con el fin de relacionarlo con el convertidor algorítmico, el cual mas adelante (dentro del mismo capítulo) es expuesto, se muestra el diagrama a bloques de la celda básica de conversión, un ejemplo utilizando 4 bits de conversión, es decir, uniendo 4 celdas básicas en serie, y la simulación a partir de la extracción del modelo eléctrico de la celda. En el *Capítulo 4* se muestra la caracterización de un chip diseñado a partir de este proyecto, en el cual se incluyen los circuitos Sampled and Hold, capacitores y Opamp, mostrando resultados en gráficas y valores, imágenes fotográficas e imágenes obtenidas a partir del osciloscopio.



# INTRODUCCIÓN GENERAL

---

**E**n general, todas las variables físicas (tales como voltaje, corriente eléctrica, carga eléctrica, presión, etc.) son de naturaleza analógica. Esto es, varían en forma continua con el tiempo. Sin embargo, para la transmisión de señales y para realizar su correspondiente procesamiento, es común hacerlo en forma digital [1]. Las señales analógicas son parte de la vida cotidiana, se encuentran en cualquier campo de aplicación: voz, señales ópticas, movimiento, etc. Aún así, hay factores externos que afectan estas señales, produciendo en éstas pérdidas o alteraciones en la información. Por ejemplo, cuando una persona se encuentra conversando con otra en la vía pública, los interlocutores se están comunicando por medio de una señal analógica (voz), sin embargo, si en ese momento pasa algún automóvil generando ruido, entonces la conversación sufrirá una interrupción (dejando de conversar para reanudar la conversación un momento después), o se perderá parte de la comunicación (si se continúa con la conversación durante este periodo sin haber hecho una pausa). Así pues la señal analógica es muy sensible a factores externos.

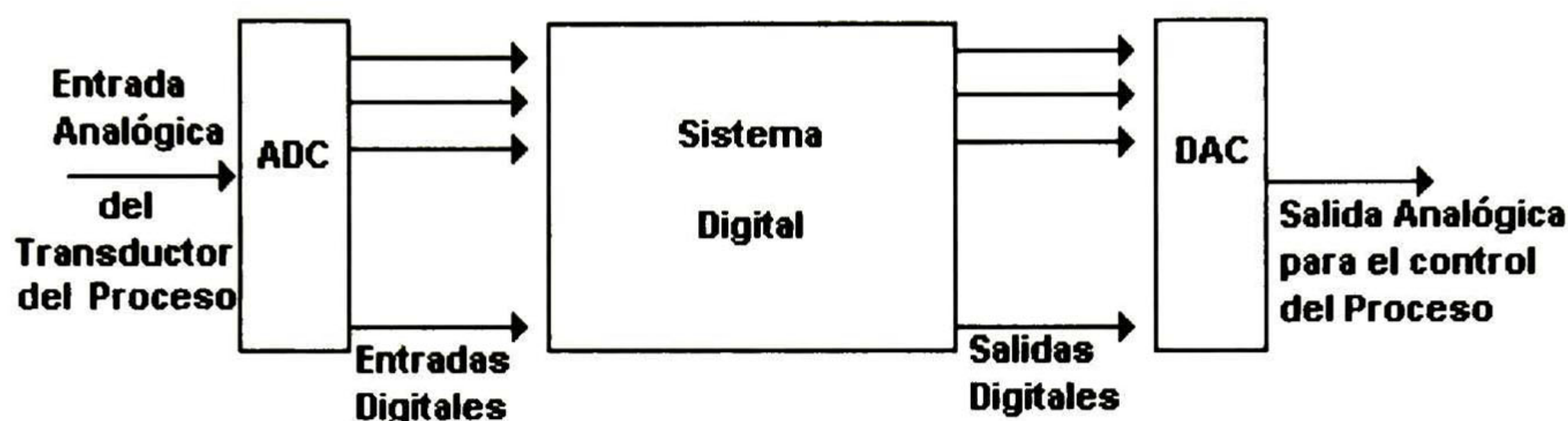
El procesamiento de señales analógicas y digitales corresponde a dos modos fundamentales de manejo de información. En el caso analógico las señales son manejadas en una forma continua, mientras que en el procesamiento digital las señales son cuantificadas o valorizadas en forma de bits (dígitos *binarios*), esto es, 1's o 0's como si fuere una función discreta [2]. Si una señal está restringida a sólo dos valores, entonces el sistema es *binario*. Es por esto, que el procesamiento digital en cuanto a efectos por factores externos no deseados, tiene una ventaja mayor con respecto al procesamiento analógico, ya que el procesamiento digital no es tan sensible a factores de ese tipo.

Cabe señalar que muy pocas áreas de investigación y desarrollo han experimentado un crecimiento tan rápido como el que se ha tenido en el campo de la electrónica digital. En términos de lo que se dispone en la actualidad, se tienen calculadoras digitales, microprocesadores, relojes digitales, juegos de vídeo y una gran cantidad de herramientas “necesarias” para la vida diaria. Los sistemas digitales basan todo su funcionamiento en operaciones basadas en el sistema binario. Para poder procesar alguna información en el sistema digital es necesario convertir cualquier tipo de información analógica (voltaje, corriente eléctrica, etc.) a código binario.

En la práctica, muchos dispositivos (mecánicos, eléctricos, electrónicos, etc.) se usan como elementos de entrada y/o salida en sistemas digitales para servir como línea de comunicación con el mundo exterior (ver Figura 1). Los dispositivos de entrada/salida relacionados con el proceso ofrecen el medio por el cual un sistema digital (ej., una computadora, un microprocesador, etc.) monitorea y controla un proceso físico. En la *entrada*, los niveles asociados con los datos que son analógicos por naturaleza son convertidos a corriente o a un voltaje proporcional al nivel original y enviados a un



convertidor analógico/digital, ADC, el cual tiene la función de convertir la cantidad analógica en la representación digital correspondiente. Los dispositivos de *salida* relativos al proceso, traducen las salidas del sistema en las señales adecuadas de activación, que son necesarias para el control del proceso. Estas señales de activación podrían consistir simplemente en abrir y cerrar algún interruptor o controlar la velocidad de algún motor de corriente directa (dc). Sin embargo, muchas veces la señal activadora que se necesita debe ser analógica, como es el caso del motor de dc. Para esta situación se requiere un convertidor digital/analógico, o DAC.



**Figura 1** Interfaz entre los Mundos Digital y Analógico [3].

Por lo anterior, en muchas situaciones es necesario hacer una interface entre éstos dos principios fundamentales de procesamiento de señales y convertir datos de digital a analógico y de analógico a digital. La interface entre estos dos mundos no es sencilla, pero sí necesaria. En toda aplicación el desempeño de los convertidores de datos depende fuertemente del acoplamiento de sus componentes. En lo que al dominio digital se refiere, éste se basa esencialmente en el principio de tener dos estados. La forma en que se denominan éstos es cuestión de convención, ya que existen demasiadas nomenclaturas, aunque todas se refieren al mismo principio; una de las más sencillas es la que contiene los conceptos de *encendido* y *apagado*, es decir, un dispositivo está o activo o inactivo; nunca está “medio-encendido” o “medio-apagado”. Una característica fundamental del mundo digital es que si un dispositivo no está encendido, debe estar apagado necesariamente. Algunas otras nomenclaturas son: verdadero/falso, conectado/desconectado y 1/0; ésta última la más usada por su facilidad simbólica [4].

Las ventajas del dominio digital en comparación con el analógico para ciertas aplicaciones son ampliamente reconocidas y entre ellas se tienen las siguientes: simplicidad en el manejo de datos, modularidad en el diseño (bloques y/o sistemas reutilizables en otros diseños) y gran inmunidad al ruido. Los diseñadores expertos en el dominio digital aseveran que es posible realizar un diseño con un 100% de componentes digitales. Sin embargo, la gran mayoría de las señales y estímulos provenientes de diversos entornos son continuas, y sólo unos cuantos parámetros físicos varían en forma discreta. Por cuestiones prácticas como las anteriormente mencionadas y económicas es necesario convertir las señales continuas (analógicas) a discretas (digitales). Esta conversión incrementa la complejidad del diseño, pero es necesaria.

En instrumentación o sistemas con muchas entradas y/o requerimientos de gran procesamiento de datos, la aproximación digital es la mejor. La transmisión de datos a un punto remoto es usualmente más seguro y tiene menos pérdidas de información en la forma digital. Otra de las ventajas del dominio



digital respecto al analógico es la linealidad<sup>1</sup>, mientras que para una señal analógica es fácil perder o deformar información por falta de linealidad, en el dominio digital puede realizarse fácilmente un arreglo para disminuir este efecto. La rapidez en cuanto a tiempo de implementación de funciones básicas y complejas es otra de las ventajas del dominio digital [5].

### *Principios de Cuantización en la Conversión de Analógico a Digital.*

Este principio es muy simple, la función de un convertidor analógico a digital o A/D, es transformar un voltaje o corriente eléctrica en una palabra digital. Los convertidores A/D funcionan de una forma inversa al convertidor D/A; el convertidor A/D es un dispositivo “codificador” el cual transforma a una señal analógica dada, en una palabra digital de una longitud predeterminada de bits<sup>2</sup>.

En un convertidor A/D, la señal analógica de entrada  $V_i$  (para este caso un voltaje) referenciada a un voltaje  $V_{ref}$  es aproximada mediante una suma ponderada con coeficientes binarios. De ésta manera la salida del convertidor corresponde a una palabra digital  $D$ , dada por [6]:

$$D = \frac{V_i}{V_{ref}} = b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N} \quad (1)$$

donde  $N$  especifica el número total de bits a la salida y  $b_i$  (para  $i = 1, 2, 3, \dots, N$ ) especifica los coeficientes binarios de cada bit, pudiendo ser éstos uno o cero.

Existen dos formas diferentes para obtener los bits de salida en un convertidor A/D: de *forma paralela*, la cual es la más utilizada, y de forma serial. El convertidor A/D paralelo contiene  $N$  terminales a la salida, las cuales representan cada uno de los bits (ver Figura 2). Mientras que en *forma serial*, la salida se obtiene de una manera secuencial en la única terminal de salida. En este caso, el bit  $b_1$  correspondiente al bit más significativo (MSB), es por lo regular el que primero se entrega a la salida, y así sucesivamente se entregan los bits por orden de importancia.



**Figura 2** Convertidor Analógico-Digital de  $n$  bits en paralelo [6].

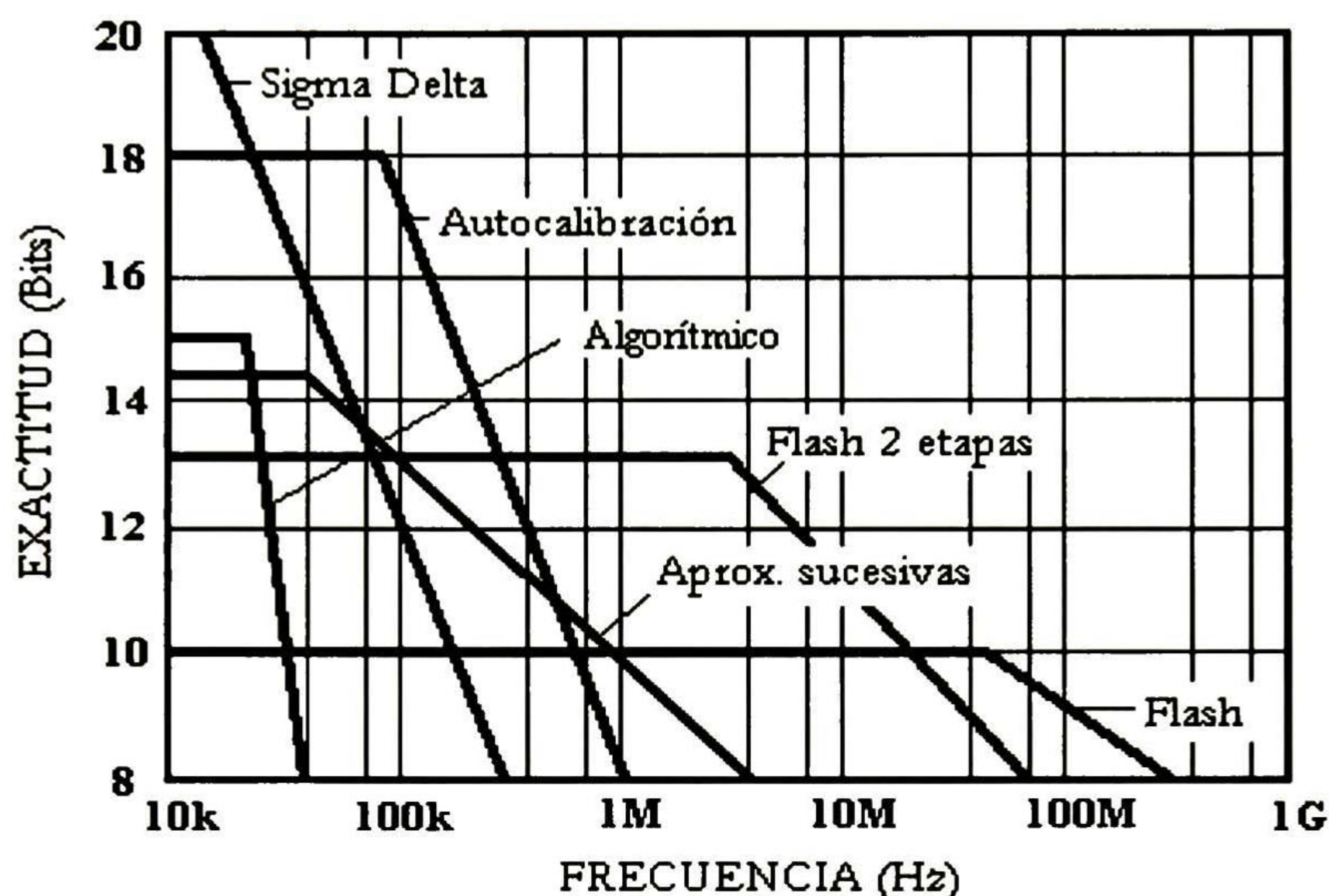
En la codificación de una señal analógica a una palabra digital de salida, dada por la ecuación (1), efectivamente se cuantifica  $V_i$  en un número finito de valores discretos separados por un bit menos significativo (LSB) respecto del anterior en la palabra digital. Durante el proceso de conversión, se

<sup>1</sup> Linealidad: Es la uniformidad con que se comporta un dispositivo en sus características de corriente y voltaje.

<sup>2</sup> Un bit es la unidad fundamental del sistema binario y puede tomar el valor de 1 ó 0.



muestra la entrada analógica y se genera su contraparte digital después de un intervalo de tiempo finito, debido a la razón de conversión (la cual se define como el tiempo que tarda en pasar de una señal a un código) del convertidor A/D. La velocidad de conversión que debe tener el convertidor A/D se determina por varios factores, algunos de ellos son debidos a la frecuencia de la señal de entrada analógica, la precisión de conversión requerida a la salida, por la combinación de ambos factores, o por la misma rapidez de respuesta de los elementos activos que componen al convertidor [7]. En la Figura 3, se muestran varias técnicas de conversión utilizadas en circuitos integrados CMOS [8].

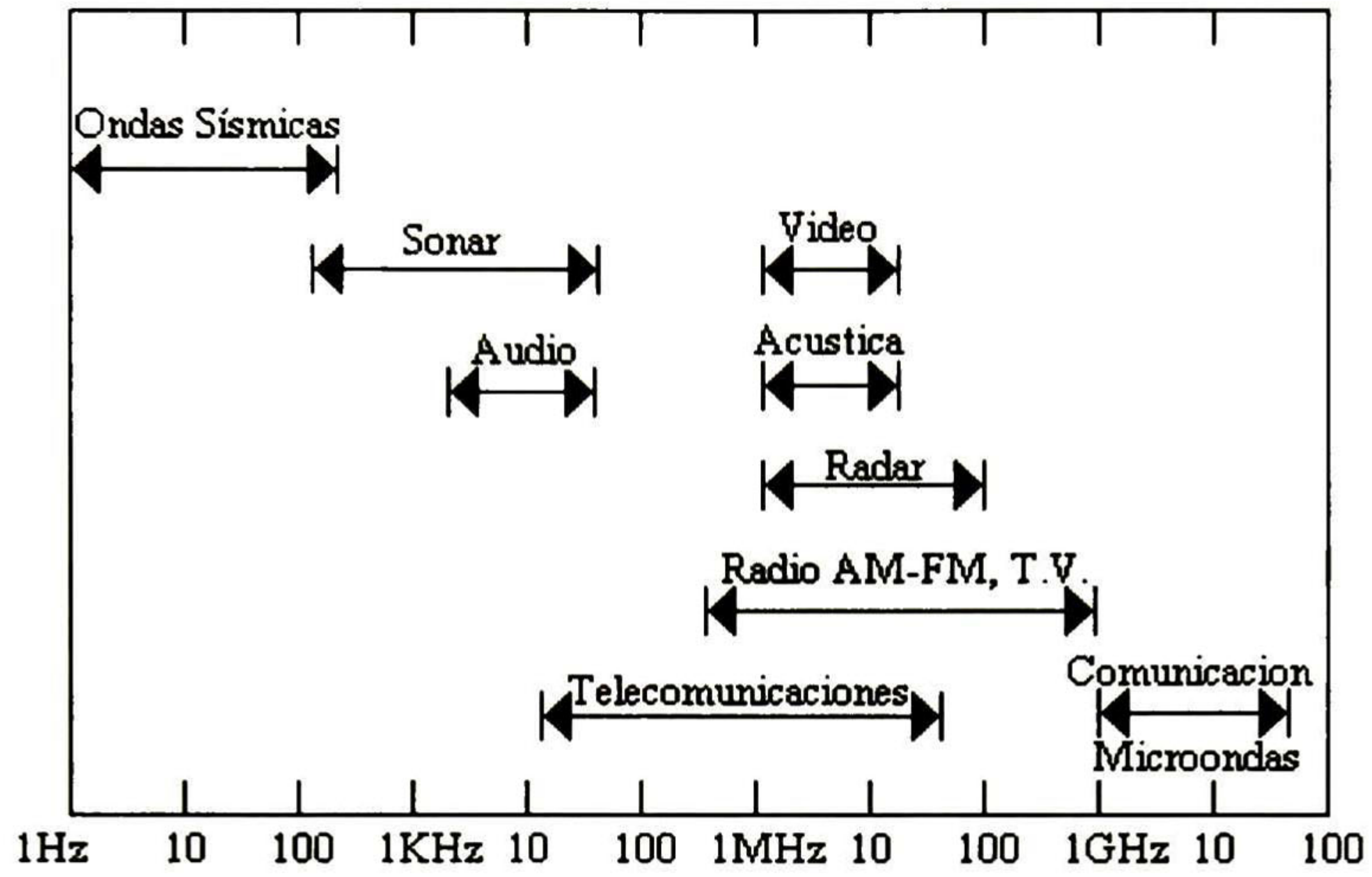


*Figura 3 Resolución Vs. Frecuencia para Convertidores A/D [9].*

Se puede observar de la gráfica anterior que para una región de frecuencias dada, se cuenta con un método de conversión óptimo. Para altas velocidades de conversión se tiene la técnica flash completa, para medianas velocidades la técnica de autocalibración es recomendable, la cual también pertenece a la categoría de “Convertidores Digitales Asistidos”. Esta categoría compensa la limitación de los elementos analógicos con la ayuda de circuitería digital adicional. Para bajas frecuencias pero para una muy alta resolución se cuenta con la técnica de conversión algorítmica [8]. El convertidor A/D algorítmico tiene muy alta resolución para aplicaciones a muy bajas frecuencias, por lo cual algunas de sus aplicaciones principales estarían en el manejo de ondas sísmicas, en ondas sonoras, audio y un pequeño campo de las telecomunicaciones, como se muestra en la Figura 4. En la misma Figura se muestran algunas otras gráficas para diferentes campos de aplicación.

Por lo anterior, en este trabajo se realiza el análisis, diseño y construcción de la celda básica de conversión mediante el método de conversión algorítmico y la técnica pipeline, esto con el fin de lograr una plataforma de la cual se comenzará una metodología para diseños posteriores.





**Figura 4** Anchos de Banda de señales usadas en aplicaciones de procesamiento de señales [10].



## Referencias

---

- [1] P.R. Gray, D.A. Hodges and R.W. Brodersen, Eds., "Analog MOS Integrated Circuits", IEEE Press, New York 1980.
- [2] Sergio Franco, "Operational Amplifiers and Analog Integrated Circuits", McGraw-Hill, Electrical & Electronic Series, pág. 483 "Introduction"
- [3] Ronald J. Tocci, "Sistemas Digitales Principios y Aplicaciones", Prentice Hall, U.S.A., pág. 434.
- [4] A. J. Diefendefér, "Instrumentación Electrónica", Segunda Edición, McGraw-Hill, pág. 255.
- [5] Darold Webschall, Circuit Design For Electronic Instrumentation "Analog and Digital from Sensor to Display", McGraw-Hill, U.S.A.
- [6] Alan B. Grebene, "Analog Integrated Circuit Design", Microelectronic Series, U.S.A., 1984
- [7] Ismail Fiez, "Analog VLSI Signal and Information Processing Electrical and Computer Engineering", McGraw-Hill.
- [8] Franco Maloberti, "Recent Advances in A/D and D/A converters", Department of electronics, Thesis, University of Pavia -27199 PAVIA-ITALY.
- [9] R. Amezcua Castrejón, "Convertidores A/D y D/A: Una Revisión", Tópicos Avanzados de Ingeniería Eléctrica II, CINVESTAV-Unidad Guadalajara, 1999.
- [10] L. Geiger, E. Allen, R. Strader, "VLSI Design Techniques for Analog and Digital Circuits", McGraw-Hill, U.S.A., 1990.



# CAPÍTULO I

---

## *Conceptos Básicos del Convertidor A/D Algorítmico*

**E**n este capítulo se mencionan y analizan diversos puntos de importancia con respecto al diseño de un convertidor A/D algorítmico, comenzando por su principio básico de operación, así como los bloques básicos que lo componen. Se describen sus principales fuentes de error y también las no idealidades de cada bloque, y el efecto que éstas tienen en el valor del bit menos significativo. Por último, se describe la rapidez y exactitud en éste tipo de convertidores.

### 1.1 Descripción.

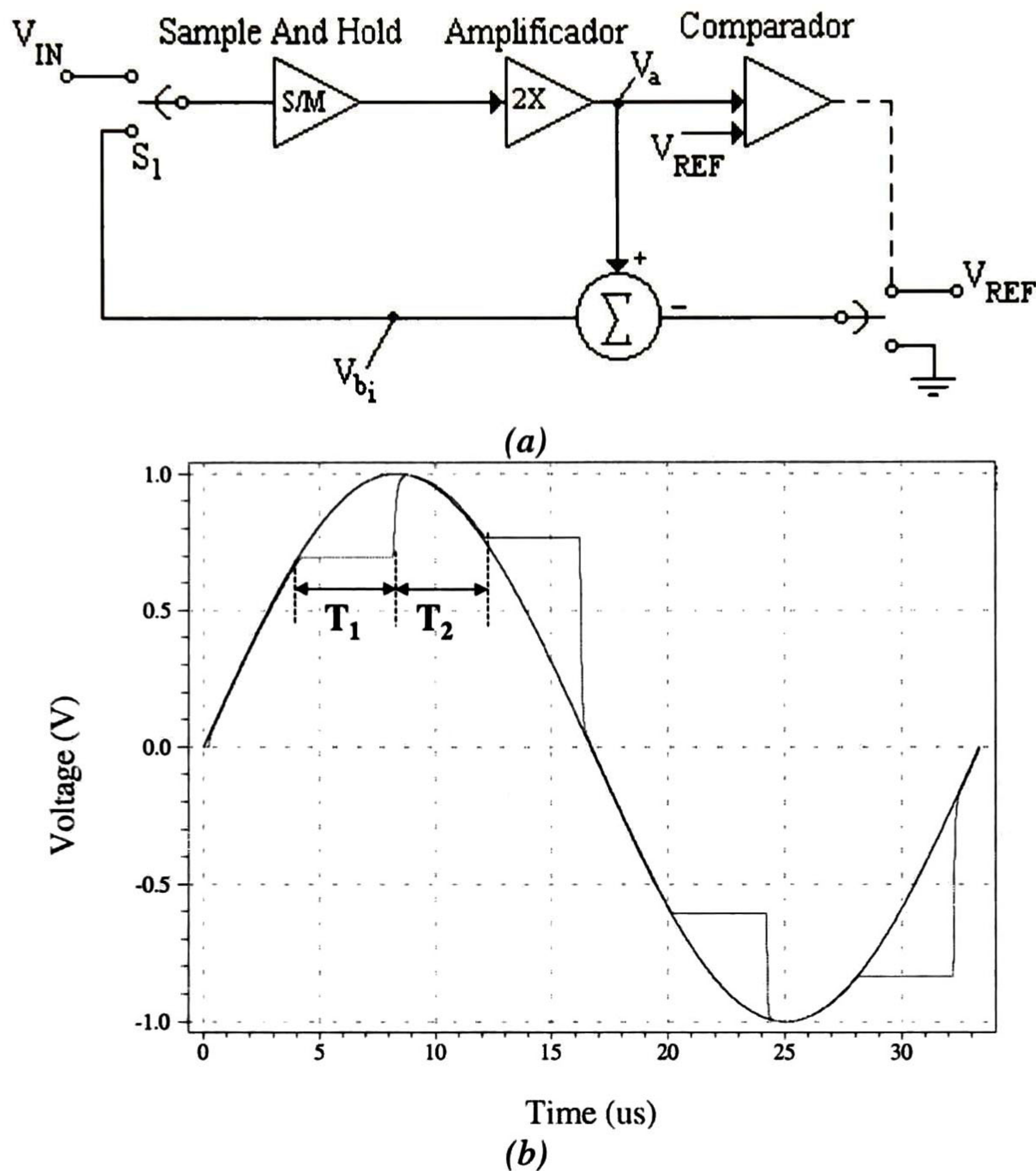
El convertidor analógico a digital algorítmico, también conocido como convertidor cíclico o recirculante, ha sido conocido y utilizado en varias maneras desde los años 60's [1]. Fue realizado primeramente por Hornak en 1975 en una forma parcialmente integrada [2], utilizando un transformador para así poder lograr una ganancia de dos. Subsecuentemente, McCharles logró una integración total de una parte analógica del convertidor [3], usando (compuerta de metal) tecnología CMOS. Posteriormente, se integró el convertidor utilizando tecnología bipolar para la parte del circuito analógico y tecnología MOS para la parte del controlador digital. En la Figura 1.1(a) se muestra un diagrama de bloques del flujo de señal del convertidor. El convertidor A/D algorítmico contiene [4]:

1. - Un circuito Sample-and-Hold.
2. - Un bloque multiplicador por 2.
3. - Un comparador de voltaje.
4. - Un circuito que proporciona un voltaje de referencia.

Durante el periodo  $T_1$  (ver Figura 1.1(b)) llamado "Retención" el convertidor queda enganchado hasta realizar el total de la conversión de la señal, el tiempo para realizar esto depende de cuántos bits sean los preestablecidos, una vez terminada la conversión, se pasa a un segundo periodo  $T_2$  llamado "Muestreo", en el cual se sigue la señal para, en un cierto tiempo volver a quedar enganchado durante otro periodo de tiempo  $T_1$ ; por esto, éste tipo de conversión es muy lento, ya que tarda  $N$  tiempos para terminar la conversión de una sola palabra. Con la



técnica pipeline, puede lograrse una velocidad mayor teniendo una misma resolución, como se verá en el capítulo 3.



**Figura 1.1** (a) Diagrama a bloques del flujo de señal del convertidor A/D Algorítmico[4], (b) Periodos de Conversión y Muestreo.

## 1.2 Principio de Conversión

La operación de este convertidor consiste en muestrear la señal de entrada a través del circuito Sampled/Hold. Esto se realiza seleccionando la señal de entrada en lugar de la señal de lazo usando el interruptor selector  $S_1$  (ver Figura 1.1(a)). La señal de entrada es después transmitida al amplificador (multiplicador por dos). Para transformar la información de la señal analógica de entrada al dominio digital, la señal resultante,  $V_a$ , es comparada con la referencia,  $V_{ref}$ . Si la señal de entrada es mayor que esta referencia, el bit correspondiente es 1 y luego la referencia es restada de  $V_a$ . Si  $V_{in} < V_{ref}$ , el bit resultante es 0 y la señal  $V_a$  se mantiene sin cambios [4]. La señal resultante, descrita por  $V_{bi}$ , es luego transferida por medio del interruptor  $S_1$ , y regresa al lazo analógico para procesarse nuevamente. En otras palabras, después de haber



calculado el primer bit,  $b_1$ , es generado un nuevo voltaje interno  $V_{b1}$ , a partir del valor de  $b_1$ . Esto se puede representar de la siguiente manera [5]:

$$V_{b1} = 2 \left( V_a - \frac{b_1 V_{ref}}{2} + \frac{\overline{b_1} V_{ref}}{2} \right) \quad (1.1)$$

donde  $\overline{b_1}$  es el complemento lógico de  $b_1$  y por lo cual se puede observar que cuando el bit es 0 toma efecto la expresión  $V_{ref}/2$  y cuando es 1 la expresión resultante es  $-V_{ref}/2$ . Este voltaje interno  $V_{b1}$  reemplaza al actual voltaje analógico de entrada  $V_a$  debido al cambio en la posición del interruptor  $S_1$ . Así, el proceso de conversión procede al cálculo del bit  $b_2$ . El segundo coeficiente del bit  $b_2$  es calculado al comparar  $V_{b1}$  y  $V_{ref}/2$ ;  $b_2=1$  si  $V_{b1} \geq V_{ref}/2$  y  $b_2=0$  si  $V_{b1} < V_{ref}/2$ . Después de calculado  $b_2$ , es generado otro voltaje interno como sigue [5]:

$$V_{b2} = 2 \left( V_{b1} - \frac{b_2 V_{ref}}{2} + \frac{\overline{b_2} V_{ref}}{2} \right) \quad (1.2)$$

Este voltaje reemplaza a  $V_{b1}$  y el proceso de conversión procede al cálculo del siguiente bit. Este proceso continúa hasta que el número de bits deseados haya sido obtenido. Después de que haya sido calculado el N-ésimo bit, el sistema es puesto en su estado inicial y se comienza con el próximo ciclo de conversión, muestreando el voltaje de entrada  $V_a$ . Nótese que en este tipo de conversión cada coeficiente intermedio del bit  $b_i$  es determinado por la comparación entre un nivel de voltaje internamente generado,  $V_{bi}$ , y la referencia fija  $V_{ref}/2$ . El nivel de voltaje intermedio  $V_{bi}$ , es calculado de la relación recurrente [5]:

$$V_{bi} = 2 \left( V_{b_{i-1}} - \frac{b_{i-1} V_{ref}}{2} + \frac{\overline{b_{i-1}} V_{ref}}{2} \right) \quad (1.3)$$

La salida digital del convertidor es obtenida en forma serial, obteniendo primeramente el bit más significativo (MSB). En este tipo de convertidores únicamente es necesario realizar N pasos para obtener una resolución de N bits. Sin embargo, cada paso de conversión es relativamente lento, ya que tienen que ser realizadas varias funciones lógicas y tiene que ser generado un nuevo voltaje intermedio,  $V_{bi}$ , antes del cálculo del bit apropiado [5]. Para mostrar la importancia del voltaje de referencia debe ser considerada la siguiente expresión [6]:

$$D = \frac{V_a}{V_{FS}} = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \quad (1.4)$$

donde  $b_1, b_2, \dots, b_N$  son los coeficientes binarios de la palabra digital, siendo estos 1 ó 0 y  $V_{FS}$  es el voltaje de escala completa. Ahora, para lograr una expresión, donde se note la importancia de  $V_{ref}$  con respecto a la exactitud, se tiene la siguiente expresión [6]:



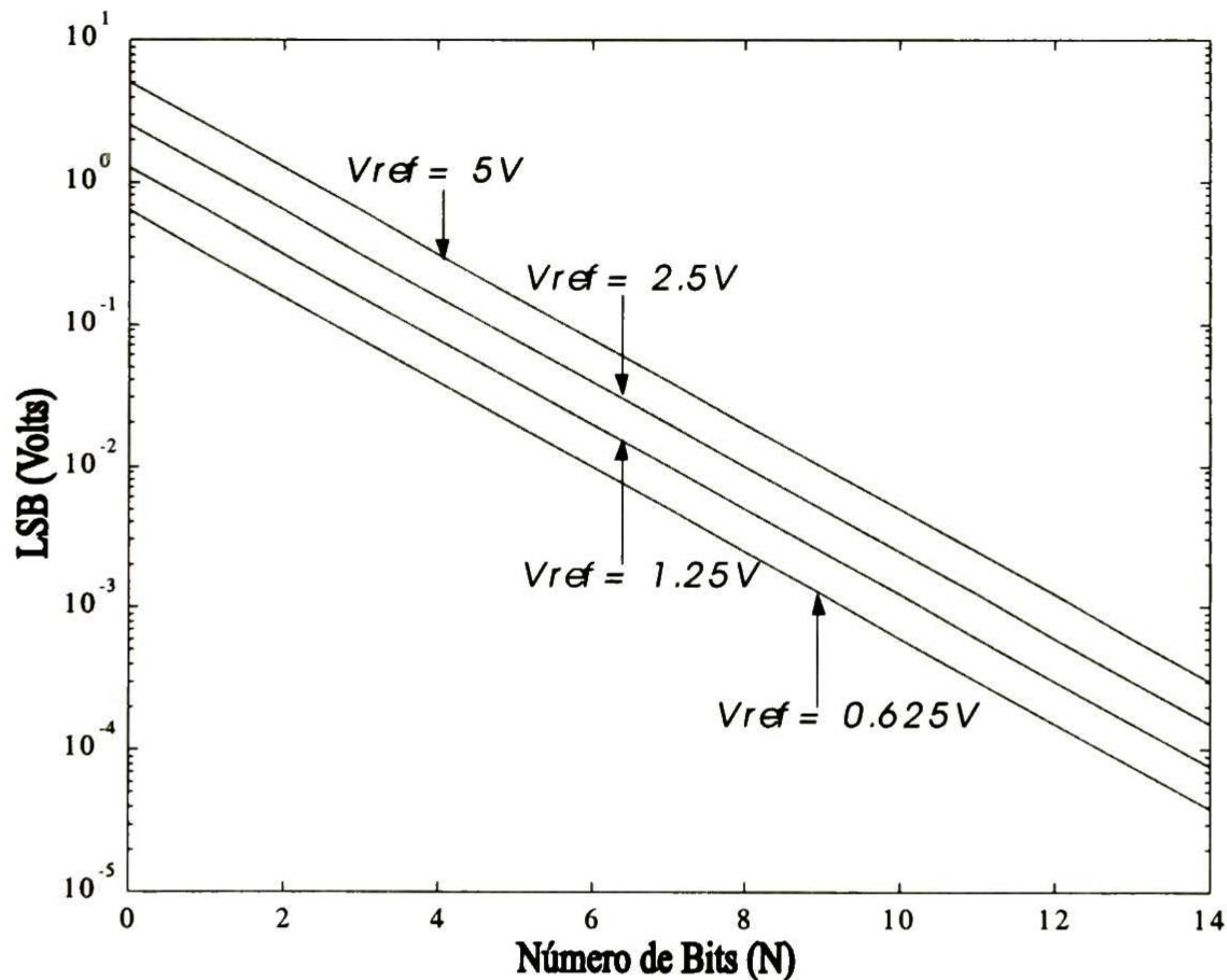
$$1LSB = \frac{V_{FS}}{2^N} \quad (1.5)$$

Como es sabido  $V_{FS}$  es igual al voltaje de referencia  $V_{ref}$ , entonces se puede encontrar que:

$$V_{ref} = 2^N (1LSB) \quad (1.6)$$

Como se observa de la ecuación (1.6), el voltaje de referencia afecta de manera directamente proporcional al valor del bit menos significativo (LSB), así como a la palabra de salida, por lo tanto, es necesario un voltaje de referencia,  $V_{ref}$ , muy exacto, para evitar errores a la salida del convertidor.

En la Figura 1.2 se muestra una gráfica con la cual se pueden encontrar todos los valores del bit menos significativo, para un convertidor con una salida del rango de 0 a 14 bits, y para cuatro distintos valores de voltaje de referencia. De esta gráfica se pueden observar cuáles son las exigencias del convertidor; por ejemplo, el offset de los amplificadores operacionales no puede ser mayor que el valor del bit menos significativo, ya que esto produciría un error en resolución, de hecho el offset de los amplificadores operacionales debe ser al menos  $\frac{1}{2}$  del valor del bit menos significativo [7]. Por ejemplo, para un convertidor de 8 bits, teniendo un voltaje de referencia de 5V, se tiene que el LSB es de 19.5mV, por lo tanto el offset de los amplificadores operacionales debe ser de aproximadamente 10mV, esto suponiendo que todas las demás fuentes de error no tienen efecto alguno sobre el convertidor.



**Figura 1.2** Gráfica del Bit Menos Significativo en función del número de bits de un ADC y del voltaje de referencia.



Para una aplicación de audio, es decir, para convertidores con una resolución de entre 12 y 14 bits, los requerimientos para no perder algún bit durante el proceso de conversión son los que se muestran en la tabla 1.

**Tabla 1. Bit Menos Significativo para convertidores con resolución entre 12 y 14 bits.**

| Vref / # Bits | 12    | 13     | 14    |
|---------------|-------|--------|-------|
| 5V            | 1.2mV | 0.15μV | 9.1pV |
| 2.5V          | 0.6mV | 0.07μV | 4.5pV |
| 1.25V         | 0.3mV | 0.04μV | 2.3pV |
| 0.625V        | 0.2mV | 0.02μV | 1.1pV |

A partir de estos datos se pueden considerar los tipos de elementos a escoger para la realización del convertidor A/D algorítmico, y obtener resultados satisfactorios en el proceso de conversión.

### 1.3 Elementos Necesarios para la Construcción del Convertidor A/D Algorítmico

En esta sección se describen las características de cada elemento, errores que se producen en el proceso de conversión y la forma en que éstos se pueden minimizar, ya sea por medio de circuitería o en el diseño mismo del elemento en cuestión. Los cuatro bloques básicos a tratar para lograr la realización del convertidor A/D algorítmico se explican a continuación.

#### 1.3.1 Circuitos Sampled And Hold

El área de mayor aplicación para los interruptores analógicos es su uso en circuitos Sampled and Hold (S/H). Los circuitos S/H son usados para hacer el muestreo de una señal analógica (voltaje o corriente) por un periodo de tiempo (generalmente en el rango de 1 a 10μs), y retener el nivel de voltaje muestreado por un periodo de tiempo mayor, el cual puede ser del orden de algunos milisegundos hasta varios segundos [8].

En la Figura 1.3 (a) se muestra un circuito S/H simple, donde la señal de entrada es muestreada en el capacitor  $C_H$  cuando el interruptor se cierra; a esta etapa se le llama *modo muestreo*. Durante el tiempo en el que está abierto el interruptor, o *modo retención*, la señal analógica en el tiempo  $t_0$  se mantiene en la salida, ya que el nodo de muy alta impedancia impide la descarga del capacitor (ver Figura 1.3 (b)). Teniendo en cuenta que el circuito es una configuración de seguidor de voltaje, cuando la señal de reloj  $\emptyset$  está en el nivel lógico bajo, el capacitor mantiene el potencial de entrada  $V_{in}$ . Aplicando las leyes de voltaje de Kirchoff al circuito, se obtiene la siguiente expresión:

$$V_{IN} + V_E = V_{OUT} \tag{1.7}$$

donde  $V_E$  es el voltaje diferencial del Opamp. Suponiendo que el amplificador tiene una ganancia A, entonces:



$$V_{OUT} = AV_E \tag{1.8}$$

por lo que es fácil deducir el siguiente valor

$$V_E = \frac{V_{OUT}}{A} \tag{1.9}$$

A partir de las ecuaciones (1.7) y (1.9) resulta la siguiente función de transferencia:

$$\frac{V_{OUT}}{V_{IN}} = \frac{1}{1 - \frac{1}{A}} \approx \left(1 - \frac{1}{A}\right)^{-1} \tag{1.10}$$

donde se puede observar que, aún siendo una configuración de seguidor, la salida no es idéntica a la entrada, ya que existe *un error*  $\epsilon$  dado aproximadamente por:

$$\epsilon = \frac{1}{A} \tag{1.11}$$

Este resultado muestra la importancia de usar un Opamp de muy alta ganancia, ya que conforme  $A$  tiende a infinito, el error debido a la ganancia finita del Opamp tenderá a cero.

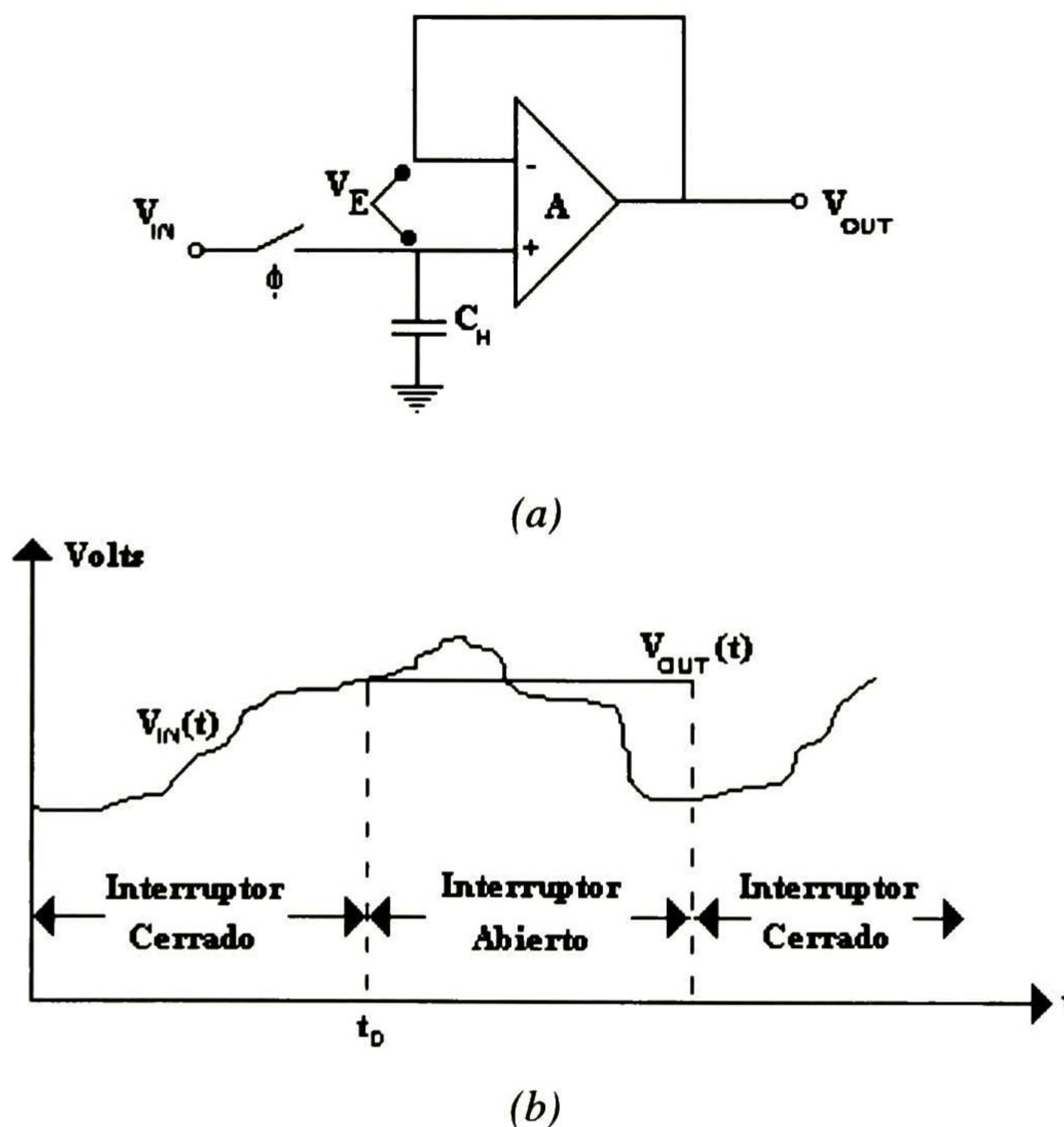


Figura 1.3 (a) Circuito S/H Simple, (b) Formas de onda ilustrando la operación del circuito en la Figura del inciso (a) [9].



El tipo de S/H como el que se muestra en la Figura 1.3 tiene un sinnúmero de desviaciones, las cuales hacen el proceso poco veraz. Estos tipos de desviaciones, van desde el offset que contiene el amplificador operacional, hasta el efecto de inyección de carga producido por los transistores que hacen la función de interruptores analógicos; otras desviaciones son causadas por el Opamp y son la impedancia de salida distinta de cero, la impedancia de entrada finita, la ganancia finita, etc.

Existen muchos otros tipos de circuitos S/H con otras mejoras, como S/H con ganancia, eliminación de offset, disminución de inyección de carga, compensación de clock-feedthrough, etc. [10]. Una manera de cancelar el efecto de inyección de carga en los circuitos S/H, es realizando una compensación, como se muestra en el circuito de la Figura 1.4 (a), mientras que en la Figura 1.4 (b) se ilustran las fases de reloj que activan y desactivan los interruptores.

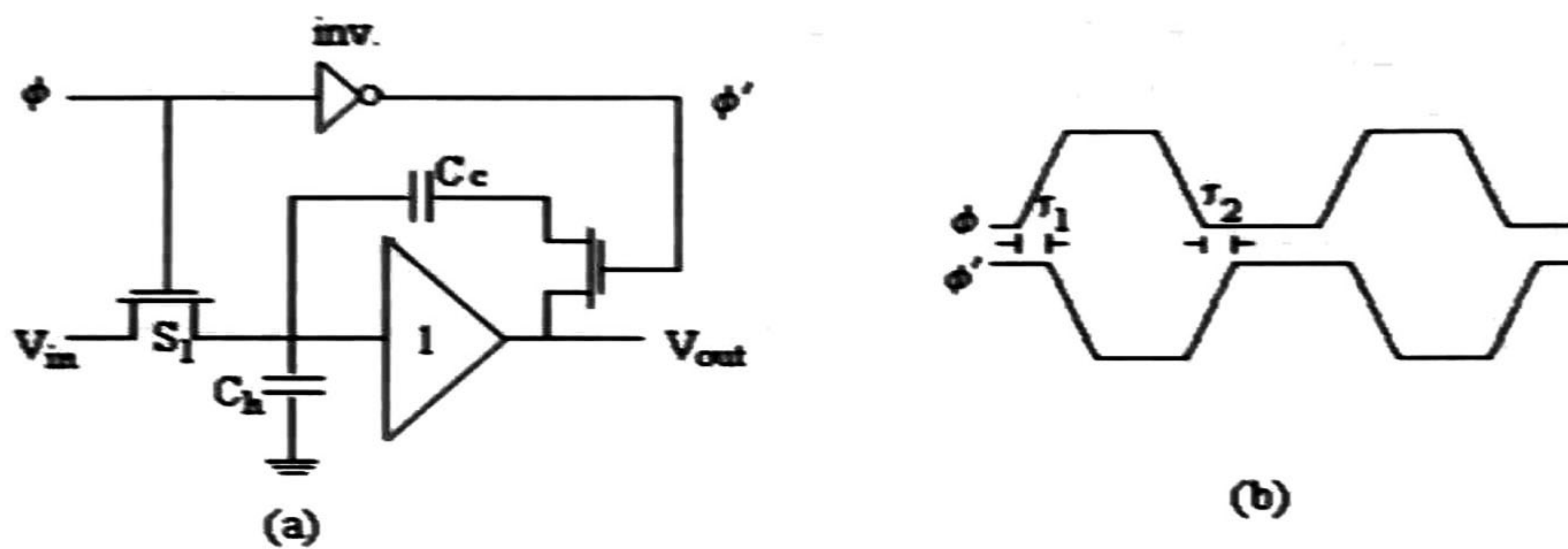


Figura 1.4 (a) Circuito de compensación de inyección de carga (b) Diagramas de tiempos de las señales de control[10].

El circuito consta de un interruptor,  $S_1$ , un capacitor de muestreo,  $C_h$ , y un buffer de ganancia unitaria. El circuito hace un muestro de la señal de entrada mientras la señal de control  $\phi$  está en alto, y retiene cuando  $\phi$  está en bajo. Para cancelar el efecto de la inyección de carga se han agregado el interruptor  $S_2$  y el capacitor  $C_c$  [10]; además, la señal de control  $\bar{\phi}$ <sup>i</sup> para evitar “glitches”<sup>ii</sup> a la salida (ver la Figura 1.4 (b)). Cuando  $\phi$  está en alto,  $C_h$  es cargado a la señal de entrada, mientras que  $C_c$  permanece descargado hasta que la inyección de carga del interruptor  $S_2$  es inyectada en el tiempo  $\tau_1$ , es decir, el capacitor  $C_c$  contiene una carga igual a:

$$Q_c = \frac{1}{2} C_{ox} (V_{out} - (\phi - V_t)) \tag{1.12}$$

donde  $C_{ox}$  es la capacitancia debida al óxido de compuerta y  $V_t$  corresponde al voltaje de umbral del transistor. Cuando la señal de control  $\phi$  cambia a un nivel lógico bajo, se lleva a cabo la inyección de carga de  $S_1$  sobre  $C_h$ , conteniendo una carga  $Q_h$  dada por:

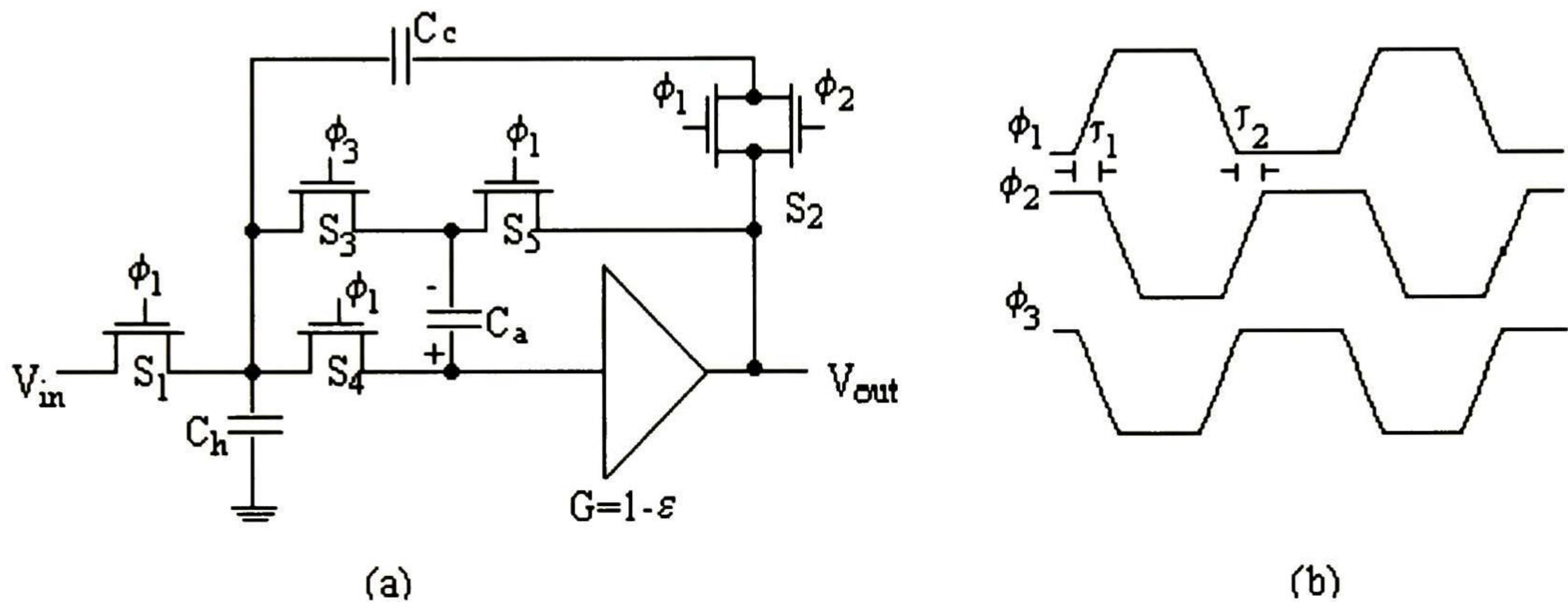
<sup>i</sup> Representa a la señal  $\phi$  invertida y retardada por un inversor para obtener un periodo de tiempo entre la subida y bajada de las señales de control.

<sup>ii</sup> Picos de voltaje que aparecen en el proceso de muestreo.



$$Q_h = C_h V_{in} + \frac{1}{2} C_{ox} (V_{out} - (\phi - V_t)) \quad (1.13)$$

Para obtener la carga total en el nodo de interés, se realiza la diferencia entre las ecuaciones (1.12) y (1.13), obteniendo una expresión dada por  $C_h V_{in}$ . Esto se debe a que las cargas inyectadas a cada capacitor son iguales (siempre y cuando los transistores sean iguales en dimensión) pero con polaridad opuesta, por lo tanto, tienden a eliminarse. Esto sucederá, siempre y cuando el buffer de ganancia unitaria sea ideal, en la práctica, éste tiene errores de ganancia y de offset. Es por ello, que se utiliza el circuito S/H de Temes [10], que compensa offset y error de ganancia (véase la Figura 1.5).



**Figura 1.5** (a) Circuito S/H con offset y error de ganancia compensados (b) Diagramas de tiempos de las señales de control[10].

Nótese en la Figura 1.5 (b) que las señales de control  $\phi_1$  y  $\phi_3$  son la misma señal, solo que invertidas, mientras que la señal  $\phi_2$  se mantuvo en las mismas circunstancias que en la Fig. 1.4, para compensar la inyección de carga. Cuando la señal de control  $\phi_1$  se encuentra en alto, el circuito se encuentra en modo de muestreo, ya que el capacitor  $C_h$  almacena el voltaje de entrada  $V_{in}$ , mientras que el capacitor  $C_a$  almacena el valor de  $V_a$ : (véase Figura 1.6)

$$V_a = V_{in} - (V_{in}(1 - \epsilon) + V_{os}) = V_{in} - V_{in} + V_{in}\epsilon - V_{os} = V_{in}\epsilon - V_{os} \quad (1.14)$$

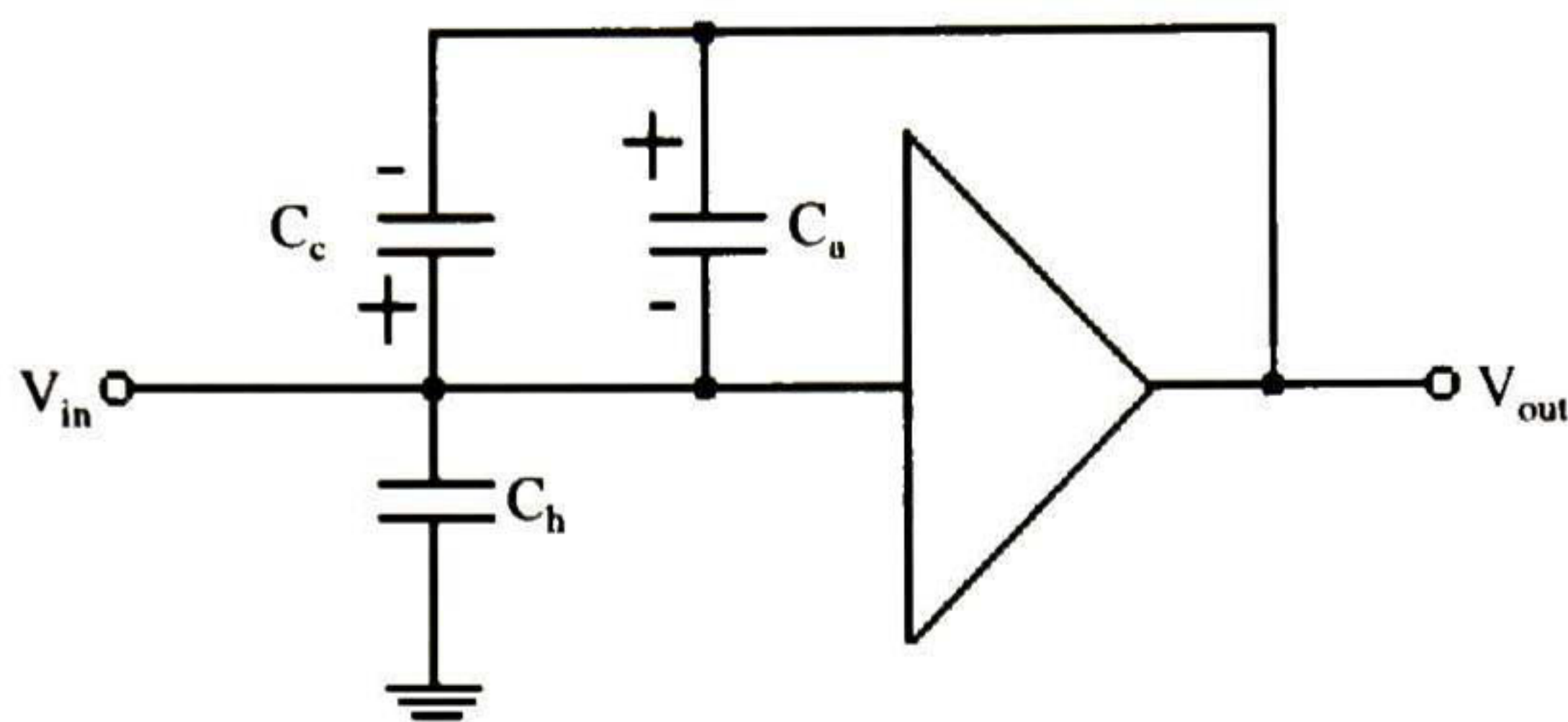
Esta característica se debe a que el buffer presenta un error de ganancia,  $\epsilon$ , y un voltaje de offset,  $V_{os}$ . Por lo tanto, el voltaje que se observa cuando la señal  $\phi_3$  está en alto, es:

$$V_{out} = [V_{in} + V_{in}\epsilon - V_{os}](1 - \epsilon) + V_{os} \quad (1.15)$$

simplicando (1.15) se obtiene la siguiente expresión

$$V_{out} = (1 - \epsilon^2)V_{in} + V_{os}\epsilon \quad (1.16)$$





**Figura 1.6** Circuito equivalente en modo muestreo.

Nótese de la ecuación (1.16) que se ha compensado el error de ganancia del buffer y el offset, ya que el término asociado al error de ganancia está elevado a la segunda potencia, mientras que el voltaje de offset es reducido al multiplicarse por el error de ganancia. El efecto de inyección de carga, es compensado a través del proceso explicado en la Figura 1.4.

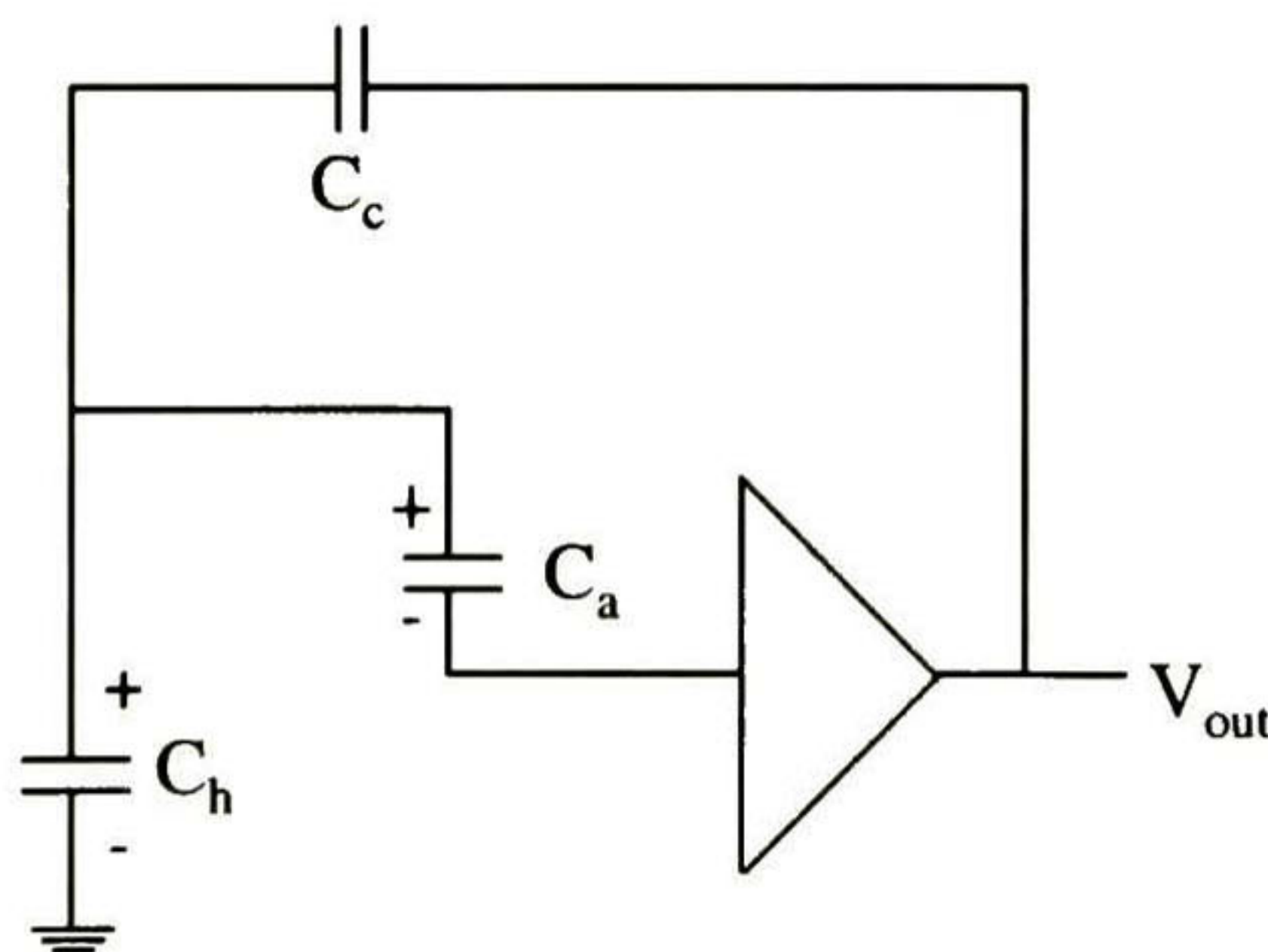
Otra de las ventajas que contiene este circuito S/H es que se puede obtener ganancia, para observar esto es necesario hacer un análisis en el dominio Z para que el proceso sea más sencillo. Supóngase que se tienen únicamente dos fases  $\phi_1$  y  $\phi_2$  ya que la fase  $\phi_3$  es aproximadamente igual a  $\phi_2$ , también supóngase que el análisis se realiza en  $\phi_1$  cuando  $(n-1) \leq (t/T) < (n-1/2)$  y en  $\phi_2$  cuando  $(n-1/2) \leq (t/T) < n$ , entonces, durante la fase  $\phi_1$  se tendrán las siguientes expresiones (ver Figura 1.6):

$$V_h = V_{in}^o(n-1) \quad (1.17)$$

$$V_c = -V_a = V_{in}^o(n-1) - V_{out}^o(n-1) \quad (1.18)$$

$$V_{out}^o(n-1) = 0 \quad (1.19)$$

nótese que los superíndices  $o$  y  $e$  describen el proceso en las fases  $\phi_1$  y  $\phi_2$  respectivamente.



**Figura 1.7** Circuito equivalente en modo retención.

Durante la fase  $\phi_2$  (ver Figura 1.7) se tiene que el capacitor  $C_h$  se descarga generando una corriente  $i$  que es igual a la corriente que fluye por el capacitor  $C_c$ , las expresiones son las



siguientes (nótese que por el capacitor  $C_a$  no hay corriente debido a la alta impedancia del Opamp):

para  $C_h$ :

$$i = -C_h \left[ \frac{V_{in}^e(n - 1/2) - V_{in}^o(n - 1)}{T/2} \right] = \frac{2C_h V_{in}^o(n - 1)}{T} \quad (1.20)$$

para  $C_c$ :

$$i = -C_c \left[ \frac{[V_{in}^o(n - 1) - V_{out}^e(n - 1/2)] - [V_{in}^o(n - 1) - V_{out}^o(n - 1)]}{T/2} \right] = \frac{2C_c V_{out}^e(n - 1/2)}{T} \quad (1.21)$$

igualando las ecuaciones (1.20) y (1.21) se obtiene el siguiente resultado

$$\frac{V_{out}^e(n - 1/2)}{V_{in}^o(n - 1)} = \frac{C_h}{C_c} \quad (1.22)$$

y llevando ésta al dominio Z se puede observar la existencia de un retardo de medio periodo entre la entrada y la salida del circuito de la Figura 1.5:

$$H^{oe}(z) = \frac{V_{out}^e(z)}{V_{in}^o(z)} = \frac{C_h}{C_c} z^{-1/2} \quad (1.23)$$

De la ecuación (1.23) se puede observar que efectivamente se tiene una ganancia en función de los capacitores  $C_h$  y  $C_c$ .

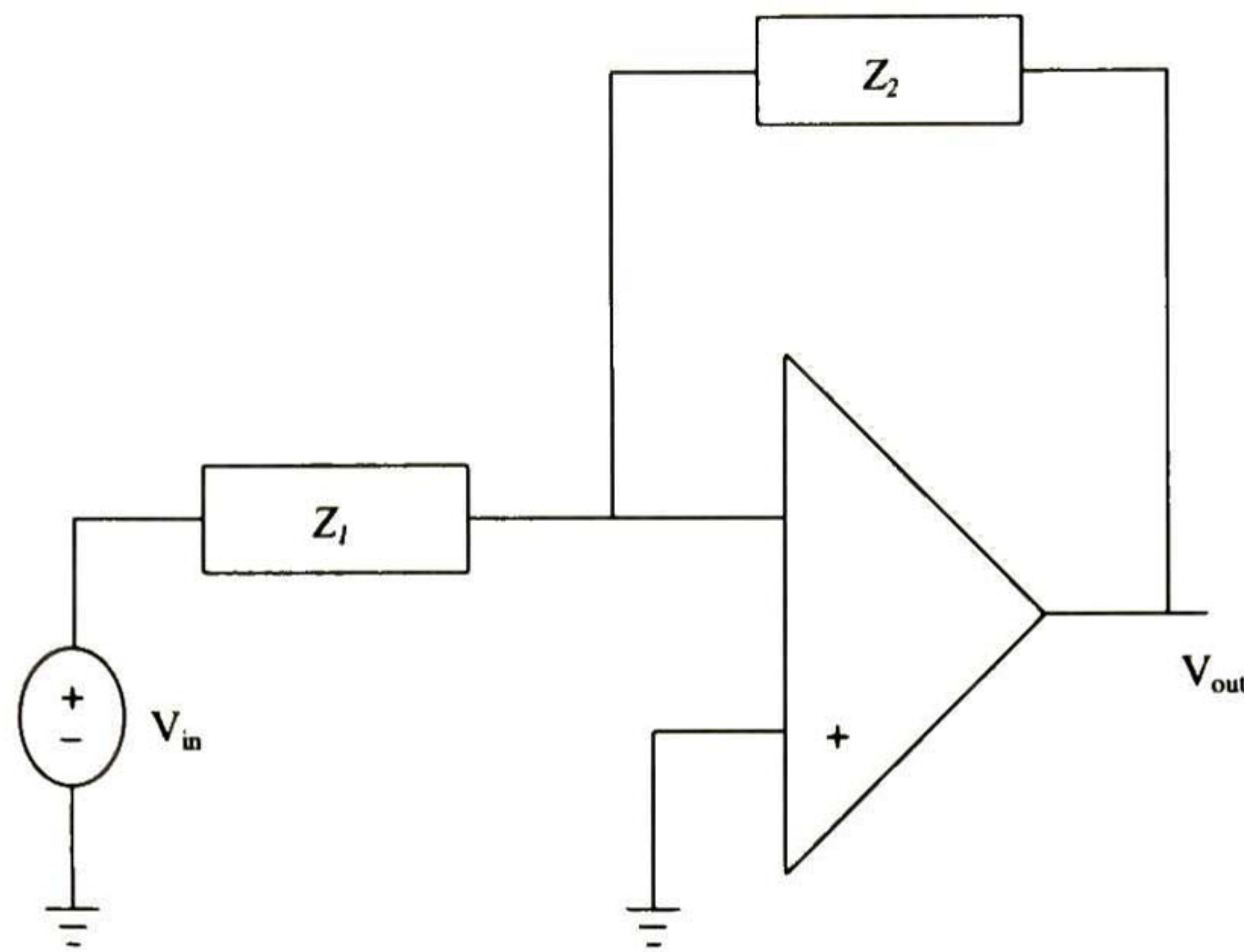
### 1.3.2 Circuitos Multiplicadores.

Una de las funciones comúnmente usadas en el procesamiento de señales analógicas es la amplificación de voltaje. En la Figura 1.8 se muestra el circuito comúnmente utilizado, en una forma esquemática. La relación entrada-salida es claramente:

$$\frac{V_{out}}{V_{in}} = -\frac{Z_2}{Z_1} \quad (1.24)$$

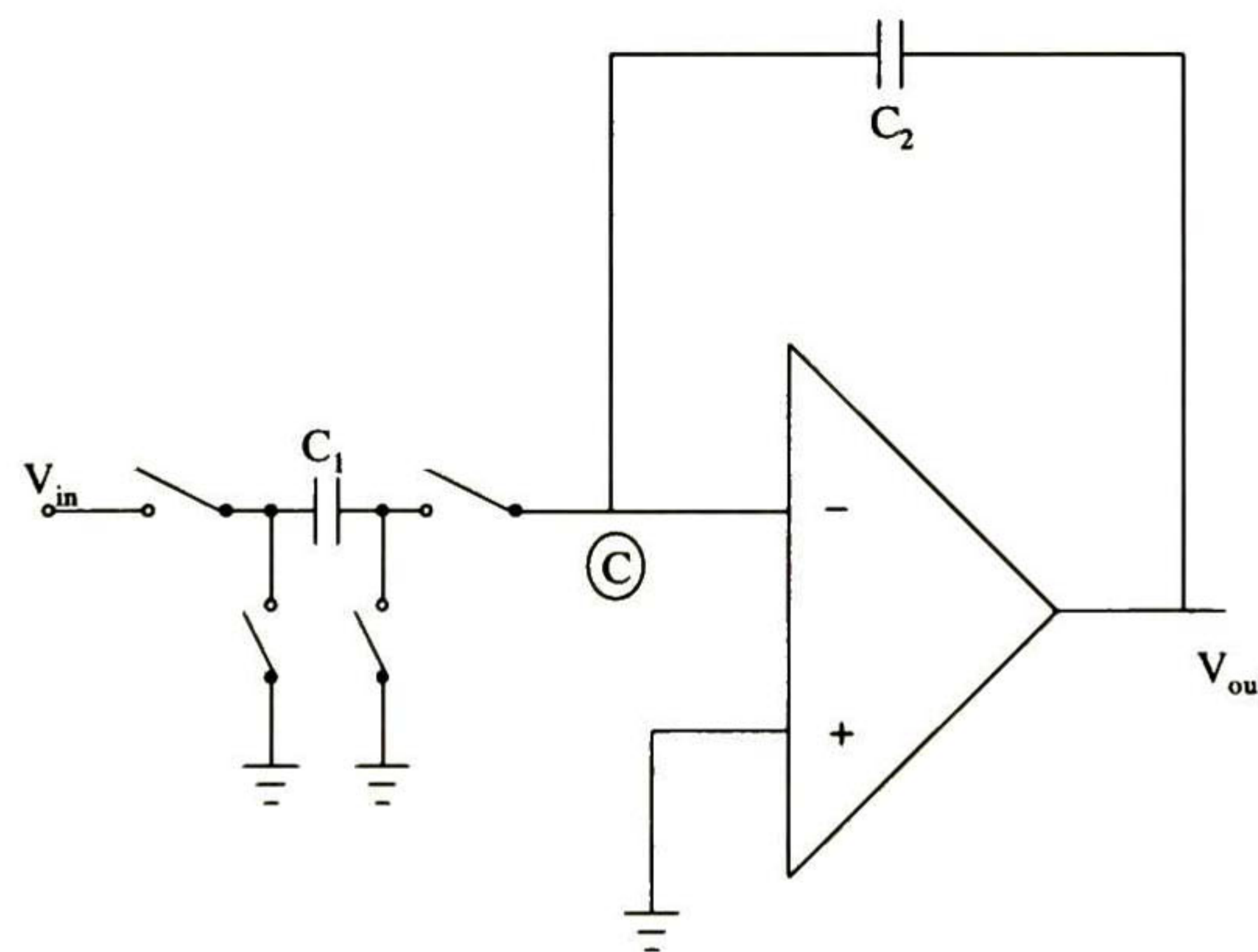
Si  $Z_2 = kZ_1$ , donde  $k$  es una constante, se logra obtener una ganancia fija. En tecnología bipolar,  $Z_1$  y  $Z_2$  comúnmente son resistencias de precisión; en tecnología MOS es preferible utilizar capacitores e interruptores, lo cual se debe a la facilidad para obtener capacitores de alta calidad en esta tecnología y aprovechar la capacidad de almacenamiento de carga en nodos por periodos grandes de tiempo (más de 1seg.) [11].





**Figura 1.8** Amplificador de Voltaje General [11].

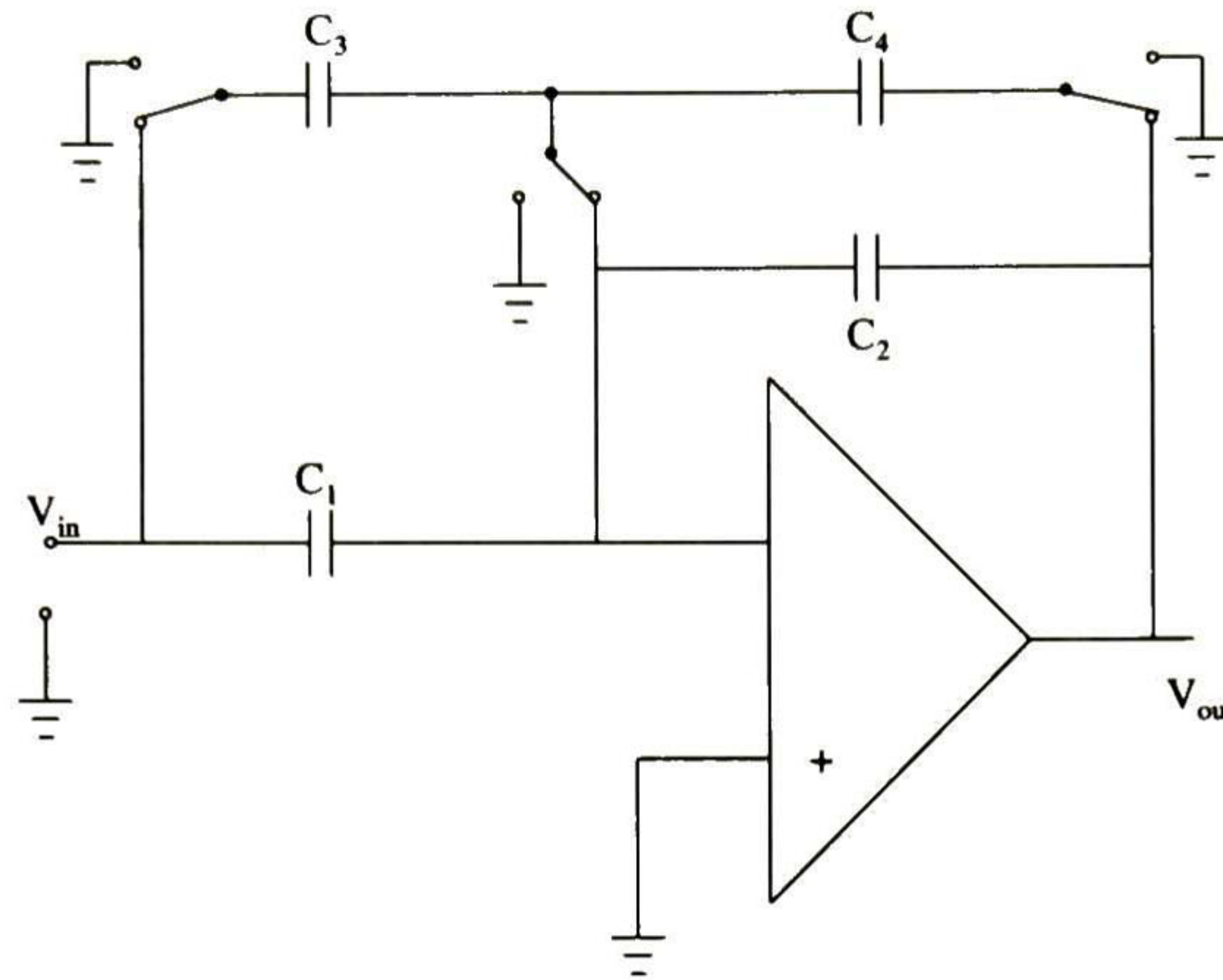
El arreglo más simple es seleccionar  $Z_1$  y  $Z_2$  como capacitores. Sin embargo, ya que la terminal inversora del Opamp es flotante, en un momento la corriente de fuga cargará las pequeñas capacitancias parásitas que están entre la terminal y tierra a un potencial de dc, el cual saturará al Opamp. Otra opción para  $Z_1$  y  $Z_2$  es colocar una rama de capacitores conmutados, como la que se muestra en la Figura 1.9, entre los nodos de entrada y el nodo ©. Sin embargo, si se implementa la rama de capacitores conmutados donde se muestra  $Z_2$ , entonces, durante el primer medio ciclo de reloj, la rama en retroalimentación se pondrá en circuito abierto. Durante este tiempo, el Opamp estará en saturación y así permanecerá.



**Figura 1.9** Amplificador de Voltaje con Capacitores Conmutados [11].

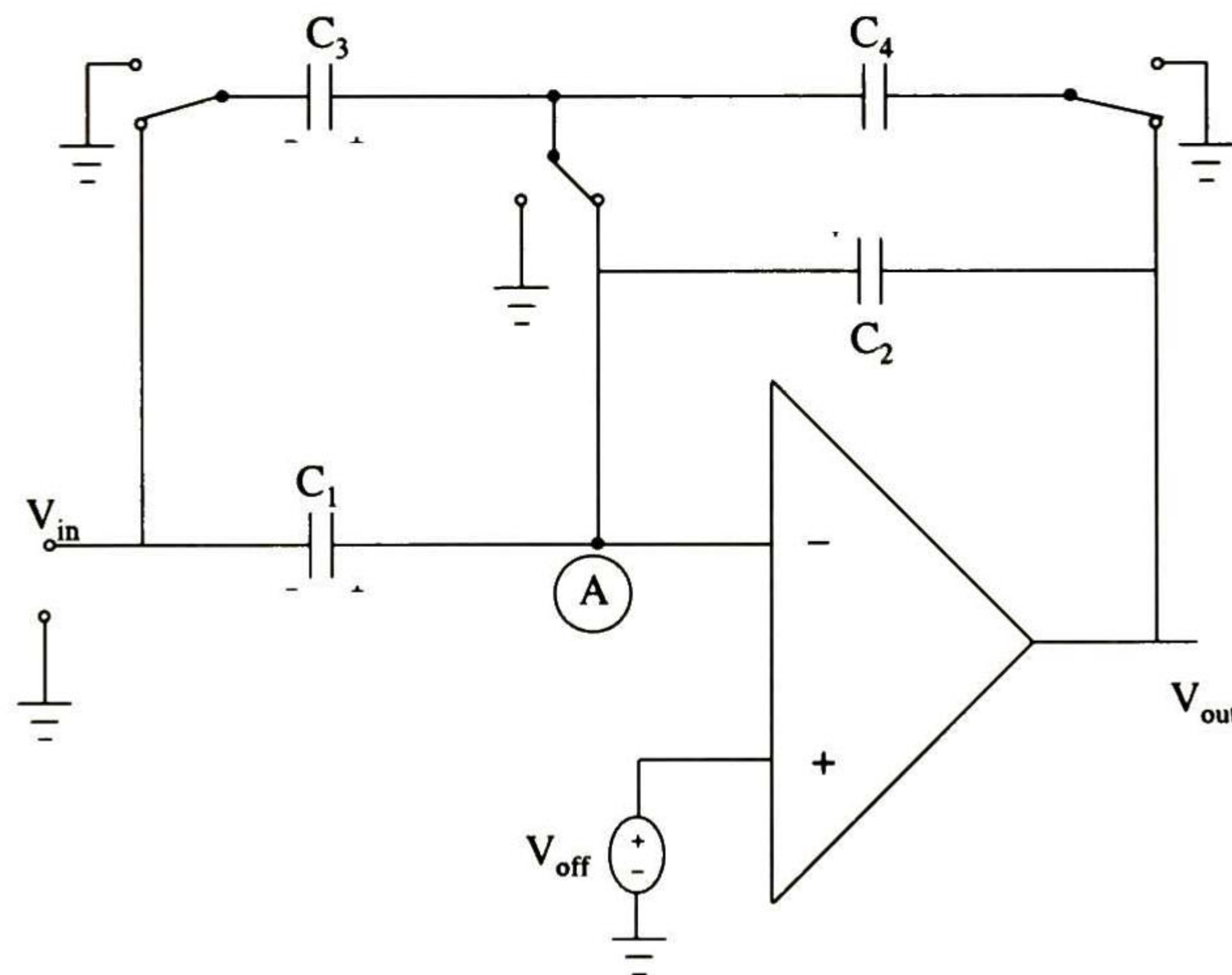
Los capacitores fijos proporcionan una retroalimentación continua pero permite una corriente de fuga que se acumula en la capacitancia parásita situada en la terminal de entrada del Opamp. Por otro lado, la rama de capacitores conmutados descarga las capacitancias parásitas, pero no proporciona una retroalimentación continua. Para aprovechar ambas ventajas se debe usar una combinación de ambos tipos en paralelo. Un circuito en donde se muestran  $Z_1$  y  $Z_2$  realizados de esta forma, se muestra en la Figura 1.10.





**Figura 1.10** Amplificador de Voltaje [11].

Una importante desventaja de los circuitos anteriores es que el voltaje offset de los Opamps afecta al voltaje de salida  $V_{out}$ . Si se denota el voltaje offset como  $V_{off}$ , el circuito equivalente de la Figura 1.11 puede ser utilizado para mostrar este efecto.



**Figura 1.11** Circuito amplificador de voltaje mostrando el voltaje de offset del Opamp [11].

Para analizar el voltaje offset se hace  $V_{in} = 0$ . El voltaje en el nodo A es  $V_{off}$ , y los voltajes a través de los capacitores  $C_1$  y  $C_2$  son  $V_{off}$  y  $(V_{off} - V_{out})$ , respectivamente; ambos son valores constantes. Cuando los interruptores están en la posición que se muestra en la Figura 1.11,  $C_3$  absorbe una carga  $q_1 = C_1 V_{off}$  del nodo A, mientras que  $C_4$  lo hace de la carga  $q_2 = C_2 (V_{off} - V_{out})$ . Ya que las cargas de  $C_1$  y  $C_2$  no cambian:

$$q_1 + q_2 = 0 \tag{1.25}$$

y



$$C_3 V_{off} = C_4 (V_{out} - V_{off}) \quad (1.26)$$

Si  $C_3 = \alpha C_1$  y  $C_4 = \alpha C_2$ , donde  $\alpha$  es un factor constante, se obtiene que:

$$V_{out} = \left( 1 + \frac{C_1}{C_2} \right) V_{off} = (1 + |A_v|) V_{off} \quad (1.27)$$

Aquí  $|A_v| = C_1/C_2$  es la ganancia en voltaje del amplificador. De ésta manera, se obtiene el voltaje offset en el nodo de salida; para muchas aplicaciones, éste parámetro es inaceptable.

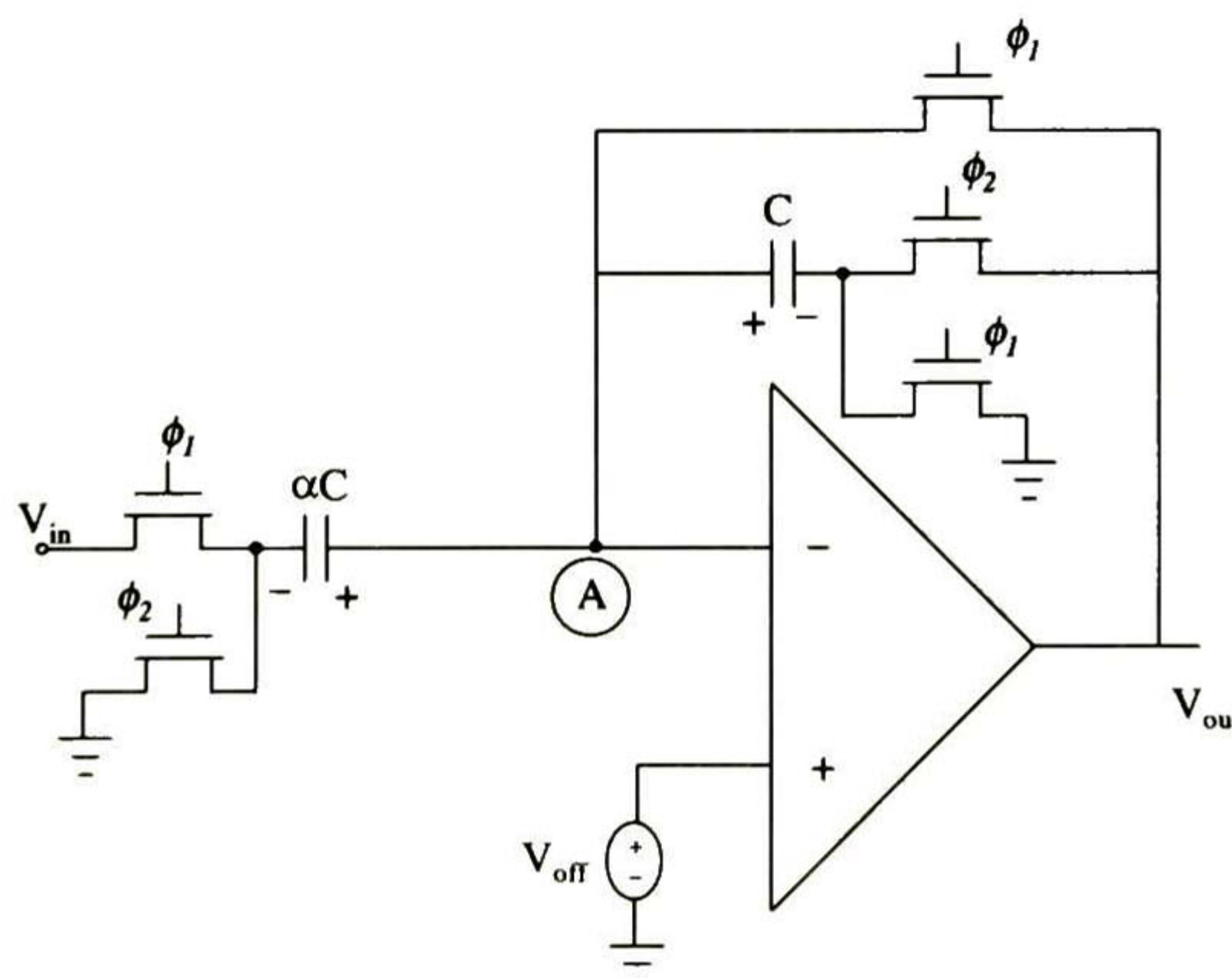
Para reducir los efectos del voltaje offset, se puede usar el circuito compensador que se muestra en la Figura 1.12. Cuando  $\phi_1 = 1$ , el Opamp tiene conectadas su terminal de entrada inversora con el nodo de salida, y de ésta forma se realiza un seguidor de voltaje, con voltaje de salida  $V_{off}$ . Así, el capacitor  $\alpha C$  se carga a un potencial  $(V_{off} - V_{in})$ , mientras que  $C$  se carga a  $V_{off}$ . Cuando  $\phi_2$  cambia a estado lógico alto,  $\alpha C$  se recarga a  $V_{off}$  y  $C$  a  $(V_{off} - V_{out})$ . Por conservación de carga en el nodo A, se tiene que:

$$\alpha C (V_{off} - [V_{off} - V_{in}]) + C (V_{off} - V_{out} - V_{off}) = 0 \quad (1.28)$$

de esto se puede observar que el voltaje offset del Opamp puede ser eliminado, resultando la siguiente expresión:

$$V_{out} = -\alpha V_{in} \quad (1.29)$$

Así, se tiene una ganancia o un factor de multiplicación con valor  $\alpha$ .



**Figura 1.12** Amplificador de Voltaje Inversor con Compensación de Offset [11].



### 1.3.3 Capacitores.

La tecnología MOS (Metal Oxido Semiconductor) en circuitos integrados es ideal para fabricar capacitores debido a su capacidad de almacenamiento de paquetes de carga por periodos “largos de tiempo” así como para mover los paquetes por medio del control de un reloj y/o para sensar continuamente la carga sin destruir la información contenida en ella. Los paquetes de carga pueden ser almacenados en capacitancias nodales pequeñas que se encuentran dentro del circuito de manera intrínseca.

En sistemas con capacitores conmutados, los capacitores monolíticos MOS son usados en filtros y como elementos de precisión en sumadores/integradores para el muestreo de datos, los cuales son bloques básicos en la mayoría de los filtros de capacitores conmutados [12]. Los capacitores pueden ser realizados en circuitos integrados monolíticos con mucha exactitud, estabilidad y linealidad. Sin embargo los capacitores en tecnología bipolar son muy poco usados a pesar de requerir valores altos (hasta 50pF), ya que no se acoplan bien a los niveles de impedancia y además a la existencia de capacitancias parásitas. Así, los capacitores como elementos pasivos de precisión son de gran utilidad únicamente en circuitos MOS, donde todos los problemas mencionados anteriormente son reducidos o eliminados [13].

Existen varias formas para realizar un capacitor, así como distintas tecnologías en las cuales puede ser implementado.

- (a) *Capacitores de unión PN*, estos capacitores son bien conocidos. Sus valores son pequeños, pobremente controlables en el proceso de fabricación y el coeficiente de voltaje inherentemente grande y la disponibilidad de la tecnología MOS han hecho que estos capacitores hayan sido eliminados de la lista de elementos potencialmente útiles en circuitos analógicos de precisión [13].
- (b) *El capacitor MOS clásico*, consiste de una placa superior altamente conductiva, un dieléctrico ( $\text{SiO}_2$ ) y una placa inferior semiconductor, ligeramente contaminada. Tiene un coeficiente de voltaje grande, cercano al voltaje de banda plana o al voltaje de umbral del transistor MOS (comúnmente en el rango de 0 a 2 Volts). Para poder alcanzar un coeficiente de voltaje pequeño, el capacitor MOS debe ser operado en el rango de 5V a 10V, en acumulación o inversión. Esta es una restricción difícil desde el punto de vista del diseño de un circuito. Sin embargo, los capacitores MOS que tienen “bulk”<sup>iii</sup>, pozo CMOS o regiones implantadas utilizadas como placa inferior, mostrarán no idealidades del 0.1% por Volt o mucho más. Como tal, no son útiles en convertidores de precisión [13].
- (c) *Los procesos MOS de Compuerta Metálica* (PMOS, NMOS, CMOS), permiten el desarrollo de un capacitor con placa superior de metal, un óxido de compuerta como dieléctrico y como placa inferior una región (drenaje-fuente)  $\text{P}^+$  o  $\text{N}^+$  [13]. Los coeficientes de voltaje y temperatura de la capacitancia son bajos, en los rangos de 10-100 ppm/V y 10-20 ppm/°C. El óxido de compuerta es un excelente y muy estable dieléctrico [11, 13, 14].

<sup>iii</sup> Bulk: substrato o cuerpo del semiconductor.



Existen muchos otros tipos de capacitores, así como técnicas para realizarlos, tales como estructuras de: Metal o Polisilicio sobre Difusión [11, 14], Polisilicio sobre Polisilicio [11, 14], Metal sobre Polisilicio [11], etc., pero los capacitores MOS pueden en general ser clasificados dentro de dos tipos dependiendo del material sobre el cual se hace crecer un óxido: 1) capacitores formados en silicio altamente contaminado o, 2) capacitores formados sobre silicio policristalino. Nótese que para capacitores de precisión por lo general no es apropiado depositar químicamente la capa de dieléctrico (dióxido de silicio), ya que exhibe grandes variaciones en el grosor (pobre acoplamiento) e indeseables efectos de histéresis carga-voltaje. Existen muchas variaciones en los dos tipos básicos de capacitores, y sus propiedades pueden ser sustancialmente diferentes en términos de capacitancia por unidad de área, exactitud en acoplamiento, capacitancias parásitas y coeficientes de temperatura y voltaje [12]. Desde el punto de vista del convertidor A/D algorítmico, las características más importantes son:

- a) *Exactitud en la razón del Capacitor:* Un aspecto clave en la realización de cualquier convertidor es la exactitud de la respuesta en frecuencia. Para circuitos con capacitores conmutados, esto requiere de un cierto nivel de exactitud en las geometrías del capacitor. Los capacitores tienen un valor, el cual se forma por la permitividad del dieléctrico, el grosor del dieléctrico, y el área del capacitor [12, 14], es decir:

$$C = \frac{\epsilon_0 \epsilon_{ox} A}{t_{ox}} = \frac{\epsilon_0 \epsilon_{ox} WL}{t_{ox}} \quad (1.30)$$

donde  $\epsilon_0$  es la permitividad del vacío,  $\epsilon_{ox}$  es la constante del óxido,  $t_{ox}$  el grosor del óxido y  $A = WL$  es el área del capacitor [11], siendo esta expresión ideal. Suponiendo, que la constante del dieléctrico y el área del capacitor no varían, la razón de dos capacitores en un mismo circuito integrado dependerá únicamente de la razón de su área [14].

- b) *Coefficiente de Temperatura y Voltaje de la Capacitancia:* Los capacitores MOS realizados con placas de silicio altamente contaminado, muestran típicamente coeficientes de voltaje en el rango de 10 a 200 ppm/V. Los coeficientes de temperatura están generalmente en el rango de 20 a 50 ppm/°C [11, 12], 14]. Estas variaciones son lo suficientemente pequeñas para ser insignificantes en la mayoría de las aplicaciones [14].
- c) *Capacitancias parásitas:* En los capacitores realizados con polisilicio-polisilicio y los realizados en metal-silicio, existen capacitancias parásitas considerables de la placa inferior al substrato. En el caso de capacitores realizados con dos placas de polisilicio, ésta es la capacitancia de la capa de SiO<sub>2</sub> bajo la primer capa de polisilicio. En el caso de los capacitores de metal-silicio, se encuentra en la unión *pn* alrededor de la región altamente contaminada. Típicamente, esta capacitancia parásita tiene un valor de 1/15 a 1/20 del valor del mismo capacitor, dependiendo de la tecnología con que se realice. También, a causa de que la placa superior del capacitor MOS debe ser conectada a otra circuitería, existirá una pequeña capacitancia desde la placa superior del capacitor al substrato debido a las interconexiones. Estas capacitancias parásitas son inevitables,

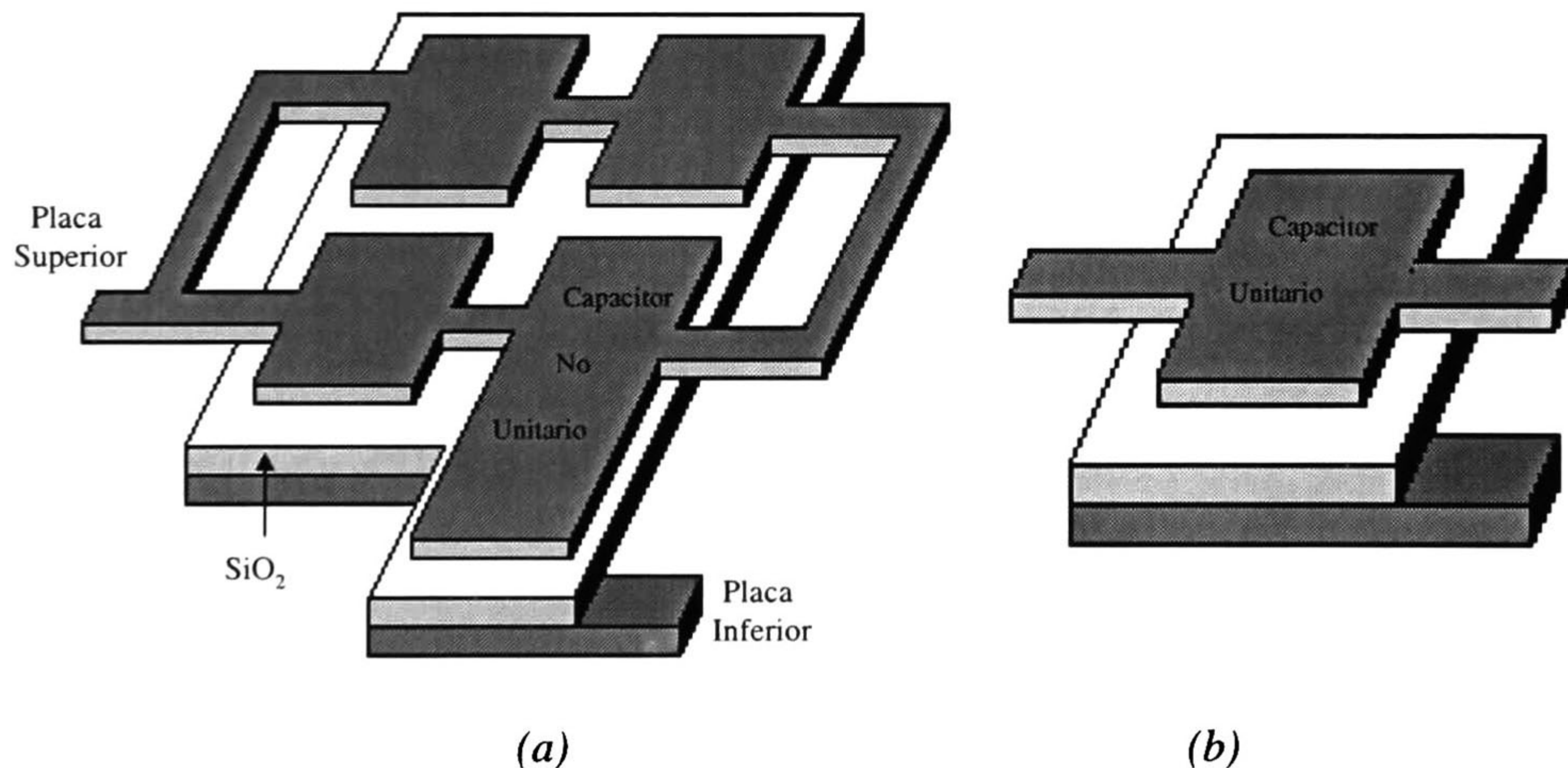


y el diseño de circuitos con capacitores conmutados debe ser realizado de tal forma que éstas no degraden el desempeño y resultado final [14].

La exactitud en la razón es también una función del tipo de capacitor; debido al óxido de alta calidad, los capacitores formados sobre silicio cristalino comúnmente tienen mejor acoplamiento que los que tienen como dieléctrico polioxido. Los óxidos depositados generalmente no son buenos para la fabricación de capacitores de precisión [12]. Aunque no existen datos disponibles en la literatura respecto a las características de acoplamiento de los capacitores de nitruro de silicio/polioxido, se puede advertir que su exactitud de acoplamiento sería relativamente pobre debido al hecho de que la capa de nitruro de silicio es muy delgada y se dificulta su control. Así, aunque la capa de nitruro incrementa la capacitancia por unidad de área, la aparente ventaja en área de chip puede ser perdida debido a que serían requeridos capacitores unitarios grandes para alcanzar el mismo grado de acoplamiento en la razón que se obtiene con los tipos de capacitor convencionales [12].

Los errores de acoplamiento en la razón debido a efectos de óxido o de límite, también pueden ser clasificados en términos de errores sistemáticos. Con respecto a los efectos de óxido, se pueden utilizar arreglos de capacitores en centroide común para eliminar errores sistemáticos debido a la variabilidad del grosor de óxido.

En sistemas de capacitores conmutados, comúnmente se utiliza un capacitor unitario como el capacitor que conmuta, mientras que los capacitores de integración o suma son construidos mediante un número (usualmente en múltiplos) de capacitores unitarios [12], como se ilustra en la Figura 1.13.



**Figura 1.13** Arreglos Típicos de capacitores. (a) Interconexión de varios capacitores unitarios para formar capacitores de integración y/o suma, (b) Capacitor unitario utilizado como capacitor de muestreo o de conmutación [12].



Como se observó anteriormente, la precisión depende de muchos factores, de los cuales la mayoría están relacionados con el proceso de fabricación. A continuación será considerado uno de estos puntos [11].

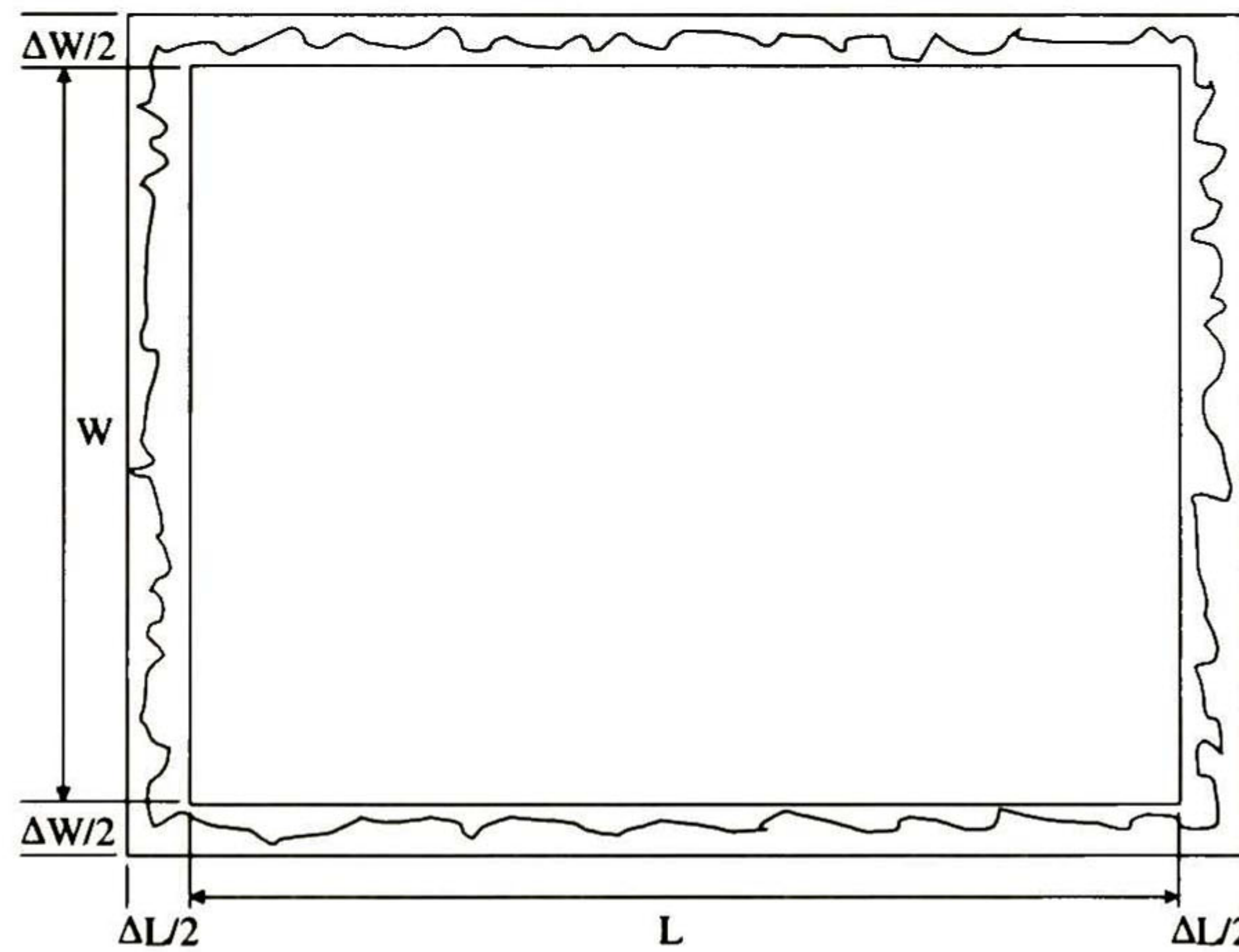
En la Figura 1.14 se muestra la vista superior de un capacitor MOS. Como se indica en la Figura, los límites o bordes de los electrodos están sujetos a variaciones aleatorias. Por esto, el área del capacitor también varía y por lo tanto también  $C$  lo hace, de la ecuación 1.30 se obtiene la variación  $\Delta C$ , de la siguiente forma [11]:

$$\Delta C = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} [(W + \Delta W)(L + \Delta L) - WL] \tag{1.31}$$

De lo anterior, se puede obtener una relación entre  $\Delta C, \Delta W, \Delta L$  como sigue:

$$\frac{\Delta C}{C} \cong \frac{\Delta W}{W} + \frac{\Delta L}{L} \tag{1.32}$$

donde,  $\Delta W$  es la variación aleatoria a lo ancho del capacitor,  $\Delta L$  es la variación aleatorio a lo largo del capacitor y  $\Delta C$  es la variación en la capacitancia por consecuencia de las variaciones en  $W$  y  $L$  (ver Figura 1.14).



**Figura 1.14** Variaciones Aleatorias en los límites de un capacitor MOS [11].

Suponiendo que  $X$  e  $Y$  son variables aleatorias independientes y  $Z = X + Y$  entonces, se cumple que,  $\sigma_Z^2 = \sigma_W^2 + \sigma_L^2$ , de donde se tiene que  $X = \Delta W/W, Y = \Delta L/L, Z = \Delta C/C$ . De esto y de la ecuación 1.32 se tiene el siguiente resultado:

$$\frac{\sigma_C^2}{C^2} = \frac{\sigma_W^2}{W^2} + \frac{\sigma_L^2}{L^2} \tag{1.33}$$



donde  $\Delta C = \frac{\sigma_C^2}{C}$ ,  $\Delta W = \frac{\sigma_W^2}{W}$  y  $\Delta L = \frac{\sigma_L^2}{L}$ . Despejando  $\sigma_C$  se tiene el error relativo  $\sigma_C / C$ :

$$\frac{\sigma_C}{C} = \sqrt{\frac{\sigma_W^2}{W^2} + \frac{\sigma_L^2}{L^2}} \quad (1.34)$$

Suponiendo que,  $\sigma_L = \sigma_W$ , la desviación estándar de  $\Delta C$  se reduce a la siguiente expresión:

$$\sigma_C = C\sigma_L\sqrt{W^{-2} + L^{-2}} \quad (1.35)$$

Ya que  $C$  (y de éste modo  $WL$ ) es fijo, la condición para minimizar el error relativo del capacitor  $C$  es  $W = L$ . De éste modo, para un error relativo de capacitancia lo más pequeño posible, la forma de los capacitores debe de ser *cuadrada*. Hay que notar que el valor de la capacitancia es proporcional al área y su error es proporcional al perímetro, sería aún mejor una forma circular, sin embargo no es práctica su fabricación [11].

Otro de los errores que se pueden producir durante el proceso de fabricación del capacitor es el crecimiento no uniforme del óxido, esto puede afectar a dos capacitores vecinos que de igual área no sean iguales en valor debido a que el grosor del óxido varía, como se ilustra en la Figura 1.15.

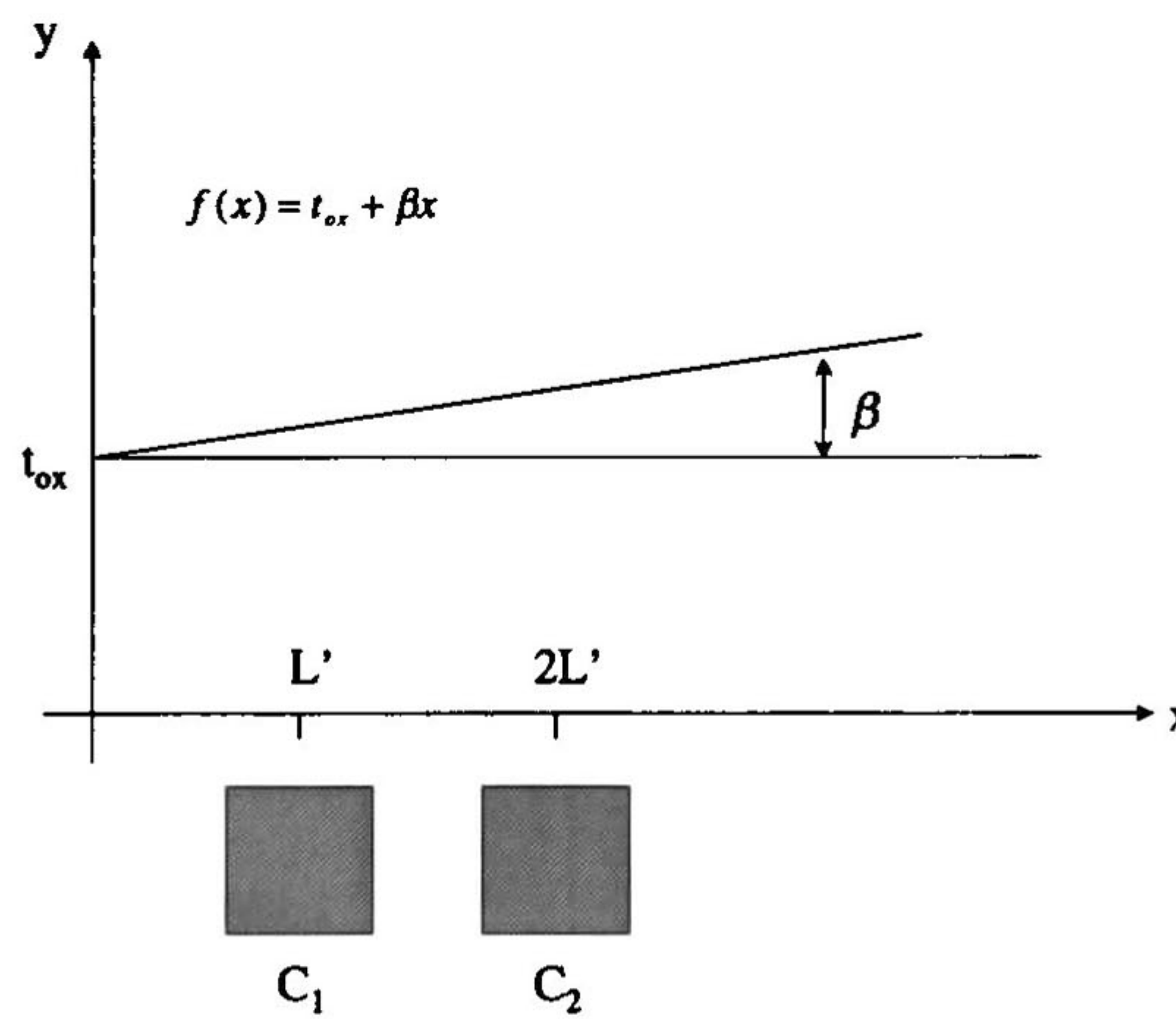


Figura 1.15 Crecimiento no uniforme del óxido [15].

Como se puede observar en la gráfica, existe un gradiente en el crecimiento del óxido, lo cual afectará directamente al valor de la capacitancia (ver ecuación 1.30).



Ante la necesidad de cumplir con una relación entre dos o más capacitores se puede realizar una representación de forma matemática de cada uno de los capacitores, tomando en cuenta la ecuación 1.30 y la Figura 1.15, como sigue [15]:

$$C_1 = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox} + \beta L'} A \quad (1.36)$$

y,

$$C_2 = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox} + 2\beta L'} A \quad (1.37)$$

donde,  $L'$  es la distancia mínima permisible entre cualquier capacitor MOS,  $\beta$  es la variación del óxido. Estas dos expresiones se cumplen, ya que se supuso que  $\beta$  es la misma en toda el área de cada capacitor.

Teniendo en cuenta estas consideraciones, se puede encontrar que la razón entre  $C_1$  y  $C_2$  es la siguiente:

$$\frac{C_1}{C_2} = \left( 1 + 2 \frac{\beta L'}{t_{ox}} \right) \left( 1 + \frac{\beta L'}{t_{ox}} \right)^{-1} \quad (1.38)$$

Se puede observar la existencia de un error, ya que se esperaba un resultado igual a 1. Para resolver este problema, se puede hacer un arreglo de capacitores que compensen este error. A manera de explicación, considérese el siguiente ejemplo: Si se tiene un gradiente de crecimiento de óxido en dirección  $x$ , diseñar un arreglo de capacitores que cumpla con la expresión  $C_1/C_2 = 1$ . El arreglo podría estar dado como el que se muestra en la Figura 1.16.

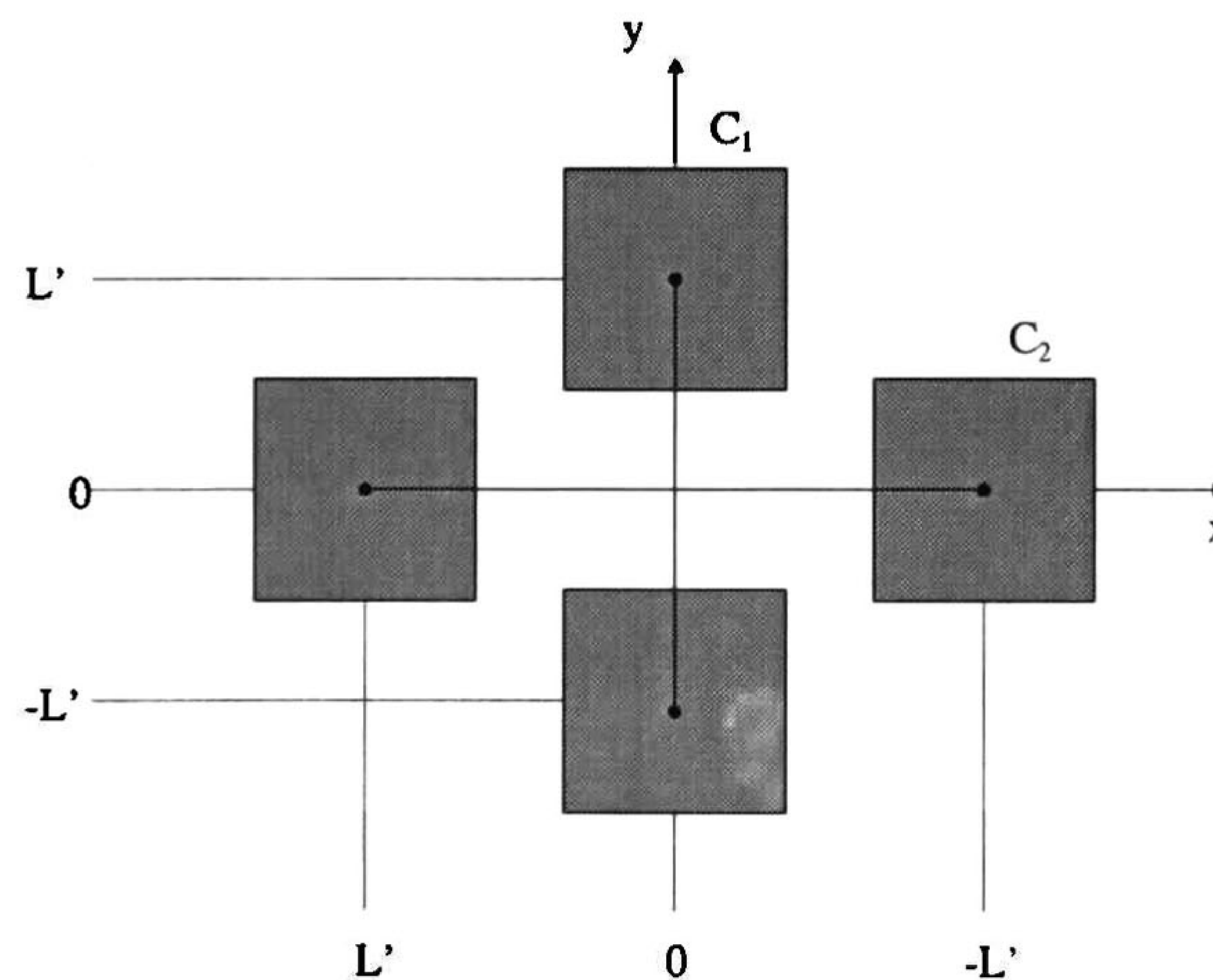


Figura 1.16 Arreglo de Capacitores para obtener una relación de 1 [15].



Basándose en la Figura 1.16, primero se obtendrá el crecimiento en dirección de  $x$ , para  $C_1$  y  $C_2$ , como sigue [15]:

$$C_1 = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} A + \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} A = 2 \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} A \quad (1.39)$$

y,

$$C_2 = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox} + \beta L'} A + \frac{\epsilon_0 \epsilon_{ox}}{t_{ox} - \beta L'} A = 2 \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} A \left( \frac{1}{1 - \left( \beta \frac{L'}{t_{ox}} \right)^2} \right) \quad (1.40)$$

Ya que  $C_1$  tiene sus dos capacitores en la misma posición con respecto a la dirección  $x$  y por lo tanto solo se afecta al capacitor  $C_2$ . Entonces, de éstas dos relaciones se tiene que [15]:

$$\frac{C_1}{C_2} = 1 - \left( \frac{\beta L'}{t_{ox}} \right)^2 \quad \text{para la dirección } x. \quad (1.41)$$

Se puede observar que en esta ocasión el error ha disminuido ya que está afectado por un exponente cuadrático.

Ahora, de manera similar al procedimiento anterior, pero suponiendo que  $\beta$  es la misma en ambas direcciones, se puede encontrar la relación para el crecimiento en ambas direcciones, de la siguiente manera:

$$C_1 = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox} + \beta L'} A + \frac{\epsilon_0 \epsilon_{ox}}{t_{ox} - \beta L'} A = 2 \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} A \left( \frac{1}{1 - \left( \beta \frac{L'}{t_{ox}} \right)^2} \right) \quad (1.42)$$

y,

$$C_2 = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox} + \beta L'} A + \frac{\epsilon_0 \epsilon_{ox}}{t_{ox} - \beta L'} A = 2 \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} A \left( \frac{1}{1 - \left( \beta \frac{L'}{t_{ox}} \right)^2} \right) \quad (1.43)$$



Debido a que se está tomando en consideración a las dos direcciones a la vez. Entonces de estas dos relaciones se tiene que:

$$\frac{C_1}{C_2} = 1, \text{ con respecto a las direcciones } x \text{ y } y. \tag{1.44}$$

De este ejemplo anterior, se puede decir que para minimizar el error de crecimiento de óxido, es necesario realizar un arreglo de capacitores que sea simétrico, es decir, teniendo un diseño en centroide común.

Un ejemplo donde se pueden apreciar más estas características puede ser en el que se tienen tres capacitores y se requieren conservar las siguientes relaciones:  $C_3/C_1 = 4$  y  $C_2/C_1 = 2$ . Su diseño se muestra en la Figura 1.17. Como se puede observar en tal Figura, el arreglo es simétrico y se tiene un capacitor ( $C_1$ ) que es el que marca la base del diseño, los demás capacitores se acomodan alrededor de éste de forma que el diseño final resulte simétrico. Para este caso se utilizaron  $C_1 = 1$ ,  $C_2 = 2$  y  $C_3 = 4$ .

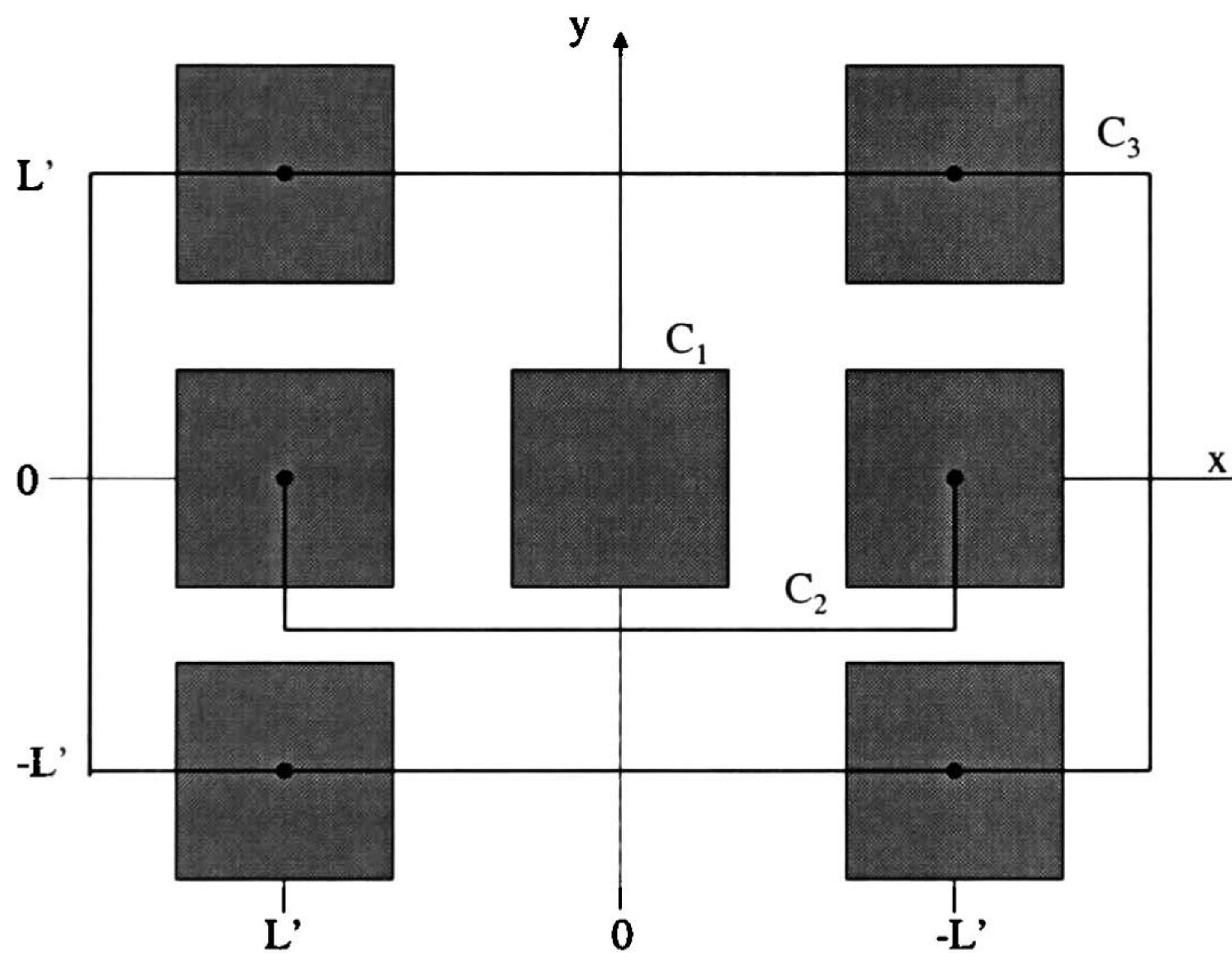
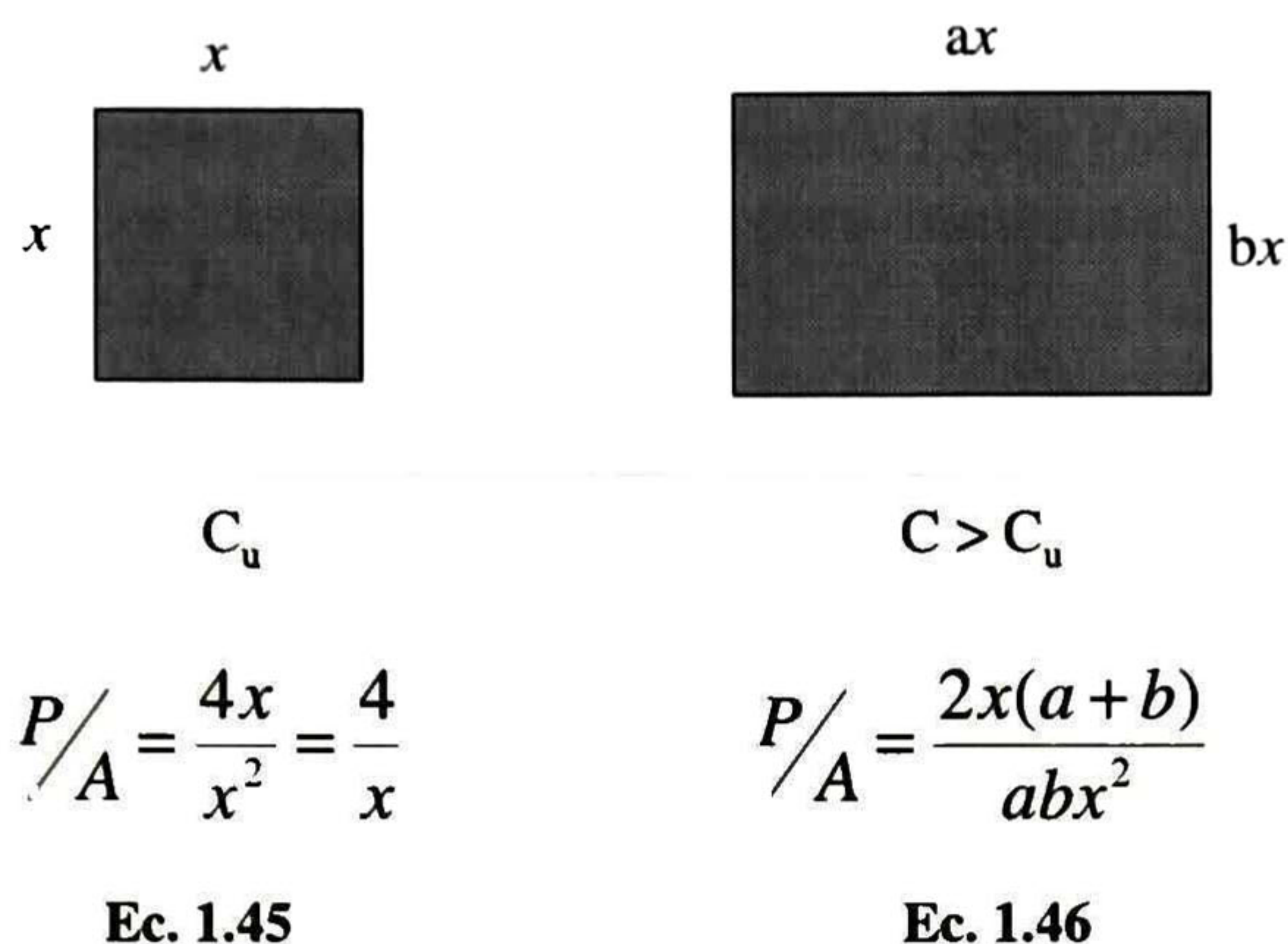


Figura 1.17 Arreglo de 3 capacitores en centroide común.

Suponiendo que se requiere diseñar una razón de capacitancias no entera, como  $C_1/C_2=3.5$ , se puede realizar de manera similar a los procedimientos anteriores. Se escogería a  $C_1$  como  $7C_u$  y a  $C_2$  como  $2C_u$ , donde  $C_u$  es el capacitor unitario, y así se cumple con la relación de 3.5. ¿Pero qué sucedería si se tuviera una relación  $C_1/C_2=3.7$ ? Ahora la solución no se obtendría de la misma manera, ya que si se tomara a  $C_1$  como  $37C_u$  y a  $C_2$  como  $10C_u$ , se tendría una cantidad excesiva de capacitores en tan sólo un incremento de 0.2 en la razón. Para diseñar este tipo de razón es necesario usar una relación perímetro-área (P/A) para minimizar el error lo máximo posible. En este caso se tendría que  $C_1$  sería el arreglo de 3 capacitores con los siguientes valores: 1, 1 y 1.7 (ver Figura 1.18).





**Figura 1.18 Técnica Razón Perímetro - Área.**

En la Figura 1.18 se puede observar que la razón de 1.7, puede ser analizada como si fuese un capacitor unitario multiplicado por los factores  $a$  y  $b$ . También se dan las expresiones que se obtienen al realizar la relación entre perímetro y área de cada capacitor. Para poder conocer los valores que deben tener  $a$  y  $b$ , se igualan las ecuaciones 1.45 y 1.46 (ver Figura 1.18), obteniendo lo siguiente:

$$a = \frac{b}{2b-1} \quad (1.47)$$

Si,

$$C_0 = \frac{C}{C_u} = \frac{b^2}{2b-1} \quad (1.48)$$

y si se resuelve para  $b$ , se obtiene que,

$$b = C_0 \pm \sqrt{C_0^2 - C_0} \quad (1.49)$$

Para el caso  $C_0 = 1.7$ , así se resuelve la ecuación 1.49 para conocer  $b$  y después se obtiene  $a$ , sustituyendo  $b$  en la ecuación 1.47. De esto, se obtiene que:  $a = 0.61$  y  $b = 2.79$  y por lo tanto,  $a \cdot b = 1.7019$ , de donde aún existe un error, pero este es despreciable.

Al momento del diseño resulta otro tipo de problema, el cual se manifiesta por la necesidad de conectar un arreglo de capacitores y sacar a nodos o "pads" las conexiones. Para mostrar este problema obsérvese el siguiente ejemplo: Diseñar las siguientes relaciones de capacitores  $C_2/C_1 = 2$ ,  $C_3/C_1 = 4$ ,  $C_4/C_1 = 2$ .



Para resolver este problema hay un número infinito de formas, aquí solo se presentan dos opciones, también existen muchos tipos de herramientas CAD para verificar que las reglas de diseño no sean violadas, para este ejemplo se utiliza el software L-Edit. La primer opción para resolver este problema es tomando a  $C_1 = C_u$  (ver Figura 1.19). Para iniciar se coloca a  $C_1$  en el centro y a su alrededor a los demás capacitores para minimizar el número de cruces entre conexiones, como se muestra en la Figura 1.20.

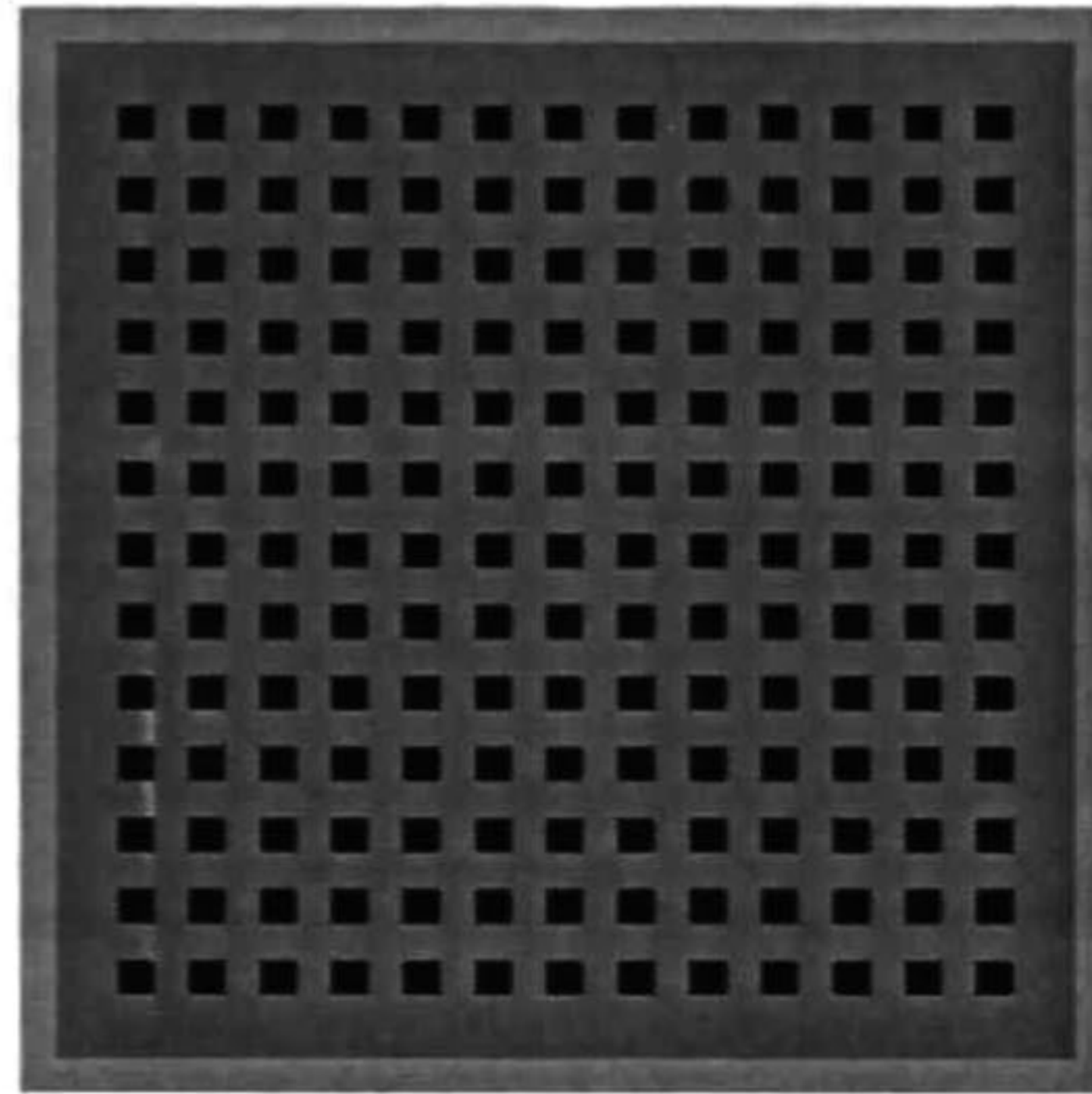


Figura 1.19 Layout del Capacitor Unitario.

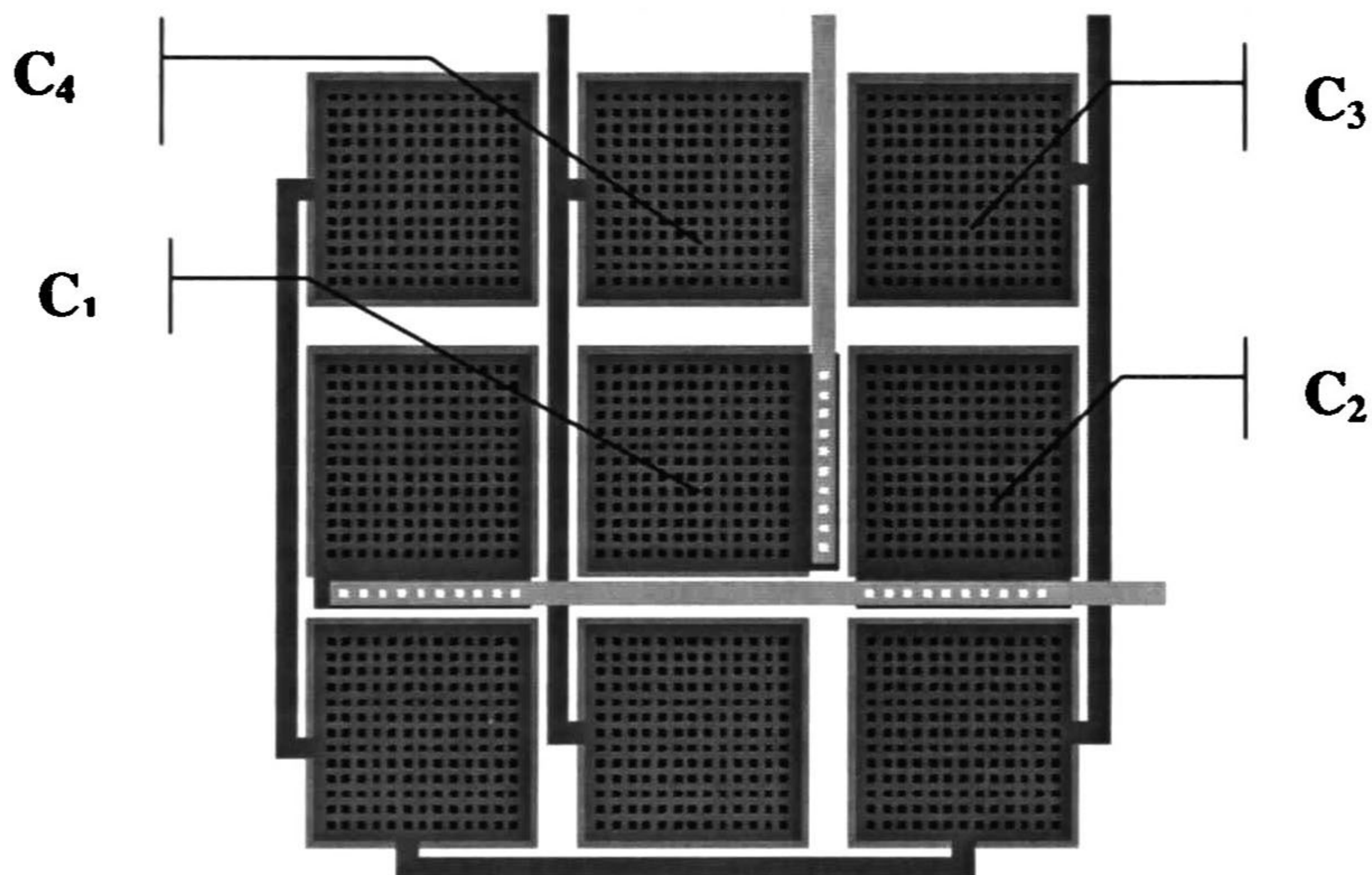


Figura 1.20 Layout con  $C_1 = C_u$ .

En la Figura 1.20 se puede observar que en esta solución existieron dos cruces entre las conexiones de los capacitores  $C_2$ ,  $C_3$  y  $C_4$ , por lo cual fue necesario utilizar dos tipos de materiales distintos en las líneas de comunicación (metal 1 y metal 2). Para intentar evitar estos tipos de cruces y minimizar complejidad en las conexiones, ahora se supone que  $C_1 = 2C_u$ , por lo cual, ahora se realiza el diseño de forma que el capacitor de mayor tamaño o que está compuesto con un número mayor de capacitores unitarios quede en el centro y a su alrededor los más pequeños, como se muestra en la Figura 1.21.



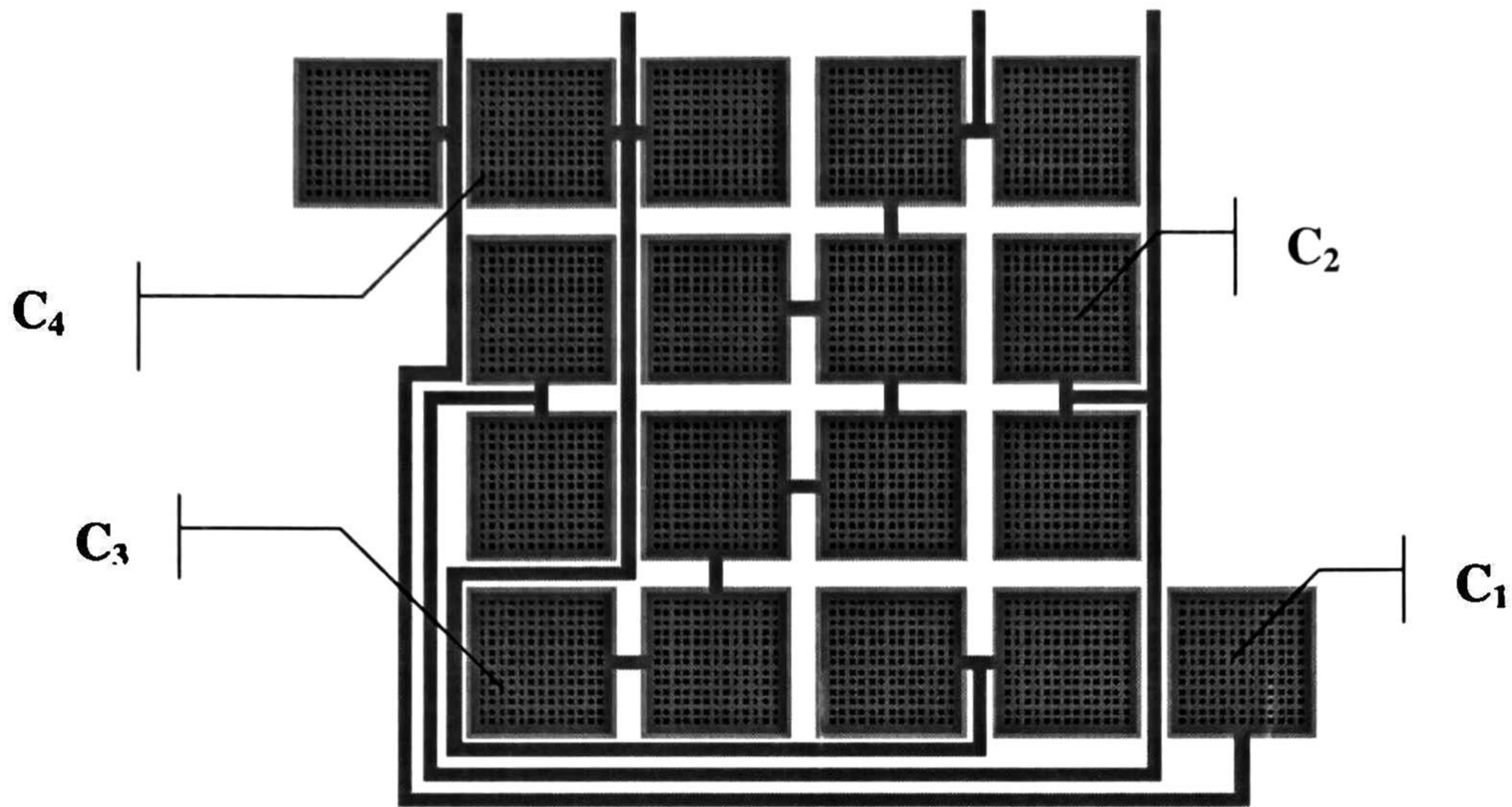


Figura 1.21 Layout con  $C_1 = 2C_u$ .

Como se puede observar en la Figura 1.21, se eliminan los cruces por completo, aunque para lograr esto fue necesario aumentar el número de capacitores, por lo que ahora surge otro compromiso entre área y complejidad en la conexión, por lo cual, la experiencia del diseñador es otro punto del diseño a considerar.

### 1.3.4 Comparadores

Un comparador es usado para detectar, si una señal es mayor o menor que una señal de referencia, o para comparar la magnitud de una señal con la de otra. Los comparadores tienen un campo muy amplio de aplicación en convertidores A/D, en transmisión de datos, etc. Para comprender el funcionamiento de este dispositivo, se examina una configuración muy simple, usando un amplificador operacional como comparador. Aunque ésta aproximación es muy lenta para aplicaciones prácticas, sin embargo es buen ejemplo para mostrar las no idealidades que contiene el comparador.

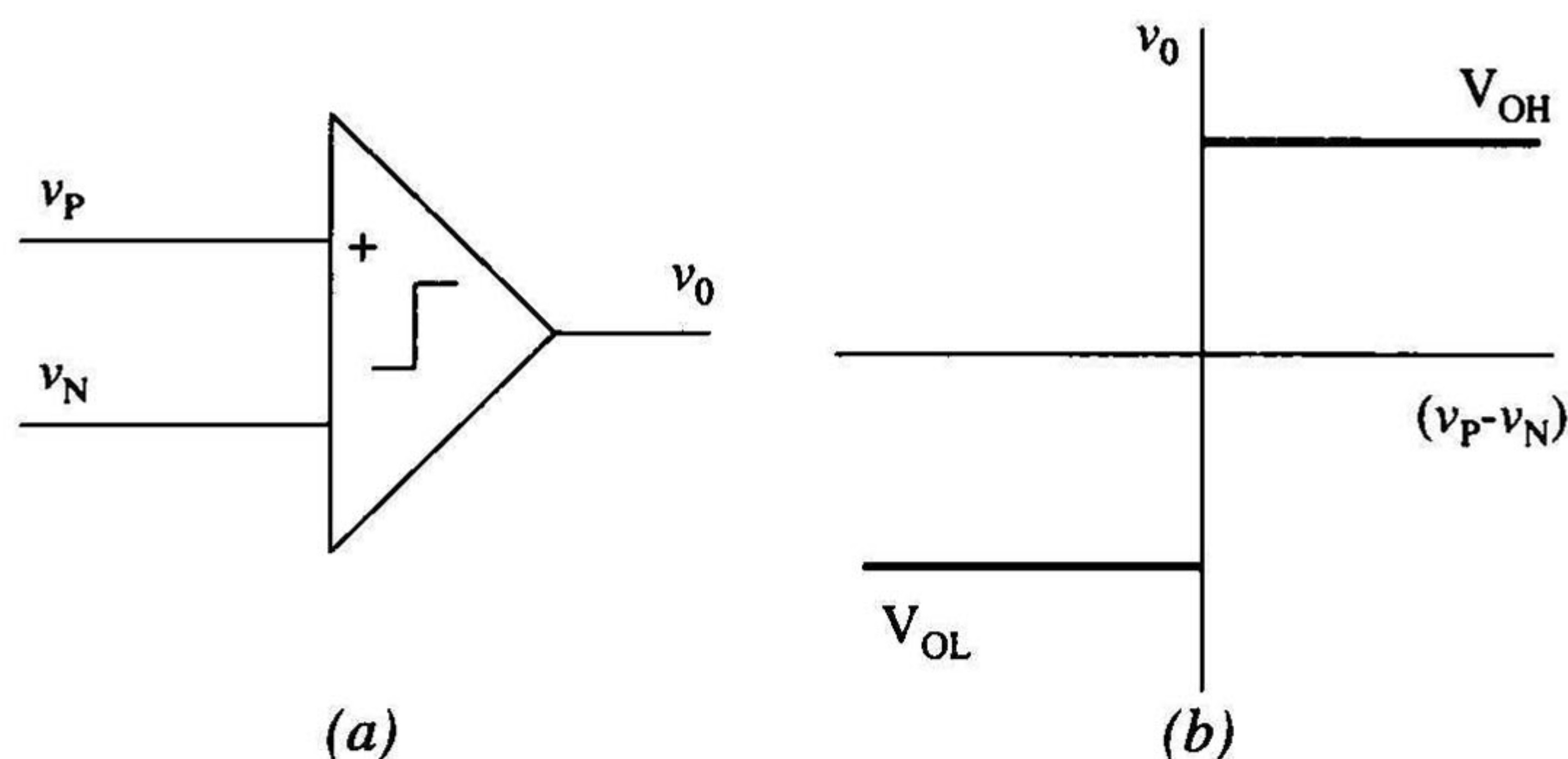


Figura 1.22 (a) Símbolo del Comparador (b) Curva de transferencia de un comparador [16].



En la Figura 1.22 (a) se muestra el símbolo que se utilizará en este documento para el comparador de voltaje, este símbolo es similar al de un amplificador operacional, ya que un comparador tiene muchas de las mismas características que tiene un amplificador de alta ganancia. Un comparador se define como un circuito que tiene una salida binaria, cuyo valor está definido basándose en la comparación de dos entradas analógicas. Esto se ilustra en la Figura 1.22 (b), la salida del comparador es “alta” ( $V_{OH}$ ), cuando la diferencia entre las entradas no inversora e inversora es positiva, y baja ( $V_{OL}$ ) cuando su diferencia es negativa. Aunque se piense que este tipo de comportamiento es imposible es una situación del “mundo real” esto puede ser modelado con elementos ideales. Uno de éstos modelos es mostrado en la Figura 1.23, este contiene una fuente de voltaje controlada por voltaje, cuyas características están descritas por la ecuación matemática dada en la Figura.

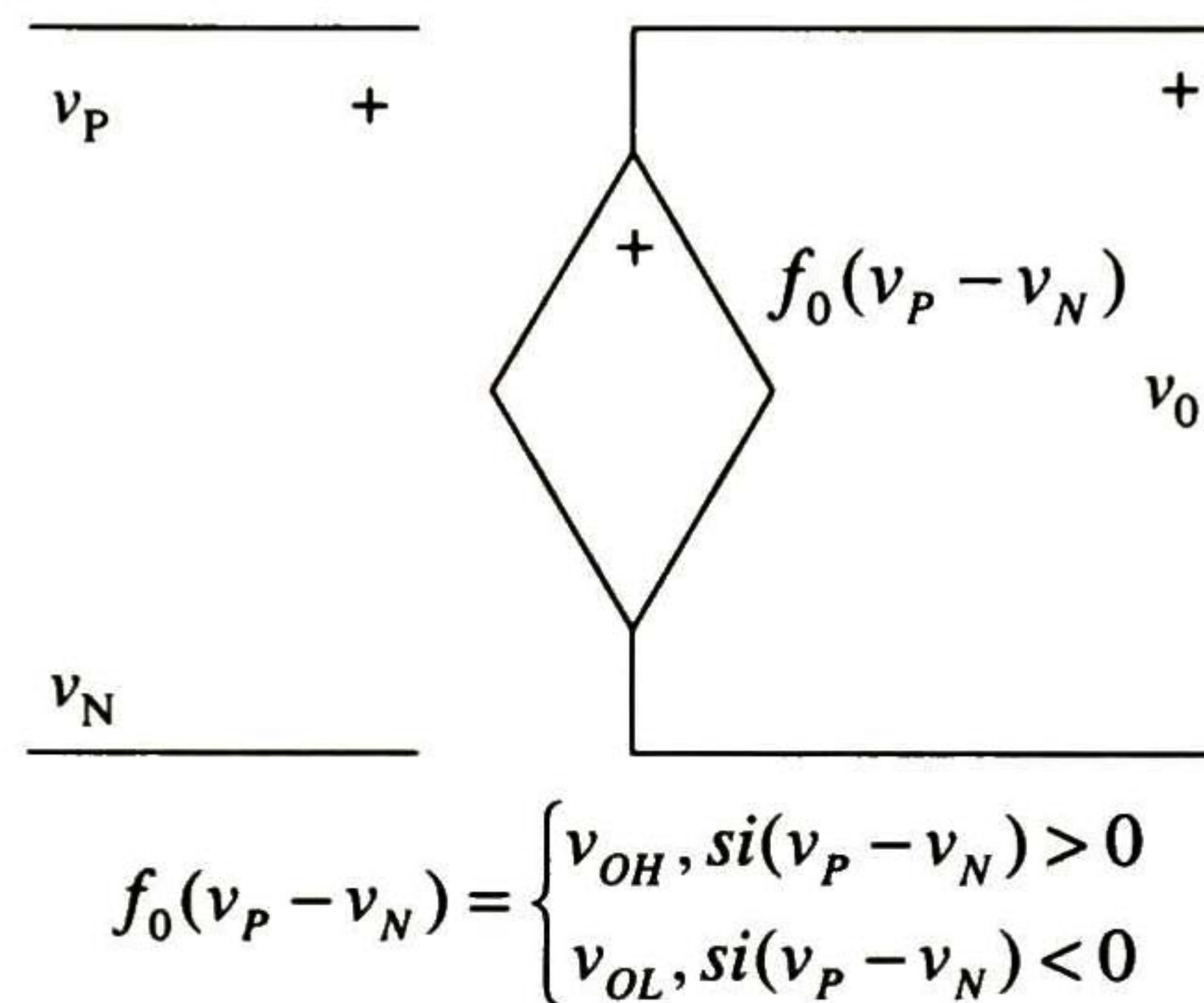


Figura 1.23 modelo ideal para un comparador[16].

El aspecto ideal de este modelo es la forma en la cual la salida hace una transición entre  $V_{OL}$  y  $V_{OH}$ . La salida cambia su estado para un cambio en la entrada  $\Delta V = (v_P - v_N)$ , cuando  $\Delta V$  se aproxima a cero. Esto implica una ganancia infinita, como se muestra en la siguiente expresión:

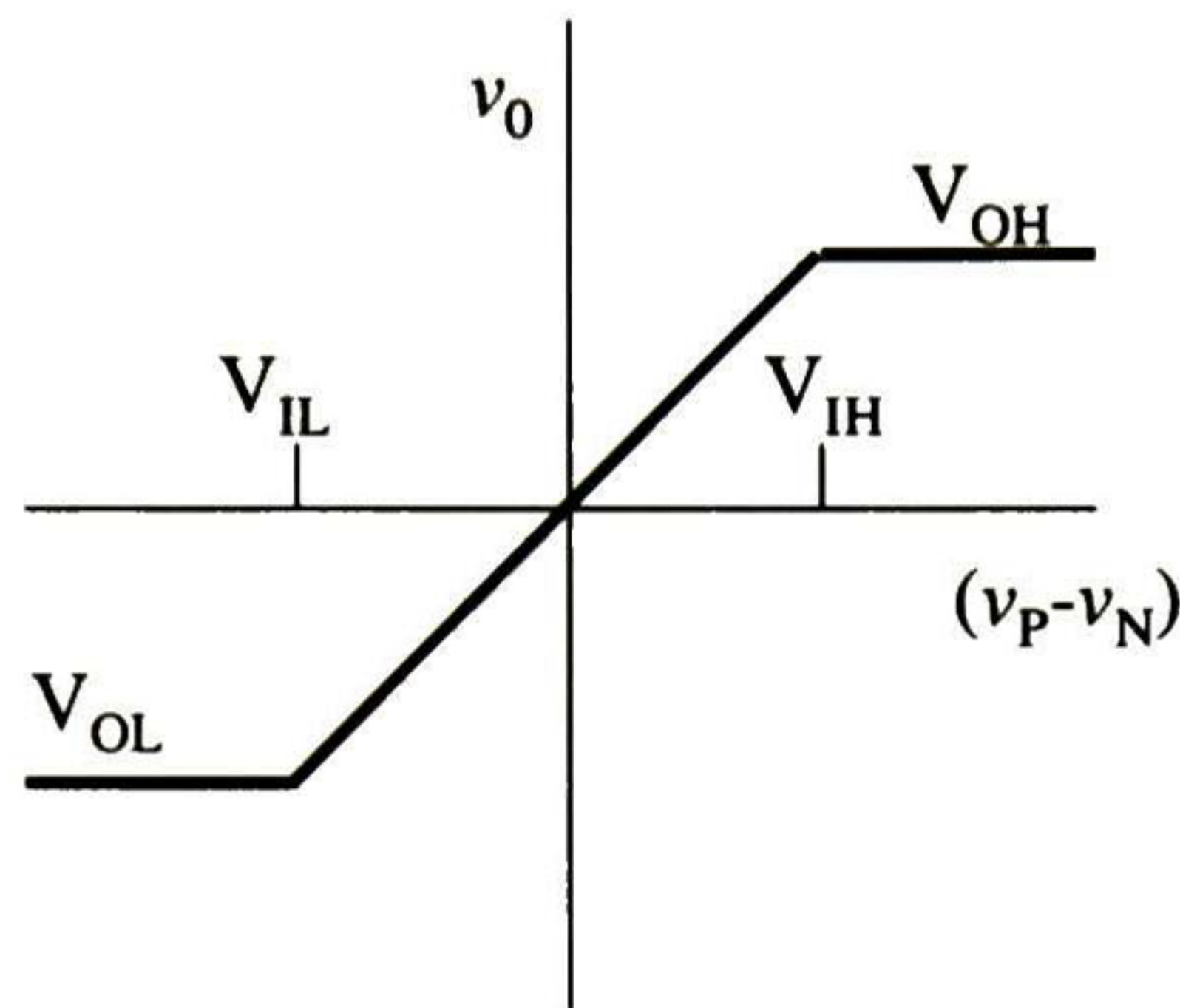
$$\text{Ganancia} = A_v = \lim_{\Delta V \rightarrow 0} \frac{V_{OH} - V_{OL}}{\Delta V} \tag{1.50}$$

En la Figura 1.24 se muestra la curva de transferencia de un modelo real, la diferencia entre éste y el anterior es la ganancia, la cual puede ser expresada para este caso como:

$$A_v = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}} \tag{1.51}$$



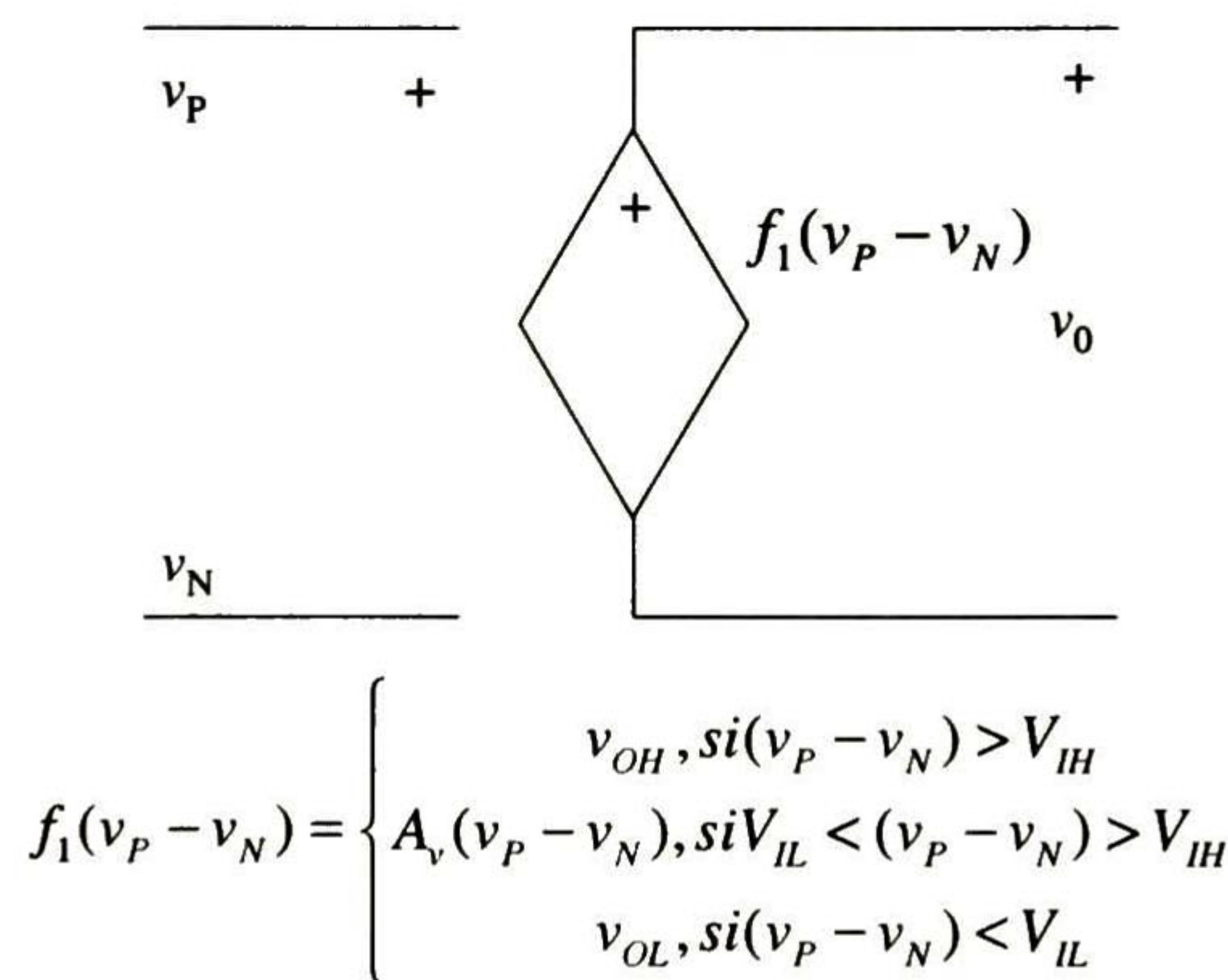
donde  $V_{IH}$  y  $V_{IL}$  representan la diferencia del voltaje de entrada ( $v_P - v_n$ ) necesario para saturar la salida en su límite superior e inferior respectivamente.



**Figura 1.24** Curva de transferencia de un comparador con ganancia finita [16].

La ganancia es una característica muy importante para la descripción de la operación del comparador, por esto se define la cantidad mínima de cambio en la entrada, necesario para hacer que la salida cambie entre los dos estados binarios.

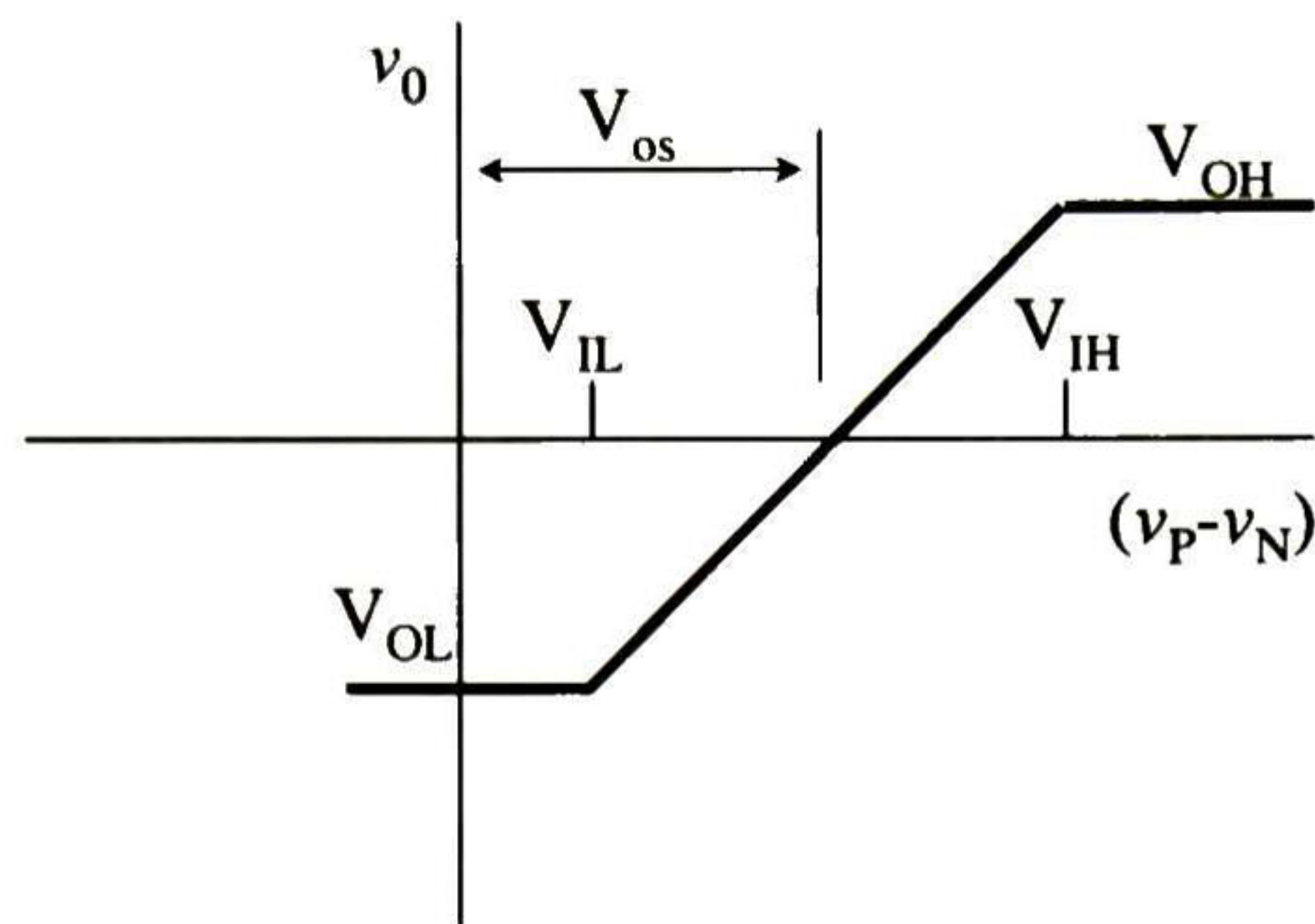
La curva de transferencia de la Figura 1.24 es modelada por el circuito de la Figura 1.25. Este modelo es similar al anterior, siendo la única diferencia las funciones  $f_1$  y  $f_0$ .



**Figura 1.25** modelo con ganancia finita de un comparador [16].

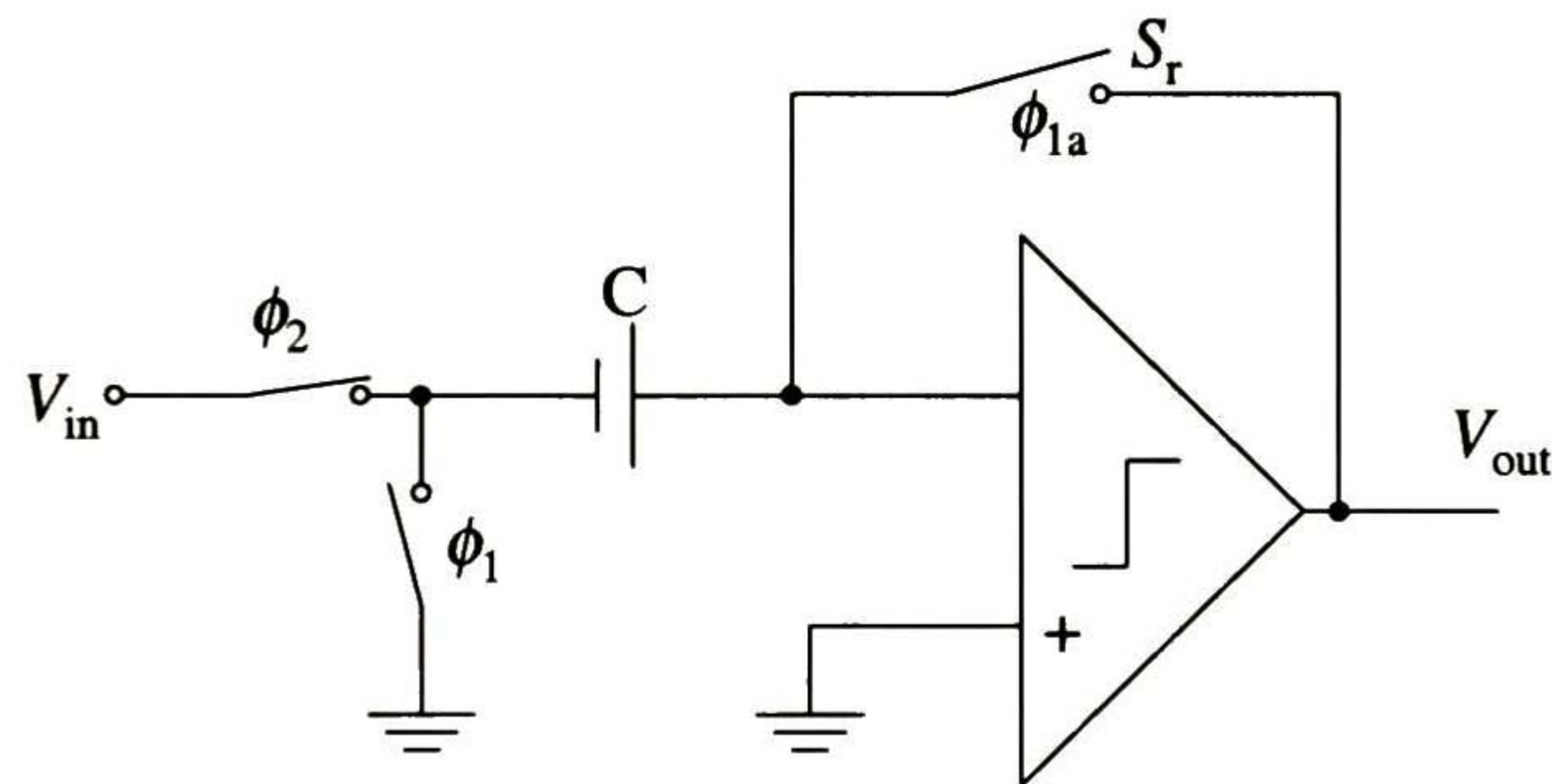
Otro efecto que se observa en los comparadores es el voltaje offset ( $V_{os}$ ). La salida cambia conforme la diferencia de entrada cruza por cero. Si la salida no cambió hasta que la diferencia de entrada alcanzó un valor  $+V_{os}$ , entonces esta diferencia sería definida como voltaje offset. Esto no sería un problema si el offset pudiera ser predecible, pero este varía aleatoriamente de un circuito a otro [12] para un diseño dado. La Figura 1.26 muestra el offset en la curva de transferencia del modelo de un comparador con ganancia finita.





**Figura 1.26** Curva de transferencia de un comparador, incluyendo el offset [16].

En la Figura 1.27 se muestra una arquitectura alterna que puede manejar señales con exactitud menor que el voltaje offset de entrada. Aunque este circuito ha sido usado muchas veces en los convertidores A/D de antaño, hoy en día es preferible no usarlo. Sin embargo, es un simple ejemplo que puede ser usado para ilustrar muchos principios de diseño importantes.



**Figura 1.27** Cancelación del voltaje de offset de un comparador. El comparador aquí debe ser estable, con ganancia unitaria en la retroalimentación durante  $\phi_{1A}$  ( $\phi_{1A}$  es igual a  $\phi_1$  pero con un ligero adelanto para minimizar errores de inyección de carga) [17].

El circuito en la Figura 1.27 opera como se indica a continuación: durante  $\phi_1$ , conocida como fase de “reset”, la placa inferior del capacitor C es conectada a tierra, y la placa superior es conectada a la entrada inversora del Opamp. Al mismo tiempo, la salida del Opamp es también conectada a la entrada inversora del mismo al cerrar el interruptor  $S_r$ . Suponiendo que el Opamp es ideal, esta conexión causa que el capacitor sea cargado a un potencial de cero volts. Luego, durante la fase “de comparación”, el interruptor  $S_r$  es abierto y la placa inferior del capacitor se conecta al voltaje de entrada. El Opamp ahora está en configuración de lazo abierto. Si la señal de entrada es mayor que cero, la salida del Opamp cambia al voltaje más negativo. Por el contrario, si la señal de entrada es menor que cero, la salida del Opamp cambia hacia el voltaje más positivo. Las limitaciones de esta aproximación salen a relucir cuando se consideran Opamps no ideales, los cuales tienen ganancia finita y requieren compensación para estabilizarse durante la fase de “reset”



En comparadores con capacitores conmutados, como el de la Figura 1.27, el offset no es gran problema, ya que éste es almacenado en el capacitor durante la fase de “reset”, y después es cancelado durante la fase “de comparación”. Para apreciar esta cancelación, supóngase que el Opamp tiene un voltaje offset,  $V_{off}$ , que es modelado por una fuente de voltaje en serie con una de las entradas del Opamp (ver Figura 1.28 (a)). Asumiendo que el Opamp tiene ganancia muy grande, entonces la entrada inversora del Opamp se encuentra a un potencial  $V_{off}$ , lo cual implica que el capacitor de entrada está cargado al potencial  $V_{off}$  durante esta fase. Luego, durante la fase  $\phi_2$  (ver Figura 1.28 (b)), la placa inferior del capacitor es conectada al voltaje de entrada. El lado derecho del capacitor tiene un voltaje dado por  $V_{in}+V_{off}$ , por lo cual resulta en la salida del comparador, el valor más negativo si  $V_{in}$  es mayor que cero o positivo, si  $V_{in}$  es menor que cero, sin importar el valor de  $V_{off}$ . Esta técnica no únicamente elimina los errores de voltaje offset, sino que también minimiza los errores causados por ruido a baja frecuencia ( $1/f$ ).

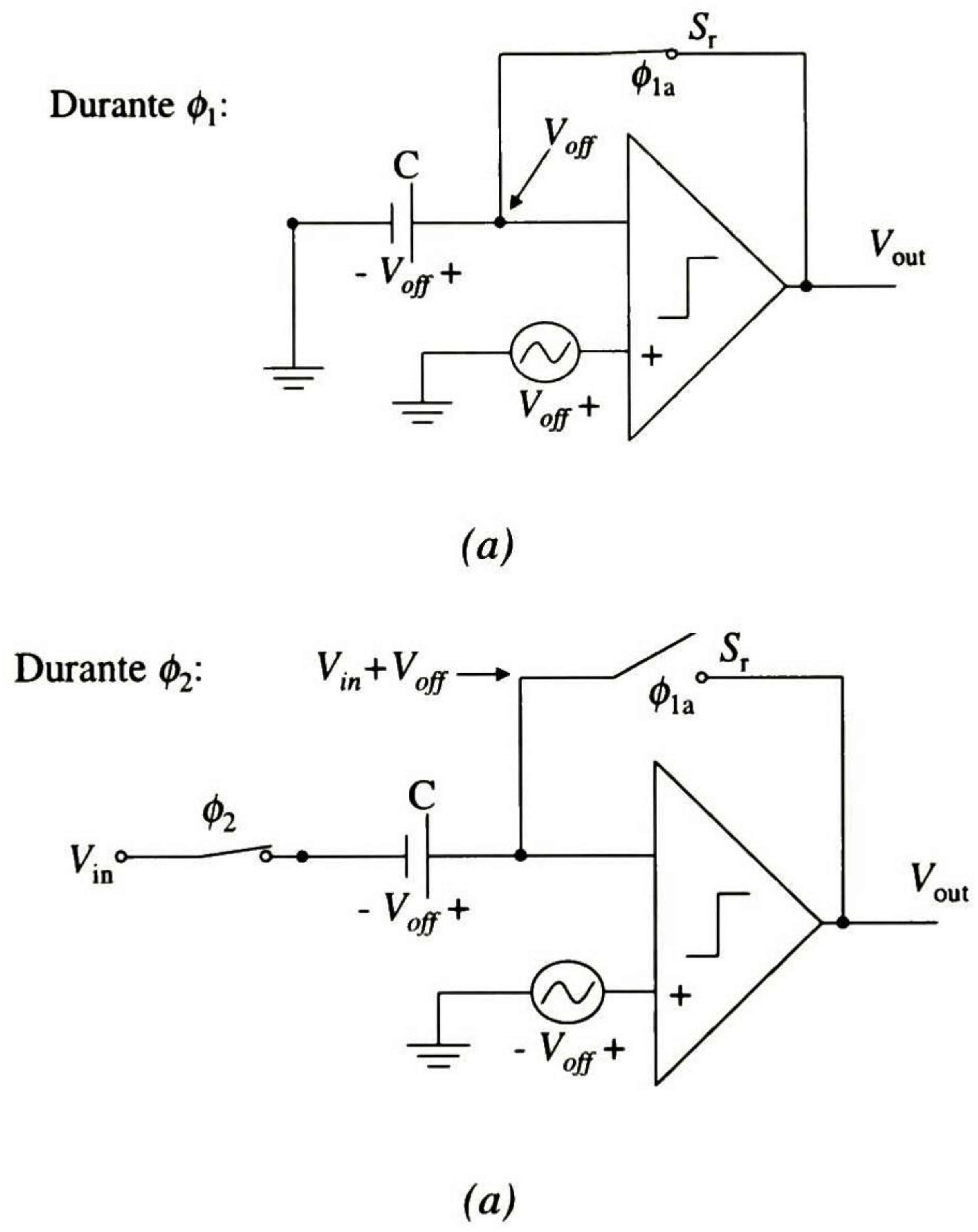


Figura 1.28 (a) Durante la fase de “reset”, (b) Durante la fase de comparación [17].

Quizá una de las mayores limitaciones de la resolución de los comparadores es la relacionada al fenómeno de inyección de carga. Este error es debido a cargas no deseadas que son inyectadas al circuito cuando los transistores (interruptores) son apagados. Para el comparador de la Figura 1.27, los interruptores son transistores canal-n o compuertas de transmisión CMOS. Cuando los interruptores MOS se apagan, ocurren los errores de carga por dos mecanismos [17]. El primero es debido a la carga en el canal, la cual debe fluir desde la región del canal hacia las regiones de drenaje y fuente. La carga del canal de un transistor que tiene cero  $V_{DS}$  está dada por:







Esta ecuación es utilizada para calcular el cambio de voltaje en el nodo interno de dos capacitancias en serie cuando el voltaje en una de las terminales cambia. Esta situación se muestra en la Figura 1.30, donde se supone que  $V_{in}$  está cambiando y se quiere calcular el cambio en  $V_{out} = V_{C2}$ . La combinación en serie de  $C_1$  y  $C_2$  es igual a un simple capacitor,  $C_{eq}$ , dado por:

$$C_{eq} = \frac{C_1 C_2}{C_1 + C_2} \quad (1.54)$$

Cuando  $V_{in}$  cambia, la carga que fluye por este capacitor equivalente está dada por:

$$\Delta Q_{eq} = \Delta V_{in} C_{eq} = \Delta V_{in} \frac{C_1 C_2}{C_1 + C_2} \quad (1.55)$$

Toda la carga que fluye por  $C_{eq}$  es igual a la carga que fluye por  $C_1$ , por lo cual es también igual a la carga que fluye por  $C_2$ . Así, se tiene que el cambio en el potencial está dado por

$$\Delta V_{in} = \Delta V_{C2} = \frac{\Delta Q_{C2}}{C_2} = \Delta V_{in} \frac{C_1}{C_1 + C_2} \quad (1.56)$$

Esta ecuación es comúnmente útil cuando se calcula flujo de carga en circuitos integrados. Esto puede ser aplicado al circuito de la Figura 1.29 para calcular el cambio en  $V''$  debido a la capacitancia de traslape de  $Q_3$  cuando éste se apaga. Para este caso, se tiene que  $C_1 = C_{ov}$ ,  $C_2 = C$  y  $\Delta V_{in} = -(V_{DD} - V_{SS})$ . Esto supone que las señales cambian de  $V_{DD}$  a  $V_{SS}$ . El cambio en  $V''$  debido a la capacitancia de traslape está dado por:

$$\Delta V'' = - \frac{(V_{DD} - V_{SS}) C_{ov}}{C_{ov} + C} \quad (1.57)$$

Este cambio es normalmente menor que al causado por la carga del canal, ya que  $C_{ov}$  es muy pequeña.

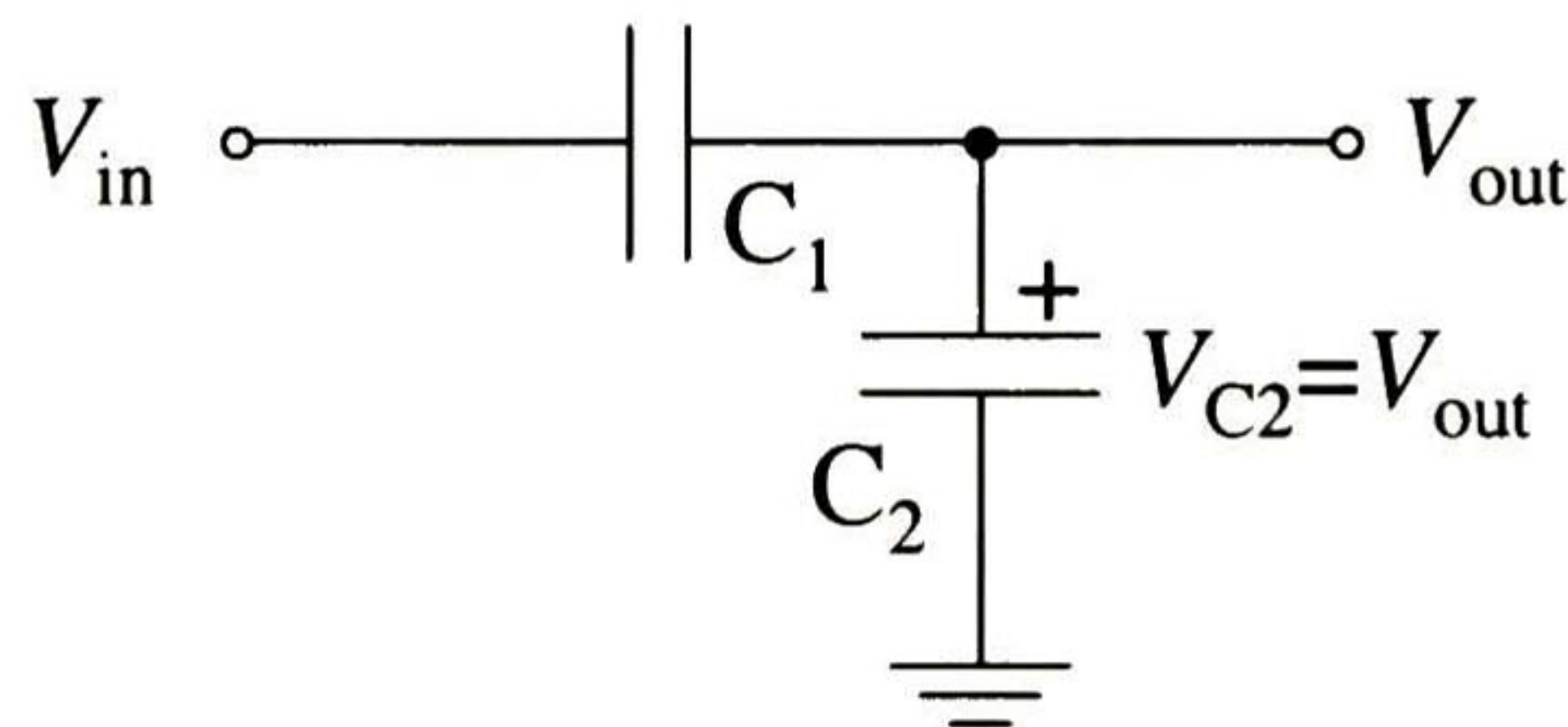


Figura 1.30 Divisor de Capacitores [17].



### 1.3.5 Circuito Sumador-Restador

Un circuito Sumador-Restador general es como el que se muestra en la Figura 1.31. La solución para el voltaje de salida  $V_{out}$  es muy extensa, por tal razón es más sencillo realizar un análisis, para este caso, de dos entradas de voltaje. Existen además, algunas condiciones para que se obtenga una operación satisfactoria de éste circuito.

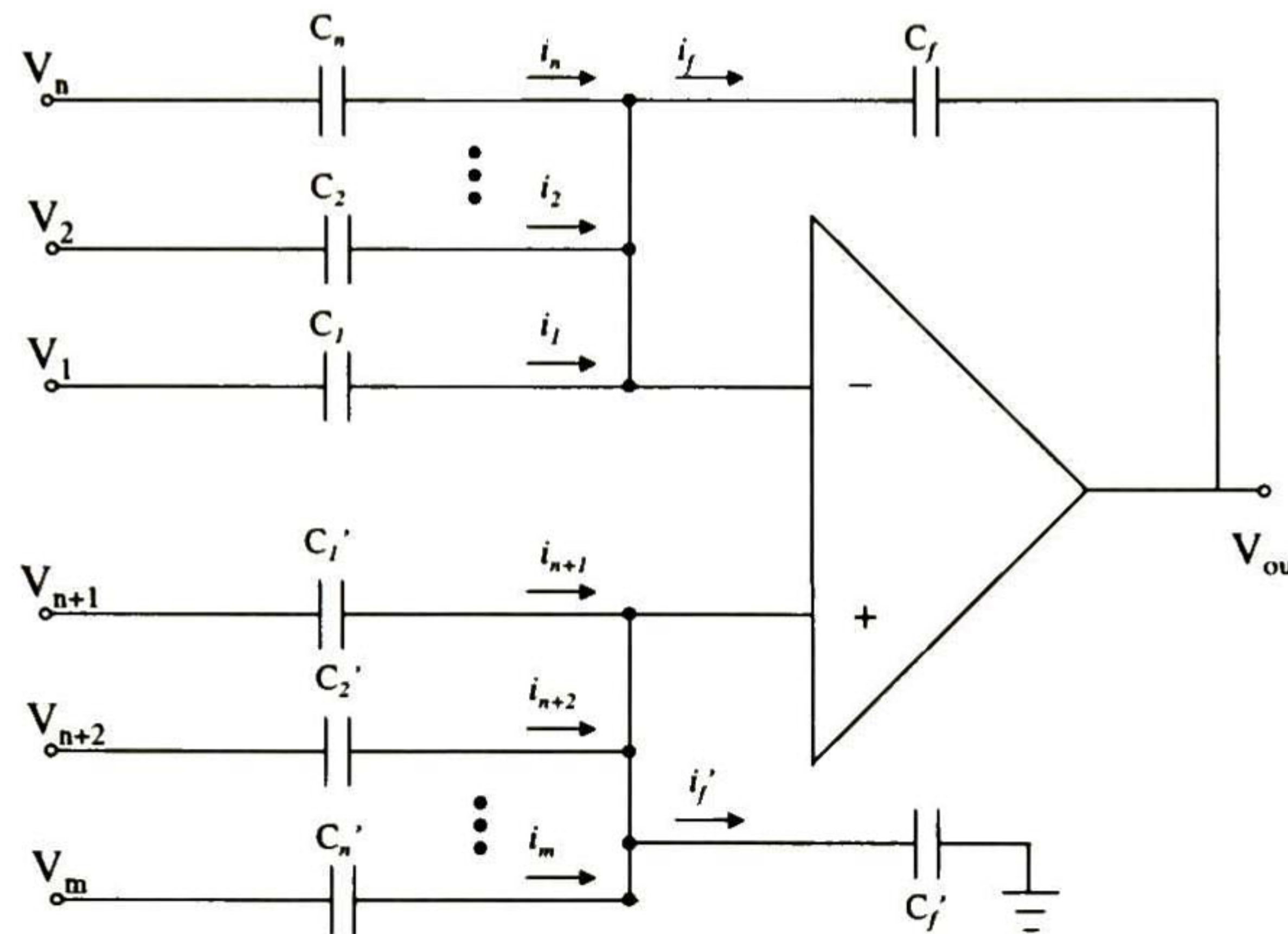


Figura 1.31 Circuito Sumador-Restador General.

La condición que debe ser cumplida es que la suma de las ganancias por la vía de la terminal no inversora debe ser igual a la suma de las ganancias por la vía de la terminal inversora, es decir, debe existir un balance entre las ganancias del lado inversor y el no inversor. Esto, puede ser expresado matemáticamente de la siguiente manera:

$$\frac{C_1}{C_f} + \frac{C_2}{C_f} + \dots + \frac{C_n}{C_f} = \frac{C'_1}{C'_f} + \frac{C'_2}{C'_f} + \dots + \frac{C'_k}{C'_f} \quad (1.58)$$

De forma tal, que para  $k$  entradas por la vía no inversora y  $m$  entradas por la vía inversora se tiene la siguiente expresión:

$$V_{out} = \frac{C_1}{C_f} V_1 + \frac{C_2}{C_f} V_2 + \dots + \frac{C_k}{C_f} V_m = \frac{C'_1}{C'_f} V_{m+1} + \frac{C'_2}{C'_f} V_{m+2} + \dots + \frac{C'_k}{C'_f} V_{m+k} \quad (1.59)$$

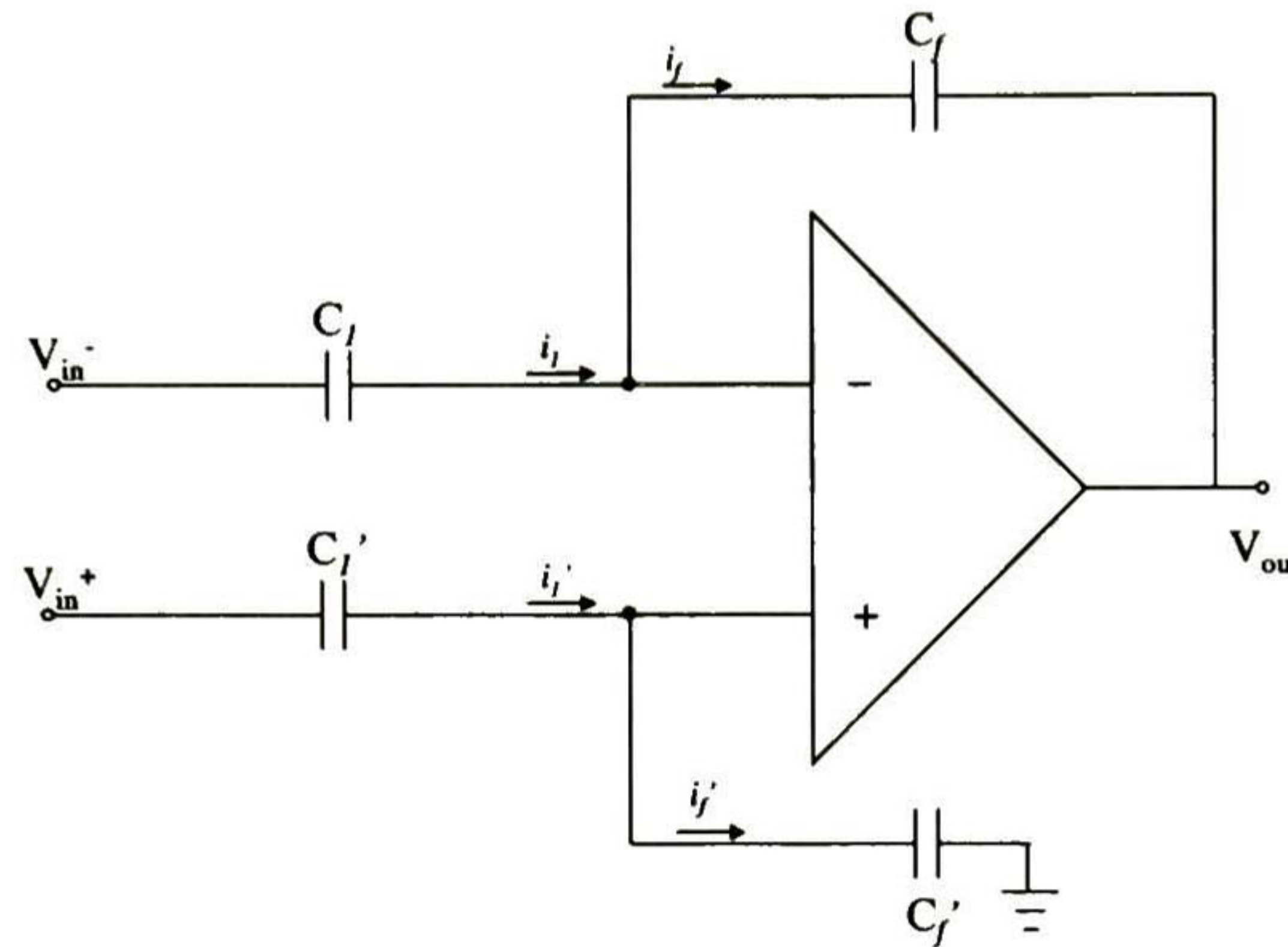
Del circuito en la Figura 1.32, configuración particular del que se muestra en la Figura 1.31, se realizará el análisis para observar el comportamiento en el nodo de salida. Este circuito tiene únicamente dos entradas, y como se puede observar está perfectamente balanceado, es decir,  $C_1 / C_f = C'_1 / C'_f = 1$ .

En este análisis, primero se aplica el principio de conservación de carga en los nodos inversor y no inversor, obteniendo las siguientes expresiones:



$$(V^- - V_{in}^-)C_1 + (V^- - V_{out})C_f = 0 \quad (1.60)$$

y



**Figura 1.32** Circuito Sumador-Restador de dos entradas.

$$(V^+ - V_{in}^+)C_1' + (V^+ - 0)C_f' = 0 \quad (1.61)$$

como  $V_D = V^- - V^+ \cong 0$ , se puede demostrar que  $V_{out}$  está dado por:

$$V_{out} = \left( \frac{C_1'}{C_f' + C_1'} \right) \left( \frac{C_f + C_1}{C_f} \right) V_{in}^+ - \frac{C_1}{C_f} V_{in}^- \quad (1.62)$$

La ec. 1.62 es una representación general para el caso de un circuito sumador-restador con dos entradas. Como se puede observar, los dos voltajes de entrada son restados, pero también son multiplicados por un factor de ganancia dado en la misma ecuación. Un caso particular es cuando se hace que  $C_f' = C_f$  y  $C_1' = C_1$ , en el cual se obtiene un voltaje a la salida dado por:

$$V_{out} = \frac{C_1}{C_f} (V_{in}^+ - V_{in}^-) \quad (1.63)$$

De la ec. 1.63 se observa claramente el valor que se obtendrá como respuesta, teniendo además si se desea un factor de ganancia  $C_1 / C_f$ .

## 1.4 Resumen.

En éste capítulo se mostró el campo de aplicación del convertidor A/D Algorítmico, para lo cual se realizó una descripción completa y minuciosa de cada uno de los bloques básicos que lo componen, esto con el fin de comprender su funcionamiento y, a grandes rasgos, en qué forma



contribuyen con el resultado final. Se observó el proceso de conversión del circuito A/D Algorítmico para precisar que parte de los bloques básicos de construcción tenía efecto directamente en la salida, se observó que el voltaje de referencia  $V_{ref}$  tiene gran importancia, ya que cualquier variación en éste afectaría directamente a la salida.

Se analizó el bloque básico “Sample and Hold”, cuya función es retener un nivel de voltaje en la entrada por un cierto tiempo, suficiente para realizar los cálculos necesarios para obtener una palabra en la salida sin variación alguna, ya que de no ser así esto provocaría errores indeseables. Se observó que debido a que el amplificador operacional no tiene una ganancia infinita ocurren errores de ganancia (ver ec. 1.11) aún en la configuración de ganancia unitaria; también se observó que debido a la inyección de carga realizada por los interruptores, se produce un voltaje offset que afecta directamente a la salida de éste circuito. Para eliminar estos errores se propuso una configuración como la que se muestra en la Figura 1.5(a), en la cual se compensan todos estos errores, además proporciona una ventaja adicional, que es la posibilidad de obtener ganancia (ver ec. 1.23).

También se analizó el bloque de multiplicación de voltaje, para lo cual se investigaron diferentes configuraciones con capacitores conmutados, se observó que en su forma más simple (ver Figura 1.8), el multiplicador no se estabiliza adecuadamente ya que después de un momento se satura, también se observó que el voltaje offset del amplificador afectaba a la salida del multiplicador, por todo esto se propuso una configuración como la que se muestra en la Figura 1.12 que minimiza estos errores, de acuerdo a un análisis se obtuvo que el factor de multiplicación está dado por la ecuación 1.29.

Debido a la necesidad de integrar capacitores, se realizó un análisis de acuerdo a cómo habrían de crearse éstos, a manera de obtener un valor de capacitancia exacta y con el menor área posible, para lo cual se utilizaron métodos como el de Perímetro/Área (P/A) y centroide común, de esto, se propusieron ejemplos y al final se diseñó un layout mostrando tales resultados.

Una vez hecho este análisis, se describió el comportamiento de un comparador con un modelo matemático ideal y con un modelo matemático de ganancia finita, explicando algunas de sus desviaciones, como lo es el voltaje offset. Se propuso un circuito como el que se muestra en la Figura 1.27, el que elimina el voltaje offset, además con las debidas fases también minimiza el efecto de inyección de carga. Para mostrar el proceso de reducción de no idealidades se realizó el análisis correspondiente para corroborar la utilidad del circuito propuesto.

Por último, se mostró el funcionamiento de un circuito sumador-restador, el cual es bien balanceado y permite obtener a la salida resultados de muy alta precisión, también puede obtenerse ganancia si ésta es requerida. Se obtuvo su función de transferencia y se simplificó con el fin de hacer más visible la operación del circuito.



## Referencias

---

- [1].H. Schmid, "Electronic Analog Digital Conversion", New York, Van Nostrand, 1970.
- [2].T. Hornak, "A High Precision Component Tolerant ADC", in Dig. Tech. Papers, 1975, ISSCC, New York, N.Y., Feb. 1975.
- [3].R.H. McCharles, V.A. Saletore, W.C. Black Jr. And D.A. Hodges, "An Algorithmic Analog to Digital Converter" in Dig. Tech. Papers, 1977, ISSCC, Philadelphia, PA., Feb. 1977.
- [4].P. Wai Li, Michael J. Chin, Paul R. Gray and R. Castelo, "A Ratio Independent Algorithmic Analog to Digital Conversion Technique", IEEE Solid-State Circuits, vol. Sc-19, no.6, pp. 828-836, Dec. 1984.
- [5].Alan B. Grebne, "Analog Integrated Circuits Design", Microelectronic Series, U.S.A., 1984.
- [6].Alan B. Grebne, "Bipolar and MOS Analog Integrated Circuits Design", Wiley-Interscience Publication, U.S.A., 1985.
- [7].Bernard Ginetti, Paul G. A. Jespers and André Vandemeulebroecke, "A CMOS 13-b Cyclic RSD Converter", IEEE Solid-State Circuits, vol. sc-27, no7, July 1992.
- [8].Sidney Soclof, "Applications of Analog Integrated Circuits", Prentice Hall, U.S.A., 1985.
- [9].L. Geiger, A. Allen, R. Strader, "VLSI Design Techniques for Analog and Digital Circuits", McGraw-Hill, U.S.A., 1990.
- [10].Clock FeedThrough Compensated Sample/Hold Circuits.
- [11].Roubik Gregorian, Gabor C. Temes, "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons Inc., Canada & U.S.A., 1986
- [12].David J. Allstot, William C. Black, Jr, "Technological Design Considerations for Monolithic MOS Switched-Capacitor Filtering Systems", IEEE Invited Paper, vol. 71, pp.967-986, Aug.1983.
- [13].David A. Hodges, "Analog Switches and Passive Elements in MOSLSI", Department of Electrical Engineering and Computer Sciences and the Electronics Research Laboratory University of California, Berkeley, march 21, 1980.
- [14].Robert W. Brodersen, Paul R. Gray, David A. Hodges, "MOS Switched-Capacitor Filters", IEEE Invited Paper, vol. 67, pp.61-75, jan. 1979.
- [15].Héctor Eduardo Aldrete Vidrio, "Apuntes del Curso de Tecnología de Manufactura". CINVESTAV del IPN Unidad Guadalajara, Jalisco, México, diciembre de 1999.
- [16].E. Allen, R. Holdberg, "CMOS Analog Circuit Design", Oxford University Press, Inc., New York, N.Y., 1987
- [17].David A. Johns, Ken Martin, "Analog Integrated Circuit Design", John Wilet & Sons, Inc., Canada, 1997.



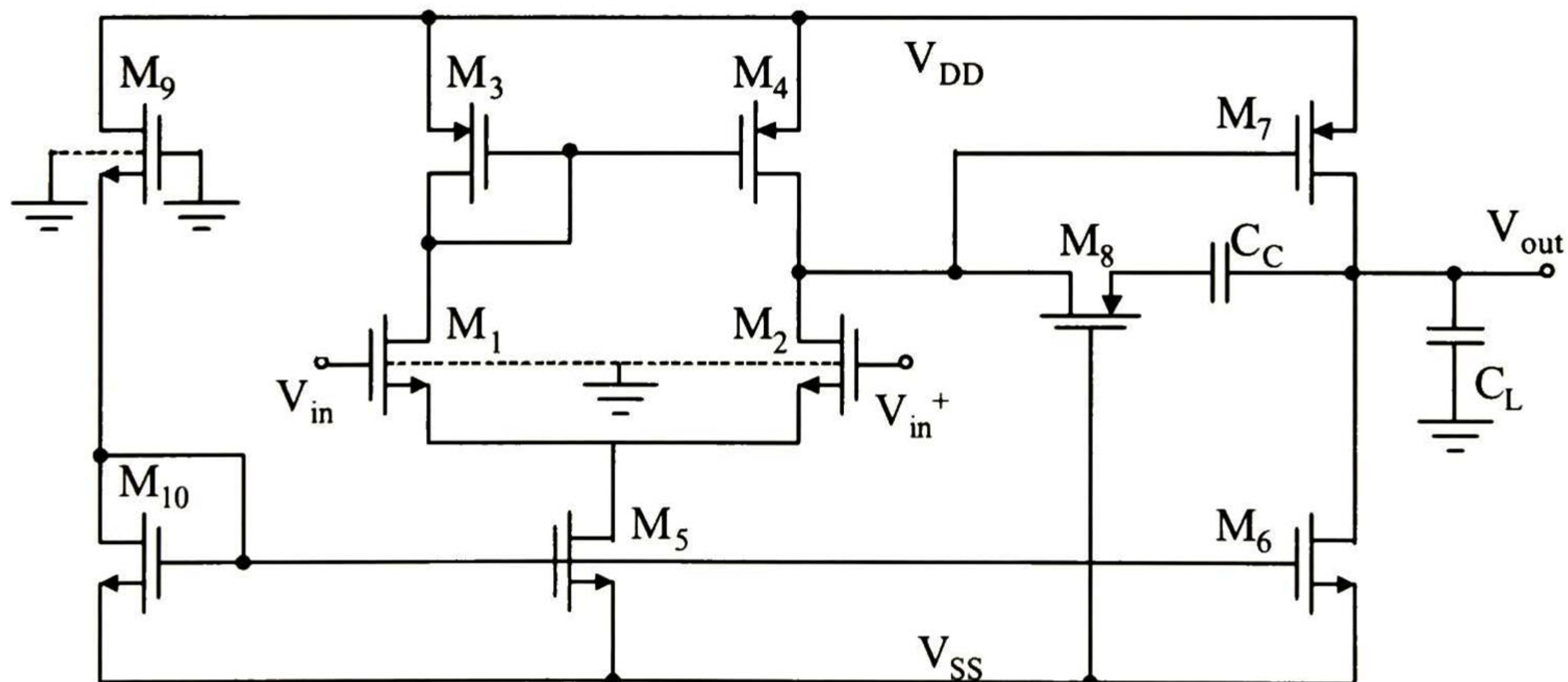
# CAPÍTULO II

## *Diseño y Simulación de Bloques Básicos.*

**E**n este capítulo se muestran resultados de simulación de un amplificador operacional, también se realiza su simulación como parte de un circuito Sampled and Hold, su uso como circuito multiplicador, y finalmente su aplicación como comparador de voltaje.

### 2.1 Diseño y Simulación de un Amplificador Operacional.

Ante la necesidad de contar con un amplificador operacional para la realización de diversos circuitos de mayor complejidad, se diseña un amplificador operacional de dos etapas, con compensación Miller [1, 2], el cual es alimentado con  $V_{DD} = -V_{SS} = 2.5V$  y debe tener una ganancia mayor a 80dB, un ancho de banda con ganancia unitaria mayor a 2MHz, tiempo de respuesta mayor a  $3V/\mu s$  y un margen de fase entre  $45^\circ$  y  $90^\circ$ . Estas características son necesarias para poder operar sin problemas dentro de las especificaciones del convertidor A/D algorítmico (Ver Figura 3). Para lograr estos resultados, se utiliza el circuito de la Figura 2.1 y un proceso de diseño como el que se indica a continuación [1]:



*Figura 2.1 Amplificador Operacional de dos Etapas compensado [1].*



Se considera que  $C_L = C_c$ , y se asumen los siguientes modelos para los transistores, los cuales corresponden al modelo 1.2 $\mu$ m, CMOS, pozo-N (MOSIS, EUA) con dos niveles de polisilicio, dos niveles de metalización:

- NMOS:

$\emptyset=0.700000$   $t_{ox}=2.9900E-08$   $V_{t_0}=0.6622$   $\Delta=7.8490E-01$   $L_D=1.1000E-09$   $K_P=7.3960E-05$   
 $U_0=640.4$   $\theta=7.0600E-02$   $R_{SH}=8.2100E+01$   $\gamma=0.7115$   $N_{SUB}=2.0340E+16$   $N_{FS}=5.9080E+11$   
 $V_{MAX}=2.1530E+05$   $C_{GDO}=5.0000E-11$   $C_{GSO}=5.0000E-11$   $C_{GBO}=4.1176E-10$   $C_J=2.9311E-04$   
 $M_J=5.4360E-01$   $C_{JSW}=1.3552E-10$   $M_{JSW}=1.0000E-01$   $P_B=9.9000E-01$

- PMOS:

$\emptyset=0.700000$   $t_{ox}=2.9900E-08$   $V_{t_0}=-0.7878$   $\Delta=2.4670E+00$   $L_D=9.0910E-10$   $K_P=1.9206E-05$   
 $U_0=166.3$   $\theta=8.4850E-02$   $R_{SH}=2.0090E+02$   $\gamma=0.3539$   $N_{SUB}=5.0310E+15$   $N_{FS}=7.1500E+11$   
 $V_{MAX}=1.2500E+05$   $C_{GDO}=5.0000E-11$   $C_{GSO}=5.0000E-11$   $C_{GBO}=3.6816E-10$   $C_J=3.0178E-04$   
 $M_J=4.3828E-01$   $C_{JSW}=1.9536E-10$   $M_{JSW}=1.0000E-01$   $P_B=7.6020E-01$

Teniendo en cuenta que  $L_{min}=3\lambda$  y  $W_{min}=5\lambda$ , con una  $\lambda=0.6\mu$ m, y sabiendo que  $|s_{p2}| \approx 3w_0$  da un margen de fase mayor a  $60^\circ$ , como  $s_{p2} = -g_{m6} / C_L$  y  $w_0 = g_{mi} / C_c$  entonces se tiene el siguiente resultado [1]:

$$\frac{g_{m6}}{C_L} = 3w_0 = 3\frac{g_{mi}}{C_c} \quad (2.1)$$

donde  $w_0$  es la frecuencia de ganancia unitaria,  $s_{p2}$  es la frecuencia del polo no dominante,  $g_{mi}$  es la transconductancia de los transistores de entrada  $M_1$  y/o  $M_2$  y  $g_{m6}$  es la transconductancia del transistor  $M_6$ . Como se conoce el requerimiento de rapidez de respuesta, se puede determinar la corriente a través del transistor  $M_5$ , de la siguiente manera:

$$I_0 \geq S_r C_c \quad (2.2)$$

donde,  $S_r$  es la rapidez de respuesta (ver Figura 2.5 (a)) e  $I_0$  es la corriente a través del transistor  $M_5$ . Se tiene la limitación de que  $S_{r0} \leq I_{bias} / C_L$  donde,  $S_{r0}$  es la rapidez de respuesta para la parte de la pendiente negativa (ver Figura 2.5 (a)) e  $I_{bias}$  es la corriente a través del transistor  $M_6$  y  $M_7$ ; por lo tanto, para minimizar este efecto se hace que  $S_{r0} = 2.5S_r$ , así se puede obtener la corriente que fluye por los transistores  $M_6$  y  $M_7$  de la siguiente manera [1]:

$$I_{bias} \geq S_{r0} C_L \quad (2.3)$$

Para evitar un voltaje offset sistemático, se debe cumplir la siguiente condición:

$$\frac{\left(\frac{W}{L}\right)_3}{\left(\frac{W}{L}\right)_6} = \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_6} = \frac{I_0/2}{I_{bias}} \quad (2.4)$$



Para encontrar la transconductancia de los transistores de carga  $g_{m1}$ , se utilizan las ecuaciones 2.1 a 2.4, y se obtiene la siguiente expresión:

$$g_{m1} = g_{m3} = g_{m4} = \sqrt{\frac{(W/L)_3 I_0/2}{(W/L)_6 I_{bias}}} g_{m6} = \frac{I_0/2}{I_{bias}} g_{m6} \quad (2.5)$$

Para comparar el valor de ganancia requerido con el obtenido se utiliza la siguiente expresión:

$$A_0 = \frac{g_{m1} g_{m6}}{(\lambda_0)(2\lambda_{bias})} \quad (2.6)$$

Ya que  $I_D = K_p(W/L)(V_{GS}-V_T)^2$ , entonces ignorando el efecto de modulación de canal, se puede encontrar la relación  $W/L$  para los transistores  $M_5$  y  $M_7$ , suponiendo un exceso de voltaje ( $V_{GS}-V_T$ ) considerable (alrededor de 0.5 volt), esto es:

$$(W/L)_5 = \frac{I_0}{K_p(V_{GS5}-V_T)^2} \quad (2.7)$$

$$(W/L)_7 = \frac{I_{bias}}{K_p(V_{GS7}-V_T)^2} \quad (2.8)$$

Como  $g_m = 2(K_p(W/L)I_D)^{1/2}$ , entonces se puede determinar la relación  $W/L$  de los transistores  $M_1 = M_2$  y  $M_3 = M_4$  de la siguiente manera:

$$(W/L)_1 = (W/L)_2 = \frac{g_{m1}^2}{2K_p I_0} \quad (2.9)$$

$$(W/L)_3 = (W/L)_4 = \frac{g_{m1}^2}{2K_p I_0} \quad (2.10)$$

y por la ecuación (2.4), se tiene que:

$$(W/L)_6 = \frac{I_{bias}}{I_0/2} (W/L)_3 \quad (2.11)$$

De ésta manera se encuentran las relaciones  $W/L$  para todos los transistores del par diferencial y para la etapa de ganancia. Sólo resta determinar las relaciones para los transistores que generan el voltaje  $V_{bias}$ , el cual hace que el transistor  $M_5$  se comporte como una fuente de corriente con valor  $I_0$  y la relación para el transistor  $M_8$  que es la resistencia que genera un cero  $s_z$ .



Para calcular el valor de la resistencia equivalente que deberá tener el transistor  $M_8$  es necesario saber que  $s_z = -1 / ((R_c - 1/g_{m6})C_c)$ , de esta información, tomando a  $s_z = s_{p2}$  y sabiendo que  $C_L = C_c$ , se puede obtener el siguiente resultado:

$$R_c = \frac{1}{|s_{p2}|C_c} + \frac{1}{g_{m6}} \cong \frac{2}{g_{m6}} \quad (2.12)$$

Ya que  $g_m = \partial i_D / \partial V_D = \mu C_{ox}(W/L)|V_{GS} - V_T|$  y  $K_p = 1/2(\mu C_{ox})$  entonces se tiene que:

$$\frac{1}{R_c} = g_{m8} = 2K_p \left(\frac{W}{L}\right)_8 (|V_{SS} - V_{D8}| - |V_T|) \quad (2.13)$$

como  $i_{D3} = I_0 / 2 = K_p(W/L)_3(|V_{GS3}| - |V_T|)^2$ , entonces:

$$|V_{GS3}| = |V_T| + \sqrt{\frac{I_0/2}{K_p(W/L)_3}} \quad (2.14)$$

Como los drenajes de  $M_1 - M_4$  están a un potencial  $V_{DD} - V_{GS3}$ , entonces este valor es el mismo para el voltaje  $V_{D8}$  del transistor  $M_8$ . Por lo tanto:

$$\left(\frac{W}{L}\right)_8 = \frac{1}{R_c 2K_p (|V_{SS} - V_{DD} + |V_{GS3}|| - |V_T|)} \quad (2.15)$$

La única tarea restante es diseñar el circuito de polarización, como se puede observar en la Figura 2.1, el voltaje  $V_{bias}$  está dado por:

$$V_{bias} = V_{SS} + V_{GS5} \quad (2.16)$$

El siguiente paso es suponer la corriente  $I_b$ , que fluye por los transistores  $M_9$  y  $M_{10}$ , la cual puede ser  $I_b = I_0$ , como  $V_{GS9} = -V_{bias}$ , y  $V_{GS10} = V_{bias} - V_{SS}$ , entonces se puede encontrar que:

$$\left(\frac{W}{L}\right)_9 = \frac{I_b}{K_p(V_{GS9} - V_T)^2} \quad (2.17)$$

$$\left(\frac{W}{L}\right)_{10} = \frac{I_b}{K_p(V_{GS10} - V_T)^2} \quad (2.18)$$

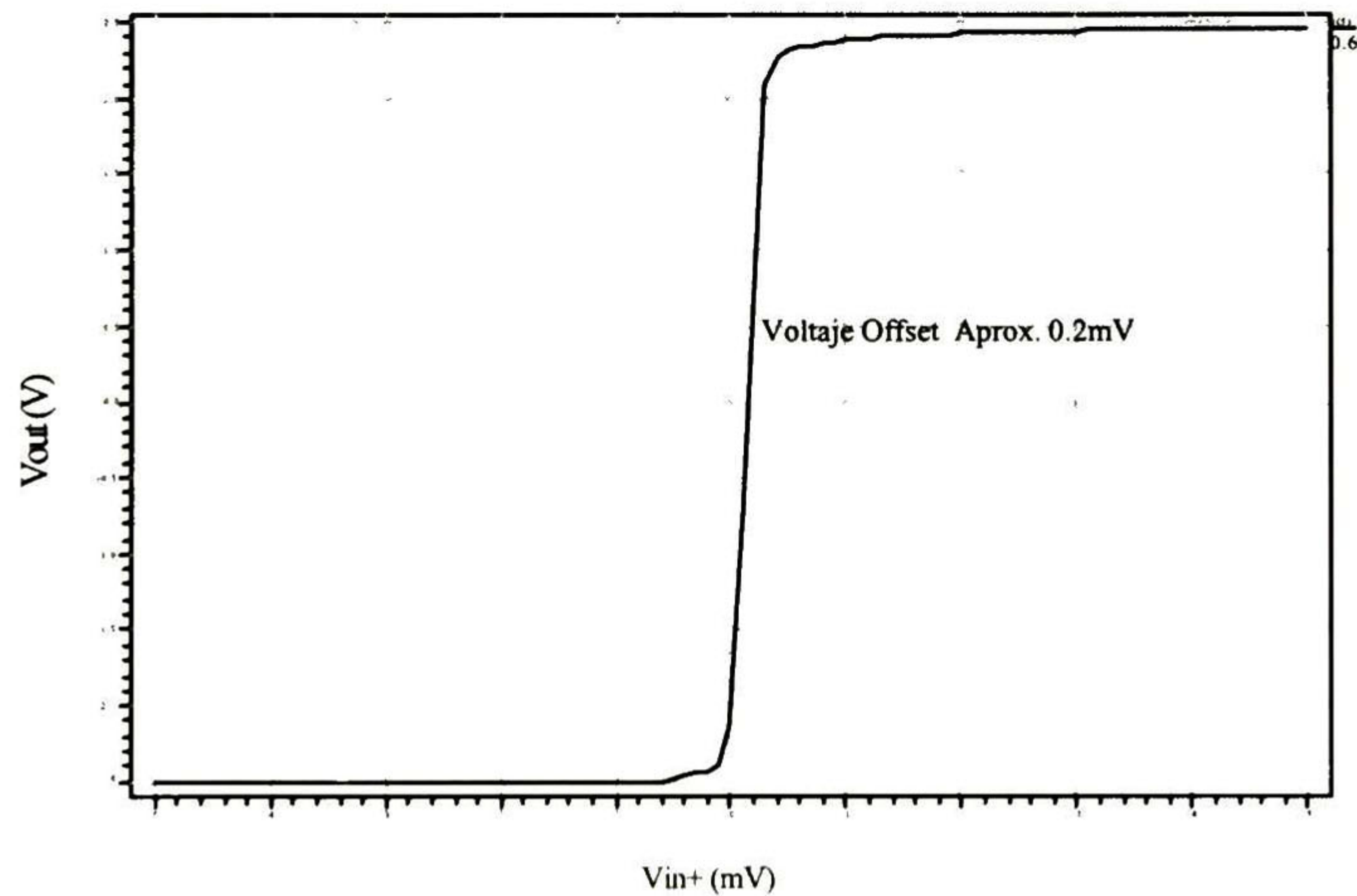
De ésta manera se logran obtener todas las relaciones  $W/L$  de cada uno de los transistores que forman al amplificador operacional, para el cual, de acuerdo a las especificaciones quedarían de la forma en que se muestra en la tabla 2.



**Tabla 2.** Dimensiones de los Elementos que Conforman al Amplificador Operacional de la Fig. 2.1.

| TRANSISTOR | ANCHO (W) $\mu m$ | LARGO (L) $\mu m$ |
|------------|-------------------|-------------------|
| M1         | 7.8               | 3.6               |
| M2         | 7.8               | 3.6               |
| M3         | 23.4              | 6.0               |
| M4         | 23.4              | 6.0               |
| M5         | 16.2              | 6.0               |
| M6         | 51.6              | 3.0               |
| M7         | 10.8              | 1.8               |
| M8         | 60.0              | 3.6               |
| M9         | 21.6              | 450.0             |
| M10        | 3.0               | 3.0               |
| CAPACITOR  | VALOR             |                   |
| $C_L$      | 10pF              |                   |
| $C_c$      | 10pF              |                   |

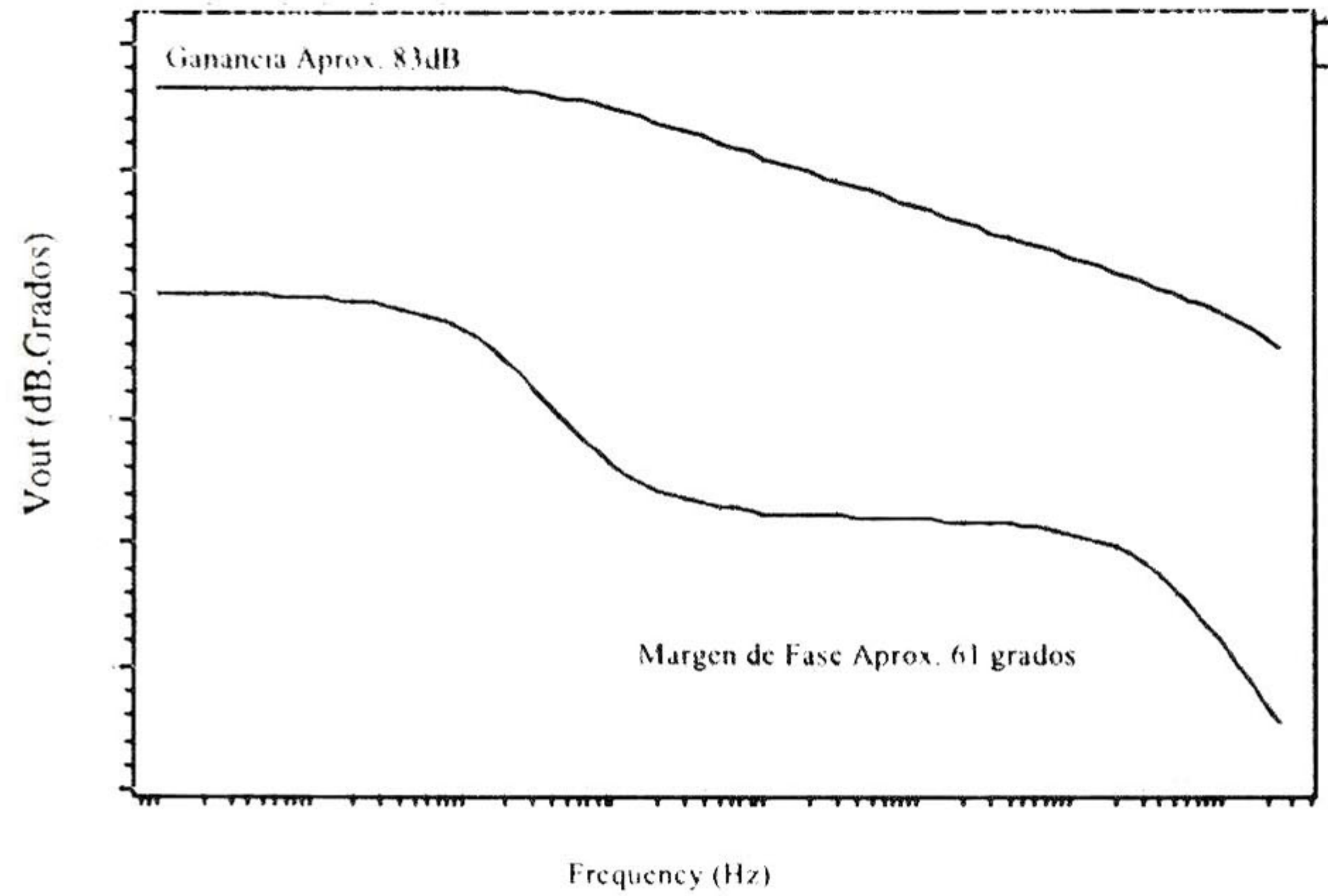
Para verificar si estos requerimientos son cumplidos, a continuación se realiza una serie de simulaciones en distintos dominios (tiempo y frecuencia), las cuales son realizadas en T-SPIICE (TANNER). Para la gráfica de la Figura 2.2, se realiza un análisis de DC, cuando el amplificador operacional se encuentra en configuración de lazo abierto. Como se puede observar en esta gráfica, la salida tiene un ligero corrimiento con respecto a la entrada, lo cual indica que existe un voltaje offset con valor de 0.2mV.



**Figura 2.2** Curva de Transferencia.

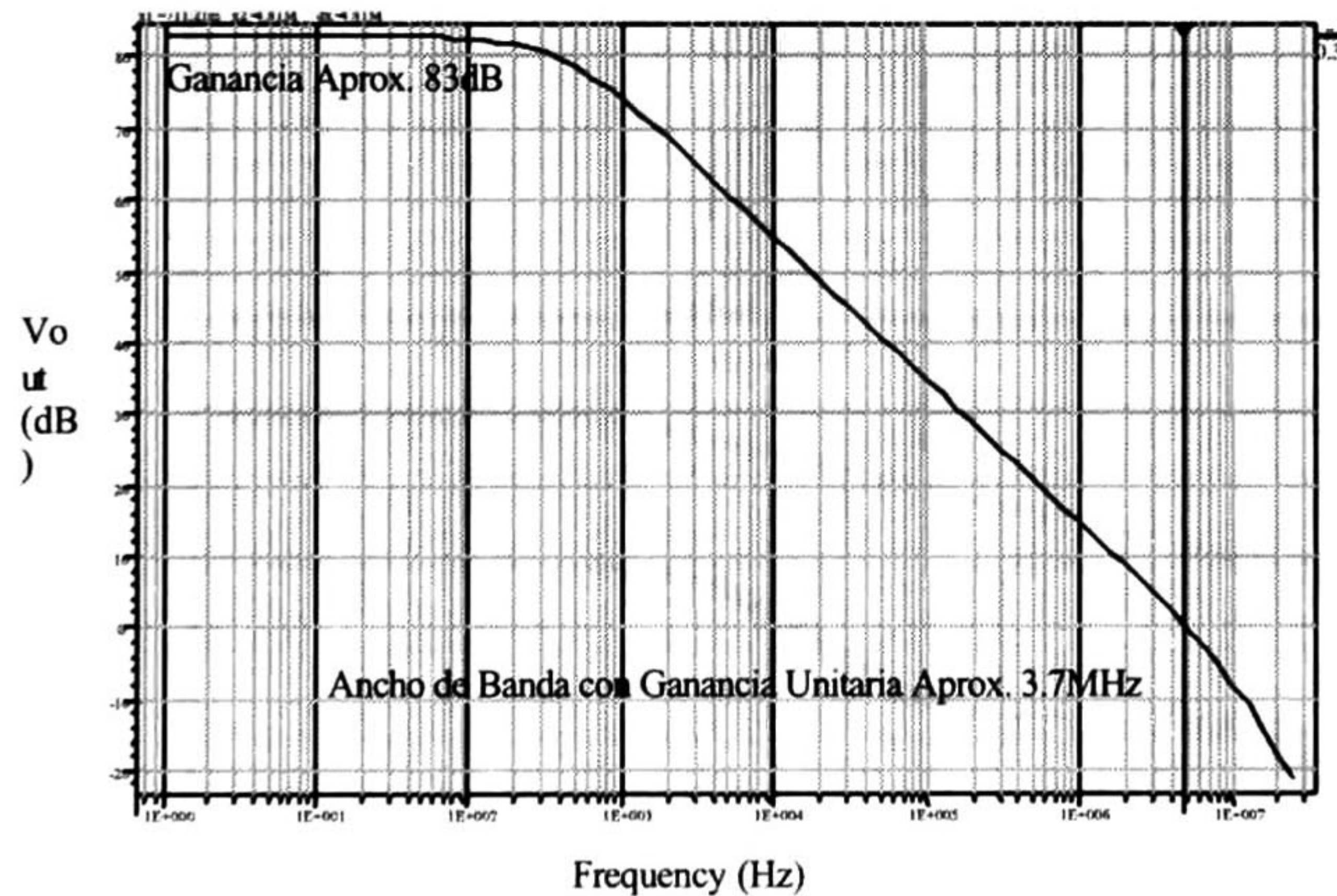
En la gráfica de la Figura 2.3 se muestran el ancho de banda con ganancia unitaria y la fase, para observar con mayor claridad de cuánto es el valor del ancho de banda, y al mismo tiempo poder observar si la fase es satisfactoria, esto se realiza durante la configuración en lazo abierto, pero con un análisis de AC.





**Figura 2.3** Curvas de Ganancia (dB) y Fase (grados) con  $C_L = 10pF$ .

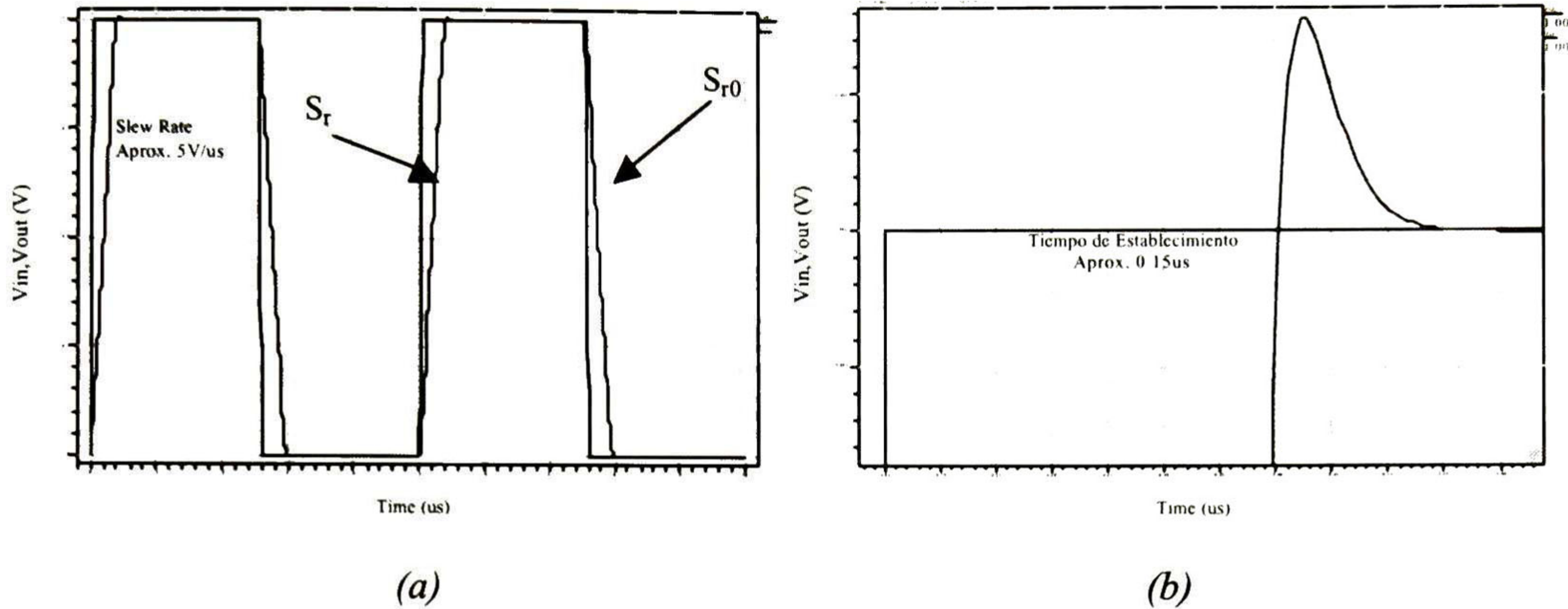
En la gráfica de las Figuras 2.4, se muestra el ancho de banda por separado para apreciar con mayor exactitud el valor obtenido. Como se puede observar, se obtuvo una fase de 61 grados (ver Figura 2.3), así como una ganancia de 83dB (13,713.55), frecuencia de corte a  $-3dB$  de 350Hz y un ancho de banda de alrededor de 3.7MHz. Estos datos son satisfactorios y permiten asegurar que el Opamp es adecuado para la aplicación inicialmente señalada. Sin embargo, para mantener tales características es recomendable realizar un adecuado diseño a nivel layout.



**Figura 2.4** Curva de Ancho de Banda (Hz) y Ganancia(dB) con  $C_L = 10pF$ .

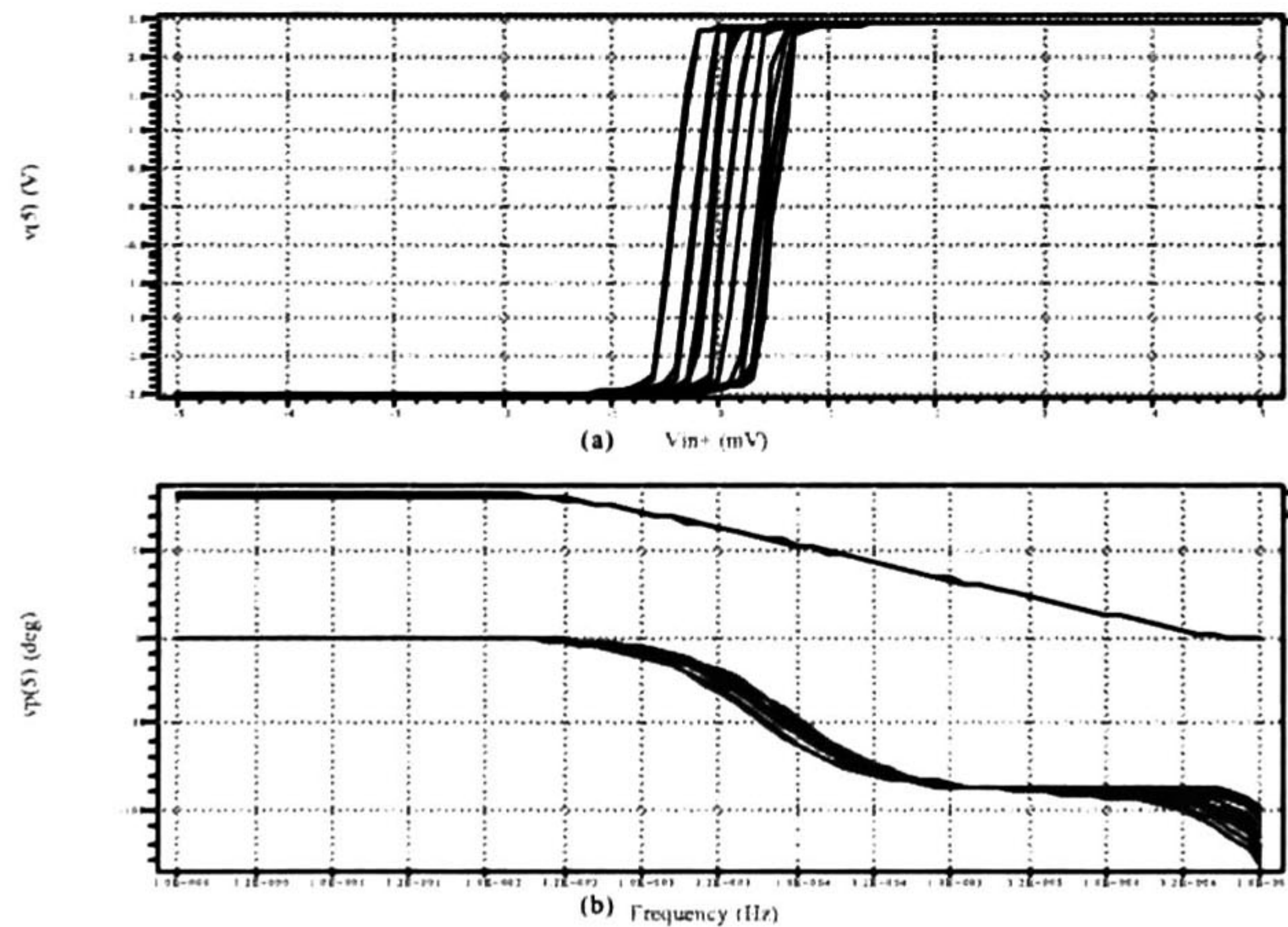
El siguiente procedimiento a aplicado al amplificador operacional es el que se refiere a su análisis en configuración de seguidor de voltaje, es decir, como circuito de ganancia unitaria, esto para realizar la verificación del tiempo de respuesta y el tiempo de establecimiento (ver Figura 2.5). Como se puede observar en la Figura 2.5(a), el tiempo de respuesta es aproximadamente  $5V/\mu s$ , mientras que la Figura 2.5(b) muestra que se tiene un tiempo de establecimiento de aproximadamente  $0.15\mu s$ .





**Figura 2.5** (a) Curva que muestra el tiempo de respuesta del amplificador operacional en el dominio del tiempo, (b) Curva que muestra el tiempo de establecimiento del mismo amplificador. Ambas respuestas utilizando un  $C_L = 10pF$

Una vez realizado este análisis, es necesario llevar a cabo un análisis MonteCarlo con el propósito de verificar que el circuito continuará trabajando de manera óptima aun cuando haya errores de fabricación, que en el peor de los casos son del 5% en los capacitores al igual que en las dimensiones de los transistores. Para realizar esto, se varía cada uno de los transistores y capacitores en un 5% del valor nominal en un proceso de simulación que ejecuta 30 corridas. En la gráfica de la Figura 2.6 se muestra el resultado de tal análisis.



**Figura 2.6** Análisis Montecarlo con variación en los transistores y capacitor de compensación del 5% y un  $C_L = 10pF$ , (a) análisis en DC de la salida Vs la entrada (b) Análisis en AC de la salida en dB y Grados (Ganancia y Fase).

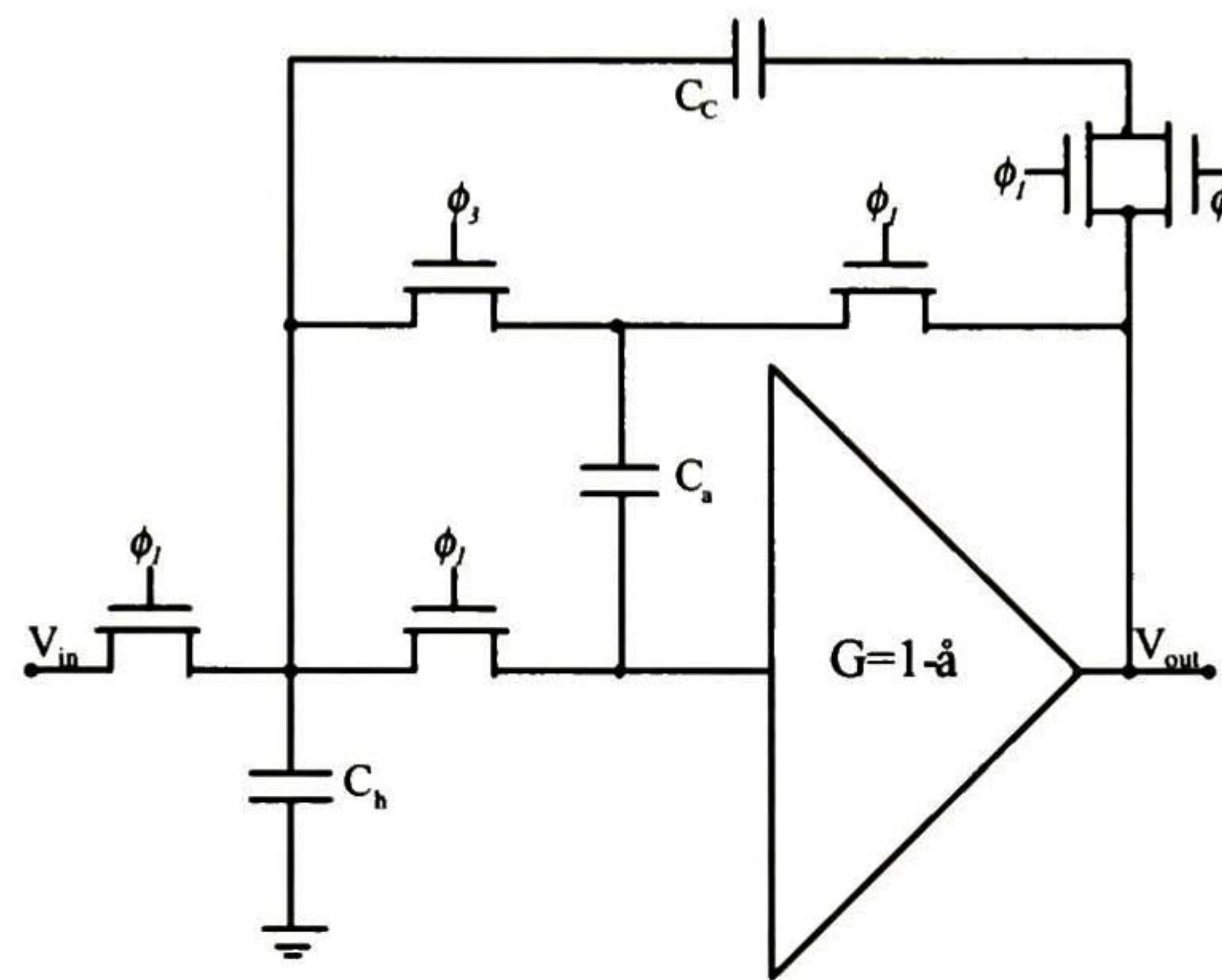
En ésta gráfica se puede observar, que a pesar de que existiera una posible variación del 5% en cada uno de los transistores y/o capacitores, la respuesta del amplificador operacional, en el dominio de la frecuencia, no se ve muy afectada, por lo cual se puede decir, que este Opamp es robusto en cuanto a los errores de fabricación. Sin embargo, puede ser observado de la gráfica que ocurre un corrimiento en la entrada, traduciéndose éste en un voltaje offset a la salida, es



decir, se corrobora que los errores en la geometría de los transistores constituyen la fuente principal de generación del voltaje offset. Para minimizar tal error la aplicación de adecuadas técnicas de diseño a nivel layout es una tarea fundamental a aplicar.

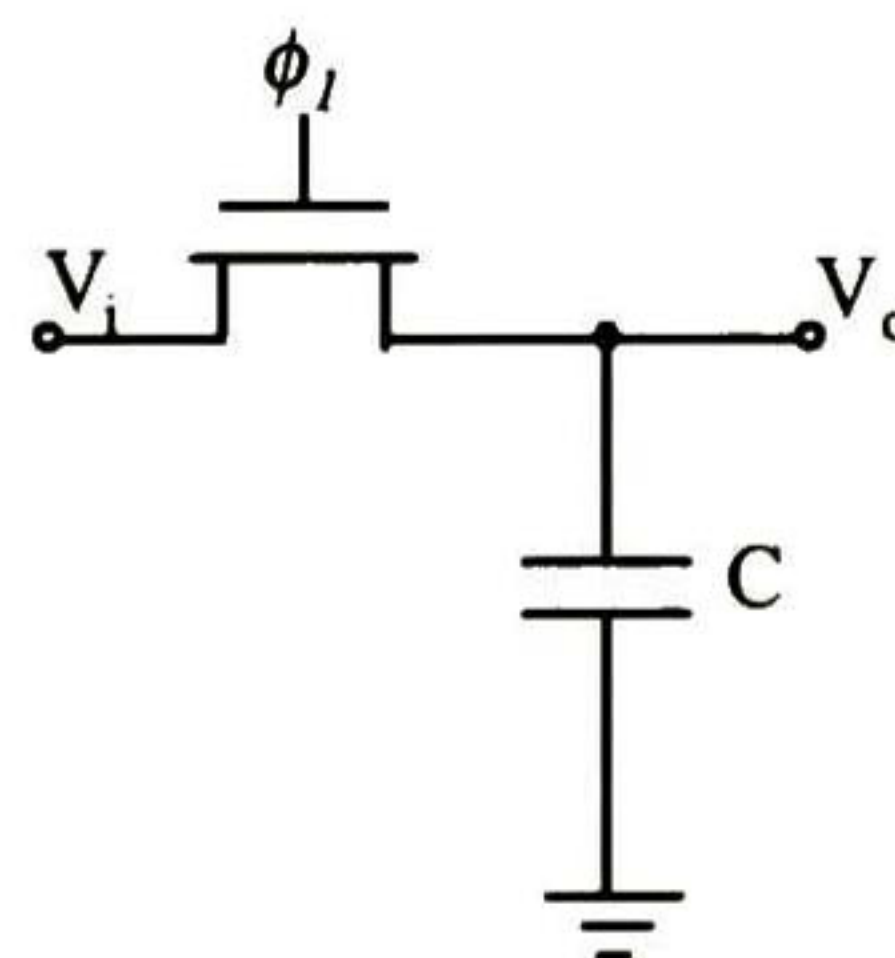
## 2.2 Realización y Simulación de un Sampled And Hold (S/H).

En el circuito S/H que se muestra en la Figura 2.7 el buffer es implementado con un Opamp en configuración de seguidor de voltaje, y se considera que éste presenta un error  $\epsilon$  debido a la ganancia finita; todos los interruptores mostrados son complementarios.



**Figura 2.7** Circuito Sampled and Hold que compensa offset y el error debido a la ganancia [3].

La forma en que el valor de los capacitores  $C_c$ ,  $C_h$  y  $C_a$  se obtiene es en base al análisis del esquema mostrado en la figura 2.7(a), esto en base a que el capacitor está conmutando.



**Figura 2.7(a)** Esquema de muestra para el análisis del capacitor C.

Como se puede observar de la figura 2.7(a) el voltaje  $V_o$  en función de la frecuencia es el que se muestra en la ecuación 2.19.

$$V_o(s) = \frac{\frac{1}{Cs}}{R_{ON} + \frac{1}{Cs}} V_i(s) \quad (2.19)$$



donde  $R_{ON}$  es la resistencia que presenta el interruptor durante el estado de encendido. Así, de esta manera se llega a la siguiente expresión:

$$V_o(s) = \frac{1}{1 + \frac{s}{w_0}} V_i(s) \quad (2.20)$$

donde  $w_0$  equivale a  $1/R_{ON}C$ . Ahora, si se aplica un escalón a la entrada, se tiene lo siguiente:

$$V_o(s) = \frac{1}{1 + \frac{s}{w_0}} \cdot \frac{1}{s} \quad (2.21)$$

de lo cual, si se aplica el método de fracciones parciales se llega al siguiente resultado:

$$V_o(s) = \frac{1}{s} - \frac{1}{w_0 + s} \quad (2.22)$$

Así, aplicando la transformada inversa de LaPlace se obtiene la siguiente expresión en función del tiempo:

$$v_o(t) = 1 - e^{-t/RC} \quad (2.23)$$

De la cual se puede determinar el valor del capacitor, ya que los valores de R que equivale al valor de la resistencia de encendido del interruptor que es del orden de  $1K\Omega$ , t que es el tiempo durante el cual se muestrea la señal de entrada y  $v_o(t)$  que es el voltaje retenido en el tiempo t, son conocidos. Debido a esto, se puede deducir que el capacitor es aproximadamente del orden de 3pF.

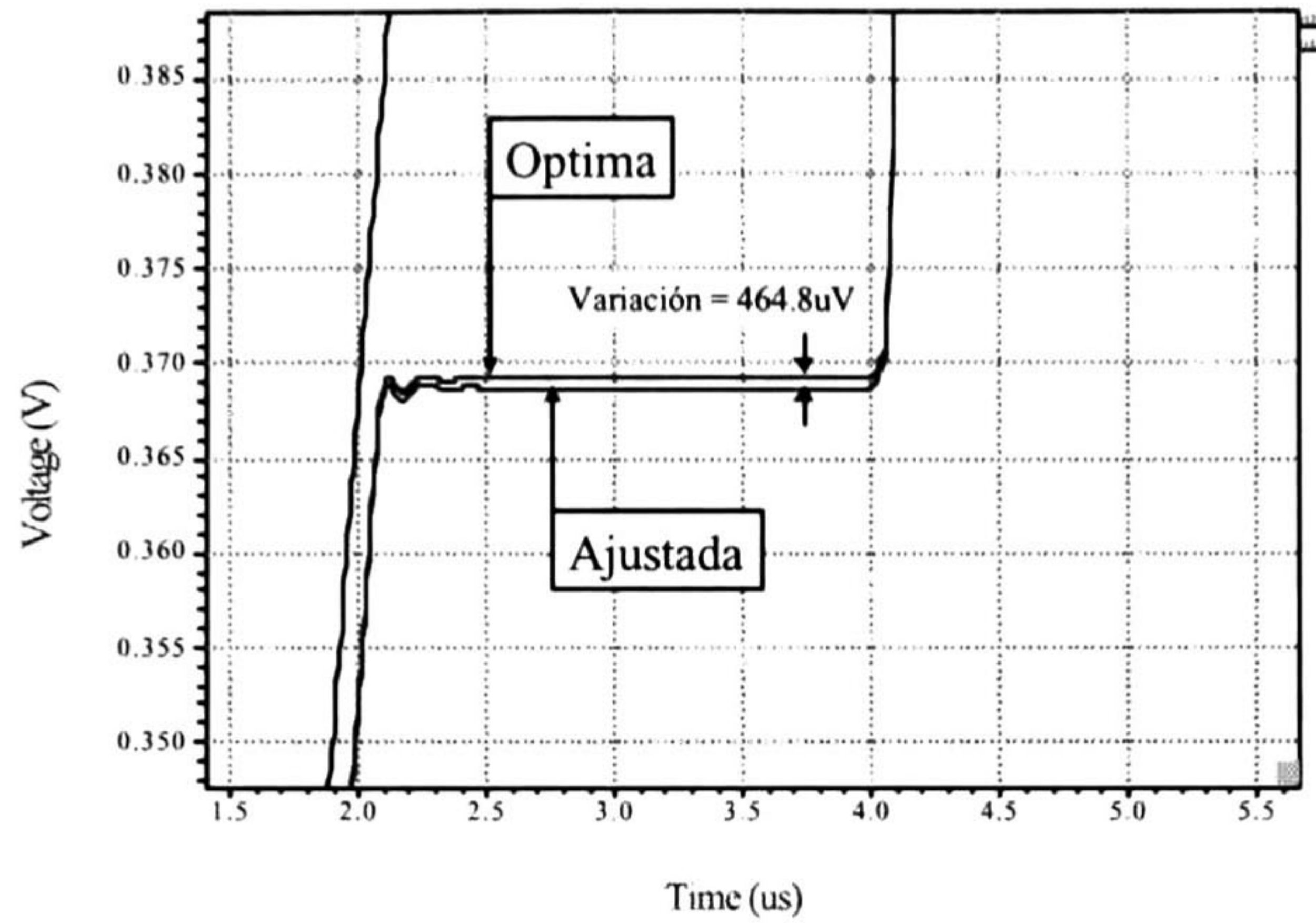
Ya que este valor es válido únicamente para un capacitor y no para un conjunto de capacitores conectados como un sistema, es necesario realizar un proceso de aproximaciones, el cual de alguna manera, partiendo del valor inicial (3pF), nos arrojará el valor adecuado para cada uno de los capacitores.

Así, los capacitores  $C_c$ ,  $C_h$  y  $C_a$  tienen un valor inicial de 3pF, el cual sirve de semilla para realizar una simulación de MonteCarlo, de la cual se obtienen los valores aproximados para cada uno de los capacitores como un sistema y no de forma individual, siendo estos de 2.4012pF, 4.2914e-012 y 4.5838e-012 respectivamente, después es necesario realizar un ajuste a tales valores, quedando al final que  $C_c = 2.5$  pF,  $C_a = 4.5$  pF y  $C_h = 4.5$  pF (ver Apéndice A). En la Figura 2.8 se muestra una comparación entre las respuestas óptima y ajustada.

De la gráfica de la Figura 2.8 se observa que la respuesta del S/H con capacitores de valor ajustado varía  $465\mu V$  aproximadamente, lo cual es muy poco, de esto se puede concluir que es válido el ajuste realizado. Una vez hecho este proceso de ajuste es necesario realizar un análisis

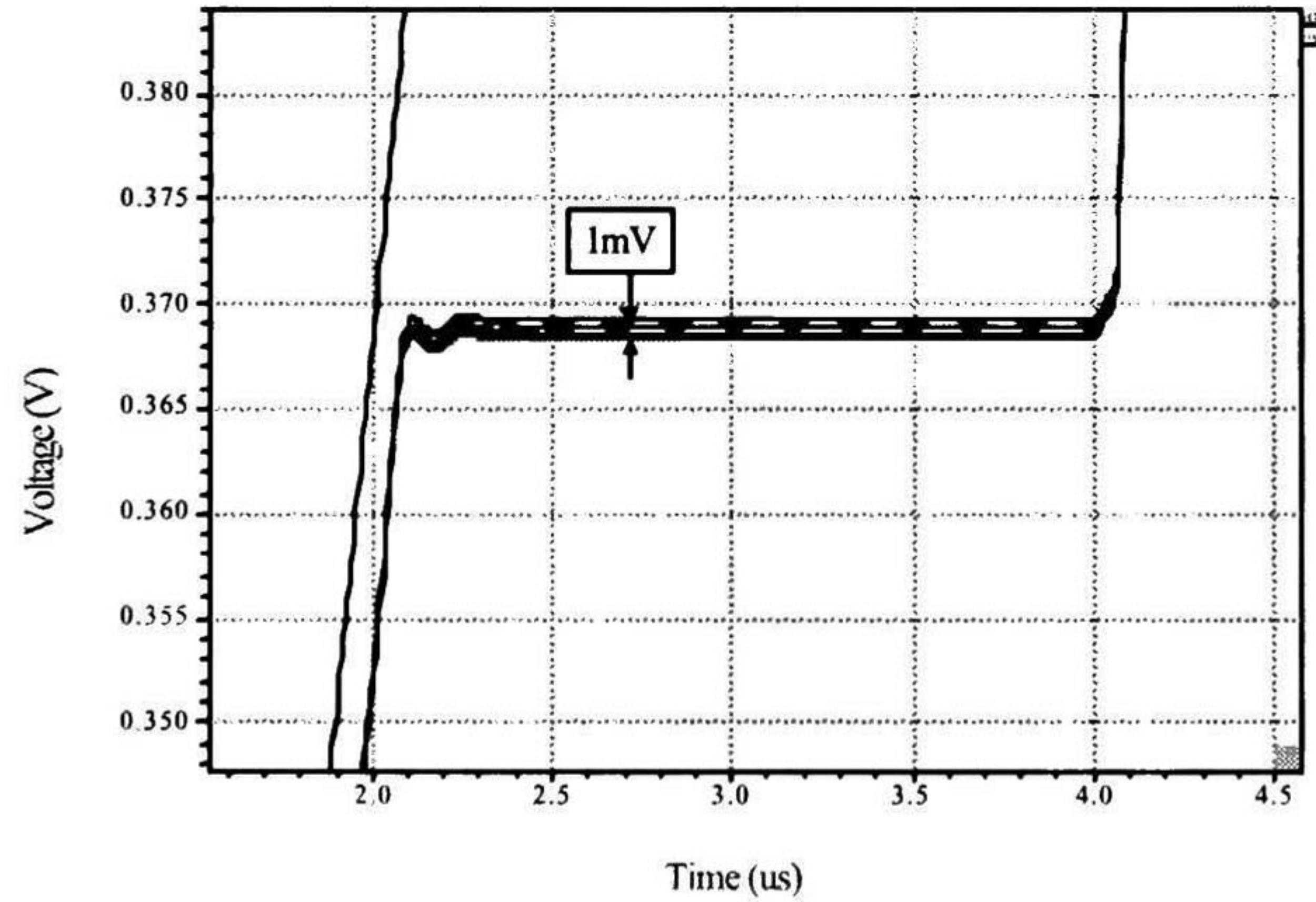


MonteCarlo, para observar que tanto varía la respuesta con la variación del valor de los capacitores debido al proceso de fabricación, ésta es del orden de 5%, y el resultado se muestra en la Figura 2.9.



**Figura 2.8** Gráfica de la salida del S/H con capacitores óptimos y ajustados.

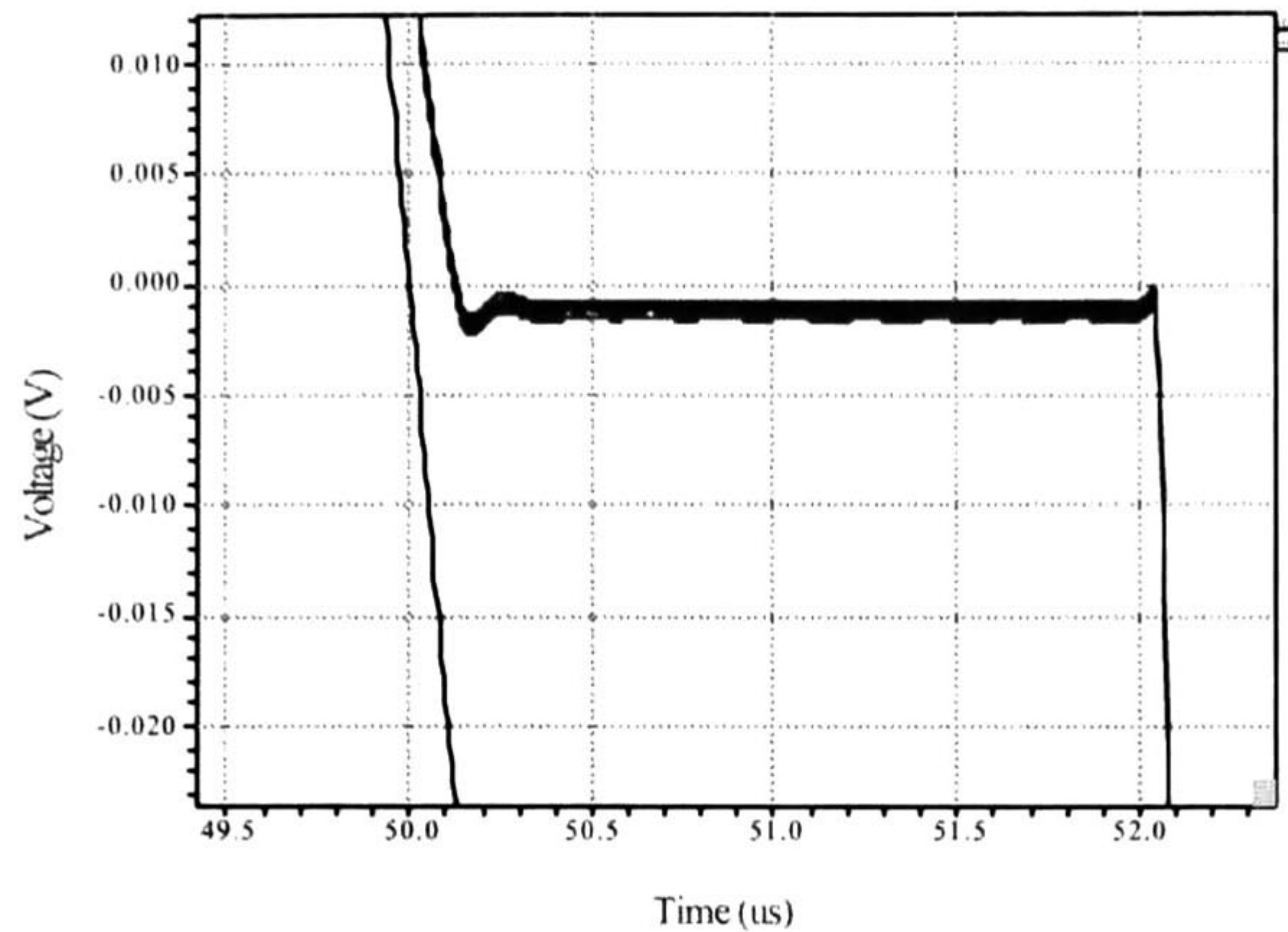
Como se puede observar de la Figura 2.9, las variaciones geométricas no tienen un efecto muy grande en la respuesta, ya que varían dentro de un pequeño rango de 1mV.



**Figura 2.9** Análisis Monte Carlo con un 5% en el valor Capacitivo de  $C_a$ ,  $C_c$  y  $C_h$  y con  $C_L = 10pF$ .

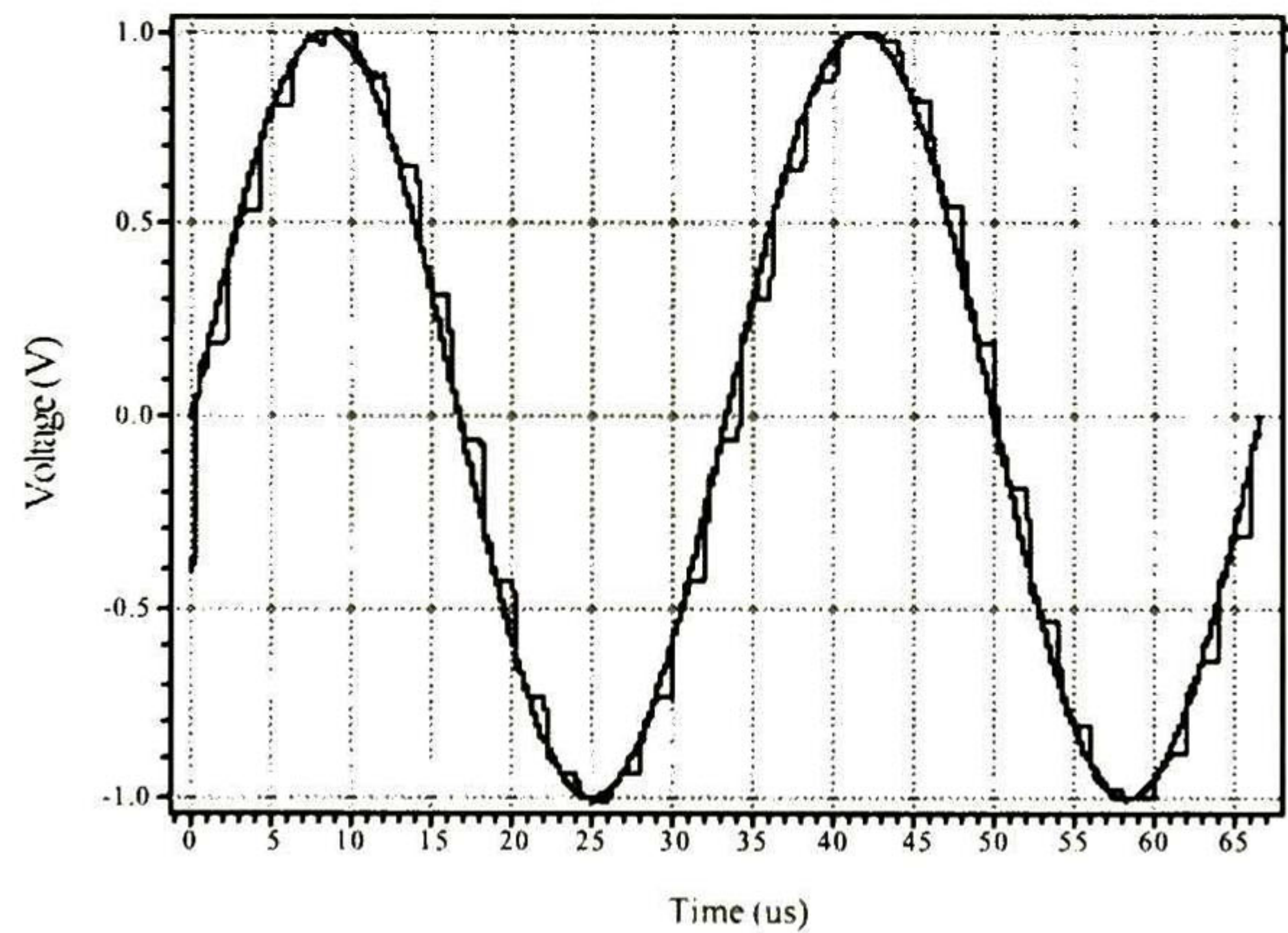
En la Figura 2.10 se muestra un análisis Monte Carlo con variación del 5% en las geometrías de los interruptores al mismo tiempo que el valor de los capacitores. Se puede observar que no existe una variación significativa, por lo que el sistema trabaja de manera adecuada con variaciones de esta magnitud. En la Figura 2.11 se muestra una simulación del S/H para una frecuencia de muestreo de 500KHz.





**Figura 2.10** Análisis Monte Carlo con un 5% en el valor Capacitivo de  $C_a$ ,  $C_c$  y  $C_h$  y en las geometrías de los interruptores y con  $C_L = 10pF$ .

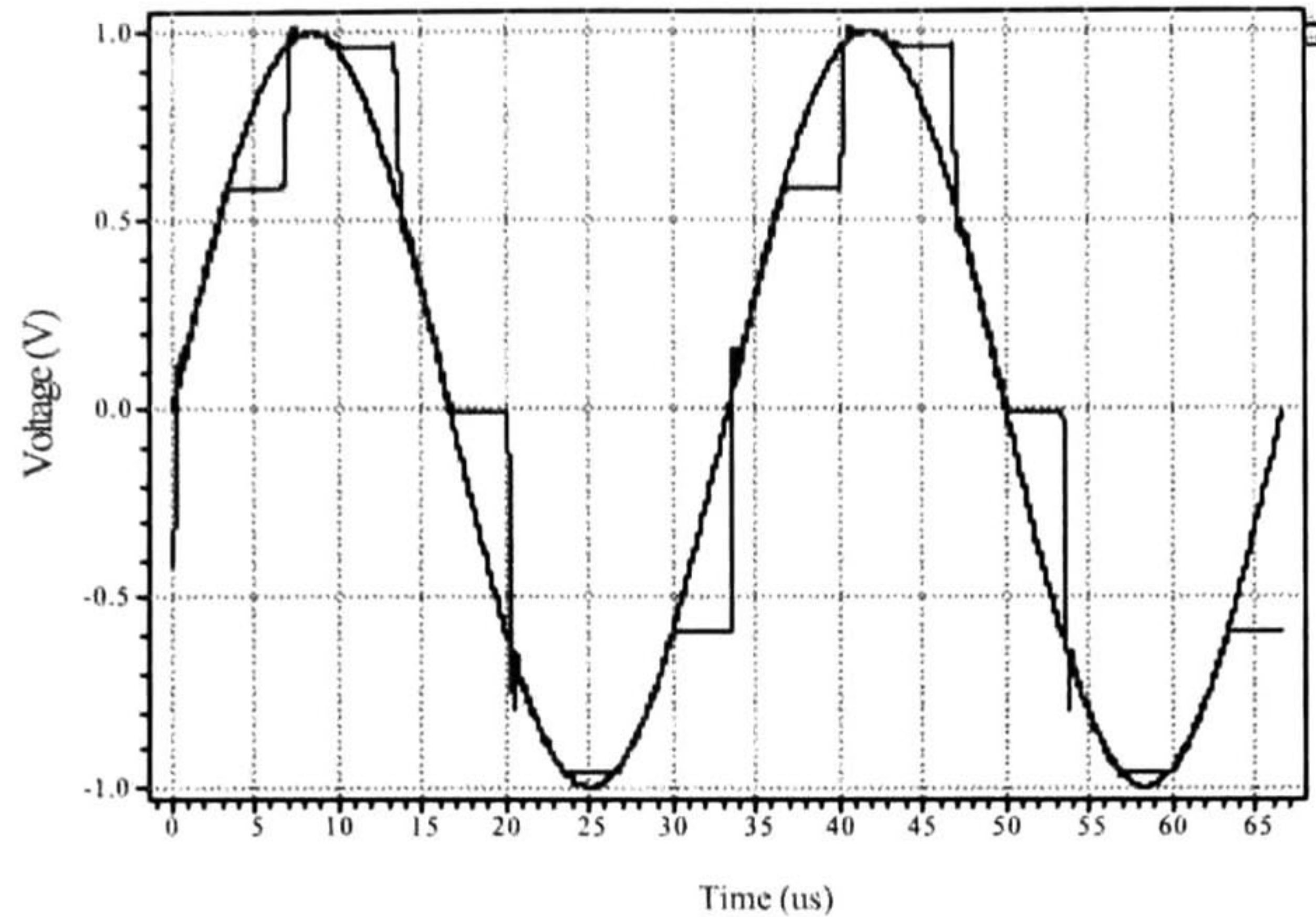
Como se puede observar en la Figura 2.11, no se tiene un voltaje offset apreciable, debido a esto se puede observar que se tiene un seguimiento o muestreo de la señal adecuado, por lo cual se tendrá un valor muy exacto al momento de retener la señal. Otra de las características que se observan en esta gráfica es la estabilidad durante el proceso de retención, por lo que al momento de conversión no se tendrán errores debido a la variación en la señal de entrada. En la Figura 2.12 se muestra una simulación del mismo circuito S/H pero con una frecuencia de muestreo de 150KHz.



**Figura 2.11** Respuesta de un Circuito Sampled and Hold con una frecuencia de muestreo de 500KHz y con  $C_L = 10pF$ .

En la gráfica de la Figura 2.12 se puede observar que existen pequeños glitches, pero no son de consideración ya que no importa el proceso de muestreo para el proceso de conversión, el momento de interés es el proceso de retención, que es durante el cual se realizan las operaciones de amplificación, comparación, etc. También se puede observar que aún se sigue teniendo una buena respuesta. De esto, se puede precisar, que para frecuencias de 150KHz a 500KHz el circuito S/H responde de forma aceptable.

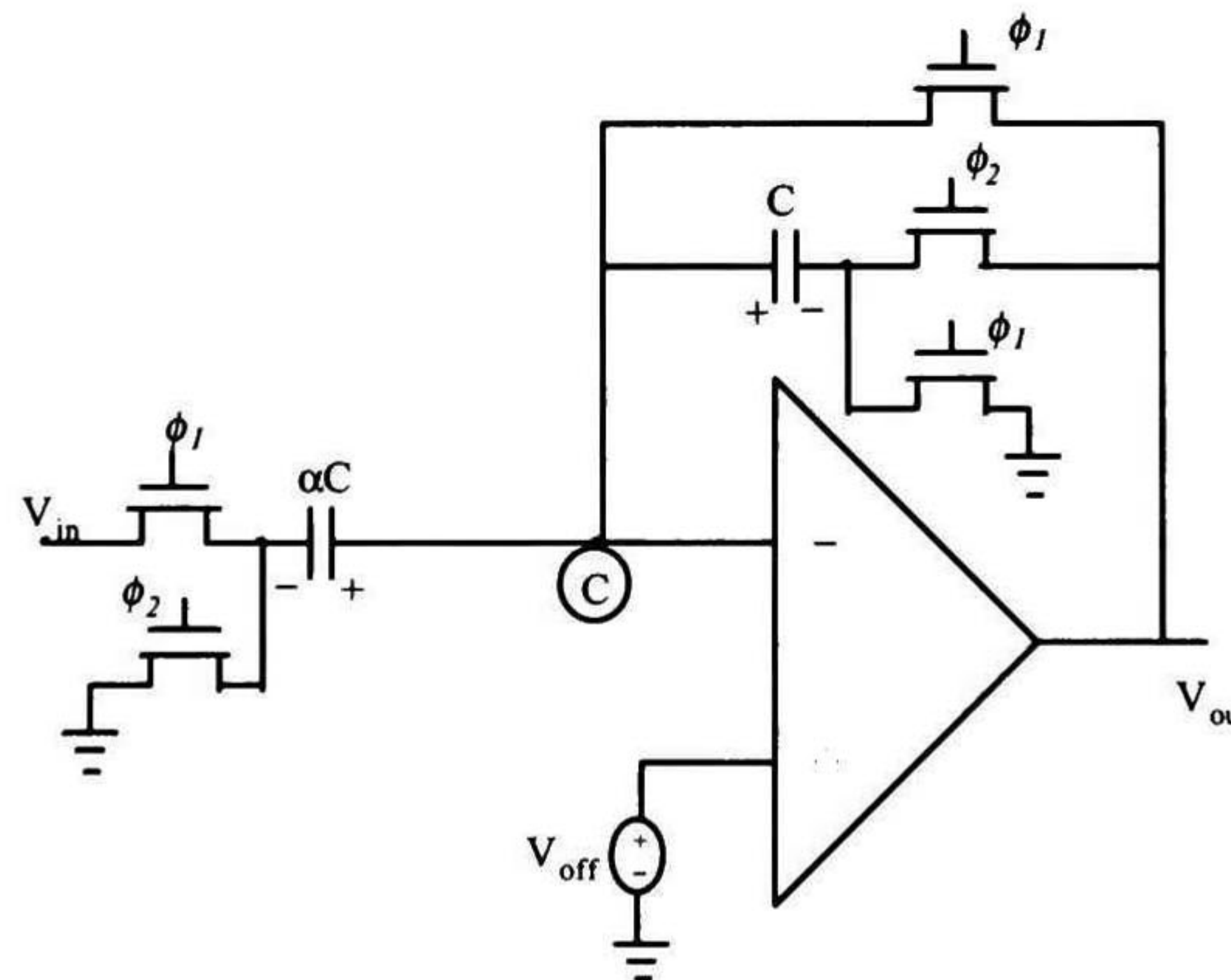




**Figura 2.12** Respuesta de un Circuito Sampled and Hold con una frecuencia de muestreo de 150KHz y con  $C_L = 10pF$ .

### 2.3 Realización y Simulación de un Amplificador Multiplicador por 2.

El circuito de la Figura 2.13 es realizado con interruptores MOS complementarios de geometrías mínimas, para lograr obtener completamente ambas excursiones de la señal de entrada, además de eliminar glitches. Los valores de los capacitores utilizados son de 2pF para el capacitor que proporciona el factor de ganancia  $\alpha$ , y de 1pF el capacitor en la retroalimentación.

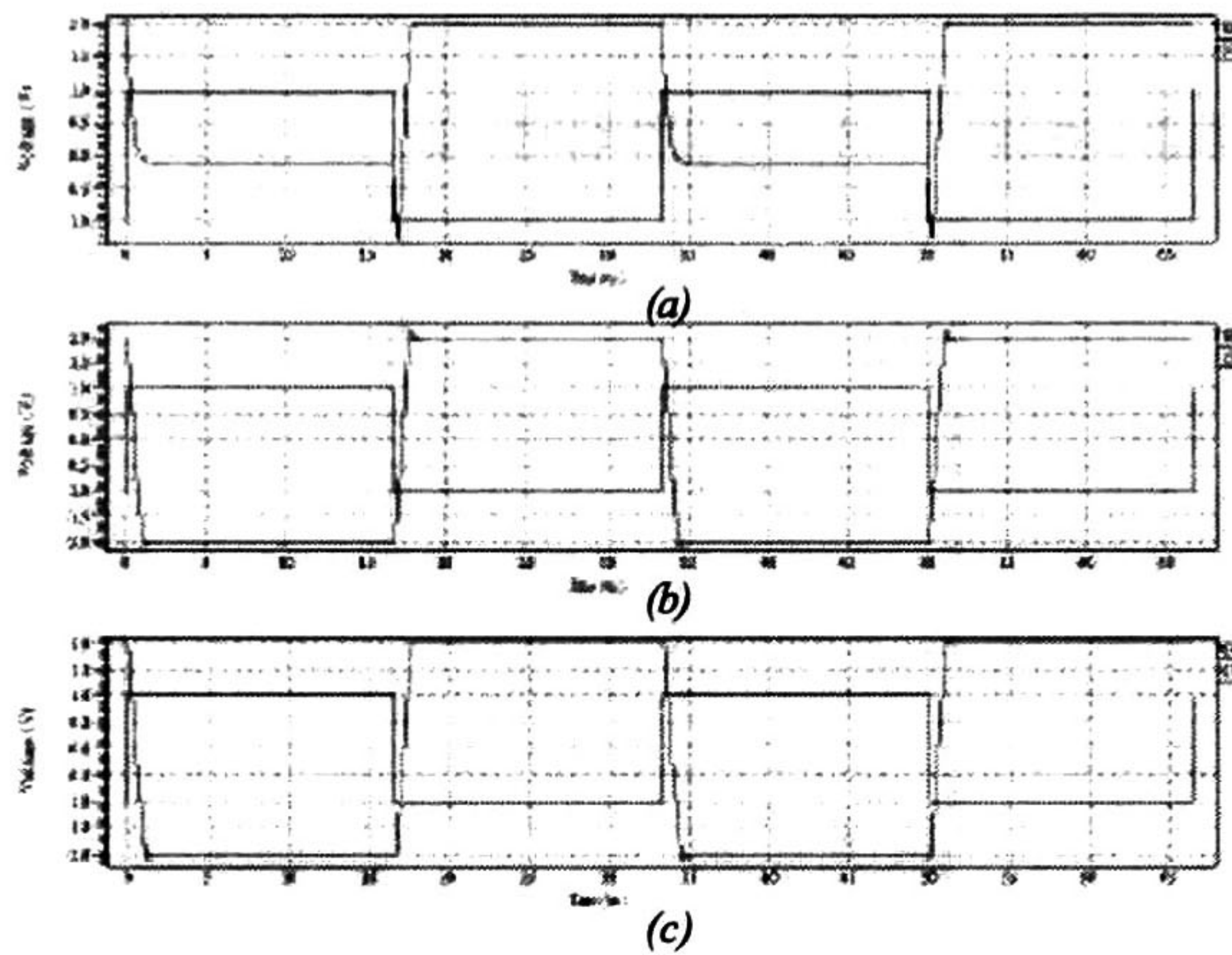


**Figura 2.13** Circuito Amplificador Inversor con factor de ganancia  $\alpha$  [1].

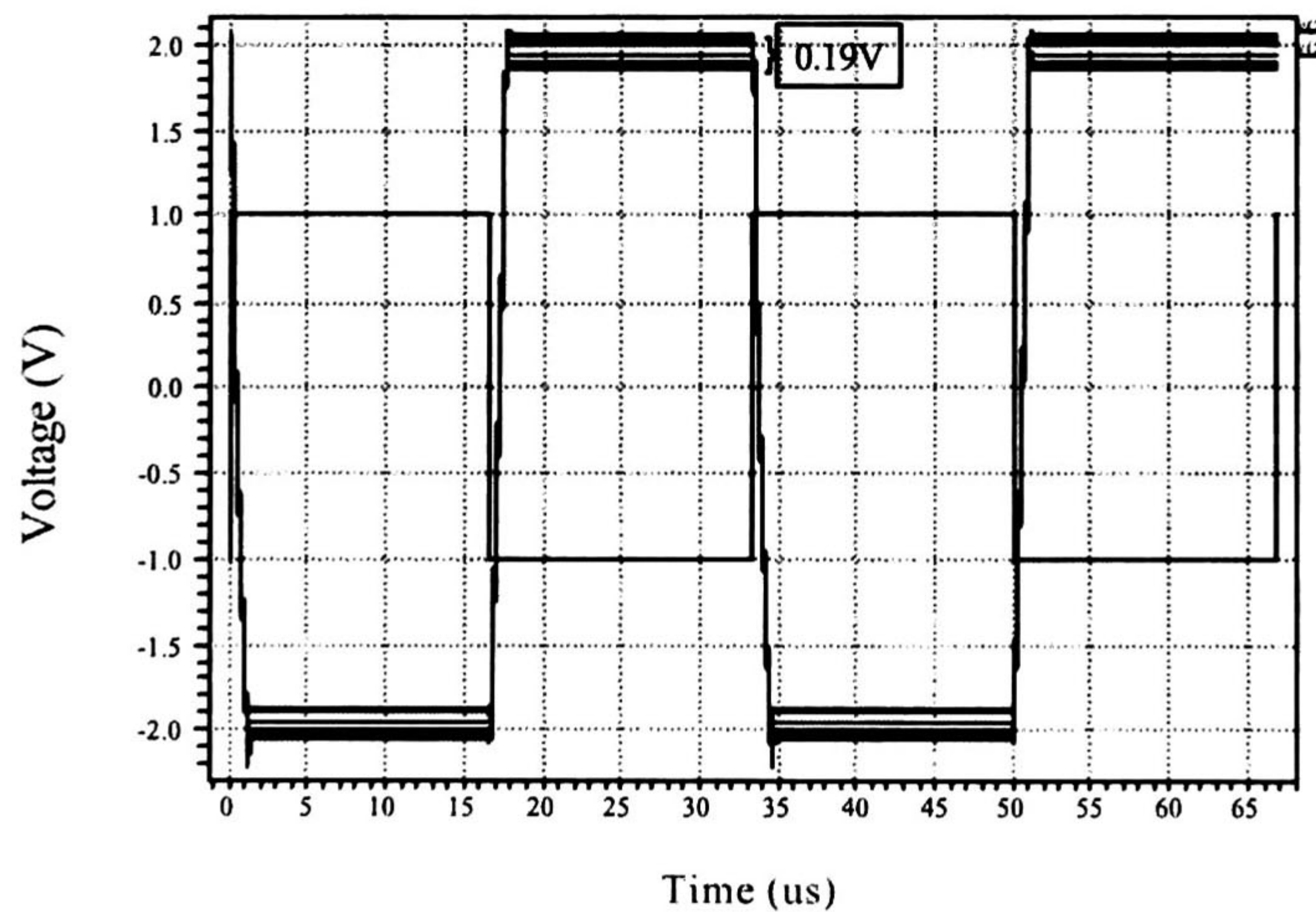
En la Figura 2.14 se muestran 3 análisis distintos, en los que se utilizaron distintos valores de capacitancia, pero conservando la relación o factor de ganancia de 2. Como se observa de la Figura 2.14 (a), la respuesta en la excursión negativa no alcanza a ser la esperada ( $-2V$ ), de la misma manera, en la Figura 2.14 (b) se muestra una respuesta aparentemente buena, pero con unos pequeños glitches en cada transición del voltaje de salida positivo a negativo y viceversa, por último en la Figura 2.14 (c) se muestra la respuesta óptima; como se observa, no existen glitches, y se logra alcanzar el factor de ganancia esperado. Cabe señalar que el pequeño desfase entre señal de entrada y salida es debido al tiempo de respuesta de amplificador operacional.



Después de haber determinado los valores óptimos para lograr el factor de ganancia de 2, es bueno realizar un análisis MonteCarlo con una variación del 5% en el valor de los capacitores, ya que éstos son bs principales causantes de que el sistema sea estable y preciso, además de que es el valor típico que el fabricante asegura cumplir, de acuerdo al proceso de diseño. Como se observa en la Figura 2.15, la señal varía su ganancia dentro de un rango de 190mV aproximadamente, lo cual arroja que no afectará tanto el error debido al proceso de fabricación. Debido a que también varían las dimensiones de los transistores que operan como interruptores, es necesario hacer un análisis MonteCarlo para determinar hasta que punto tiene efecto este error de fabricación. En la Figura 2.16 se muestra este análisis, variando geometrías y el valor de los capacitores en un 5% de su valor nominal.



**Figura 2.14** Respuesta de un AmplificadorInversor con factor de ganancia  $\alpha = 2$  cuando (a)  $C=0.1pF$ ,  $C=0.2pF$ , (b)  $C=10pF$ ,  $C=20pF$  y (c)  $C=1pF$ ,  $C=2pF$ .



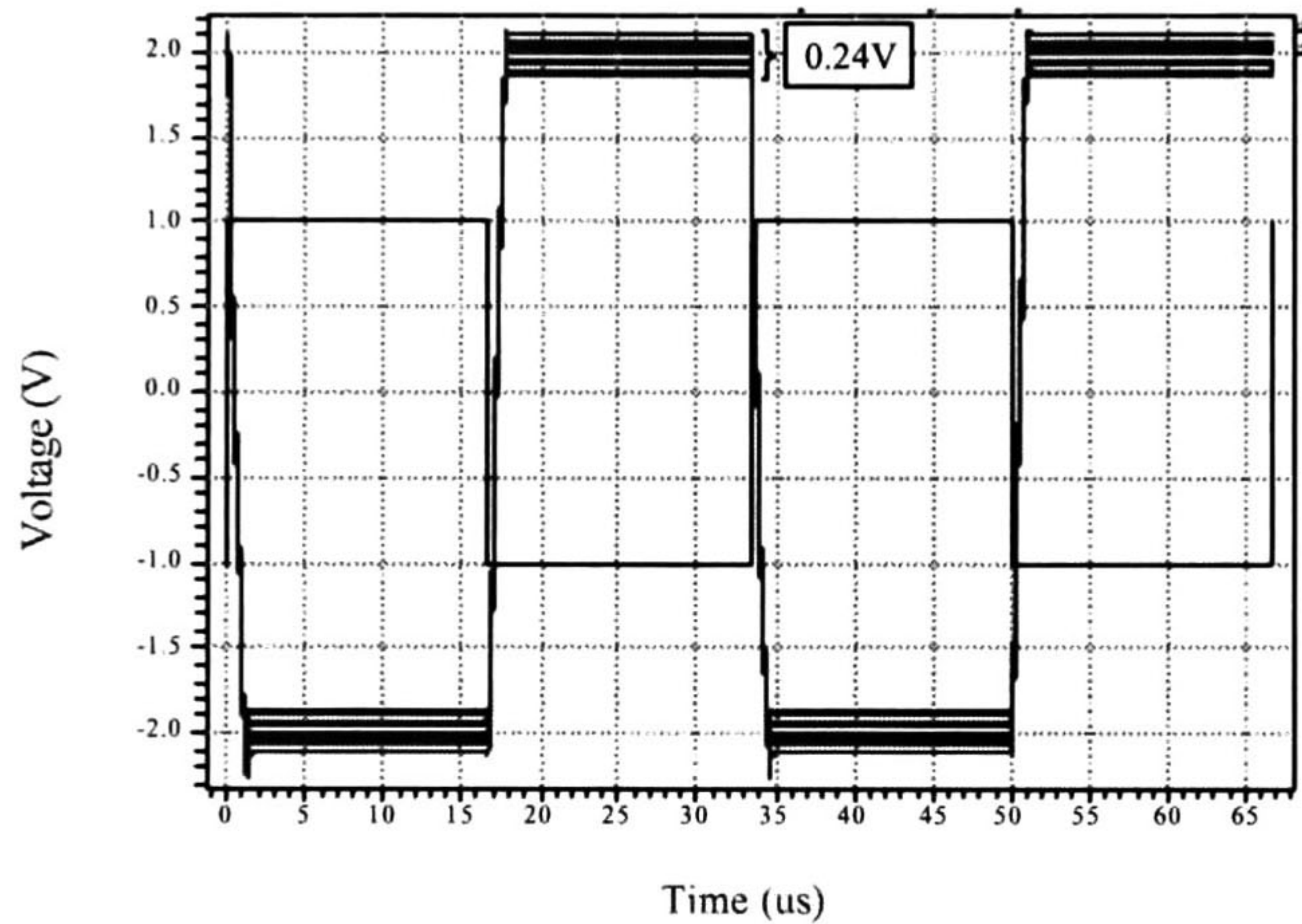
**Figura 2.15** Análisis Monte Carlo con un 5% en el valor de los capacitores que proporcionan el factor de ganancia y con  $C_L = 10pF$ .



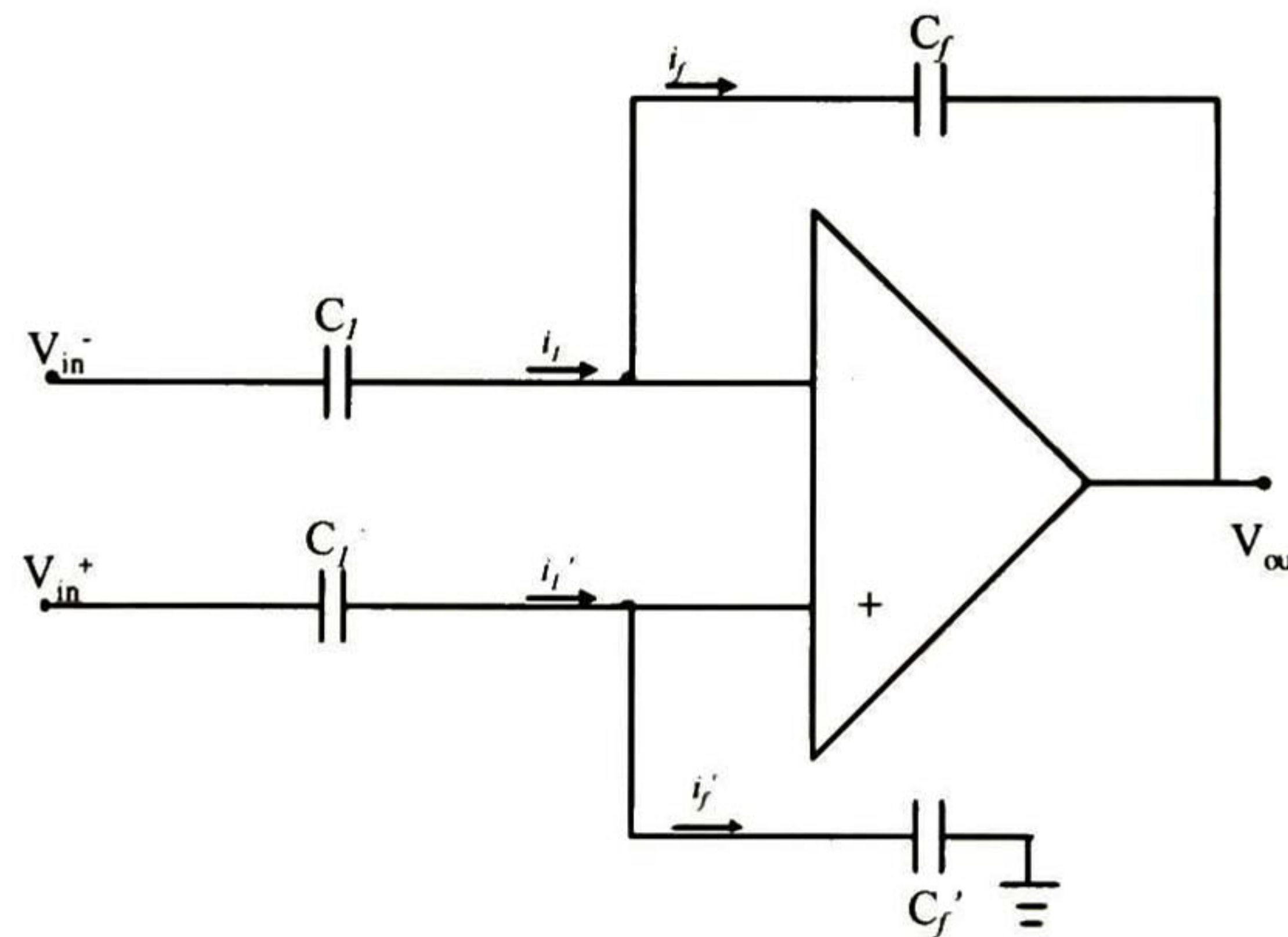
Como se puede observar de la Figura 2.16 el efecto se incrementa cuando se varían capacitores e interruptores a la vez, pero aún sigue siendo muy poco significativo este error, ya que está alrededor de 240mV, es decir, un incremento de 50mV con respecto a la variación hecha únicamente a los capacitores.

### 2.4 Realización y Simulación de un Circuito Sumador-Restador.

En la Figura 2.17 se muestra un circuito sumador-restador, cuya función es el obtener el residuo, después de la fase de comparación en el lazo de conversión, con el fin de obtener un valor a la salida de  $(V_{in}^+ = V_{in}^-)$ , se propusieron las siguientes relaciones  $C_1/C_f = 1$  y  $C_1'/C_f'=1$ , de esta manera, se tiene un circuito balanceado y con ganancias idénticas por cada rama.



**Figura 2.16** Análisis Monte Carlo con un 5% en el valor de los Capcitores y en las geometrías de los interruptores y con  $C_L = 10pF$ .

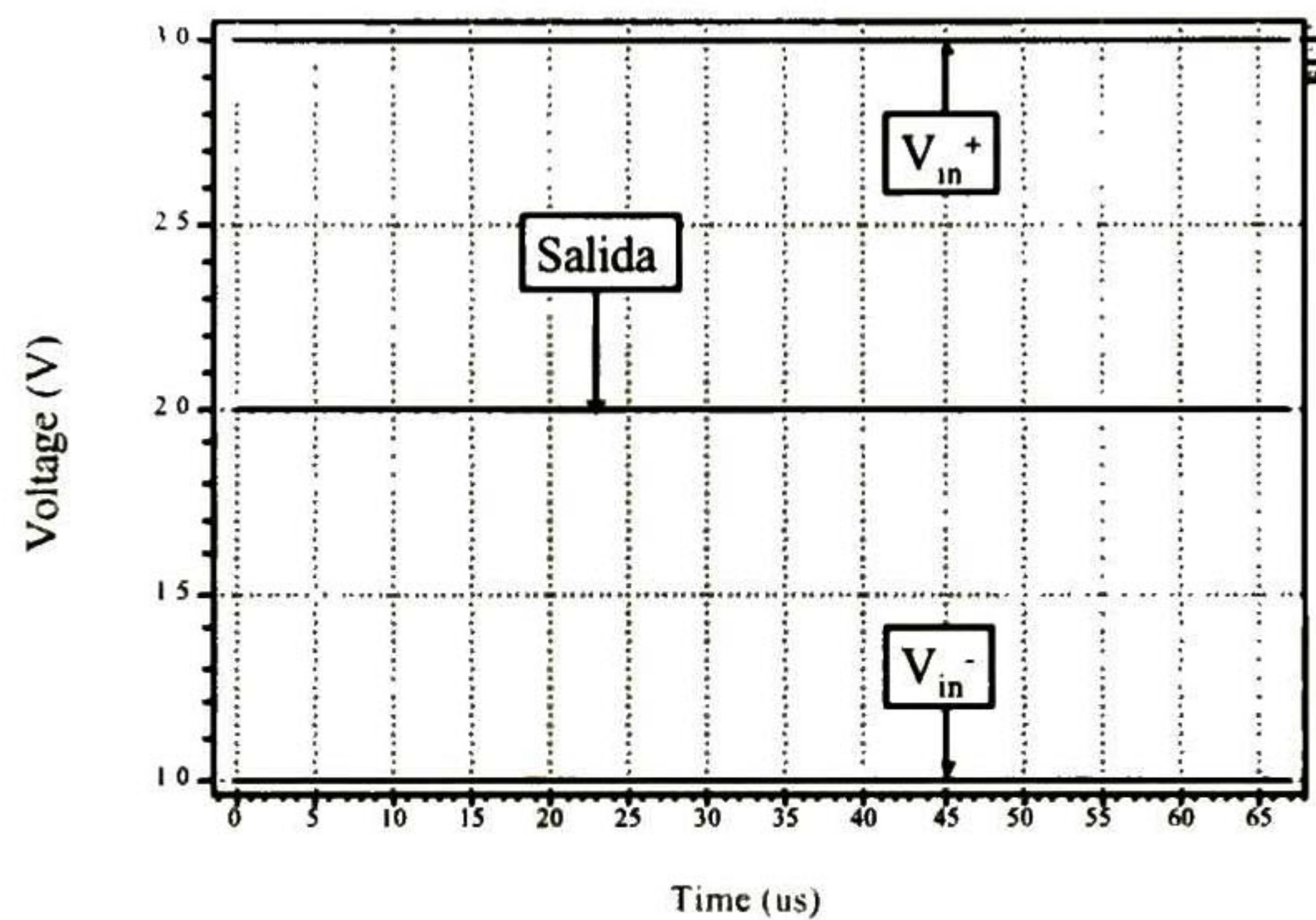


**Figura 2.17** Circuito Sumador-Restador utilizando un amplificador operacional y capacitores.

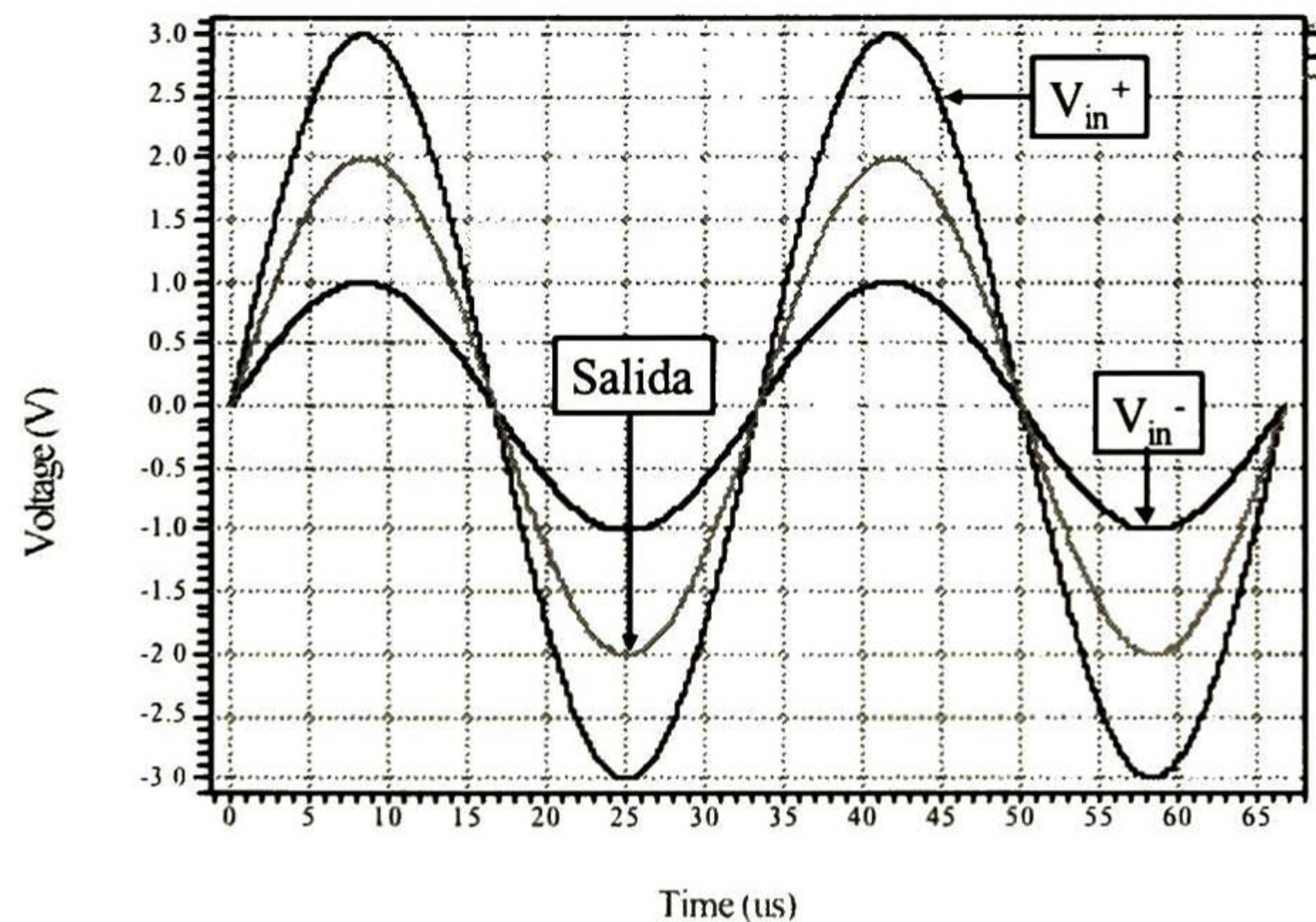


En la Figura 2.18 se muestra una gráfica de la respuesta en el tiempo del circuito sumador-restador, en el cual se dieron los valores  $C_1 = C_1' = 1\text{pF}$  y  $C_f = C_f' = 1\text{pF}$ , cumpliendo las condiciones para una operación adecuada. Para observar la respuesta se inyectan voltajes constantes de valor  $V_{in}^+ = 3\text{V}$  y  $V_{in}^- = 1\text{V}$ , por lo que a la salida se tiene un valor constante  $V_{out} = 2\text{V}$ .

En la Figura 2.19 se tiene el mismo análisis que el realizado para la obtención de la gráfica de la Figura 2.18, solo que ésta vez se aplican dos voltajes de forma senoidal a las entradas, obteniendo a la salida un voltaje con la misma forma de onda. En la Figura 2.20 se muestra un análisis MonteCarlo, con una variación en los capacitores del 5%, como puede ser observado, la variación en la señal de salida es mínima, por lo cual se puede asegurar que el circuito funcionará de una manera adecuada aunque existan errores de fabricación en los capacitores.

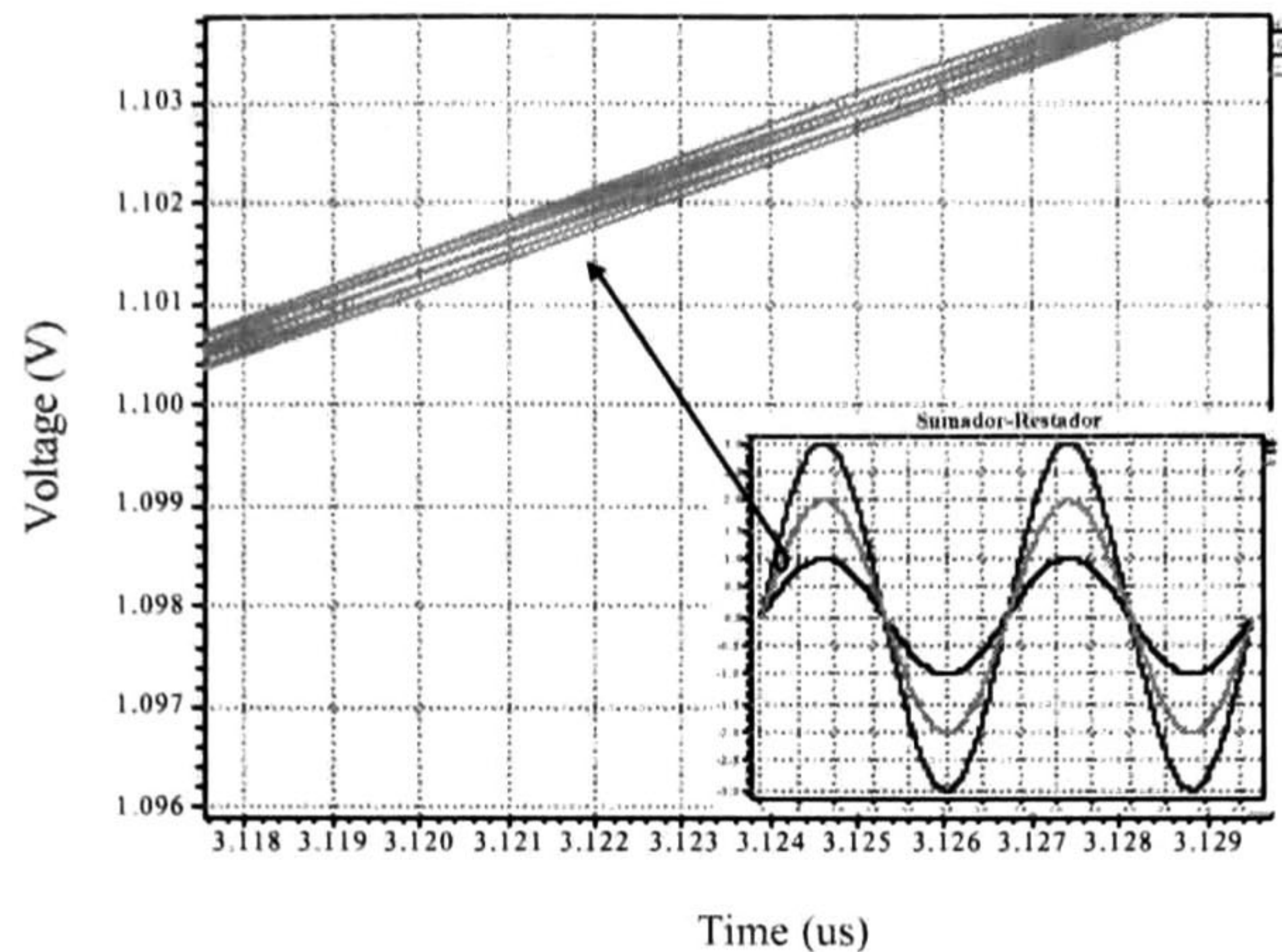


**Figura 2.18** Respuesta del Circuito Sumador-Restador utilizando voltajes de entrada constantes.



**Figura 2.19** Respuesta del Circuito Sumador-Restador utilizando voltajes de entrada con forma senoidal.

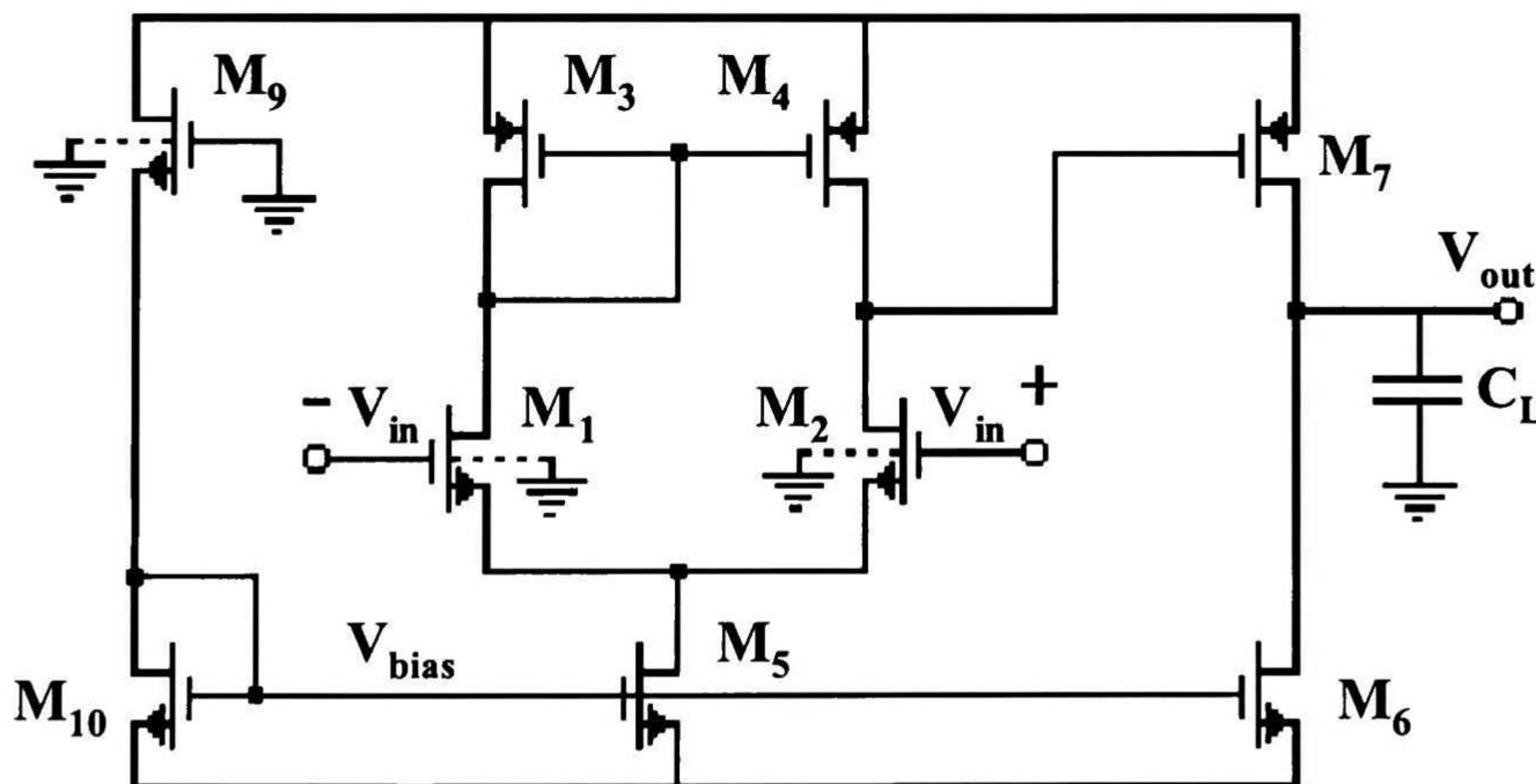




**Figura 2.20** Respuesta del Circuito Sumador-Restador utilizando análisis Monte Carlo con variación del 5% en los capacitores.

### 2.5 Realización y Simulación de un Comparador de Voltaje.

En la Figura 2.21 se muestra un amplificador operacional de dos etapas sin compensación, el cual es utilizado como comparador de voltaje, debido a esto no es necesario tener una compensación, ya que el comparador no utilizará retroalimentaciones, además en el momento en que se elimina el capacitor de compensación, aumenta la velocidad de respuesta del circuito.

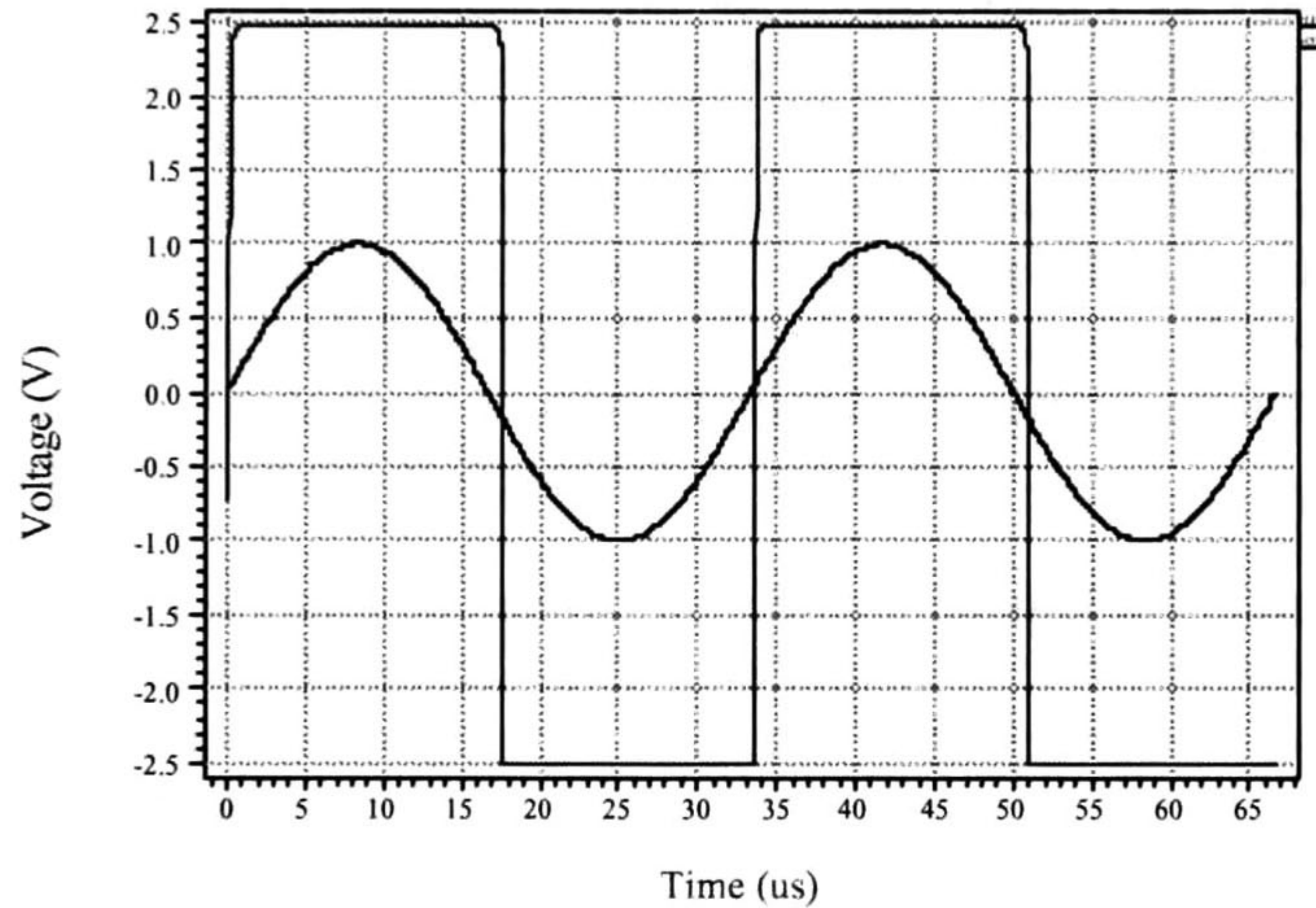


**Figura 2.21** Comparador de Voltaje de dos etapas..

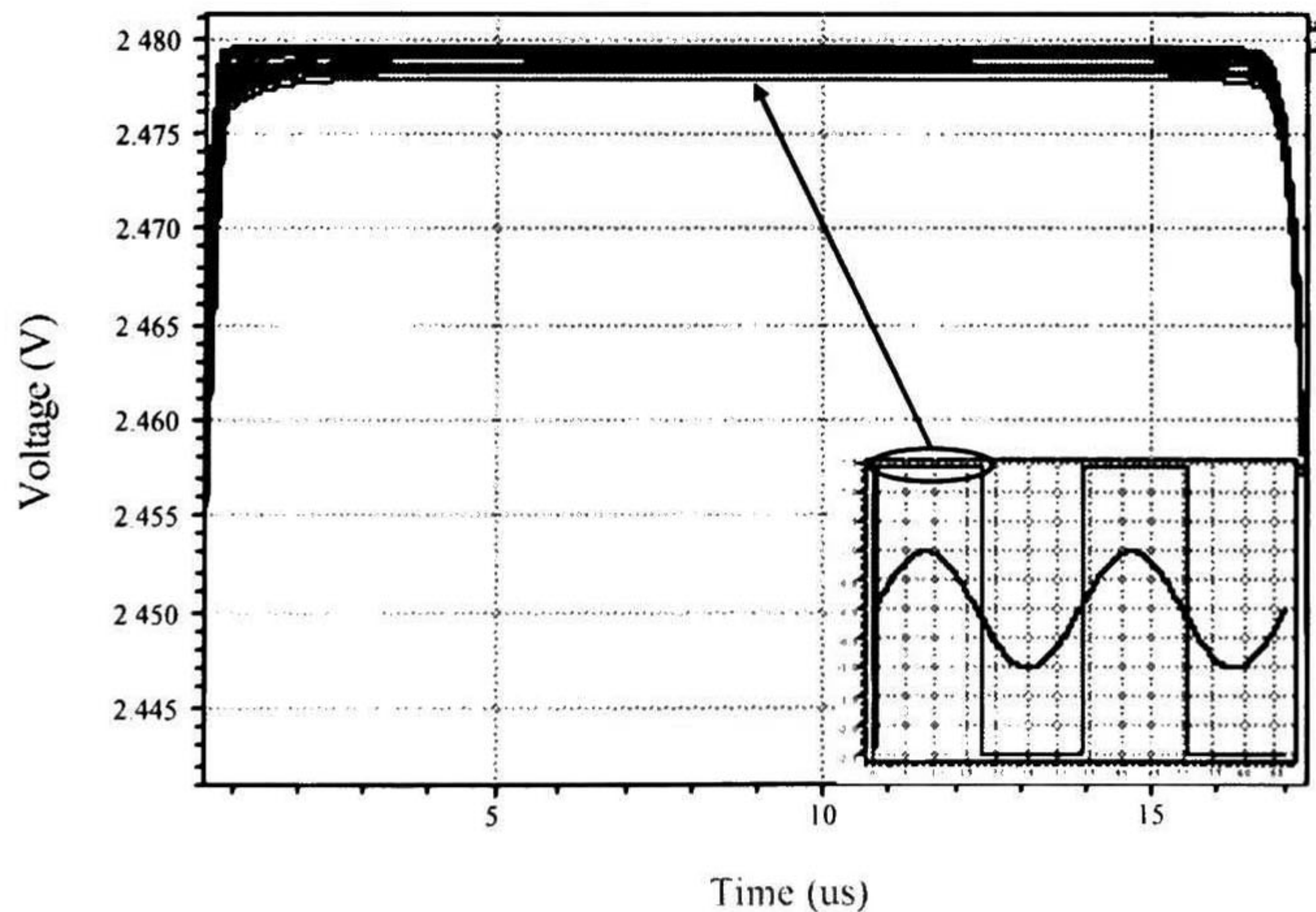
En la gráfica de la Figura 2.22 se muestra la respuesta en el tiempo del comparador de voltaje, la comparación se realiza entre una señal con potencial cero y la señal senoidal con amplitud de 1V y frecuencia de 30kHz. Se puede observar de la respuesta, que se tiene un ligero retraso al momento del cruce por cero, esto se debe a la limitación de la capacidad de respuesta del comparador, se puede ver también que es mayor el retraso de la transición de positivo a negativo que de negativo a positivo. Esta característica se debe a que el tiempo de respuesta de



subida del comparador es menor que el de bajada; sin embargo, a pesar de esos errores, no habrá un efecto destructivo, ya que el tiempo de retraso, en el peor caso, es de 900ns , mientras que el tiempo en que se puede tener un cambio de estado lógico 1 a 0 o viceversa, es de 2.54us, este último dato es determinado por el tiempo en que el circuito S/H permanece en modo muestreo, en cambiar de un punto mayor a menor o viceversa de un voltaje de referencia. Para no agravar el problema del tiempo de retraso con los errores de fabricación, es necesario hacer un análisis MonteCarlo variando todos los elementos del circuito, es decir, variando las dimensiones de los transistores en un 5% de su valor nominal, con el fin de observar su comportamiento y decidir qué tan factible es la utilidad o no de este circuito. En la gráfica de la Figura 2.23 se muestra un acercamiento de tal análisis, y se puede observar que las variaciones no tienen un efecto que repercuta en la respuesta, ya que ésta varía dentro de un rango de 5mV, lo cual afecta en lo más mínimo al sistema. Cabe señalar que el comparador es el par diferencial en conjunto con la etapa de salida del amplificador operacional, es decir, el compador es el amplificador operacional pero sin la rama de compensación.



**Figura 2.22** Respuesta del Comparador de Voltaje a una señal de 30kHz y con  $C_L = 10pF$ .



**Figura 2.23** Análisis Monte Carlo con variación del 5% en el valor nominal de los transistores y con  $C_L = 10pF$ .



## 2.6 Resumen

En este capítulo se realizó la prueba a nivel simulación de cada uno de los bloques básicos del lazo de conversión A/D, se inició con el diseño del bloque activo más importante para todo el diseño del lazo, el amplificador operacional, se muestran resultados de simulación ante señales de AC y DC, donde se pudo observar la ganancia de lazo abierto, ancho de banda, fase y voltaje offset respectivamente; se mostró un análisis en el tiempo con el Opamp en configuración de ganancia unitaria, donde fue posible observar la rapidez de respuesta y el tiempo de establecimiento. Una vez realizado el diseño del Opamp, se procedió a realizar el circuito sampled and hold, para el cual se realizó un análisis MonteCarlo con el fin de determinar los valores óptimos de cada capacitor, una vez obtenidos estos valores, se procedió a la simulación del circuito. De manera similar, se realizó la simulación del circuito multiplicador por 2, para el cual se realizaron distintas simulaciones con el fin de obtener el valor adecuado para cada capacitor, una vez obtenido dicho valor, se realizó la simulación del circuito. El siguiente bloque que fue analizado por medio de la simulación es el circuito sumador restador, que al igual que los anteriores se basa en el Opamp y un arreglo de capacitores, se presentó su respuesta en el tiempo para dos tipos de señales de entrada distintas, para los cuales se pudo observar su buena respuesta, así como su leve voltaje offset. Por último, se presentó el comparador de voltaje, el cual fue caracterizado y simulado de manera similar a los anteriores circuitos, se le inyectó una señal senoidal con el fin de observar la rapidez de respuesta.

En cada uno de los casos se realizó un análisis MonteCarlo con el fin de observar las variaciones posibles durante el proceso de fabricación, se obtuvieron resultados satisfactorios en todos los casos, por este motivo se procede a realizar el diseño a nivel layout de cada uno de los bloques para su posterior fabricación.

## Referencias

---

- [1]. Roubik Gregorian, Gabor C. Temes, "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons Inc., Canada & U.S.A., 1986
- [2]. E. Allen, R. Holdberg, "CMOS Analog Circuit Design", Oxford University Press, Inc., New York, N.Y., 1987.
- [3]. Clock Feedthrough Compensated Sample/Hold Circuits.



# CAPÍTULO III

## Técnica Pipeline y Diseño de un Chip de Prueba

**E**n este capítulo se muestran las características básicas de la técnica pipeline, así como el lazo de conversión diseñado para utilizar esta técnica de diseño en el desarrollo de un convertidor A/D algorítmico. En la primera parte de este capítulo se describe la técnica de una manera general, para así retomar el tema en la segunda parte de este capítulo y la cual se refiere a la aplicación en el diseño del convertidor A/D.

### 3.1 Conceptos Básicos de la Técnica Pipeline

El diagrama a bloques general de un ADC mediante la técnica pipeline es el que se muestra en la Figura 3.1, donde es visible la característica modular del diseño, es decir, hay un bloque fundamental que se repite de manera sistemática en un arreglo denominado *cascada*.

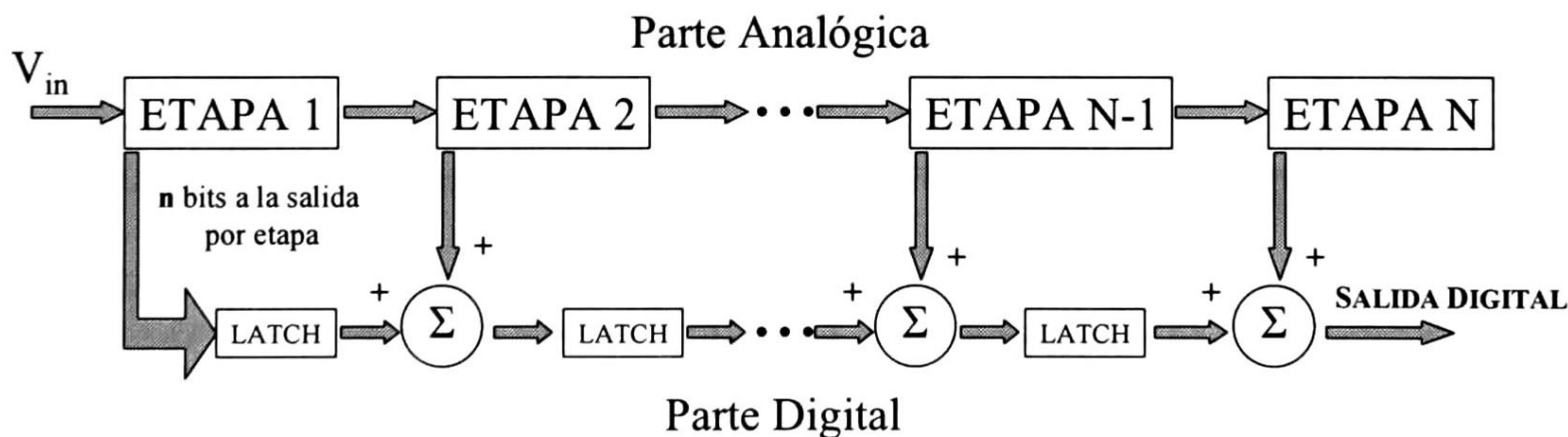


Figura 3.1 Diagrama a Bloques de un ADC típico, utilizando la Técnica Pipeline [1,2].

En la actualidad, se puede dividir el número de conversiones en varios pasos. Los convertidores que utilizan técnica pipeline son convertidores de  $n$ -pasos, convirtiendo uno o más bits por cada etapa (ver Figura 3.1). Con esta técnica es posible alcanzar altas resoluciones (10-13 bits), a relativamente altas velocidades de conversión [3, 4]; las etapas de los convertidores Analógico-Digital con técnica pipeline están conectadas en serie, es decir, la primera etapa recibe la señal de entrada analógica, la procesa y entrega dos



señales, el bit correspondiente a esa etapa y un residuo que servirá de entrada para la siguiente etapa de procesamiento (ver figura 3.1).

Algunas de las principales ventajas de este tipo de técnica es su tolerancia a errores debidos a los comparadores de voltaje; requieren moderadas áreas de integración [1, 2, 4]. Después de un retraso inicial de  $n$  ciclos de reloj, será completada una conversión por ciclo de reloj. Mientras el residuo de la primera etapa está siendo procesado por la segunda etapa, la primera etapa está libre para procesar una nueva muestra. Cada etapa opera con el residuo pasado por la etapa anterior, logrando así rápidas conversiones. La principal desventaja de este tipo de técnica es que la primer palabra digital será obtenida hasta después de  $n$  ciclos de reloj. La gravedad de esta desventaja es, por supuesto, dependiente de la aplicación en que será usado el convertidor [1, 2].

Un aspecto interesante de este tipo de convertidores es su dependencia en las etapas más significativas con respecto a la exactitud. Un pequeño error en la primera etapa se propaga a través de las demás etapas, resultando un error mucho mayor al final de la conversión. Cada etapa consecutiva requiere menor precisión que la etapa anterior. Cuando se consideren las primeras etapas pues, debe ser tomado un cuidado especial [2].

Una vez vistas todas las características básicas de los convertidores analógico a digital con técnica pipeline, el siguiente paso es transportar esta información hacia la aplicación de interés en este trabajo de tesis, para realizar esto, primero se define lo que es cada una de las etapas, es decir, la  $i$ -ésima etapa del convertidor algorítmico con técnica pipeline. En la Figura 3.2 se muestra el diagrama a bloques de los elementos que forman a cada una de las etapas.

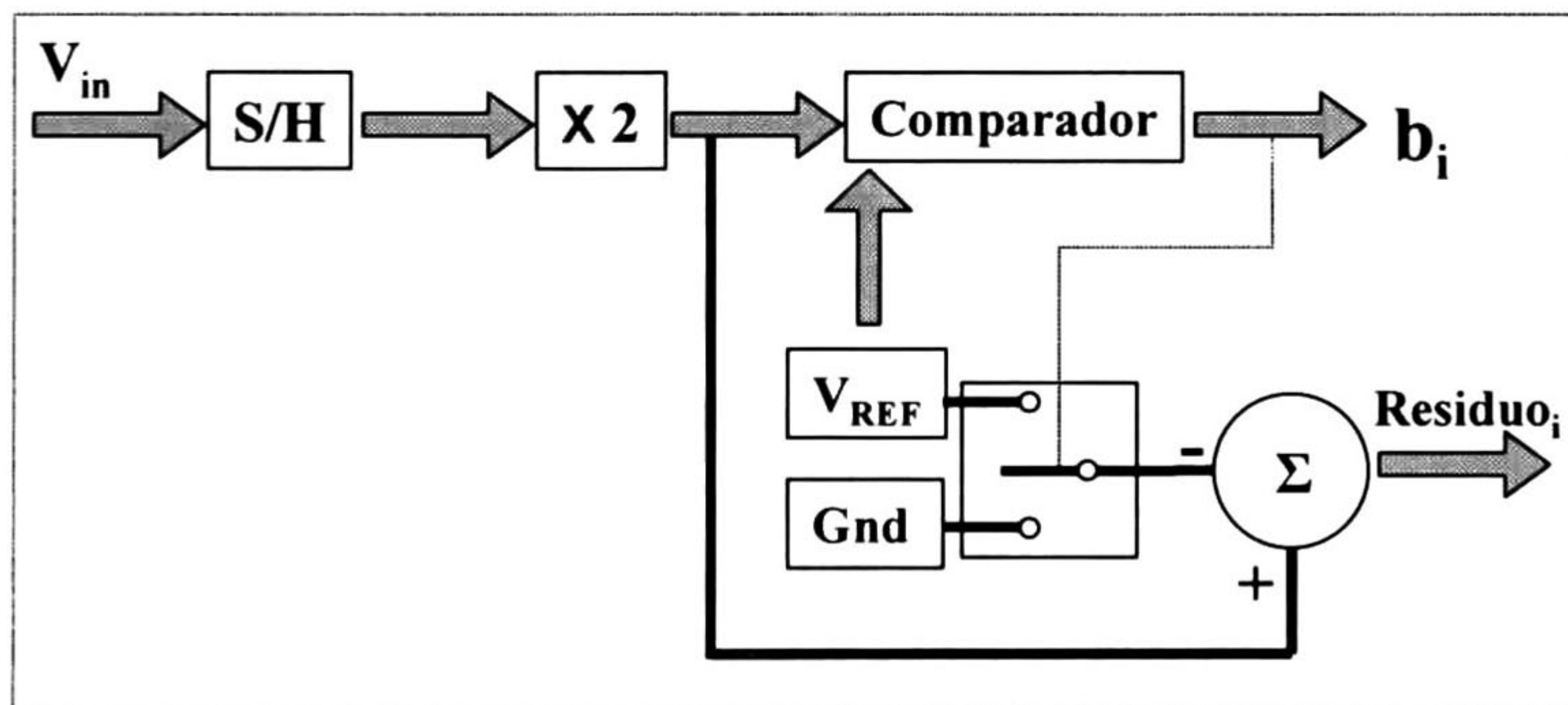


Figura 3.2 Diagrama a Bloques de cada una de las etapas de un ADC algorítmico, utilizando la Técnica Pipeline.

Como se puede observar del diagrama en la Figura 3.2, en la primera etapa entra la señal analógica a ser transformada directamente a un circuito Sampled and Hold (S/H), el cual retendrá un valor de la señal, para ser transformado en un código binario, después de ser retenida, la señal llega a un circuito amplificador con ganancia de dos, de esta misma manera la señal amplificada,  $2V_{in}$  entra a una de las terminales de un comparador, al mismo tiempo que por la otra terminal entra una señal de referencia  $V_{ref}$ , una vez realizada esta comparación, se obtendrá a la salida un bit que corresponderá a la proporcionada por la  $i$ -



ésima etapa. Al mismo tiempo se realizará una resta en un circuito sumador ( $\Sigma$ ) al cual lleva conectado en una de sus terminales la señal de entrada amplificada ( $2V_{in}$ ) y en la otra el potencial  $V_{ref}$  ó 0, de acuerdo a las siguientes condiciones:

- Si el bit que se generó a la salida del comparador ( $b_i$ ) es **0**, un interruptor conectará a la terminal de entrada un potencial 0 (Gnd), obteniendo así un valor de  $2V_{in}$  a la salida del circuito sumador.
- Si el bit que se generó a la salida del comparador es **1**, un interruptor conectará a la terminal de entrada un potencial de referencia  $V_{ref}$ , obteniendo así un valor ( $2V_{in}-V_{ref}$ ) a la salida del circuito sumador.

Estas condiciones y el valor a la salida del circuito sumador determinarán el valor del residuo, que servirá como entrada para la etapa  $(i+1)$ -ésima.

Para observar con mayor facilidad el funcionamiento de este tipo de convertidores, considérese el siguiente ejemplo únicamente para propósitos de ilustración: Suponer que el convertidor con técnica pipeline mostrado en la Figura 3.2 tiene una resolución de 3-bits. Se analizará el proceso de conversión haciendo una tabla de las siguientes variables:  $D_2, D_1, D_0, V_{Residuo2}, V_{Residuo1}, V_{in} = 2, 3$  y  $4.5V$ . Suponer que se tiene un  $V_{ref}$  de  $2.5V$ , donde  $V_{Residuo2}$  es el potencial de voltaje residuo de la primera etapa y  $V_{Residuo1}$  es el potencial de voltaje residuo de la segunda etapa.

Para el primer caso ( $V_{in} = 2$ ), la salida del primer comparador,  $D_2 = 0$ , ya que  $V_{in} < 2.5V$ , como  $D_2 = 0$ , entonces:

$$V_{Residuo2} = 2(2V) = 4V.$$

Pasando este voltaje a la siguiente etapa del convertidor como entrada,  $V_{Residuo2} > 2.5V$ ,  $D_1 = 1$  y  $V_{Residuo1}$  resulta ser:

$$V_{Residuo1} = 2(V_{Residuo2} - V_{ref}) = 3V.$$

El LSB,  $D_0 = 1$ , debido a que  $V_{Residuo1} > 2.5V$ , y la salida digital correspondiente a  $V_{in} = 2V$ , es  $D_2D_1D_0 = 011$ . De ésta misma manera pueden ser calculadas las demás palabras digitales, los resultados de estos procesos se muestran en la tabla 3.

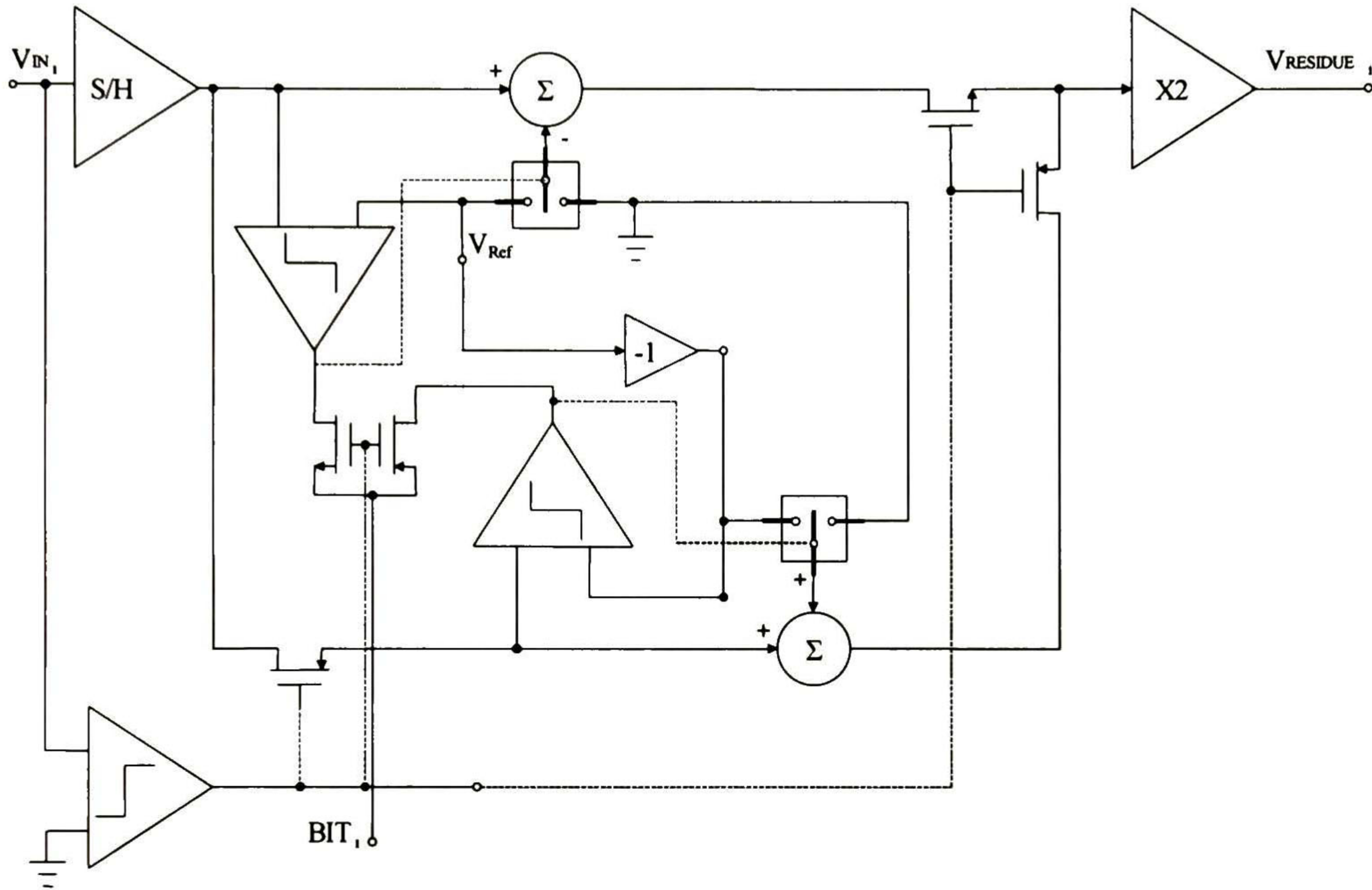
**Tabla 3.** Salida de un ADC de 3 bits con técnica pipeline.

| $V_{in}$ | $V_{Residuo2}$ | $V_{Residuo1}$ | Salida Digital<br>( $D_2D_1D_0$ ) |
|----------|----------------|----------------|-----------------------------------|
| 2.0      | 4.0            | 3.0            | 011                               |
| 3.0      | 1.0            | 2.0            | 100                               |
| 4.0      | 4.0            | 3.0            | 111                               |



### 3.2 Desarrollo CMOS del Convertidor Analógico a Digital Algorítmico

En este tema se hace uso de todos los bloques descritos en capítulos previos, para la realización de la celda de conversión de 1 bit, se explica el funcionamiento de todos y cada uno de los bloques trabajando como un sistema. El diagrama a bloques del ADC algorítmico mediante la técnica pipeline es el que se muestra en la Figura 3.3.



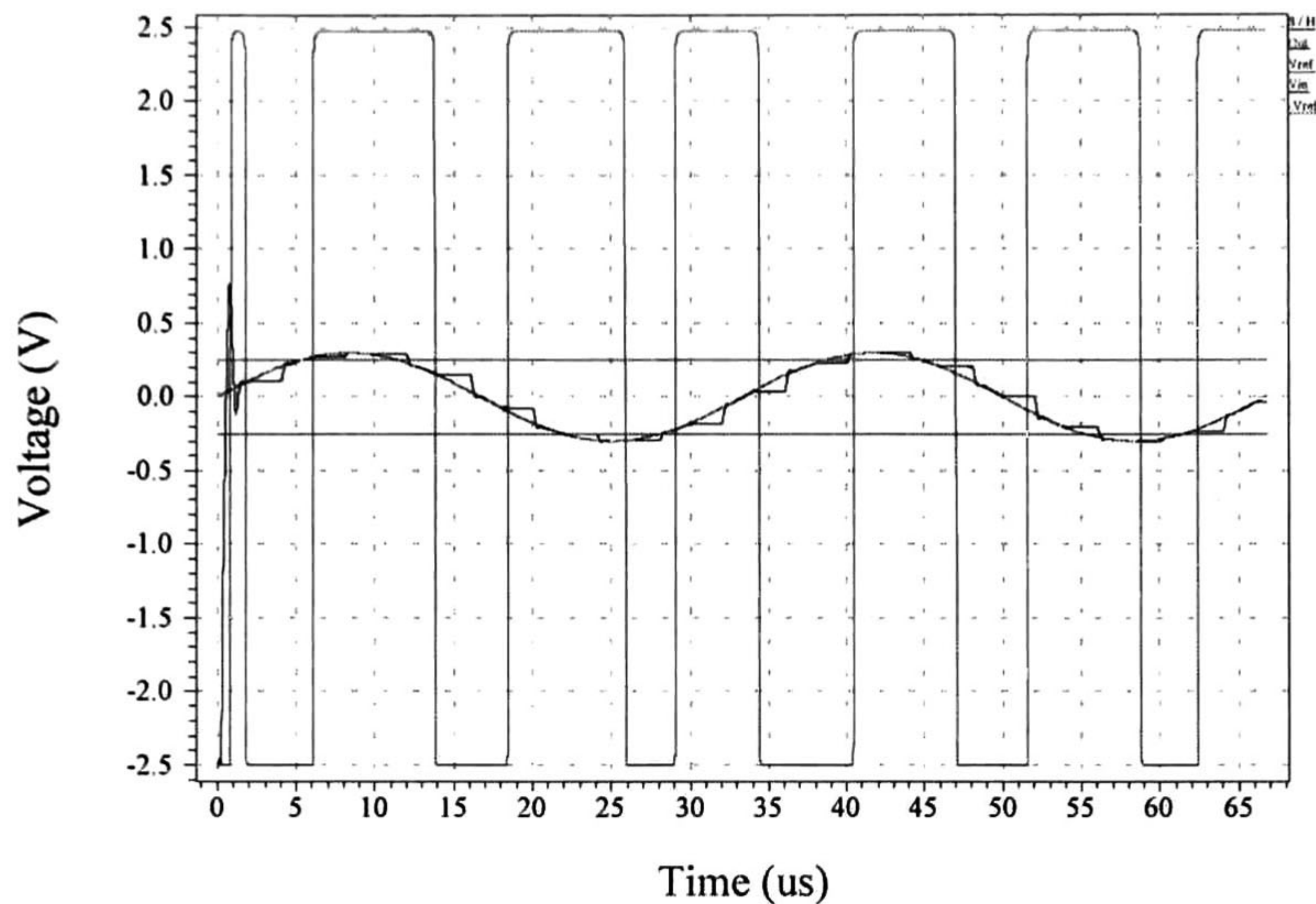
**Figura 3.3** Diagrama a Bloques de un ADC algorítmico, utilizando la Técnica Pipeline.

Cabe señalar que en este diagrama, todos los transistores (interruptores) contienen las técnicas de compensación de interruptores complementarios y el uso de interruptores “dummy” [1, 2, 5, 6], para minimizar los efectos del “clock feedthrough” e inyección de carga. Como se puede observar, el diagrama a bloques de la Figura 3.3, es distinto al diagrama mostrado en la Figura 1.1 (Capítulo 1), esto es debido a que se encontraron algunas desventajas con respecto a las demandas de algunos bloques (fundamentalmente el amplificador operacional).

Debido a que el bloque multiplicador por dos está antes del bloque sumador (ver el diagrama en la Figura 1.1), en el ciclo de muestreo, la señal a la salida se incrementa de manera crítica, causando la saturación de los amplificadores operacionales (alimentados con un voltaje de  $\pm 2.5V$ ) y haciendo que el comparador no alcance a reaccionar en la etapa de retención, teniendo así un bit erróneo en la  $i$ -ésima etapa. Para corregir ese problema se optó por la posibilidad de intercambiar los bloques anteriormente mencionados (Ver Figura 3.3) [1], debido a lo cual se obtiene una salida correcta, además en esta ocasión no se multiplica la señal de salida durante el ciclo de muestreo, únicamente en el de retención.



Los resultados obtenidos en simulación para la celda de 1 bit se muestran en la gráfica de la Figura 3.4, en la cual se pueden ver 4 señales de interés: la señal de entrada, la señal de entrada muestreada, el voltaje de referencia y el correspondiente a la salida.



**Figura 3.4** Simulación de la celda básica para 1 bit del ADC Algorítmico con  $C_L = 10\text{pF}$ .

Si la señal de entrada es mayor a cero, el convertidor toma la referencia con magnitud positiva, en caso contrario el convertidor toma la referencia con magnitud negativa. Este proceso se realiza con el propósito de cuantificar la señal de entrada por completo. A manera de ejemplo, se simula un ADC de 4 bits utilizando la técnica pipeline con el propósito de observar la respuesta y el retraso inicial debido a las  $N$  etapas, tal simulación se muestra en la gráfica de la Figura 3.5.

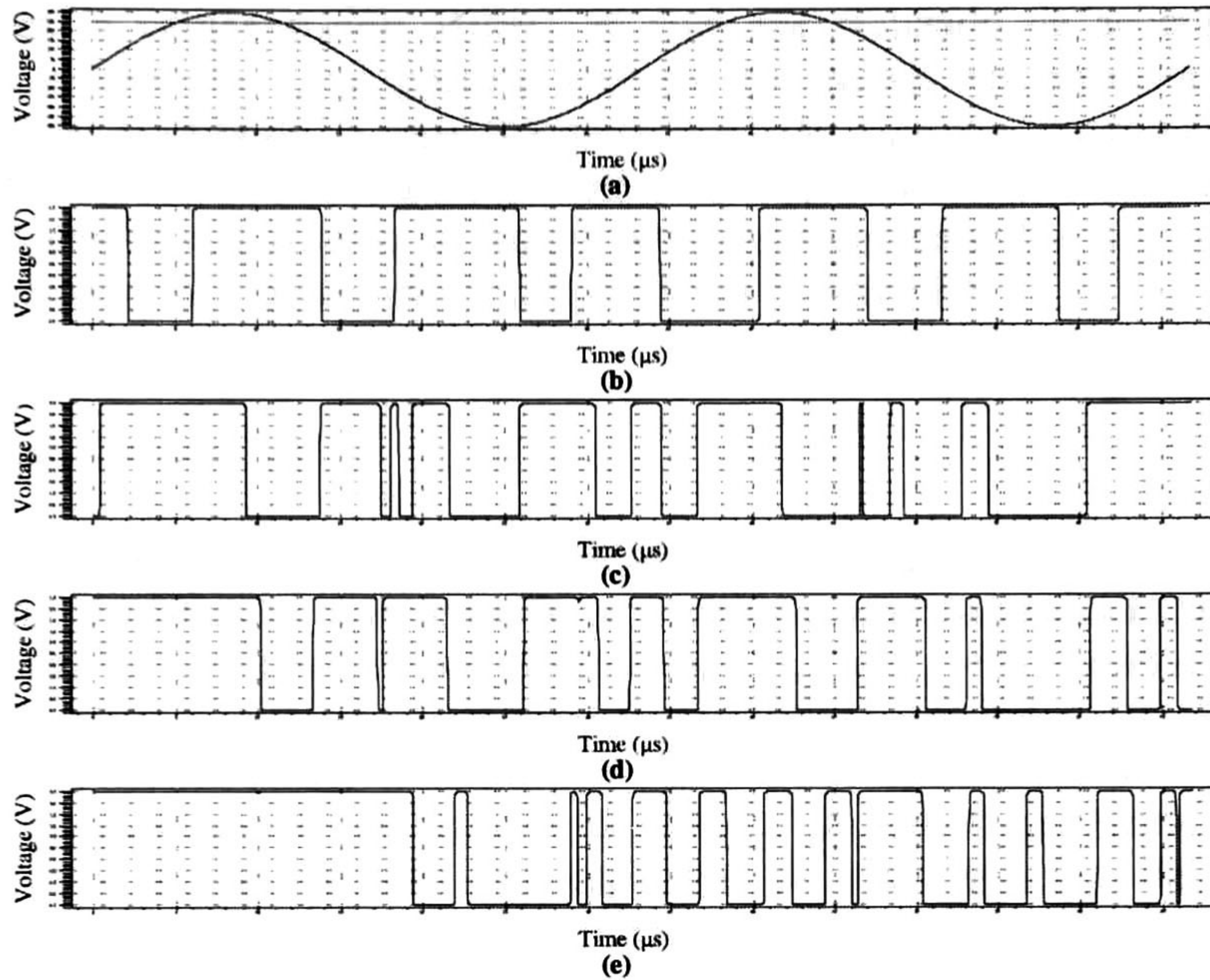
En las gráficas de las Figuras 3.5 (b), (c), (d) y (e) se puede observar que existe un retraso al iniciar la cuantificación de la señal de entrada, esto es debido a que al comienzo de la cuantificación, la etapa 1 es la única que se encuentra trabajando, esto es porque la salida de cada etapa está conectada a la entrada de la etapa siguiente, por lo tanto, si no hay salida en una etapa, no habrá excitación para la siguiente. Este retraso inicial está dado por el número de etapas,  $N$ , multiplicado por el tiempo de propagación de la celda básica de 1 bit (recordar que todas las etapas son iguales, por lo tanto tienen un tiempo de propagación similar) [1].

### 3.3 Diseño de Celdas Básicas a Nivel Layout

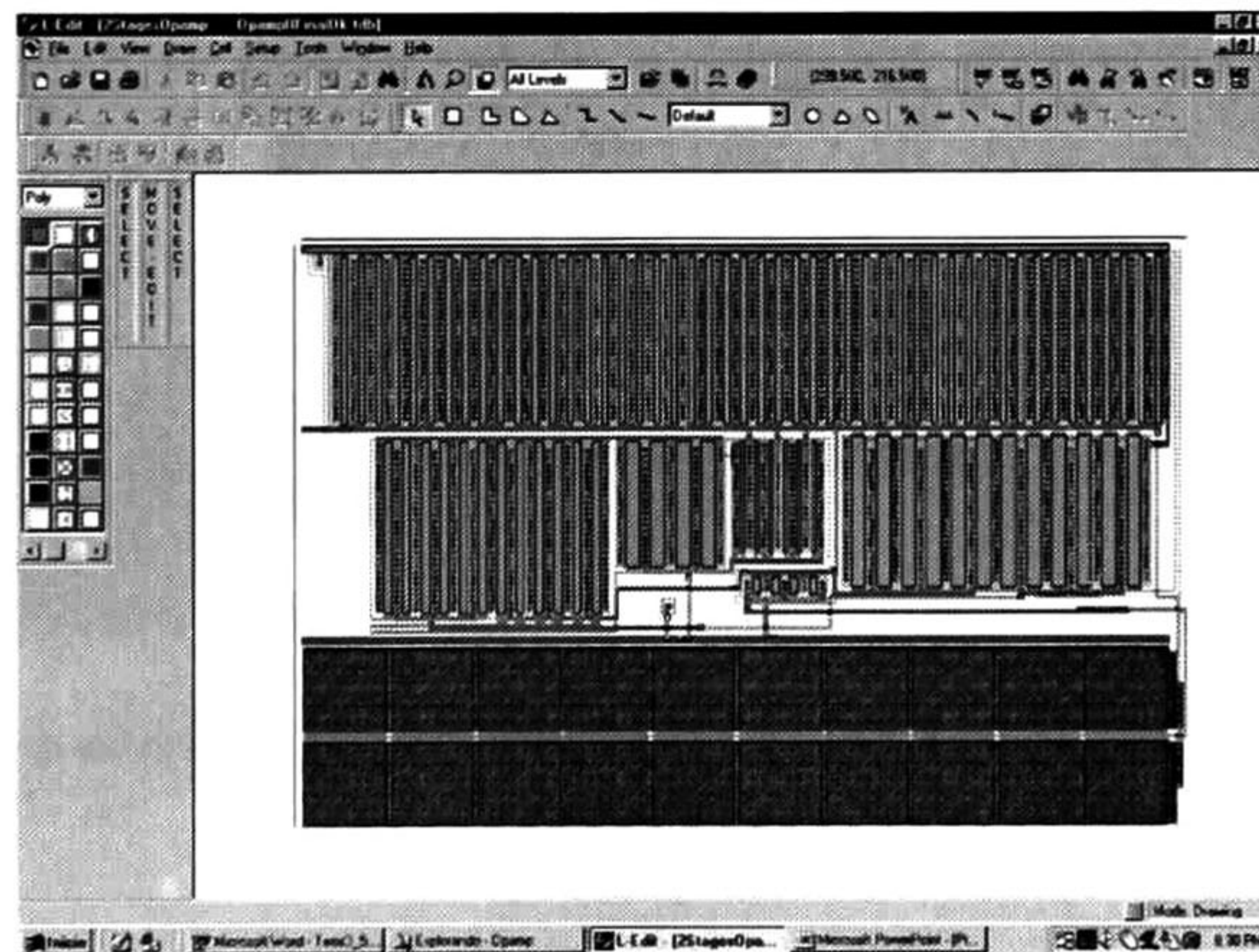
Considerando las reglas de diseño del proceso de fabricación anteriormente descrito, se desarrolló el diseño a nivel layout de cada uno de los bloques básicos mediante el uso de L-Edit. Este paquete permite no solo desarrollar el layout correspondiente, sino también verificar mediante la extracción del archivo eléctrico equivalente (formato Spice) la



operación inicialmente propuesta. La Fig. 3.6 muestra la ventana típica de trabajo, en la que se puede ver el diseño del amplificador operacional con compensación Miller.



**Figura 3.5** Simulación de un ADC Algorítmico de 4 bits utilizando técnica pipeline. (a) Entrada y Referencia, (b) Salida de la etapa 1, (c) Salida de la etapa 2, (d) Salida de la etapa 3, (e) Salida de la etapa 4.



**Figura 3.6** El diseño a nivel layout se realiza mediante Ledit a partir de las reglas de diseño de proceso mamin12.

### 3.3.1 Diseño del Amplificador Operacional de Voltaje

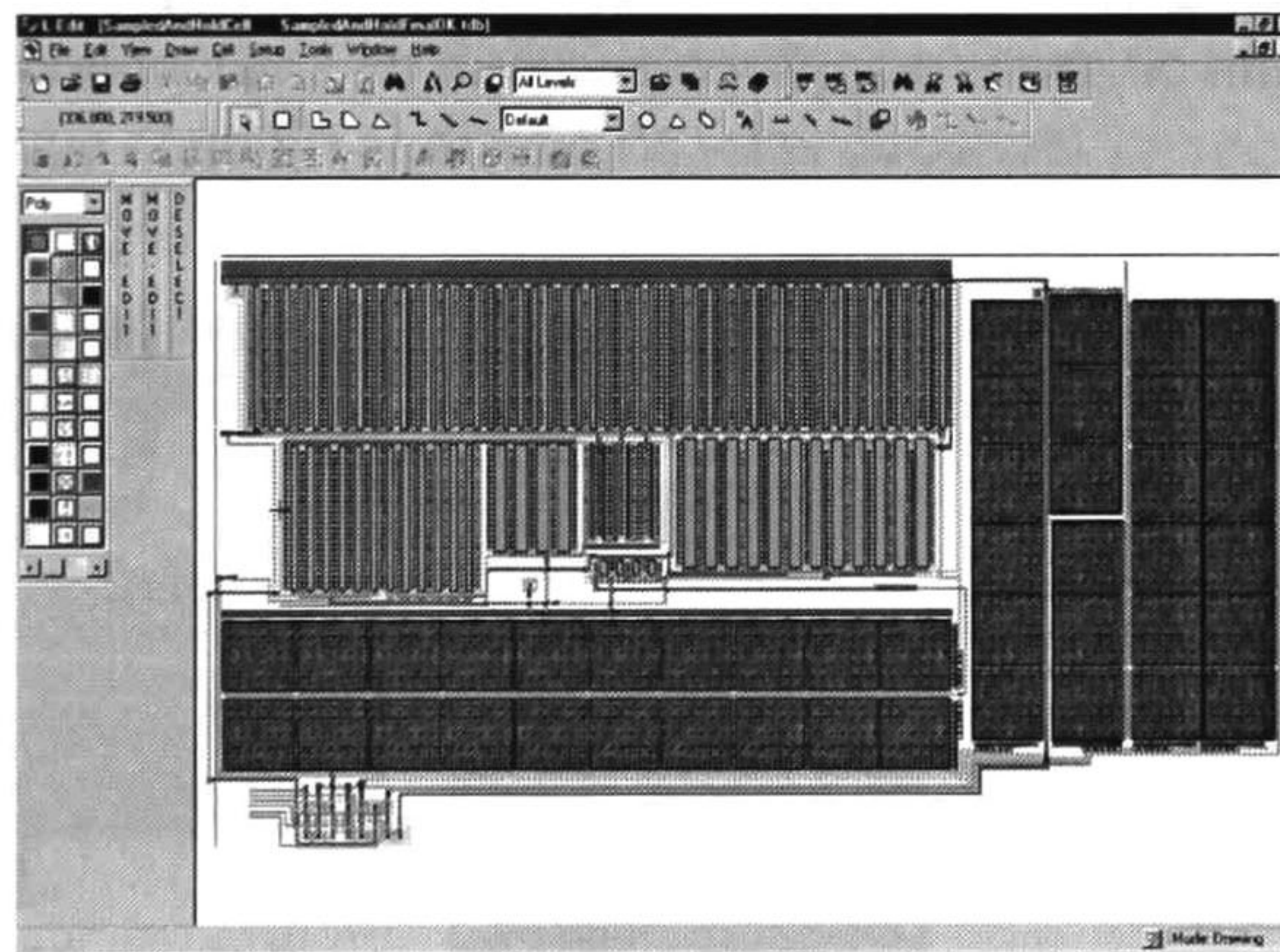
Para realizar tal diseño se utilizó la técnica interdigital, la cual consiste en que un transistor toma la fuente de un segundo transistor como su propio drenaje y el drenaje de un tercer transistor para convertirlo en su fuente, esto para ahorrar área de manera



considerable. Para realizar este diseño se utilizan las reglas de diseño del proceso mamin12 (proceso  $1.2\mu\text{m}$ ), el diseño a nivel layout de tal dispositivo se muestra en la figura 3.6. Otro de los dispositivos utilizados para llevar a cabo satisfactoriamente este diseño, fue el capacitor (para la compensación Miller), el cual fue realizado de acuerdo al proceso explicado en el capítulo 1, tal proceso consiste en realizar un capacitor de cualquier capacidad en base al valor de un capacitor unitario. Dicho capacitor unitario está compuesto de Poly – SiO<sub>2</sub> –Poly II, el cual arroja un valor muy aproximado a 500fF, la conexión de éste hacia los demás dispositivos se realiza por medio de Metal I y Poly, como también puede ser observado en la parte inferior del diseño en la figura 3.6.

### 3.3.2 Diseño del Circuito S/H

Este diseño parte del mismo principio que para el amplificador operacional (se hizo uso del mismo amplificador operacional), pero en ésta ocasión se diseñaron y utilizaron algunos dispositivos extras, tales como los interruptores, esto por la necesidad de conmutar la carga para realizar el muestreo de la señal de entrada al convertidor A/D Algorítmico, el diseño de tal dispositivo dentro de la pantalla típica de trabajo se muestra en la figura 3.7, en el cual se puede observar que aumentó la cantidad de capacitores (parte derecha de la figura 3.7), esto porque además del capacitor de compensación del amplificador operacional se utilizan otros tres capacitores de diferente valor (ver Apéndice A).



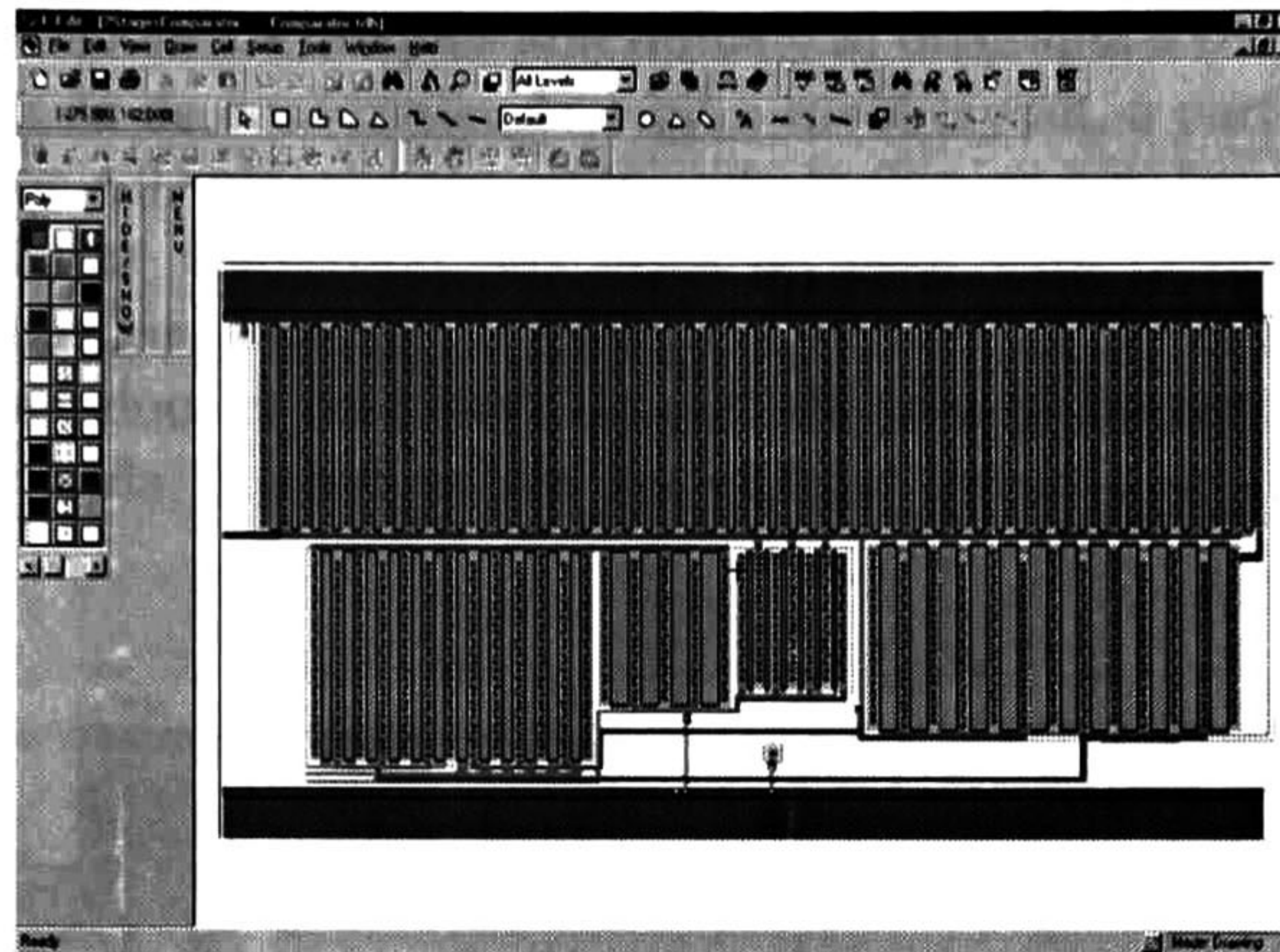
**Figura 3.7** El diseño a nivel layout del circuito Sampled And Hold bajo el proceso de Diseño mamin12.

### 3.3.3 Diseño del Comparador de Voltaje

Ante la necesidad de comparar la señal con una referencia, se optó por la posibilidad de diseñar un comparador de voltaje, éste se diseñó a partir del mismo amplificador operacional, esto es, un amplificador operacional necesita ser estable para no caer en alguno de sus niveles de saturación, lo cual se evita realizando la compensación, pero esto disminuye la velocidad de respuesta, ante la necesidad de aumentar la respuesta para el comparador de voltaje, se eliminó el capacitor de compensación, cabe señalar que para el comparador no es necesario compensar, ya que éste trabaja con los niveles de saturación,

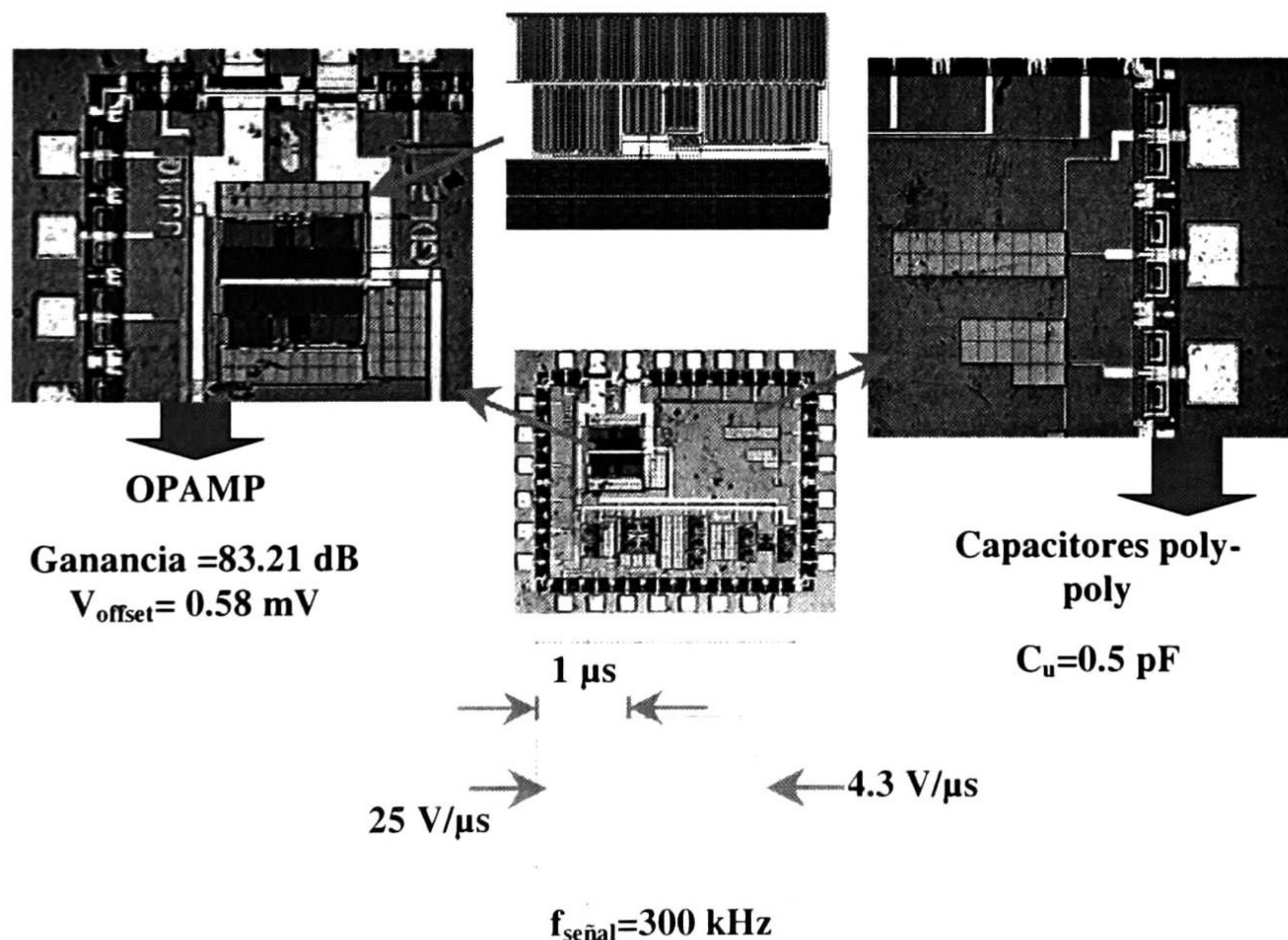


así éste cumple con los requerimientos de rapidez para la aplicación. El diseño se muestra en la figura 3.8.



**Figura 3.8** El diseño a nivel layout del circuito Comparador de Voltaje bajo el proceso de Diseño mamin12.

En la Fig. 3.9 se muestra la microfotografía del chip de prueba. Se puede observar la ubicación del amplificador operacional, los capacitores de prueba y un gráfico de la respuesta al pulso del amplificador. La parte inferior del chip contiene amplificadores operacionales de transconductancia en diversas configuraciones de interés. En este trabajo no se discutirá el trabajo que condujo al diseño de tales circuitos.



**Figura 3.9** Microfotografía y características del chip de prueba.



### 3.3.4 Diseño de la Celda Básica de Conversión de 1 Bit

En base al diseño de los bloques anteriores y al diagrama a bloques de la Figura 3.3, se diseña la celda básica de conversión de 1 bit a nivel layout, a partir de la cual se puede realizar un convertidor A/D algorítmico, utilizando la técnica pipeline. Tal celda tiene como entradas el voltaje a ser convertido, las fases de reloj para el proceso de conversión, potenciales de alimentación y voltaje de referencia y como salidas el bit en la  $i$ -ésima etapa, así como el voltaje residuo, el cual sirve de entrada para la siguiente etapa. En la Figura 3.10 se muestra tal celda, la cual utiliza las mismas técnicas de diseño que las celdas anteriores.

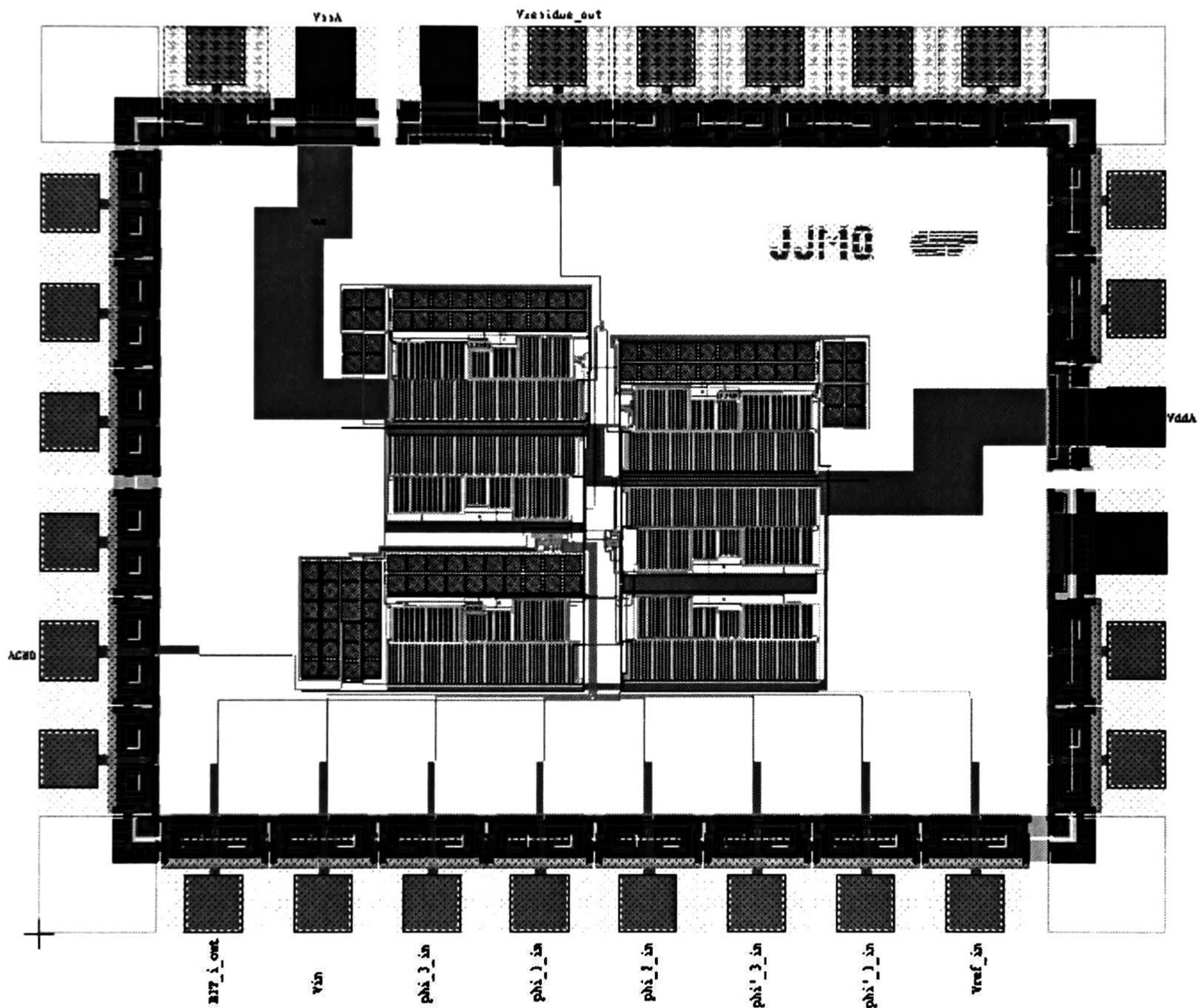


Figura 3.10 El diseño a nivel layout de la celda básica de conversión bajo el proceso de Diseño mamin12.



### 3.4 Resumen.

En este capítulo se explicó la técnica pipeline, observando que la primer palabra digital obtenida tiene un retraso de  $n$ -ciclos, debido a que la salida en la  $i$ -ésima etapa es la entrada de la etapa  $(i+1)$ -ésima. Independientemente de ésta desventaja se demostró que el método es muy eficiente para obtener gran resolución. Esta explicación fue hecha con el fin de justificar su aplicación al convertidor A/D algorítmico.

Se mostró además, el diseño de la celda de conversión de 1 bit la cual formará parte de cada una de las etapas del convertidor A/D algorítmico con técnica pipeline; así como la simulación de un convertidor utilizando 4 etapas, dicho de otra manera, un convertidor con resolución de 4 bits.

Por último se mostró el diseño a nivel layout de los bloques más importantes que forman la celda de conversión de 1 bit, en donde se mencionaron algunas de las características del proceso de fabricación y del diseño, de la misma forma se mostró el diseño a nivel layout de la celda básica de conversión. Como agregado se mostraron microfotografías del chip fabricado por la compañía MOSIS.

## Referencias

---

- [1]. David William Cline, Paul R. Gray, "Noise, Speed, and Power Trade-offs in Pipelined Analog to Digital Converters", University of California at Berkeley Ph.D. Thesis, November 1995.
- [2]. R. Jacob Baker, Harry W. Li, David E. Boyce, "CMOS Circuit Design, Layout, and Simulation", IEEE press Series on Microelectronic Systems, New York, N.Y. 1998.
- [3]. S.H. Lewis and P. R. Gray, "A Pipelined 5-Msample/s 9 bit Analog-to-Digital Converter", IEEE Journal of Solid State Circuits, Vol. 22, No. 6, pp. 954-961, December 1987.
- [4]. S. H. Lewis, H. S. Fetterman, G. F. Gross, R. Ramachandran, T. R. Viswanathan, "A 10-b 20-Msample / s Analog-to-Digital Converter", IEEE Journal of Solid State Circuits, vol. 27, No.3, March 1992.
- [5]. Franco Maloberti, "Recent Advances in A/D and D/A converters", Department of Electronics, University of Pavia -27199 PAVIA-ITALY.
- [6]. C. Toumazou, J.B. Hughes, N.C. Battersby, "Switched-Currents an Analogue Technique for Digital Technology", Institution of Electrical Engineers, London, United Kingdom, April 1993.



# CAPÍTULO IV

## Caracterización Eléctrica de Circuitos Básicos

La caracterización de circuitos y sistemas es una actividad fundamental en el desarrollo de circuitos integrados. Tal proceso experimental es el medio a través del cual se verifica la operación correcta de los bloques básicos desarrollados y la operación de éstos como parte de un sistema mayor. En este capítulo se presentan los resultados obtenidos de la caracterización de un Amplificador Operacional de Voltaje, Opamp, y su uso en el diseño de un circuito S/H.

El esquema experimental implementado se muestra en la Fig. 4.1. En ésta se muestra la posición del chip bajo análisis (ChBA) el cual se monta en un circuito impreso (PCB) diseñado expresamente para este propósito. Por otro lado, para aplicar las fases de reloj sin traslape al circuito S/H, se diseñó un circuito oscilador mediante componentes discretos, el cual está basado en un *timer* (555). La polarización utilizada es  $\pm 2.5$  voltios.

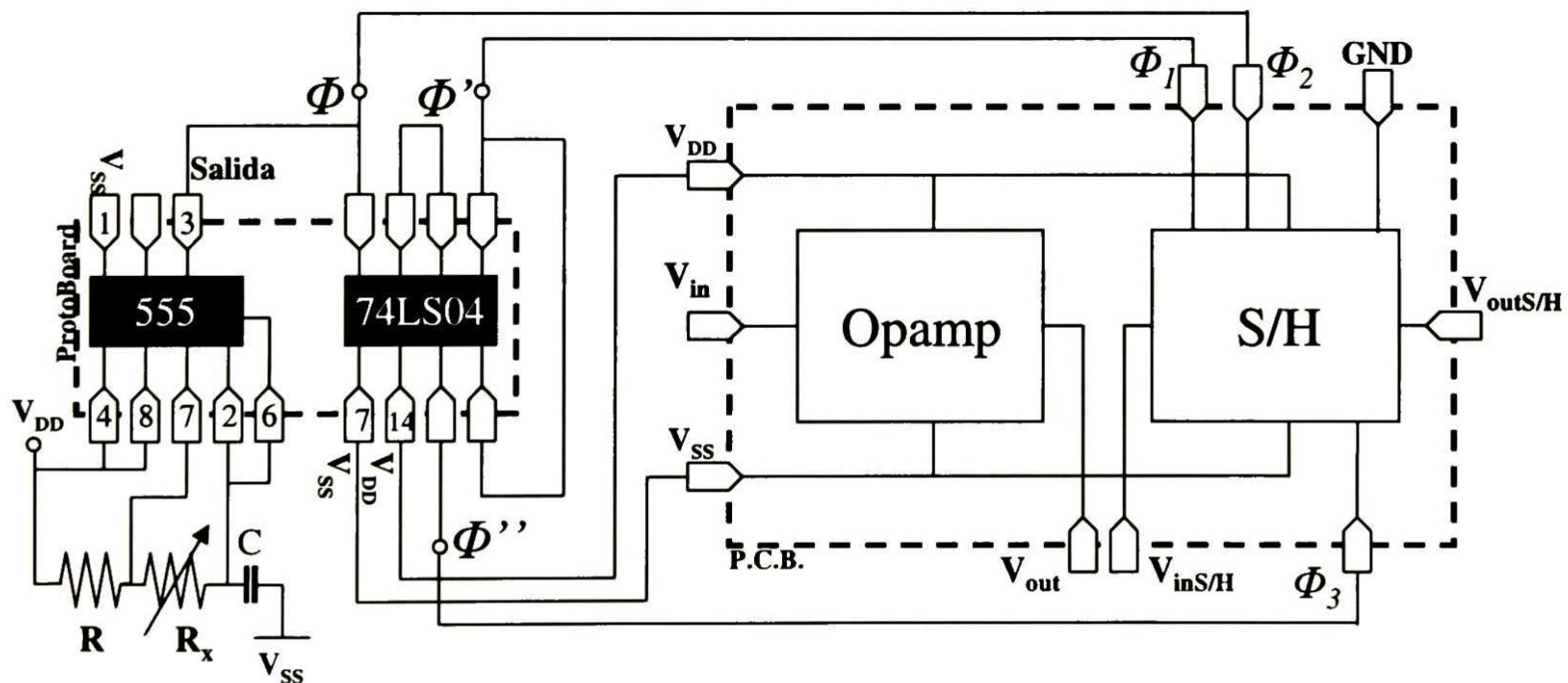
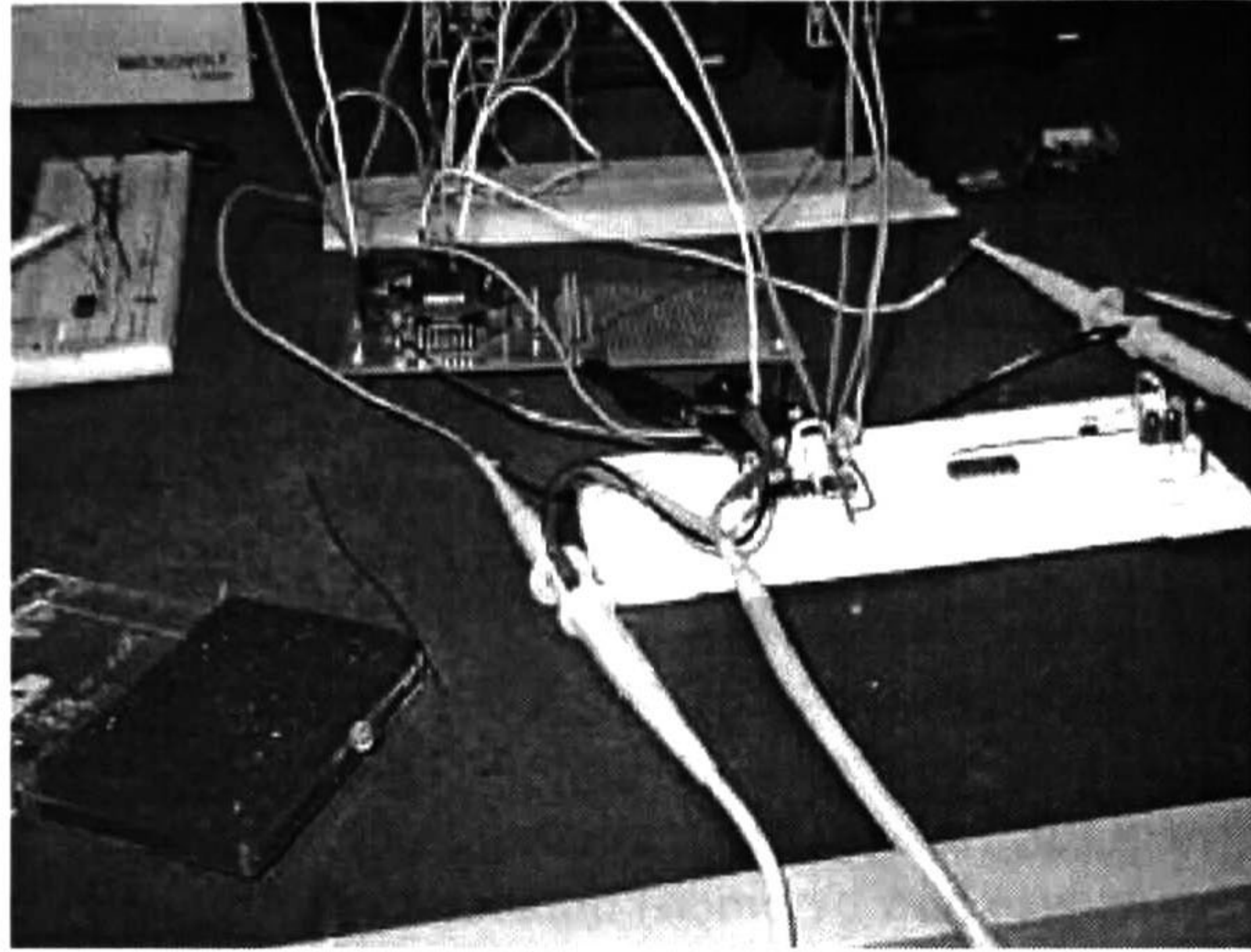


Figura 4.1 Esquema experimental del chip bajo prueba.

En la Fig. 4.2 se muestra una fotografía del esquema experimental del chip bajo prueba.



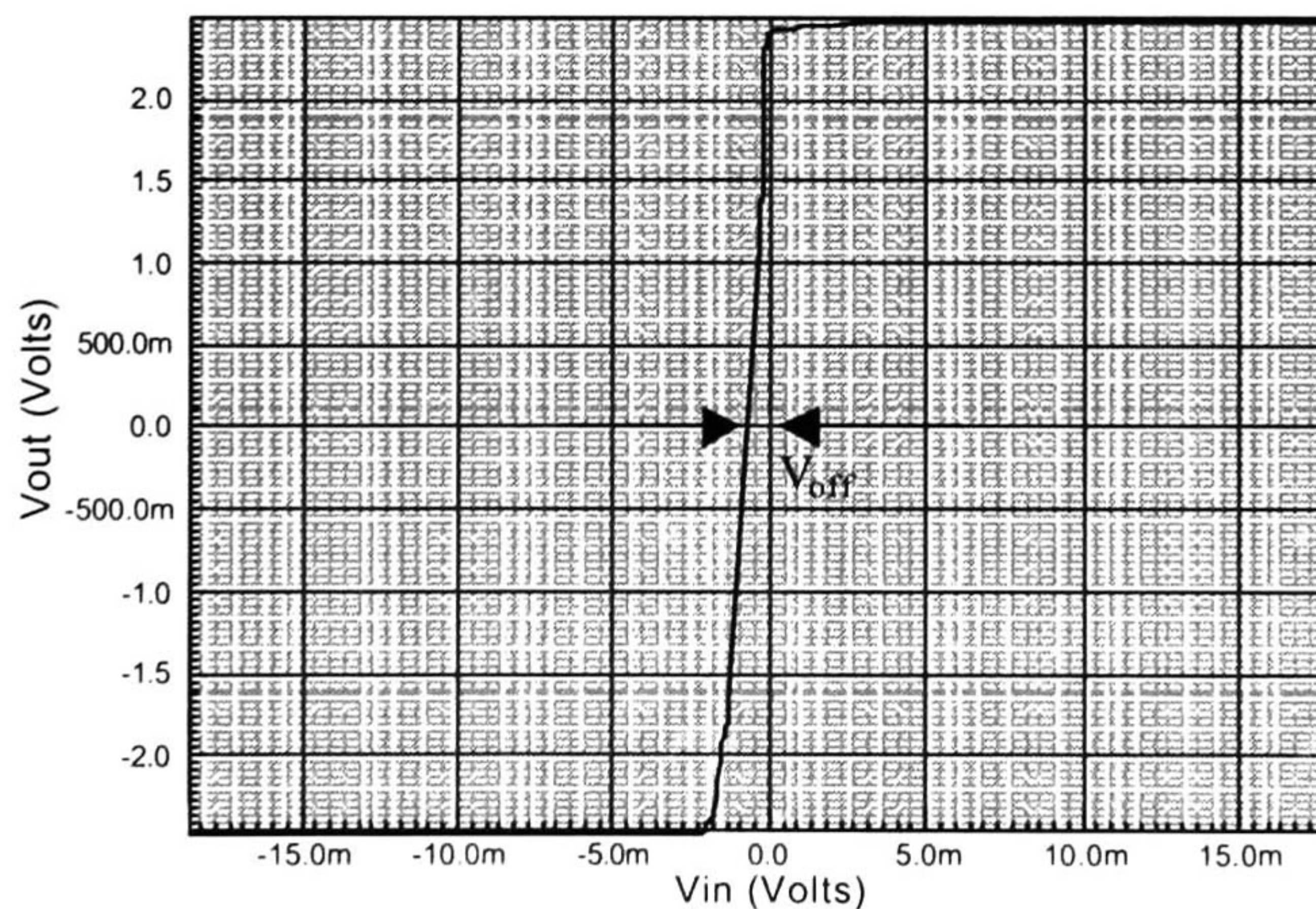


*Figura 4.2 Fotografía del Esquema experimental del chip.*

#### 4.1 Amplificador Operacional de Voltaje

Las mediciones realizadas determinan la ganancia de baja frecuencia, el ancho de banda definido hasta el punto en el que la respuesta (en lazo abierto) es  $-3\text{dB}$ , cálculo de frecuencia de ganancia unitaria, tiempo de establecimiento, rapidez de respuesta y voltaje offset. Para ello es fundamental considerar la impedancia asociada al PAD y el que corresponde a la punta del osciloscopio, obteniendo un total aproximado de  $13\text{ pF}$ .

La Figura 4.3 muestra la característica de la transferencia definida por  $V_{in}/V_{out}$ . Para obtener este resultado se aplicó la señal de interés en la terminal no inversora del Opamp, mientras que la terminal inversora se conectó a cero voltios. La configuración usada corresponde a la denominada en lazo abierto.



*Figura 4.3 Características de transferencia del amplificador operacional de 2 etapas con compensación Miller.*



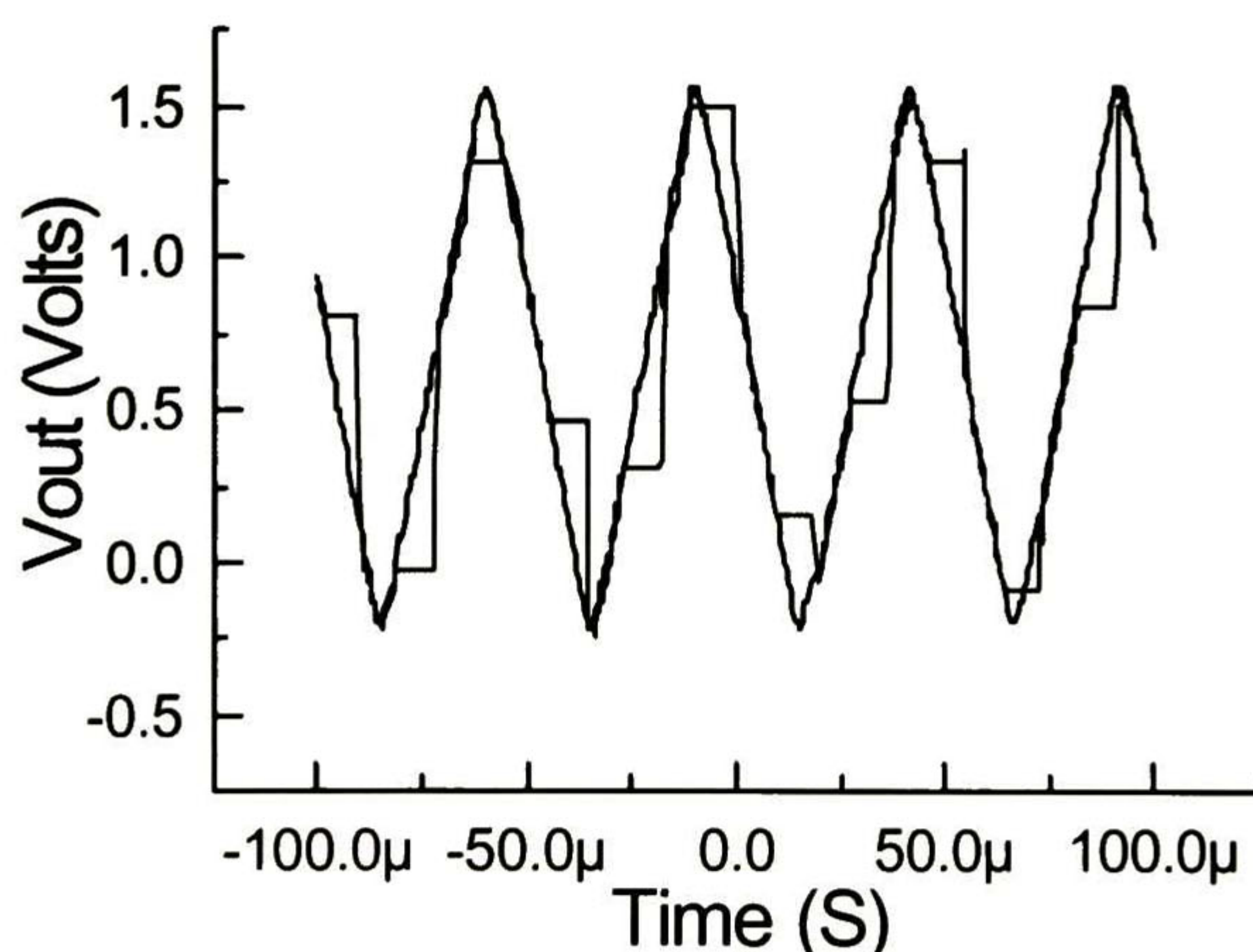
En esta figura se puede observar la mínima cantidad de voltaje offset ( $V_{off}$ ) que se tiene a la entrada, el cual es de aproximadamente  $0.58mV$ , para realizar esta medición se coloca el Opamp en su configuración de seguidor (sin excitación extra) y se observa la salida. Esta medición concuerda con la curva de transferencia obtenida experimentalmente en la figura 4.3. Además de esto se puede observar la ganancia en dc, la cual tiene un valor aproximado de  $14471.4286$ , es decir,  $83.2dB$ , la cual es obtenida colocando el Opamp en configuración de lazo abierto.

El tiempo de respuesta de subida de este amplificador es de aproximadamente  $25V/\mu s$ , y de  $(4.34780)V/\mu s$  para el tiempo de respuesta de bajada, éstas respuestas indican qué tanto tiempo se tardará el amplificador en responder a una cierta excitación en la entrada. Para realizar estas mediciones es necesario colocar al Opamp en su configuración de seguidor y excitarlo con una señal escalón (debido a que ésta se comporta de una manera adversa para el Opamp). Con éste mismo tipo de configuración y entrada, se obtiene el tiempo de establecimiento, es decir el tiempo que el amplificador se tarda en alcanzar a la señal de entrada en sus estados alto y bajo, el cual es de aproximadamente  $1.02\mu s$ .

## 4.2. Caracterización del circuito S/H.

Las propiedades del S/H a caracterizar son únicamente observar si realmente muestrea el tiempo especificado, si minimiza la existencia de “glitches”, si compensa el voltaje de offset generado por el Opamp, etc. Un factor importante a tomarse en cuenta es la capacitancia de salida que es de aproximadamente  $13pF$  (debido a la punta del osciloscopio y el “PAD”).

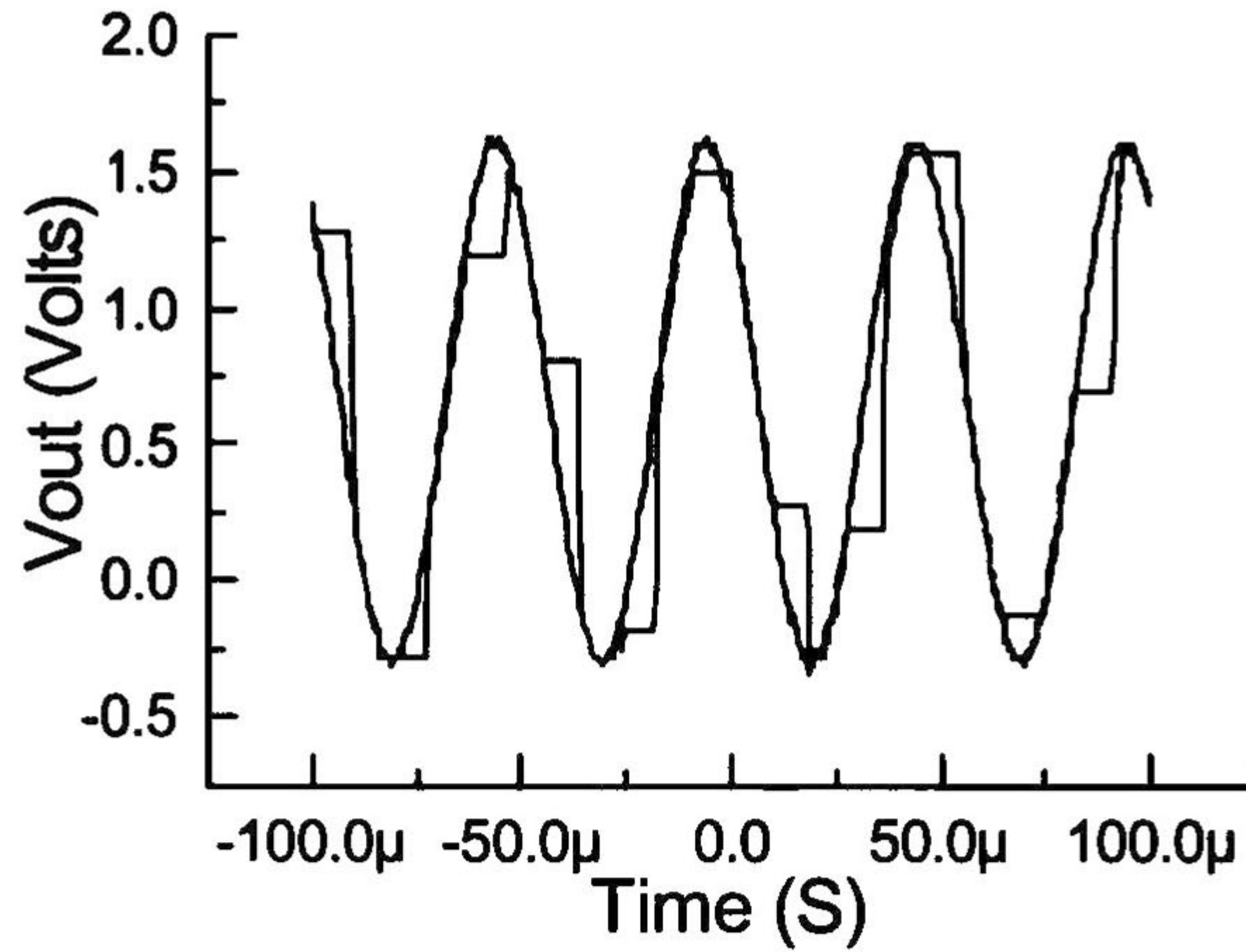
En la figura 4.4 se muestra la respuesta del circuito S/H a una señal de excitación triangular con una frecuencia de  $20kHz$ , para lo cual se realiza un muestreo a una razón de  $60kHz$ , para cumplir con la condición de Nyquist [1] (la frecuencia de muestreo debe ser al menos 2 veces mayor que la frecuencia máxima de la señal de entrada).



**Figura 4.4** Respuesta del circuito S/H con una señal de entrada triangular y frecuencia de muestreo de  $60kHz$ .



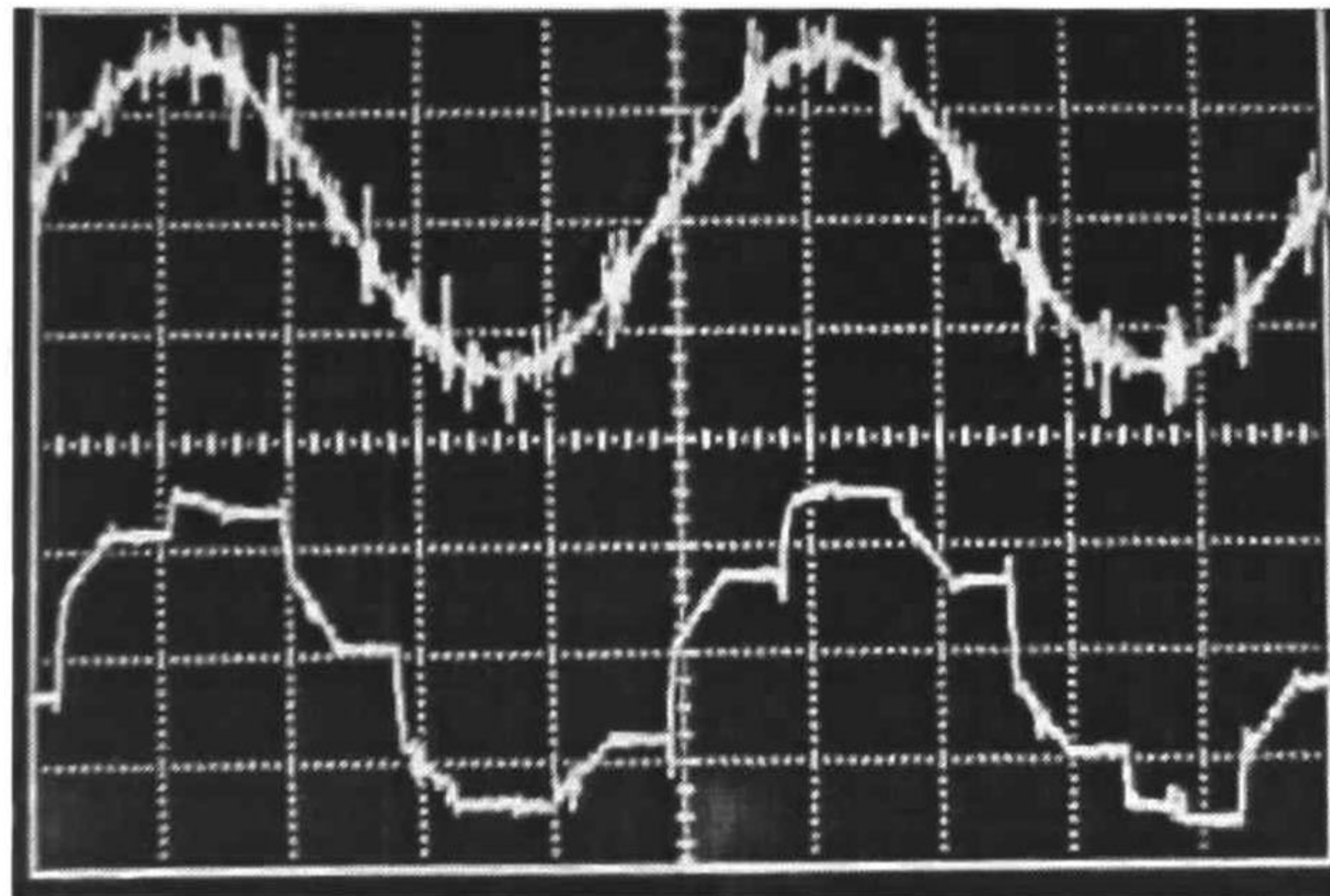
Cabe señalar que la gráfica de la figura 4.4 es obtenida a partir de datos experimentales, y se puede observar que las técnicas de compensación de offset y error de ganancia funcionan de manera adecuada, ya que la señal a la salida sigue casi exactamente a la señal de entrada y la retiene de muy buena manera, también se puede observar que la señal a la salida tiene una gran ausencia de glitches.



**Figura 4.5** Respuesta del circuito S/H con una señal de entrada senoidal y frecuencia de muestreo de 60kHz.

De igual manera que en la figura 4.4, en la figura 4.5 se muestra la respuesta de un circuito S/H para una señal de entrada senoidal en la cual se puede observar de igual manera la minimización de las desviaciones antes mencionadas.

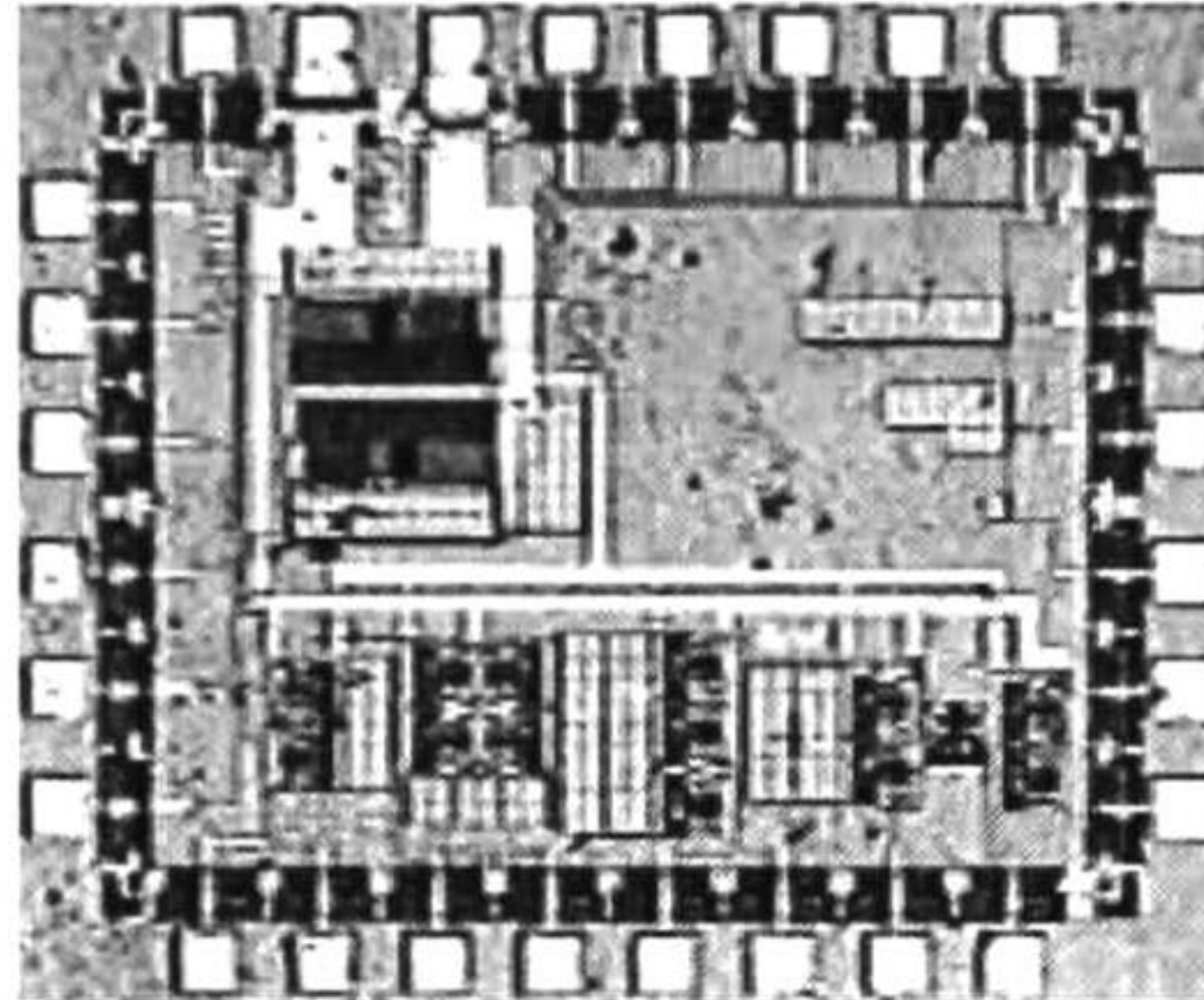
En la figura 4.6, se muestran fotografías tomadas del osciloscopio durante la utilización del circuito S/H.



**Figura 4.6** Fotografía de la entrada (parte superior) y respuesta (parte inferior) del circuito S/H medidas en un osciloscopio con una escala de 0.5 V/div y 50 ns/div.



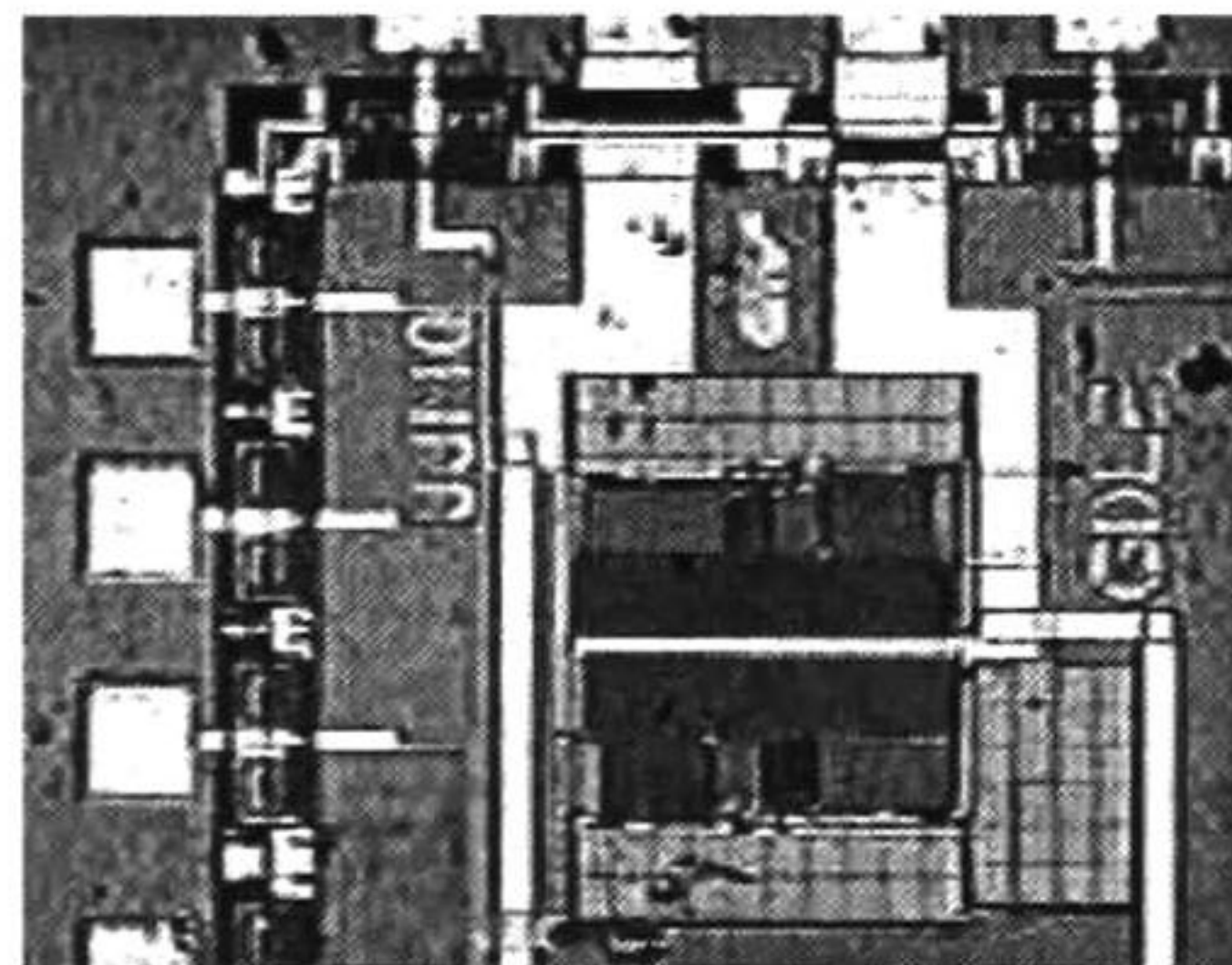
En esta figura se puede observar que la entrada se comporta de manera por de más extraña, esto es debido a un ruido generado por la fuente de alimentación, también se puede observar la respuesta, que como se dijo anteriormente compensa offset, errores por efecto de ganancia finita y minimiza el tamaño de los glitches.



**Figura 4.7** Fotografía microscópica del circuito integrado.

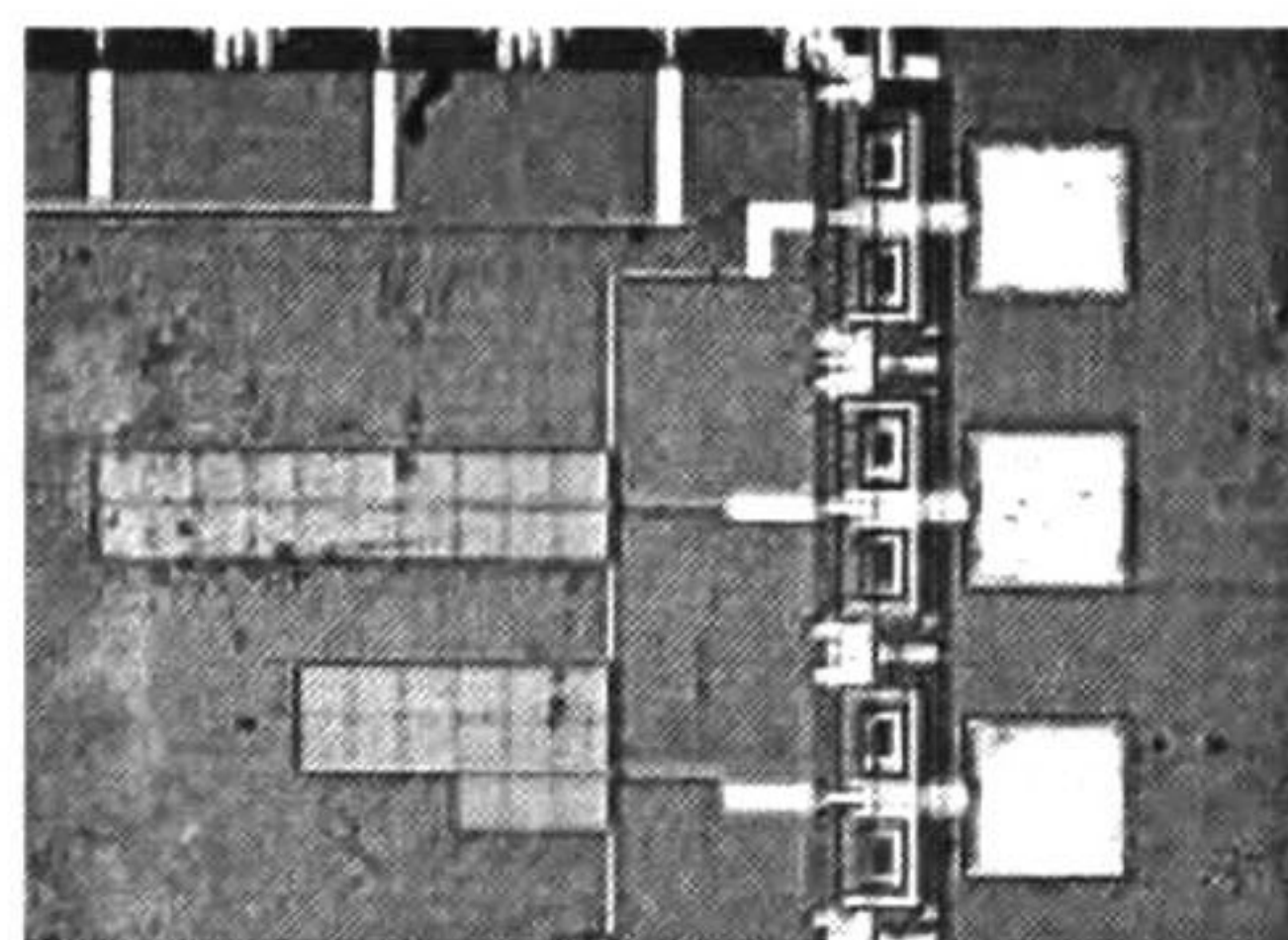
En la figura 4.7 se muestra una fotografía a nivel microscópica del circuito integrado, en la cual se muestra además del circuito S/H y Opamp algunos circuitos realizados a partir de OTAs y capacitores.

En la parte superior izquierda de la fotografía se muestran el Opamp y S/H respectivamente, en la parte superior derecha se muestran arreglos con capacitores y en la parte inferior circuitos con OTAs.



**Figura 4.8** Fotografía microscópica de los circuitos Opamp y Sampled and Hold.

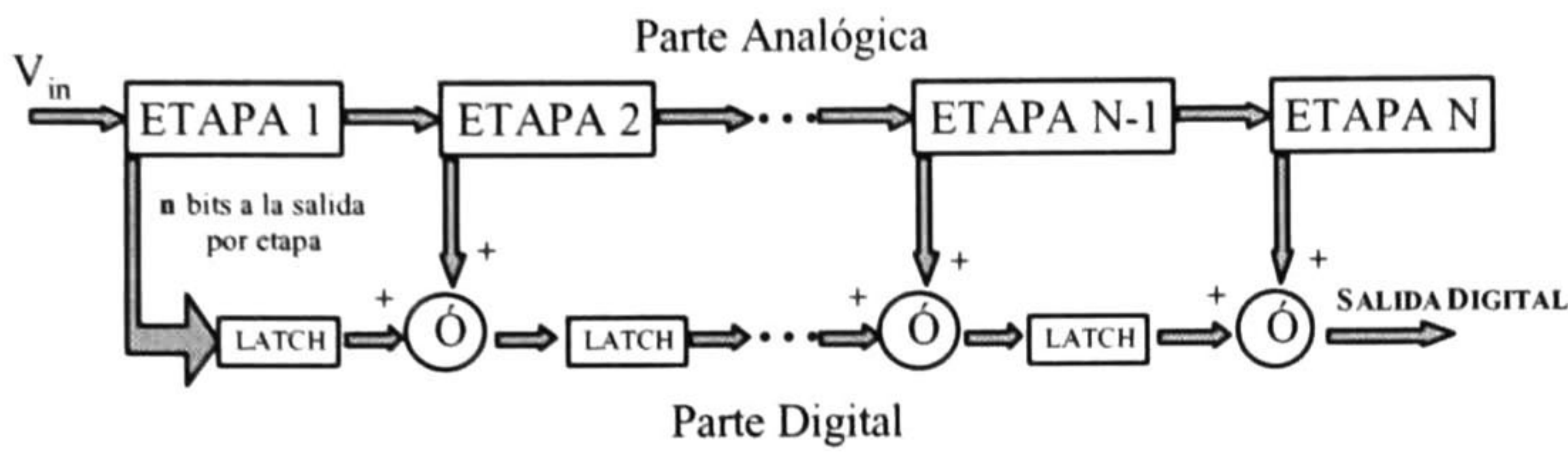
En la figura 4.8 se muestra un acercamiento a los circuitos Opamp y S/H respectivamente. Mientras que en la figura 4.9 se muestra una fotografía de los arreglos de capacitores utilizados para el circuito S/H y para la compensación del Opamp.



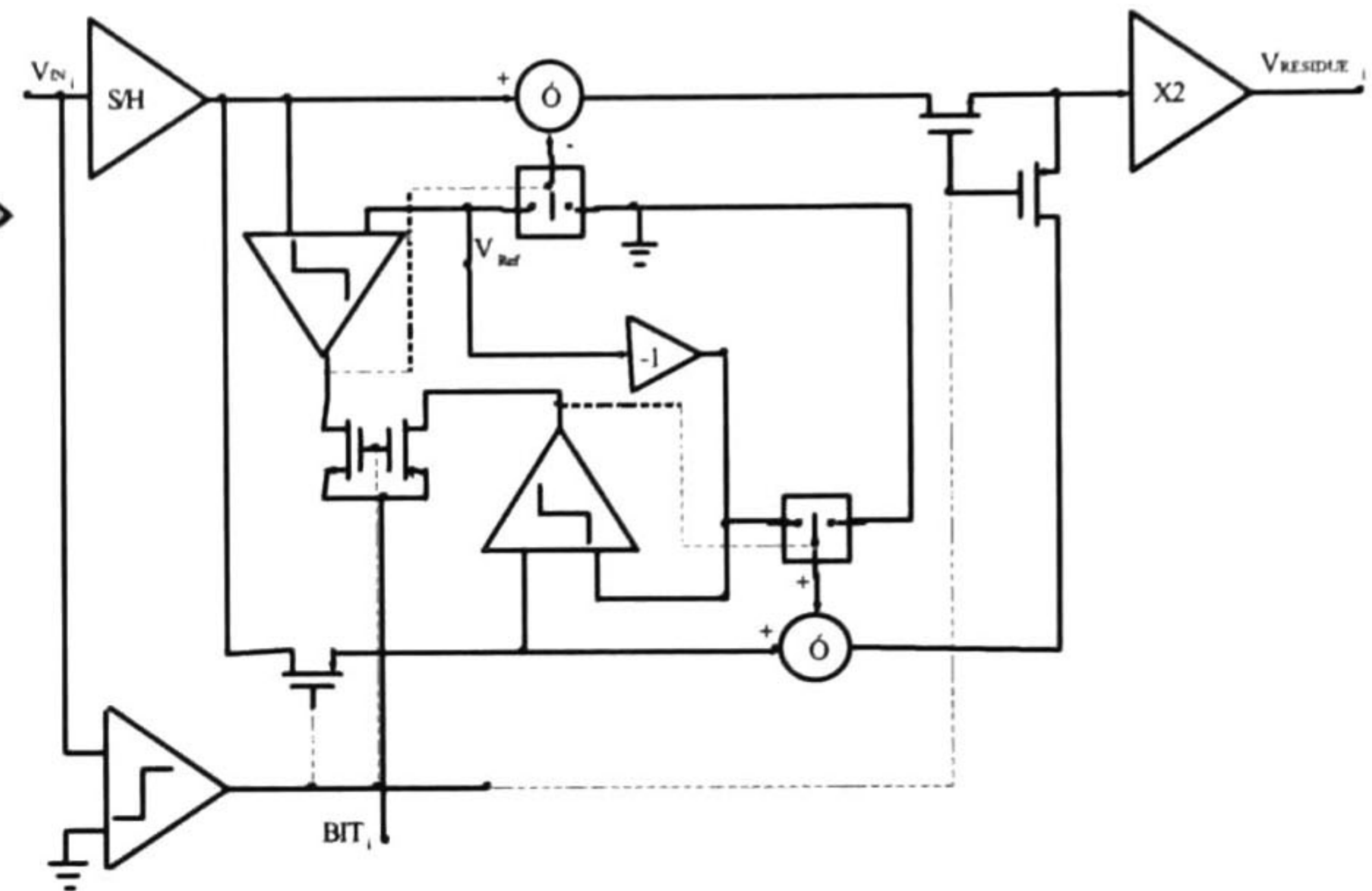
**Figura 4.9** Fotografía microscópica de los arreglos de capacitores.



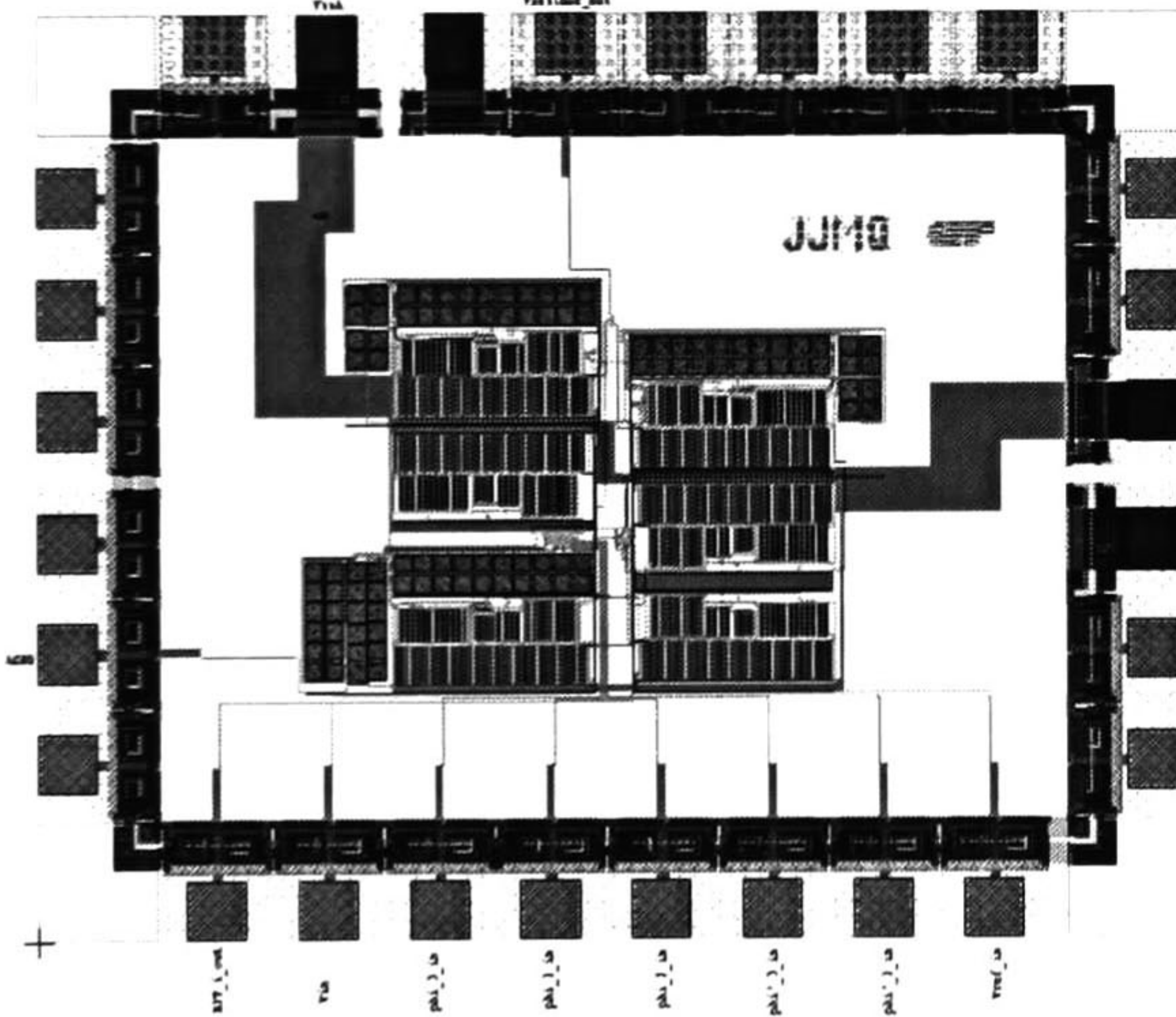
## 4.2. Resumen



Teniendo los bloques básicos para realizar el convertidor A/D Algorítmico, se aplica la técnica pipeline, con la cual se obtiene la resolución deseada.



En base al diagrama de bloques se realiza el diseño a nivel layout de la celda básica de conversión, la cual se repite  $n$  veces para lograr una resolución de  $n$  bits.



Por último se manda al proceso de fabricación

*Fabricación de acuerdo al proceso MOSIS 1.2µm*

## Referencias

- [1]. Bernard Sklar, "Digital Communications Fundamentals and Applications". Prentice Hall, New Jersey 1988.



# CAPÍTULO V

---

## *Conclusiones*

### *5.1 Conclusiones de la Tesis*

En este capítulo se concluye este trabajo describiendo las metas y objetivos cumplidos a través de un arduo proceso de investigación.

En este trabajo se describió inicialmente el principio de conversión del método algorítmico general, la composición del sistema (general) mostrado a bloques en la figura 1.1 (a). Además se describió cada uno de los bloques básicos que componen a este sistema para lograr la conversión. Cabe señalar que debido a las necesidades planteadas inicialmente y limitaciones de algunos elementos físicos se realizaron adaptaciones y mejoras al sistema de conversión.

Una vez descritos los bloques básicos de manera general, se dio a la tarea de encontrar las posibilidades de este tipo de convertidor, esto para poder partir desde un punto firme y lograr los objetivos planteados. Ya encontradas las posibilidades se realizó un análisis minucioso de cada uno de los bloques básicos, describiendo así sus desviaciones y no idealidades y cómo minimizarlas, tales son los casos especiales de los circuitos Sampled And Hold, al cual se logró minimizar el tamaño de los glitches hasta casi su totalidad y Opamp, para el cual se obtuvo un voltaje offset muy pequeño.

Hecho tal análisis, se pasó a la etapa de diseño, para obtener resultados hipotéticos en base al funcionamiento de arreglos transistorizados y capacitores; y a la simulación de cada uno de los bloques básicos, para comparar los resultados hipotéticos con resultados mas apegados a la realidad. Una vez realizados tales procesos, se crearon los diseños de las celdas a nivel layout de cada uno de los bloques básicos, esto con el fin de extraer un modelo “real” y obtener resultados con mayor fidelidad y si así se requiriese fabricar tal o tales celdas, como en el caso de los circuitos Sampled and Hold y Opamp.

Ya analizados y simulados los bloques básicos y sabiendo las posibilidades del convertidor algorítmico, se analizó la técnica pipeline con el fin de aplicarlo a éste. Una vez que se pusieron las ventajas y desventajas en una balanza de tal situación, se decidió aplicar tal técnica al convertidor algorítmico, de manera que el siguiente paso fue crear una celda



básica unitaria del lazo de conversión mediante la técnica pipeline, la cual se simuló y una vez obtenidos los resultados esperados se pasó al diseño de la celda a nivel layout, para de igual manera que en el caso de los bloques básicos, se tuviera una base mas firme.

Ya realizado esto, se creó un sistema compuesto con cuatro celdas básicas, a manera de ejemplo, ya que una vez teniendo la celda básica, únicamente es necesario ir conectando la salida de una celda con la entrada de otra, hasta obtener la resolución deseada, una vez creado este sistema se realizó la simulación, obteniendo resultados esperados satisfactorios.

## **5.2 Aportaciones**

Algunas de las aportaciones de ésta tesis es la creación de un compendio de diseños a nivel layout, como es el caso del capacitor unitario a partir del cual se han apoyado otros trabajos de tesis, el amplificador operacional, el circuito Sampled and Hold, el circuito amplificador, el circuito sumador y en sí la celda básica de conversión, a partir de los cuales se pueden crear otros sistemas.

Otra aportación de igual importancia si no la principal, es haber plasmado físicamente los diseños del amplificador operacional, el circuito Sampled and Hold y arreglos de capacitores, con los cuales se obtuvieron resultados experimentales satisfactorios muy apegados a los obtenidos mediante simulación; sin contar que es el primer diseño que puede medirse satisfactoriamente dentro del CINVESTAV unidad Guadalajara.

## **5.3 Trabajo Futuro**

Como seguimiento a este trabajo pueden hacerse muchas cosas, las principales son el disminuir el tamaño de las celdas correspondientes a los bloques básicos, aumentar la velocidad de conversión de la celda básica, aumentando la velocidad de muestreo principalmente del circuito Sampled and Hold, ya que este circuito es el que determina en gran parte la velocidad de conversión.

Otra de las cosas que pueden continuar a este trabajo es la medición de algunos factores importantes dentro del chip, tales como el CMRR, PSRR, etc. del amplificador operacional, que por premura del tiempo no pudieron ser caracterizados.



# APENDICE A

## *Búsqueda del Valor de los Capacitores del S/H*

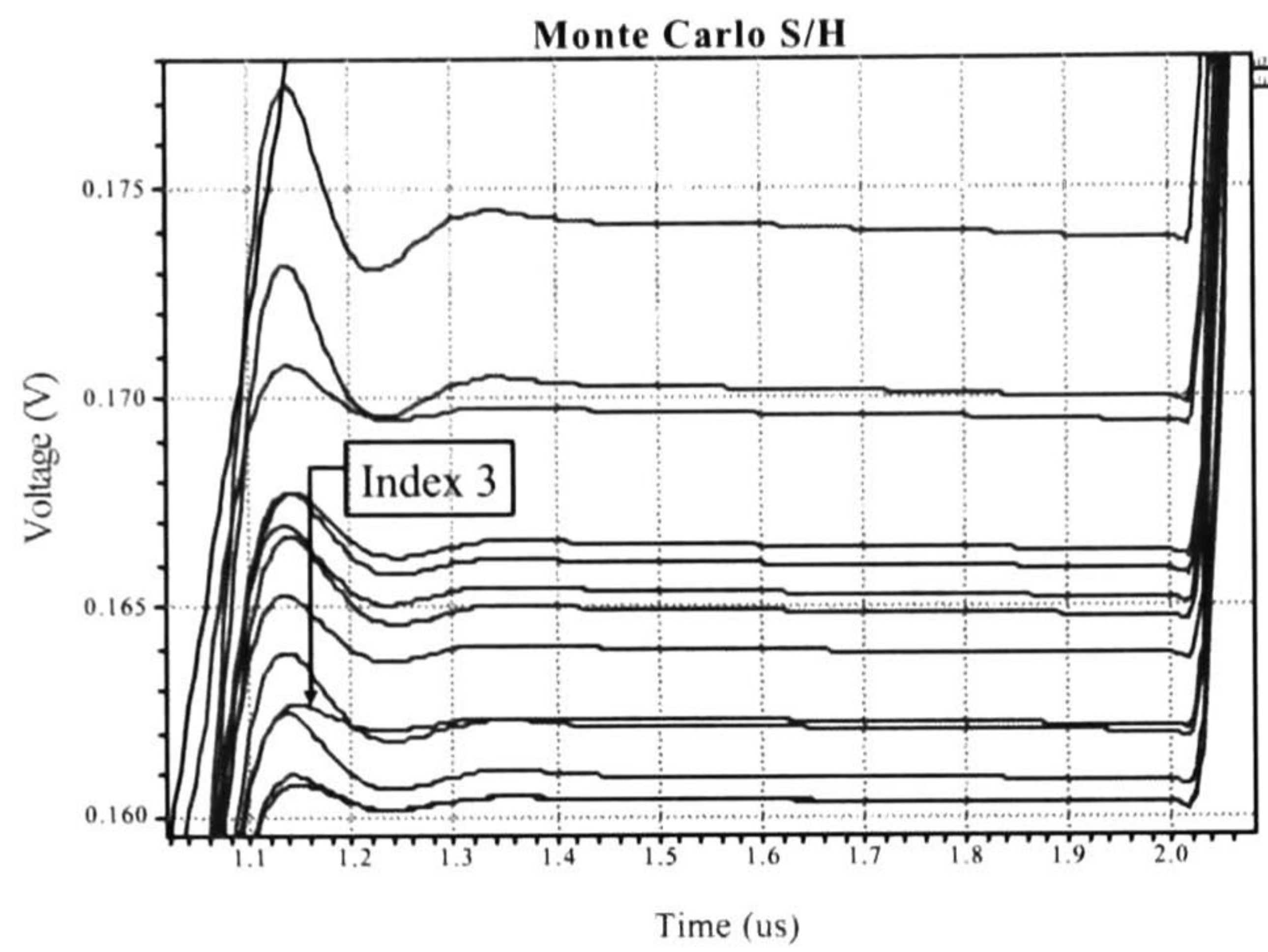
**P**ara encontrar el valor ideal de los capacitores, se realiza un análisis Monte Carlo. Este análisis se realiza con un valor inicial de 3.0pF y permitiendo una variación aleatoria uniforme absoluta de 2.0pF en 13 pasos diferentes. En la Tabla A.1 se muestran los valores de cada capacitor, arrojados por T-SPICE, mientras que en la Figura A.1 se muestra la gráfica que tiene mejor comportamiento, junto con las gráficas de las demás simulaciones.

*Tabla A.1 MONTE CARLO PARAMETER VALUES.*

|          |  |          |  |                |   |
|----------|--|----------|--|----------------|---|
| Index 1  | Cc = 1.01e-012<br>Ca = 3.25e-012<br>Ch = 1.77e-012 | Index 2  | Cc = 4.23e-012<br>Ca = 3.34e-012<br>Ch = 2.91e-012 | <b>Index 3</b> | <b>Cc = 2.40e-012<br/>Ca = 4.58e-012<br/>Ch = 4.29e-012</b> |
| Index 4  | Cc = 3.98e-012<br>Ca = 1.69e-012<br>Ch = 4.43e-012 | Index 5  | Cc = 3.84e-012<br>Ca = 3.05e-012<br>Ch = 2.21e-012 | Index 6        | Cc = 1.05e-012<br>Ca = 1.36e-012<br>Ch = 2.45e-012          |
| Index 7  | Cc = 1.58e-012<br>Ca = 1.66e-012<br>Ch = 4.95e-012 | Index 8  | Cc = 2.78e-012<br>Ca = 1.47e-012<br>Ch = 1.01e-012 | Index 9        | Cc = 1.03e-012<br>Ca = 2.51e-012<br>Ch = 3.12e-012          |
| Index 10 | Cc = 3.28e-012<br>Ca = 3.40e-012<br>Ch = 3.42e-012 | Index 11 | Cc = 1.66e-012<br>Ca = 3.65e-012<br>Ch = 2.80e-012 | Index 12       | Cc = 2.40e-012<br>Ca = 1.22e-012<br>Ch = 3.43e-012          |
| Index 13 | Cc = 4.13e-012<br>Ca = 4.21e-012<br>Ch = 3.07e-012 |          |  |                |   |

Debido a que la gráfica indicada como “Index 3” en la Figura A.1 responde más rápido y se establece más rápido que las demás, se puede decir que ésta es la respuesta óptima y por tanto los valores óptimos para tal respuesta serán los que se indican en la Tabla A.1. Debido a que se tiene un capacitor unitario de valor fijo 0.5pF, es necesario realizar un ajuste de tales valores, es decir, el valor de los capacitores  $C_c$ ,  $C_h$  y  $C_a$  será 2.5pF, 4.5pF, 4.5pF respectivamente.





**Figura A.1** Respuesta de un Circuito Sampled and Hold durante el periodo de retención variando aleatoriamente el valor de  $C_a$ ,  $C_h$  y  $C_c$ .

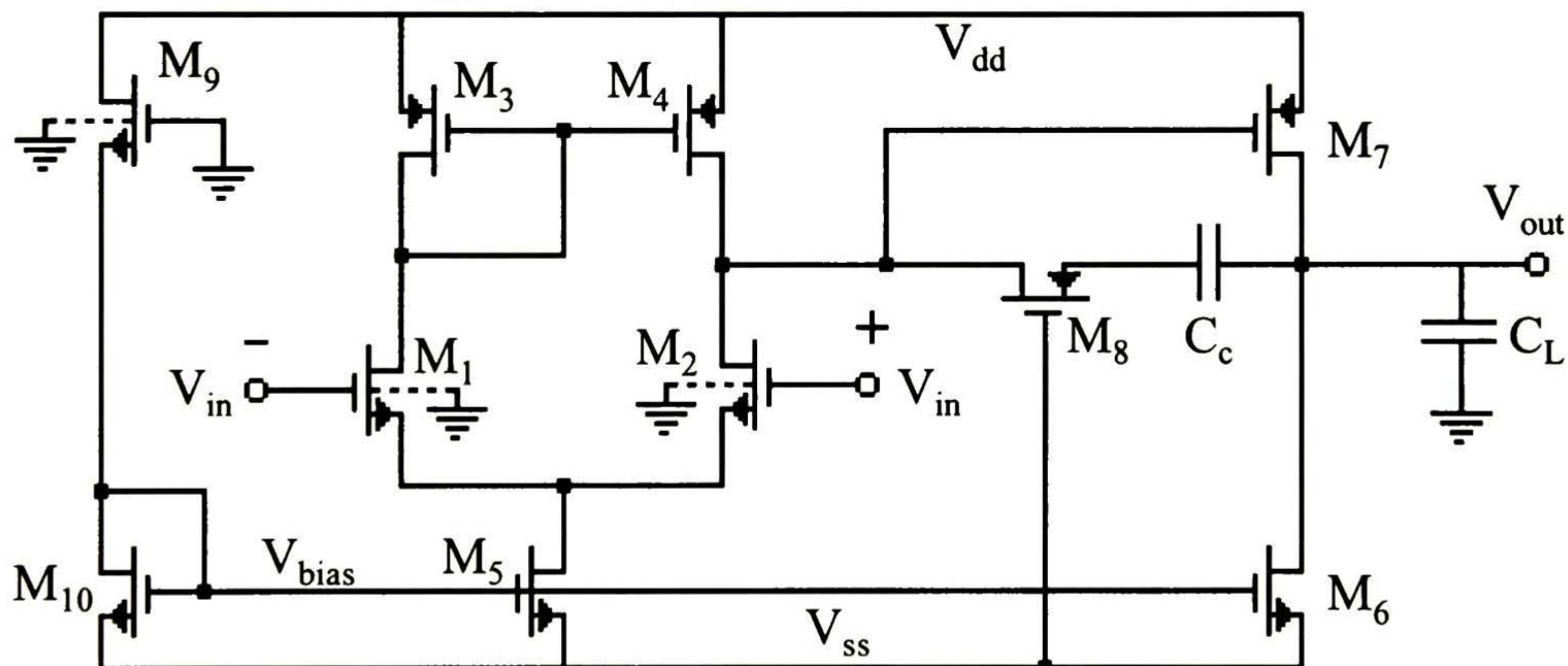


## APENDICE B

### *Layout de Bloques Básicos*

**E**n el presente apéndice se muestran todos los circuitos que conforman el lazo de conversión con su respectivo diseño a nivel layout, incluyendo la celda del lazo de conversión, todos con un proceso tecnológico MOSIS de  $1.2\mu\text{m}$  con dos niveles de metalización, dos niveles de polisilicio y un pozo n.

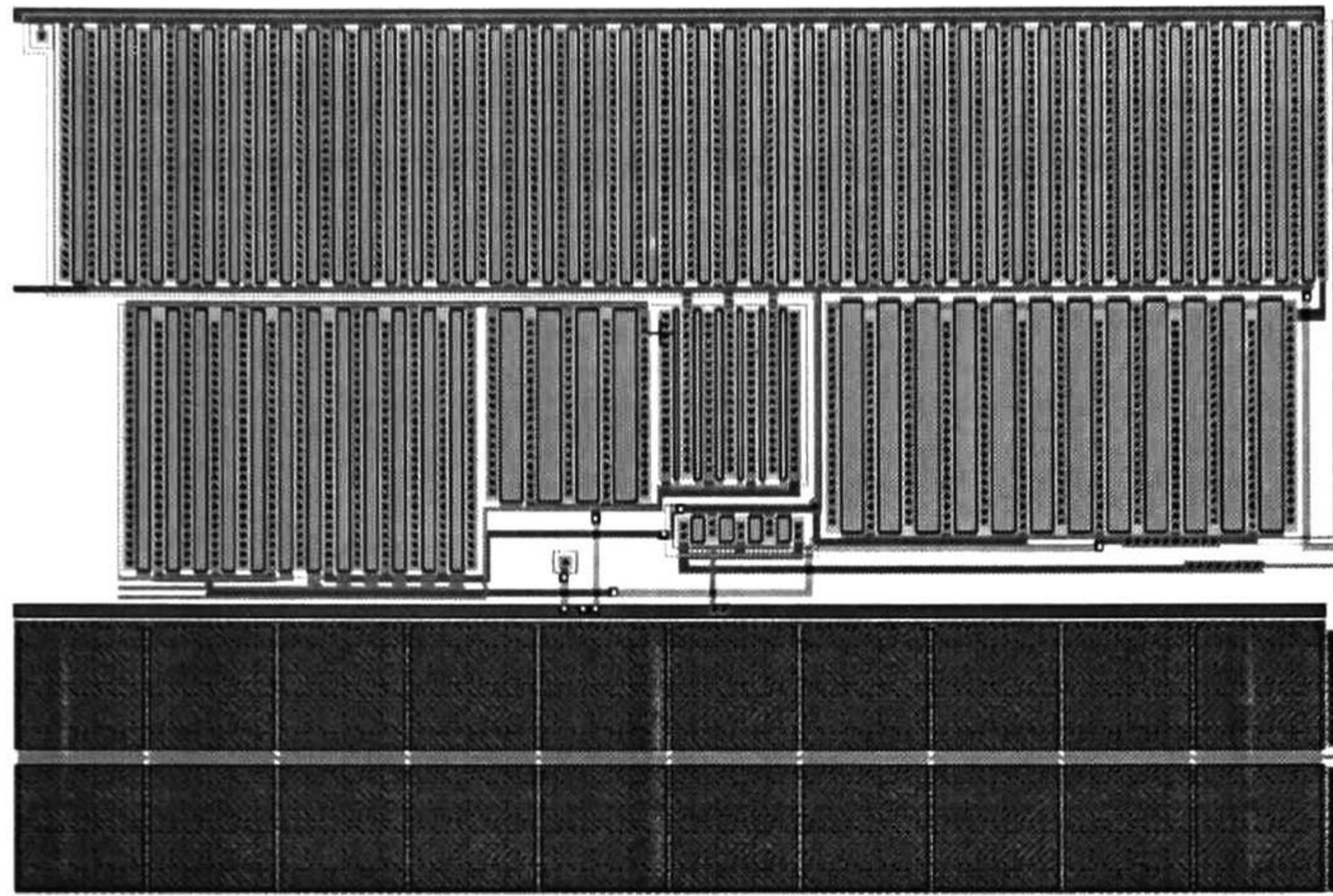
En la figura B.1. se muestra el circuito del amplificador operacional, con el cual se realizan los circuitos Sampled and Hold, Multiplicador por Dos y el Sumador-Restador. Seguido por la figura B.2, se muestra el circuito a nivel layout.



*Figura B.1 Amplificador Operacional de dos Etapas compensado.*

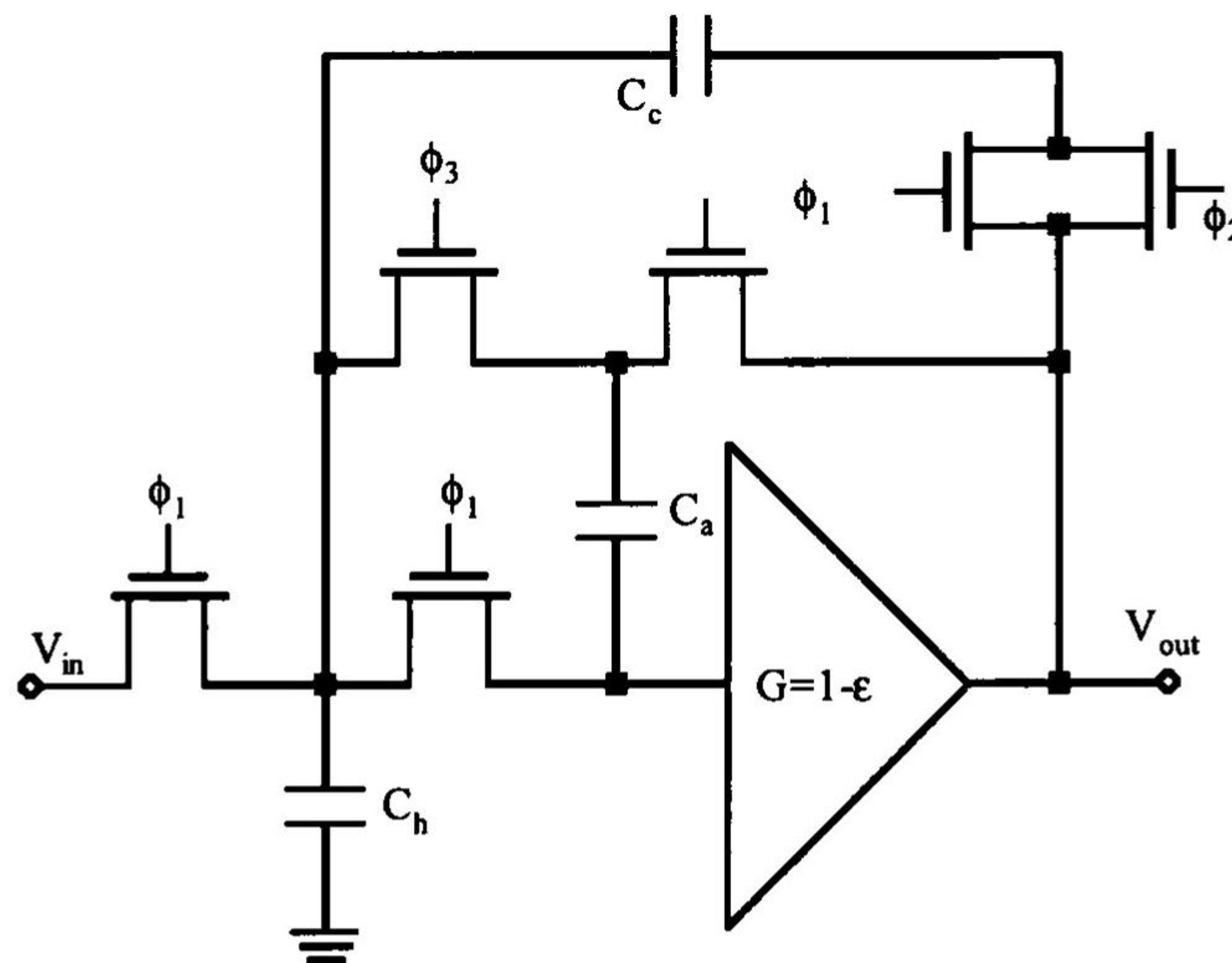
La dimensión de cada uno de los transistores que forman este circuito están dadas en la tabla 2 dentro del capítulo 2. Las dimensiones de la celda mostrada en la figura B.2 son  $336\mu\text{m} \times 222\mu\text{m}$ , es decir un área de  $74592\mu\text{m}^2$  que es equivalente a  $0.074592\text{mm}^2$ .





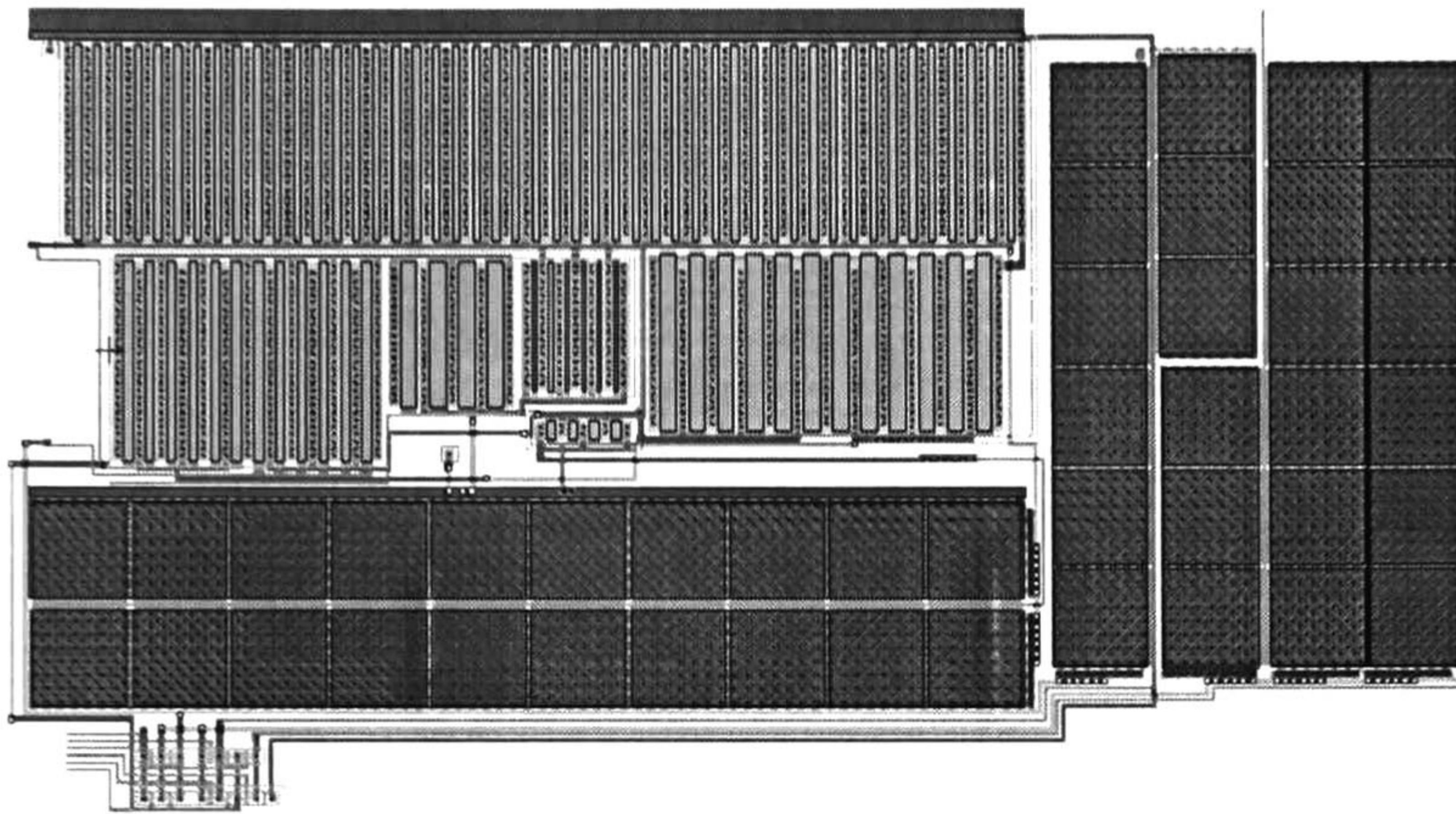
**Figura B.2** Layout del Amplificador Operacional de dos Etapas.

En la figura B.3 se muestra el circuito Sampled and Hold con compensación del error de ganancia finita y compensación de offset. En la figura B.4 se muestra el diseño del circuito a nivel layout.



**Figura B.3** Circuito Sampled and Hold que compensa offset y el error debido a la ganancia.

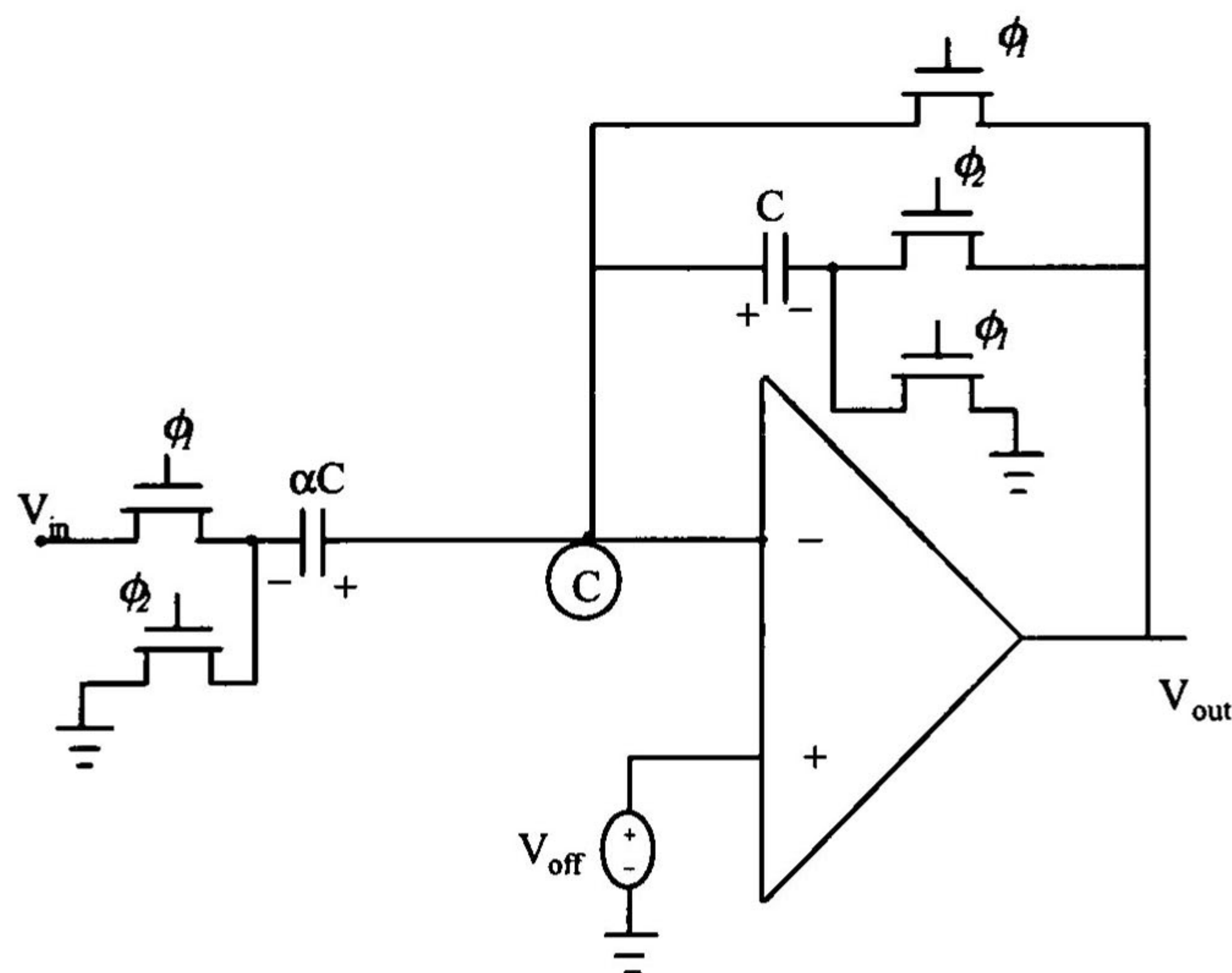




**Figura B.4** layout del Circuito Sampled and Hold.

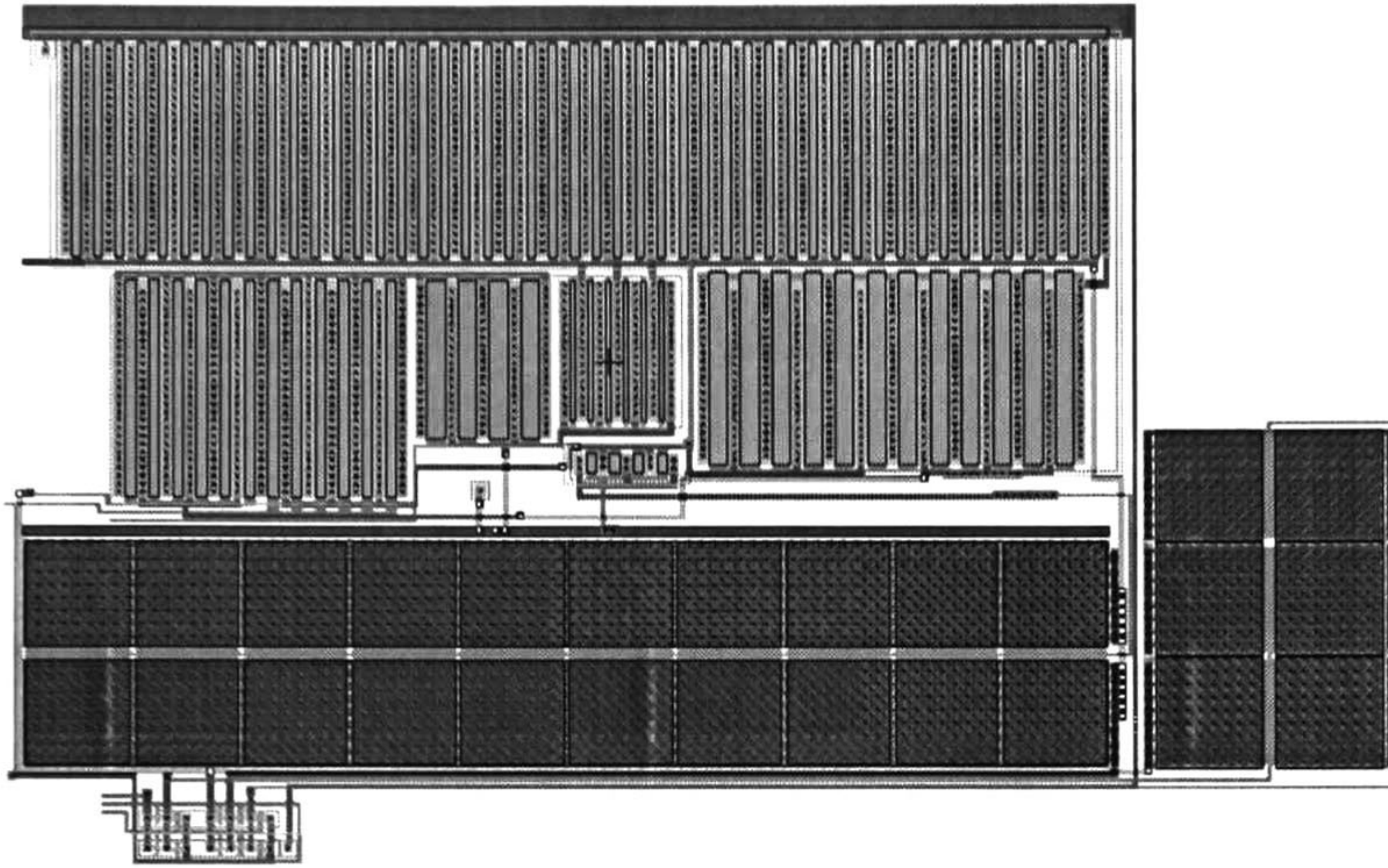
Las dimensiones de la celda mostrada en la figura B.4 son  $479\mu\text{m} \times 263.7\mu\text{m}$ , es decir un área de  $126312.3\mu\text{m}^2$  que es equivalente a  $0.1263123\text{mm}^2$ .

En la figura B.5 se muestra el circuito Multiplicador por Dos con compensación de offset y con un factor de ganancia de  $-\alpha$ . En la figura B.6 se muestra el diseño del circuito a nivel layout.



**Figura B.5** Circuito Amplificador Inversor con factor de ganancia  $\alpha$

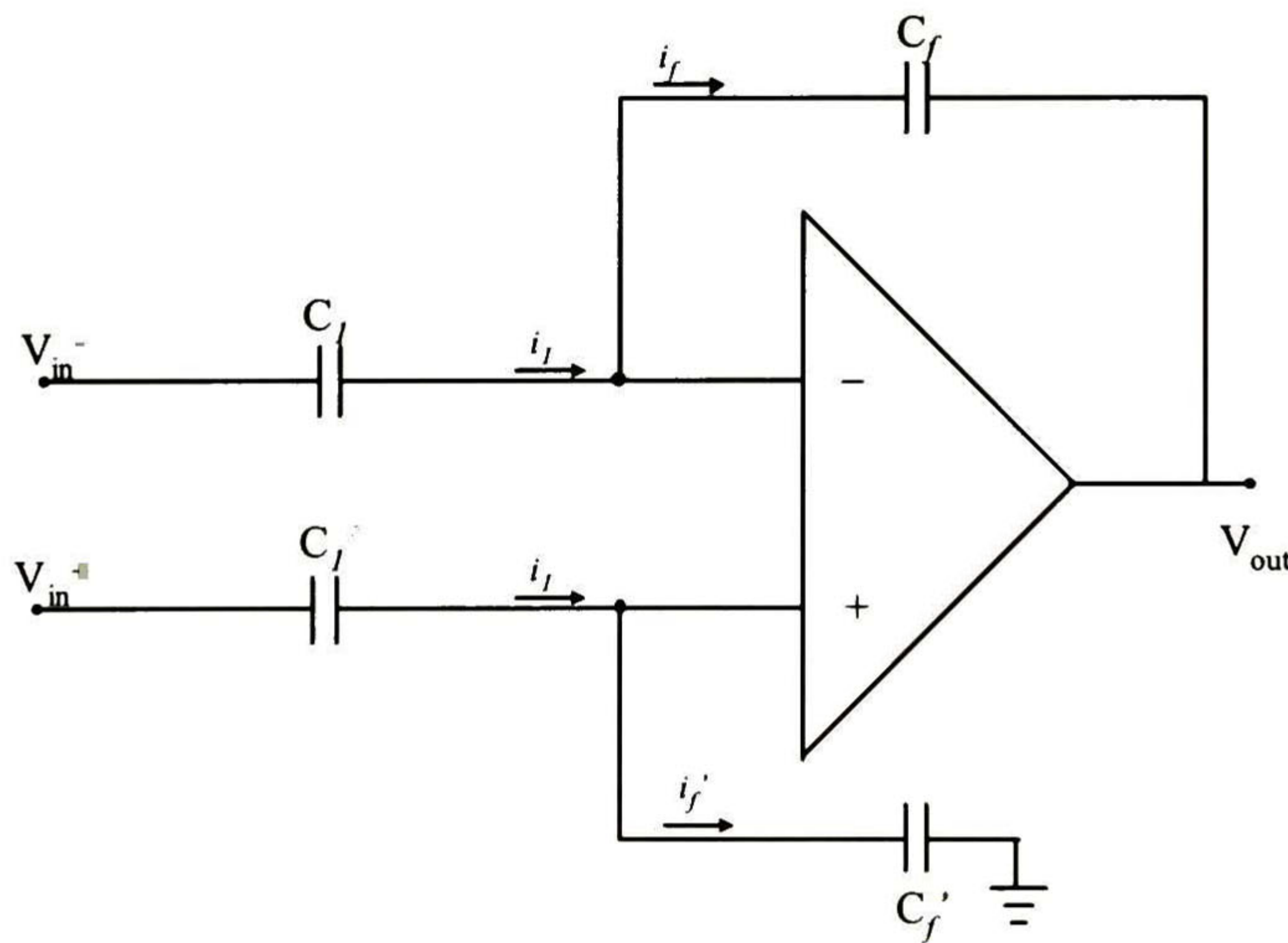




**Figura B.6** Layout del Circuito Multiplicador con ganancia de 2.

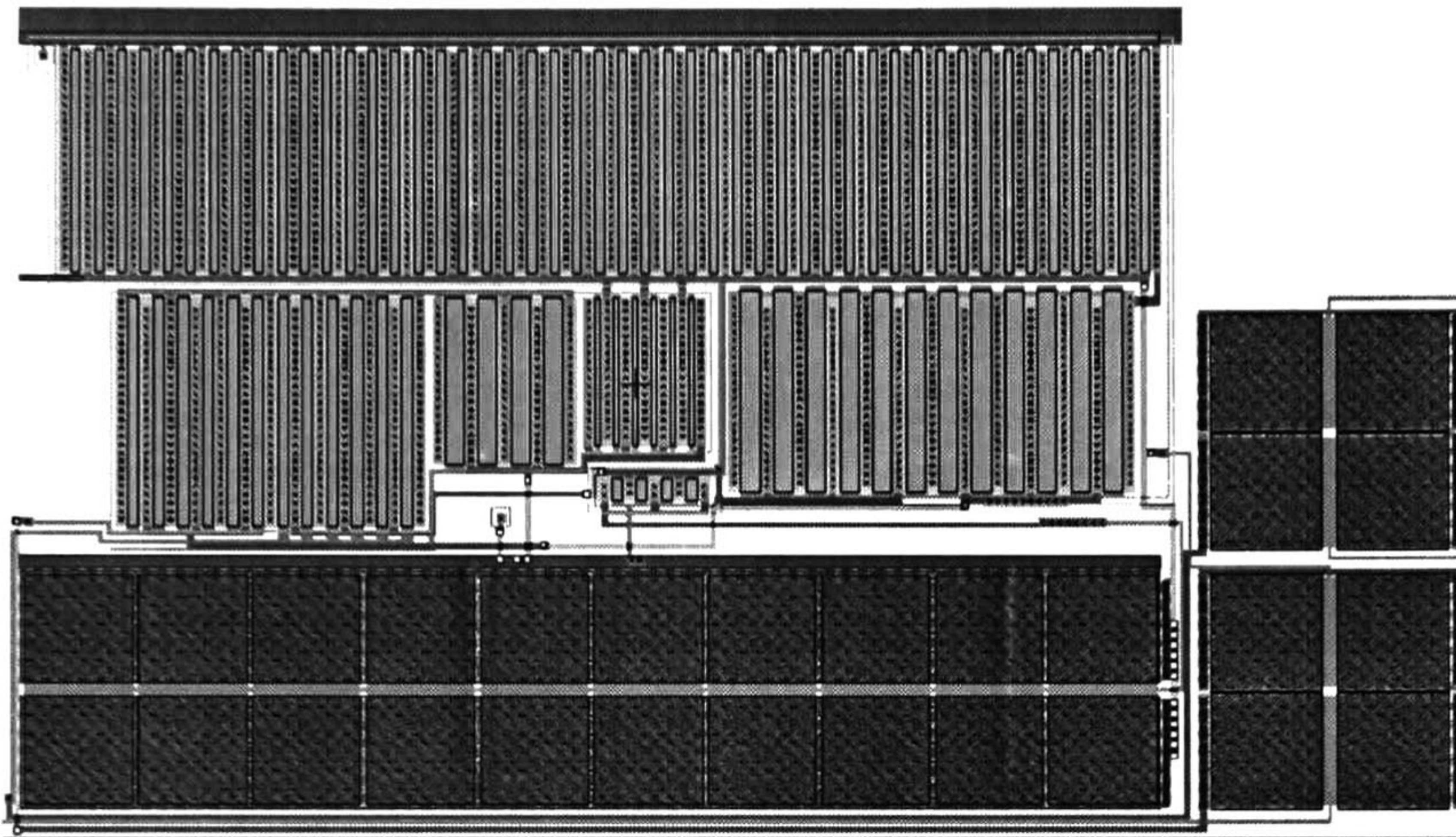
Las dimensiones de la celda mostrada en la figura B.4 son  $420.6\mu\text{m} \times 259.2\mu\text{m}$ , es decir un área de  $109019.52\mu\text{m}^2$  que es equivalente a  $0.10901952\text{mm}^2$ .

En la figura B.7 se muestra el circuito Sumador – Restador, que es un amplificador operacional en configuración diferencial. En la figura B.8 se muestra el diseño del circuito a nivel layout.



**Figura B.7** Circuito Sumador-Restador utilizando un amplificador operacional y capacitores.

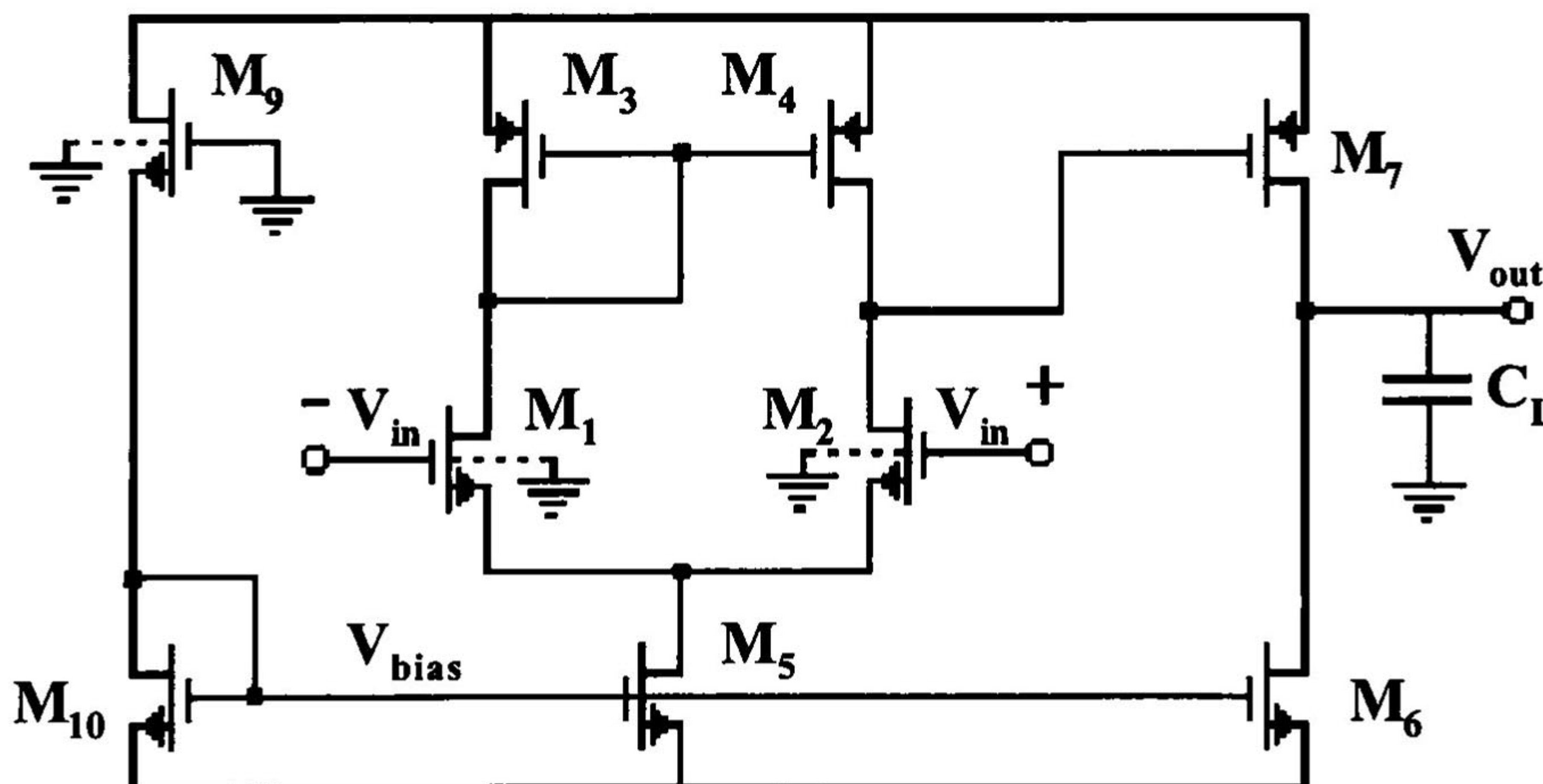




*Figura B.8 Layout del Circuito Sumador - Restador.*

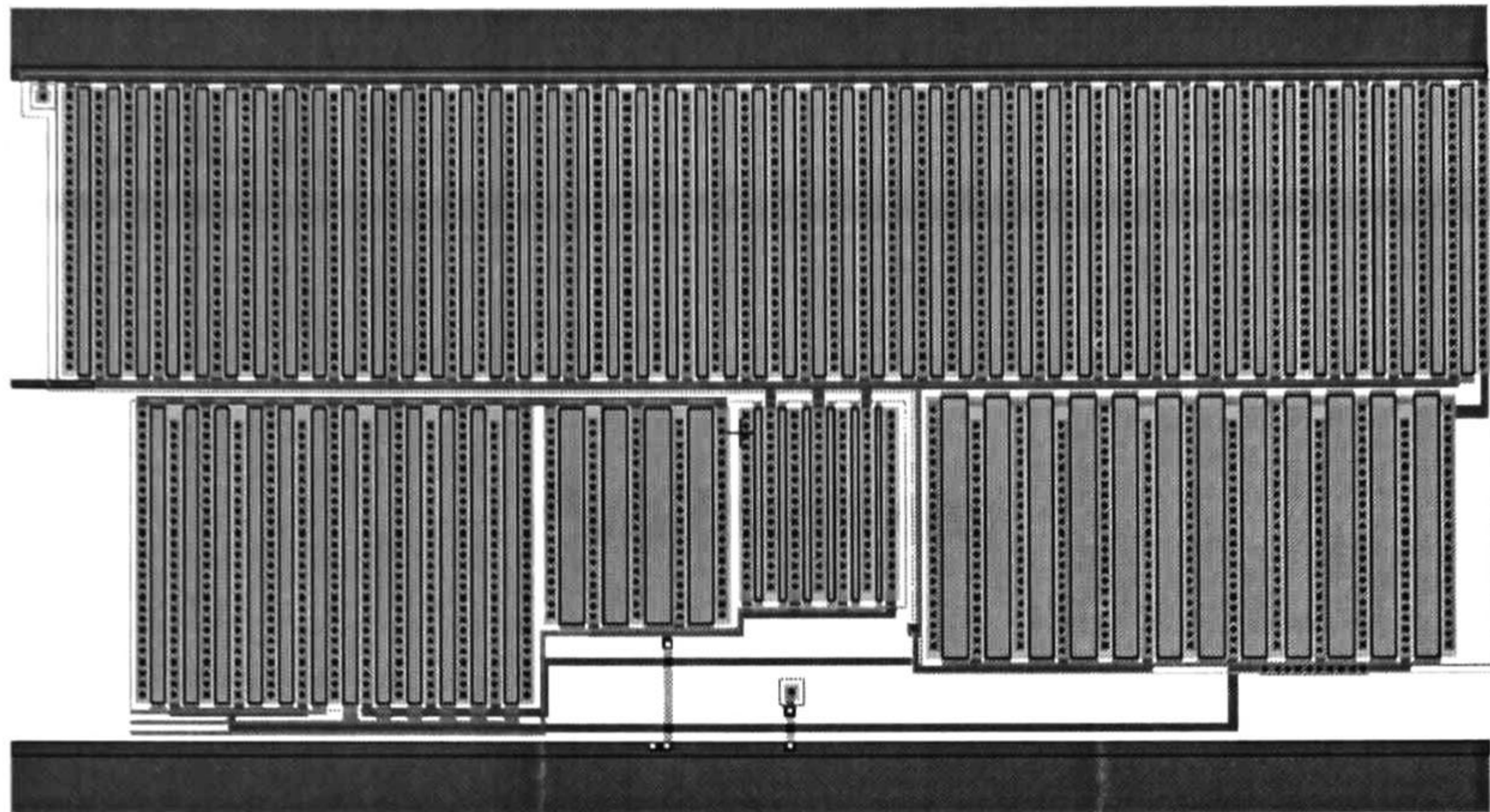
Las dimensiones de la celda mostrada en la figura B.8 son  $421.2\mu\text{m} \times 238.8\mu\text{m}$ , es decir un área de  $100582.56\mu\text{m}^2$  que es equivalente a  $0.10058256\text{mm}^2$

En la figura B.9 se muestra el circuito Comparador de Voltaje, que es prácticamente un amplificador operacional pero sin lazo de compensación. En la figura B.10 se muestra el diseño del circuito a nivel layout.



*Figura B.9 Comparador de Voltaje de dos etapas.*

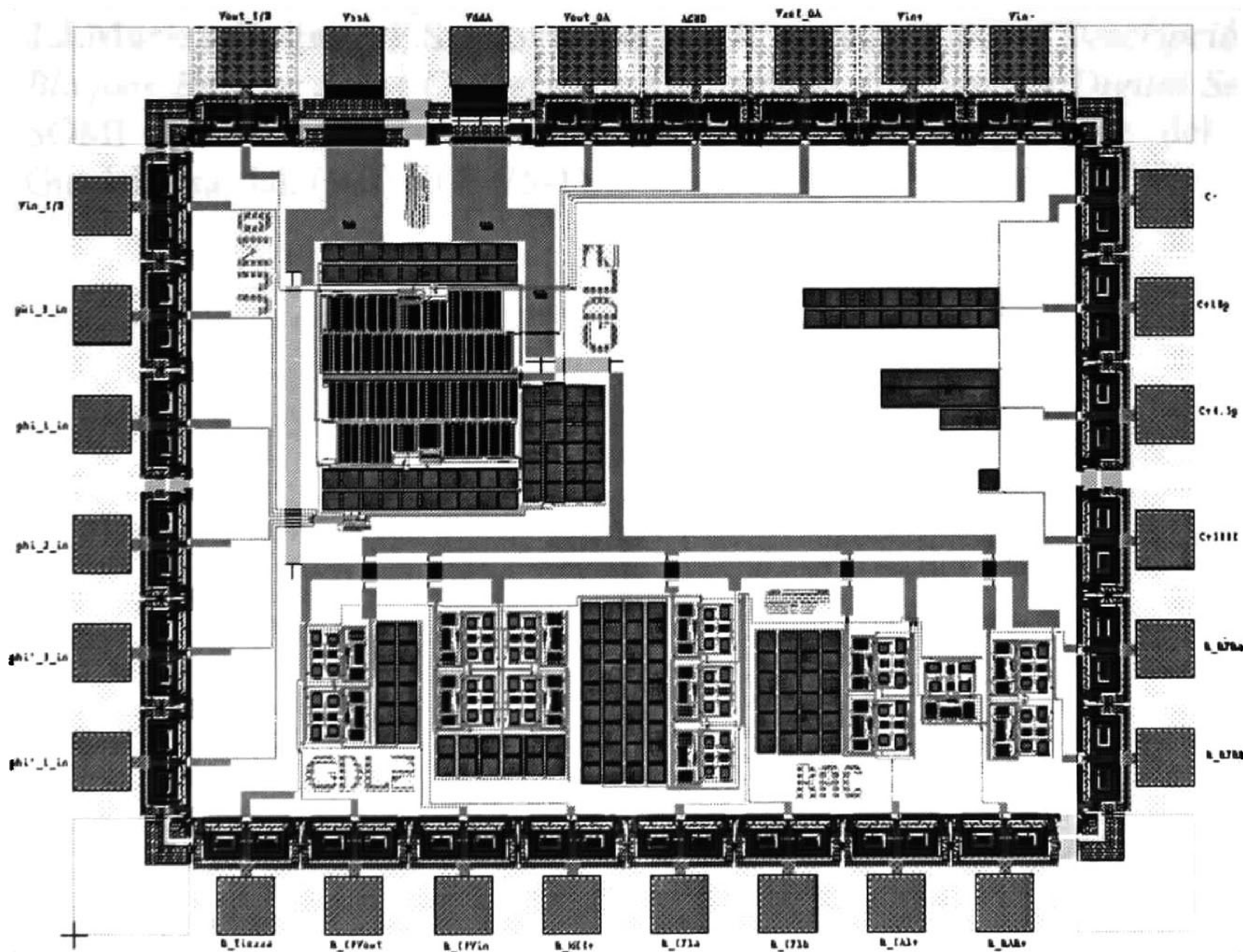




**Figura B.10** Layout del Circuito Comparador de Voltaje.

Las dimensiones de la celda mostrada en la figura B.10 son  $334.8\mu\text{m} \times 179.1\mu\text{m}$ , es decir un área de  $59962.68\mu\text{m}^2$  que es equivalente a  $0.05996268\text{mm}^2$

Por último, en la Figura B.11 se muestra el diseño a nivel layout del chip de prueba para su construcción y pruebas, el cual consiste de un circuito Sampled and Hold, un amplificador operacional y varios capacitores de distinto valor, además de dispositivos basados en un circuito OTA.



**Figura B.11** Layout del Chip de Prueba.



# APENDICE C

---

## *Publicaciones*

**E**n este apéndice se incluyen dos artículos que fueron publicados en congresos nacionales, tales como son el CONCI y SOMI, en los cuales se hizo la exposición Oral y póster respectivamente, a continuación se mencionan cada uno de ellos:

- ✦ **J.J.Macias-Quijas**, F.Sandoval-Ibarra, J.Santana-Corte, “*Análisis de No Idealidades de Circuitos S/H*”, CONCI'2000, 25-26 de Mayo del 2000, Puebla Pue.
- ✦ **J.J.Macias-Quijas**, F.Sandoval-Ibarra, J.Santana-Corte, “*Descripción de Bloques Básicos de un Convertidor Algorítmico Analógico a Digital Serial*”, SOMI XV Congreso de Instrumentación, 16-20 de Octubre del 2000, Guadalajara, Jal. (Ref: ELE-25-1)



# Análisis de No-idealidades en el Diseño de Circuitos S/H

J. J. Macias-Quijas<sup>1</sup>, F. Sandoval-Ibarra, J. Santana Corte

CINVESTAV-Unidad Guadalajara

Prol. Av. López-Mateos Sur 590, 45140 Guadalajara Jal.

Tel: +52 (3) 684 1580, Fax: +52 (3) 684 1708, Email: [macias@orion.gdl.cinvestav.mx](mailto:macias@orion.gdl.cinvestav.mx)

**Palabras clave:** Diseño de circuitos eléctricos y electrónicos, Simulación

**Resumen-** En este artículo se presenta un análisis detallado de los circuitos Sampled and Hold (S/H), en el que se muestran sus desviaciones debidas a los elementos que lo conforman, así como la forma de minimizarlas. Uno de los elementos de mayor importancia dentro de este tipo de circuitos es el amplificador operacional (OpAmp). En este artículo se desarrolla el diseño de un amplificador de dos etapas con compensación Miller. También se realizan simulaciones (con carga de 10pF, y alimentado a 2.5V), con las que se obtienen una ganancia mayor a 80dB, un ancho de banda mayor a 4.5 MHz, rapidez de respuesta de 100ns, tiempo de establecimiento de 0.15seg, y voltaje offset de 200µseg.

## I. INTRODUCCION

La necesidad de circuitos S/H en diversas áreas de aplicación es conocida. Una de ellas es en el diseño de sistemas de conversión A/D, el cual para el desarrollo de un convertidor algorítmico, llamado también cíclico o recirculante (véase Fig. 1), requiere no sólo un circuito S/H sino también un amplificador (x2) y un comparador de voltaje.

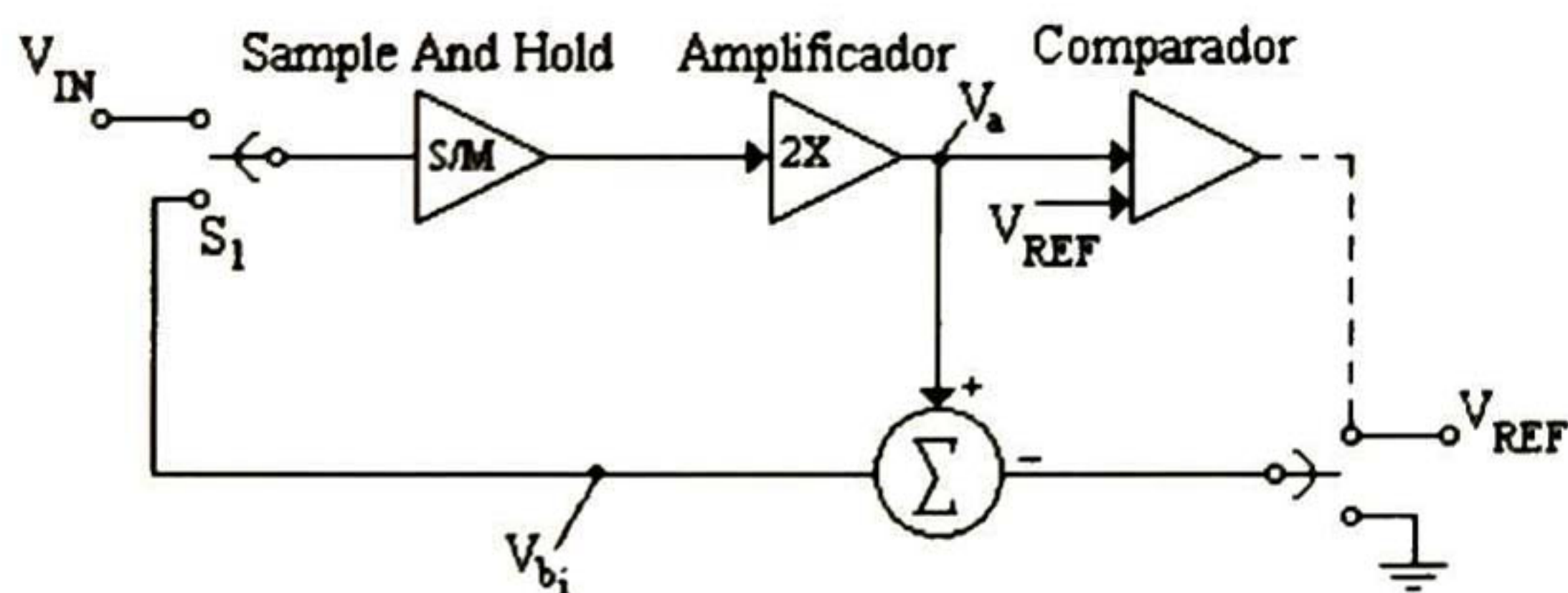


Fig. 1 Diagrama a bloques del convertidor A/D Algorítmico.

Uno de los elementos principales dentro de cada uno de estos bloques es el OpAmp, el cual puede ser una gran fuente generadora de errores, tales como el voltaje offset, la ganancia finita, ancho de banda finita, limitación en la rapidez de respuesta, etc. En la práctica, estas no idealidades afectan en gran medida el valor del bit menos significativo del convertidor. Por lo que, es fundamental no sólo el análisis de todas aquellas no idealidades sino también

aplicar técnicas de compensación o de eliminación total. Por esta razón, en el presente artículo se describen las principales fuentes de error y se proponen diversas técnicas de compensación, con el propósito de usar una única configuración de OpAmp en un convertidor A/D (12-14 bits de resolución) con aplicaciones para el rango de frecuencias de audio.

## II. PRINCIPIO BASICO DE OPERACIÓN

Los circuitos S/H son utilizados para hacer el muestreo de una señal analógica por periodos de tiempo en el rango de 1µseg-10µseg, y retener ese nivel de voltaje por periodos de varios mseg [1]. Un circuito S/H básico es mostrado en la Fig. 2a donde la señal de entrada es muestreada en el capacitor C<sub>H</sub> una vez que el interruptor se cierra; a ésta etapa se le llama *modo muestreo*. Durante el tiempo en el que el interruptor está abierto, o *modo retención*, la señal analógica en el tiempo t<sub>0</sub> se mantiene en la salida, ya que el nodo de muy alta impedancia impide la descarga del capacitor (ver Fig. 2b). Una vez que la señal de reloj φ está en nivel lógico bajo, el capacitor C<sub>H</sub> mantiene el potencial de entrada V<sub>in</sub>. El voltaje de salida para un OpAmp ideal está dado por

$$v_{out} = A_0 (v_{in} - v_{out}) \tag{1}$$

donde A<sub>0</sub> es la ganancia finita. Entonces, la función de transferencia, para φ="0", está dada por

$$\frac{v_{out}}{v_{in}} = \frac{1}{1 - \frac{1}{A}} \approx 1 - \epsilon \tag{2}$$

donde ε (≈1/A<sub>0</sub>) es el error debido a la ganancia finita. Cabe señalar que el circuito de la Fig. 2a tiene otras tantas no idealidades, las que incluyen el offset del OpAmp y fundamentalmente el efecto de inyección de carga producido por los transistores que hacen la función de interruptores analógicos. Una manera de cancelar el efecto de inyección de carga es realizando una compensación,

<sup>1</sup> Becario CONACyT



como la que se muestra en la Fig. 3a. Mientras que la Fig. 3b ilustra las fases de reloj que operan los interruptores. El circuito, formado por un buffer de ganancia unitaria, consta de un interruptor  $S_1$  y una capacitor de muestreo  $C_h$ .

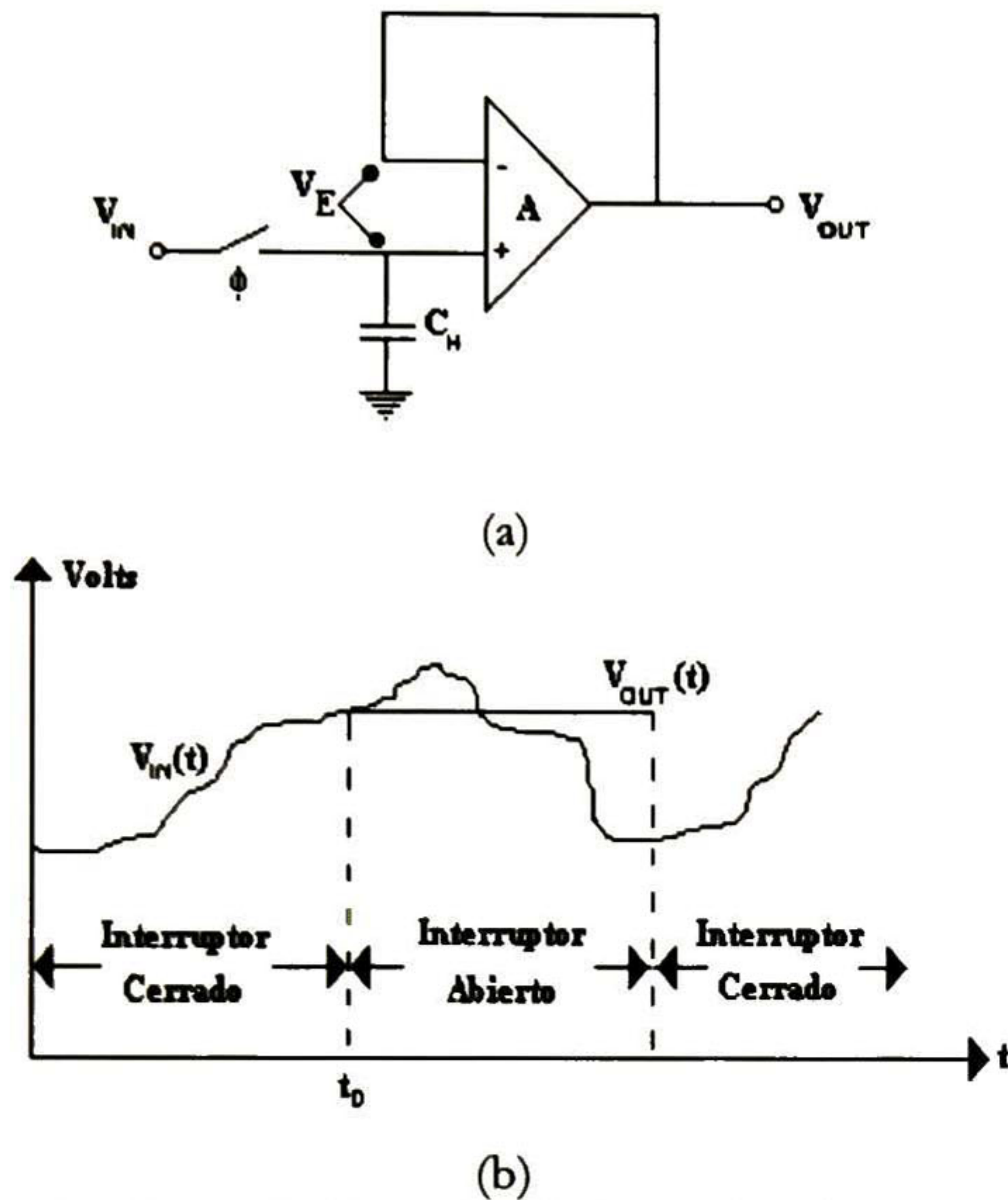


Fig. 2 (a) Circuito S/H simple, (b) Formas de onda que ilustran la operación del circuito [2].

Para cancelar el efecto de inyección de carga se requiere un interruptor adicional,  $S_2$ , y un capacitor de retroalimentación,  $C_c$ . Su operación es como sigue: Cuando  $\phi$  está en alto  $C_h$  se carga a la señal de entrada, mientras que  $C_c$  permanece descargado hasta que la inyección de carga del interruptor  $S_2$  es suministrada en el tiempo  $\tau_1$ , es decir, el capacitor  $C_c$  tiene una carga dada por

$$Q_c = \frac{1}{2} C_{ox} [v_{out} - (v_G - v_t)] \quad (3)$$

Por otro lado, cuando la señal de control  $\phi$  cambia a nivel lógico bajo, la inyección de carga en  $C_h$  está dada por

$$Q_h = C_h v_{in} + Q_c \quad (4)$$

Para obtener la carga total en el nodo de interés, se realiza la diferencia entre (3) y (4), obteniendo la carga ideal que es  $C_h V_{in}$ . Esto se debe a que las cargas inyectadas en cada capacitor son iguales (siempre y cuando los transistores sean iguales en dimensión) pero con polaridad opuesta, por lo tanto, tienden a eliminarse. Esto sucederá, siempre y cuando el buffer de ganancia unitaria sea ideal. Es por ello, que se utiliza el circuito S/H propuesto por Temes [3], que compensa offset y el error debido a la ganancia finita del OpAmp (véase Fig. 4a).

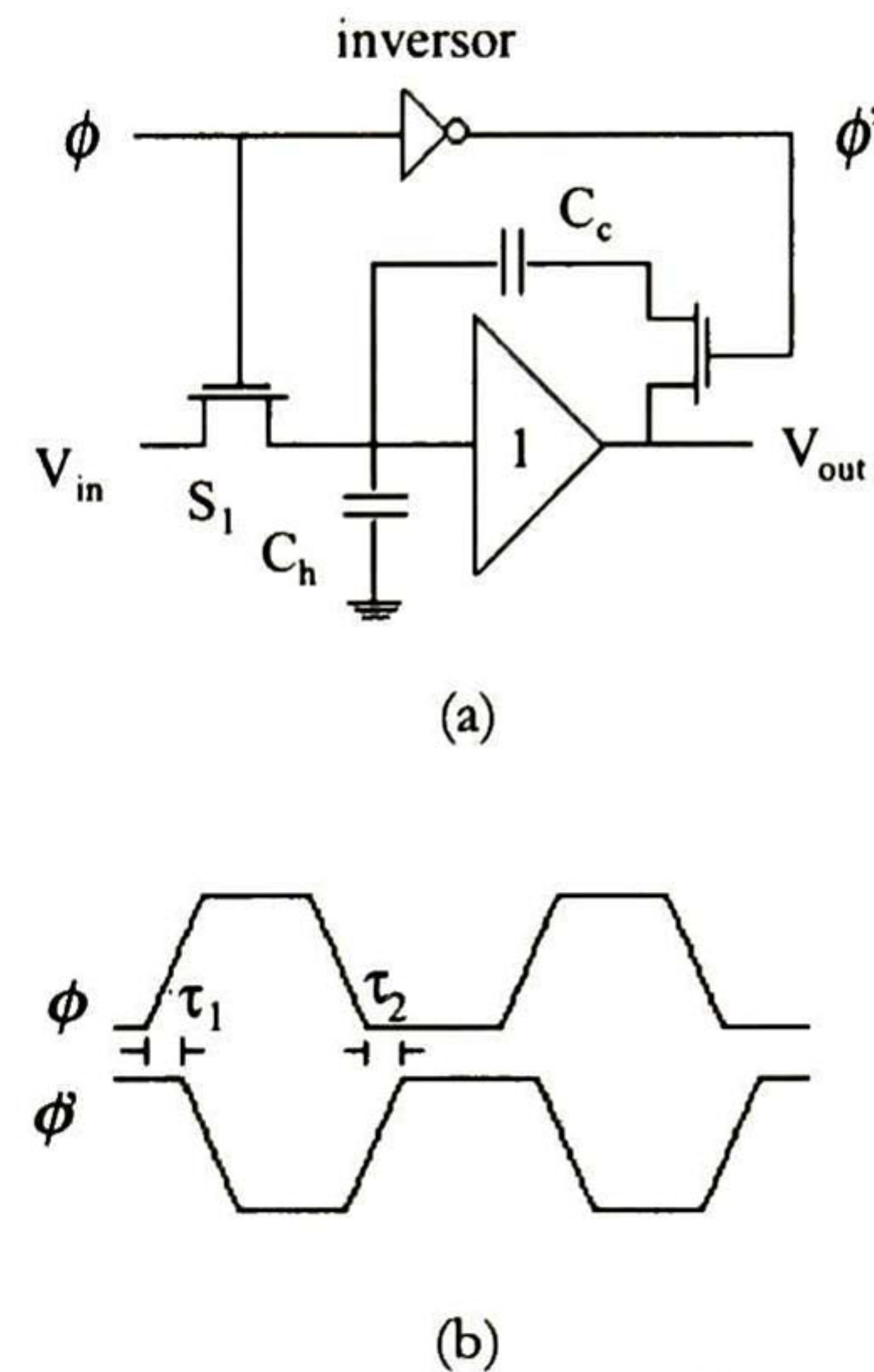


Fig. 3 (a) Circuito que compensa inyección de carga, y (b) diagrama de tiempo de la señal de control.

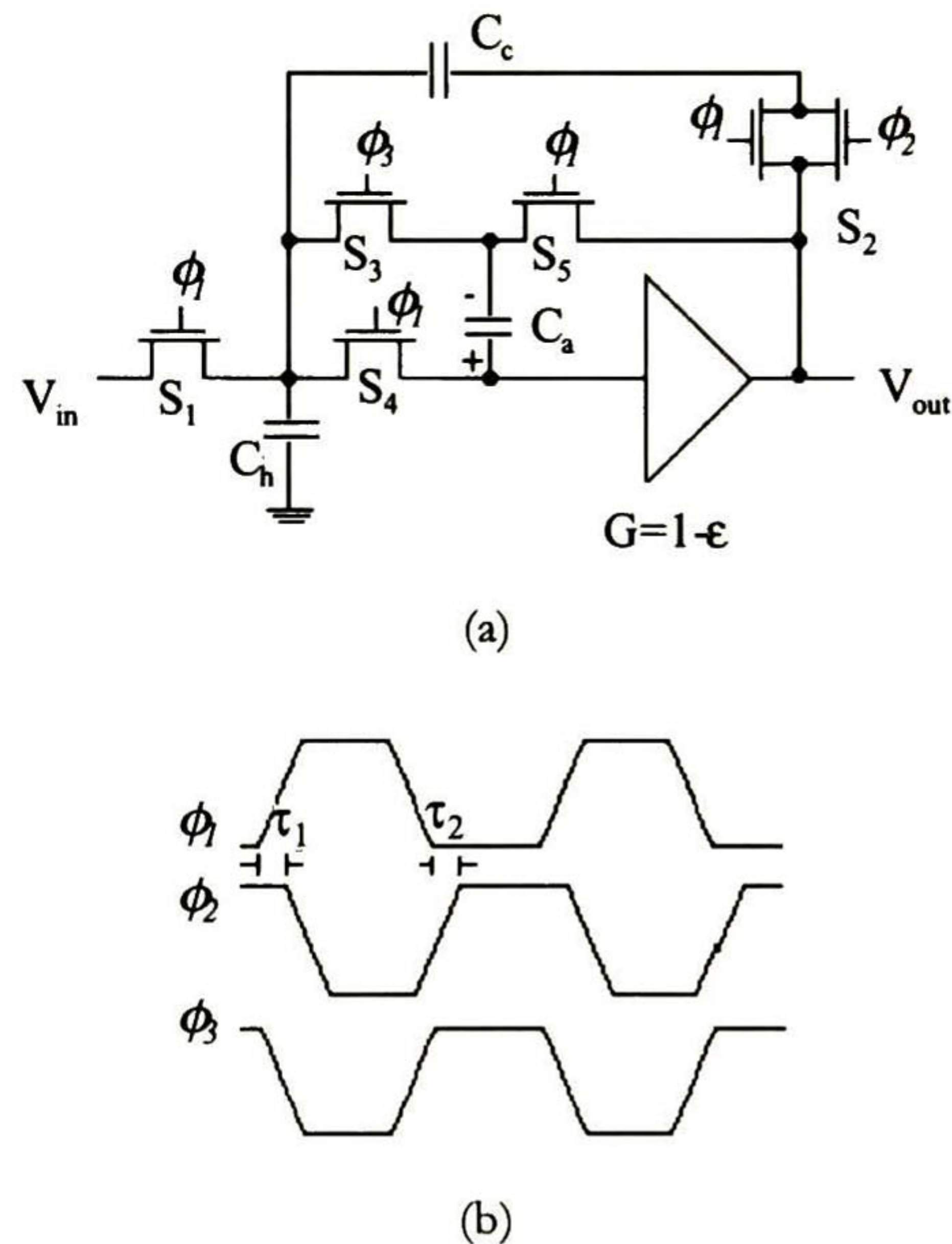


Fig. 4 (a) Circuito S/H que compensa offset y el error debido a la ganancia finita del OpAmp, y (b) diagrama de tiempos de la señal de control.

Nótese en la Fig. 4b que las señales de control  $\phi_1$  y  $\phi_3$  son la misma señal, solo que complementarias, mientras que la señal  $\phi_2$  se mantuvo en las mismas circunstancias que en la Fig. 3b, para compensar la inyección de carga. Cuando la señal de control  $\phi_1$  se encuentra en alto, el circuito se



encuentra en modo de muestreo, mientras que el capacitor  $C_a$  almacena el valor de  $v_a$  (véase Fig. 5a):

$$v_a = v_{in} - [v_{in}(1 - \epsilon) + v_{os}] = v_{in}\epsilon - v_{os} \quad (5)$$

donde  $v_{os}$  representa el voltaje offset del OpAmp.

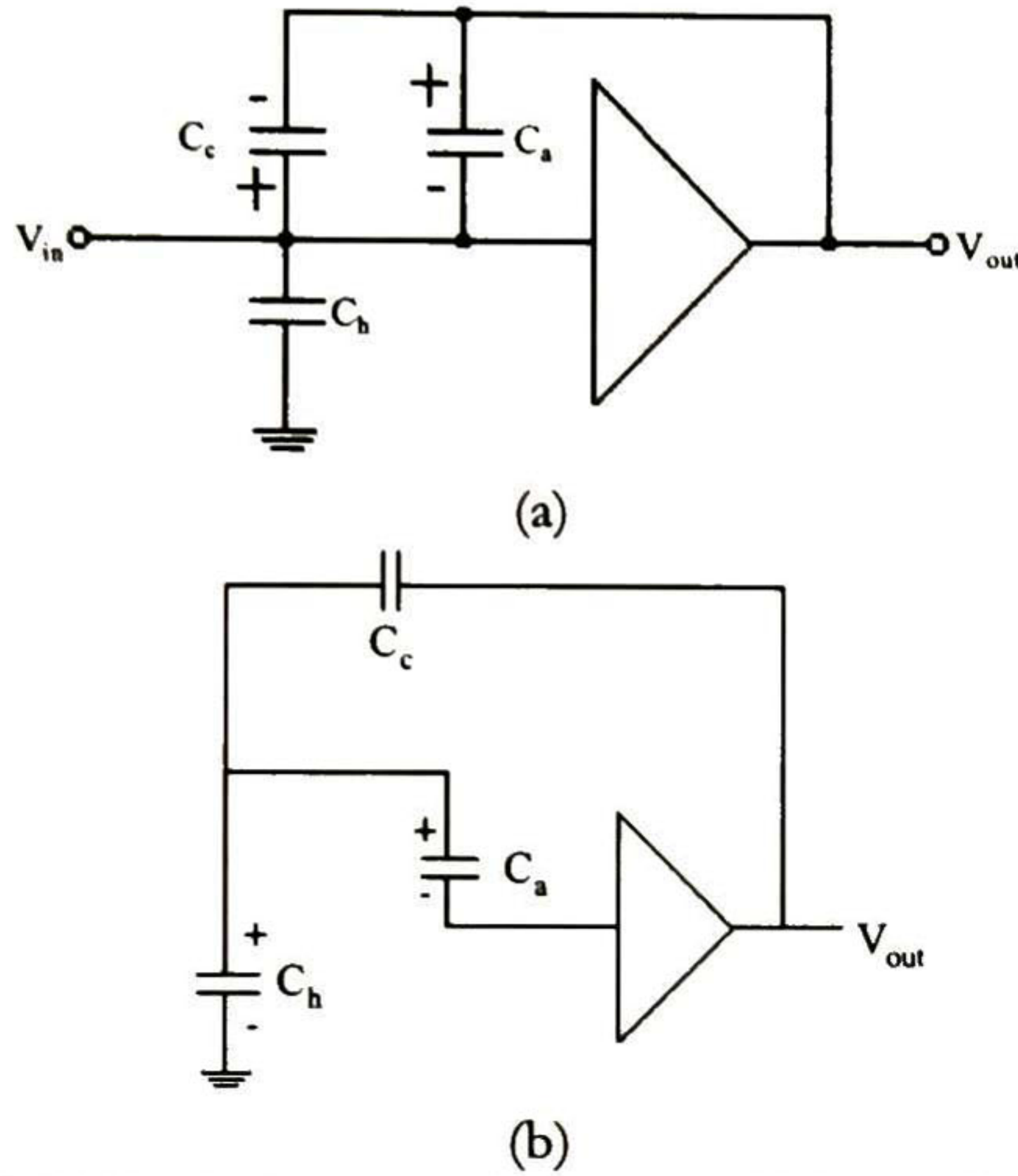


Fig. 5 (a) Equivalente en modo muestreo, (b) Equivalente en modo retención.

Esto se debe a que el buffer presenta un error de ganancia,  $\epsilon$  y un voltaje de offset,  $V_{os}$ . Por lo tanto, el voltaje que se observa cuando la señal  $\phi_3$  está en alto, es:

$$V_{out} = (1 - \epsilon^2)V_{in} + V_{os}\epsilon \quad (6)$$

Nótese de la ecuación (6) que se ha compensado el error de ganancia del buffer y el offset, ya que el error de ganancia es de segundo orden, mientras que el voltaje de offset es reducido al multiplicarse por el error de ganancia. El efecto de inyección de carga, es compensado a través del proceso explicado en la Fig. 3. Otra de las ventajas que contiene este circuito S/H es que se puede proporcionar ganancia. Para ello es adecuado hacer un análisis en el dominio Z. Asumir que se tienen dos fases  $\phi_1$  y  $\phi_2$ , y que  $\phi_3$  es aproximadamente igual a  $\phi_2$ , también se asumirá que el análisis inicia con  $\phi_1$  cuando  $(n-1) \leq (t/T) < (n-1/2)$  y en  $\phi_2$  cuando  $(n-1/2) \leq (t/T) < n$ . Entonces, durante  $\phi_1$  se tendrán las siguientes expresiones (véase Fig. 5a):

$$V_h = V_{in}^o(n-1) \quad (7)$$

$$V_c = -V_a = V_{in}^o(n-1) - V_{out}^o(n-1) \quad (8)$$

$$V_{out}^o(n-1) = 0 \quad (9)$$

donde los superíndices  $o$  y  $e$  describen el proceso en  $\phi_1$  y  $\phi_2$ , respectivamente. Luego, durante  $\phi_2$  (véase Fig. 5b)  $C_c$  se descarga generando una corriente  $i$  que es igual a la corriente que fluye por  $C_a$  (nótese que por  $C_a$  no hay corriente debido a la alta impedancia del OpAmp). Para  $C_h$ :

$$i = -C_h \left[ \frac{V_{in}^e(n-1/2) - V_{in}^o(n-1)}{T/2} \right] = \frac{2C_h V_{in}^o(n-1)}{T} \quad (10)$$

Para  $C_c$ :

$$i = \frac{2C_c V_{out}^e(n-1/2)}{T} \quad (11)$$

igualando (10) y (11) se obtiene el siguiente resultado:

$$\frac{V_{out}^e(n-1/2)}{V_{in}^o(n-1)} = \frac{C_h}{C_c} \quad (12)$$

llevando este resultado al dominio Z se puede observar la existencia de un retardo de medio periodo entre la entrada y la salida del circuito en la Fig. 4a:

$$H^{oe}(z) = \frac{V_{out}^e(z)}{V_{in}^o(z)} = \frac{C_h}{C_c} z^{-1/2} \quad (13)$$

### III. DISEÑO Y SIMULACIÓN DEL OPAMP

Ante la necesidad de tener un OpAmp para la realización de otros circuitos, se optó por diseñar un OpAmp de dos etapas, con compensación Miller [4][5], el cual es alimentado con  $V_{DD} = -V_{SS} = 2.5V$ . Para propósitos de conversión se requiere una ganancia mayor a 80dB, un ancho de banda  $\omega_0$  con ganancia unitaria mayor a 2MHz, un tiempo de respuesta mayor a  $1V/\mu s$  y un margen de fase mayor a  $60^\circ$ . Para lograr estos resultados, se utiliza un circuito como el que se muestra en la Fig. 6 y un proceso de diseño como el que sigue [4]: Considerar que  $Q_c = C_c$ , y asumir los parámetros del transistor MOSIS ( $1.2\mu m$ , pozo N, dos polisilicios y dos metales). Considerando que  $L_{min} = 3\lambda$  y  $W_{min} = 5\lambda$ , con  $\lambda = 0.6\mu m$  y sabiendo que  $|S_{p2}| \approx 3\omega_0$  da un margen de fase mayor a  $60^\circ$ , entonces:

$$g_{m6}/C_L = 3\omega_0 = 3g_{mi}/C_c \quad (14)$$

donde  $\omega_0$  es el ancho de banda con ganancia unitaria,  $s_{p2}$  es la frecuencia del segundo polo,  $g_m$  es la transconductancia



del transistor de entrada ( $M_1$  y/o  $M_2$ ) y  $g_{m6}$  es la transconductancia del transistor  $M_6$ . Como se conoce el requerimiento de rapidez de respuesta, entonces, se determina la corriente a través del transistor  $M_5$  de la siguiente manera [4]:

$$I_0 \geq S_r C_c \quad (15)$$

donde  $S$  es la rapidez de respuesta e  $I_b$  es la corriente a través del transistor  $M_5$ . Por otro lado, se tiene la limitación de que  $S_0 \leq I_{bias}/C_L$ , donde  $S_0$  es la rapidez de respuesta para un escalón inverso, e  $I_{bias}$  es la corriente a través del transistor  $M_6$  y  $M_7$ ; por lo tanto, para minimizar el número de incógnitas se hace  $S_{r0} = 2.5S_r$ . De esta manera se obtiene la corriente de  $M_6$  y  $M_7$  [4]:

$$I_{bias} \geq S_{r0} C_L \quad (16)$$

Para evitar un voltaje offset sistemático, se debe cumplir la siguiente condición :

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{I_0/2}{I_{bias}} \quad (17)$$

Para encontrar las relaciones  $W/L$  para los transistores  $M_5$  y  $M_7$ , suponiendo un exceso de voltaje ( $V_{GS}-V_T$ ) considerable (alrededor de medio voltio), se realiza lo siguiente:

$$(W/L)_5 = \frac{I_0}{K_p (V_{GS5} - V_T)^2} \quad (18)$$

$$(W/L)_7 = \frac{I_{bias}}{K_p (V_{GS7} - V_T)^2} \quad (19)$$

De manera similar se pueden encontrar las relaciones  $W/L$  del resto de los transistores.

$$(W/L)_1 = (W/L)_2 = \frac{g_{m1}^2}{2K_p I_0} \quad (20)$$

$$(W/L)_3 = (W/L)_4 = \frac{g_{m1}^2}{2K_p I_0} \quad (21)$$

De (17) se encuentra  $(W/L)_6$ , ya que  $(W/L)_3,4$  son conocidos. De ésta manera se encuentran las relaciones  $W/L$  para todos los transistores del par diferencial y para la etapa de salida. Para encontrar el valor resistivo que deberá tener el transistor  $M_8$  es necesario recordar que  $g_{m8} = \partial I_{D8} / \partial V_{D8} = \mu C_{ox} (W/L)_8 |V_{G8} - V_T|$ , por lo tanto

$$\frac{1}{R_c} = g_{m8} = 2K_p (W/L)_8 (|V_{SS} - V_{D8}| - |V_T|) \quad (22)$$

$$|V_{GS3}| = |V_T| + \sqrt{\frac{I_0/2}{K_p (W/L)_3}} \quad (23)$$

Como los drenajes de  $M_1 - M_4$  están a un mismo potencial, este valor es el mismo para el  $V_{D8}$  de  $M_8$ . Por lo tanto

$$(W/L)_8 = \frac{1}{R_c 2K_p (|V_{SS} - V_{DD} + |V_{GS3}| - |V_T|)} \quad (24)$$

Para encontrar las relaciones  $W/L$  de  $M_9$  y  $M_{10}$ , se supone una corriente  $I_b$ :

$$(W/L)_9 = \frac{I_b}{K_p (V_{GS9} - V_T)^2} \quad (25)$$

$$(W/L)_{10} = \frac{I_b}{K_p (V_{GS10} - V_T)^2} \quad (26)$$

En la gráfica de la Fig. 7 se muestra el resultado de simulación (para una carga de 10pF), conteniendo la ganancia de baja frecuencia (83 dB), el ancho de banda de ganancia unitaria (4.9 MHz) y la fase (61°).

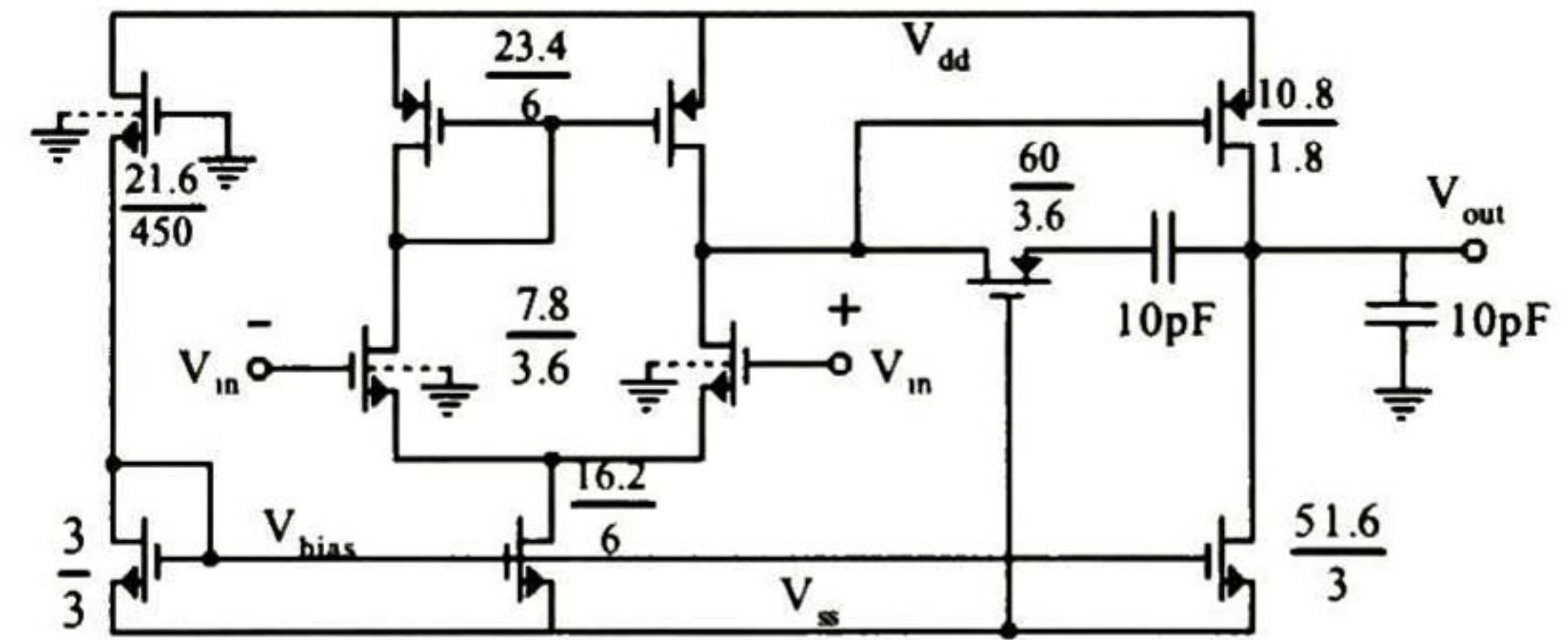


Fig. 6 Amplificador Operacional Compensado con ganancia mayor a 80dB.

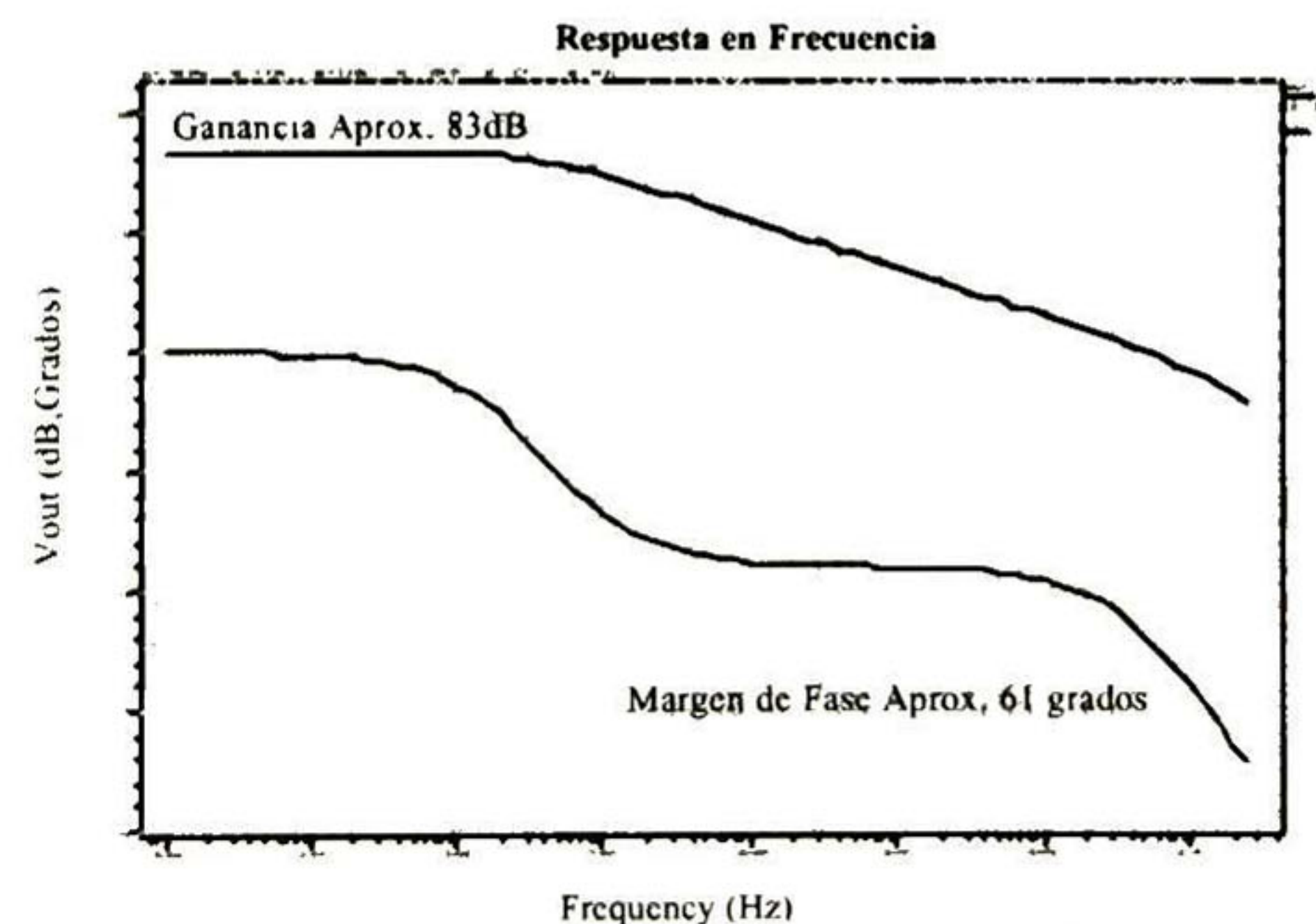


Fig. 7 Curvas de Ganancia (dB) y Fase.



En la Fig. 8 se muestra el resultado de simulación spice, en la que la señal tiene una frecuencia de 25 kHz y se aplica una frecuencia de muestreo de 250 kHz. Se puede observar que la señal  $v_{out}$  carece de offset y de ruido por conmutación (glitches). En esta simulación, los interruptores se implementan con interruptores MOS complementarios (de geometría mínima). Por otro lado, la Fig. 9 ilustra el layout del OpAmp desarrollado a partir de una tecnología  $1.2\mu\text{m}$ .

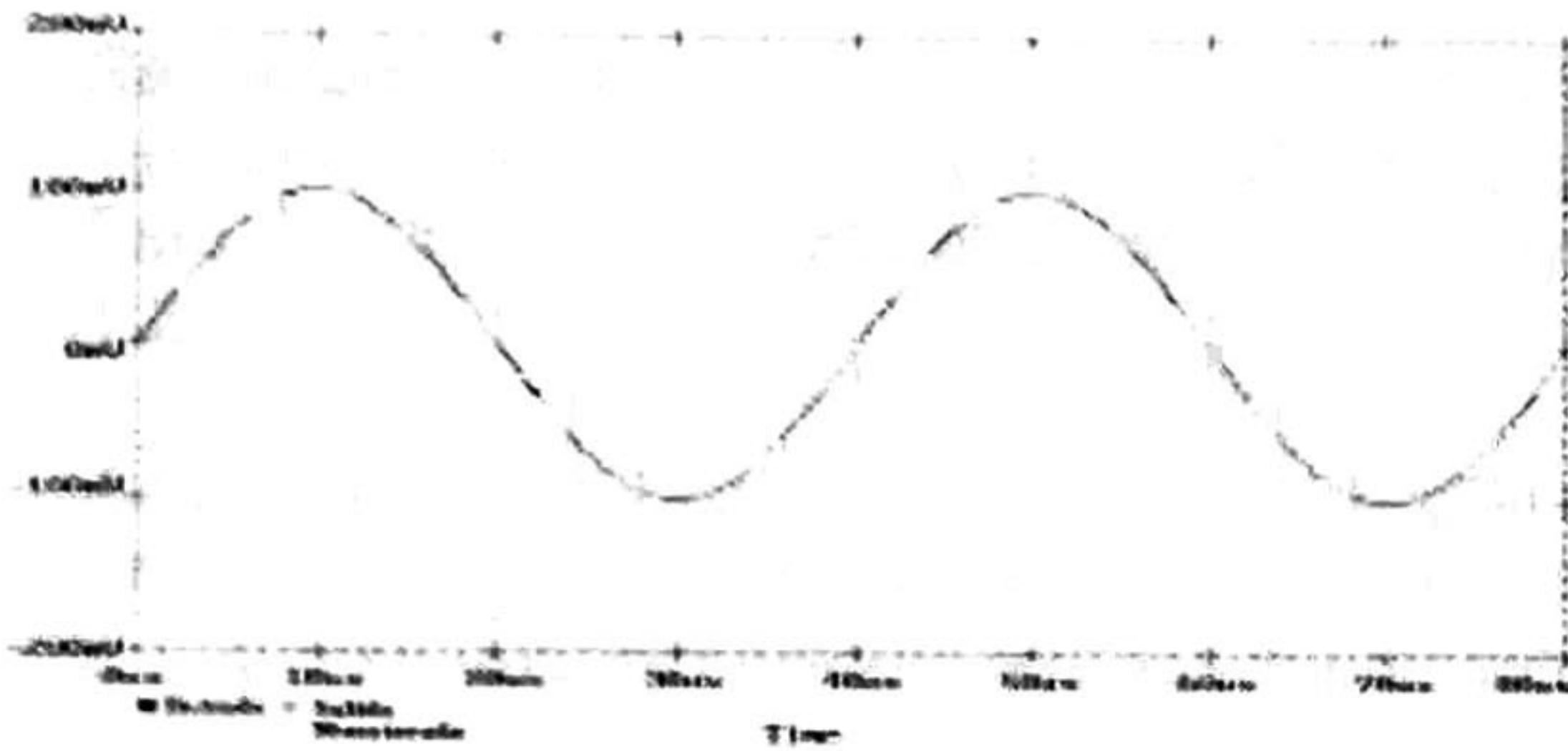


Fig. 8 Simulación Spice del circuito S/H. Es fácil apreciar las regiones que constituyen el modo muestreo y de retención.

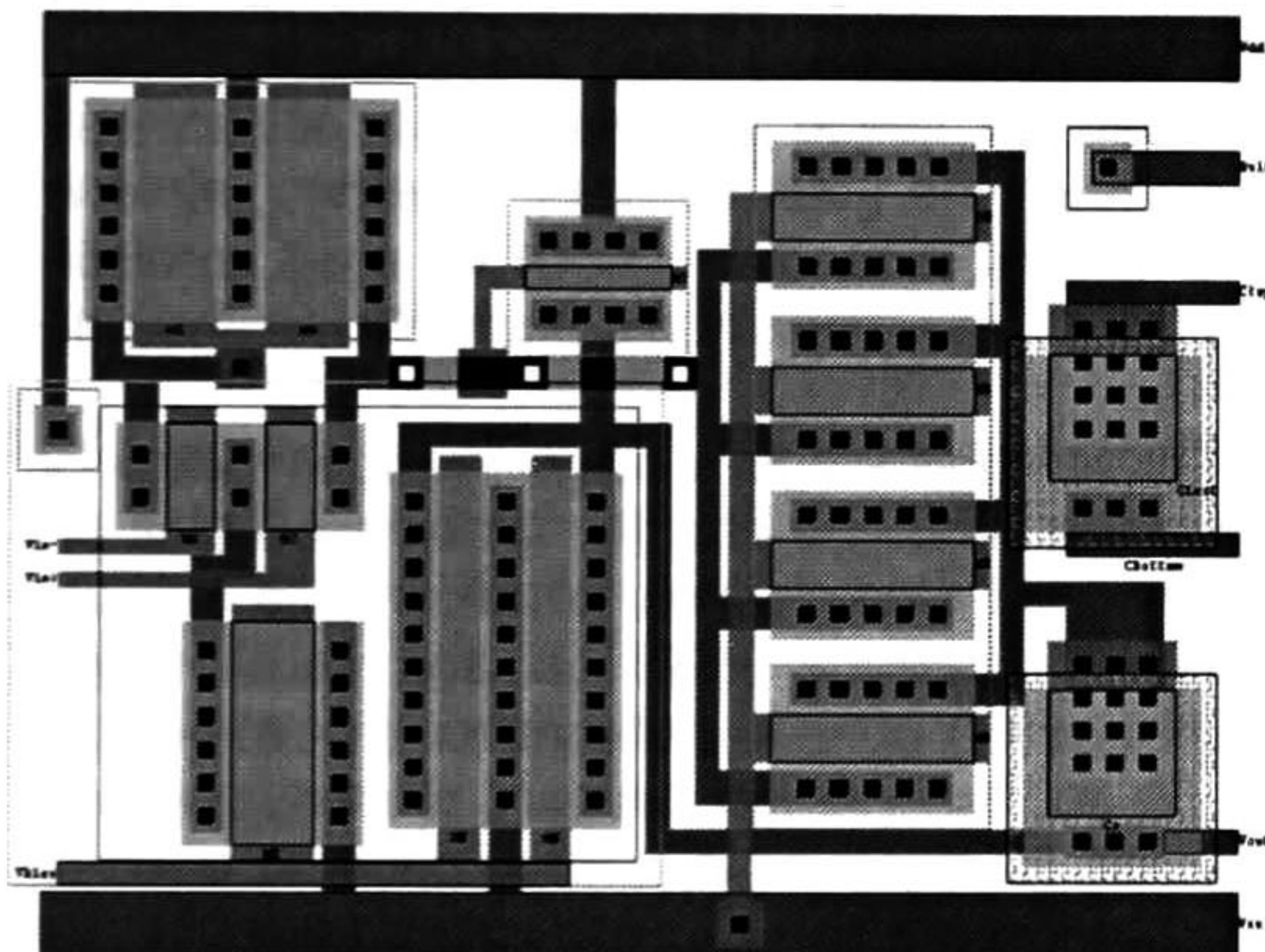


Fig. 9 Layout del amplificador OpAmp de dos etapas con compensación Miller.

#### IV. CONCLUSIONES

En este artículo se propone un circuito S/H adecuado para su inclusión en un circuito convertidor A/D algorítmico. En el análisis, se demostró que la configuración citada minimiza el error debido a la ganancia finita del OpAmp así como los errores producidos por el efecto de inyección de carga y por la presencia de voltaje offset. Además éste circuito proporciona ganancia, lo cual permite evitar etapas extra de amplificación. El diseño y simulación del OpAmp, con una alimentación de  $-2.5\text{V}$  a  $2.5\text{V}$ , proporcionó un ancho de banda de  $4.9\text{MHz}$ , ganancia de baja frecuencia de  $83\text{dB}$ , rapidez de respuesta de  $5\text{V}/\mu\text{seg}$ . y voltaje offset de  $0.2\text{mV}$ .

#### Agradecimientos

Esta investigación es financiada por el CINVESTAV-IPN a través del proyecto JIRA'99/11.

#### Referencias

- [1]. Sidney Soclof, "Applications of Analog Integrated Circuits" Prentice Hall, U.S.A., 1985.
- [2]. L. Geiger, A. Allen, R. Strader, "VLSI Design Techniques for Analog and Digital Circuits", McGraw-Hill, U.S.A., 1990.
- [3]. Clock FeedThrough Compensated Sample/Hold Circuits.
- [4]. Roubik Gregorian, Gabor C. Temes, "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons Inc., Canada & U.S.A., 1986.
- [5]. E. Allen, R. Holdberg, "CMOS Analog Circuit Design", Oxford University Press, Inc., New York, N.Y., 1987.
- [6]. P. Wai Li, Michael J. Chin, Paul R. Gray and R. Castelo, "A Ratio Independent Algorithmic Analog to Digital Conversion Technique", IEEE Solid-State Circuits, vol. Sc-19, no.6, pp. 828-836, Dec. 1984.



# Descripción de Bloques Básicos de un Convertidor Algorítmico Analógico a Digital Serial.

J. J. Macias-Quijas<sup>1</sup>, F. Sandoval-Ibarra, J. Santana-Corte

CINVESTAV-Unidad Guadalajara

Prol. Av. López-Mateos Sur 590, 45140 Guadalajara Jal.

Tel: +52 (3) 684 1580, Fax: +52 (3) 684 1708, Email: [macias@gdl.cinvestav.mx](mailto:macias@gdl.cinvestav.mx)

**Resumen.** En este artículo es presentado un convertidor analógico a digital algorítmico serial. Se muestra un breve análisis y simulación de cada uno de los bloques básicos del lazo de conversión. Para concluir se presenta el diseño a nivel layout de la celda con un proceso tecnológico MOSIS de 1.2 $\mu$ m.

**Abstract.** A serial algorithmic analog to digital converter is provided in this paper. A brief analysis and simulation of each basic block of conversion loop are shown. To finish, a lay out design of the cell with a 1.2 $\mu$ m MOSIS technologic process is presented.

## 1. INTRODUCCIÓN

En muy pocas áreas de investigación y desarrollo han experimentado un crecimiento tan rápido como el que se ha tenido en el campo de la electrónica digital. Los sistemas digitales basan todo su funcionamiento en operaciones basadas en el sistema binario. Para poder procesar alguna información en el sistema digital es necesario convertir cualquier tipo de información analógica (voltaje, corriente eléctrica, etc.) en algún cierto código binario. Para realizar tal conversión, existen distintos tipos de (Convertidores Analógico a Digital) ADCs. En este caso se presenta un convertidor en particular llamado algorítmico.

El convertidor analógico a digital algorítmico, también conocido como convertidor cíclico o recirculante, ha sido conocido y utilizado en varias maneras desde los años 60's. Fue realizado primeramente por Hornak en una forma parcialmente integrada, utilizando un transformador para así poder lograr una ganancia de dos, en 1975. Subsecuentemente, McCharles logró una integración total de una parte analógica del convertidor, usando (compuerta de metal) tecnología CMOS. En la figura 1 se muestra un diagrama de bloques del convertidor. El convertidor A/D algorítmico se conforma de un lazo de señales analógicas, el cual contiene [1], [2]:

- Un amplificador Sampled-and-Hold.
- Un amplificador multiplicador por 2.
- Un comparador y un
- Circuito de sumador-restador.

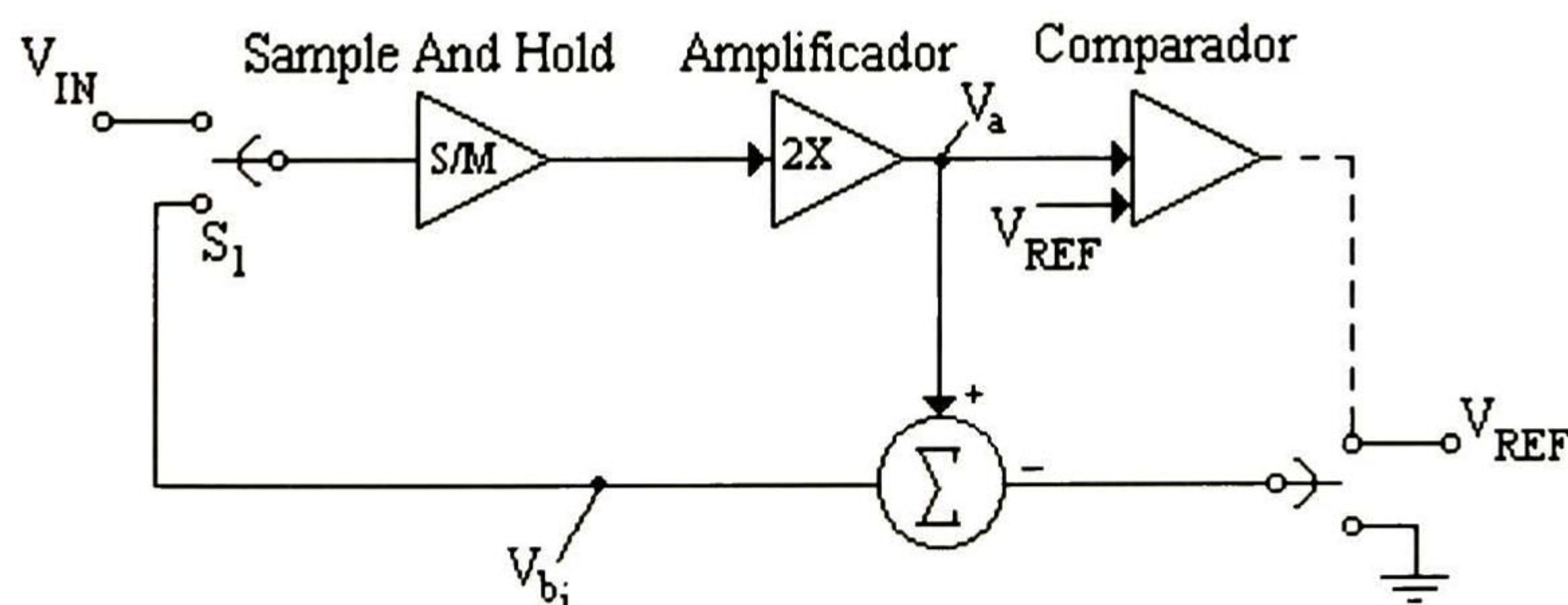


Figura 1. Diagrama a bloques del convertidor A/D Algorítmico[2].

<sup>1</sup> Becario CONACyT



## 2. CIRCUITO SAMPLED AND HOLD

Los circuitos S/H son usados para hacer el muestreo de una señal analógica (voltaje o corriente) por un periodo de tiempo (generalmente en el rango de 1 a 10µs), y retener el nivel de voltaje muestreado por un periodo más grande, el cual puede ser del orden de algunos milisegundos hasta varios segundos [3], [4]. Existen muchos tipos de circuitos S/H, Debido a la necesidad de eliminar o compensar algunas desviaciones, tales como inyección de carga, clock feedthrough, ganancia finita del opamp, que producen errores como offset, glitches, etc. que afectan directamente al proceso de conversión, es necesario utilizar un circuito como el que se muestra en la figura 2, que compense todas éstas desviaciones.

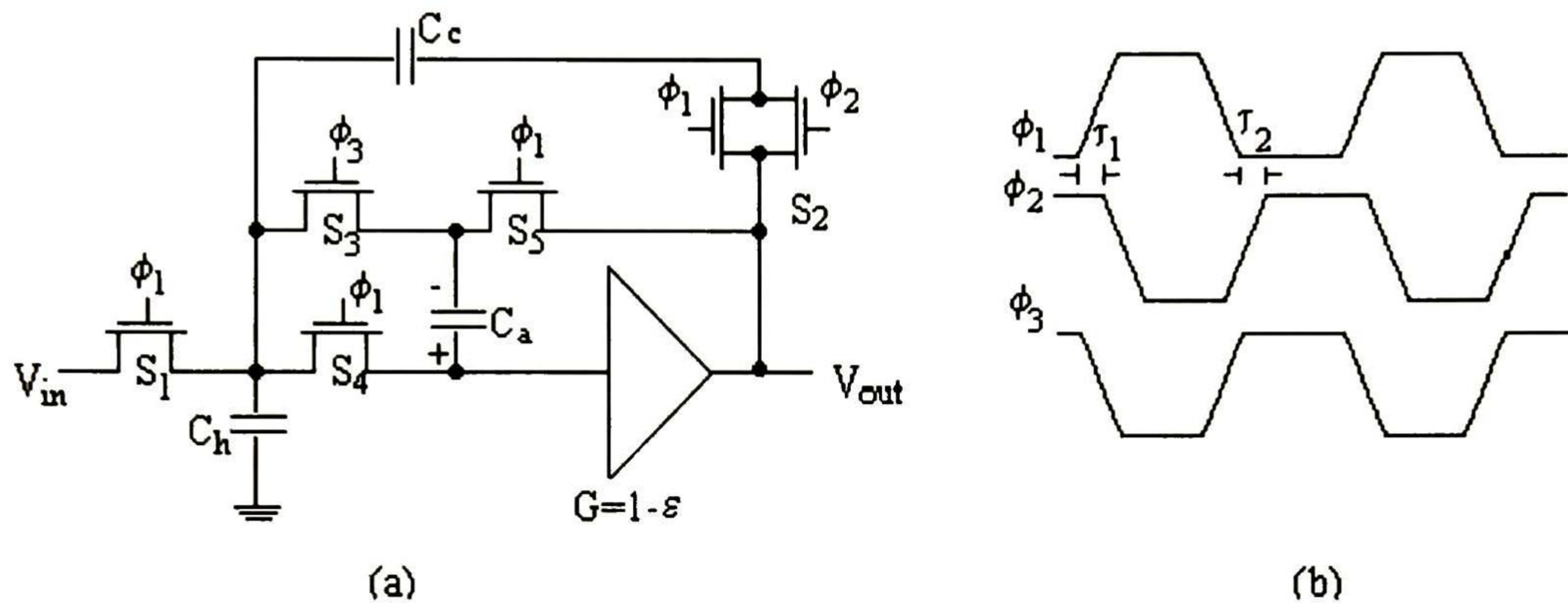


Figura 2. (a) Circuito SIH, (b) Diagramas de tiempos[5].

Nótese en la figura 2 (b) que las señales de control  $\phi_1$  y  $\phi_3$  son la misma señal, solo que invertidas, mientras que la señal  $\phi_2$  tiene un ligero retraso con respecto a la señal  $\phi_1$ , esto para compensar la inyección de carga. Cuando la señal de control  $\phi_1$  se encuentra en alto, el circuito se encuentra en modo de muestreo, ya que el capacitor  $C_h$  almacena el voltaje de entrada  $V_{in}$ , mientras que el capacitor  $C_a$  almacena el valor de  $V_a$ :

$$V_c = V_{in} - (V_{in}(1-\epsilon) + V_{os}) = V_{in} - V_{in} + V_{in}\epsilon - V_{os} = V_{in}\epsilon - V_{os} \quad (1)$$

Esto se debe a que el buffer presenta un error de ganancia,  $\epsilon$  y un voltaje de offset,  $V_{os}$ . Por lo tanto, el voltaje que se observa cuando la señal  $\phi_2$  está en alto, es:

$$V_{out} = [V_{in} + V_{in}\epsilon - V_{os}](1-\epsilon) + V_{os} \quad (2)$$

reduciendo (2) obtenemos:

$$V_{out} = (1-\epsilon^2)V_{in} + V_{os}\epsilon \quad (3)$$

Nótese de las ecuaciones (1) y (3) que se ha compensado el error de ganancia del buffer y el offset, ya que el error de ganancia es de segundo grado, mientras que el voltaje de offset es reducido al multiplicarse por el error de ganancia. Otra de las ventajas que contiene este circuito sampled and hold es que se puede obtener una ganancia si se desea.

La respuesta en el tiempo de este circuito es la que se muestra en la figura 3, ésta todas las simulaciones de este artículo son realizadas en el simulador T-Spice de la empresa Tanner Tools. Nótese que para una frecuencia de 500kHz de muestreo se tiene muy buena retención, se eliminaron glitches y se compensó casi por completo la inyección de carga.



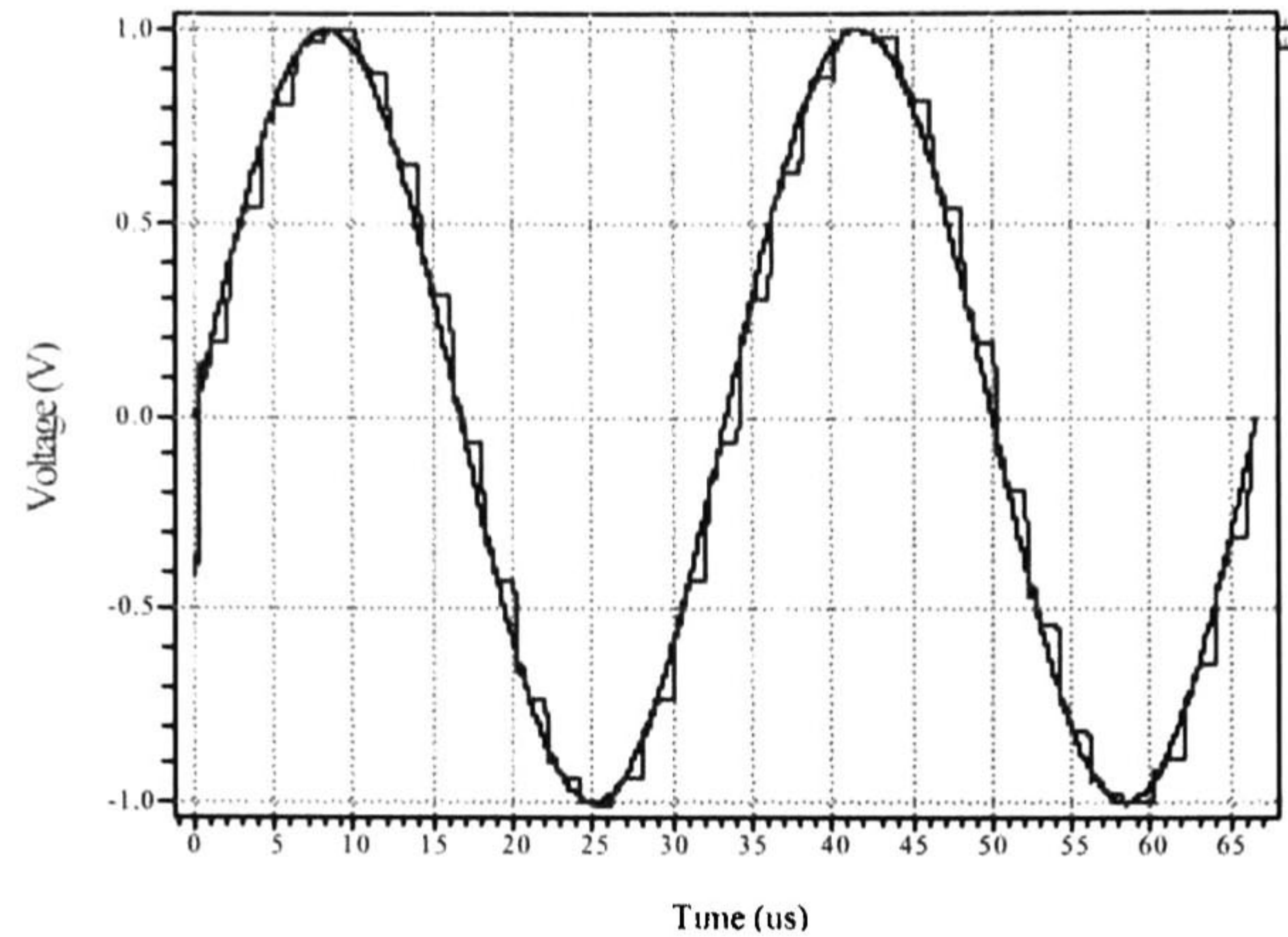


Figura 3. Respuesta del circuito SIH de la figura 2.

### 3. CIRCUITO MULTIPLICADOR

Una de las grandes desventajas de éste tipo de circuitos son las desviaciones debido a la inyección de carga y offset intrínseco del opamp que producen errores de offset en la respuesta, que al final causará errores en el proceso de conversión. Para reducir los efectos del voltaje de offset del opamp, se puede usar el circuito compensador de offset de la figura 4. Cuando  $\phi_1 = 1$ , el opamp tiene conectadas su terminal de entrada inversora con el nodo de salida, y de ésta forma se realiza un seguidor de voltaje, con voltaje de salida  $V_{off}$ . Así, el capacitor  $\alpha C$  se carga a un potencial  $(V_{off} - V_{in})$ , mientras que  $C$  se carga a  $V_{off}$ . Cuando  $\phi_2$  cambia a estado lógico alto,  $\alpha C$  se recarga a  $V_{off}$  y  $C$  a  $(V_{off} - V_{out})$ . Por conservación de carga en el nodo A, se tiene que:

$$\alpha C(V_{off} - [V_{off} - V_{in}]) + C(V_{off} - V_{out} - V_{off}) = 0 \tag{4}$$

De esto se puede observar que el voltaje de offset del opamp puede ser eliminado, resultando la siguiente expresión:

$$V_{out} = -\alpha V_{in} \tag{5}$$

Así, se tiene una ganancia o un factor de multiplicación con valor  $-\alpha$ .

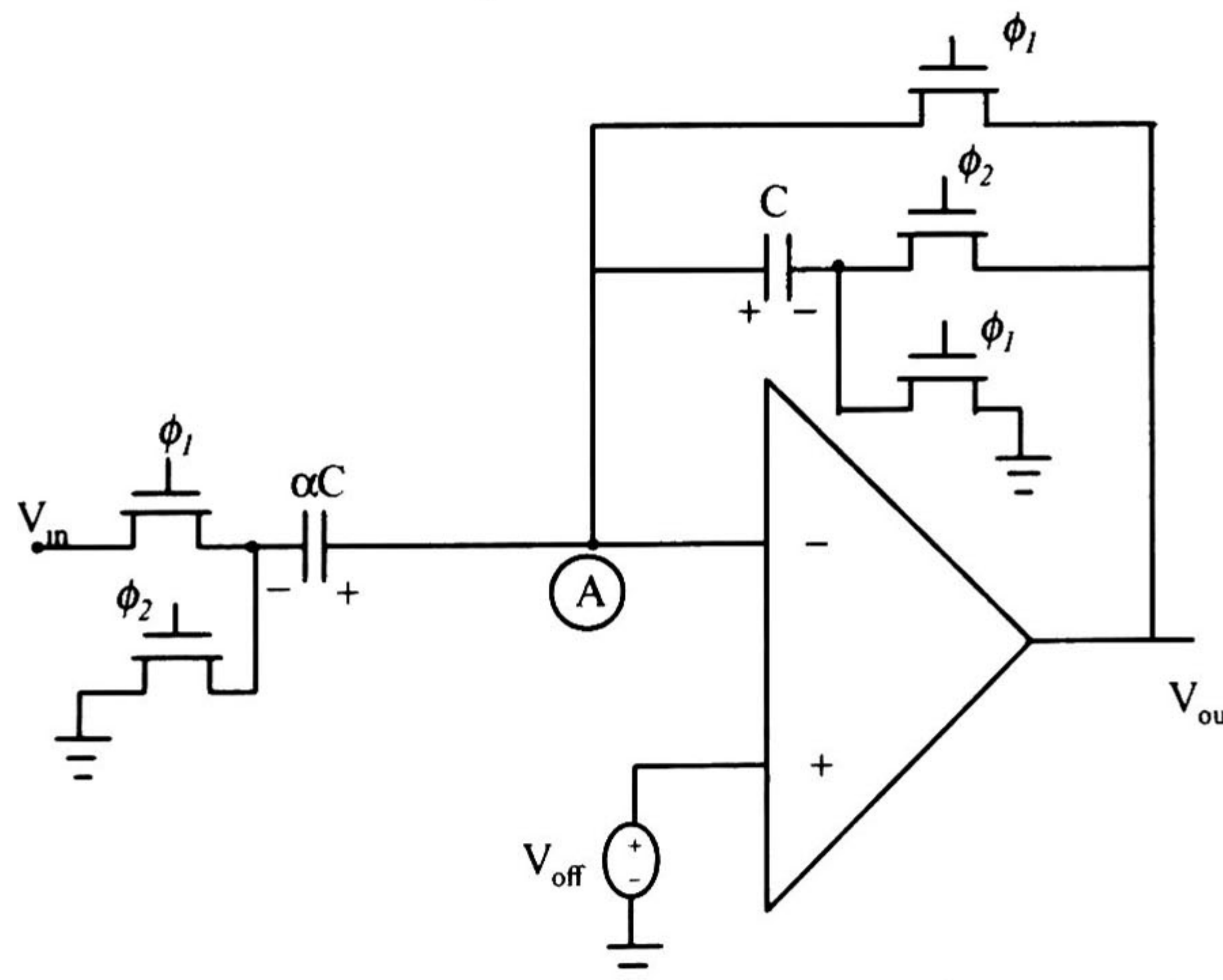


Figura 4 Amplificador de Voltaje Inversor con Compensación de Offset [6].



Si se hace que  $\alpha=2$  y  $V_{in} = 1V$ , se obtendrá a la salida un valor de 2V, como se muestra en la figura 5. Se puede observar de tal figura un cierto retraso en la respuesta, esto es debido a la rapidez de respuesta del amplificador operacional, pero como es menor a  $1\mu s$ , no tiene un efecto importante en el proceso de conversión.

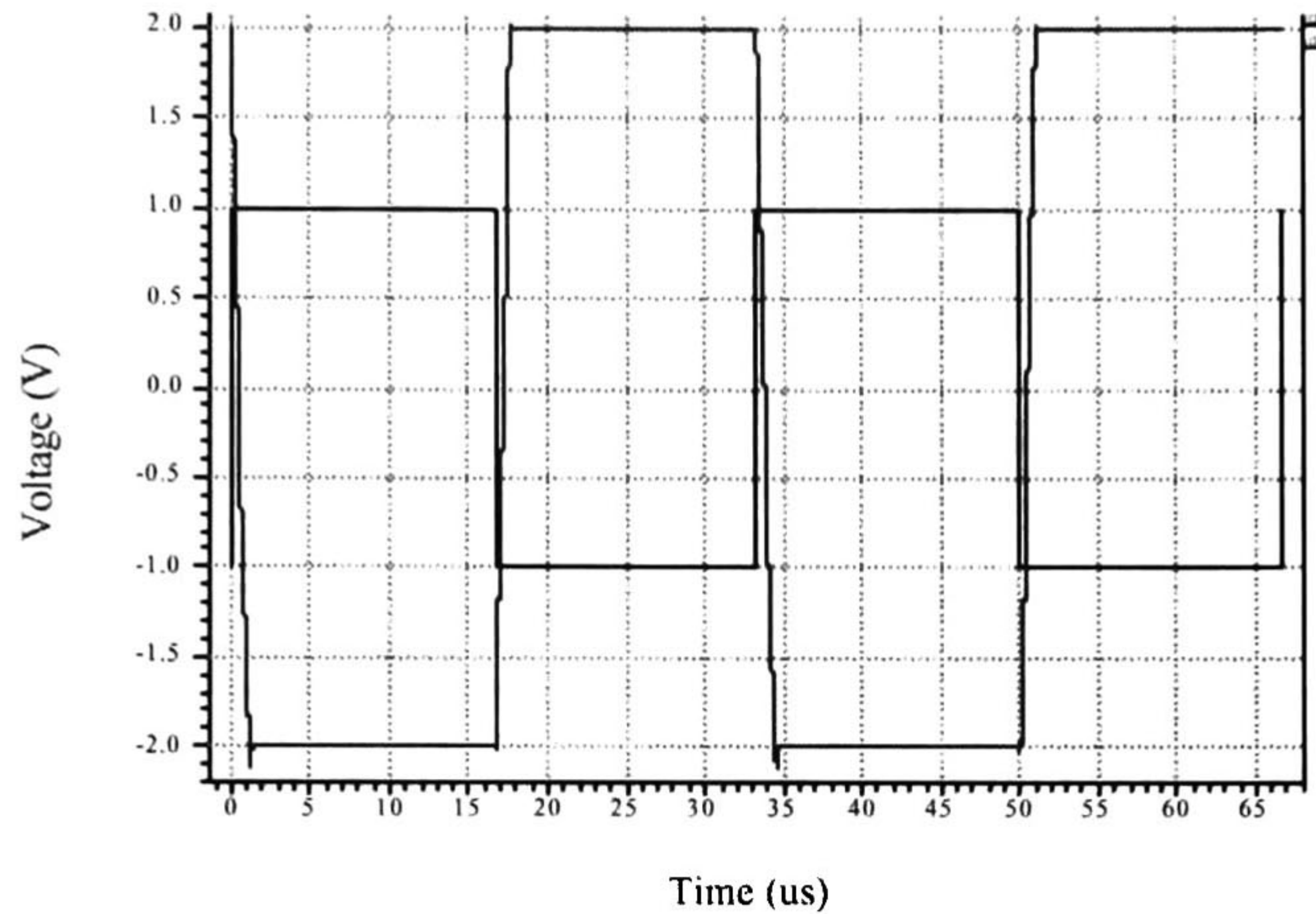


Figura 5. Respuesta del circuito Multiplicador por 2.

#### 4. COMPARADOR

Un comparador es usado para detectar, ya sea si una señal es mayor o menor que una referencia, o para comparar el tamaño de una señal con el de otra. Los comparadores tienen un campo muy amplio de aplicación en convertidores A/D, en transmisión de datos, etc. Para comprender el funcionamiento de este dispositivo, se examina una configuración muy simple, partiendo de un amplificador operacional como comparador.

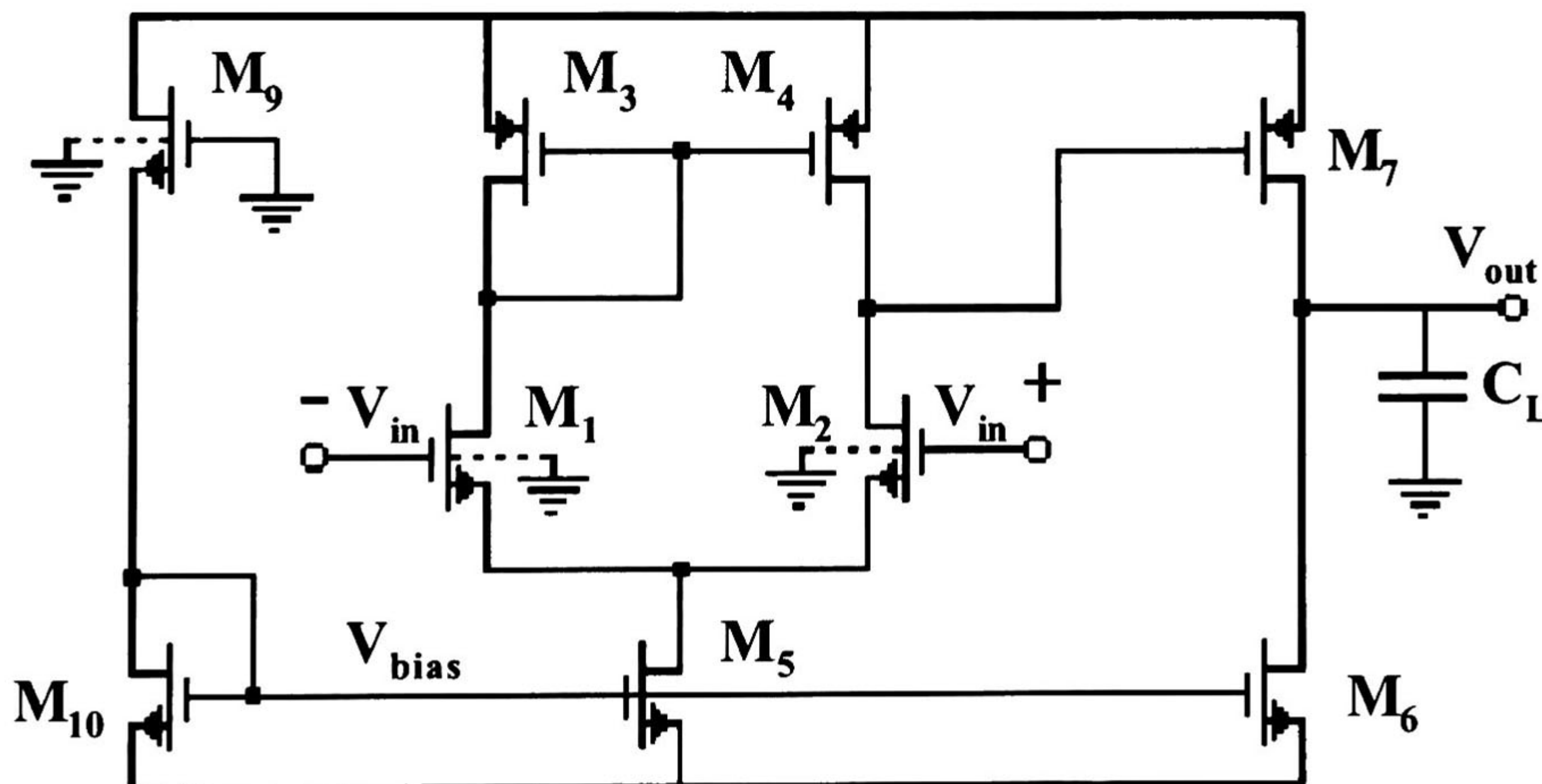


Figura 6 Comparador de Voltaje de dos etapas..

En la figura 6 se muestra un amplificador operacional de dos etapas sin compensación, el cual es utilizado como un comparador de voltaje, debido a esto no es necesario tener una compensación, ya que el comparador no utilizará retroalimentaciones, además en el momento en que se elimina el



capacitor de compensación, aumenta la velocidad de respuesta del comparador. En la tabla 1 se muestra el valor de cada uno de los transistores que forman al comparador de voltaje.

Tabla 1. Valores de los transistores que forman el circuito de la figura 6.

|                              | Transistor | Ancho W (μm) | Largo L (μm) |
|------------------------------|------------|--------------|--------------|
| <b>Par diferencial</b>       | M1         | 795.6        | 3.6          |
|                              | M2         | 795.6        | 3.6          |
|                              | M3         | 702.0        | 6.0          |
|                              | M4         | 702.0        | 6.0          |
|                              | M5         | 486.0        | 6.0          |
| <b>Etapa de Salida</b>       | M6         | 412.8        | 3.0          |
|                              | M7         | 64.8         | 1.8          |
| <b>Etapa de Polarización</b> | M9         | 21.6         | 450.0        |
|                              | M10        | 3.0          | 3.0          |

En la gráfica de la figura 7 se muestra la respuesta en el tiempo del comparador, la comparación se realiza entre una señal con potencial cero y la señal senoidal con amplitud de 1V y frecuencia de 30kHz, se puede observar de la respuesta, que se tiene un ligero retraso a la hora del cruce por cero, esto es debido a la limitación de la capacidad de respuesta del comparador, se puede observar también que es mayor el retraso de la transición de positivo a negativo que de negativo a positivo, esto es debido a que el tiempo de respuesta de subida del comparador es menor que el de bajada; sin embargo, a pesar de éstos errores, no habrá un efecto contraproducente, ya que el tiempo de retraso, en el peor caso, es de 900ns , mientras que el tiempo en que se puede tener un cambio de estado lógico 1 a 0 o viceversa, es de 2.54us, este último dato es determinado por el tiempo en que el circuito S/H dura, en modo muestreo, en cambiar de un punto mayor a menor o viceversa de un voltaje de referencia.

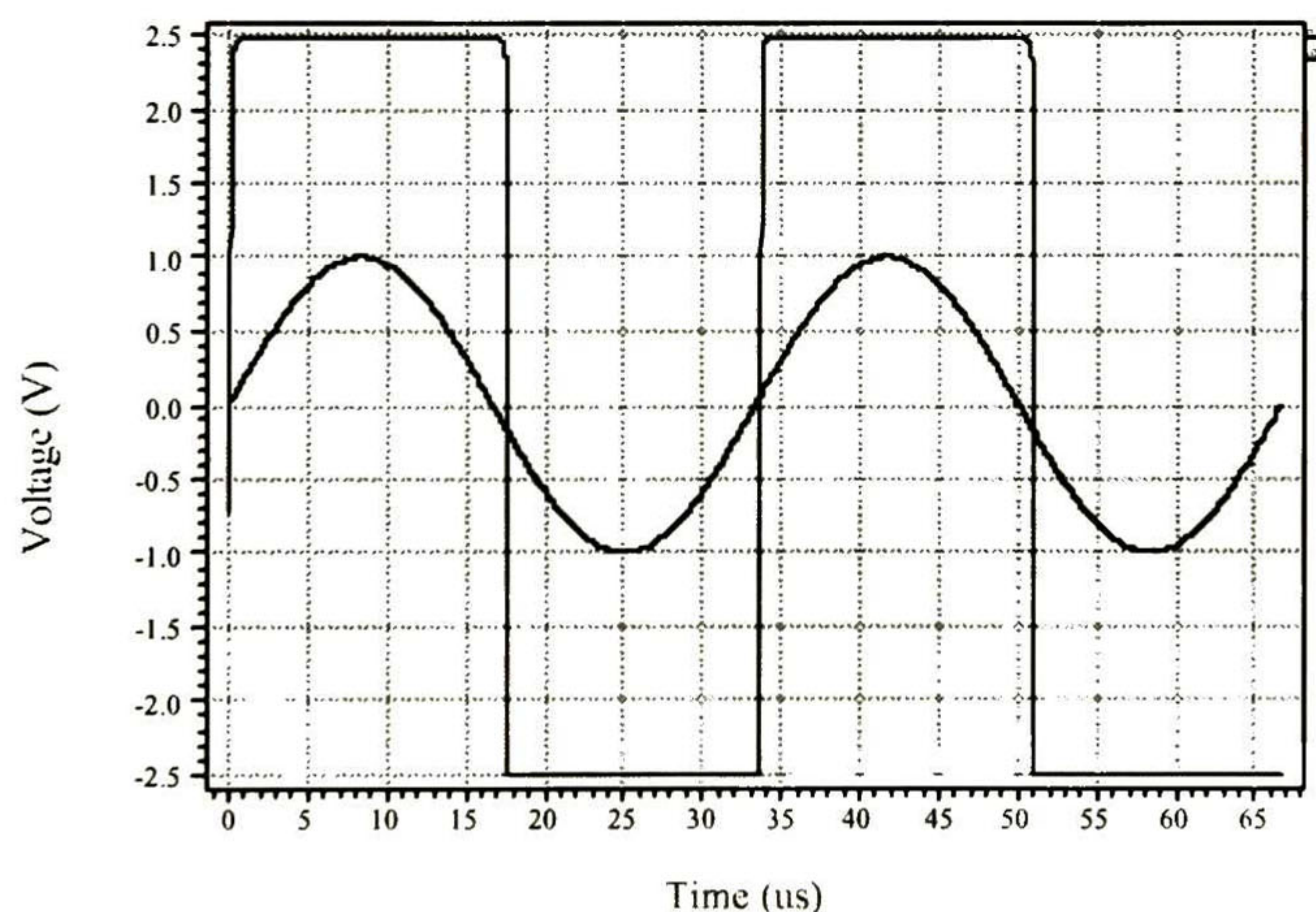


Figura 7 Respuesta del Comparador de Voltaje a una señal de 30kHz..

### 5. CIRCUITO SUMADOR-RESTADOR

Del circuito en la figura 8, se realizará un breve análisis para observar el comportamiento de la salida. Este circuito tiene únicamente y como se puede observar dos entradas, está perfectamente

balanceado, es decir,  $\frac{C_f}{C_f} = \frac{C'_f}{C'_f} = 1$ .



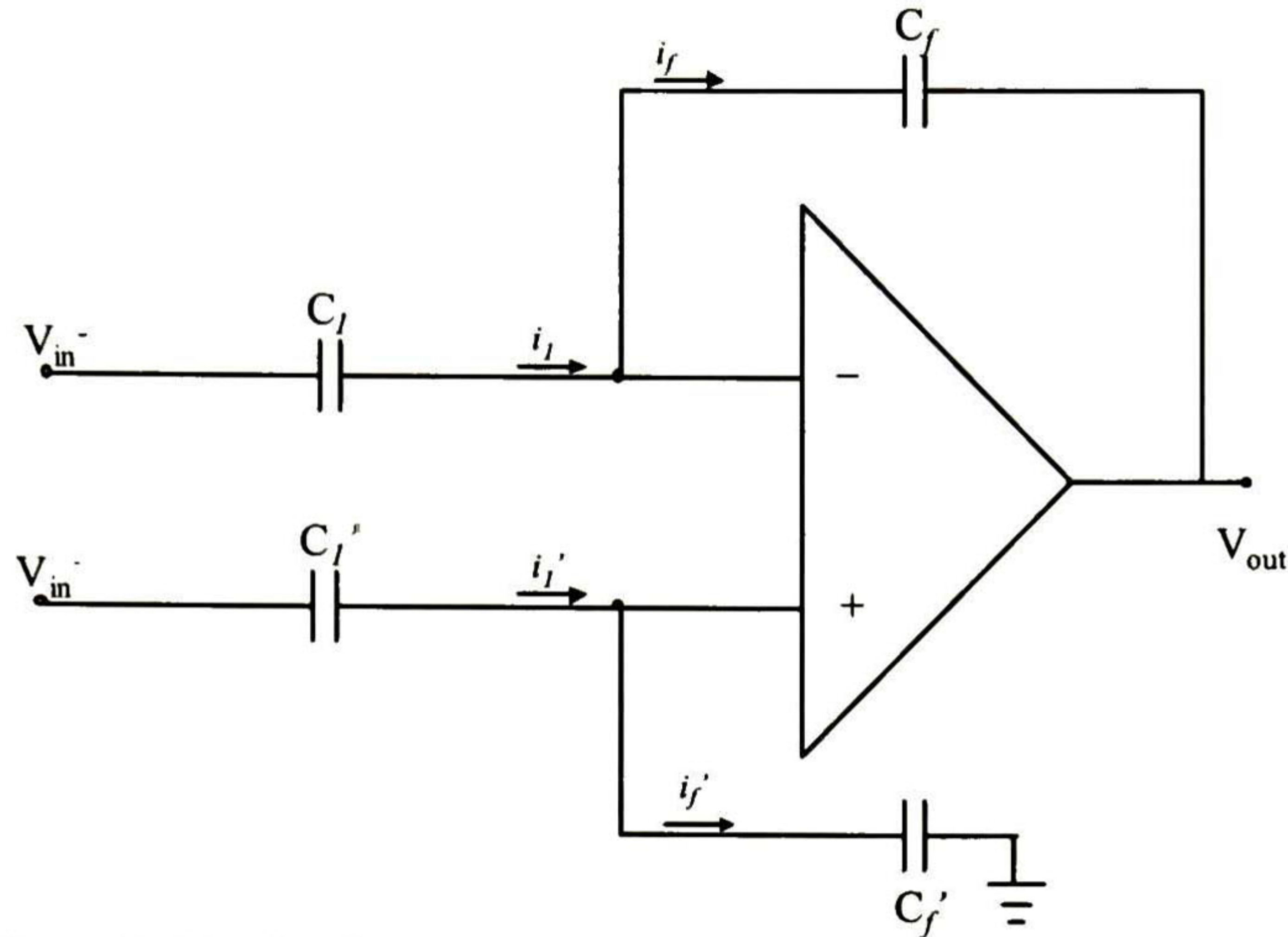


Figura 8 Circuito Sumador-Restador de dos entradas.

Para comenzar con éste análisis, primero aplicando el principio de conservación de carga en los nodos inversor y no inversor respectivamente, obtenemos que:

$$(V^- - V_{in}^-)C_1 + (V^- - V_{out})C_f = 0 \quad (6)$$

y

$$(V^+ - V_{in}^+)C_1' + (V^+)C_f' = 0 \quad (7)$$

como  $V_D = V^- - V^+ \cong 0$ ,

$$V_{out} = \left( \frac{C_1'}{C_f' + C_1'} \right) \left( \frac{C_f + C_1}{C_f} \right) V_{in}^+ - \frac{C_1}{C_f} V_{in}^- \quad (8)$$

La ec. 8 es una representación general para el caso de un circuito sumador-restador con dos entradas, como se observa los dos voltajes de entrada son restados, pero también son multiplicados por un factor de ganancia dado en la misma ecuación. Un caso particular es cuando se hace que  $C_f' = C_f$  y  $C_1' = C_1$ , en éste caso se obtiene un voltaje a la salida de:

$$V_{out} = \frac{C_1}{C_f} (V_{in}^+ - V_{in}^-) \quad (9)$$

De la ec. 9 se observa claramente el valor que se obtendrá a la salida, teniendo además si se desea un factor de ganancia  $C_1/C_f$ .

En la figura 9 se muestra la respuesta obtenida del circuito en la figura 8. Los datos utilizados para la simulación son  $C_f = 1\text{pF}$ ,  $C_1 = 1\text{pF}$ ,  $V_{in}^- = 1\text{V}$  y  $V_{in}^+ = 3\text{V}$ , con lo cual se obtiene a la salida un potencial de 2V.



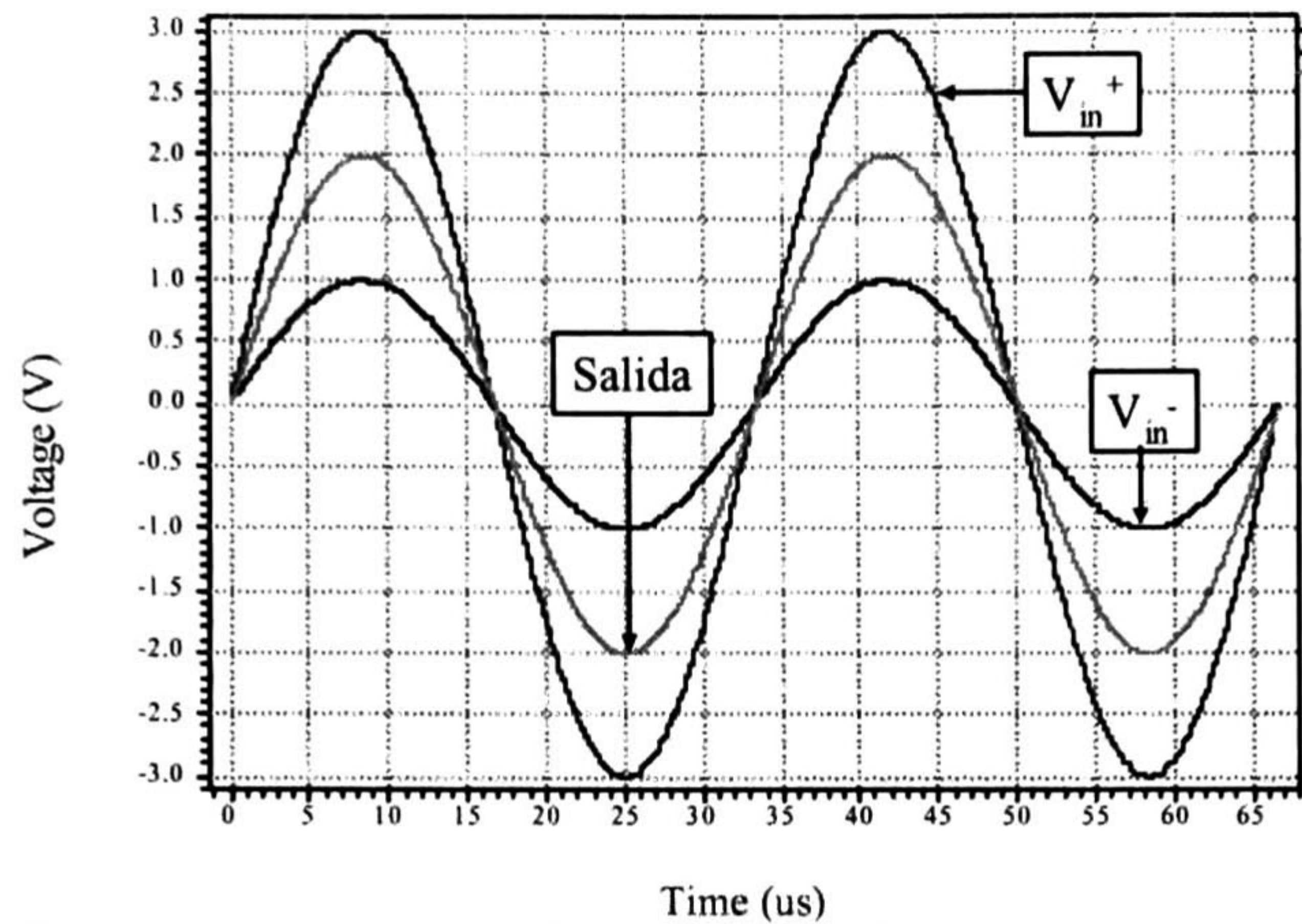


Figura 9 Respuesta del Circuito Sumador-Restador utilizando voltajes de entrada con forma senoidal.

### 6. LAZO DE CONVERSIÓN DEL ADC

Después de haber visto el funcionamiento de cada una de las partes que forman la celda de conversión, es necesario unir cada uno de los bloques para formar lo que se denomina lazo de conversión (ver figura 1). Cabe señalar que ésta celda es únicamente para la obtención de un bit, para la obtención de un mayor número de bits es necesario aplicar una técnica *pipeline*, con la cual se cascan  $n$  celdas para la obtención de  $n$  bits. La respuesta (por etapas) del lazo de conversión para una señal de entrada senoidal de 1V de amplitud y frecuencia de 30kHz es la que se muestra en la figura 10.

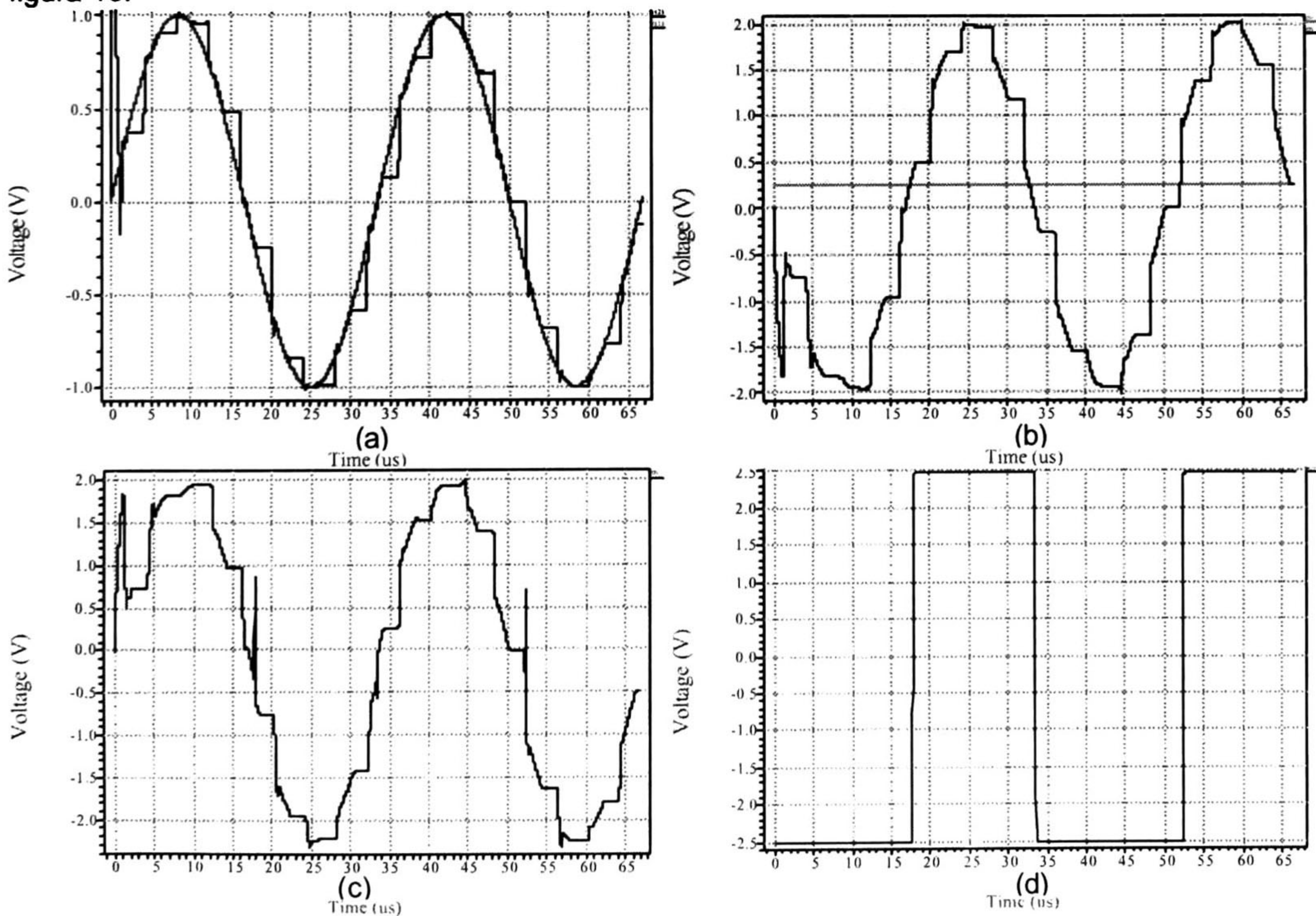


Figura 10 (a) Señal de Entrada y salida del SIH, (b) Salida del Multiplicador y Referencia, (c) Salida del circuito Restador (Residuo), (d) Salida del Comparador (Bit).



En la figura 10(a) se puede apreciar una muy buena respuesta, debido a que la frecuencia de muestreo es 250kHz, los picos al inicio son debido al algoritmo de aproximación del software T-Spice, la respuesta del circuito S/H entra al circuito multiplicador por dos, el cual la amplifica resultando la gráfica en la figura 10(b), además se sobrepone la señal de referencia de 0.25V en ésta misma gráfica para observar con mayor claridad en que punto el comparador debe de cambiar de un estado alto a bajo y viceversa, en la figura 10(c) se muestra el restador en función de la salida del comparador, es decir, cuando la salida del comparador sea igual a 1 ( $bit_i = 1$ ), se realizará la resta entre la salida del circuito multiplicador por dos y el potencial de referencia, cuando la salida del comparador sea igual a 0 ( $bit_i = 0$ ), no se realizará ninguna operación, es decir, pasará la salida del multiplicador sin modificaciones como residuo. Una vez obtenido este residuo, se tomará como entrada a un nuevo lazo de conversión para ser procesado de la misma manera, hasta obtener el número de bits deseado. Nótese que existen unos pequeños glitches en ésta gráfica, pero no son de consideración ya que se encuentran durante un momento de no proceso. En la figura 10(d) se muestran los bits más significativos de cada muestreo, es decir, para cada momento de retención del circuito S/H se obtiene únicamente un bit, dicho de otra manera, se pasa esa información por un único lazo de conversión.

## 7. CONCLUSIONES

En este trabajo se analizaron algunas desviaciones que afectan directamente el resultado del proceso de conversión, tales como inyección de carga, errores debido a la ganancia finita del opamp, etc; para esto se propusieron técnicas de compensación de inyección de carga y de error de ganancia finita en los circuitos S/H y Multiplicador, con lo cual se obtiene un resultado satisfactorio para aplicaciones de audio. Debido al buen funcionamiento en simulación de la celda, se lleva a cabo la fabricación con un proceso tecnológico MOSIS de  $1.2\mu\text{m}$ , con dos niveles de poly, dos niveles de metalización y un pozo n, obteniendo el dispositivo que se muestra en la figura 11.

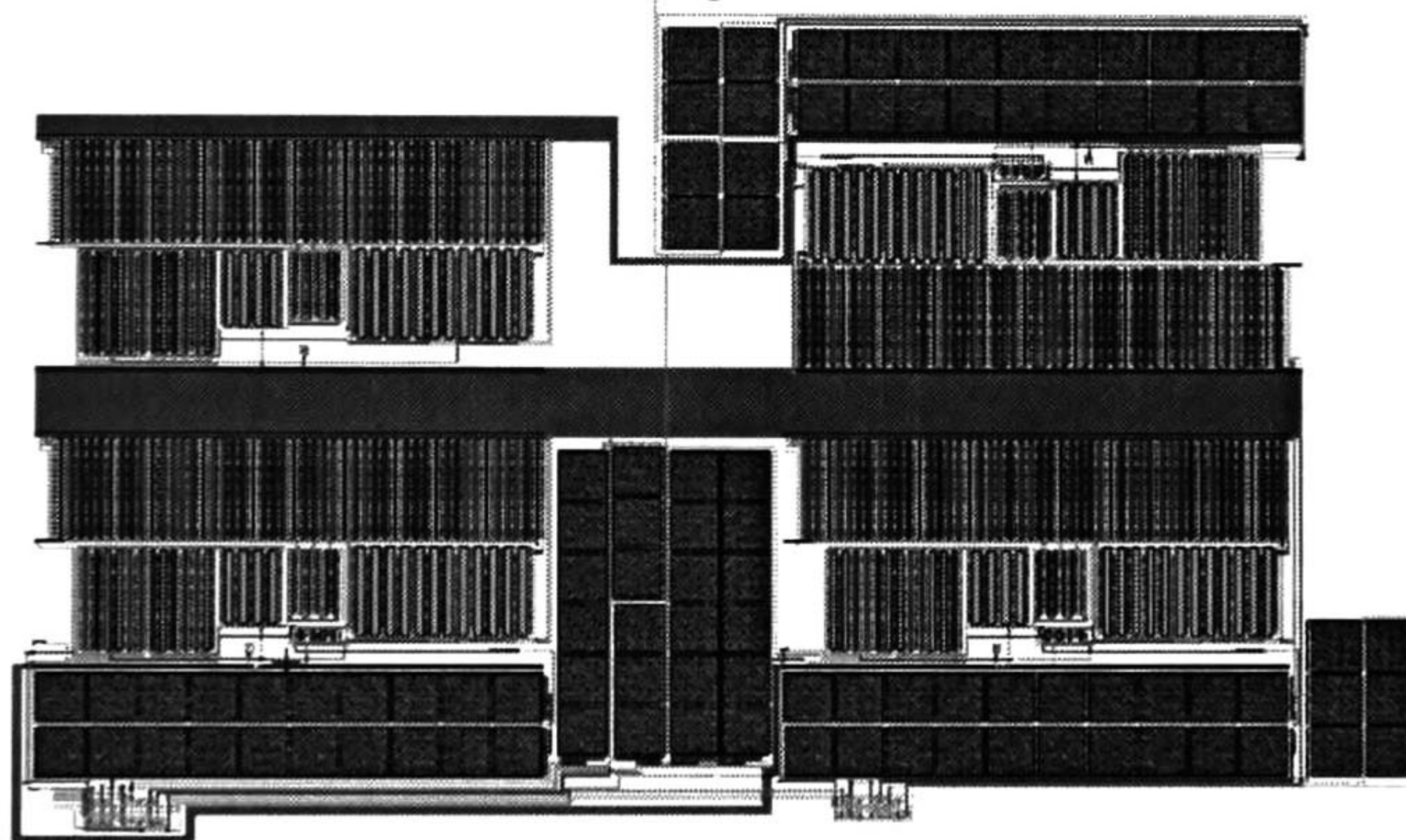


Figura 11 Layout de la celda del lazo de conversión.

## Referencias

- [1]. P.R. Gray, D.A. Hodges and R.W. Brodersen, Eds., "Analog MOS Integrated Circuits", IEEE Press, New York 1980.
- [2]. P. Wai Li, Michael J. Chin, Paul R. Gray and R. Castelo, "A Ratio Independent Algorithmic Analog to Digital Conversion Technique", IEEE Solid-State Circuits, vol. Sc-19, no.6, pp. 828-836, Dec. 1984.
- [3]. Sidney Soclof, "Applications of Analog Integrated Circuits", Prentice Hall, U.S.A., 1985.
- [4]. J.J. Macias-Quijas, F. Sandoval-Ibarra, "Análisis de No-idealidades en el Diseño de Circuitos S/H", Congreso Nacional de Ciencia 2000, Puebla, Puebla, Mayo 2000.
- [5]. Clock Feedthrough Compensated Sample/Hold Circuits.
- [6]. Roubik Gregorian, Gabor C. Temes, "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons Inc., Canada & U.S.A., 1986.





## Centro de Investigación y de Estudios Avanzados del IPN

### Unidad Guadalajara

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional, aprobó la tesis: DISEÑO DE UN CONVERTIDOR A/D ALGORITMICO del(a) C. José De Jesús MACIAS QUIJAS el día 29 de Junio de 2002 .

Dr. Juan Martin SANTANA  
CORTE  
Investigador Cinvestav 3A  
CINVESTAV GDL  
Guadalajara

Dr. Juan Manuel RAMÍREZ  
ARREDONDO  
Investigador Cinvestav 3A  
CINVESTAV GDL  
Guadalajara

Dr. Federico SANDOVAL IBARRA  
Investigador Cinvestav 2C  
CINVESTAV GDL  
Guadalajara

Dr. Sergio SOLÍS BUSTOS  
Ing. de Diseño  
Motorola Center for  
Semiconductor Technology  
Puebla, Puebla





CINVESTAV  
BIBLIOTECA CENTRAL



SSIT000004436