



xx(104965.1)



**Centro de Investigación y de Estudios Avanzados  
del Instituto Politécnico Nacional**

**U n i d a d   G u a d a l a j a r a**

**Diseño de un Componente Configurable VLSI  
Entramador con Funciones en la Capa de Sección para  
Señales SONET/SDH STS-3/STM-1**

**CINVESTAV I.P.N.  
SECCION DE INFORMACION  
Y DOCUMENTACION**

Tesis que presenta  
**Agustín Santiago Medina Vázquez**

Para obtener el grado de  
**Maestro en Ciencias**

En la especialidad de  
**Ingeniería Eléctrica**

**C I N V E S T A V  
I P N  
A D Q U I S I C I O N  
D E L I B R O S**

Guadalajara, Jal., Julio de 2002

CLASIF. \_\_\_\_\_  
ADQUIS. SSI-218 \_\_\_\_\_  
FECHA: 27 NOV-2002 \_\_\_\_\_  
PROCED. TESLS-021 \_\_\_\_\_

**Diseño de un Componente Configurable VLSI  
Entramador con Funciones en la Capa de Sección para  
Señales SONET/SDH STS-3/STM-1**

**Tesis de Maestría en Ciencias  
en  
Ingeniería Eléctrica**

Por:

**Agustín Santiago Medina Vázquez**

Ingeniero en Comunicaciones y Electrónica  
Universidad Autónoma de Campeche  
1993-1998

Becario del CONACyT, expediente no. 143838

Directores de Tesis  
**Dr. Deni Librado Torres**  
**Dr. Manuel Edgardo Guzmán Rentería**

CINVESTAV del IPN Unidad Guadalajara, Julio de 2002

# ***Dedicatoria***

*A mi padre: Sr. Juan Agustín Medina May*

## ***Agradecimientos***

*Antes que nada agradezco a Dios por darme motivos para realizar este trabajo*  
*Agradezco a mi familia la comprensión*  
*Agradezco al Dr. Deni Torres por su excelente asesoría y*  
*al doctor Manuel Guzmán por su oportuna asesoría.*  
*A mis revisores de tesis: Dr. Luis Leyva y Dr. Arturo Veloz*  
*Agradezco a mis compañeros de generación por su amistad*  
*Al CONACYT por el apoyo económico*  
*y a la gente que me ayudó durante los primeros momentos que llegué a GDL*

# CONTENIDO

<b>1</b>	<b>INTRODUCCIÓN</b> .....	<b>I</b>
1.1	OBJETIVO DE LA TESIS .....	VI
1.2	ORGANIZACIÓN DEL TRABAJO .....	VII
<b>2</b>	<b>REDES ÓPTICAS SÍNCRONAS (SONET)</b> .....	<b>VIII</b>
2.1	INTRODUCCIÓN.....	VIII
2.2	TOPOLOGÍA DE UNA RED SONET .....	IX
2.3	VENTAJAS Y CARACTERÍSTICAS GENERALES DE LAS REDES SÍNCRONAS ÓPTICAS ..	12
2.4	CONEXIÓN SONET EXTREMO A EXTREMO .....	12
2.5	MODELO DE CAPAS PARA SONET/SDH.....	15
2.6	TASAS Y FORMATOS DE SONET .....	16
<b>3</b>	<b>JERARQUÍA SÍNCRONA DIGITAL (SDH)</b> .....	<b>24</b>
3.1	INTRODUCCIÓN.....	24
3.2	CONEXIÓN SDH EXTREMO A EXTREMO.....	25
3.3	TASAS Y FORMATOS DE SDH.....	26
3.4	ALEATORIZACIÓN Y DESALEATORIZACIÓN EN SONET/SDH .....	31
3.5	ALCANCE DE LA TESIS .....	32
<b>4</b>	<b>REQUERIMIENTOS PARA EL ENTRAMADOR SONET/SDH STS-3/STM-133</b>	
4.1	INTRODUCCIÓN.....	33
4.2	REQUERIMIENTOS FUNCIONALES PARA ENTRAMADOR CON FUNCIONES EN LA CAPA DE SECCIÓN PARA SEÑALES SONET/SDH STS-3/STM-1 .....	33
4.3	REQUERIMIENTOS GENÉRICOS PARA ENTRAMADOR CON FUNCIONES EN LA CAPA DE SECCIÓN PARA SEÑALES SONET/SDH STS-3/STM-1 .....	35
4.4	ÁMBITO DEL ENTRAMADOR SONET/SDH STS-3/STM-1 .....	42
<b>5</b>	<b>ARQUITECTURA</b> .....	<b>44</b>
5.1	INTRODUCCIÓN.....	44
5.2	ARQUITECTURA DEL ALINEADOR DE TRAMAS CON DELIMITADOR DE BYTES.....	47
5.3	ARQUITECTURA DE DISPOSITIVO DETECTOR DE ALARMAS DE SECCIÓN.....	56
5.4	ARQUITECTURA DEL DESALEATORIZADOR .....	64
5.5	ARQUITECTURA DEL CALCULADOR DE B1 .....	66
<b>6</b>	<b>VERIFICACIÓN DEL ENTRAMADOR</b> .....	<b>69</b>
6.1	INTRODUCCIÓN.....	69
6.2	ESPECIFICACIÓN DEL PLAN DE PRUEBAS .....	70
6.3	VERIFICACIÓN DEL ALINEADOR DE TRAMAS CON DELIMITADOR DE BYTES.....	73
6.4	VERIFICACIÓN DEL DISPOSITIVO INDICADOR DE ALARMAS DE SECCIÓN.....	77
6.5	VERIFICACIÓN DEL DESALEATORIZADOR.....	81
6.6	VERIFICACIÓN DEL ALINEADOR CALCULADOR DE BIP-8 .....	83
6.7	REPORTE DE VERIFICACIÓN DE FUNCIONALIDAD DEL ENTRAMADOR .....	84
6.8	VERIFICACIÓN DE REQUERIMIENTOS DE TIEMPO .....	85
6.9	TABLAS DE RESULTADOS .....	87

<b>7</b>	<b>CONCLUSIONES</b> .....	<b>89</b>
7.1	TRABAJOS FUTUROS .....	90
<b>8</b>	<b>APÉNDICES</b> .....	<b>91</b>
8.1	APÉNDICE A (DOCUMENTACIÓN SONET/SDH) .....	91
8.2	APÉNDICE B (DISCO COMPACTO) .....	92
<b>9</b>	<b>BIBLIOGRAFÍA.</b> .....	<b>95</b>

## INDICE DE FIGURAS

Figura 2.1.	Diagrama esquemático de una red de comunicaciones híbrida .....	x
Figura 2.2.	Regenerador para SONET.....	11
Figura 2.3.	Multiplexor terminal para SONET .....	11
Figura 2.4.	Multiplexor de adición/extracción (Add/Drop) .....	11
Figura 2.5.	Digital Cross-Connect de banda ancha .....	11
Figura 2.6.	<i>Conexión SONET extremo a extremo</i> .....	12
Figura 2.7.	Ejemplo de una conexión de extremo a extremo. ....	13
Figura 2.8.	Arquitectura de capas de SONET/SDH. ....	15
Figura 2.9.	Estructura de una trama SONET STS-1.....	16
Figura 2.10.	Posición de bit.....	17
Figura 2.11.	Designación de bytes en los encabezados de Sección y de línea .....	19
Figura 2.12.	Estructura de una trama SONET STS-N.....	19
Figura 2.13.	Estructura de una trama SONET STS-3.....	20
Figura 3.1.	Conexión SDH extremo a extremo .....	25
Figura 3.2.	Estructura de la trama STM-1 SDH.....	26
Figura 3.3.	Nombre de los bytes de encabezado para una señal STM-1 .....	27
Figura 3.4.	Bytes de encabezado para una señal STM-4.....	29
Figura 3.5.	Bytes de encabezado para una señal STM-16.....	29
Figura 4.1.	Alineación de bytes. ....	37
Figura 4.2.	Desaleatorizador tradicional serial. ....	40
Figura 4.3.	Ámbito del entramador. ....	42
Figura 5.1.	Submódulos del entramador.....	44
Figura 5.2.	Diagrama general del entramador .....	45
Figura 5.3.	Alineador de tramas con delimitador de bytes.....	48
Figura 5.4.	Arquitectura interna del alineador de tramas y de bytes. ....	49
Figura 5.5.	Diagrama a bloques del detector de patrón de trama .....	50
Figura 5.6.	Máquina de estados para el alineador de tramas. ....	52
Figura 5.7.	Arreglo Selector de canal .....	54
Figura 5.8.	Estructura del arreglo de salida de datos.....	55
Figura 5.9.	Dispositivo Indicador de Alarmas.....	56
Figura 5.10.	Dispositivo indicador de alarmas. ....	57
Figura 5.11.	Máquina de estados para detectar la pérdida de señal.....	58
Figura 5.12.	Máquina de estados del detector de pérdida de trama.....	61
Figura 5.13.	Dispositivo detector e indicador de LOC.....	62

Figura 5.14. Diagramas de tiempo para el detector de pérdida de reloj.....	62
Figura 5.15. Máquina de estados para detectar la pérdida de reloj. ....	63
Figura 5.16. Desaleatorizador.....	64
Figura 5.17. Estructura interna del desaleatorizador paralelo .....	65
Figura 5.18. Calculador del BIP-8 de paridad de la trama entrante. ....	67
Figura 5.19. Bloque que realiza el cálculo de B1. ....	68
Figura 6.1. Disposición de los códigos vhdl dentro del entramador .....	70
Figura 6.2. Cama de pruebas .....	71
Figura 6.3. Cama de pruebas del entramador .....	72
Figura 6.4. Nombre del archivo de estímulo para la cama de prueba .....	72
Figura 6.5. Nombre del archivo de configuración para la cama de prueba .....	72
Figura 6.6. Cama de pruebas para el detector e indicador de LOC.....	80
Figura 8.1. Organización de archivos en el disco compacto. ....	92
Figura 8.2. Organización de la cama de pruebas.....	93

## INDICE DE TABLAS

Tabla 2.1. Capacidad de una STS-1 .....	17
Tabla 2.2. Bytes de encabezados de sección y de línea de la trama STS-1.....	18
Tabla 2.3. Tasas de línea para señales SONET. ....	23
Tabla 3.1. Tabla de comparación entre las tasas de señales SONET y SDH .....	31
Tabla 4.1. Secuencia pseudo-aleatoria del desaleatorizador. ....	40
Tabla 5.1. Puertos de entrada del entramador. ....	46
Tabla 5.2. Puertos de salida del entramador.....	46
Tabla 5.3. Configuración del entramador.....	47
Tabla 5.4. Puertos de entrada del alineador de tramas y de bytes. ....	48
Tabla 5.5. Puertos de salida del alineador de tramas y de bytes.....	49
Tabla 5.6. Conexiones entre el registro L y los detectores de FSC.....	51
Tabla 5.7. Salida de datos del alineador de tramas con delimitador de bytes. ....	55
Tabla 5.8. Puertos de entrada del dispositivo indicador de alarmas.....	57
Tabla 5.9. Puertos de salida del dispositivo indicador de alarmas. ....	57
Tabla 5.10. Puertos de entrada del desaleatorizador. ....	65
Tabla 5.11. Puertos de salida del desaleatorizador.....	65
Tabla 5.12. Puertos de entrada del dispositivo calculador del byte BIP-8 de sección. ....	67
Tabla 5.13. Puertos de salida del dispositivo calculador del byte BIP-8 de sección.....	67
Tabla 6.1. Reporte del código que implementa el entramador.....	87
Tabla 6.2. Reporte de simulaciones.....	87
Tabla 6.3. Reporte de casos de prueba .....	87
Tabla 6.4. Reporte de síntesis en synopsys .....	88

# 1 Introducción

## 1.1 Objetivo de la tesis

Esta tesis trata del diseño de un *componente configurable VLSI entramador con funciones en la capa de sección para redes ópticas síncronas* (SONET/SDH) el cual puede formar parte de cualquier elemento de red con funciones en la capa de sección dentro de una red SONET/SDH (tales como un regenerador o un multiplexor de adición / supresión). Este componente está diseñado para procesar exclusivamente señales SONET/SDH STS-1/STM-0 ó STS-3/STM-1.

El componente entramador con funciones en la capa de sección para SONET/SDH aquí presentado también puede ser llamado simplemente *entramador*.

Por otro lado, el entramador incluye algunas funciones que se realizan en la capa de sección de una red SONET/SDH, tales como la detección de fallas, la desaleatorización de los datos recibidos y el cálculo de la paridad de la trama para detectar posibles errores de bit.

Se aclara que éste es un componente de procesamiento, no de generación, y se encuentra en el lado de recepción del elemento de red. Las funciones principales del entramador son:

- Alinear las tramas (sección 4.3.1.1 )
- Delimitar las fronteras de los bytes entrantes al elemento de red (sección 4.3.1.2)
- Detectar los defectos y generar las correspondientes señales de alarma para fuera de trama, pérdida de señal, pérdida de trama y pérdida de reloj (secciones 4.3.1.1 y 4.3.2)
- Suprimir la aleatorización de los datos SONET/SDH (sección 4.3.3)
- Realiza el cálculo del byte BIP-8 de sección (sección 4.3.4)

Además, este circuito entramador para SONET/SDH presenta adicionalmente las características mencionadas a continuación:

- Opera a dos tasas de transmisión SONET/SDH diferentes según la configuración del circuito: STS-1/STM-0 ó STS-3/STM-1.
- Procesa un *flujo serial de bytes* (8 bits por pulso de reloj) y no un *flujo serial de bits* (1 bit por pulso de reloj).
- Según la configuración del sistema, la alineación de tramas se alcanza con dos o con cuatro tramas válidas detectadas consecutivamente.
- Según la configuración del sistema, se entrega un flujo serial de bytes STS-1/STM-0 ó STS-3/STM-1 con aleatorización o sin ella.
- El desaleatorizador también opera con flujo de bytes.
- Sirve de base para la construcción de entramadores que operen a tasas mayores a STS-3/STM-1.

El entramador ha sido implementado en código VHDL y se proporciona en este documento el *código objeto* del componente, el cual formará parte de una librería de componentes SONET/SDH a disposición del Centro de Investigación y Estudios Avanzados del I.P.N. Unidad Guadalajara con el objeto de poder construir en un futuro elementos de red completos. Adicionalmente, este modelo ha sido sintetizado a nivel de transferencia entre registros para comprobar su posible construcción física para trabajar a tasas de transmisión de hasta 155.55 Mbps (STS-3/STM-1).

Además, la funcionalidad del entramador ha sido verificada con el uso de *cama de pruebas* y por medio de simulaciones. En este documento sólo se muestran los casos de prueba de mayor interés.

## 1.2 Organización del trabajo

Inicialmente, el capítulo dos trata sobre la *Red Síncrona Óptica (SONET)*. El objetivo de este capítulo es proporcionar los conceptos que resultan de mayor utilidad en capítulos posteriores donde se presentará el entramador configurable con funciones en la capa de sección para señales SONET/SDH.

Dentro del capítulo dos se discute sobre la terminología utilizada en el manejo de redes SONET. Posteriormente se presenta la estructura de la trama SONET STS-1 y de ahí se extiende el concepto hasta tramas STS-N. Esto se hace para que más adelante se explique el uso de los encabezados de trayectoria, de línea y de sección característicos de SONET (sección 2.4). Para la construcción del entramador interesa particularmente el encabezado de sección, pues contiene los bytes que el entramador debe procesar.

Debido a que el entramador puede formar parte tanto de redes SONET como SDH, es necesario hablar también acerca de las *redes de jerarquía digital síncrona (SDH)*. En el capítulo tres se analizan los términos y conceptos de una red SDH relacionados con esta tesis y se analizan las similitudes entre los estándares SONET y SDH. El capítulo tres termina mostrando el alcance de la tesis y en el capítulo siguiente se presentan los requerimientos a considerar para la construcción del entramador para SONET/SDH.

Una vez conocidos los requerimientos del componente a construir, en el capítulo cinco se muestra la arquitectura propuesta en esta tesis para la implementación del entramador. Se presenta además la manera en que se ha dividido la funcionalidad del entramador en submódulos con tareas específicas así como la forma en que se relacionan éstos entre sí.

La arquitectura mostrada en el capítulo cinco es implementada en VHDL, como se mencionó previamente. Este código es sometido a procesos de simulación y de síntesis para avalar la correcta funcionalidad de la arquitectura del entramador propuesta. Esta verificación se abarca en el capítulo seis.

Por último, en el capítulo siete, se presentan las conclusiones obtenidas. Además se proporciona una serie de apéndices que incluyen referencias sobre SONET/SDH, códigos VHDL, reporte de pruebas, entre otras cosas.

## 2 Redes Ópticas Síncronas (SONET)

### 2.1 Introducción

Con el aumento de la tecnología en las redes de computadoras, hoy en día es posible enviar entre éstas aplicaciones multimedia. Sin embargo, esto ha generado un nuevo problema ocasionado por la gran cantidad de datos manejados: es necesario proporcionar un mayor ancho de banda y consecuentemente un menor retraso en la transmisión de extremo a extremo en un proceso de comunicación.

En el acceso a un sitio remoto, como a una página de Internet conformada sólo de texto, por medio de un visualizador, usualmente basta con un ancho de banda pequeño de aproximadamente 30 kbps. Si se añade audio en la página, se necesitará un ancho de banda de aproximadamente 128 kbps. Si además añadimos vídeo con una calidad aceptable se podrían llegar a necesitar un ancho de banda de hasta 6 Mbps [7].

SONET/SDH es un estándar que surge a principio de los 80's con la unión de la ANSI (*"American National Standards Institute"*) y la Bellcore (*"Bell Communications Research"*) para regular y unificar una serie de tecnologías existentes de comunicaciones de datos a tasas muy altas. Estos estándares (SONET y SDH) definen una jerarquía de tasas y formatos de transmisión en redes de banda ancha B-ISDN. En particular, SONET y SDH son dos versiones del mismo estándar. El estándar SONET es utilizado principalmente en Estados Unidos de América, Canadá y Japón y el estándar SDH es el equivalente a SONET utilizado en Europa y muchos otros países, incluyendo México.

Una de las características principales de SONET/SDH es que utilizan la fibra óptica como medio de transmisión. Las ventajas más importantes que proporciona la fibra óptica se enumeran a continuación:

- La fibra óptica ofrece la tasa de bits erróneos (*"Bit Error Rate"*, BER) más baja entre todos los demás medios de transmisión.
- El ancho de banda que proporciona la fibra óptica es insuperable.
- Las redes que utilizan fibra óptica requieren de menos repetidores debido a la baja distorsión que sufre la señal que se transporta por este medio.
- La fibra óptica es inmune a la interferencia en forma de ruido.
- Requiere de mucho menos mantenimiento que cualquier otro medio de transmisión.
- El tamaño y el peso de la fibra óptica es menor que cualquier otro medio físico de transmisión. Esto facilita el proceso de instalación de una red de este tipo.
- En las redes que utilizan fibra óptica, el ancho de banda sólo está limitado por el equipo utilizado y no por el medio de transmisión, por lo tanto, para actualizar una red de este tipo, basta con cambiar los equipos y no el medio de transmisión.

Debido a lo anterior, SONET/SDH resulta ser una buena solución para resolver los problemas que actualmente se presentan con el ancho de banda. Las tasas de transmisión de SONET/SDH pueden llegar incluso hasta aproximadamente los 40 Gbps. En cuanto a los

retrasos de datos que se producen en una comunicación entre redes, se encuentra una aceptable solución en la tecnología conocida como ATM (*“Asynchronous Transfer Mode”*). SONET/SDH, por sus características intrínsecas, es un excelente medio de transporte para señales ATM.

La tasa de transmisión básica en SONET es llamada OC-1 (*“Optical Carrier level 1”*) y equivale a un flujo de datos de 51.84 Mbps. Las tasas más altas de transmisión son múltiplos de OC-1 y son llamadas OC-N (*“Optical Carrier level N”*), las cuales están formada por N señales OC-1 (esto se trata detalladamente más adelante en la sección 2.6.3). En esta tesis se tratan señales OC-N, con  $N = 1$  ó  $3$  (OC-1 a 51.84 Mbps y OC-3 a 155.52 Mbps), pero N puede llegar hoy en día hasta 768 (OC-768).

En este capítulo se presentan conceptos del estándar SONET relacionados con esta tesis y los conceptos del estándar SDH se abarcan en el capítulo próximo. Cabe advertir que no es posible mostrar toda la teoría involucrada en el estándar SONET, es por eso que la documentación presentada se restringe sólo a la terminología, características y conceptos de este estándar que resulten de vital importancia para esta tesis.

## 2.2 Topología de una red SONET

La Figura 2.1 muestra el diagrama de un esquema simplificado de una estructura de red de anillo SONET/SDH. Esta figura nos da una idea general de una red de este tipo. En una red de SONET/SDH es típica la mezcla de diferentes flujos como DS<sub>n</sub> (*“Digital Signal”*) o ATM, las cuales pueden ser añadidas en el mismo flujo de datos. Estas redes síncronas son capaces de transportar también señales plesiócronicas y al mismo tiempo mantener compatibilidad con ATM la cual es una tecnología asíncrona.

Los elementos que conforman la red (representado en la figura por cajas) se llaman *elementos de red* o NE's por sus siglas en inglés (*“Network Elements”*).

Un elemento de red es una entidad física autónoma que al menos soporta las funciones de elemento de red básicas (*“Network Element Function”*, NEF) y puede asimismo soportar funciones de sistema de operaciones (*“Operation System Function or Mediation Function”*, OSF/MF). También contiene objetos gestionados, una función de comunicación de mensajes (*“Message communication Function”*, MCF) y una función de aplicación de gestión (*“Management applications function”*, MAF) [3]. Ahora se explican estos términos.

Las *funciones de elemento de red básicas* son aquellas que soportan los servicios de transporte en la red SONET/SDH, por ejemplo, multiplexación, transconexión, regeneración, etc. [3]

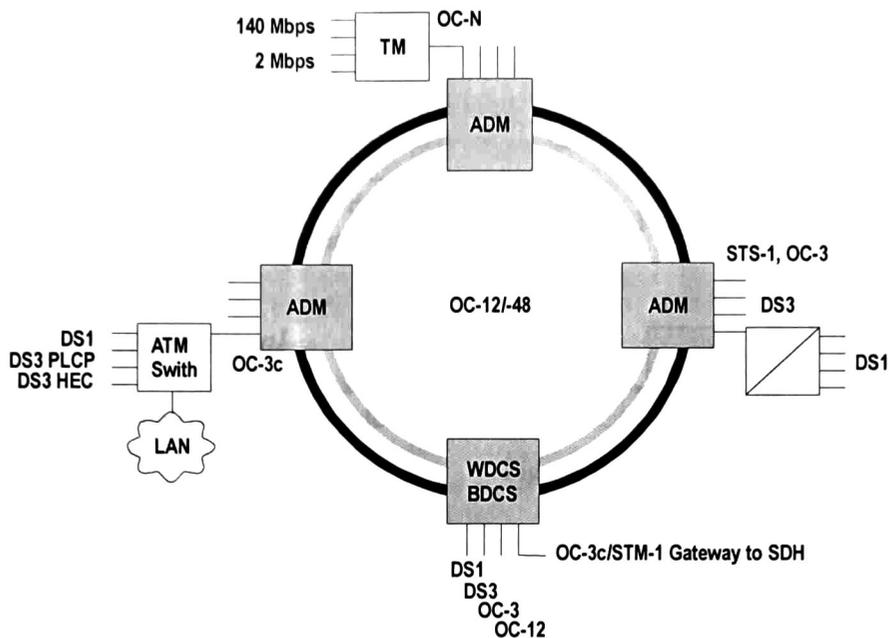


Figura 2.1. Diagrama esquemático de una red de comunicaciones híbrida

La *función del sistema de operaciones o función de mediación (OSF/MF)* es una entidad de una red de gestión (como SONET/SDH) que procesa información para supervisar y controlar la red [3].

La *función de comunicaciones de mensaje (MCF)* proporciona las facilidades para el transporte de mensajes hacia y desde la función de aplicación de gestión, así como las facilidades para el tránsito de mensajes. La función de comunicaciones de mensajes no origina ni termina mensajes, solo proporciona los medios [3].

Por otro lado, la *función de aplicaciones de gestión (MAF)* es un proceso de aplicaciones que participa en la gestión del sistema. La función de aplicaciones de gestión incluye un agente (que es gestionado) y/o un gestor [3].

La topología de anillo mostrada en la figura 2.1 no es la única para redes ópticas, en realidad ésta es impuesta por las necesidades del usuario y es gobernada por el proveedor de la red.

Las redes SONET/SDH actuales se construyen básicamente con cuatro diferentes tipos de elementos de red, aunque existen otros más complejos que realizan funciones de dos o mas de estos elementos de red al mismo tiempo. Como debe suponerse, todos son síncronos y requieren de una señal de reloj. A continuación se muestran estos elementos de red.

### 2.2.1 Regenerador

Un regenerador (figura 2.2), como su nombre lo indica, tiene la función de regenerar la señal de datos que han sido atenuados y distorsionados por el medio de transmisión. El regenerador, generalmente toma su señal de reloj del flujo de datos entrantes. En determinadas situaciones se toma del BITS.

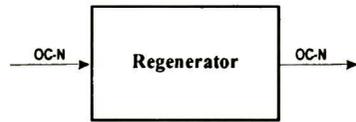


Figura 2.2. Regenerador para SONET

### 2.2.2 Multiplexor Terminal

Los *multiplexores terminales* son utilizados para combinar señales de entrada DS-n dentro de señales OC-N. Esto es, combinan varias señales de baja tasa de transmisión dentro de una señal de alta tasa de transmisión (Ver figura 2.3).

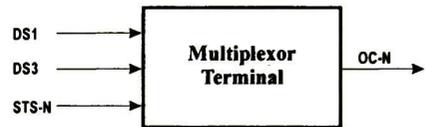


Figura 2.3. Multiplexor terminal para SONET

### 2.2.3 Multiplexor de adición/extracción (ADM)

Un *multiplexor de adición/extracción* ("add/drop multiplexer") permite a otros dispositivos tomar algunos cuantos canales de menor tasa directamente del flujo SONET sin alterarlo ("drop"). Al tomar algunos canales del flujo OC-N es necesario insertar otros canales ("add") para mantener constante el flujo de datos entre la entrada y la salida del ADM (Ver figura 2.4).



Figura 2.4. Multiplexor de adición/extracción (Add/Drop)

### 2.2.4 Digital Cross-Connect (DCS)

Este elemento de red (figura 2.5) es muy parecido a un multiplexor add/drop, sin embargo, tiene un más amplio rango de funciones. Puede entregar canales a menor tasa de transmisión (por ejemplo, canales DS1 y canales DS3 al mismo tiempo) desde cualquier señal OC-N. La señal recibida puede ser conectada desde cualquier puerto de entrada a cualquier puerto de salida en los diferentes niveles, incluso con señales asíncronas.

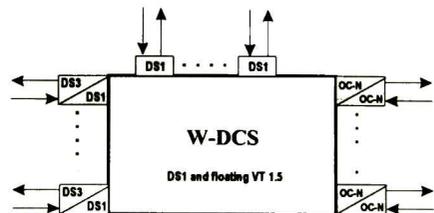


Figura 2.5. Digital Cross-Connect de banda ancha

## 2.3 Ventajas y características generales de las redes síncronas ópticas

A continuación se muestran las ventajas más importantes que hacen de SONET/SDH un estándar óptimo para redes de comunicación digital.

- SONET/SDH utiliza fibra óptica como medio de transmisión, aprovechando de esta forma todas las bondades de este medio físico.
- SONET/SDH proporciona elementos de red a los cuales se les pueden conectar elementos no SONET/SDH (tales como elementos de red de ATM o DSn). Los ADM's, sistemas DCC y demás elementos de red proporcionan interfaces para sistemas SONET y no SONET por medio de conversiones de formato y adaptación de tasas de transmisión.
- SONET/SDH proporciona capacidades OAM&P (*“Operation Administration, Maintenance and Provisioning”*) de administración, mantenimiento y aprovisionamiento dentro de cada elemento de red. Las redes SONET/SDH proporcionan canales de comunicación especiales (aplicaciones de gestión) que transportan mensajes OAM&P entre elementos de red o entre sistemas operativos. Esto genera facilidades y flexibilidad de operación.
- SONET/SDH hace mucho más fácil unir diferentes tecnologías de red. Las interfaces que SONET proporciona son globalmente estandarizadas, haciendo posible combinar elementos de red de diferentes tipos de redes. El resultado es una reducción en el costo del equipo debido a las pocas interfaces necesarias.

## 2.4 Conexión SONET extremo a extremo

Para entender y definir parte de la terminología utilizada en este documento, primero se examina una conexión típica punto a punto como la que se muestra en la figura 2.6. Los términos a tratar en esta sección son los siguientes: *trayectoria* (*“path”*), *línea* (*“line”*), *sección* (*“section”*), *equipo terminal de trayectoria* (*“Path Terminal Equipment”*, PTE), *equipo terminal de línea* (*“Line Terminal Equipment”*, LTE) y *equipo terminal de sección* (*“Section Terminal Equipment”*, STE).

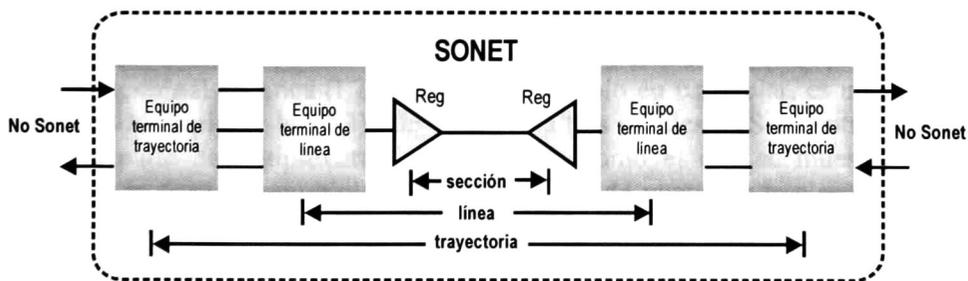


Figura 2.6. Conexión SONET extremo a extremo

En la figura 2.6 se muestran seis elementos de red. Una red no SONET se conecta o interfaza con una red SONET en uno de los extremos de la conexión. En el otro extremo, la red se conecta o interfaza también con otras redes no SONET. Una conexión extremo a extremo (o punto a punto) generalmente consiste en la combinación de los siguientes elementos de red, más algunos enlaces de fibra óptica:

- A. Dos equipos terminales de trayectoria
- B. Algunos (dos o más) equipos terminales de línea
- C. Algunos (dos o más) equipos terminales de sección
- D. Enlaces de fibra óptica que transportan señales OC-N

Algunas veces, si las distancias no son muy grandes, son utilizados medios de radio o de cable, siempre y cuando la tasa de la señal sea baja (menor o igual a STS-3) [6].

Para ampliar estos términos, la conexión punto a punto SONET es expandida dentro de una gráfica más detallada (figura 2.7) [6]. Cada elemento de esta conexión de izquierda a derecha será examinado en detalle.

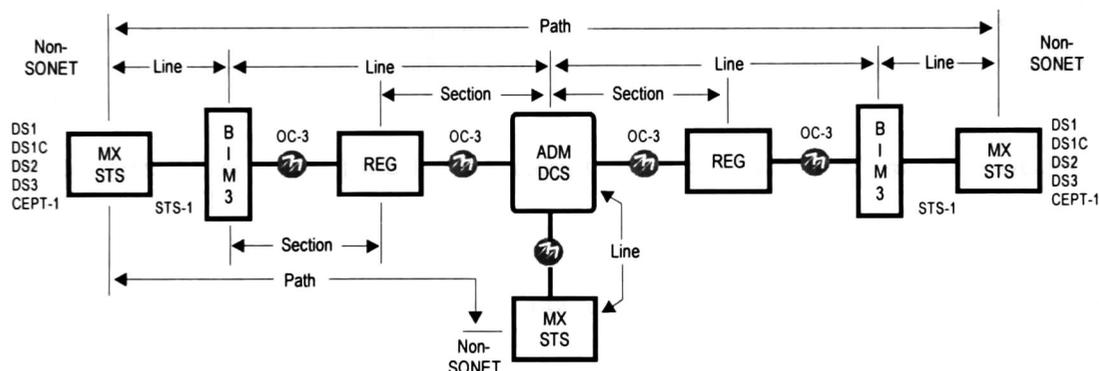


Figura 2.7. Ejemplo de una conexión de extremo a extremo.

- Un equipo marcado como MX/STS (multiplexor terminal) es el PTE, el cual mapea algunas tributarias no SONET dentro de una señal STS-1 en un extremo de la conexión (ver el lado izquierdo de la figura 2.7). Otro equipo MX/STS (un PTE al lado derecho de la figura 2.7) desempeña también la función inversa, esto es, restaura las señales tributarias desde la señal STS-1 de regreso a su formato original de señales no SONET.
- El equipo terminal de línea (LTE), para este ejemplo en particular, es un BIM3 (Byte-Interleaved Multiplexer-level 3) que multiplexa tres señales STS-1 dentro de una señal STS-3; la parte demultiplexora de este BIM3, como el que se muestra en el lado derecho de la figura, demultiplexa la señal STS-3 de nuevo en tres señales STS-1. El BIM-3 no solamente multiplexa tres señales STS-1 dentro de señales de tasas de transmisión más altas, sino que también convierte estas nuevas señales en una señal óptica (OC-3 en este ejemplo), para transportarse por medio de fibra óptica.

- En transmisiones distantes, la señal necesita ser amplificada y regenerada. Esta función es desempeñada por algunos regeneradores (en la figura etiquetado como “REG”) los cuales son clasificados como equipos terminales de sección.
- Un multiplexor Add/Drop (ADM) puede ser utilizado para tomar del flujo SONET OC-3 algunas tributarias de baja tasa en alguna localidad particular que se desee. En este ejemplo, el ADM (en la figura 2.7) es la caja marcada con la etiqueta ADM/DCS) puede añadir o tomar una o dos señales OC-1. Si el diseño lo permite, también se pueden tomar o añadir señales DS-n y funcionar así como un DCS.

Las descripciones anteriormente mencionadas se refieren a equipos SONET PTE, LTE y STE. Después de este ejemplo, se hace una definición un tanto más formal de los términos *trayectoria*, *línea* y *sección* en una conexión SONET punto a punto.

**Trayectoria:** Una trayectoria es una conexión lógica entre el punto donde la trama de SONET es ensamblada con señales tributarias de tasa de transmisión menor (tales como DS-n) y el punto en el cual la trama es desensamblada en tributarias de nuevo. En el ejemplo anterior, el punto donde las señales DS<sub>n</sub> son multiplexadas y mapeadas dentro de una trama SONET STS-1 es una terminal de la trayectoria o PTE (MX STS en la figura 2.7). La otra terminal PTE es donde la señal SONET STS-1 es demultiplexada en señales DS<sub>n</sub>.

En la figura 2.7 el enlace entre los dos elementos de red “MX/STS” es una trayectoria (“*path*”) de SONET [6].

Un PTE puede originar, acceder, modificar o terminar el *encabezado de trayectoria* (POH por sus siglas en inglés, “*Path OverHead*”) de una trama STS lo cual se discutirá en una sección posterior.

**Línea:** una línea es el medio de transmisión junto con el equipo asociado requerido para proporcionar un medio de transporte seguro entre dos elementos cualesquiera consecutivos de red. Por ejemplo, en la figura 2.7, una línea está compuesta por el medio de transmisión y los regeneradores que unen dos BIM3. Una línea tiene una señal constante, tales como una señal OC-3 que lleva la misma cantidad de carga dentro del mismo enlace óptico.

Un LTE es un elemento de red de SONET que origina y/o termina señales de línea (OC-N). Puede originar, acceder, modificar o terminar el encabezado de línea (LOH por sus siglas en inglés, “*Line OverHead*”) el cual se discutirá en una sección posterior.

**Sección:** Una sección es la porción del medio de transmisión entre dos elementos de red adyacentes, en donde uno de ellos es un regenerador.

Un STE es un elemento de red de SONET que origina y/o termina señales de línea (OC-N). Pueden originar, acceder, modificar o terminar encabezado de sección (SOH por sus siglas en inglés, “*Section OverHead*”) el cual se discutirá en una sección posterior.

## 2.5 Modelo de capas para SONET/SDH

Se ha desarrollado una forma particular de representar una red SONET/SDH según la funcionalidad, esto es, utilizando un modelo de referencia de 4 capas, similar al modelo de referencia de 7 capas OSI. Este modelo de capas de interfaz óptica se muestran en la figura 2.8. Cabe mencionar que SONET/SDH, a su vez, se encuentran dentro de la *capa física* del modelo de referencia OSI.

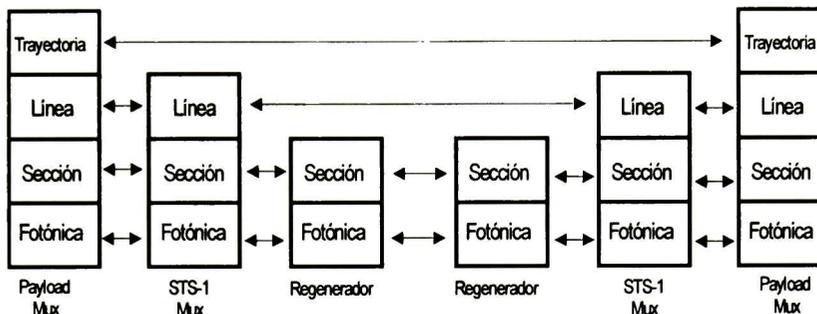


Figura 2.8. Arquitectura de capas de SONET/SDH.

Hay cuatro capas de interfaz en las operaciones de SONET/SDH: *capa trayectoria*, *capa de línea*, *capa de sección* y *capa fotónica*. Las capas tienen una relación jerárquica y pueden ser consideradas de arriba hacia abajo o viceversa.

### Capa de trayectoria

- Trata con los servicios de transporte entre PTE's; algunos ejemplos de tales servicios son DS1, CEPT-1s, DS1Cs, DS2s, DS3s y señales de vídeo.
- La función principal en esta capa es mapear los servicios dentro de un formato requerido por la capa de línea; por ejemplo mapear dentro de una STS-3/STM-1.
- Comunica punto a punto por medio del encabezado de trayectoria.
- El encabezado definido para esta capa (POH) es leída, interpretada y modificada por todos los equipos que terminan esta capa (PTE).

### Capa de línea

- Trata con el transporte fiable de la carga útil proporcionada por la capa de trayectoria a través del medio físico.
- El encabezado que aquí se añade es accesado por LTE's en puntos donde las señales STS-N son formadas o terminadas. El encabezado definido en esta capa (LOH) es leído, interpretado y modificado por todos los equipos que terminan esta capa.
- La función principal de la capa de línea es proporcionar sincronización y desempeñar el multiplexaje en la capa de trayectoria. El encabezado asociado con estas funciones incluyen encabezado para mantenimiento y protección.

### Capa de sección

- Trata con el transporte de las tramas STS-N a través del medio físico.
- Esta capa utiliza la capa fotónica para disponer de transporte físico.

- Sus funciones principales incluyen entramado, aleatorización (“scrambling”), monitoreo de errores de sección y las funciones inversas.
- El encabezado definido para esta capa (SOH) es leído, interpretado y modificado por todos los equipos que terminan esta capa (STE).

El componente entramador para SONET/SDH diseñado en esta tesis trabaja en la capa de sección.

### Capa fotónica

- Trata con el transporte de bits a través del medio físico.
- No hay encabezado asociado con esta capa.
- Su función principal es la conversión de señales eléctricas a señales ópticas y viceversa.
- Detalles asociados con estas capas incluyen la forma del pulso óptico, niveles de potencia y formas de onda.

## 2.6 Tasas y formatos de SONET

### 2.6.1 Estructura de la trama STS-1

Ahora se presentará la estructura de una trama de SONET básica. Una STS-1 (“Synchronous Transport Signal level one”) es una secuencia específica de 810 bytes (6480 bits), el cual incluye varios bytes de encabezado y un espacio con capacidad para transportar carga útil (SPE, por sus siglas en inglés, “Synchronous Payload Envelope”). Puede ser descrita como una estructura de 9 filas y 90 columnas (figura 2.9).

Con un tiempo de trama de 125μs (i.e. 8000 tramas por segundo), la STS-1 tiene una tasa de bits de 51.840 Mbps (se deduce más adelante). Utilizando la estructura de la figura 2.9, el orden de transmisión de los bytes es fila por fila y de izquierda a derecha.

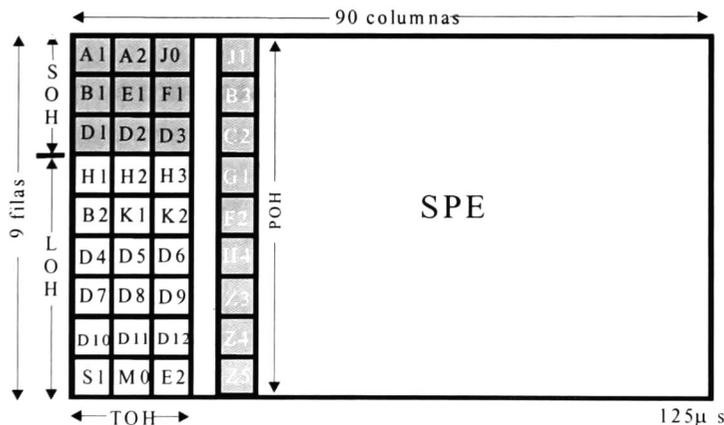
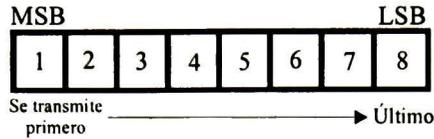


Figura 2.9. Estructura de una trama SONET STS-1

En cada byte de la STS-1, el bit más significativo debe ser transmitido primero, tal y como se muestra en la figura 2.10.



MSB - Bit más significativo  
 LSB - Bit menos significativo

Figura 2.10. Posición de bit.

A continuación se calcula la tasa de transmisión de una señal SONET STS-1. Dado que hay 810 bytes (9 filas x 90 columnas) en una trama de 125 μs, 8000 tramas por segundo y 8 bits por byte, la señal STS-1 tiene la siguiente tasa de transmisión:

$$810 \frac{\text{byte}}{\text{trama}} \times 8000 \frac{\text{tramas}}{\text{seg}} \times 8 \frac{\text{bits}}{\text{byte}} = 51.845 \text{Mbps}$$

Como se ha comentado anteriormente al inicio de este capítulo, una señal SONET puede transportar flujos de diferentes tipos. La tabla 2.1 muestra la capacidad de una señal STS-1 de diversas señales no SONET cuyo mapeo genera los 51.84 Mbps. Por ejemplo, en una señal STS-1 pueden transportarse 28 canales DS1 donde cada DS1 contiene 24 canales de voz.

Capacidad de una STS-1		
	Canales de voz (VF)	STS-1 capacity
DS1	24	28 DS1's
CEPT-1	30 ó 32	21 CEPT-1's
DS1C	48	14 DS1C's
DS2	96	7 DS2's
DS3	672	1 DS3's

Tabla 2.1. Capacidad de una STS-1

### 2.6.2 Encabezado de transporte para STS-1

En la figura 2.9, mostrada anteriormente, se puede ver que las tres primeras columnas de la trama STS-1 conforman el *encabezado de transporte* o TOH, por sus siglas en inglés (*“Transport Overhead”*). Estas tres columnas contienen 27 bytes, nueve de los cuales son utilizados como *encabezado de sección* o SOH (*“Section Overhead”*), y 18 bytes corresponden a el *encabezado de línea* o LOH (*“Line Overhead”*). Cada byte de encabezado está asociado a una función y así las funciones asignadas a las *capas* de sección y de línea han sido combinadas dentro del TOH.

Las funciones para la capa de trayectoria han sido asignadas en nueve bytes, llamados *encabezado de trayectoria* o POH, localizados al inicio del SPE de la STS. El LOH y el POH quedan fuera del alcance de esta tesis y no serán analizados aquí con profundidad. Sin embargo, debido a que el SOH (llamado RSOH en SDH) está íntimamente relacionado con el objetivo de esta tesis, será tratado más a fondo posteriormente en este mismo capítulo. La

tabla 2.2 lista un breve resumen de los bytes de encabezado de sección y de línea de la trama STS-1 así como sus funciones asociadas.

<b>Encabezado de la trama STS-1</b>		
<b>Byte de encabezado</b>	<b>Función asociada</b>	<b>Descripción</b>
A1, A2	Alineación de trama	Estos bytes indican el inicio de una nueva trama y se utilizan para alineación de trama.
B1, B2	Bytes de paridad de sección y de línea, respectivamente.	Código de paridad de entrelazado de bits para supervisión de errores en la capa de sección o en la capa de línea, respectivamente.
D1 a D3	Bytes de canales de comunicación de datos de sección	Los canales de comunicación de datos (DCC) permiten la transmisión de información de mantenimiento y estado en la capa de sección o en la capa de línea.
D4 a D12	Bytes de canales de comunicación de datos de línea.	
E1, E2	Bytes de órdenes de sección y de línea, respectivamente.	Estos bytes son colocados como canales de órdenes para comunicaciones de voz.
F1	Byte de canal de datos para usuarios de sección.	Colocado para comunicación de usuarios.
J0 (C1)	Byte de traza de sección.	Informa si hay conexión o no (esta función puede cambiar en el futuro).
K1, K2	Bytes para control automático de protección.	Utilizado para control APS (“ <i>Automatic Protection Switching</i> ”) cuando hay muchas fallas en la comunicación.
S1	Byte de estado de sincronización.	El byte S1 indica la calidad de la señal de reloj y la fuente de reloj.
M0, M1	Bytes de indicación de error remoto	Contiene el número de errores detectados.

Tabla 2.2. Bytes de encabezados de sección y de línea de la trama STS-1.

Cada byte es asignado a una posición particular en las columnas de encabezado como se muestra en la figura 2.11. Se hace notorio que en esta figura no se incluye el POH.

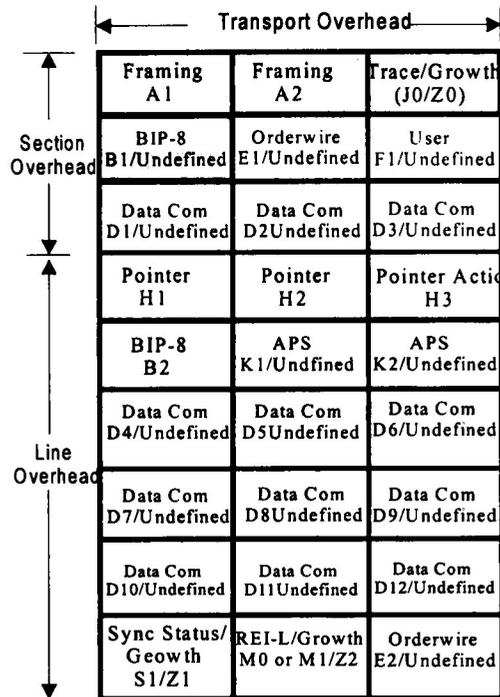


Figura 2.11. Designación de bytes en los encabezados de Sección y de línea.

### 2.6.3 Estructura de la trama STS-N

Una STS-N es una secuencia específica de  $N \times 810$  bytes que pueden ser ordenados como se muestra en la figura 2.12. La STS-N es formada al combinar (por multiplexación) varias señales STS-1 ó STS-M ( $3 \leq M < N$ ) [6].

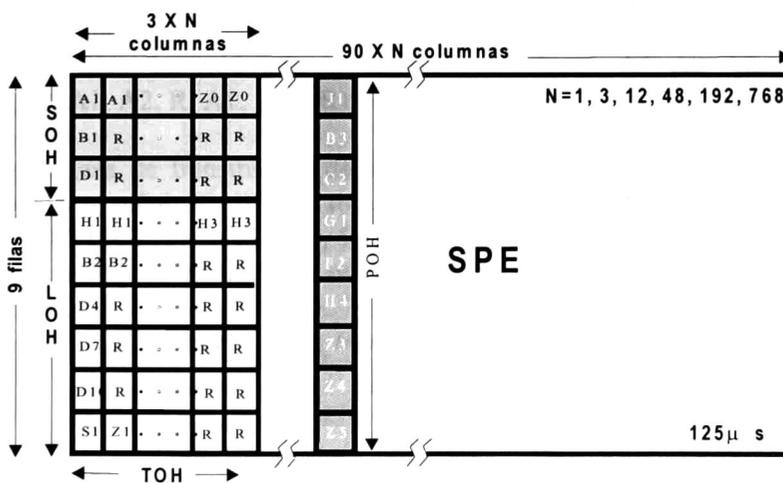


Figura 2.12. Estructura de una trama SONET STS-N

La figura 2.13 muestra el ejemplo específico de una trama STS-3.

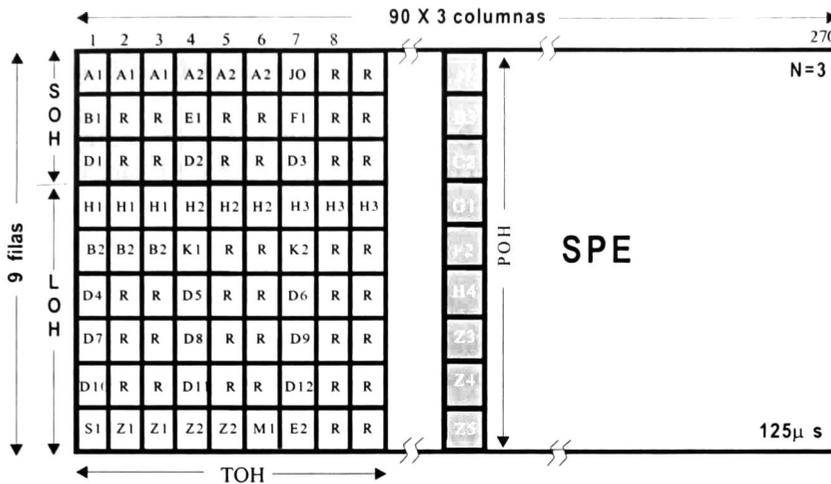


Figura 2.13. Estructura de una trama SONET STS-3

Se debe observar que el encabezado de una señal STS-N es diferente al de una señal STS-1. Debido a que una señal STS-N se forma a partir del mapeo de varias señales STS-1, el encabezado de una STS-N contiene N bytes A1's, N bytes A2's y así para el resto de los bytes del TOH.

De la figura 2.12 se puede concluir lo siguiente:

Para los bytes de entramado, A1 y A2, el estándar establece que estos bytes deben de ser proporcionados en todas las tramas STS-1. Así, para una señal STS-3, se necesitan tres pares de bytes de entramado (A1 y A2). SONET realiza un mapeo para combinar tres señales STS-1 dentro de una señal STS-3. Esto hace que existan tres bytes A1 consecutivos seguidos por tres bytes A2 consecutivos. El primer byte A1 pertenece a la primera STS-1, mientras que el segundo A1 proviene de la segunda STS-1 y así. En otras palabras, para una STS-3, la primera fila del encabezado de sección será (A1, A1, A1, A2, A2, A2, J0, R y R) y no (A1, A2, J0, A1, A2, R, A1, A2 y R).

El cálculo de la tasa de transmisión de una STS-1, mostrado anteriormente, puede ser aplicado a cualquier señal SONET de mayor tasa de transmisión. Por ejemplo, una señal STS-12 tiene 1080 (90X12) columnas y 9 filas y, por tanto, tiene 9720 bytes. Fácilmente se puede obtener la tasa de transmisión de una señal STS-12 a partir de

$$9720 \frac{\text{byte}}{\text{trama}} \times 8000 \frac{\text{tramas}}{\text{seg}} \times 8 \frac{\text{bits}}{\text{byte}} = 622.08 \text{Mbps}$$

Sin embargo, es más fácil obtener la tasa de transmisión de una señal STS-N multiplicando los 51.84 Mbps de una STS-1 por N. Por ejemplo, para STS-12 la tasa de transmisión es de  $51.84 \text{Mbps} \times 12 = 622.08 \text{Mbps}$ . Esta tesis abarca los casos para STS-N donde  $N = 1$  y 3.

## 2.6.4 Encabezado de sección para STS-N

Ahora se analizará en forma particular el encabezado de sección por la gran relevancia que tiene en esta tesis. En esta parte se define cada uno de los bytes del encabezado de sección. Como se mencionó anteriormente, el encabezado de transporte y el encabezado de trayectoria quedan fuera del alcance de esta tesis.

**Alineación de trama (A1 y A2).** En cada trama STS-1 se colocan dos bytes (A1 y A2) para la alineación de trama. El byte A1 es el conjunto de bits “11110110” (Hex F6) y el byte A2 es el conjunto de bits “00101000” (Hex 28) en todas las señales STS-1 dentro de una STS-N [1].

**Traza de sección (J0/Z0).** Este byte es colocado en la primera trama STS-1 de una trama STS-N. Su función no está completamente definida y puede ser modificada en un futuro. Sin embargo, actualmente tiene las siguientes características:

Los STE's que soporten solo *flujos de línea* (“*STE line-side*”), deberán tener la capacidad de acceder al byte J0, el cual es localizado en la primera STS-1 de una trama STS-N [7].

La habilidad para acceder al byte J0 no se requiere para STE's que solamente trabajan con *flujos de adición o supresión* (“*STE drop-side*”).

Al menos que sea utilizado para un propósito definido (por ejemplo, llevar un mensaje de traza de sección) cada byte J0 y Z0 debe ser un número binario correspondiente a su orden de aparición en la trama STS-N (por ejemplo, el J0 debe ser definido como 00000001, el primer Z0 debe ser puesto como 00000010, el segundo byte Z0 como 00000011, etc) [7].

Dado que no se ha definido ningún estándar en SONET para los bytes J0 y Z0 recibidos por un NE, estos bytes no son usados actualmente en el STE receptor.

**BIP-8 de sección (B1).** El byte B1 es la paridad de entrelazado de bits (bits interleaving) y es localizado en la primera trama STS-1 de una trama STS-N y es definido para el monitoreo de errores de sección en la señal “*line-side*”. El valor contenido en el byte B1 en una señal “*drop-side*” no está definido. Las correspondientes localidades de bytes de la segunda hasta la N-ésima STS-1 de, ya sea, una señal “*line-side*” o de una señal “*drop-side*”, también están indefinidas.

El byte B1 en una señal “*line-side*” debe llevar un código BIP-8, usando paridad par. El BIP-8 de sección debe de ser calculado sobre todos los bytes de las tramas STS-N previa después de la aleatorización (“*scrambling*”) y colocado en el byte B1 de la trama STS-N corriente antes de la aleatorización [7].

**Canal de orden (E1).** El byte E1 es colocado en la primera trama STS-1 de una trama STS-N, y es utilizado para un canal de “exclusión de servicio” (“*lockout of working*”, LOW). La localidades correspondientes de byte desde la segunda hasta la N-ésima STS-1 están indefinidas. El canal LOW es utilizado para comunicación de voz entre regeneradores, hubs y terminales remotas [7].

**Canal de usuario de sección (F1).** El byte F1 es localizado en la primera trama STS-1 de una trama STS-N, y es proporcionado para el uso del proveedor de la red. Las localidades correspondientes de byte desde la segunda hasta la N-ésima STS-1 están indefinidas [7].

**Canal de comunicación de datos de sección (D1, D2 y D3).** Los bytes D1, D2 y D3 en la primera trama STS-1 de una trama STS-N son utilizados para comunicación de datos de sección. Las localidades correspondientes de bytes desde la segunda hasta la N-ésima STS-1 no están definidas [7].

**Observaciones:**

Según el estándar, el byte de traza de sección, J0, está definido solamente para la primera STS-1 dentro de una señal STS-N.

Note que el byte B1 está definido solamente para la primera STS-1, sin embargo, hay posición para tres bytes B1 en una señal STS-3, sin embargo, sólo el primer byte es definido por el estándar. Los dos bytes B1 indefinidos son reservados para estándares futuros.

El byte E1, al igual que el byte B1, está definido solamente para la primera STS-1 dentro de una señal STS-3, los otros dos espacios de byte están reservados para estándares futuros.

Para el byte F1 (canal de usuario), y para los bytes D1-D3 (canales de comunicación de sección) se aplica el mismo principio anterior. Esto es, solamente un F1, un D1, un D2 y un D3 están asignados dentro de una STS-3. Las otras dos posiciones son reservadas para estándares futuros.

### ***2.6.5 Jerarquía de las señales STS-N***

Como se mencionó anteriormente, la señal de transporte STS-1 es el módulo básico en SONET y tiene una tasa de transmisión de 51.84 Mbps. La definición del primer nivel (STS-1) también trata sobre la jerarquía completa de las señales de SONET dado que las señales de nivel más alto son obtenidas por el multiplexado síncrono de los módulos de más baja tasa de transmisión. Cuando N señales STS-1 son multiplexadas, el resultado es una señal eléctrica STS-N (donde N es un entero) la cual se puede transformar en una señal óptica OC-N [2].

Dependiendo del valor de N, una señal SONET tiene una tasa de transmisión determinada. La tabla 2.3 lista estos valores.

<b>Jerarquía de señales SONET</b>			
<b>Nombre de la señal</b>		<b>Tasa de transmisión (Mbps)</b>	<b>Notas</b>
<b>Eléctrica</b>	<b>Óptica</b>		
STS-768	OC - 768	39,813.12	La más alta hasta ahora
STS-192	OC - 192	9,953.280	
STS-48	OC - 48	2,488.320	
STS-36	OC - 36	1,966.240	Ha sido removida del estándar
STS-24	OC - 24	1,244.160	Ha sido removida del estándar
STS-18	OC - 18	933.120	Ha sido removida del estándar
STS-12	OC - 12	622.080	
STS-9	OC - 9	466.560	Ha sido removida del estándar
STS-3	OC - 3	155.520	Trabajada en esta tesis
STS-1	OC - 1	51.84	La tasa básica

Tabla 2.3. Tasas de línea para señales SONET.

Todos los puntos que se trataron a lo largo de este capítulo corresponden a las características más relevantes del estándar SONET que necesariamente se deben de comprender para el entendimiento de la tesis aquí presentada. De igual manera, en el próximo capítulo, se dan las características del estándar SDH más relevantes para la elaboración de esta tesis.

## 3 Jerarquía Síncrona Digital (SDH)

### 3.1 Introducción.

En este capítulo se habla de la *Jerarquía Digital Síncrona* (SDH). Debido a la similitud existente entre SONET y SDH, muchos conceptos ya han sido tratados en el capítulo anterior, por lo tanto, aquí sólo se extienden dichos conceptos en cuanto a SDH se refiere.

En este capítulo no es posible abarcar toda la teoría encerrada dentro del estándar SDH, es por eso que se restringe sólo a las características del estándar que resultan de importancia para esta tesis.

SDH, al igual que SONET, son un conjunto de estándares relacionados con la transmisión de datos en forma síncrona por medio de fibra óptica. SDH (“*Synchronous Digital Hierarchy*”) está definida por la ITU como “*un conjunto jerárquico de estructuras de transporte normalizadas para el transporte de cargas útiles correctamente adaptadas sobre redes de transmisión física*” [3]. Una definición similar corresponde a SONET.

Generalmente, existen tasas de transmisión definidas para las señales en SDH. Estas señales son llamadas *Módulos de Transporte Síncrono* (“*Synchronous Transport Module*”, STM) principalmente para distinguirlas de las señales STS, las cuales son su contraparte en SONET [7].

Una STM-1, que es la señal básica en SDH, puede transportar una señal PDH de 139.264 Mbps o su equivalente, tal como una señal H4 ISDN. Con un encabezado adicional, esta señal de 139.264 Mbps se transforma en una señal STM-1 de 155.52 Mbps.

De una manera similar a SONET, dentro de una señal STM-4 se multiplexan 4 señales STM-1 alcanzando una tasa de transmisión de 622.08 Mbps ( $4 \times 155.52 \text{ Mbps}$ ). Al multiplexar 4 señales STM-4 se obtiene una señal STM-16 para alcanzar así una tasa de transmisión de 2 488.32 Mbps (frecuentemente referida como una señal de 2.5 Gbps). La tasas de la señal SDH de jerarquía más alta hoy en día es la STM-256 y tiene una tasa de 39 813.12 Mbps que equivale a una señal STS-768

La derivación de la tasa de transmisión, la descripción del formato de una trama STM y la relación existente entre una señal STM de SDH y una señal STS de SONET se discutirá más adelante en este capítulo.

Como en el caso de SONET, una señal STM-N es modular, esto es, la tasa de transmisión de una señal STM-M es exactamente M veces la tasa de transmisión de una señal STM-1. Una señal STM-64 tiene una tasa de transmisión de 9 953.28 Mbps debido a que  $64 \times 155.520 = 9953.28$  la cual, como puede verse en la tabla 2.3, es la misma tasa de una señal SONET STS-192.

## 3.2 Conexión SDH extremo a extremo

En SONET se trató con una conexión extremo a extremo para dar un vistazo general a la terminología. Lo mismo se hará para SDH.

Al igual que en SONET, SDH tiene octetos para el entramado (bytes A1 y A2), verificar paridad (byte B1, B2), etc. Estas funciones de red OAM&P (llamadas sólo OAM en SDH) son desempeñadas por tres conjuntos de bytes de encabezado: *encabezado de trayectoria* (“*Path OverHead*”, *POH*), *encabezado de sección de regeneración* (“*Regenerator Section OverHead*”, *RSOH*) y *encabezado de sección de multiplexaje* (“*Multiplex Section OverHead*”, *MSOH*). La figura 3.1 muestra una conexión típica SDH extremo a extremo. Este enlace conecta dos redes PDH, pero, por supuesto, es posible otro tipo de configuración.

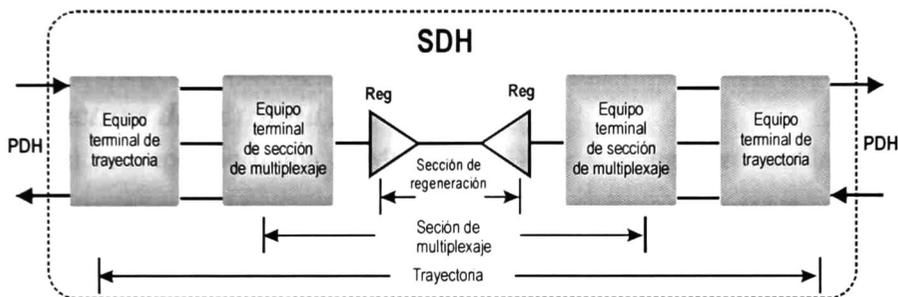


Figura 3.1. Conexión SDH extremo a extremo

**Trayectoria.** Una *trayectoria* en SDH, al igual que en SONET, es una conexión lógica entre el punto en el cual una trama SDH STM-1 es ensamblada, es decir, se forma una señal SDH por varias señales PDH, y el punto donde la señal es desensamblada de nuevo. Un equipo terminal de trayectoria (“*Path Terminating Equipment*”, *PTE*) es un elemento de red que multiplexa/demultiplexa los contenedores virtuales. Este equipo puede originar, modificar o terminar el encabezado de trayectoria (POH), o puede desempeñar cualquier combinación de estas funciones. Ejemplos de PTE’s son: *multiplexores de bajo orden*, *sistemas cross-connect de banda ancha* y *sistema de acceso a enlaces* (“*subscriber loop access system*”).

**Sección de multiplexaje.** Una *sección de multiplexaje*, equivalente a una “línea” en SONET, está constituida por el medio de transmisión junto con el equipo asociado requerido para proporcionar el medio de transporte para la información entre dos elementos de red consecutivos. Un equipo terminal de sección de multiplexaje (“*Multiplex Section Terminating Equipment*”, *MSTE*) es un elemento de red que origina y/o termina señales STM-N. Pueden originar, acceder, modificar o terminar el encabezado de sección de multiplexaje (MSOH), o puede desempeñar cualquier combinación de estas funciones. Ejemplos de MSTE’s son: “*Optical line terminal*”, “*Radio terminal*”, “*High order multiplexer*”, “*Broadband cross-connect system*”.

**Sección de regeneración.** Una *sección de regeneración*, conocida simplemente como *sección* en SONET, es la porción de una facilidad de transmisión, incluyendo puntos

terminales entre un elemento terminal de red y un regenerador o entre dos regeneradores. Un equipo terminal de sección de regeneración (“*Regeneration Section Terminating Equipment*”, *RSTE*), es un elemento de red que reconstruye una señal STM-N para transportarla a larga distancia. Estos equipos pueden originar, acceder, modificar o terminar el encabezado de sección de regeneración (RSOH), o pueden desempeñar cualquier combinación de estas acciones.

Puede observarse que los términos utilizados para las capas de una red en SDH definitivamente tienen nombres más representativos que su contraparte en SONET. Una sección de regeneración da a entender claramente que se trata de un enlace que une dos elementos de red adyacentes, en donde al menos uno de estos elementos es un regenerador. Una sección de multiplexaje, obviamente es un enlace SDH que une dos multiplexores adyacentes o dos equipos terminales que desempeñan alguna función de multiplexaje.

### 3.3 Tasas y formatos de SDH

#### 3.3.1 Estructura de la trama STM-1

Se discutirá el concepto de trama STM-1 para SDH y se comparará con la trama STS-3 SONET.

La trama STM-1 para SDH (figura 3.2) es muy similar a la trama STS-3 de SONET (figura 2.13). Tiene una estructura con nueve filas y 270 columnas. El byte en la primera fila y la primera columna se transmite primero. Este es seguido por el byte que tiene a la izquierda en la misma fila. La secuencia de transmisión es exactamente la misma que se adopta para el estándar SONET. Esto es, de izquierda a derecha y de arriba hacia abajo.

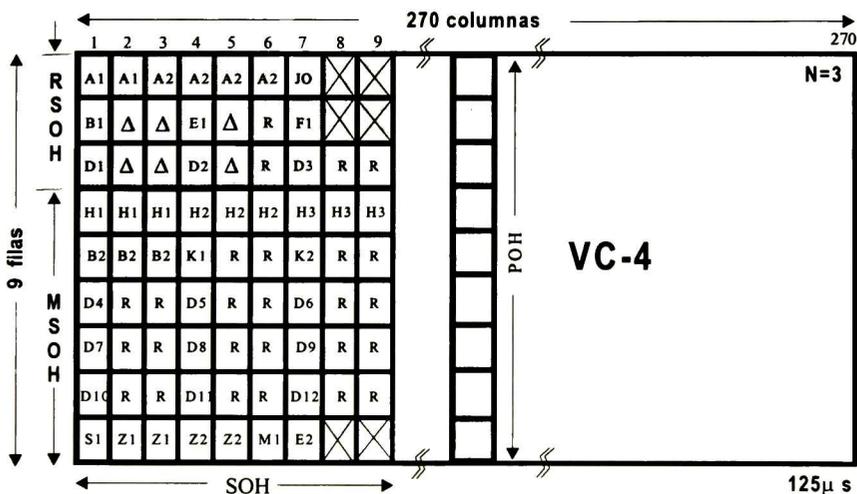


Figura 3.2. Estructura de la trama STM-1 SDH.

En el caso de la señal STM-1 de SDH, la carga útil (VC-4) tiene una estructura de 9 bytes por 261 bytes y tiene una capacidad de 2349 bytes a 150.336 Mbps la cual puede transportar señales E4 de 139.264 Mbps o señales equivalentes. Añadiendo el encabezado

correspondiente se construye la trama STM-1 de 155.52 Mbps. La trama STM-M, al igual que una trama STS-N SONET, tiene una duración de 125µs.

### 3.3.2 Encabezado de transporte para STM-1

El encabezado de transporte para una trama STM-1 de SDH (figura 3.3) es muy similar al encabezado de transporte de una trama STS-3 para SONET (figura 2.13). Una señal STM-1 es, por este hecho, equivalente a una señal STS-3 (más precisamente a una trama STS-3 concatenada) y de aquí se deriva la gran compatibilidad entre SDH y SONET.

Sin embargo, se observan algunas pequeñas diferencias entre STM-1 y STS-3. Al igual que para una señal SONET STS-3, para una señal STM-1 SDH el encabezado de transporte está dividido en dos partes: *encabezado de sección de regeneración* y *encabezado de sección de multiplexaje*, como se muestra en la figura 3.3, y que equivalen al encabezado de sección y al encabezado de línea, respectivamente, de una trama SONET.

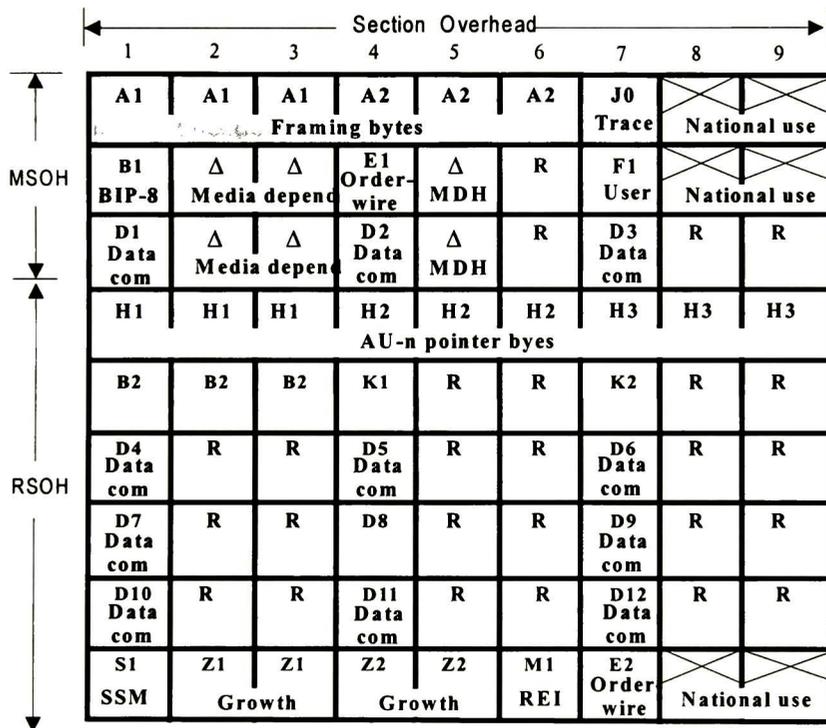


Figura 3.3. Nombre de los bytes de encabezado para una señal STM-1

Los nombres de cada byte del encabezado de transporte serán examinados aquí y comparados con sus contrapartes en señales SONET STS-3. El encabezado de transporte para SDH se muestra en la figura 3.3 y se compara con el encabezado de transporte para SONET presentado en la figura 2.11.

- La primera fila del encabezado de sección de regeneración de una STS-3 y de una STM-1 son casi idénticos (A1, A1, A1, A2, A2, A2, J0, Z0, Z0), excepto por los dos

últimos bytes en SDH indicados por “X” Para SONET estos dos bytes no son aún asignados, pero para SDH estos bytes son asignados para “uso nacional”

- La segunda fila para SDH tiene tres bytes (2ª, 3ª y 5ª columna) asignados para bytes “*dependientes del medio*”. Los últimos dos bytes de esta fila son asignados también para “uso nacional” Por otro lado, en el estándar SONET, estos bytes aún no han sido asignados.
- Para la tercera fila, la única diferencia con el SOH de SONET son los dos bytes “dependientes del medio” en las columnas 2 y 3 para SDH que serán definidos posteriormente por el comité de SDH. Estos dos bytes están indefinidos en SONET. Todos los demás bytes de esta fila tienen la misma función tanto en SONET como en SDH.
- La fila de apuntadores tiene la misma estructura que en una trama SONET, sin embargo, estos bytes tienen diferentes aplicaciones en SDH.
- Las filas de la 5 a la 7 son idénticas tanto en SONET como en SDH.
- La última fila de una STM-1 tiene dos bytes asignados para “uso nacional”, pero para SONET estos bytes están aún indefinidos.
- Para el encabezado de trayectoria (POH), hay un byte que difiere entre SONET y SDH. N1 es denominado en SDH como “Network Operator Byte”, mientras que para SONET se llama “Tandem Connection Maintenance Byte”.

De las similitudes existentes entre las tramas SONET y SDH tenemos las siguientes:

- Tanto las tramas SONET como las SDH tienen 9 filas.
- Cualquier trama STS-N SONET o STM-M SDH tienen un intervalo de tiempo de 125  $\mu$ s; la cual se deriva de la razón 8000 muestras/segundo (teorema de muestreo de Nyquist).
- Una trama STM-M tiene tres veces la capacidad de una trama STS-N; por ejemplo, una trama STM-1 tiene 270 columnas, lo que es tres veces más que las columnas de una STS-1.
- Además, la relación entre la tasa de una señal STS-N para SONET y la tasa de una señal STM-1 para SDH puede ser expresada como sigue: tasa de  $STM-M = M \times$  (rate de STS-3).

Una señal STM-0 SDH es una señal que realmente no está definida en el estándar, pero se ha creado al hacer la relación en SDH con la señal SONET STS-1 y ambas tienen una tasa de 51.84 Mbps.

### ***3.3.3 Estructura de la trama STM-M***

Los bytes de encabezado para una señal STM-4, una señal STM-16 y una señal STM-64 serán discutidos a continuación:

Para una señal STM-4: Doce bytes A1 son seguidos por doce bytes A2, 1 bytes J0, 3 bytes Z0 y 8 bytes de “uso nacional” para la primera fila (ver figura 3.4), los cuales *no deben de ser aleatorizados*. Los bytes de encabezado restantes son 4 veces más, en número, que en una trama STM-1.

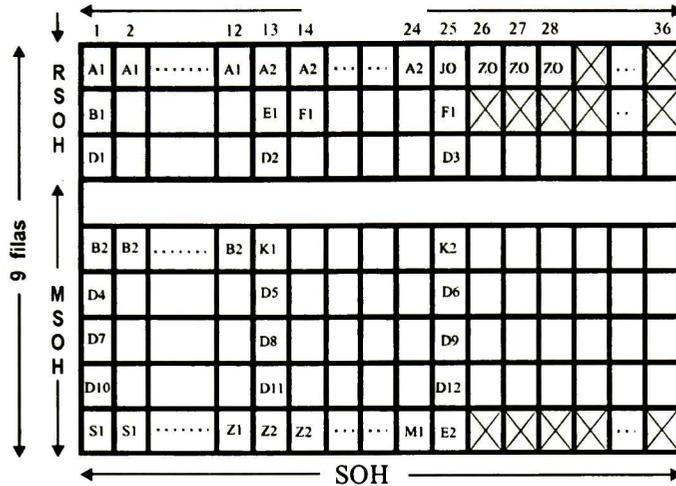


Figura 3.4. Bytes de encabezado para una señal STM-4

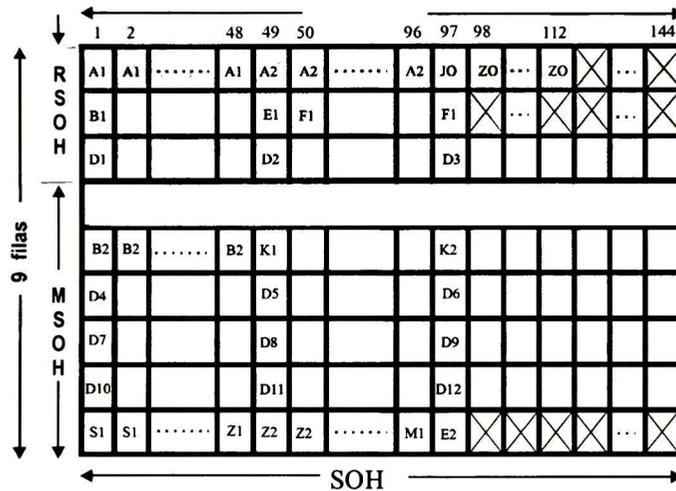


Figura 3.5. Bytes de encabezado para una señal STM-16

Para una señal STM-16: 48 bytes A1 son seguidos por 48 bytes A2, 1 byte J0, 15 bytes Z0 y 32 bytes de "uso nacional" para la primera fila, los cuales no deben ser aleatorizados. Los bytes de encabezado restantes son 16 veces más, en número, que en una trama STM-1.

Para una señal STM-64 y STM-256 se tiene un tipo de asignación de función de bytes similar.

### 3.3.4 Encabezado de sección de regeneración para STM-M

Debido a la importancia que tiene en esta tesis. en esta sección se revisa el encabezado de sección de regeneración. Dado que el estándar SDH es similar al estándar SONET, las funciones de los bytes de encabezado SOR y SOH son también similares entre ambos estándares.

Los primeros seis bytes del encabezado de sección de regeneración (RSOH) de una trama STM-1 son tres *bytes A1* seguido de tres *bytes A2* (Ver figura 3.2). El patrón de trama A1A2 debe ser hex F628 (1111 0110 0010 1000). Los bytes A1 y A2 se deben de colocar en todas las tramas STM-1 dentro de una señal STM-M. Esto es, para una señal STM-16, deben de haber  $16 \times 3 = 48$  pares de bytes A1 y A2, dado de hay tres pares de bytes A1 y A2 para cada STM-1.

El *byte B1 (BIP-8)* es colocado en cada STM-M para el monitoreo de errores en la capa de sección de regeneración. En el proceso de transmisión B1 es calculado aplicando paridad par sobre todos los bytes de la trama STM-M en curso después de la aleatorización (ver sección 4.3.4). El B1 calculado es colocado en la posición del byte B1 de la trama STM-1 número uno de la siguiente trama STM-M antes de la aleatorización. Este byte B1 es definido solamente para la primera señal STM-1 de una señal STM-M. En otras palabras. En la localidad en la segunda fila y primera columna es asignada para el byte B1, pero no las demás columnas.

Los *bytes  $\Delta$  "dependientes del medio"* ("media depends") están reservados para estudios posteriores por el comité SDH. El *canal de usuario F1*, es utilizado para los propósitos del usuario y es definido sólo para la primera trama STM-1 de una señal STM-N.

El *byte de canal de orden, E1*, es colocado para ser utilizado como un canal de conexión de voz de 64 kbps utilizado para comunicación entre regeneradores, hubs y terminales remotas y es definido solamente para la primera trama STM-1 de una trama STM-M.

Los bytes de canales de comunicación (DCC), D1, D2 y D3, son canales de 192 kbps cada uno (fuera del alcance de esta tesis). Este byte está disponible para generado interno, generado externo y mensajes específicos del proveedor. Estos bytes son definidos solo para la primera STM-1 de una señal STM-M. Los bytes DCC Sirven para los siguientes propósitos:

- Alarmas
- Mantenimiento
- Control
- Monitoreo
- Administración
- Otras necesidades de comunicación entre terminales.

### **3.3.5 Jerarquía de las señales STM-M**

SONET tiene una tasa de transmisión básica (STS-1) de 51.54 Mbps; esta señal en su forma eléctrica es llamada STS-1 y en su forma óptica es llamada OC-1. Esta señal es designada para transportar señales PDH DS3 o equivalentes. Por otro lado, SDH tiene una tasa de transmisión básica (STM-1) de 155.52 Mbps. La forma óptica la señal STM-M es llamada *STM-1-O*, donde el sufijo "O" se refiere a la palabra "Óptica" Una STM-1 se utiliza para transportar una señal E-4 o equivalente con una tasa nominal de 139.264 Mbps (sin encabezado). La tabla 3.1 muestra la relación entre tasas de transmisión SONET y SDH.

Comparación entre SONET y SDH			
SONET		SDH	SONET/SDH
Señal eléctrica (óptica)	Nota	Señal eléctrica (óptica)	Tasa (Mbps)
STS-768 (OC-768)	La más alta hoy día	STM-256E (STM-256-O)	39,813.120
STS-192 (OC-192)		STM-64E (STM-64-O)	9,953.280
STS-48 (OC-48)		STM-16E (STM-16-O)	2,488.320
STS-36 (OC-36)	Removida del estándar	---	1,864.240
STS-24 (OC-24)	Removida del estándar	---	1,244.160
STS-18 (OC-18)	Removida del estándar	---	933.120
STS-12 (OC-12)		STM-4E (STM-4-O)	622.080
STS-9 (OC-9)	Removida del estándar	---	464.560
STS-3 (OC-3)		STM-1E (STM-1-O)	155.520
STS-1 (OC-1)		---	51.84

--- = No especificada E = Eléctrica O = Óptica

Tabla 3.1. Tabla de comparación entre las tasas de señales SONET y SDH

### 3.4 Aleatorización y desaleatorización en SONET/SDH

Por último, debido a la relevancia que tiene en esta tesis, se explica ahora el proceso de aleatorización de datos SONET/SDH al momento de la transmisión.

Un sistema digital es utilizado tanto para transmitir señales digitales, como pueden ser datos de computadora, como para transmitir una señal analógica que ha sido digitalizada previamente, tal como sería señal de voz. Cualquier sistema digital de comunicaciones debe ser capaz de entregar estas señales al usuario con una calidad aceptable. En otras palabras, después del que el sistema digital ha transportado la señal digital a lo largo de una gran distancia, la señal recibida y restaurada (ya sea de datos o de voz) debe ser lo más parecida posible a la señal transmitida por la fuente. Además, para que un sistema digital mantenga una calidad aceptable, el flujo de bits recibidos debe ser restaurada con la menos cantidad de errores posibles. Para evitar problemas de este tipo, un receptor que restaura la señal con una tasa de error aceptable requiere de un reloj para hacer la decodificación exacta y debe estar sincronizado con la señal recibida.

En los sistemas digitales de comunicación, el reloj de decodificación de datos en el lado receptor es tomado directamente de la señal transmitida por la fuente. Para llevar a cabo esta recuperación del reloj, el flujo de bits transmitido debe garantizar una suficiente densidad de unos. Esto es, una señal digital debe contener una abundante cantidad de transiciones uno a cero y cero a uno. La tecnología utilizada para modificar una señal digital con una notable carencia de transiciones a una señal con abundantes transiciones es llamada “tecnología de supresión de ceros” La supresión de ceros puede ser implementada utilizando códigos de línea o, como en el caso de SONET/SDH, una aleatorización (“scrambling”) sobre los datos transmitidos, la cual consiste en añadir módulo dos cada bit de información enviado con un bit perteneciente a un código cíclico particular. Este código

cíclico para la tecnología SONET/SDH se presenta con detalle en la sección 4.3.3. Por lo anterior, los datos que llegan al lado receptor llegan aleatorizados y es necesario hacer el proceso inverso para recuperar la señal original enviada por el usuario. A este proceso se le llama *desaleatorización* (“*descrambling*”) y también se trata con más detalle en la sección 4.3.3.

### 3.5 Alcance de la tesis

Esta tesis tiene como objetivo construir un entramador para señales STS-3/STM-1 con funciones de capa de sección. El entramador que aquí se diseña tiene las siguientes características:

- Alinea las tramas (sección 4.3.1.1 )
- Limita las fronteras de los bytes entrantes al elemento de red (sección 4.3.1.2)
- Detectar los defectos y generar las señales correspondientes para fuera de trama, pérdida de señal, pérdida de trama y pérdida de reloj (sección 4.3.2)
- Realiza la desaleatorización (“*descrambler*”) (sección 4.3.3)
- Realiza el cálculo del byte BIP-8 de sección (sección 4.3.4)

Este circuito presenta las características mencionadas a continuación:

- Opera a dos tasas de transmisión SONET/SDH diferentes según la configuración del circuito: STS-1/STM-0 o STS-3/STM-1
- Procesa un *flujo serial de bytes* (8 bits por pulso de reloj) y no un *flujo serial de bits* (1 bit por pulso de reloj) como es común en los circuitos de comunicaciones.
- Según la configuración del circuito, la alineación de tramas se alcanza con dos o con cuatro tramas válidas detectadas consecutivamente
- Opcionalmente, entrega en su salida un flujo STS-1/STM-0 o STS-3/STM-1 con aleatorización o sin ella
- El desaleatorizador opera también con flujo de bytes
- Sirve de base para la construcción de entramadores que operen a tasas de transmisión mayores a STS-3/STM-1

Este entramador ha sido diseñado de manera que resulta genérico y puede formar parte de cualquier equipo de red. Un ejemplo de elemento de red que utilizaría este entramador sería un ADM que se encuentra en la capa de línea, pero que ejecuta funciones de la capa de sección, y necesita realizar un proceso de alineación de trama, monitorear errores en la comunicación tales como la pérdida de trama y detectar la pérdida de señal.

En el próximo capítulo se exponen con más detalle los requerimientos para la construcción del componente configurable VLSI entramador con funciones en la capa de sección para señales SONET/SDH STS-3/STM-1 en cuestión.

## 4 Requerimientos para el entramador SONET/SDH STS-3/STM-1

### 4.1 Introducción

Como ya se ha mencionado en varias ocasiones, en esta tesis se diseña un componente configurable VLSI entramador con funciones en la capa de sección para señales SONET/SDH STS-3/STM-1, el cual puede ser llamado simplemente “*entramador*”. En este capítulo se presentan los *requerimientos funcionales* y los *requerimientos genéricos* del estándar SONET/SDH a considerar para la construcción del entramador. Se presenta además una lista de características con las que debe contar este componente.

Los *requerimientos funcionales* son aquellos referidos a las funciones generales que se desean que el entramador desempeñe.

Los *requerimientos genéricos* son aquellas recomendaciones, especificaciones, y criterios particulares que se toman directamente de las normas establecidas en el estándar SONET/SDH [1, 2, 3] y que deben de considerarse al momento de hacer cumplir los *requerimientos funcionales* solicitados para el diseño del entramador.

En este documento, cada *requerimiento funcional* es marcado con una etiqueta de la forma **RFE-N**, donde **RF** se refiere al término “requerimiento funcional”, **E** se refiere a “entramador” y **N** especifica el número de requerimiento. De la misma forma, cada requerimiento genérico tiene una etiqueta de la forma **RGE-N**, donde **RG** se refiere al término “requerimiento genérico”, **E** se refiere a “entramador” y **N** especifica el número de requerimiento. En cuanto a la lista de características, cada una de ellas tiene una etiqueta de la forma **CE-N**, en donde **CE** se refiere a “característica del entramador” y **N** es el número de característica.

### 4.2 Requerimientos funcionales para entramador con funciones en la capa de sección para señales SONET/SDH STS-3/STM-1

#### 4.2.1 *Requerimientos funcionales*

Los requerimientos funcionales para el circuito configurable VLSI entramador con funciones en la capa de sección para señales SONET/SDH STS-3/STM-1 presentado en esta tesis son los siguientes:

El circuito VLSI entramador con funciones en la capa de sección para señales SONET/SDH STS-3/STM-1 debe de:

- [RFE- 1] Indicar la alineación de tramas, para STS-1/STM-0 y STS-3/STM-3 con dos o con cuatro tramas válidas detectadas consecutivamente, bajo las condiciones que se especifican en la sección 4.3.1.1.
- [RFE- 2] Generar la señal de fuera de trama (“*Out of frame*”, OOF) bajo las condiciones que se especifican en la sección 4.3.1.1.
- [RFE- 3] Alinear los bytes, es decir, definir las frontera de los bytes, para STS-1/STM-0 y STS-3/STM-3 como se especifica en la sección 4.3.1.2.
- [RFE- 4] Indicar la pérdida de señal (“*Loss Of Signal*”, LOS) en señales STS-1/STM-0 y STS-3/STM-3 bajos las condiciones especificadas en la sección 4.3.2.1.
- [RFE- 5] Indicar la pérdida de trama (“*Loss Of Frame*”, LOF) LOF en señales STS-1/STM-0 y STS-3/STM-3 bajo las condiciones que se especifican en la sección 4.3.2.2.
- [RFE- 6] Indicar la pérdida de reloj (“*Loss of clock*”, LOC) en señales STS-1/STM-0 y STS-3/STM-3 bajo las condiciones que se especifican en las sección 4.3.2.3.
- [RFE- 7] Entregar los datos con aleatorización o sin ella, según la configuración del entramador, como se especifica en la sección 4.3.3
- [RFE- 8] Calcular el BIP-8 de sección de la trama STS-1/STM-0 y STS-3/STM-3 que entra al entramador como se especifica en la sección 4.3.4
- [RFE- 9] Indicar la aparición del byte J0 dentro del flujo de SONET/SDH para STS-1/STM-0 y STS-3/STM-3

#### **Requerimientos funcionales adicionales:**

- [RFE- 10] Detectar tramas nuevas SONET/SDH ya sea STS-1/STM-0 ó STS-3/STM-1 como se especifica en la sección 4.3.1.1 con el objeto de detectar la alineación de tramas.
- [RFE- 11] Indicar la presencia del ultimo byte de cada trama para STS-1/STM-0 y STS-3/STM-3 para saber cuando iniciar el cálculo de B1
- [RFE- 12] Indicar cuando el valor del cálculo de la paridad de la trama (byte BIP-8 de sección) ha sido actualizado para tramas STS-1/STM-0 y STS- 3/STM-3.
- [RFE- 13] Ignorar FSC’s falsos para evitar falsas alineaciones de tramas.

#### **4.2.2 Características adicionales**

Adicionalmente, este circuito entramador debe presentar las características mencionadas a continuación.

El circuito entramador con funciones en la capa de sección debe de:

[CE- 1] Operar a dos tasas de transmisión SONET/SDH diferentes según la configuración del circuito: STS-1/STM-0 o STS-3/STM-1

[CE- 2] Procesar un *flujo serial de bytes* (8 bits por pulso de reloj) y no un *flujo serial de bits* (1 bit por pulso de reloj).

[CE- 3] Contar con un desaleatorizador que opere con flujo de bytes.

[CE- 4] Servir de base para la construcción de entramadores que operen a tasas superiores a STS-3/STM-1.

### 4.3 Requerimientos genéricos para entramador con funciones en la capa de sección para señales SONET/SDH STS-3/STM-1

En todos los casos se debe de considerar el siguiente requerimiento genérico:

[RGE- 1] Debido a la característica [CE- 2], el reloj para procesar señales SONET/SDH STS-1/STM-0 debe ser de  $51.84\text{Mbps}/8 = 6.48\text{Mbps}$  y para señales STS-3/STM-1 debe ser de  $155.52\text{Mbps}/8 = 19.44\text{Mbps}$ .

Éste es conocido como *requerimientos de tiempo*.

#### 4.3.1 Requerimientos genéricos para la alineación de tramas y delimitación de bytes

##### 4.3.1.1 Alineación de tramas

Esta sección contiene el criterio relacionado con el monitoreo de señales SONET/SDH para cumplir con los requerimientos funcionales [RFE- 10], [RFE- 1] y [RFE- 2], los cuales consisten en detectar nuevas tramas e indicar la alineación de tramas, así como indicar el defecto llamado *fuera de trama* (“*Off Of Frame*”, OOF). Estos criterios son aplicables a todos los elementos de red SONET/SDH con funcionalidad de equipos terminales de sección (STE), así como a elementos de red que no son STE pero que necesitan analizar la señal SONET/SDH con propósito de monitoreo. La *alineación de trama* es el estado en el cual la trama del equipo receptor está sincronizada con la trama de la señal recibida [3].

Debido a su naturaleza síncrona, un elemento de red SONET/SDH debe de alinearse con los demás elementos de red. Después de un número determinado de tramas (según la configuración) detectadas consecutivamente, se afirma que el elemento de red está sincronizado o alineado en tramas. Con esto, todo el sistema sabe que en su entrada tiene un flujo válido de SONET/SDH.

El entramador debe de monitorear los datos de entrada STS-1/STM-0 o STS-3/STM-1 en busca del *patrón de inicio de trama* (“*Frame synchronous code*”, FSC) el cual es **A1A2** para STS-1/STM-0 o **A1A1A1A2A2A2** para STS-3/STM-1, donde A1 es el byte “11110110” (Hex F6) y A2 es el byte “00101000” (Hex 28) [2].

El patrón de inicio de trama debe aparecer cada 125  $\mu$ s, pues es el tiempo de duración de una trama completa. Una vez que el FSC es localizado en el flujo de bytes de entrada, el entramador debe producir un pulso que indique la detección de la nueva trama. Este pulso es llamado *pulso de trama* o FP (por sus siglas en inglés, “*Frame Pulse*”). Además, con la detección del inicio de la trama, debe de iniciarse un conteo de bytes de la trama SONET/SDH para determinar la posición del byte J0, así como la posición del último byte de la trama ([RFE- 9] y [RFE- 11]). El FP es de utilidad para detectar tramas faltantes y el último byte de la trama es de utilidad para el cálculo del byte BIP-8 de sección (esto se discute en el próximo capítulo).

El monitoreo de datos continúa durante todo el proceso de comunicación para detectar posibles pérdidas de alineación. La alineación de trama se pierde en el momento en que no se han detectado cuatro tramas válidas consecutivamente [1]. Este defecto es conocido como “*fuera de trama*” (OOF). Todo esto se resume en los siguientes requerimientos genéricos.

**[RGE- 2]** El patrón de trama observado por un elemento de red SONET/SDH deberá incluir un subconjunto de bytes A1 y A2 (FSC) contenidos en la señal eléctrica STS-N/STM-M o la señal óptica OC-N/STM-MO [1]. Se dice que una trama es detectada cuando dentro de los datos SONET/SDH entrando al elemento de red se detecta el FSC. La detección de una trama es indicada con un pulso denominado pulso de trama (FP).

**[RGE- 3]** Un defecto OOF deberá ser detectado cuando la señal entrante tiene un mínimo de cuatro patrones de trama erróneos consecutivos. El máximo tiempo de detección de un OOF debe ser de 625  $\mu$ s para una señal aleatoria [1].

**[RGE- 4]** Una vez que un defecto OOF ha sido detectado, el elemento de red SONET/SDH tendrá que terminar el defecto OOF hasta que se detecten  $N$  patrones de trama consecutivos libres de error y con esto señalar el estado de alineación de tramas [1]. Para el caso de esta tesis se toma  $N=2, 4$ .

**[RGE- 5]** El algoritmo utilizado para verificar el alineamiento de las tramas debe ser de tal manera que un defecto OOF no sea detectado más de una vez por un promedio de 6 minutos mientras el BER de la STS-N/STM-M es  $10^{-6}$  (Se asume una distribución de Poisson de bit de error) [1]

#### **4.3.1.2 Delimitación de bytes**

La delimitación de bytes consiste en encontrar las fronteras de los bytes que entran al módulo entramador. En el estándar SONET/SDH [1][2],[3] no existen requerimientos

genéricos relacionados con este hecho, sin embargo, es necesario conocer y delimitar las fronteras de un byte dentro de la trama SONET/SDH como se explica a continuación.

Como se mencionó anteriormente, la entrada al entramador es un flujo serial de bytes ([CE-3]). Es muy probable que los bytes que se reciben no vengan convenientemente delimitados. Por ejemplo, es posible que en una trama STS-1/STM-0 no se reciba primero el byte A1 (11110110) y después el byte A2 (00101000) delimitados en sus fronteras. Lo más probable es que primero se reciba una parte del byte A1, después el resto de A1 junto con el inicio de A2 y por último lo que resta de A2 junto con el inicio del byte J0. La figura 4.1 (a) muestra el caso ideal en donde los bytes entran delimitados en sus fronteras y la figura 4.1 (b) muestra un caso más real en donde es necesario realizar una delimitación de bytes.

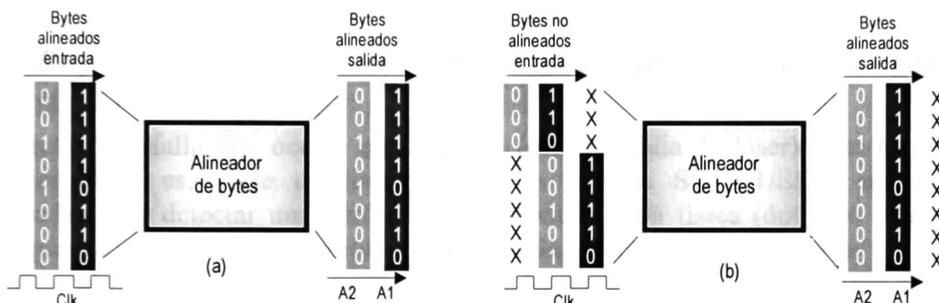


Figura 4.1. Alineación de bytes.

Haciendo referencia a la figura 4.1, el alineador de bytes debe de ordenar los bits del flujo de entrada de tal manera que los bytes del flujo de salida corresponda a un byte de la trama SONET/SDH correctamente delimitado en sus fronteras. En la figura 4.1 (a), el byte A1 y A2 entran al alineador de bytes sin presentar corrimiento de bits, así que no es necesario delimitar los bytes, pues estos corresponden a A1 y A2, respectivamente. Por otro lado, en la figura 4.1 (b), los bytes A1 y A2 entran desplazados tres bits de distancia (X representa cualquier bit, 1 ó 0) y entonces es función del alineador de bytes delimitar las fronteras de los bytes entrantes y entregar a la salida A1 y A2 en el orden correcto. Lo mismo debe hacerse con todos los bytes restantes que constituyen la trama SONET/SDH.

### 4.3.2 *Requerimientos genéricos para indicación de alarmas en la capa de sección*

Esta sección contiene el criterio relacionado con el monitoreo de las señales de SONET/SDH para cumplir con los requerimientos funcionales [RFE- 4], [RFE- 5] y [RFE- 6]. Las alarmas de vigilancia tratan con la detección y el reporte de ciertas condiciones degradadas en la red. Es función del entramador planteado en esta tesis señalar algunas condiciones anómalas en la capa de sección en el proceso de recepción de tramas SONET/SDH.

La detección de un defecto puede producir una acción en particular (por ejemplo, producir una señal de mantenimiento), mientras que la terminación de un defecto generalmente causa la acción de ser detenida la acción desempeñada (por ejemplo, remover la señal de

mantenimiento). Cuando un defecto persiste por un período de tiempo determinado, generalmente se declara una falla y el dispositivo pertinente coloca una indicación de dicha falla. Una vez que la indicación de falla ha sido colocada, si el defecto se termina o queda ausente por algún período de tiempo, entonces la indicación de falla es finalizada. Las indicaciones de fallas pueden ser o no automáticamente reportadas al sistema operativo, y las indicaciones reportadas pueden ser consideradas o no como alarma. Algunas indicaciones de falla pueden también resultar en una alarma visible y/o audible localmente en el elemento de red.

El entramador aquí presentado para SONET/SDH detecta los siguientes defectos: la *pérdida de señal* (“*loss of signal*”, *LOS*), la *pérdida de trama* (“*loss of frame*” *LOF*) y la *pérdida de reloj* (“*loss of clock*” *LOC*). A continuación presentan los requerimientos genéricos para la indicación de alarmas en la capa de sección.

#### ***4.3.2.1 Requerimientos genéricos para la indicación de pérdida de señal (LOS)***

Para detectar una falla que ocurre en la fuente (esto es, falla de láser) o en el medio de transmisión (esto es, corte de fibra), todas las señales SONET/SDH entrantes son monitoreadas para detectar una pérdida de señal en la capa física (óptica o eléctrica) en caso de que esto suceda. La detección de una pérdida de señal (“*Loss of Signal*”, *LOS*) debe tomar lugar dentro de un corto período de tiempo para lograr el restablecimiento de la carga útil transportada. Aquí se presentan los requerimientos genéricos para la indicación de *LOS*.

**[RGE- 6]** Un elemento de red SONET/SDH tendrá que monitorear todas las señales entrantes (antes de la desaleatorización) buscando un patrón de “sólo ceros”, donde un patrón de este tipo corresponde a una ausencia de pulsos de luz en la interfaz óptica OC-N/STM-M-O o ausencia de transición de voltaje en la interfaz eléctrica STS-N/STM-M. Un defecto *LOS* tiene que ser detectado cuando un patrón de “solo ceros” en la señal SONET/SDH entrante persiste por 100 $\mu$ s o más. Si un patrón “sólo ceros” persiste por 2.3 $\mu$ s o menos no es necesario traducirlo como una pérdida de señal [1]. Para el diseño de el entramador presentado en esta tesis el defecto *LOS* se detecta cuando una cadena “sólo ceros” persiste por lo menos 100  $\mu$ s.

**[RGE- 7]** Un NE SONET/SDH tendrá que terminar la indicación de un defecto *LOS* cuando en la señal entrante se detectan dos *FSC*'s válidos consecutivos [1].

#### ***4.3.2.2 Requerimientos genéricos para la indicación de pérdida de trama (LOF)***

Todas las señales SONET/SDH entrantes tienen que ser monitoreadas para detectar una pérdida de trama *LOF*. Aquí se presentan los requerimientos genéricos para la indicación de *LOF*.

**[RGE- 8]** Un elemento de red detectará un defecto LOF cuando un defecto OOF (fuera de trama) persiste por más de 3ms [1].

**[RGE- 9]** El elemento de red SONET/SDH tendrá que terminar un defecto LOF de 1ms a 3ms después de terminar el defecto OOF en la señal SONET/SDH entrante, si es que el defecto OOF no es re-detectado antes que el defecto LOF sea terminado [1].

#### **4.3.2.3 *Requerimientos genéricos para la indicación de pérdida de reloj (LOC)***

La pérdida de reloj no está definida en los requerimientos genéricos del estándar SONET/SDH, sin embargo, en el entramador diseñado se implementa esta función. La detección de pérdida de reloj consiste principalmente en monitorear el reloj principal del entramador y determinar si ha dejado de producir pulsos.

**[RGE- 10]** Se tendrá que indicar una pérdida de reloj si se han perdido cuatro pulsos consecutivos en el reloj del elemento de red.

**[RGE- 11]** Para salir del estado de pérdida de reloj se tendrá que detecta al menos un nuevo pulso del reloj principal del entramador.

Se recomienda el uso de un reloj auxiliar que trabaje a la par con el reloj principal del entramador para la detección de posibles pulsos perdidos en el otro reloj.

#### **4.3.3 *Requerimientos genéricos para el desaleatorizador***

Esta sección contiene el criterio relacionado con la desaleatorización de las señales de SONET/SDH para cumplir con el requerimiento funcional [RFE- 7].

El entramador debe contar con un *desaleatorizador* (sección 3.4). Su función es suprimir la aleatorización que se le agrega a los datos al momento de ser transmitidos. Esta aleatorización se hace con el objeto de evitar grandes cadenas de ceros y facilitar la recuperación del reloj [2]. Su contraparte en el lado transmisor es conocido como *aleatorizador* y es quien añade la aleatorización a los datos (ver sección 3.4).

El desaleatorizador incluido en el entramador aquí presentado debe trabajar con un flujo de bytes en vez de un flujo de bits, es decir, debe realizar la desaleatorización simultánea de ocho bits por cada pulso de reloj.

Se discutirán brevemente los requerimientos a considerar para la construcción de un desaleatorizador que trabaja con flujo de bits (según [2]), sin embargo, estos requerimientos serán tomados también para la implementación de un desaleatorizador que trabaje con flujo de bytes.

Los requerimiento genérico del descrambler son los siguientes [2]:

[RGE- 12] Se tendrá que utilizar un desaleatorizador síncrono para aplicaciones SONET/SDH con una secuencia de 127 bits operando con el reloj principal del sistema.

[RGE- 13] Dado que el polinomio generador es  $1+x^6+x^7$ , se recomienda una estructura como la mostrada en la figura 4.2, la cual cuenta con siete flip flops, tal como un registro de corrimiento.

[RGE- 14] El desaleatorizador tendrá que de reiniciar sus registros con 1111111 (siete unos) en el bit más significativo (MSB) del byte siguiente al último byte Z0 (traza de sección) en la N-ésima señal SONET/SDH.

[RGE- 15] El bit antes mencionado, usado para iniciar la desaleatorización y todos los subsiguientes bits del flujo SONET/SDH para ser desaleatorizados deben ser añadidos, módulo dos, a la salida desde la posición  $x^7$  del desaleatorizador.

[RGE- 16] Los bytes de trama A1 y A2, los bytes de traza de sección J0 y los bytes Z0 son recibidos sin aleatorización y por lo tanto no son procesados por el desaleatorizador.

[RGE- 17] Tomando en cuenta lo anterior, el desaleatorizador debe correr continuamente a través de la trama STS-N/STM-M, omitiendo la desaleatorización solamente sobre los bytes A1's, A2's, el byte J0 y los bytes Z0.

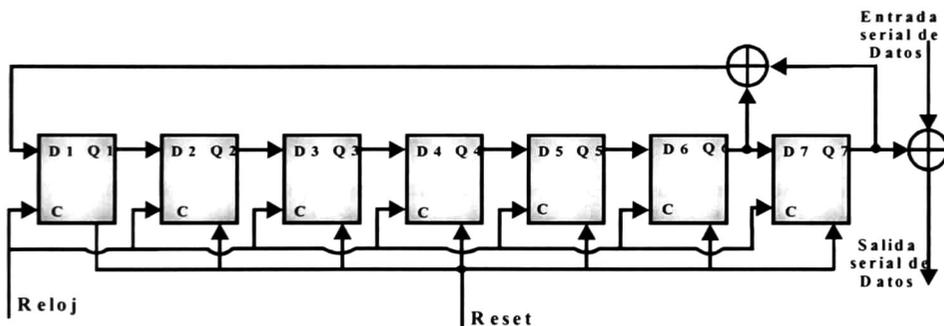


Figura 4.2. Desaleatorizador tradicional serial.

Cuando el desaleatorizador es iniciado a 1111111, la secuencia pseudo-aleatoria generada por el polinomio generador es la mostrada a continuación [6].

```

111111100000010000011000010100
011110010001011001110101001111
101000011100010010011011010110
111101100011010010111011100110
010101011111110000001000001100
001010001111001000101100111010

```

Tabla 4.1. Secuencia pseudo-aleatoria del desaleatorizador.

La secuencia se repite cada 127 bits. En la tabla 4.1 se señala con negritas el punto en donde ésta se reinicia.

Se puede ver que, incluso, si la secuencia de entrada al desaleatorizador es “000000000000000000000000...” la secuencia de datos aleatorizada aparecerá como “11111110000001000001100001...” Con esto que el desaleatorizador garantiza una densidad de unos ya que no hay transiciones de 0 a 1 o de 1 a 0 en el flujo de bits de entrada de solo ceros mientras que sí hay un gran número de transiciones en la secuencia de salida.

Hasta aquí se ha mostrado la funcionalidad del desaleatorizador serial, sin embargo, en esta tesis se debe implementar un desaleatorizador que trabaje con un flujo de bytes, y por lo tanto, hacer la desaleatorización de ocho bits por cada pulso de reloj y es por eso que ha sido denominado *desaleatorizador paralelo*. En otras palabras, se debe diseñar un desaleatorizador que haga el mismo trabajo y cumpla los mismos requerimientos que el serial mencionado anteriormente, pero, en este caso, generando la secuencia de la tabla 4.1 de ocho bits en ocho bits. Entonces, a la salida del registro interno del desaleatorizador paralelo deben aparecer los bytes “11111110”, ”00000100”, ”00011000”, ”01010001” y así sucesivamente, los cuales se añaden módulo dos con los datos SONET/SDH.

#### ***4.3.4 Requerimientos genéricos para calcular el byte BIP-8 de la capa de sección***

El entramador debe incluir entre sus funciones el cálculo de la paridad de la trama SONET/SDH con el objeto de detectar los errores que se presentan en un proceso de comunicación entre elementos que trabajan en la capa de sección. El cálculo de la paridad da como resultado un byte que es conocido como BIP-8 de sección (secciones 2.6.4 y 3.3.4).

El byte B1 es localizado en la primera trama STS-1/STM-0 de una trama STS-N/STM-M y es definido para el monitoreo de errores en el nivel de sección de una señal SONET/SDH entrante. Las correspondientes localidades de bytes de la segunda hasta la N-ésima STS-1/STM-0 de una señal de entrada o de una señal de salida están indefinidas.

Generalmente se hacen las siguientes recomendaciones para calcular el byte BIP-8:

1. Hay ocho registros involucrados con el cálculo de B1. El primer contador es destinado para calcular la paridad de todos los primeros bits de todos los bytes que conforman la trama SONET/SDH. El segundo contador se encarga de calcular la paridad entre todos los segundos bits de todos los bytes de la trama, y así hasta el octavo contador. Como un ejemplo, considere una trama STS-3/STM-1. Hay un total de 2430 bytes en la trama. Suponiendo que hubiera un número impar de primeros bits de los 2430 bytes, de acuerdo a la paridad par se debe de asignar un “1” al primer bit del byte B1. El algoritmo de paridad par es la suma módulo 2 de “1’s” en la información.
2. Se repite el mismo procedimiento para calcular el 2º, 3º, ...y 8º bit que conforman el byte B1.
3. El byte obtenido contiene la información de paridad de la trama STS-1 y se extrae del módulo para que el procesador de encabezado de sección pueda trabajar con él.

A continuación se señalan el requerimiento genéricos para calcular el byte BIP-8 de sección:

[RGE- 18] El byte B1 en una señal SONET/SDH de entrada tendrá que llevar un código BIP-8, usando paridad par. El BIP-8 de sección debe de ser calculado sobre todos los bytes de las trama SONET/SDH previa después de la aleatorización y colocado en el byte B1 de la trama SONET/SDH corriente antes de la aleatorización [1].

## 4.4 Ámbito del entramador SONET/SDH STS-3/STM-1

Para la construcción del entramador con funciones en la capa de sección para SONET/SDH presentado en esta tesis se deben de tener ciertas condiciones y limitaciones que se deben de tomar como existentes. Cada condición tiene una etiqueta de la forma **CONE-N** en donde **CON** se refiere a “condición”, **E** se refiere a “entramador y **N** es el número de condición”. A continuación se presentan estas condiciones.

La figura 4.3 muestra la posición del entramador con funciones en la capa de sección dentro de un elemento de red (en este caso se presenta un elemento de red terminador)

[CONE- 1] El entramador recibe un flujo de bytes provenientes de un demultiplexor externo que convierte el flujo de bits SONET/SDH a un flujo de bytes y que también recupera el reloj de los datos de línea. Este módulo llamado inteface de línea se muestra en la figura 4.3 pero no forma parte del entramador aquí presentado.

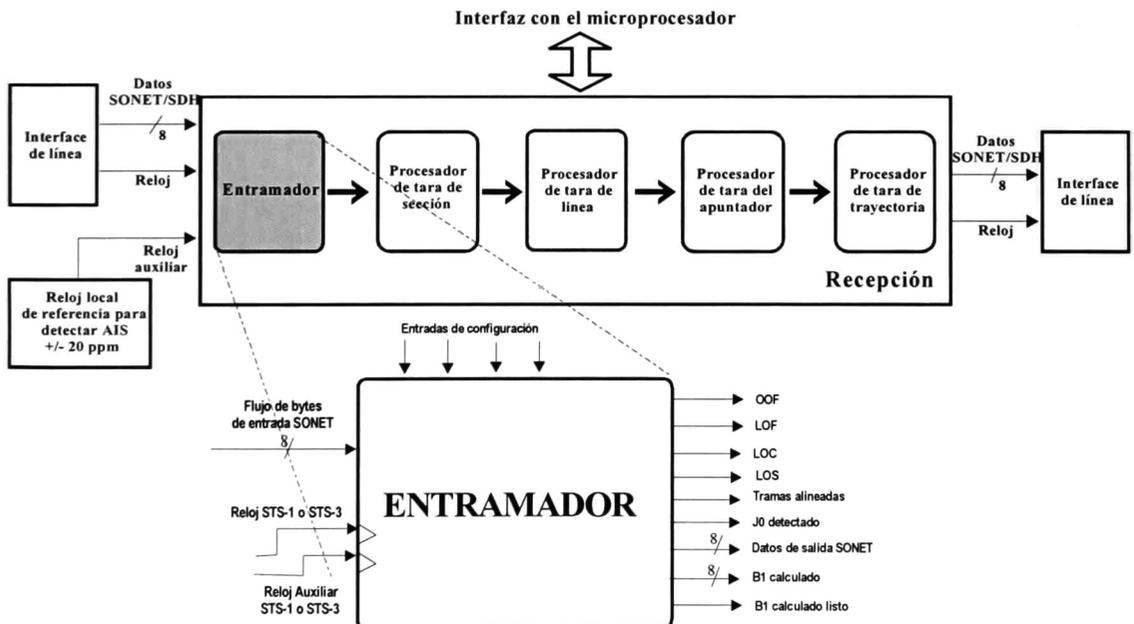


Figura 4.3. Ámbito del entramador.

**[CONE- 2]** Existe un submódulo perteneciente al elemento de red que se encarga de generar un reloj local que se utiliza para el caso en donde no es posible recuperar el reloj a causa de una pérdida de señal. Este reloj también es utilizado para detectar la pérdida de reloj.

**[CONE- 3]** La señal SONET/SDH debe de venir con aleatorización

**[CONE- 4]** Todos los procesos internos ocurren en los flancos de subida de los relojes.

**[CONE- 5]** El reloj del entramador y el reloj auxiliar deben de tener una frecuencia muy próxima entre sí con una exactitud de +/- 20 ppm.

## 5 Arquitectura.

### 5.1 Introducción

#### 5.1.1 Entramador configurable con funciones en la capa de sección para señales SONET/SDH STS-3/STM-1

En este capítulo se muestra la arquitectura propuesta para la implementación del entramador configurable con funciones en la capa de sección.

Tomando en cuenta los requerimientos funcionales y los requerimientos genéricos para el entramador presentados en el capítulo anterior, se propone una arquitectura como la mostrada en la figura 5.1, en donde las funciones del entramador han sido divididas en cuatro submódulos: *alineador de tramas con delimitador de bytes*, *indicador de alarmas de sección*, *desaleatorizador* y *calculador de BIP-8 de sección*.

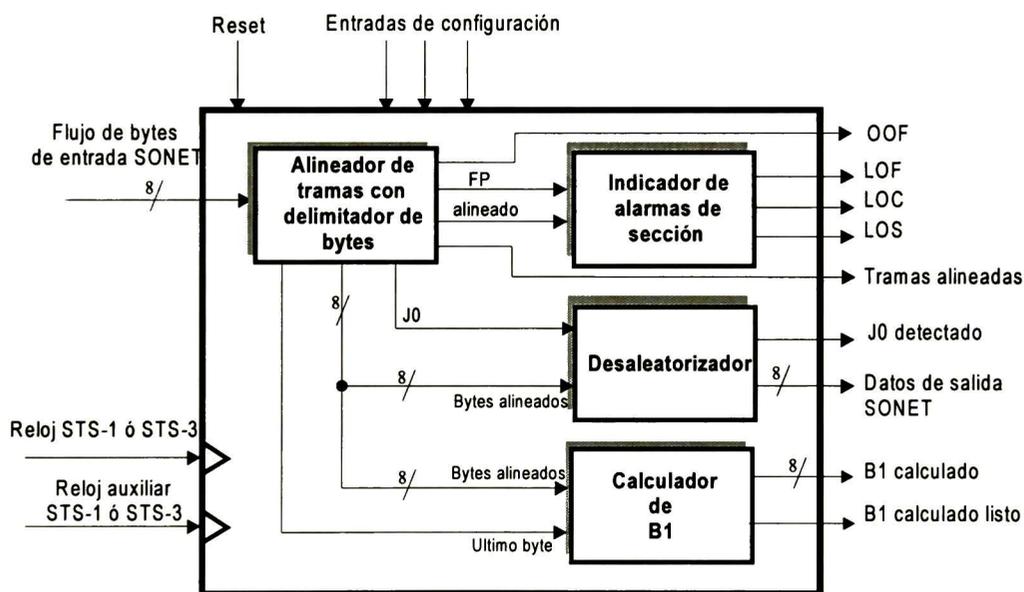


Figura 5.1. Submódulos del entramador

- El *alineador de tramas con delimitador de bytes* detecta e indica el inicio de las tramas SONET/SDH con el objeto de conseguir la alineación de tramas, como se trató en la sección 4.3.1.1.

Otra función importante desempeñada por este submódulo es la delimitación de las fronteras de los bytes. La función de delimitación de bytes se explicó anteriormente en la sección 4.3.1.2. El alineador de tramas con delimitador de bytes indica el estado de tramas alineadas, el estado fuera de trama (“*Out of Frame*”, OOF), la presencia del byte

J0 dentro del flujo SONET/SDH y la presencia del último byte de la trama SONET/SDH. Este módulo cubre los requerimientos funcionales [RFE- 10], [RFE- 1], [RFE- 2], [RFE- 3], [RFE- 9] y [RFE- 11].

- El *indicador de alarmas de sección* detecta e indica la ausencia de señal, la ausencia de tramas o la ausencia de reloj (LOS, LOF, LOC, respectivamente). Con este submódulo se cubren los requerimientos funcionales [RFE- 4], [RFE- 5] y [RFE- 6].
- El *desaleatorizador* suprime la aleatorización con las que llegan los datos SONET/SDH al entramador. Este submódulo cubre el requerimiento funcional [RFE- 7].
- El *calculador de B1 de sección* calcula la paridad de la trama SONET/SDH entrante antes de la desaleatorización para detectar los posibles errores en la capa de sección. Además, es función de este submódulo indicar el momento en que el valor de B1 se actualiza en la salida del entramador. Con esto se cubren los requerimientos funcionales [RFE-8] y [RFE-12].

Cada uno de estos submódulos será expuesto ampliamente en secciones posteriores dentro de este mismo capítulo.

El flujo de bytes de entrada SONET/SDH es recibido bajo las condiciones [CONE- 1] y [CONE- 3] presentadas en la sección 4.4. El reloj del entramador y el reloj auxiliar (sección 4.3.2.3) en todos los casos cumplen con la condición [CONE- 5] y, debido a las características [CE- 1] y [CE- 2] (sección 4.2.2) del entramador, ambos relojes deben de ser de 6.48 Mbps para STS-1/STM-0 o de 19.44 Mbps para STS-3/STM-1.

A partir de lo anterior, el entramador cuenta con siete puertos de entrada y nueve puertos de salida, como se muestra en la figura 5.2.

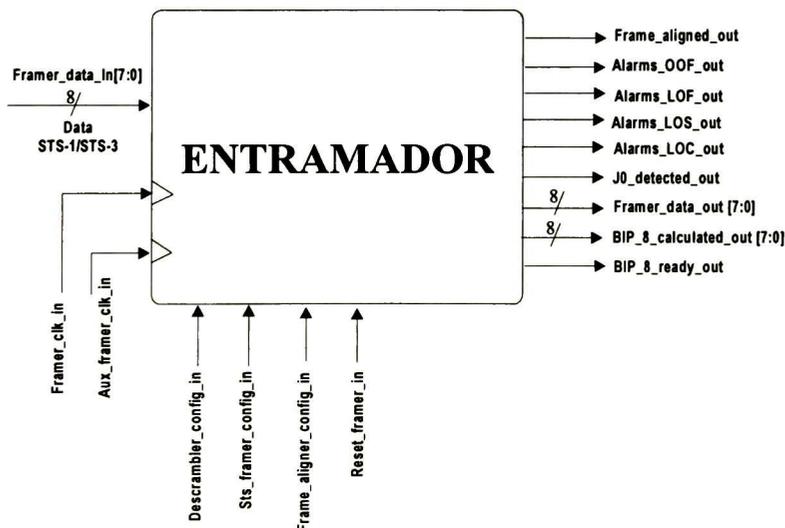


Figura 5.2. Diagrama general del entramador

Las tablas tabla 5.1 y tabla 5.2 describen cada uno de los puertos de entrada y salida del entramador.

Puertos de entrada del entramador	
Nombre del puerto	Descripción
Framer_data_in[7:0]	Entrada de datos SONET/SDH.
Framer_clk_in	Reloj principal del entramador.
Aux_Framer_clk_in	Reloj auxiliar del sistema. Sección 4.3.2.3.
Reset_framer_in	Reset general del entramador. El sistema se reinicia con <i>uno</i> lógico.
Framer_aligner_config_in	Configura al entramador para cumplir el requerimiento [RFE-1] (ver tabla Tabla 5.3).
STS_Framer_config_in	Configura al entramador para un funcionamiento con señales STS-1/STM-0 o STS-3/STM-1 (ver tabla Tabla 5.3).
Descrambler_config_in	Configura al entramador para cumplir con el requerimiento [RFE- 7] (ver tabla Tabla 5.3).

Tabla 5.1. Puertos de entrada del entramador.

Puertos de salida del entramador	
Nombre del puerto	Descripción
Framer_aligned_out	Esta salida es puesta en <i>uno</i> cuando se ha alcanzado la alineación de trama.
Alarms_OOF_out	Esta señal es puesta en <i>uno</i> cuando se pierde la alineación de tramas (defecto OOF).
Alarms_LOF_out	Esta salida es puesta en <i>uno</i> cuando se ha detectado una pérdida de trama (defecto LOF).
Alarms_LOS_out	Esta salida es puesta en <i>uno</i> cuando se ha detectado una pérdida de señal (defecto LOS).
Alarms_LOC_out	Esta salida es puesta en <i>uno</i> cuando se ha detectado una pérdida de reloj (defecto LOC).
Framer_data_out [7:0]	Entrega el flujo de SONET/SDH con los bytes delimitados en sus fronteras con o sin aleatorización.
J0_detected_out	Esta salida produce un pulso cuando se detecta la presencia del byte J0 en la salida <i>Framer_data_out</i> [7:0].
BIP_8_calculated_out [7:0]	Entrega el byte obtenido por el calculador de BIP-8 de sección.
BIP_8_ready_out	Esta salida produce un pulso cuando la salida <i>BIP_8_calculated_out</i> [7:0] se actualiza.

Tabla 5.2. Puertos de salida del entramador.

En las siguientes secciones se tratará con la arquitectura y funcionalidad de cada uno de los submódulos que conforman el entramador.

Se decidió implementar los modelos presentados en esta tesis en el lenguaje de descripción de hardware VHDL (*“Very High Speed Integrated Circuit Hardware Description*

*Language*”) y considerando esto, los nombres de los puertos de entrada y salida de los bloque presentados aquí son los mismos a los utilizados dentro del código fuente VHDL que implementa dichos submódulos.

### 5.1.2 Configuración del entramador

Para que el entramador pueda cumplir con los requerimientos [RFE- 1], [RFE- 7] y la característica [CE- 1], mencionadas en el capítulo anterior, es necesario configurarlo de la manera mostrada en la tabla 5.3. Los puertos de entrada de configuración son los mencionados en la tabla 5.1. La columna “flujo de entrada” indica que tipo de señal se procesará, ya sea STS-1/STM-0 o STS-3/STM-1. La columna “alineación” indica el número de tramas detectadas necesarias para alcanzar la alineación de trama y la columna “flujo de salida” indica si los datos saldrán por el puerto *Framer\_data\_out*[7:0] con aleatorización o sin ella.

<b>Configuración del entramador</b>					
<b>Nombre del puerto de configuración</b>			<b>Descripción</b>		
<b>STS_Framer_config_in</b>	<b>Framer_aligner_config_in</b>	<b>Descrambler_config_in</b>	<b>Flujo de entrada</b>	<b>Alineación</b>	<b>Flujo de salida</b>
0	0	0	STS-3	2 tramas detectadas	aleatorizado
0	0	1	STS-3	2 tramas detectadas	desaleatorizado
0	1	0	STS-3	4 tramas detectadas	aleatorizado
0	1	1	STS-3	4 tramas detectadas	desaleatorizado
1	0	0	STS-1	2 tramas detectadas	aleatorizado
1	0	1	STS-1	2 tramas detectadas	desaleatorizado
1	1	0	STS-1	4 tramas detectadas	aleatorizado
1	1	1	STS-1	4 tramas detectadas	desaleatorizado

Tabla 5.3. Configuración del entramador.

## 5.2 Arquitectura del alineador de tramas con delimitador de bytes

El alineador de tramas con delimitador de bytes tiene cinco puertos de entrada y ocho puertos de salida (figura 5.3). A continuación se listan dichos puertos.

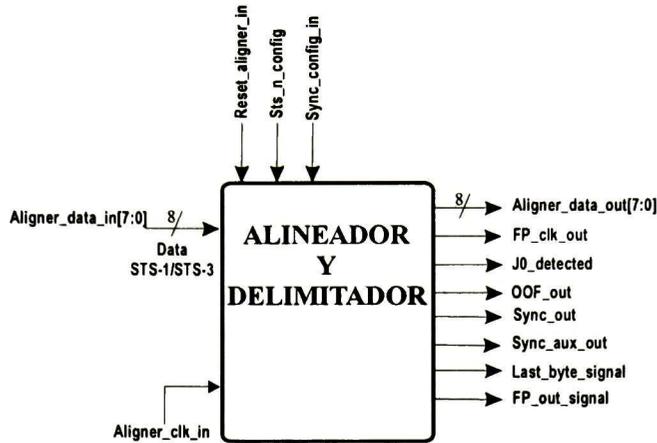


Figura 5.3. Alineador de tramas con delimitador de bytes.

Puertos de entrada del alineador de tramas con delimitador de bytes	
Nombre del puerto	Descripción
Aligner_data_in [7:0]	Recibe los datos SONET/SDH. Se conecta al puerto <i>Framer_data_in[7:0]</i> del entramador.
Aligner_clk_in	Reloj principal del alineador de tramas con delimitador de bytes. Se conecta al puerto <i>Framer_clk_in</i> del entramador.
Reset_aligner_in	Reset general del alineador de tramas y de bytes. Se conecta al puerto <i>Reset_framer_in</i> del entramador
Sync_config_in	Configura al alineador de tramas para cumplir el requerimiento [RFE- 1]. Se conecta al puerto <i>Framer_aligner_in</i> del entramador.
STS_N_config	Configura al entramador para un funcionamiento con señales STS-1/STM-0 o STS-3/STM-1. Se conecta al puerto <i>STS_Framer_config_in</i> del entramador.

Tabla 5.4. Puertos de entrada del alineador de tramas y de bytes.

Puertos de salida del alineador de tramas con delimitador de bytes	
Nombre del puerto	Descripción
Aligner_data_out[7:0]	Entrega el flujo de bytes SONET/SDH delimitados en sus fronteras con aleatorización.
FP_clk_out	Genera un pulso cada 125 $\mu$ s en donde se espera un nuevo pulso de trama (Ver sección 5.2.5).
J0_detected	Esta salida genera un pulso cuando se detecta la presencia del byte J0 en la salida [7:0] <i>Aligner_data_out[7:0]</i> . Es una señal interna y no sale del entramador
OOF_out	Esta señal se pone en <i>uno</i> cuando se presenta OOF.
Sync_out	Esta salida se pone en <i>uno</i> cuando se ha alcanzado la alineación de trama. Se conecta al puerto <i>Framer_aligned_out</i> .

Sync_aux_out	Señal para comunicar internamente que las tramas están alineadas. Esta señal es idéntica a <i>Sync_out</i> .
Last_byte_signal	Pulso que indica la presencia del último byte de la trama.
FP_out_signal	Esta señal emite un pulso para indicar internamente la detección de una nueva trama. Es la señal llamada <i>pulso de trama</i> (“ <i>frame pulse</i> ”).

Tabla 5.5. Puertos de salida del alineador de tramas y de bytes.

A su vez, el alineador de tramas con delimitador de bytes ha sido dividido en 5 bloques internos como se muestra en la figura 5.3.

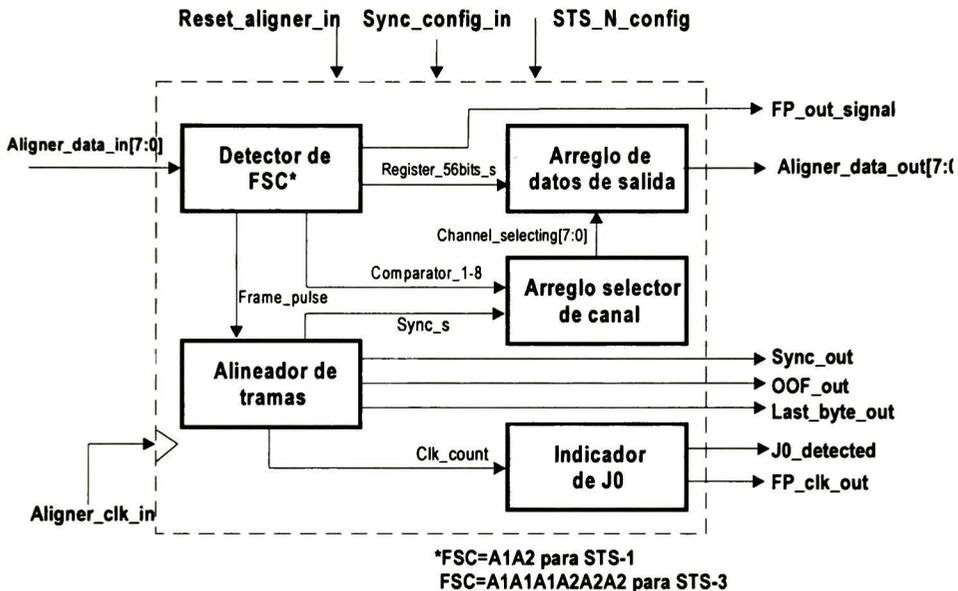


Figura 5.4. Arquitectura interna del alineador de tramas y de bytes.

### 5.2.1 Detector de FSC

Como su nombre lo indica, este submódulo tiene como tarea principal detectar el FSC (“*Frame Synchronous Code*”) que tendrá que estar incluido en cada trama SONET/SDH que entra al entramador. En referencia a la figura 5.4, el flujo de bytes SONET/SDH entra al alineador por el puerto de entrada *Aligner\_data\_in [7:0]*.

El *detector de FSC* cuenta con un registro de corrimiento que, como se ve en la figura 5.5 (registro L), almacena los datos SONET/SDH de entrada para realizar la búsqueda del FSC. Con cada pulso de reloj se recorren ocho bits dentro del registro L. El registro de corrimiento de entrada paralela y salida paralela cuenta con una entrada de ocho bits y con una salida de 56 bits, en donde el número de bits en la salida es para detectar el FSC en el peor de los casos cuando los bytes que lo conforman llegan al entramador corridos hasta siete bits de distancia (en forma similar a como se muestra en la figura 4.1). Esto se explica a continuación.

Para una señal STS-3/STM-1 se busca un FSC=A1A1A1A2A2A2, lo que equivale a  $6 \times 8\text{bits} = 48\text{bits}$ . Si los bits llegan corridos hasta 7 bits de distancia, se necesitan almacenar hasta  $48\text{bits} + 7\text{bits} = 55\text{bits}$  para asegurar que el FSC quede dentro del registro L y pueda ser detectado. Para una señal STS-1/STM-0 se espera un FSC de dos bytes A1 y A2, se necesitarán  $16\text{bits} + 7\text{bits} = 23\text{bits}$  para asegurar que el FSC quede dentro del registro L, por lo tanto, los 56 bits son más que suficientes para señales STS-1/STM-0 y STS-3/STM-1. Como se ve, el bit 0 del registro L no es de gran utilidad.

Este submódulo trabaja con flujos STS-1/STM-0 o STS-3/STM-1 y en cada caso hay ocho comparadores conectados al detector de FSC (etiquetados con la letra C en la figura 5.5), es decir, hay un arreglo de ocho comparadores para detectar el FSC dentro de señales STS-1/STM-0 y hay otro arreglo diferente de ocho comparadores también para detectar el FSC dentro de señales STS-3/STM-1. Estos comparadores (tanto para STS-1/STM-0 como para STS-3/STM-1) son de diferente longitud pues el FSC tiene también diferente longitud para cada uno de los casos (dos bytes para STS-1/STM-0 y 6 bytes para STS-3/STM-1). La tabla 5.6 muestra las conexiones de los comparadores con el registro de corrimiento (L) para ambos casos.

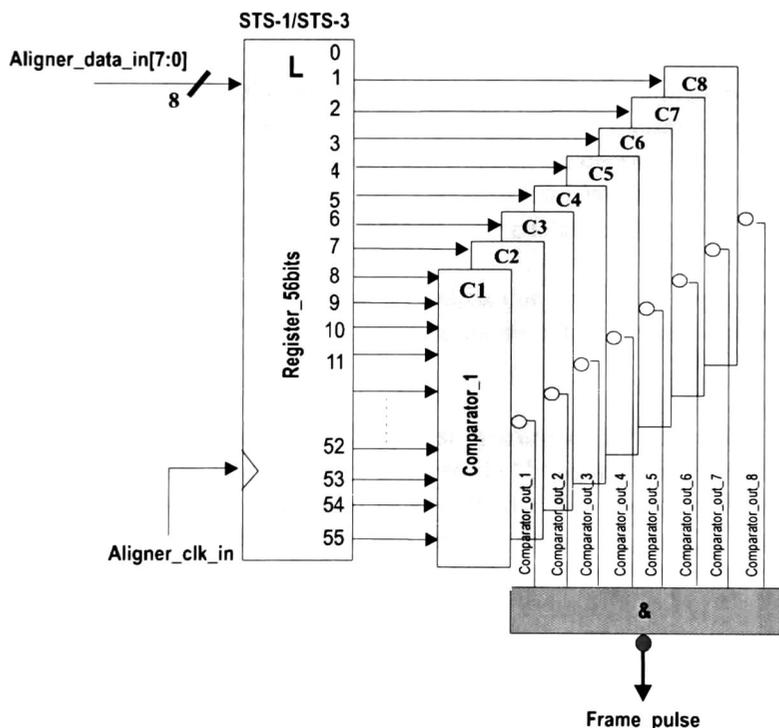


Figura 5.5. Diagrama a bloques del detector de patrón de trama

La tarea de cada comparador es localizar el FSC dentro de los 56 bits de salida del registro L. Los comparadores tienen un bus de entrada de 16 bits para STS-1/STM-0 y de 48 bits para STS-3/STM-1.

Conexión de los comparadores para STS-1 y STS-3		
Comparador $C_i$	Para STS-1	Para STS-3
$C_1$	$L_{40} - L_{55}$	$L_8 - L_{55}$
$C_2$	$L_{39} - L_{54}$	$L_7 - L_{54}$
$C_3$	$L_{38} - L_{53}$	$L_6 - L_{53}$
$C_4$	$L_{37} - L_{52}$	$L_5 - L_{52}$
$C_5$	$L_{36} - L_{51}$	$L_4 - L_{51}$
$C_6$	$L_{35} - L_{50}$	$L_3 - L_{50}$
$C_7$	$L_{34} - L_{49}$	$L_2 - L_{49}$
$C_8$	$L_{33} - L_{48}$	$L_1 - L_{48}$

Tabla 5.6. Conexiones entre el registro L y los detectores de FSC.

Las salidas de todos los comparadores están inicialmente en “uno” lógico. Cuando se detecta el FSC, la salida del comparador que hizo la detección se va a “cero” lógico, lo que hace que la compuerta *nand* se vaya a “uno” y se genera el llamado *pulso de trama*. Éste sólo dura un ciclo de reloj y aparece en el puerto de salida *FP\_out\_signal* del submódulo alineador de tramas con delimitador de bytes.

### 5.2.2 Alineador de tramas

Una vez que se ha generado el pulso de trama por la detección de una nueva trama, se inicia una cuenta dentro de bloque *alineador de tramas* la cual se incrementa cada vez que se detecta una nueva trama en forma consecutiva. Cuando la cuenta llega a dos o a cuatro, según la configuración (requerimiento [RFE- 1]), se indica la alineación de trama con un “uno” lógico en la salida *sync\_out* que por defecto está en “cero” lógico.

El evento de perder la alineación de trama se indica con un “uno” lógico en el puerto de salida *OOF\_out* (“*Out of Frame*”); esto cuando se ha detectado la pérdida de cuatro tramas consecutivas [RGE- 3].

Como se sabe, el FP debe aparecer cada 125µs, si aparece un FP antes de este tiempo y el sistema no está alineado aún, se reinicia el proceso de “búsqueda de alineación de tramas” pues es incierto cual de los FP’s detectados es el correcto. Sin embargo, si el entramador ya está alineado en tramas y se recibe un FP falso, este es ignorado, pues se considera que por casualidad se ha detectado una secuencia de bits igual al FSC dentro del flujo de información.

Para realizar la alineación de trama es preciso apearse a los requerimientos genéricos presentados anteriormente en la sección 4.3.1.1. Aquí se presenta la máquina de estados diseñada a partir de estos requerimientos para la construcción del alineador de tramas. La máquina se muestra en la figura 5.6. Las líneas dirigidas entre estados se marcan con dos números binarios separados por el símbolo /. El valor de entrada que causa la transición de estado se marca antes de /; el número enseguida del símbolo / da el valor de la salida durante el presente estado. En este caso, la entrada en la máquina de estados es el pulso de trama y la salida es la señal *sync\_out* que indica la alineación de las tramas.

El estado preestablecido es el denominado “*OOF*” (fuera de trama). El estado de “*Tramas alineadas*” representa que la alineación de trama se ha alcanzado. Los eventos que producen una transición pueden ser “*FP*” (“*frame pulse*”), referida a la detección de una nueva trama válida, y “*no FP*” se refiere a la **ausencia** de una nueva trama en el momento esperado.

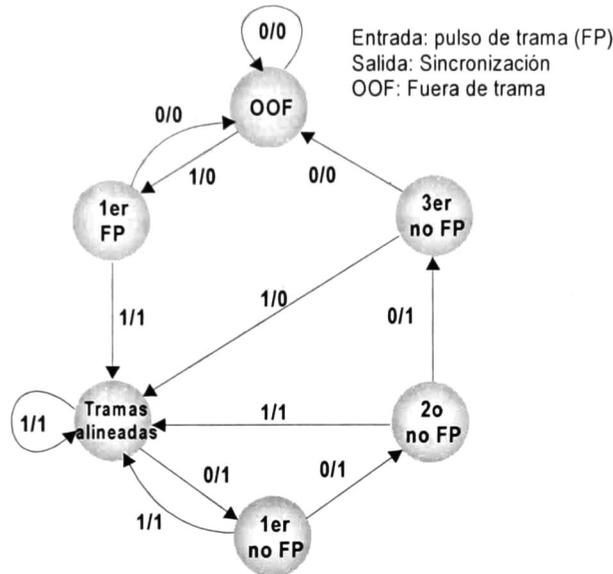


Figura 5.6. Máquina de estados para el alineador de tramas.

A partir de la máquina de estados mostrada en la figura 5.6 se ha creado el siguiente pseudocódigo, el cual se ha implementado en VHDL.

```

-- ALINEADOR DE TRAMAS

BEGIN          -- inicio

--inicialización de contadores
  count_FP=0;
  count_no_FP=0;

IF (OOF_state) THEN          -- si está fuera de trama
  IF (FP) THEN (count_FP= count_FP+1);
    IF (count_FP= 2) THEN (aligned_frames_state);
    ELSE NULL;
    END IF
  ELSE (no FP) THEN (OOF_state);
  END IF
ELSE (Tramas_alineadas_state) THEN          -- si está alineado
  IF (no FP) THEN (count_no_FP= count_no_FP+1);
    IF (count_no_FP=4) THEN (OOF_state);
    ELSE NULL;
    END IF
  ELSE (aligned_frames_state)
  END IF
END IF
END          -- final
  
```

#### Variables:

--- *Count\_FP*: contador que cuenta el número de pulsos de trama detectados --- *Count\_no\_FP*: contador que cuenta el número de tramas ausentes.

#### Estados:

--- *OOF\_state*: Estado Fuera de trama --- *Aligned\_frames\_state*: estado de tramas alineadas.

#### Eventos:

--- *FP*= Trama detectada --- *No\_FP*= No se detecta trama

Se hace notorio que en la figura 5.6 se muestra una maquina de estados que indica la alineación de trama con sólo dos tramas detectadas consecutivamente, sin embargo hay que recordar que el entramador aquí presentado puede ser configurado para indicar la alineación de trama con la detección de dos o cuatro tramas correctas consecutivamente. Esto proporciona una alineación de tramas más segura, sin embargo, el proceso es más lento.

Por otro lado, este alineador de trama, debido a que tiene un contador interno de bytes que conforman la trama SONET/SDH, puede conocer la posición del último byte de la trama y por lo mismo es quien produce la señal *last\_byte\_out*, la cual es utilizada para habilitar al *módulo calculador del byte BIP-8 de sección* (sección 5.5). Además, produce una señal interna denominada *FP\_clk\_out* el cual es un pulso que se presenta cada 125  $\mu$ s para indicar el momento en el que se espera una nueva trama. Esta señal es de utilidad en los demás submódulos del alineador de tramas con delimitador de bytes mostrados a continuación.

### **5.2.3 Arreglo selector de canal**

Cuando la alineación de trama se ha conseguido se inicia un proceso para delimitar las fronteras de los bytes correspondientes a la trama SONET/SDH como se mencionó en la sección 4.3.1.2.

Entre los 56 bits de salida del registro L de la figura 5.5, deben haber al menos seis bytes completos correspondientes a la trama SONET/SDH, por lo cual es posible tomar alguno de ellos y obtener así un byte delimitado en sus fronteras. Para entender como se hace esto es necesario observar lo siguiente:

Cuando los bytes SONET/SDH que entran al entramador están corridos por un bit, será el comparador C1 en que detecte el FSC y se tendrá un byte completo entre los puertos 2 a 9 del registro L. También se tendrá otro byte completo entre los puertos 10 a 17, 18 a 25, etc. Debido a que el proceso de alineación de bytes consume un número de pulsos de reloj, se ha decidido tomar el byte que se encuentra entre los puertos 32 a 39 para contrarrestar los pulsos de atraso, esto en el caso de que el comparador C1 sea el que detecte el FSC. Si el comparador C2 detecta el FSC, se tomará el byte que se encuentra entre los pines 31 y 38, y así sucesivamente (ver tabla 5.7).

El dispositivo que detecta los cambios en las salidas de los comparadores y determina los bits de salida del registro L de donde se tomarán los bytes delimitados, se llama *selector de canal*. Como hay ocho comparadores, tanto para STS-1/STM-0 como para STS-3/STM-1, se necesitan ocho selectores de canal y así se forma un *arreglo selector de canal*.

El *arreglo selector de canal* se encarga de seleccionar los pines del registro L por el cual salen los bytes delimitados. Estos componentes son mostrados en la figura 5.7.

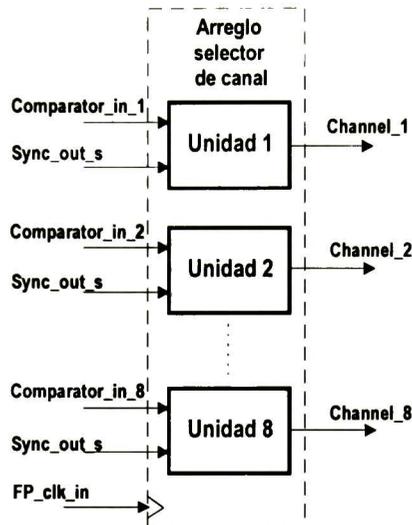


Figura 5.7. Arreglo Selector de canal

Entonces, hay una unidad selectora de canal por cada comparador y tienen su salida por defecto en “cero” lógico. Cuando el sistema está alineado en tramas, se espera una nueva trama (avisado por la señal *FP\_clk\_in*) y una de las unidades detecta un cambio de “uno” a “cero” lógicos en cualquiera de sus entradas *Comparator\_in\_n* (conectadas a las salidas *Comparator\_out\_n* del detector de FSC), entonces se produce un “uno” lógico en la salida de dicha unidad (*Channel\_n*). Las demás unidades mantendrán su salida sin cambio. De esta manera, la unidad que ponga su salida en “uno” lógico estará señalando cual es el canal de salida de datos delimitados en fronteras. El arreglo de salida de datos se encargará de entregar los datos delimitados en sus fronteras.

#### 5.2.4 Arreglo de salida de datos

El *arreglo de salida de datos* es quien entrega el flujo de bytes delimitados en sus fronteras por medio de la salida *Aligner\_data\_out[7:0]* del alineador de tramas con delimitador de bytes tanto para STS-1/STM-0 como para STS-3/STM-1.

Como se mencionó anteriormente, dependiendo del canal seleccionado e indicado por la salida del arreglo selector de canal *Channel\_n*, los bytes delimitados serán tomados del registro L por el registro llamado *registro de datos de salida*. La tabla 5.7 muestra los bits del registro L (register\_56\_bits) que serán la salida *Aligner\_data\_out[7:0]*. La estructura del arreglo de salida de datos se muestra en la figura 5.8.

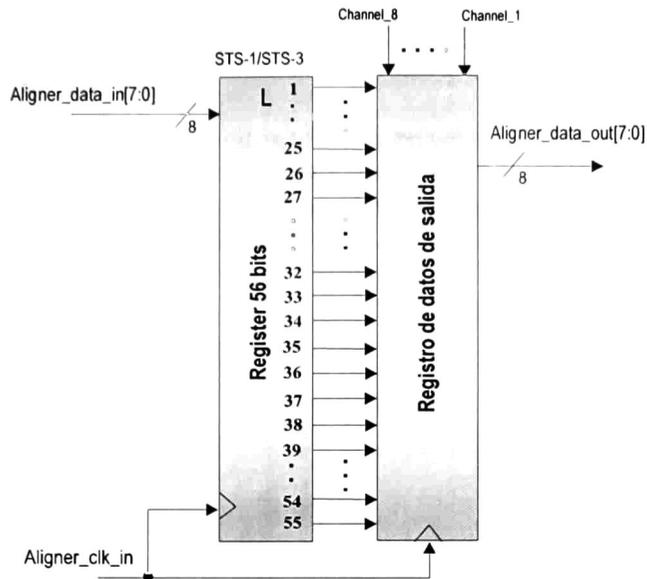


Figura 5.8. Estructura del arreglo de salida de datos

Salida de datos según el canal seleccionado		
Canal seleccionado	Salida desde Register 56 bits	Corrimiento de bits en el flujo de entrada
Channel 1	L <sub>32</sub> -L <sub>39</sub>	1 bit de corrimiento
Channel 2	L <sub>31</sub> -L <sub>38</sub>	2 bits de corrimiento
Channel 3	L <sub>30</sub> -L <sub>37</sub>	3 bits de corrimiento
Channel 4	L <sub>29</sub> -L <sub>36</sub>	4 bits de corrimiento
Channel 5	L <sub>28</sub> -L <sub>35</sub>	5 bits de corrimiento
Channel 6	L <sub>27</sub> -L <sub>34</sub>	6 bits de corrimiento
Channel 7	L <sub>26</sub> -L <sub>33</sub>	7 bits de corrimiento
Channel 8	L <sub>25</sub> -L <sub>32</sub>	8 bits de corrimiento

Tabla 5.7. Salida de datos del alineador de tramas con delimitador de bytes.

### 5.2.5 Indicador del byte J0

Continuando con la figura 5.5, el indicador de J0 es un submódulo que detecta el momento en que aparece el byte J0 delimitado en sus fronteras en la salida *Aligner\_data\_out[7:0]*. Esta señal es utilizada, entre otras cosas, para iniciar el proceso de desaleatorización (sección 5.4).

Por otro lado, se produce una señal llamada *FP\_clk\_out* que es un pulso que aparece cada 125µs cuando se espera que se produzca un nuevo pulso de trama y tiene como objetivo indicar el momento en el que se espera una nueva trama. No existe un requerimiento genérico ni funcional relacionado con esta señal, su implementación es meramente para el funcionamiento eficiente de ciertas partes del entramador, que se discutirán más adelante.

## 5.3 Arquitectura de dispositivo detector e indicador de alarmas de sección

El *dispositivo indicador de alarmas* en la capa de sección tiene ocho puertos de entrada y tres puertos de salida, como se muestra en la figura 5.9. En la tabla 5.8 se listan los puertos de entrada a este submódulo y en la tabla 5.9 se listan todos los puertos de salida correspondientes. Este dispositivo está constituido por tres bloques: *detector de pérdida de trama*, *detector de pérdida de señal* y *detector de pérdida de reloj*. Cada uno de los bloques cumple con los requerimientos genéricos para la generación de alarmas en la capa de sección tratados anteriormente en la sección 4.3.2.

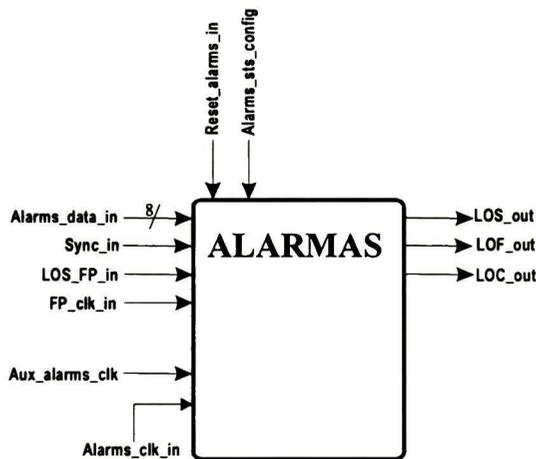


Figura 5.9. Dispositivo Indicador de Alarmas

Puertos de entrada del dispositivo generador de alarmas	
Nombre del puerto	Descripción
Alarms_data_in[7:0]	Recibe los datos SONET/SDH. Se conecta al puerto <i>Framer data in</i> del entramador.
Sync_in	Detecta la alineación de tramas. Se conecta a la señal de salida <i>Sync_aux_out</i> del alineador de tramas con delimitador de bytes.
LOS_FP_in	Detecta el pulso de trama generado por la señal de salida <i>FP_out_signal</i> del alineador de tramas con delimitador de bytes.
Alarms_clk	Reloj principal del dispositivo generador de alarmas. Se conecta al puerto <i>Framer_clk_in</i> del entramador
Aux_alarms_clk	Reloj auxiliar para detectar la pérdida de reloj. Se conecta al puerto de entrada <i>Aux Framer_clk_in</i> del entramador.
FP_clk_in	Detecta la señal auxiliar que se presenta cada 125 $\mu$ s y avisa cuando se espera una nueva trama (sección 5.2.5). Se conecta al puerto <i>FP_clk_out</i> del alineador de tramas y de bytes
Reset_alarms_in	Reset general del entramador. Se conecta la puerto <i>Reset_framer_in</i> del entramador.

Alarms_STS_config	Configura al sistema para tramas STS-1/STM-0 o STS-3/STM-1. Se conecta al puerto <i>STS_Framer_config_in</i> del entramador.
-------------------	--

Tabla 5.8. Puertos de entrada del dispositivo indicador de alarmas.

Puertos de salida del dispositivo generador de alarmas	
Nombre del puerto	Descripción
LOS_out	Esta salida es puesta en "uno" cuando se ha detectado una pérdida de señal. Se conecta al puerto de salida <i>Alarms_LOS_out</i> del entramador.
LOF_out	Esta salida es puesta en "uno" cuando se ha detectado una pérdida de trama. Se conecta al puerto de salida <i>Alarms_LOF_out</i> del entramador.
LOC_out	Esta salida es puesta en "uno" cuando se ha detectado una pérdida de reloj. Se conecta al puerto de salida <i>Alarms_LOC_out</i> del entramador.

Tabla 5.9. Puertos de salida del dispositivo indicador de alarmas.

Como se mencionó anteriormente, el dispositivo indicador de alarmas ha sido dividido en tres bloques internos, como se puede ver en la figura 5.10.

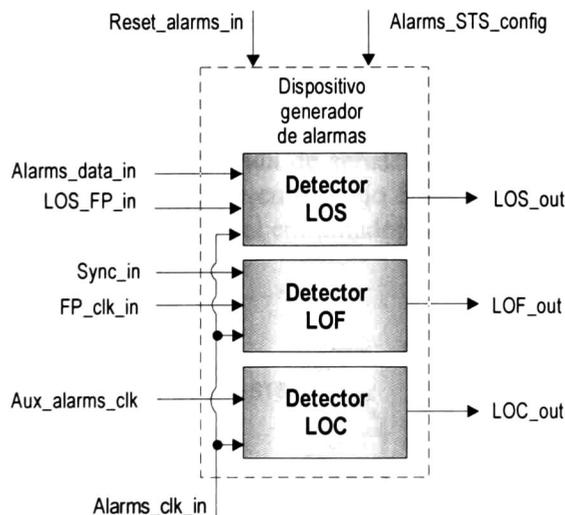


Figura 5.10. Dispositivo indicador de alarmas.

Como el nombre de cada bloque lo indica, el detector LOS, el detector LOF y el detector LOC tienen como función la detección e indicación de pérdida de señal, pérdida de trama y pérdida de reloj, respectivamente.

### 5.3.1 Dispositivo detector de pérdida de señal

Este submódulo toma el flujo de entrada por medio del puerto *Alarms\_data\_in[7:0]*, el cual es el mismo flujo SONET/SDH que entra al entramador, y busca largas cadenas de ceros

como se estipula en los requerimientos genéricos [RGE- 6] y [RGE- 7]. Tiene un comparador interno en donde se verifica si los datos entrantes son bytes “solo ceros” o no. Este submódulo cumple con la característica [CONE- 1] y [CONE- 2]. Un byte “sólo ceros” es aquel que tiene la forma “00000000” (ocho bits cero).

Si en el flujo se detecta un byte “solo ceros”, se inicia una cuenta. Por cada byte de este tipo detectado consecutivamente el contador incrementa en uno hasta llegar a un número  $M$  determinado. Al llegar a este número  $M$ , se declara la pérdida de señal. Si en cualquier momento del proceso de detección de LOS aparece un byte diferente al byte “solo ceros”, el contador se reinicia y el dispositivo también reinicia la búsqueda de bytes “solo ceros”.

Respecto al número  $M$ , según el requerimiento genérico[RGE- 6], el defecto LOS se detecta cuando la cadena de bytes “solo ceros” persiste por lo menos  $100 \mu s$ , por lo tanto el valor de  $M$  depende de este tiempo. Para el caso cuando el flujo SONET/SDH de entrada al entramador es STS-1/STM-0 el valor de  $M=650$ . Esto se explica a continuación.

Dado que cada trama STS-1/STM-0 tiene 810 bytes y un tiempo de  $125 \mu s$ , cada byte tiene un tiempo (“*time slot*”) de  $125 \mu s / 810 \text{ byte} \approx 0.154 \mu s / \text{byte}$ . De tal forma que  $(650 \text{ byte}) \times (0.154 \mu s / \text{byte}) \approx 100 \mu s$  y por tanto el valor de  $M$  se ha tomado de 650 para STS-1/STM-0. De la misma forma para señales STS-3/STM-1 se ha tomado un valor  $M=1960$ .

Cabe añadir, que de acuerdo al requerimiento genérico [RGE- 7], este submódulo sale del estado de pérdida de señal cuando detectas dos pulsos de trama consecutivos generados por el alineador de tramas con delimitador de bytes.

De acuerdo a lo anterior, se ha diseñado la máquina de estados mostrada en la figura 5.11 para la detección e indicación de la pérdida de señal. Esta es una máquina que cuenta el número de bytes “sólo ceros” detectados en el flujo SONET/SDH de entrada. Todas las transiciones se dan con el reloj principal del entramador con el flanco de subida.

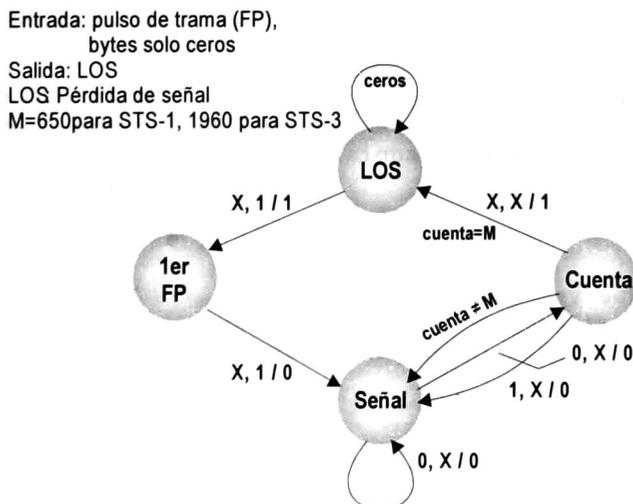


Figura 5.11. Máquina de estados para detectar la pérdida de señal.

De manera similar a la máquina de estados del alineador de tramas, las líneas dirigidas entre estados se marcan con tres números binarios separados por /. Si el primer número binario, antes de la coma, es un uno, esto indica que se ha recibido un byte “solo ceros” El segundo valor de entrada, después de la coma, representa la entrada de un pulso de trama; el número enseguida del símbolo / da el valor de la salida LOS el cual se pone en “uno” cuando se ha detectado la pérdida de señal o se queda en cero si esto no sucede. El símbolo X representa una condición “no importa”

El estado preestablecido de la máquina es “LOS”, el cual indica la ausencia de señal en la entrada del módulo indicador de alarmas cuando se presentan las condiciones mencionadas en el requerimiento genérico [RGE- 6].

El evento que produce la salida del estado “LOS” es la detección de dos pulsos de trama válidos consecutivamente, el cual es el mismo que se maneja en la máquina de estados del alineador de tramas.

El estado “señal” es aquel en donde la señal SONET/SDH en la entrada del módulo indicador de alarmas no tiene problemas ocasionados por una gran cantidad de ceros. Existe otro estado denominado “cuenta” que se alcanza por medio del evento de detectar un byte “sólo ceros” En el estado “cuenta”, la máquina de estado lleva un conteo de bytes “solo ceros” detectados consecutivamente. Cuando la cuenta llega al valor *M* (establecido anteriormente) la máquina se mueve al estado “LOS”.

Ahora se presenta el pseudo-código de la máquina de estados para la detección de LOS.

```

-- INDICACIÓN DE DEFECTO LOS

BEGIN                                -- inicio

-- inicialización de contadores
count_zeros=0;
count_2_FP=0;

IF (no_signal_state) THEN            -- si no hay señal
  IF (FP) THEN (count_2_FP= count_2_FP+1);
  IF (count_2_FP=2) THEN (signal_state);
  ELSE NULL;
  END IF;
  ELSE (no_signal_state);
  END IF;
ELSE (signal_state) THEN            -- si hay señal
  IF (byte_zeros) THEN (count_zeros= count_zeros+1);
  IF (count_zeros=M) THEN (no_signal_state);
  ELSE NULL;
  END IF;
  ELSE count_zeros=inicia_cuenta;
  END IF;
END IF;
END                                  -- final

```

### Variables:

--- *Count\_zeros*: contador de bytes "solo ceros" --- *Count\_2\_FP*: contador de pulsos de trama

### Estados:

--- *No\_signal\_state*: Estado de señal ausente --- *signal\_state*: Estado de señal presente

### Eventos:

--- *FP*: trama válida detectada --- *Byte\_zeros*: byte solo ceros detectado

### Otros:

M: 650 para STS-1 y 1960 para STS-3 para obtener 100  $\mu$ s.

## **5.3.2 Dispositivo detector de pérdida de trama**

Como su nombre lo indica, el dispositivo detector de pérdida de trama tiene como función detectar e indicar la pérdida de tramas bajo los requerimientos genéricos [RGE- 8] y [RGE-9] presentados en la sección 4.3.2.2. La pérdida de trama se declara cuando el defecto OOF persiste por más de 3 ms, lo que equivale al tiempo de 24 tramas consecutivas, como ahora se explica. Cada trama tiene un tiempo de duración de 125 $\mu$ s, por lo tanto se tiene que  $24\text{tramas} \times 125\mu\text{s} / \text{trama} = 3\text{ms}$ .

Por otro lado, este dispositivo detector está constituido principalmente por un contador de tramas faltantes consecutivas. La señal auxiliar *FP\_clk\_in* generada por el submódulo alineador de tramas con delimitador de bytes (*FP\_clk\_out*) consiste en un pulso generado cada 125  $\mu$ s y marca el momento en que se espera una nueva trama. Si no se recibe la nueva trama esperada, entonces el *contador de tramas faltantes* se incrementa. Cuando el contador llega a 24, es decir, cuando han faltado 24 tramas consecutivamente, se declara la pérdida de trama. Si se detecta una nueva trama antes que la cuenta llegue a 24, el contador se reinicia y el submódulo reinicia el monitoreo de tramas entrantes para detectar de nuevo tramas faltantes. Este submódulo sale del estado de pérdida de trama cuando se detectan dos pulsos de trama consecutivos. Estos pulsos de trama son producidos por el alineador de tramas con delimitador de bytes y son leídos por el dispositivo generador de alarmas por medio del puerto de entrada *LOS\_FP\_in*.

Tomando en cuenta lo anterior, se ha diseñado una máquina de estados para la detección de pérdida de trama. Esta máquina es mostrada en la figura 5.12. Cada transición entre estados ocurre cuando el pulso *FP\_clk\_in* aparece, es decir, cada 125  $\mu$ s.

Para indicar la pérdida de trama, la máquina tiene como entrada la señal *LOS\_FP\_in* que aparece cada que se detecta una nueva trama (pulso de trama). Esta entrada se pone en "uno" lógico cuando se detecta el mencionado pulso de trama y viceversa. La única salida es "LOF" la cual se pone en "uno" lógico cuando se detecta el defecto fuera de trama.

Por otro lado, la máquina está formada por los siguientes estados: "tramas", "1er no FP", "2º no FP", ... , "23º no FP", "LOF" y "1er FP". El estado "tramas" se refiere a cuando la máquina está alineada y está recibiendo tramas válidas en el momento esperado (cada 125  $\mu$ s). El estado "1er no FP" se refiere a que la máquina no detectó una trama válida en el momento esperado. De la misma manera, los estados "2º no FP" "3er no FP", ..., "23º no FP" indican la pérdida de 2, 3, ..., 23 tramas consecutivas, respectivamente.

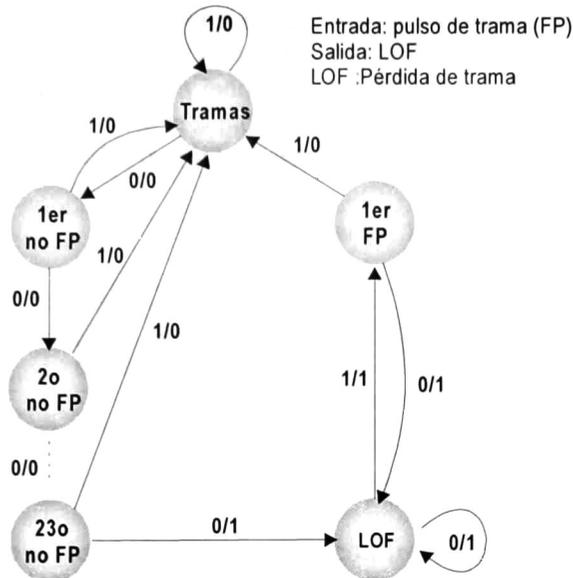


Figura 5.12. Máquina de estados del detector de pérdida de trama.

Se presenta ahora un pseudo-código propuesto para la implementación de esta máquina.

```

-- INDICACIÓN DE DEFECTO LOF

BEGIN                                -- inicio

-- inicio de contadores
count_LOF=0;

IF (FP) THEN                          -- si se detecta una trama
  IF (frames_state) THEN (count_LOF=count_begining);
  ELSE (no_frames_state) THEN (count_LOF=count_LOF+1);
  IF count_LOF=max_cuenta THEN LOF_state;
  ELSE NULL;
  END IF;
END IF;
ELSE NULL;
END IF;

END                                    -- final

```

Variables:

--- Count\_LOF: contador de tramas perdidas

Estados:

--- Frames\_state: estado de sistema alineado --- LOF\_state: estado de pérdida de trama --- Count\_begining: reinicio del contador

Eventos:

--- FP: trama detectada

### 5.3.3 Dispositivo detector de pérdida de reloj

Ese submódulo está formado principalmente por un *divisor de reloj* y un *contador de pulsos faltantes* en el reloj principal del entramador (ver figura 5.13). El divisor de reloj

divide la frecuencia de la señal de reloj principal del entramador *Alarms\_clk\_in* en dos, tal y como se muestra en la figura 5.14. Esta división de frecuencia en un factor de dos fue tomada de manera arbitraria. Por otro lado, la señal de reloj auxiliar *Aux\_alarms\_clk* (ver tabla 5.8) se utiliza para monitorear la señal de reloj que ha sido dividida, de tal manera que verifica que los pulsos de la señal dividida tengan el período deseado.

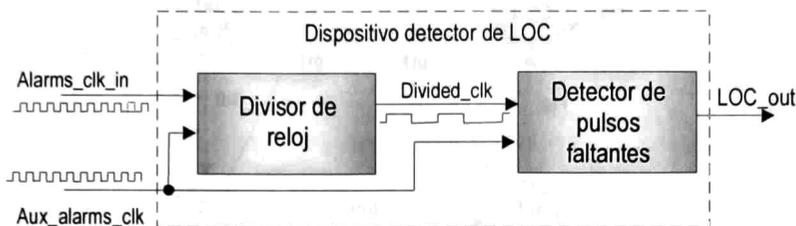


Figura 5.13. Dispositivo detector e indicador de LOC

Cada vez que el tamaño de los pulsos de la señal con frecuencia dividida no es el deseado, se traduce como una pérdida de pulso y se incrementa el contador de pulsos faltantes interno. Cuando el contador de pulsos perdidos llega a cuatro (requerimiento genérico [RGE- 10]), se declara la pérdida de reloj con un “uno” lógico en la salida *LOC\_out* del dispositivo detector de pérdida de reloj. La señal de salida *LOC\_out* se pone en “cero” lógico con el solo hecho de detectar un nuevo pulso en la señal de reloj *Alarms\_clk\_in* (requerimiento genérico [RGE- 11]).

La señal de reloj auxiliar no necesariamente tiene la misma fase que el reloj principal ([CONE- 5]). Lo peor que puede pasar por no tener ambos relojes la misma fase es que se detecte erróneamente un pulso perdido, sin embargo, esto no disparará la señal de pérdida de reloj pues se requieren de cuatro pulsos perdidos consecutivamente para tal efecto. Si se ha iniciado la cuenta de pulsos perdidos y se detecta un nuevo pulso de reloj antes de que dicha cuenta llegue a cuatro, el proceso de detección de pérdida de reloj se reinicia.

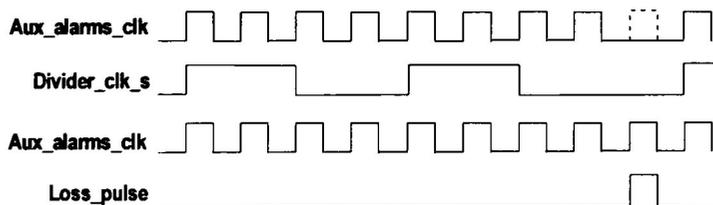


Figura 5.14. Diagramas de tiempo para el detector de pérdida de reloj.

De acuerdo a lo anterior se propone la máquina de estados mostrada en la figura 5.15 para la detección de la pérdida de reloj. Esta tiene como entrada la señal *Alarms\_clk* y como salida la señal *LOC\_out*. Cada que se presenta un pulso de reloj, la entrada *Alarms\_clk* se pone en “uno” lógico y viceversa. Cuando se detecta la pérdida de reloj, la salida *LOC\_out* se pone en “uno” lógico. Todas las transiciones se dan con el flanco hacia arriba del reloj auxiliar *Aux\_alarms\_clk*.

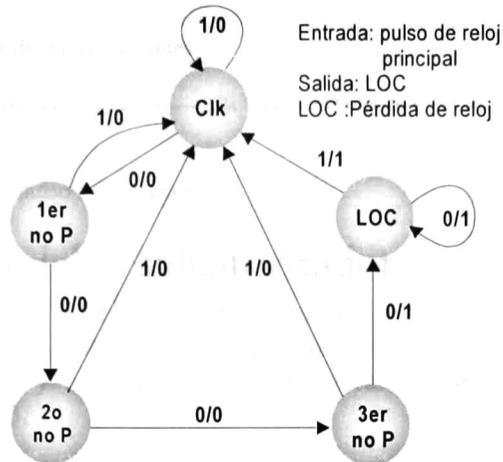


Figura 5.15. Máquina de estados para detectar la pérdida de reloj.

La máquina tiene cinco estados: “Clk”, “1er no P”, “2o no P”, “3er no P” y “LOC”. El estado “Clk” se refiere a que el reloj principal del entramador está funcionando correctamente, es decir, produciendo pulsos a la frecuencia estipulada. Los estados “1er no P”, “2o no P” y “3er no P” se refiere a la pérdida consecutiva del primer, segundo y tercer pulso del reloj principal del entramador, respectivamente.

El estado predefinido es el estado “Clk”. Cuando se ausenta un pulso del reloj del entramador, la máquina pasa de su estado predeterminado al estado “1er no P”, y así, al no presentarse cuatro pulsos de reloj en forma consecutiva, la máquina llega al estado “LOC” en el cual indica la pérdida de reloj. Si la máquina se encuentra en cualquiera de los estados “1er no P”, “2o no P” o “3er no P” y se presenta un pulso del reloj principal del entramador, la máquina regresa a su estado predeterminado “Clk”

Ahora se muestra un pseudo-código implementado a partir de lo anterior.

```

-- INDICACIÓN DE PÉRDIDA DE RELOJ
BEGIN          -- inicio

--inicio de contadores
  count_no_pulses=0;

IF (clk_state) THEN      -- si no hay pulsos correctos de reloj
  IF (detected_pulse) THEN NULL;
  ELSE (count_no_pulses= count_no_pulses+1); -- si falta un pulso
    IF (count_no_pulses=max) then (LOC_state);
    ELSE NULL;
    END IF;
ELSE
  -- si hay LOC
  IF (detected_pulse) THEN (clk_state);
  ELSE (LOC_state);
  END IF;
END IF;
END          -- final
  
```

**Variables:**

--- *Count\_no\_pulses*: contador de pulsos faltantes

**Estados:**

--- *Detected\_pulse*: se detecta un pulso de reloj --- *Clk\_state*: estado de reloj funcionando --- *LOC\_state*: estado de pérdida de reloj

**Eventos:**

--- *P*: pulso detectado --- *No P*: pulso no detectado

## 5.4 Arquitectura del desaleatorizador

El entramador para SONET/SDH con funciones en la capa de sección cuenta con un desaleatorizador, (ver figura 5.1). Este desaleatorizador cubre el requerimiento funcional del entramador [RFE- 7] y se implementa considerando los requerimientos genéricos tratados en la sección 4.3.3.

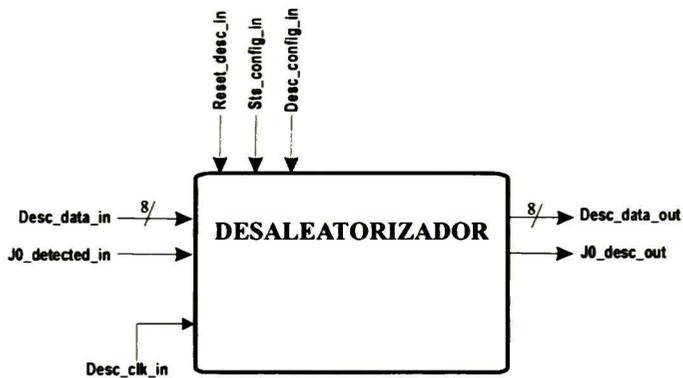


Figura 5.16. Desaleatorizador.

La figura 5.16 muestra los puertos de entrada y salida del desaleatorizador. Tiene seis puertos de entrada y dos puertos de salida. En la tabla 5.10 se listan los puertos de entrada mientras que en la tabla 5.11 se listan lo puertos de salida.

Puertos de entrada del desaleatorizador	
Nombre del puerto	Descripción
Desc_data_in[7:0]	Recibe los datos delimitados en sus fronteras provenientes del alineador tramas con delimitador de bytes. Se conecta al puerto de salida <i>Aligner_data_out</i> del alineador de tramas con delimitador de bytes.
J0_detected_in	Detecta el byte J0 dentro del flujo de bytes SONET/SDH delimitados en sus fronteras. Este puerto se conecta al puerto de salida <i>J0_detected_out</i> del alineador de tramas con delimitador de bytes.
Desc_clk_in	Reloj principal del desaleatorizador. Se conecta al puerto <i>Framer_clk_in</i> del entramador.
STS_config_in	Configura al sistema para tramas STS-1/STM-0 o STS-3/STM-1. Se conecta al puerto <i>Framer_aligner_config_in</i> del entramador.

Desc_config_in	Configura al descrambler para que entregue los bytes con aleatorización o sin ella. Se conecta la puerto <i>Descrambler_config_in</i> del entramador.
Reset_desc_in	Reset del descrambler. Se conecta al puerto <i>Reset_framer_in</i> del entramador.

Tabla 5.10. Puertos de entrada del desaleatorizador.

Puertos de salida del desaleatorizador	
Nombre del puerto	Descripción
Desc_data_out	Entrega el flujo de bytes con aleatorización o sin ella, según la configuración. Se conecta al puerto de salida <i>Framer_aligned_out</i> del entramador
J0_desc_out	Indica la presencia del último byte J0 en el flujo de salida en <i>Desc_data_out</i> . Se conecta al puerto <i>J0_detected_out</i> del entramador.

Tabla 5.11. Puertos de salida del desaleatorizador.

Según lo expuesto en la sección 4.3.3, el desaleatorizador paralelo propuesto tiene una estructura interna como la que se muestra en la figura 5.17. Está formado por tres bloques principales: un *arreglo de siete flip-flop's*, un *bloque de lógica combinatoria de retroalimentación* para generar un próximo estado del arreglo de flip-flop's, y un *bloque de lógica combinatoria de salida* que produce el byte que será añadido módulo dos con el dato SONET/SDH delimitado en sus fronteras que se va a desaleatorizar.

Como se mencionó en la sección 4.3.3, el circuito de la figura 4.2 genera los bits de la secuencia de la tabla 4.1 de uno en uno por cada pulso de reloj. Este arreglo es ahora sustituido, por el de la figura 5.17, el cual genera ocho bits de la secuencia de la tabla 4.1 en un sólo pulso de reloj.

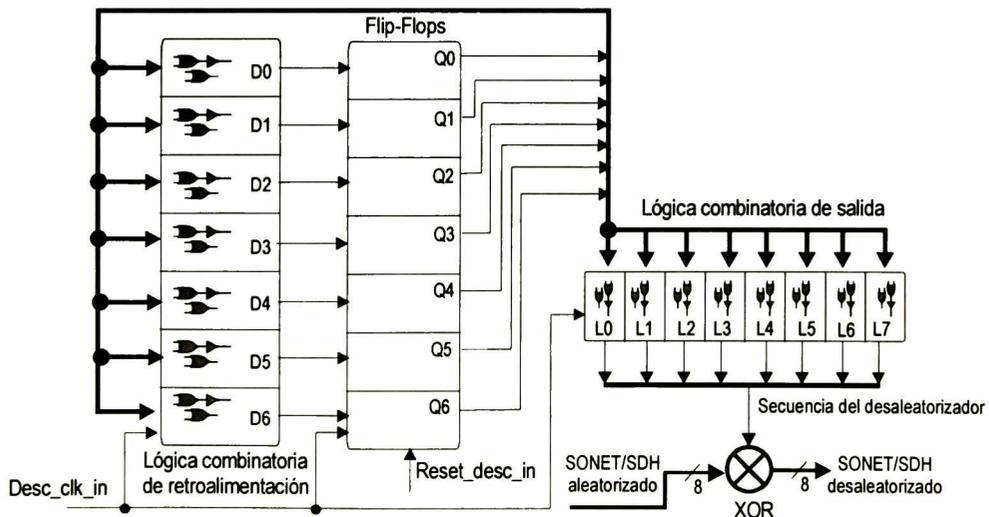


Figura 5.17. Estructura interna del desaleatorizador paralelo

El desaleatorizador se reinicia asincrónicamente con la secuencia “1111111” (siete unos) en el arreglo de flip-flop’s. Al próximo pulso de reloj estos bits son procesados por el *bloque de lógica combinatoria de salida* para obtener los primeros ocho bits de la secuencia pseudoaleatoria (“11111110”) y al mismo tiempo, los siete bits “1” son procesados por el arreglo de lógica combinatoria de retroalimentación para predisponer a los siete flip-flop’s para la generación del próximo byte de la secuencia. Al siguiente pulso de reloj, el arreglo de salida entregará los siguientes ocho bits de la secuencia (00000100). Así, el bloque de lógica combinatoria de salida convierte los siete bits entregados por los flip-flop’s en los 8 bits correspondientes de la secuencia de la tabla 4.1, los cuales serán añadidos módulo dos con la cadena de datos SONET/SDH entrantes al desaleatorizador, según lo indica el requerimiento genérico [RGE- 15].

Las ecuaciones combinacionales dentro del bloque de retroalimentación para generar el próximo estado son las siguientes:

$$\begin{array}{lll} D0=Q1\oplus Q2 & D3= Q4\oplus Q5 & D6= Q0\oplus Q2 \\ D1= Q2\oplus Q3 & D4= Q5\oplus Q6 & \\ D2= Q3\oplus Q4 & D5= Q6\oplus Q0\oplus Q1 & \end{array}$$

Donde  $Q_n$  es la  $n$ -ésima línea de salida del arreglo de flip-flop’s y  $D_n$  es la  $n$ -ésima línea de salida del bloque de lógica combinatoria de retroalimentación.

Las ecuaciones dentro del bloque de lógica combinatoria de salida que generan la secuencia de la tabla 4.1 son:

$$\begin{array}{lll} L0= Q0\oplus Q1 & L3= Q4 & L6= Q1 \\ L1= Q6 & L4= Q3 & L7= Q0 \\ L2= Q5 & L5= Q2 & \end{array}$$

Donde  $Q_n$  es la  $n$ -ésima línea de salida del arreglo de flip-flop’s y  $L_n$  es la  $n$ -ésima línea de salida del bloque de lógica combinatoria de salida.

En otro orden de ideas, cuando los datos SONET/SDH son desaleatorizados éstos se atrasan por un pulso de reloj y entre ellos el byte J0. Como se sabe, el entramador debe cumplir el requerimiento funcional [RFE- 9] y por lo tanto se tiene que procurar señalar la salida del byte J0 del entramador en el tiempo preciso. Por lo tanto, la señal  $J0\_desc\_out$  que sale del desaleatorizador es la misma que la señal  $J0\_detected\_out$  que sale del alineador de tramas con delimitador de bytes pero atrasada un pulso de reloj.

## 5.5 Arquitectura del calculador de B1

El calculador del BIP-8 de sección cuenta con cinco puertos de entrada y dos de salida (ver figura 5.18). La tabla 5.12 y la tabla 5.13 lista la función de cada puerto.

El calculador del byte BIP-8 de sección está constituido principalmente por una *calculador de paridad* constituido por compuertas de adición módulo dos para cumplir con el requerimiento funcional [RFE- 8]. Considerando los requerimientos genéricos tratados en

la sección 4.3.4, se hace la adición módulo dos sobre todos los bytes que constituyen la trama SONET/SDH que entran al submódulo calculador de B1.

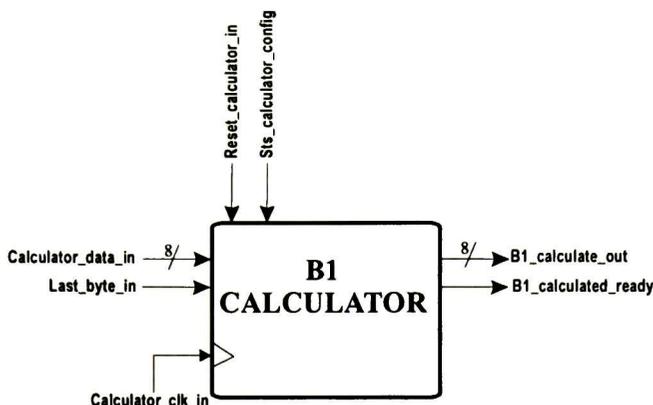


Figura 5.18. Calculador del BIP-8 de paridad de la trama entrante.

Puertos de entrada del calculador del BIP-8	
Nombre del puerto	Descripción
Calculator_data_in[7:0]	Recibe los datos SONET/SDH. Se conecta al puerto <i>Framer_data_in</i> del entramador.
Last_bye_in	Detecta el pulso que indica el último byte de la trama para iniciar el cálculo del BIP-8 de sección. Se conecta al puerto de salida del alineador de tramas y de bytes <i>last_byte_out</i> .
Calculator_clk_in	Reloj principal del calculador. Se conecta al puerto <i>Framer_clk_in</i> del entramador.
Reset_calculator_in	Reset del calculador del byte BIP-8 de sección. Se conecta con el puerto del entramador <i>Reset_framer_in</i> .
STS_calculator_config	Configura al sistema para tramas STS-1/STM-0 o STS-3/STM-1. Se conecta al puerto <i>STS_Framer_config_in</i> del entramador.

Tabla 5.12. Puertos de entrada del dispositivo calculador del byte BIP-8 de sección.

Puertos de salida del calculador del BIP-8	
Nombre del puerto	Descripción
B1_calculated_out[7:0]	Entrega el byte BIP-8 calculado. Se conecta al puerto <i>BIP_8_calculated_out [7:0]</i> del entramador.
B1_calculated_ready	Indica que el byte BIP-8 calculado se encuentra en la salida <i>B1_calculated_out[7:0]</i> . Se conecta al puerto <i>BIP_8_ready_out</i> del entramador.

Tabla 5.13. Puertos de salida del dispositivo calculador del byte BIP-8 de sección.

La figura 5.19 muestra la arquitectura propuesta del dispositivo calculador del byte BIP-8 de sección.

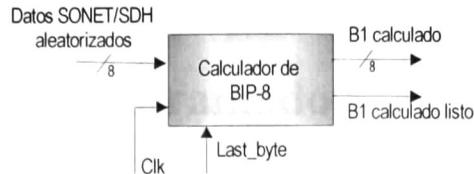


Figura 5.19. Bloque que realiza el cálculo de B1.

Según el requerimiento genérico [RGE- 18], el cálculo de paridad se debe de realizar sobre todos los bytes de la trama SONET/SDH y es por eso que se hace necesario el conocimiento del primer byte de la trama. Para poder hacer esto, se toma la señal que proviene del alineador de tramas con delimitador de bytes (*last\_byte\_signal*) la cual indica el final de la trama, así, el proceso del cálculo se inicia inmediatamente después de esta señal, pues se supone que el próximo byte que entre es el primero de la próxima trama.

El byte, resultado de la adición módulo dos sobre de todos los bytes de la trama SONET/SDH, se entrega por el puerto *B1\_calculated\_out[7:0]*. Un pulso en el puerto *B1\_calculated\_ready* le indica a los módulos externos al entramador que el cálculo se encuentra en el puerto *B1\_calculated\_out[7:0]*.

## 6 Verificación del entramador

### 6.1 Introducción

El objetivo principal de este capítulo es verificar que la arquitectura presentada en el capítulo 5 cumpla con todos los requerimientos funcionales y genéricos presentados en el capítulo 4. Esta documentación se presenta dividida en tres partes:

- Especificación del plan de pruebas
- Casos de prueba
- Reporte de verificación

En la *especificación de plan de pruebas* se explica la metodología a seguir para llevar a cabo el proceso de verificación del entramador para SONET/SDH (sección 6.2) en donde se verá que se han utilizado *camas de prueba*.

Por otro lado, la verificación total del entramador ha sido dividida en verificaciones más sencillas y cada una de esas pruebas está constituida por varios *casos de prueba*. Así, se presentan casos de prueba para cada componente que forma parte del entramador (según la arquitectura propuesta en la figura 5.1): alineador de tramas con delimitador de bytes (sección 6.3), dispositivo indicador de alarmas de sección (sección 6.4), desaleatorizador (sección 6.5) y dispositivo calculador del byte BIP-8 (sección 6.6).

Además, para el entramador completo se hace un *reporte de verificación* en el cual se resumen todos los datos obtenidos al realizar cada uno de los casos de prueba y ahí se documentan las conclusiones obtenidas al aplicar el propuesto plan de pruebas.

En general, se realizan dos tipos de verificación sobre el entramador:

- Verificación de funcionalidad
- Verificación de requerimiento de tiempo

En la *verificación de funcionalidad* se prueba que cada uno de los submódulos cumplan con lo especificado en los requerimientos funcionales y genéricos del entramador. Si cada uno de estos submódulos cumple correctamente con dichos requerimientos, entonces se aprueba la funcionalidad de éste.

Por otro lado, cada uno de los submódulos que constituyen el entramador deben poder ser implementados físicamente, esto es, hay que sintetizar el código a nivel de transferencia de registros (“*register transfer level*”, RTL). Además, es necesario que los tiempos de retrasos entre los registros obtenidos en esta síntesis no violen los períodos de tiempo estipulado por el requerimiento genérico [RGE- 1] (también conocido como requerimientos de tiempo). Esto se prueba por medio de una *verificación de requerimiento de tiempo*.

El circuito entramador para SONET/SDH ha sido implementado en un lenguaje de descripción de hardware conocido como VHDL (“*VHSIC Hardware Description Language*”, donde VHSIC significa “*Very High Speed Integrated Circuit*”). Se ha creado un código fuente (TOP\_FRAMER.VHD) para el entramador que cuenta con cuatro *instancias* principales correspondientes a los submódulos que lo conforman tal como se mostró en la figura 5.1 tratada en el capítulo anterior. La figura 6.1 muestra la manera en que los códigos han sido colocados y relacionados.

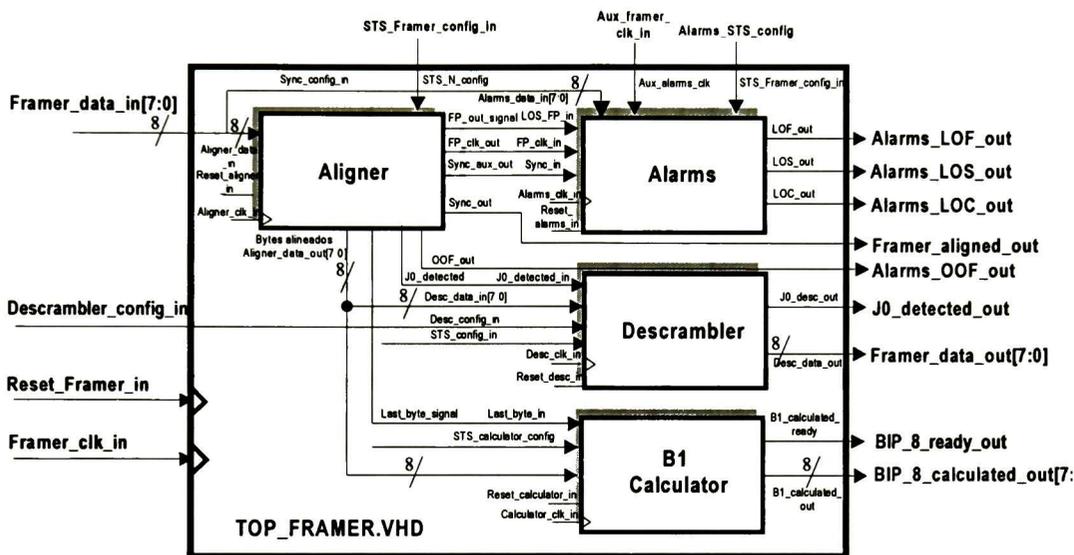


Figura 6.1. Disposición de los códigos vhdl dentro del entramador

Los nombres de puertos de entrada y de salida mostrados en la figura anterior corresponden a los mismos de la figura 5.2 y que, además, corresponden a los nombres de los puertos utilizados implementados en los códigos en VHDL.

El código *Aligner.vhd* implementa al *alineador de tramas con delimitador de bytes* (sección 5.2), el código *Alarms.vhd* al *dispositivo indicador de alarmas de sección* (sección 5.3), el código *Descrambler.vhd* al *desaleatorizador* (sección 5.4) y el código *B1\_calculator.vhd* al *calculador del byte BIP-8 de sección* (sección 5.5). Los códigos de cada submódulo se proporcionan en el apéndice B y en el disco compacto que acompaña esta tesis.

## 6.2 Especificación del plan de pruebas

Como se mencionó anteriormente, se hacen dos tipos de pruebas diferentes sobre el entramador: uno para verificar la funcionalidad y otra para verificar la síntesis a nivel de transferencia de registros. Ahora se muestra el plan de pruebas seguido para ambas verificaciones.

### 6.2.1 Plan de pruebas para verificación de funcionalidad

El plan de pruebas para la verificación de funcionalidad consiste principalmente en probar que los códigos en VHDL que implementan a cada uno de los submódulos que conforman el entramador cumplan con los correspondientes requerimientos funcionales y genéricos descritos en el capítulo 4. Para ello se hace uso de *camas de prueba* (“*test bench*”). El término cama de prueba se refiere al entorno creado para que, por medio de una secuencia de entrada predeterminada e inyectada al código bajo prueba, sea posible observar las salidas generadas por dicho código. La figura 6.2 muestra un modelo generalizado de una cama de prueba.



Figura 6.2. Cama de pruebas

Los estímulos son todos aquellos datos que se introducen al código bajo prueba (en este caso, archivos de texto) para ser procesados con el objeto de obtener una serie de resultados. Estos resultados son escritos en archivos de texto en los cuales es posible ver el resultado del proceso y así verificar si se obtiene lo esperado.

En este caso, los datos de estímulos están constituidos principalmente por dos diferentes archivos de entrada:

- Tramas STS-1/STM-0 o tramas STS-3/STM-1
- Entradas de configuración requeridos según la tabla 5.3

En el caso particular de la verificación del entramador para la cama de pruebas general se utiliza un código VHDL (`stimulus_framer vhd`) que lee un archivo el archivo de texto que contiene las tramas SONET/SDH y el archivo que contiene la configuración e inyecta ambos al entramador codificado en el archivo `top_framer.vhd` (ver figura 6.3).

Las tramas son generadas utilizando un software especializado llamado AnalizaP.exe (elaborado en el CINVESTAV) el cual genera tramas SONET/SDH y las guarda en archivos de tipo .csv.

Es necesario contar con varios archivos de entrada en donde cada uno de ellos contiene tramas SONET/SDH alteradas de manera conveniente para verificar la correcta funcionalidad del entramador (por ejemplo, introducir FSC's falsos, grandes cadenas de ceros, etc.).

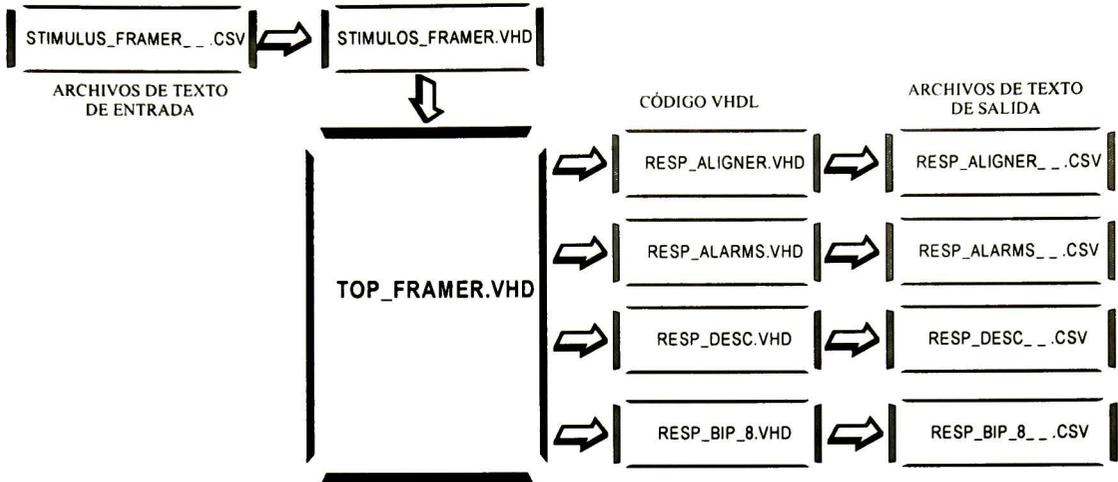


Figura 6.3 .Cama de pruebas del entramador

Para reconocer el contenido de cada archivo de entrada se ha nombrado a cada uno de ellos de la forma mostrada en la figura 6.4.

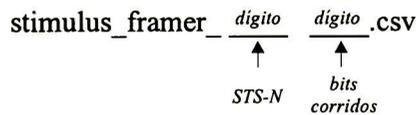


Figura 6.4. Nombre del archivo de estímulo para la cama de prueba

Así, si se tiene el archivo `stimulus_framer_10.csv` indica que contiene tramas STS-1 (señalado por el primer dígito “1”) y que no hay corrimiento de bits dentro de los bytes que constituyen la trama SONET/SDH de entrada (señalado con el segundo dígito “0”). De la misma forma, el archivo de estímulo `stimulus_framer_35.csv` indica que las tramas contenidas en dicho archivo son STS-3 y tienen un corrimiento de 5 bits en cada uno de los bytes de entrada. Además, para cada caso de prueba es necesario el uso de un segundo archivo de entrada para la configuración del entramador. Este es nombrado de la forma mostrada en la figura 6.5.

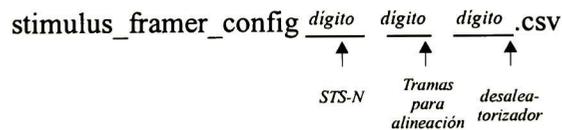


Figura 6.5. Nombre del archivo de configuración para la cama de prueba

El primer dígito (que puede ser 1 ó 3) después de `stimulus_framer_config` indica si el entramador procesará tramas STS-1 o STS-3. El segundo dígito indica con cuantas tramas se quiere declarar la alineación (2 ó 4) y el último dígito indica si se quiere la salida de datos con aleatorización o sin ella (0 y 1, respectivamente), todo esto basándose en la tabla 5.3 de configuración presentada anteriormente. Así, el archivo de entrada `stimulus_framer_config_120.csv` indica que se configura al entramador para

tramas STS-1, que se alcanza la alineación de tramas con dos de ellas detectadas consecutivamente y que el flujo SONET/SDH saldrá del entramador aleatorizado.

### **Criterio de falla**

Para las verificaciones de funcionalidad se tiene un *criterio de falla*. El criterio de falla a considerar en cada caso de prueba es que no se cumpla cualquiera de los requerimientos funcionales o genéricos presentados en el capítulo 4.

## **6.2.2 Plan de pruebas para verificación de requerimientos de tiempo**

Una vez que la funcionalidad de cada submódulo codificado en VHDL ha sido verificada de la manera mostrada en la sección anterior y se han obtenido resultados satisfactorios, se procede a verificar el requerimiento de tiempo para el entramador completo. Esta verificación consiste en someter el código VHDL `Top_Framer vhd` a un proceso de síntesis utilizando la herramienta de *synopsys*. Esto es para comprobar que el circuito sea realizable físicamente (al menos en teoría) así como para determinar si los procesos internos a nivel de compuertas no violan el período de tiempo exigidos por los relojes estipulados en el requerimiento genérico [RGE- 1]. Por este mismo requerimiento, debe notarse que para señales STS-3/STM-1 se tiene un reloj de 19.44 Mbps, lo que equivale a un período de 51.44 ns. Al cumplirse el requerimiento de tiempo para 51.44 ns se asume que también se cumple para señales STS-1/STM cuyo reloj tiene un período de 154 ns.

### **Criterio de falla**

En este caso, el criterio de falla a considerar es cuando el código VHDL del entramador no cumpla con el requerimiento de tiempo basado en el reloj estipulado en [RGE- 1].

En las siguientes secciones se resumen las pruebas realizadas y los resultados obtenidos en la verificación de funcionalidad de cada submódulo constituyente del entramador.

## **6.3 Verificación del alineador de tramas con delimitador de bytes**

### **6.3.1 Casos de prueba 1 (Alineador de tramas)**

#### **6.3.1.1 Objetivos:**

El objetivo es probar que el entramador indique el momento en que se ha alcanzado la alineación de tramas tanto para STS-1/STM-0 y STS-3/STM-1 [RFE- 1]. Esta alineación se debe de alcanzar con dos o cuatro tramas detectadas consecutivamente, según la configuración. También se prueba que se indique la pérdida de alineación de tramas al no detectarse cuatro tramas válidas en forma consecutiva tanto para STS-1/STM-0 como para STS-3/STM-1 [RFE- 2]. Para verificar esto, es necesario que el entramador cumpla correctamente con los cuatro subcasos que a continuación se presentan.

### **6.3.1.1.1 Subcaso de prueba 1.1 (Alineador de tramas)**

#### **6.3.1.1.1.1 Objetivos**

El objetivo es probar que el entramador indique la alineación de trama con la detección de **dos** tramas STS-1/STM-0 detectadas consecutivamente. También probar que se indique la pérdida de alineación de tramas al no detectarse cuatro tramas válidas en forma consecutiva.

#### **6.3.1.1.1.2 Especificación de entradas**

La entrada está constituida por 15 tramas STS-1/STM-0 en las cuales las dos primeras tramas son erróneas (no contienen FSC). A partir de la tercera trama, cada una trae consigo en código FSC, así hasta la trama 8. A partir de la trama 9, se excluye de éstas el código FSC, así hasta la trama 15. Por otro lado, se cuenta con un archivo de entrada de configuración. Los archivos de entrada son:

```
stimulus_framer_10.csv  
stimulus_framer_config_120.csv
```

#### **6.3.1.1.1.3 Especificación de salidas**

En la salida, el entramador debe de ignorar las dos primeras tramas que no contienen el FSC. Después de detectar dos tramas consecutivas con FSC (3ª Y 4ª trama de entrada), se debe de indicar la alineación de trama con un “uno lógico” en la salida. Este valor se debe de mantener hasta la trama 12, en donde se ha detectado la falta de cuatro FSC’s consecutivos y así el valor de salida cambia a “cero lógico”.

### **6.3.1.1.2 Subcaso de prueba 1.2**

#### **6.3.1.1.2.1 Objetivos**

El objetivo es probar que el entramador indique la alineación de trama con la detección de **dos** tramas STS-3/STM-1 detectadas consecutivamente. También probar que se indique la pérdida de alineación de tramas al no detectarse cuatro tramas válidas en forma consecutiva.

#### **6.3.1.1.2.2 Especificación de entradas**

La entrada está constituida por 15 tramas STS-3/STM-1 en las cuales las dos primeras tramas son erróneas (no contienen FSC). A partir de la tercera trama, cada una trae consigo en código FSC, así hasta la trama 8. A partir de la trama 9, se excluye de éstas el código FSC, así hasta la trama 15. Por otro lado, se cuenta con un archivo de entrada de configuración. Los archivos de entrada son:

```
stimulus_framer_30.csv  
stimulus_framer_config_320.csv
```

#### **6.3.1.1.2.3 Especificación de salidas**

En la salida, el entramador debe de ignorar las dos primeras tramas que no contienen el FSC. Después de detectar dos tramas consecutivas con FSC (3ª Y 4ª trama de entrada), se

debe de indicar la alineación de trama con un “uno lógico” en la salida. Este valor se debe de mantener hasta la trama 12, en donde se ha detectado la falta de cuatro FSC’s consecutivos y así el valor de salida cambia a “cero lógico”

### **6.3.1.1.3 Subcaso de prueba 1.3**

#### **6.3.1.1.3.1 Objetivos**

El objetivo es probar que el entramador indique la alineación de trama con la detección de **cuatro** tramas STS-1/STM-0 detectadas consecutivamente. También probar que se indique la pérdida de alineación de tramas al no detectarse cuatro tramas válidas en forma consecutiva.

#### **6.3.1.1.3.2 Especificación de entradas**

La entrada está constituida por 15 tramas STS-1/STM-0 en las cuales las dos primeras tramas son erróneas (no contienen FSC). A partir de la tercera trama, cada una trae consigo en código FSC, así hasta la trama 8. A partir de la trama 9, se excluye de éstas el código FSC, así hasta la trama 15. Por otro lado, se cuenta con un archivo de entrada de configuración. Los archivos de entrada son:

```
stimulus_framer_10.csv  
stimulus_framer_config_140.csv
```

#### **6.3.1.1.3.3 Especificación de salidas**

En la salida, el entramador debe de ignorar las dos primeras tramas que no contienen el FSC. Después de detectar cuatro tramas consecutivas con FSC (3<sup>a</sup>, 4<sup>a</sup>, 5<sup>a</sup> y 6<sup>a</sup> trama de entrada), se debe de indicar la alineación de trama con un “uno lógico” en la salida. Este valor se debe de mantener hasta la trama 12, en donde se ha detectado la falta de cuatro FSC’s consecutivos y así el valor de salida cambia a “cero lógico”

### **6.3.1.1.4 Subcaso de prueba 1.4 (Alineador de tramas)**

#### **6.3.1.1.4.1 Objetivos**

El objetivo es probar que el entramador indique la alineación de trama con la detección de **cuatro** tramas STS-3/STM-1 detectadas consecutivamente. También probar que se indique la pérdida de alineación de tramas al no detectarse cuatro tramas válidas en forma consecutiva.

#### **6.3.1.1.4.2 Especificación de entradas**

La entrada está constituida por 15 tramas STS-1/STM-0 en las cuales las dos primeras tramas son erróneas (no contienen FSC). A partir de la tercera trama, cada una trae consigo en código FSC, así hasta la trama 8. A partir de la trama 9, se excluye de éstas el código FSC, así hasta la trama 15. Por otro lado, se cuenta con un archivo de entrada de configuración. Los archivos de entrada son:

```
stimulus_framer_30.csv  
stimulus_framer_config_340.csv
```

#### **6.3.1.1.4.3 Especificación de salidas**

En la salida, el entramador debe de ignorar las dos primeras tramas que no contienen el FSC. Después de detectar cuatro tramas consecutivas con FSC (3ª, 4ª, 5ª y 6ª trama de entrada), se debe de indicar la alineación de trama con un “uno lógico” en la salida. Este valor se debe de mantener hasta la trama 12, en donde se ha detectado la falta de cuatro FSC’s consecutivos y así el valor de salida cambia a “cero lógico”.

### **6.3.2 Casos de prueba 2 (Delimitador de bytes)**

#### **6.3.2.1 Objetivos:**

El objetivo es probar que el entramador delimite las fronteras de los bytes que conforman las tramas STS-1/STM-0 y STS-3/STM-1 que entran al entramador [RFE- 3]. Para verificar esto, es necesario que el entramador cumpla correctamente con los dos subcasos que a continuación se presentan.

##### **6.3.2.1.1 Subcaso de prueba 2.1 (Delimitador de bytes)**

###### **6.3.2.1.1.1 Objetivos**

El objetivo es probar que el entramador delimite las fronteras de los bytes que conforman las tramas STS-1/STM-0 que entran al entramador. En este subcaso se hacen tres pruebas distintas. En cada prueba se utiliza una entrada diferente. Es necesario obtener resultados satisfactorios con cada entrada para determinar que el subcaso de prueba es satisfactorio.

###### **6.3.2.1.1.2 Especificación de entradas**

Las entradas están constituidas cada una por un flujo consistente en 15 tramas válidas iguales STS-1/STM-0 en las cuales se han introducido diferentes corrimientos de bits. En la primera prueba se utilizan tramas de entrada sin corrimiento de bits. En la segunda prueba se utilizan tramas con 3 bits de corrimiento y en la tercera prueba se utilizan tramas con 7 bits de corrimiento. Además se cuenta con un archivo de entrada de configuración. Los archivos de entrada son:

```
stimulus_framer_10.csv  
stimulus_framer_13.csv  
stimulus_framer_17.csv  
stimulus_framer_config_120.csv
```

###### **6.3.2.1.1.3 Especificación de salidas**

Con cualquier corrimiento de bits en las tramas de entrada, en la salida se deben de entregar los bytes de la trama delimitados en fronteras. Una forma de detectar la alineación de bytes dentro del flujo SONET/SDH STS-1/STM-0 de salida es detectar los bytes A1 (Hex F6), A2 (Hex 28) y J0 (Hex FF).

### **6.3.2.1.2 Subcaso de prueba 2.2 (Delimitador de bytes)**

#### **6.3.2.1.2.1 Objetivos**

El objetivo es probar que el entramador delimite las fronteras de los bytes que conforman las tramas STS-3/STM-1 que entran al entramador. En este subcaso se hacen tres pruebas distintas. En cada prueba se utiliza una entrada diferente. Es necesario obtener resultados satisfactorios con cada entrada para determinar que el subcaso de prueba es satisfactorio.

#### **6.3.2.1.2.2 Especificación de entradas**

Las entradas están constituidas cada una por un flujo consistente en 15 tramas válidas iguales STS-1/STM-0 en las cuales se han introducido diferentes corrimientos de bits. En la primera prueba se utilizan tramas de entrada sin corrimiento de bits. En la segunda prueba se utilizan tramas con 3 bits de corrimiento y en la tercera prueba se utilizan tramas con 7 bits de corrimiento. Además se cuenta con un archivo de entrada de configuración. Los archivos de entrada son:

```
stimulus_framer_30.csv  
stimulus_framer_33.csv  
stimulus_framer_37.csv  
stimulus_framer_config_320.csv
```

#### **6.3.2.1.2.3 Especificación de salidas**

Con cualquier corrimiento de bits en las tramas de entrada, en la salida se deben de entregar los bytes de la trama delimitados en fronteras. Una forma de detectar la alineación de bytes dentro del flujo SONET/SDH STS-1/STM-0 de salida es detectar los bytes A1 (Hex F6), A1, A1, A2 (Hex 28), A2, A2 y J0 (Hex FF).

## **6.4 Verificación del dispositivo indicador de alarmas de sección**

### **6.4.1 Casos de prueba 3 (indicador de alarmas de sección)**

#### **6.4.1.1 Objetivos:**

El objetivo es probar que el entramador detecte e indique la alarma denominada pérdida de señal [RFE- 4]. Para verificar esto, es necesario que el entramador cumpla correctamente con los dos subcasos que a continuación se presentan.

#### **6.4.1.1.1 Subcaso de prueba 3.1 (Pérdida de señal STS-1/STM-0)**

##### **6.4.1.1.1.1 Objetivos**

Probar que el entramador indique el defecto “pérdida de señal” al momento de detectar una cadena de ceros consecutivos durante un intervalo de tiempo de por lo menos 100 µs (650 bytes) para flujos de entrada STS-1/STM-0.

#### **6.4.1.1.2 Especificación de entradas**

La entrada está constituida por un flujo SONET/SDH de 12 tramas STS-1/STM-0. En forma arbitraria se coloca una cadena de 800 bytes “sólo ceros” consecutivos dentro de este flujo de entrada. Las tramas siguientes vuelven a ser tramas válidas. Además se tiene como entrada el archivo de configuración. Los archivos de entrada son:

```
stimulus_framer_10_LOS.csv  
stimulus_framer_config_120.csv
```

#### **6.4.1.1.3 Especificación de salidas**

Inicialmente, la salida que indica la alarma de pérdida de señal debe reportar ceros. Después de haberse detectado los 100  $\mu$ s de sólo ceros, la salida debe de ponerse en uno. Esta salida debe de volver al estado de cero cuando se hayan detectado dos tramas válidas consecutivas.

### ***6.4.1.1.2 Subcaso de prueba 3.2 (Pérdida de señal STS-3/STM-1)***

#### **6.4.1.1.2.1 Objetivos**

Probar que el entramador indique el defecto “pérdida de señal” al momento de detectar una cadena de ceros consecutivos durante un intervalo de tiempo de por lo menos 100  $\mu$ s para flujos de entrada STS-3/STM-1.

#### **6.4.1.1.2.2 Especificación de entradas**

La entrada está constituida por un flujo SONET/SDH de 12 tramas STS-1/STM-0. En forma arbitraria se coloca una cadena de 800 bytes “sólo ceros” consecutivos dentro de este flujo de entrada. Las tramas siguientes vuelven a ser tramas válidas. Además se tiene como entrada un archivo de configuración. Los archivos de entrada son:

```
stimulus_framer_30_LOS.csv  
stimulus_framer_config_320.csv
```

#### **6.4.1.1.2.3 Especificación de salidas**

Inicialmente, la salida que indica la alarma de pérdida de señal debe reportar ceros. Después de haberse detectado los 100  $\mu$ s de sólo ceros, la salida debe de ponerse en uno. Esta salida debe de volver al estado de cero cuando se hayan detectado dos tramas válidas consecutivas.

### ***6.4.2 Casos de prueba 4 (indicador de alarmas de sección)***

#### ***6.4.2.1 Objetivos:***

El objetivo es probar que el entramador detecte e indique la alarma denominada pérdida de trama [RFE- 5]. Para verificar esto, es necesario que el entramador cumpla correctamente con los dos subcasos que a continuación se presentan.

### **6.4.2.1.1 Subcaso de prueba 4.1 (Pérdida de trama STS-1/STM-0)**

#### **6.4.2.1.1.1 Objetivos**

El objetivo es probar que el entramador indique el defecto “pérdida de trama” al momento de detectar la ausencia de 24 tramas en forma consecutiva cuando el flujo de entrada es STS-1/STM-0.

#### **6.4.2.1.1.2 Especificación de entradas**

La entrada está constituida por un flujo SONET/SDH de 40 tramas STS-1/STM-0. Las cinco primeras tramas son válidas. A partir de la sexta trama, no se incluye el código FSC haciendo a estas tramas no válidas, así hasta la trama 35 en donde vuelven a ser válidas. Además, se tiene como entrada un archivo de configuración. Los archivos de entrada para este caso de prueba son:

```
stimulus_framer_10_LOF.csv  
stimulus_framer_config_120.csv
```

#### **6.4.2.1.1.3 Especificación de salidas**

Durante las primeras  $24+5=29$  tramas la salida que indica la alarma de pérdida de trama debe reportar ceros. Después de haberse detectado la ausencia de 24 tramas consecutivas la salida debe de ponerse en uno. Esta salida debe de volver a ponerse a cero cuando se hayan detectado dos tramas válidas consecutivas.

### **6.4.2.1.2 Subcaso de prueba 4.2 (Pérdida de trama STS-3/STM-1)**

#### **6.4.2.1.2.1 Objetivos**

El objetivo es probar que el entramador indique el defecto “pérdida de trama” al momento de detectarse la ausencia de 24 tramas en forma consecutiva cuando el flujo de entrada es STS-3/STM-1.

#### **6.4.2.1.2.2 Especificación de entradas**

La entrada está constituida por un flujo SONET/SDH de 40 tramas STS-1/STM-0. Las cinco primeras tramas son válidas. A partir de la sexta trama, no se incluye el código FSC hasta 35 tramas después. Además, se tiene como entrada un archivo de configuración. Los archivos de entrada para este caso de prueba son:

```
stimulus_framer_30_LOF.csv  
stimulus_framer_config_320.csv
```

#### **6.4.2.1.2.3 Especificación de salidas**

Durante las primeras  $24+5=29$  tramas la salida que indica la alarma de pérdida de trama debe reportar ceros. Después de haberse detectado la ausencia de 24 tramas consecutivas la salida debe de ponerse en uno. Esta salida debe de volver a ponerse a cero cuando se hayan detectado dos tramas válidas consecutivas.

### 6.4.3 Casos de prueba 5 (indicador de alarmas de sección)

#### 6.4.3.1 Objetivos:

El objetivo es probar que el entramador detecte e indique la alarma denominada pérdida de reloj [RFE- 6]. Para verificar esto, es necesario que el entramador cumpla correctamente con los dos subcasos que a continuación se presentan.

##### 6.4.3.1.1 Subcaso de prueba 5.1 (Pérdida de reloj STS-1/STM-0)

###### 6.4.3.1.1.1 Objetivos

El objetivo es probar que el entramador indique el defecto pérdida de reloj al momento de detectarse la ausencia de 4 pulsos en forma consecutiva del reloj principal del entramador cuando el flujo de entrada es STS-1/STM-0.

###### 6.4.3.1.1.2 Especificación de entradas

La entrada está constituida por 12 tramas SONET/SDH STS-1/STM-0, el reloj principal es de 51.48 Mbps y el reloj auxiliar también. La señal del reloj principal muestra una ausencia de varios pulsos consecutivos en un momento arbitrario. El reloj auxiliar se restituye después. Además se cuenta con un archivo de entrada de configuración. Los archivos de entrada para este caso de prueba son:

```
stimulus_framer_LOS_STS1.csv  
stimulus_framer_config_120.csv  
clk_framer_STS1.csv
```

La cama de pruebas ha quedado de la manera mostrada en la figura presentada a continuación.

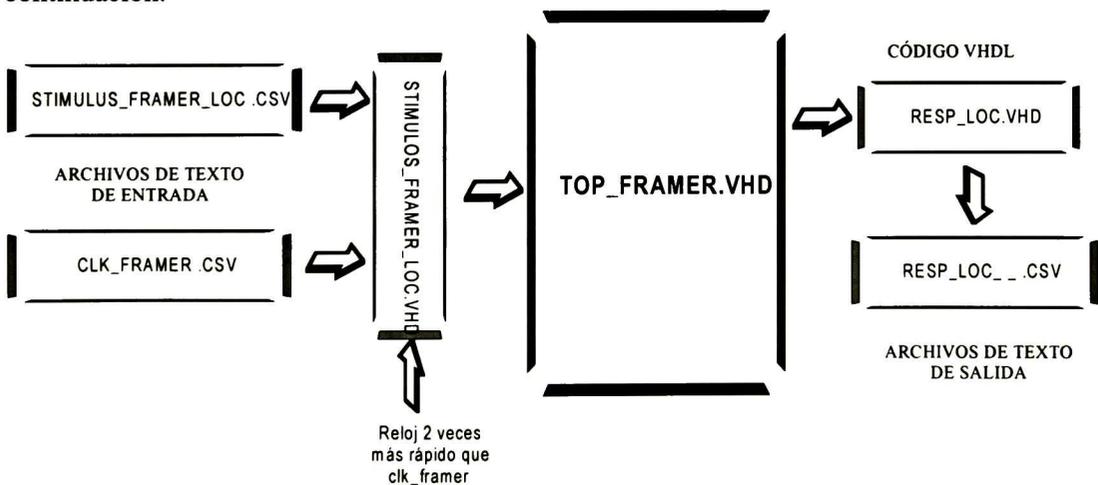


Figura 6.6. Cama de pruebas para el detector e indicador de LOC.

Debe considerarse que el reloj de escritura de datos al TOP\_FRAMER debe ser el doble de rápido que el reloj principal.

#### **6.4.3.1.1.3 Especificación de salidas**

Al momento de detectarse la ausencia de los pulsos de reloj en la entrada, la salida debe de pasar de cero a uno. Cuando la señal de entrada del reloj auxiliar se restituye, la salida que indica la pérdida de reloj debe de ir de uno a cero.

Nota. Para mayor detalle de cómo se realizó esta prueba, buscar en el disco compacto que acompaña esta tesis el archivo test\_framer\_LOC.vhd.

#### **6.4.3.1.2 Subcaso de prueba 5.2 (Pérdida de reloj STS-3/STM-1)**

##### **6.4.3.1.2.1 Objetivos**

El objetivo es probar que el entramador indique el defecto pérdida de reloj al momento de detectarse la ausencia de 4 pulsos en forma consecutiva del reloj principal del entramador cuando el flujo de entrada es STS-3/STM-1.

##### **6.4.3.1.2.2 Especificación de entradas**

La entrada está constituida por 12 tramas SONET/SDH STS-3/STM-1, el reloj principal es de 155.52 Mbps y el reloj auxiliar también. La señal del reloj principal muestra una ausencia de varios pulsos consecutivos en un momento arbitrario. El reloj auxiliar se restituye después. Además se cuenta con un archivo de entrada de configuración. Los archivos de entrada para este caso de prueba son:

```
stimulus_framer_LOS_STS3.csv  
stimulus_framer_config_320.csv  
clk_framer_STS3.csv
```

##### **6.4.3.1.2.3 Especificación de salidas**

Al momento de detectarse la ausencia de los pulsos de reloj en la entrada, la salida debe de pasar de cero a uno. Cuando la señal de entrada del reloj auxiliar se restituye, la salida que indica la pérdida de reloj debe de ir de uno a cero.

## **6.5 Verificación del desaleatorizador**

### **6.5.1 Casos de prueba 6 (Desaleatorizador)**

#### **6.5.1.1 Objetivos:**

El objetivo es probar que el entramador realice el proceso de desaleatorización correspondiente tanto para señales STS-1/STM-0 como para señales STS-3/STM-1 [RFE-7]. Para verificar esto, es necesario que el entramador cumpla correctamente con los dos subcasos que a continuación se presentan.

### **6.5.1.1.1 Subcaso de prueba 6.1 (Desaleatorizador STS-1/STM-0)**

#### **6.5.1.1.1.1 Objetivos**

El objetivo es probar que el entramador realice el proceso de desaleatorización cuando el flujo de entrada es STS-1/STM-0.

#### **6.5.1.1.1.2 Especificación de entradas**

La entrada está constituida por un flujo SONET/SDH de 12 tramas STS-1/STM-0. Todas las tramas de este flujo de entrada son tramas válidas. Además se cuenta con un archivo de entrada para configuración. Los archivos de entrada son:

```
stimulus_framer_10.csv  
stimulus_framer_config_120.csv
```

#### **6.5.1.1.1.3 Especificación de salidas**

El proceso de desaleatorización debe de iniciar hasta que el sistema declare la alineación de tramas. Además, se debe de omitir la desaleatorización sobre los bytes A1 (Hex F6), A2 (Hex 28) y J0 (Hex FF).

### **6.5.1.1.2 Subcaso de prueba 6.2 (Desaleatorizador STS-3/STM-1)**

#### **6.5.1.1.2.1 Objetivos**

Probar que el entramador realice el proceso de desaleatorización cuando el flujo de entrada es STS-3/STM-1.

#### **6.5.1.1.2.2 Especificación de entradas**

La entrada está constituida por un flujo SONET/SDH de 12 tramas STS-1/STM-0. Todas las tramas de este flujo de entrada son tramas válidas. Además se cuenta con un archivo de entrada para configuración. Los archivos de entrada son:

```
stimulus_framer_30.csv  
stimulus_framer_config_320.csv
```

#### **6.5.1.1.2.3 Especificación de salidas**

El proceso de desaleatorización debe de iniciar hasta que el sistema declare la alineación de tramas. Además, se debe de omitir la desaleatorización sobre los bytes A1's (Hex F6), A2's (Hex 28) y J0 (Hex FF).

### **6.5.2 Casos de prueba 7 (Indicación de J0)**

#### **6.5.2.1 Objetivos:**

El objetivo es probar que el entramador señale el momento en que el byte J0 aparece en el flujo SONET/SDH que sale del entramador tanto para señales STS-1/STM-0 como para

señales STS-3/STM-1 [RFE- 9] desaleatorizadas o no. Para verificar esto, es necesario que el entramador cumpla correctamente con los dos subcasos que a continuación se presentan.

#### **6.5.2.1.1 Subcaso de prueba 7.1 (Indicación de J0 STS-1/STM-0)**

##### **6.5.2.1.1.1 Objetivos**

El objetivo es probar que el entramador indique la presencia del byte J0 en el flujo de salida cuando el flujo de entrada es STS-1/STM-0.

##### **6.5.2.1.1.2 Especificación de entradas**

La entrada está constituida por un flujo SONET/SDH de 12 tramas válidas STS-1/STM-0. Además se cuenta con un archivo de entrada de configuración. Los archivos de entrada son:

```
stimulus_framer_10.csv  
stimulus_framer_config_120.csv
```

##### **6.5.2.1.1.3 Especificación de salidas**

La salida está constituida solamente por un pulso que aparece cada que se tiene al byte J0 dentro del flujo de salida SONET/SDH.

#### **6.5.2.1.2 Subcaso de prueba 7.2 (Indicación de J0 STS-3/STM-1)**

##### **6.5.2.1.2.1 Objetivos**

El objetivo es probar que el entramador indique la presencia del byte J0 en el flujo de salida cuando el flujo de entrada es STS-3/STM-1.

##### **6.5.2.1.2.2 Especificación de entradas**

La entrada está constituida por un flujo SONET/SDH de 12 tramas válidas STS-3/STM-1. Además se cuenta con un archivo de entrada de configuración. Los archivos de entrada son:

```
stimulus_framer_30.csv  
stimulus_framer_config_320.csv
```

##### **6.5.2.1.2.3 Especificación de salidas**

La salida está constituida solamente por un pulso que aparece cada que se tiene al byte J0 dentro del flujo de salida SONET/SDH.

## **6.6 Verificación del alineador calculador de BIP-8**

### **6.6.1 Casos de prueba 8 (Calculador de B1)**

#### **6.6.1.1 Objetivos:**

El objetivo consiste en probar que el entramador realice el cálculo del byte B1 de la trama entrante tanto para señales STS-1/STM-0 como para señales STS-3/STM-1 [RFE- 8]. Para

verificar esto, es necesario que el entramador cumpla correctamente con los dos subcasos que a continuación se presentan.

#### ***6.6.1.1.1 Subcaso de prueba 8.1 (Cálculo de B1 STS-1/STM-0)***

##### **6.6.1.1.1.1 Objetivos**

Probar que el entramador realice el cálculo del byte B1 de sección cuando el flujo de entrada es STS-1/STM-0.

##### **6.6.1.1.1.2 Especificación de entradas**

La entrada está constituida por un flujo SONET/SDH de 12 tramas iguales STS-1/STM-0. Todas las tramas de este flujo de entrada son tramas válidas.

##### **6.6.1.1.1.3 Especificación de salidas**

La salida debe de mantenerse en cero hasta que el cálculo de B1 ha sido realizado. Cuando se termina el cálculo el resultado de éste debe aparecer en la salida.

#### ***6.6.1.1.2 Subcaso de prueba 8.2 (Cálculo de B1 STS-3/STM-1)***

##### **6.6.1.1.2.1 Objetivos**

Probar que el entramador realice el cálculo del byte B1 de sección de la trama entrante cuando el flujo de entrada es STS-3/STM-1.

##### **6.6.1.1.2.2 Especificación de entradas**

La entrada está constituida por un flujo SONET/SDH de 12 tramas iguales STS-1/STM-0. Todas las tramas de este flujo de entrada son tramas válidas.

##### **6.6.1.1.2.3 Especificación de salidas**

La salida debe de mantenerse en cero hasta que el cálculo de B1 ha sido realizado. Cuando se termina el cálculo el resultado de éste debe aparecer en la salida. Como todas las tramas son iguales, los resultados de calcular la paridad de la trama deben ser iguales también.

## **6.7 Reporte de verificación de funcionalidad del entramador**

### ***6.7.1 Archivo probado***

Para realizar la verificación de funcionalidad total, por medio de los casos de prueba tratados en secciones anteriores, se probó el archivo que contiene el código del entramador completo llamado TOP\_FRAMER.VHD.

## 6.7.2 Plan de pruebas utilizado para verificación de funcionalidad

Para cada uno de los casos presentados en las secciones anteriores, se siguió el plan de pruebas presentado en la sección 6.2.1 en donde se propone el uso de camas de prueba. Cabe mencionar que se utilizó la librería de síntesis flex10k-3\_fpga.

## 6.7.3 Resumen de la verificación de funcionalidad

Al comparar los archivos de texto (extensión .csv) de entrada con los archivos de texto (extensión .csv) de salida, es posible ver que los requerimientos funcionales y genéricos involucrado en cada uno de los casos de prueba han sido cumplidos satisfactoriamente según el criterio de falla establecido en la sección 6.2.1. Para mayor detalle en cuanto a la comparación de entradas y salidas, consultar el disco compacto que acompaña esta tesis.

# 6.8 Verificación de requerimientos de tiempo

## 6.8.1.1 Objetivos:

El objetivo es probar que el código TOP\_FRAMER.VHD que implementa al entramador cumpla los requerimientos de tiempo estipulados en [RGE- 1].

## 6.8.1.2 Plan de pruebas utilizado

Para probar que el código TOP\_FRAMER.VHD pueda ser sintetizado a nivel de registros y que cumpla con los requerimientos de tiempo, se siguió el plan de pruebas presentado en la sección 6.2.2 en donde se propone el uso de synopsys.

## 6.8.2 Resumen de la verificación requerimiento de tiempo

A continuación se muestra el reporte de tiempo entregado por synopsys para STS-3/STM-1 al utilizar la librería flex10k20-3. Al cumplirse éste requerimientos de tiempo se asume que también se cumple para el caso de STS-1/STM-0.

Des/Clust/Port	Wire Load Model	Library		
Top_framer	ALL	flex10k-3_fpga		
Point			Incr	Path
clock framer_clk_in (rise edge)			0.00	0.00
clock network delay (propagated)			49.14	49.14
descrambler_inst/count_reg<0>/CLK (DFFE)			0.00	49.14 r
descrambler_inst/count_reg<0>/Q (DFFE)			0.90	50.04 r
U468/Y (LUT)			3.56	53.60 r
U465/Y (LUT)			2.82	56.41 r
U462/Y (LUT)			2.32	58.73 r
U452/Y (LUT)			2.07	60.81 r
U855/Y (LUT)			2.82	63.62 r
U710/Y (LUT)			2.07	65.69 r
U668/Y (LUT)			3.80	69.49 r
U859/Y (LUT)			4.29	73.78 r
U711/Y (LUT)			2.07	75.85 r
U669/Y (LUT)			3.06	78.92 r

U863/Y (LUT)	4.06	82.97 r
U866/Y (LUT)	2.07	85.04 r
U712/Y (LUT)	2.07	87.12 r
U714/Y (LUT)	2.07	89.19 r
U769/Y (LUT)	4.06	93.24 r
descrambler_inst/desc_data_out_reg<0>/ENA (DFFE)	2.40	95.65 r
data arrival time		95.65
clock framer_clk_in (rise edge)	51.44	51.44
clock network delay (propagated)	49.14	100.14
descrambler_inst/desc_data_out_reg<0>/CLK (DFFE)	0.00	100.14 r
library setup time	0.00	100.14
data required time		100.14
-----		
data required time		100.14
data arrival time		-95.65
-----		
slack (MET)		4.49

El período del reloj de entrada es de 51.44 ns. Se puede ver que sobraron 4.49 ns y por lo tanto no se violan los requerimientos de tiempo, obteniendo con esto resultados satisfactorios.

Adicionalmente, con synopsys es posible obtener un reporte de compuertas utilizadas. A continuación se muestra dicho reporte:

Information: Updating design information. . (UID-85)

```
*****
Report : area
Design : Top_framer
Version: 1999.10
Date   : Thu Aug  2 12:13:44 2001
*****
```

Library(s) Used:

flex10k-3\_fpga (File:  
/apps/maxplus2/synopsys/library/alt\_syn/flex10k/lib/flex10k-3\_fpga.db)

```
Number of ports:      38
Number of nets:      1217
Number of cells:     828
Number of references: 6

Combinational area:  603.000000
Noncombinational area: 15.000000
Net Interconnect area: undefined (Wire load has zero net area)

Total cell area:     618.000000
Total area:          undefined
```

## 6.9 Tablas de resultados

En esta sección se muestra un conjunto de tablas de resultados en los que se incluyen datos relacionados con el código VHDL que implementa al entramador con funciones en la capa de sección presentados en esta tesis, así como aspectos relacionados con las simulaciones, los casos de prueba y la síntesis del código.

La siguiente tabla incluye algunos aspectos de interés respecto al código VHDL que implementa al entramador. Se muestra el número de bloques que componen el entramador, así como las entidades, los procesos y los paquetes involucrados.

<b>Composición de TOP_FRAMER.vhd</b>				
<b>Número de bloques</b>	<b>Entidades</b>	<b>Procesos</b>	<b>Paquetes</b>	<b>Líneas de códigos</b>
4	4	13	1	1,300 (aprox.)

Tabla 6.1. Reporte del código que implementa el entramador

Durante el proceso de verificación se hicieron simulaciones para todos los casos posibles que experimenta el entramador, sin embargo se tiene registro sólo de algunas de ellas, en general, una para cada caso de prueba. La siguiente tabla muestra el número de simulaciones que se tienen documentadas en el disco compacto que acompaña esta tesis.

<b>Reporte de simulaciones</b>	
<b>Nombre del módulo (VHDL)</b>	<b>No. de simulaciones</b>
Aligner.vhd	2
Alarms.vhd	3
Descrambler.vhd	2
B1_calculator	2
TOP_FRAMER.vhd	10

Tabla 6.2. Reporte de simulaciones

Ahora se muestra una tabla en donde se resumen los casos de prueba documentados en esta tesis y que se presentan en el disco compacto que acompaña esta tesis. En realidad se probó el entramador para aproximadamente 200 casos de prueba diferentes pero en la siguiente tabla sólo se muestran los casos documentados en esta tesis y que resultan ser de interés.

<b>Reporte de casos de prueba</b>		
<b>Nombre del módulo (VHDL)</b>	<b>No. de casos de prueba reportados</b>	<b>Subcasos de prueba reportados</b>
Aligner.vhd	2	6
Alarms.vhd	3	6
Descrambler.vhd	2	4
B1_calculator	2	2
TOP_FRAMER.vhd	10	18

Tabla 6.3. Reporte de casos de prueba

La siguiente tabla incluye el reporte que se obtuvo con el proceso de síntesis con synopsys. La síntesis presentada en este reporte se hizo para un reloj STS-3 de 51.43 ns asumiendo que si el entramador funciona para STS-3 también lo hace para STS-1. cabe aclarar que la síntesis también se efectuó para un reloj de STS-1 pero no se reporta en la siguiente tabla.

<b>Reporte de síntesis (synopsys)</b>				
<b>Nombre del módulo (VHDL)</b>	<b>No. de compuertas utilizadas (aprox.)</b>	<b>Tiempo de síntesis (min.)</b>	<b>Máximo tiempo en módulo (ns)</b>	<b>Porcentaje utilizado del FPGA (flex10k20)</b>
Aligner.vhd	5550	--	32.53	--
Alarms.vhd	1750	--	38.24	--
Descrambler.vhd	1100	--	46.98	--
B1_calculator.vhd	1100	--	40.03	--
TOP_FRAMER.vhd	10,000	3	41.25	50%

Tabla 6.4. Reporte de síntesis en synopsys

## 7 Conclusiones

Se ha diseñado un circuito VLSI entramados para SONET/SDH que incluye funciones de la capa de sección. Este entramador opera a tasas de STS-1/STM-0 o de STS-3/STM-1.

Se han especificado una serie de requerimientos funcionales que delimitan las funciones del entramador y que fueron tomados en cuenta para el diseño.

Basados en los requerimientos, el entramador fue dividido en cuatro principales submódulos. Cada uno de estos submódulos (*alineador con delimitador de bytes, dispositivo detector e indicador de alarmas en la capa de sección, desaleatorizador y calculador de BI*) han sido implementado en código de descripción de hardware VHDL. Estos códigos serán tomados como base para la construcción de entramadores de mayor velocidad y también para construir elementos de red completos en menos tiempo por el trabajo ya realizado (capítulo 4).

Por otro lado, el entramador ha sido probado en su funcionalidad por medio de simulaciones y por un plan de pruebas que incluye el uso de archivos de texto de entrada y de salida (sección 6.2.1).

Se sintetizó el código TOP\_FRAMER.vhd que implementa el entramador en una librería FPGA flex10k20 y se obtuvieron resultados satisfactorios por lo que es posible implementar este circuito VLSI en forma física (sección 6.8).

Con el proceso de síntesis con flex10k20 se obtuvo el reporte que señala que el circuito VLSI entramador (TOP\_FRAMER.vhd) cuenta con aproximadamente 10, 000 compuertas. Por otro lado, el uso de esta librería de synopsys impidió que el entramador fuera probada a velocidades mayores a STS-3 debido a la frecuencia de reloj tan alta que se debería de manejar, sin embargo, se intuye que el entramador puede extenderse en velocidad utilizando librerías más poderosas que las aquí utilizadas (sección 6.9).

El desaleatorizador puede ser extendido a tasas mayores a STS-3 haciendo modificaciones sobre las ecuaciones de lógica combinatoria proporcionadas en la sección 5.4 y algunas características de otros submódulos pueden incluidas sin cambio en trabajos futuros.

Por todo lo anterior, el CINVESTAV cuenta ahora con un entramador para SONET/SDH a velocidades para STS-3/STM-1 con funciones en la capa de sección.

Por último, este trabajo ha sido presentado en los siguientes congresos:

**IEEE-ROC&2001.** 12ª Reunión de Otoño de Comunicaciones, Computación, Electrónica y Exposición Industrial en Acapulco, Guerrero en Octubre del 2001 bajo el título

*“Desarrollo de una librería básica de componentes para el diseño de elemento de red SONET/SDH para señales STM-1/STS-3c/3xm STS-1”.*

**8° Workshop International IBERCHIP** (Cooperación multinacional en el área de la Microelectrónica y Microsistemas en la Región Iberoamericana) 2002 en Guadalajara, Jalisco en Abril del 2002 bajo el título *“VLSI Configurable Framer for SONET/SDH STS-3/STM-1”*

## **7.1 Trabajos futuros**

Para trabajos futuros se propone extender la capacidad del entramador a velocidades mayores de STS-3/STM-1.

Por otro lado, se espera que este componente entramador forme parte de elementos de red para SONET/SDH completos.

## 8 Apéndices

### 8.1 Apéndice A (Documentación SONET/SDH)

La documentación completa del estándar SONET se encuentra en los siguientes requerimientos genéricos de la ANSI:

- ANSI T1.105: SONET Basic Description including Multiplex Structure, Rates and Formats
- ANSI T1.105.01: SONET - Automatic Protection Switching
- ANSI T1.105.02: SONET Payload Mappings
- ANSI T1.105.03: SONET - Jitter at Network Interfaces
- ANSI T1.105.03a: SONET - Jitter at Network Interfaces - DS1 Supplement
- ANSI T1.105.03b: SONET - Jitter at Network Interfaces - DS3 Wander Supplement
- ANSI T1.105.04: SONET Data Communication Channel Protocol and Architectures
- ANSI T1.105.05: SONET Tandem Connection Maintenance
- ANSI T1.105.06: SONET Physical Layer Specifications
- ANSI T1.105.07: SONET - Sub-ST5-1 Interface Rates and Formats Specification
- ANSI T1.105.09: SONET Network Element Timing and Synchronization
- ANSI T1.119: SONET Operations, Administration, Maintenance, and Provisioning (OAM&P) - Communications
- ANSI T1.119.01: SONET: OAM&P Communications Protection Switching Fragment

La documentación completa del estándar SDH se encuentra en los siguientes requerimientos genéricos de la ITU:

- ITU-T G.707: Network Node Interface for the Synchronous Digital Hierarchy (SDH)
- ITU-T G.781: Structure of Recommendations on Equipment for the Synchronous Digital Hierarchy (SDH)
- ITU-T G.782: Types and Characteristics of Synchronous Digital Hierarchy (SDH) Equipment
- ITU-T G.783: Characteristics of Synchronous Digital Hierarchy (SDH) Equipment Functional Blocks
- ITU-T G.803: Architecture of Transport Networks Based on the Synchronous Digital Hierarchy (SDH)

## 8.2 Apéndice B (Disco compacto)

Este documento de tesis va acompañado de un disco compacto que contiene documentos y reportes auxiliares en esta tesis.

La organización de estos archivos se muestra en la siguiente figura.

### FRAMER SONET-SDH

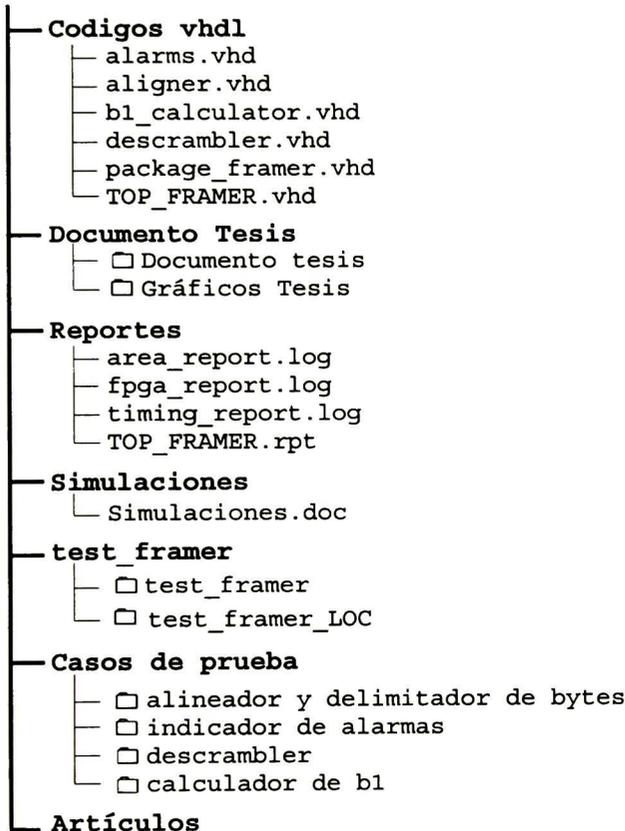


Figura 8.1. Organización de archivos en el disco compacto.

### Código VHDL

Aquí se incluyen los códigos de cada uno de los bloques que constituyen el entramador, así como el archivo TOP\_FRAMER.vhd que une a todos los bloques.

### Documento Tesis

Este documento de tesis y los gráficos de la misma se incluyen en la carpeta llamada Documento de la tesis y sus gráficos. Los gráficos han sido agrupados por capítulos para un mayor orden.

## Reportes

En esta carpeta se incluyen los reportes obtenidos al sintetizar el código TOP\_FRAMER.vhd utilizando la herramienta synopsys.

## Simulaciones

Durante el proceso de diseño se realizaron una serie de simulaciones con la herramienta ModelSim, En la carpeta llamada simulaciones se incluyen algunas formas de onda obtenidas.

## Test\_framer

La carpeta Test\_Framer contiene la cama de pruebas utilizada para probar el entramador. Esta carpeta está organizada internamente como se muestra en la siguiente figura.

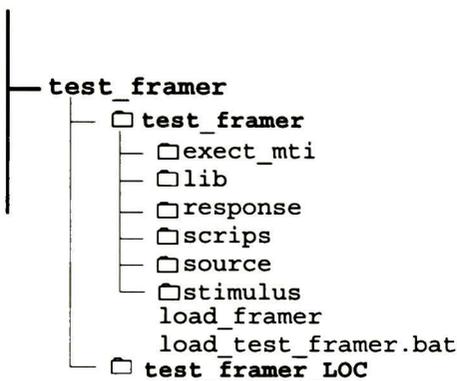


Figura 8.2. Organización de la cama de pruebas

`exect_mti` contiene la configuración necesaria para que la cama de pruebas pueda funcionar el Modelsim. `lib` contiene la librería del framer, `response` contiene los archivos de texto que entrega la cama de pruebas. `source` contiene el código fuente en vhd y `stimulus` contiene los archivos de texto de entrada de la cama de pruebas. El archivo `load_test_framer.bat` inicia el proceso de simulación en modelsim con solo pulsar sobre él. Es necesario aclarar que los “*scrips*” que se utilizan para la cama de pruebas están sujetos a la computadora en donde fueron corridos, por lo tanto para hacer pruebas en otras máquinas es necesario modificar dichos “*scrips*”

Por último, el directorio `test_framer_LOC` contiene la cama de pruebas diseñada especialmente para probar que el entramador detecte e indique la alarma pérdida de reloj (LOC).

## Casos de prueba principales

En esta carpeta se incluyen los resultados obtenidos en los casos de prueba principales presentados en el capítulo 6.

## **Artículos**

En la carpeta Artículos se encuentran los dos artículos presentados en los congresos mencionados en las conclusiones.

**IEEE-ROC&2001.** 12ª Reunión de Otoño de Comunicaciones, Computación, Electrónica y Exposición Industrial en Acapulco, Guerrero en Octubre del 2001 bajo el título “*Desarrollo de una librería básica de componentes para el diseño de elemento de red SONET/SDH para señales STM-1/STS-3c/3xm STS-1*”

**8º Workshop International IBERCHIP** (Cooperación multinacional en el área de la Microelectrónica y Microsistemas en la Región Iberoamericana) 2002 en Guadalajara, Jalisco en Abril del 2002 bajo el título “*VLSI Configurable Framer for SONET/SDH STS-3/STM-1*”

## 9 Bibliografía.

- [1] *Generic Requirements GR-235-CORE: Synchronous Optical Network (SONET) Transport Systems. Issue 2. December, 1995 with revision, December 1997.*
- [2] ITU-T: *Recomendación G.707, Sistemas de transmisión digital – Equipos terminales – Generalidades. Interfaz de nodo de red para la jerarquía digital síncrona (SDH). 1997.*
- [3] ITU-T: *Recomendación G.780, Sistemas de transmisión digital – Equipos terminales – Características principales de los equipos múltiplex de la jerarquía digital síncrona. Vocabulario de términos de redes y equipos de la jerarquía digital síncrona. 1997.*
- [4] ITU-T: *Recomendación G.781, Structure of recommendations on Equipment for the Synchronous Optical Network (SDH). 1997.*
- [5] ITU-T: *Recomendación G.783, Types and Characteristics of Synchronous Optical Network. (SDH). 1997.*
- [6] *Ming-Chwan Chong, Understanding SONET/SDH, Andan Publisher, New Jersey, 1995.*
- [7] *W. Goralski, SONET A Guide to Synchronous Optical Network, McGraw Hill, New York, 1997.*
- [8] <http://www.pmc-sierra.com>. *SONET/SDH Transport Overhead Terminating Transceiver telecom Standard product. PMC-Sierra, Inc. July, 1998.*
- [9] <http://www.pmc-sierra.com>. *Monolithic SONET/SDH Transport Overhead Terminating Transceiver for use in STS-1, STS-3 (STM-1) or STS-12 (STM-4) applications. PMC-Sierra, Inc. July, 1998.*

# Desarrollo de una librería básica de componentes para el diseño de elementos de red SDH/SONET para señales STM-1/STS-3c/3xSTS-1

A. Redondo, J. Maldonado, L. Aburto, J. Aguirre, S. Medina, D. Torres y M. E. Guzmán  
[dtorres@gdl.cinvestav.mx](mailto:dtorres@gdl.cinvestav.mx)  
CINVESTAV del IPN Unidad Guadalajara

## RESUMEN

El presente trabajo describe tanto las arquitecturas como los principios fundamentales para el desarrollo de una librería de componentes para el diseño rápido de elementos de red para sistemas de transmisión usando SDH/SONET para señales STM-1/STS-3c/3xSTS-1. Los componentes para la librería han sido diseñados empleando VHDL, sintetizadas y verificadas, empleando para ello herramientas como ModelSim y el sintetizador Synopsys.

## 1 INTRODUCCIÓN

El objetivo de los sistemas actuales SDH/SONET de transmisión por fibra óptica es la transferencia de información entre dos puntos cualesquiera de la red, a muy altas velocidades, p.e. 10 y 40 Gbps [1-3]. Estas redes intentan resolver los problemas de PDH, tales como:

- Incapacidad para identificar, sin alta complejidad, canales individuales en flujos de orden superior.
- Insuficiente capacidad de gestión de red.
- Diferentes jerarquías a escala mundial.
- Carencia de estándares por encima de 140 Mbps.
- Gran parte de la gestión de redes PDH, emplea interfaces propietarias.

Las redes SDH/SONET (Synchronous Digital Hierarchy/Synchronous Optical Network) están formadas por las fibras y los denominados elementos de red NE (Network Elements), los cuales son, hasta hoy en día, fundamentalmente digitales. Esta red se encuentra ubicada en la capa física del modelo de referencia de OSI. A la vez, la arquitectura de estas redes está dividida en capas, denominadas:

- Física.
- Sección de regeneración.
- Sección de multiplexación.
- Sección de ruta o trayectoria.

Entre los elementos de red se encuentran: regeneradores R (Regenerator), multiplexores inyectoros y extractores ADM (Add/Drop Multiplexor), transconectores DCS (Digital Cross-connect), multiplexores terminales TM (Terminal Multiplexor). Cada una de las capas procesa parte de la tara u "overhead" y/o realiza funciones de transporte. Acorde con la capa donde se encuentran, se clasifican los elementos de red NE.

A fin de poder desarrollar con rapidez diferentes elementos de red, es necesario disponer de librerías que generen y procesen las diferentes partes de las tramas SDH/SONET. En el presente trabajo solamente mostramos nuestras experiencias en el desarrollo de los componentes básicos sin llegar a la creación de un subsistema o un elemento de red. Por limitaciones no abordamos la sección de adaptación del multiplexación conocido en inglés como MSA. El artículo tiene como *objetivo esencial presentar las características arquitectónicas de los siguientes procesadores:*

- Detección de alineación de tramas y bytes
- RSOH –Regenerator Section Overhead
- MSOH –Multiplex Section Overhead
- POH –Path Overhead
- Apuntadores de SDH/SONET

## 2 COMPONENTES BÁSICOS

### DETECTOR CONFIGURABLE DE ALINEACIÓN DE TRAMAS Y BYTES PARA SEÑALES STM-1/STS-3c/3xSTS-1

#### Introducción

Los primeros bytes de una trama de la señal STM-1/STS-1 [4,5] se denominan A1 y A2, contienen valores predeterminados y sirven para detectar la *alineación* de trama, también llamada *sincronía de trama*. A continuación de éstos viene el byte J0 que se denomina traza de sección. Todos estos bytes junto a otros están contenidos en la parte de la tara denominada RSOH.

IEEE ROC&C'2001 / E-23

PONENCIA RECOMENDADA POR EL  
CAPÍTULO DE ELECTRÓNICA DEL IEEE SECCIÓN MÉXICO Y  
PRESENTADA EN LA REUNIÓN DE OTOÑO, ROC&C'2001,  
ACAPULCO, GRO., DEL 2 AL 7 DE OCTUBRE DEL 2001.

Este componente configurable puede trabajar para señales SDH/SONET STM-1/STS-3c y STS-1, operando con flujos de bytes en vez de flujo de bits, es decir, procesa ocho bits en el mismo ciclo de reloj. Este componente, como se ve en la Figura 1, está constituido por cuatro submódulos fundamentales:

- Alineador de tramas y bytes
- Generador de alarmas
- Desaleatorizador o "descrambler"
- Calculador de B1

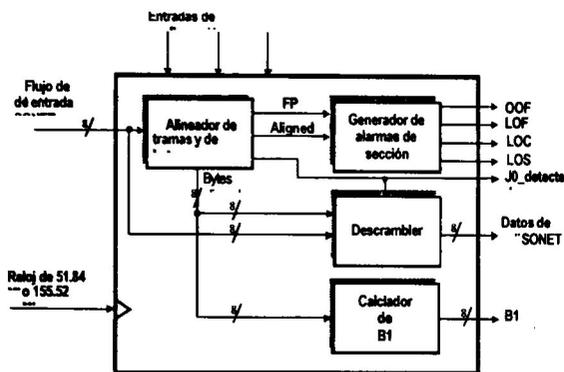


Figura 1. Arquitectura del detector configurable de alineación de tramas SONET/SDH

### Alineador de tramas y de bytes

Este dispositivo tiene dos funciones fundamentales:

- alinear las tramas y,
- alinear los bytes.

Para la alineación de tramas es preciso que el dispositivo detecte los bytes A1 y A2 de las tramas SONET/SDH que indican el inicio de una nueva trama. Un contador se incrementa por cada trama detectada. Si el sistema parte de un estado de *no alineado* en tramas, después de dos o cuatro tramas detectadas consecutivamente (según la configuración) se declara la *alineación de tramas*. Cuando se han perdido cuatro tramas consecutivas se declara un estado denominado *fuera de trama*.

En cuanto al alineador de bytes, en el flujo de bytes entrante es muy probable que los bytes estén corridos una longitud en bits y no correspondan exactamente a los bytes de una trama SONET/SDH y no puedan ser procesados por dicho corrimiento. El alineador de bytes busca las fronteras de los bytes para que puedan ser procesados por los módulos externos al alineador de tramas. Esto se resume en Figura 2.

El alineador de tramas trabaja conjuntamente con el alineador de bytes de tal manera que una vez que se logra la alineación de trama se selecciona en el alineador de byte la frontera de byte correcta.

En este mismo dispositivo alineador de tramas y de bytes se añaden las funciones de señalización de que el byte J0 es el byte en la salida, así como la indicación del último byte de la trama.

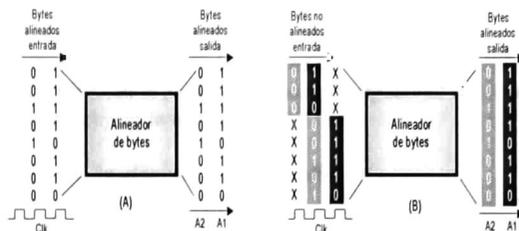


Figura 2. Alineador de bytes

### Generador de alarmas de sección

Este submódulo genera las alarmas de pérdida de señal, pérdida de trama y pérdida de reloj según las especificaciones del estándar. En este entramador se incluye un detector de pérdida de pulsos de reloj. Después de cuatro pulsos de reloj perdidos se declara la pérdida.

### Desaleatorizador o descrambler

Aquí se presenta una variante del desaleatorizador serie propuesto por las especificaciones para SONET/SDH. En este caso, el desaleatorizador trabaja con un flujo de bytes, por lo tanto hace la desaleatorización de ocho bits al mismo tiempo por cada pulso de reloj, es por eso que es llamado desaleatorizador paralelo. Según la configuración es posible tener un flujo con aleatorización o sin ella (esto para motivos de prueba), es decir, los datos pueden ser procesados por el desaleatorizador o no.

### Calculador del byte B1 BIP-8 de sección

Este submódulo calcula la paridad sobre toda la trama SONET/SDH según las especificaciones para SONET/SDH. Este dispositivo solo hace el cálculo, pues el procesamiento ya es trabajo de otro módulo *procesador de encabezado de sección* que está fuera del alcance del circuito aquí presentado.

## PROCESADOR DE TARA RSOH DE SONET PARA SEÑALES STM-1/STS-3c/3xSTS-1

### Introducción

La parte de la tara denominada RSOH es procesada por los regeneradores, la misma consta en STS-1 de 9 bytes: A1, A2, J0, B1, E1, F1 y 192 Kbps en 3 canales a 64 Kbps denominados D1-D3, ver [4,5]. El componente asociado con esta parte tiene como función especial extraer y



El procesador de la MSOH realiza algunas de las funciones antes especificadas para una trama SDH/SONET para los flujos STS-1/STM-0, STS-3/STM-1 y STS-12/STM-4 configurable por el usuario.

### Especificación de requerimientos

La especificación de requerimientos para el procesador de la MSOH son los siguientes:

1. Procesamiento del byte B2 incluyendo la acumulación de errores.
2. Realizar el filtrado de los bytes K1 y K2.
3. Realizar el filtrado del byte S1.
4. Realizar la extracción del byte M0 o M1 y la acumulación de errores.

### Arquitectura

La Figura 4 muestra los bloques internos del procesador de la MSOH y las correspondientes entradas y salidas de cada uno de los submódulos. La misma consta de los siguientes bloques, los cuales procesan los bytes correspondientes:

Procesador de B2

Procesador de K1 y K2

Procesador de S1

Procesador de M0-M1

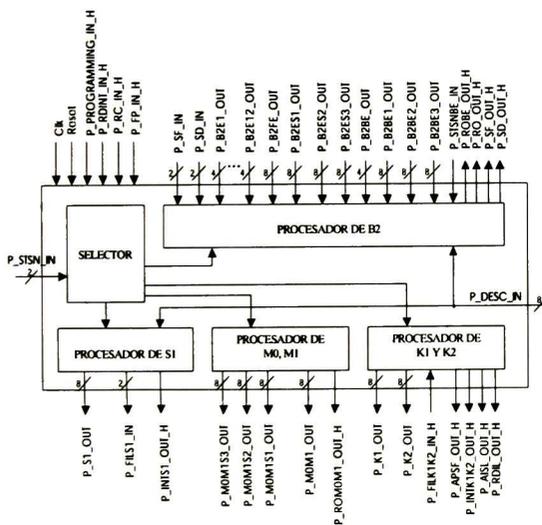


Figura 4. Arquitectura del MSOH

### Procesador de B2

Este calcula el chequeo de paridad basado en todos los bytes del LOH (Line Overhead) y la capacidad de la STM-N/STS-N de la trama previa cuando esta ya se encuentra no aleatorizada. La paridad es almacenada y posteriormente

comparada con el byte B2 de la trama actual una vez no aleatorizado, esto para detectar el número de errores. Dentro de sus funciones se encuentran:

- Detección de errores de bits de cada una de las STS-1/STM-0.
- Detección de errores de bits por trama.
- Acumulación de errores de bits ocurridos durante 1 segundo.
- Detección de errores por bloque, con el bloque configurable de una STS-1/STM-0 o STS-3/STM-1.
- Acumulación de errores de bloque ocurridos durante 1 segundo.
- Detección de degradación de señal (SD) con una tasa de errores de bits (BER) configurable de  $10^{-5}$  a  $10^{-6}$
- Detección de falla de señal (SF) con una tasa de errores de bits configurable de  $10^{-3}$  a  $10^{-5}$

### Procesador de K1, K2

Estos dos bytes envían comandos de conmutación de protección automática APS (Automatic Protection Switching) y condiciones de error entre piezas de equipo de terminación de línea. Son usados específicamente para recuperación seguida de una falla de red, por lo que son monitoreados constantemente en orden para determinar cuando la señal SONET/SDH puede ser conmutada a una trayectoria física alternativa. El byte K2 es también usado para detectar otros tipos de alarmas de nivel de línea en enlaces SONET/SDH. Dentro de sus funciones se encuentran:

- Filtrado de los bytes K1 y K2 por 3 ó 5 tramas configurable.
- Detección de falla del byte APS.
- Detección de la señal de indicación de alarma de línea (AIS-L).
- Detección de la señal indicación de defecto distante (RDI-L).

### Procesador de S1

Este byte es usado para llevar el estado de sincronización del dispositivo SDH/SONET. Sólo los bits 5-8 están actualmente definidos. El propósito es conocer en cada momento la fuente del reloj, y de esta forma tratar siempre de operar con la frecuencia de la red, reloj de stratum 3. Dentro de sus funciones se encuentran:

- Detección de cambios en el byte (sin filtrado).
- Filtrado del byte por 3, 5 u 8 tramas configurable.

### Procesador de M0 o M1

El byte M0 o M1 es usado para la función de error distante (REI) de sección de multiplexación. Este byte lleva la cuenta de bloques de bits entrelazados que han sido detectados como erróneos por el BIP-X de la trama STS-N enviada previamente. Dentro de sus funciones se encuentran:



Overhead” o byte J1. La combinación de estas dos señales es, en realidad, la que indica donde comienza la carga útil en la trama.

Este circuito cuenta con contadores de eventos para llevar un registro de los movimientos que se llevan a cabo en el apuntador.

Los diseños de las diferentes componentes fueron realizados en VHDL y se siguieron técnicas y metodologías dadas en las referencias [6-10].

### 3 CONCLUSIONES

En este trabajo se logró:

- La especificación de los requerimientos de los componentes básicos a partir de las normas de la ITU.
- Crear arquitecturas de diferentes componentes básicos para el procesamiento de las señales STM-1/STS-3c/3xSTS-1
- La funcionalidad de cada bloque en cada componente fue especificada.
- Se diseñaron los componentes para el procesamiento de las señales empleando VHDL
- Se sintetizó el código con Synopsis y se verificaron algunas funcionalidades.

Como trabajo futuro debe realizarse la parte de generación, y lograr arquitecturas para señales a mayores velocidades; así como hacerse un amplio plan de verificación.

### 4 BIBLIOGRAFÍA

- [1] Bellamy, J., “Digital Telephony” Third Edition, John Wiley & Sons, Inc., 2000.
- [2] ITU-T, Telecommunication Standardization Sector of ITU, “G.703, Características físicas y eléctricas de las interfaces digitales jerárquicas”, 10/98.
- [3] ITU-T, Telecommunication Standardization Sector of ITU, “G.704, Synchronous Frame Structures Used at 1544, 6312, 2048, 8488 and 44736 kbit/s Hierarchical Levels”, 07/95.
- [4] ITU-T, Telecommunication Standardization Sector of ITU, “G.707, Network Node for the SDH, 03/96
- [5] ITU-T, Telecommunication Standardization Sector of ITU, “G.783, Characteristics of SDH equipment functional blocks, 04/97.
- [6] Pardo C. F., “VHDL Lenguaje para descripción y modelado de circuitos”, Universidad de Valencia, 1997.
- [7] Gajski, D., “Principles of Digital Design”, Prentice Hall, 1997.
- [8] Bergeron, J., “Writing Testbenches, Functional Verification of HDL Models”, Kluwer Academic Publishers, 2000.
- [9] Skahill, K., “VHDL for Programmable Logic”, Addison-Wesley, 1996.

- [10] Ashenden, P., “The Designer’s Guide to VHDL”, Morgan Kaufmann Publishers, Inc., 1996.

### BIOGRAFÍAS

Arturo Redondo Galván. Ingeniero en Electrónica. Actualmente estudiante de Maestría en el CINVESTAV Unidad Guadalajara. Sus áreas de interés son: diseño digital para sistemas de transmisión a altas velocidades.

Joan Maldonado Sánchez. Ingeniero en Electrónica y Comunicaciones. Actualmente estudiante de Maestría en el CINVESTAV Unidad Guadalajara. Sus áreas de interés son: diseño digital para sistemas de transmisión a altas velocidades.

Lucio Aburto Valles. Ingeniero en Electrónica. Actualmente estudiante de Maestría en el CINVESTAV Unidad Guadalajara. Sus áreas de interés son: diseño digital para sistemas de transmisión a altas velocidades.

Jesús Aguirre Canepa. Ingeniero en Electrónica, Actualmente estudiante de Maestría en el CINVESTAV Unidad Guadalajara. Sus áreas de interés son: diseño digital para sistemas de transmisión a altas velocidades.

Santiago Medina Vázquez. Ingeniero en Comunicaciones y Electrónica. Actualmente estudiante de Maestría en el CINVESTAV Unidad Guadalajara. Sus áreas de interés son: diseño digital para sistemas de transmisión a altas velocidades.



Deni Torres Román. Ingeniero Electricista. Doctor en Ciencias, Especialidad Telecomunicaciones, Univ. Técnica de Dresde, Alemania, (1986). Áreas de Investigación: Conmutación Digital de Media y Alta Velocidad.

Manuel E. Guzmán. Ingeniero Electricista. Doctor en Ciencias, Especialidad Telecomunicaciones, Univ. Técnica de Dresde, Alemania, (1986). Áreas de Investigación: Conmutación Digital de Media y Alta Velocidad.



**Centro de Investigación y de Estudios Avanzados  
del IPN**

**Unidad Guadalajara**

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional, aprobó la tesis: DISEÑO DE UN COMPONENTE CONFIGURABLE VLSI ENTRAMADOR CON FUNCIONES EN LA CAPA DE SECCIÓN PARA SEÑALES SONET/SDH STS-3/STM-1 del C. Agustín Santiago MEDINA VÁZQUEZ el día 02 de agosto de 2002.

Dr. José Luis LEYVA  
MONTIEL  
Investigador Cinvestav 3B  
CINVESTAV GDL  
Guadalajara

Dr. Arturo VELOZ  
GUERRERO  
Investigador Cinvestav 3A  
CINVESTAV GDL  
Guadalajara

Dr. Deni Librado TORRES  
ROMÁN  
Profesor Investigador 3A  
CINVESTAV GDL  
Guadalajara



CINVESTAV  
BIBLIOTECA CENTRAL



SSIT000004440