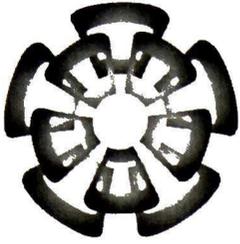


xx(108185.1)



CINVESTAV - IPN
Centro de Investigación y de Estudios Avanzados del IPN
Unidad Guadalajara

**CIRCUITO PROCESADOR DE LA TARA MSOH
DE SEÑALES SONET/SDH**

HASTA 622 Mbps

**CINVESTAV
IPN
ADQUISICION
DE LIBROS**

**TESIS QUE PRESENTA:
ARTURO REDONDO GALVÁN**

**PARA OBTENER EL GRADO DE:
MAESTRO EN CIENCIAS**

**EN LA ESPECIALIDAD DE:
INGENIERÍA ELÉCTRICA**

**CINVESTAV I.P.N.
SECCION DE INFORMACION
Y DOCUMENTACION**

Guadalajara, Jalisco, Noviembre de 2002

CLASIF.: TK165.68 R432001
ADQUIS.: 551-248
FECHA: 9-VII-2003
PROCED.: Tesis-2003
\$ _____

**Circuito procesador de la tara MSOH
de señales SONET/SDH
hasta 622 Mbps**

**Tesis de Maestría en Ciencias
Ingeniería Eléctrica**

Por:

Arturo Redondo Galván

Ingeniero en Electrónica

Instituto Tecnológico de Toluca, 1988 – 1993

Becario del CONACYT, expediente No. 158029

Directores de Tesis:

Dr. Deni Librado Torres Román

Dr. Manuel Edgardo Guzmán Rentería

Tabla de Contenido

INTRODUCCIÓN	11
1 SONET/SDH	13
1.1 Introducción	13
1.2 SONET	13
1.2.1 Tasas.....	14
1.2.2 Formatos.....	14
1.2.2.1 Estructura STS-1.....	14
1.2.2.2 Estructura STS-N.....	15
1.2.2.3 Estructura STS-Nc.....	16
1.2.3 Tara de transporte.....	16
1.2.3.1 Capa fotónica.....	16
1.2.3.2 Capa de sección.....	16
1.2.3.3 Capa de línea.....	17
1.2.3.4 Capa de trayectoria.....	17
1.2.3.5 Localidades de tara.....	17
1.2.3.6 Tara de sección.....	18
1.2.3.7 Tara de línea.....	19
1.2.3.8 Tara de trayecto.....	20
1.2.4 Monitoreo de errores de línea.....	21
1.2.5 Conmutación de protección automática.....	21
1.2.6 Mensaje de estado de sincronización.....	21
1.2.7 Monitoreo de errores del extremo distante.....	22
1.3 SDH	22
1.3.1 Tasas.....	22
1.3.2 Formatos.....	22
1.3.2.1 Estructura STM-1.....	22
1.3.2.2 Estructura STM-N.....	23
1.3.2.3 Estructura STM-Nc.....	24
1.3.3 Tara de sección.....	24
1.3.3.1 Tara de sección de regeneración.....	24
1.3.3.2 Punteros de unidades administrativas.....	24
1.3.3.3 Tara de sección de multiplexación.....	24
1.3.3.4 Tara de trayecto.....	24
2 ESPECIFICACIÓN DE REQUERIMIENTOS	27
2.1 Introducción	27
2.2 Procesamiento del byte B2	27
2.2.1 Detección de errores de bits.....	28
2.2.2 Detección de errores de bloque.....	28
2.2.3 Acumulación de errores de bits y bloque.....	28
2.2.4 Indicación de desbordamiento de los acumuladores.....	28
2.2.5 Detección de falla de señal.....	29
2.2.6 Detección de degradación de señal.....	29
2.3 Preprocesamiento de los bytes K1 y K2	29

2.3.1	Detección de inconsistencia del byte APS (K1)	29
2.3.2	Filtrado de los bytes K1 y K2	29
2.3.3	Detección de AIS-L	30
2.3.4	Detección de RDI-L	30
2.4	Preprocesamiento del byte S1	31
2.4.1	Filtrado del byte S1	31
2.5	Procesamiento del byte M0/M1	31
2.5.1	Validación del byte M0/M1	31
2.5.2	Acumulación de errores del extremo distante	32
2.5.3	Indicación de desbordamiento del acumulador	32
2.6	Verificación funcional	32
2.7	Síntesis	32
3	ARQUITECTURA	33
3.1	Introducción	33
3.2	Habilitador de lectura de bytes	34
3.2.1	Programación	35
3.2.2	Sincronización y salida de trama	36
3.2.3	Contador de bytes de trama	36
3.2.4	Habilitador de lectura de la LOH y la SPE	36
3.2.5	Habilitador de lectura de los bytes B2	37
3.2.6	Habilitador de lectura de los bytes K1 y K2	38
3.2.7	Habilitador de lectura del byte S1	38
3.2.8	Habilitador de lectura del byte M0/M1	39
3.3	Procesador de B2	39
3.3.1	Programación	43
3.3.2	BIP-X	43
3.3.3	Comparador	44
3.3.4	Contadores de errores para cada STS-1	44
3.3.5	Contador de errores de trama	45
3.3.6	Contador de errores de bloque	45
3.3.7	Acumulador de errores de bits	45
3.3.8	Acumulador de errores de bloque	46
3.3.9	Detector de SF y SD	46
3.4	Preprocesador de K1 y K2	48
3.4.1	Programación	50
3.4.2	Lectura	50
3.4.3	Detector de inconsistencia del byte APS	50
3.4.4	Filtrado de los bytes K1 y K2	51
3.4.5	Puesta y terminación de la interrupción	52
3.4.6	Detector de AIS-L	54
3.4.7	Detector de RDI-L	55
3.5	Preprocesador de S1	56
3.5.1	Programación	57
3.5.2	Lectura	57
3.5.3	Filtrado del byte S1	58

3.5.4	Puesta y terminación de la interrupción.....	58
3.6	Procesador del byte M0/M1.....	59
3.6.1	Bit de <i>rollover</i> y número máximo de errores.....	61
3.6.2	Lectura.....	61
3.6.3	Validación de M0/M1.....	61
3.6.4	Acumulador de errores del byte M0/M1	61
3.7	Codificación	62
4	VERIFICACIÓN FUNCIONAL Y SÍNTESIS	63
4.1	Introducción.....	63
4.2	Cama de pruebas.....	63
4.3	Plan de verificación.....	63
4.4	Arquitectura de la cama de pruebas del componente	64
4.4.1	Configuración.....	64
4.4.2	Archivos de entrada/salida.....	65
4.4.3	Generador de estímulos	65
4.5	Síntesis.....	66
	CONCLUSIONES.....	69
	APÉNDICE A.....	71
	APÉNDICE B.....	95
	BIBLIOGRAFÍA.....	97

Índice de tablas y figuras

Tabla 1. Jerarquía digital SONET y su equivalente SDH	14
Tabla 2. Descripción de las señales de entrada y salida del habilitador de lectura de bytes 35	35
Tabla 3. Ubicación de los bytes K1, K2, S1 y M0/M1 e intervalos de la TOH, la SPE y B2	36
Tabla 4. Señales de entrada y salida del procesador del byte B2	42
Tabla 5. Posición del bit de <i>rollover</i>	43
Tabla 6. Tiempos y número de errores para la declaración de las condiciones SF y SD	48
Tabla 7. Señales de entrada y salida del preprocesador de K1 y K2	49
Tabla 8. Señales de entrada y salida del preprocesador del byte S1	57
Tabla 9. Señales de entrada y salida del procesador del byte M0/M1.....	60
Tabla 10. Valores de posición del bit de <i>rollover</i> y del máximo de errores.....	61
Tabla 11. Resultados de la codificación	62
Tabla 12. Resultados obtenidos de la síntesis.....	67
Figura 1. Formato STS-1	15
Figura 2. Formato STS-N.....	15
Figura 3. Arquitectura de capas de SONET	16
Figura 4. Tara de una trama STS-1	18
Figura 5. Tara STS-3	18
Figura 6. Trama STM-1	23
Figura 7. Formato STM-N.....	23
Figura 8. Arquitectura del procesador de la MSOH.....	33
Figura 9. Habilitador de lectura de bytes.....	34
Figura 10. Formas de onda de la señal de salida P_ENBIP_OUT_H	37
Figura 11. Formas de onda de la señal de salida P_ENB2_OUT_H.....	37
Figura 12. Formas de onda de las señales de salida P_ENK1_OUT_H y P_ENK2_OUT_H	38
Figura 13. Formas de onda de la señal de salida P_ENS1_OUT_H	38
Figura 14. Formas de onda de la señal de salida P_ENM0M1_OUT_H	39
Figura 15. Procesador de B2	40
Figura 16. Máquina de estados para el cálculo de los bytes de paridad	44
Figura 17. Preprocesador de K1 y K2	48

Figura 18. Máquina de estados para la detección del defecto del byte APS	51
Figura 19. Formas de onda de la señal de salida P_APSD_OUT_H.....	51
Figura 20. Máquina de estados para la generación y terminación de la interrupción	53
Figura 21. Formas de onda de la señal de salida P_INTK1K2_OUT_H	54
Figura 22. Formas de onda de la señal de salida P_AISL_OUT_H.....	55
Figura 23. Formas de onda de la señal de salida P_RDIL_OUT_H	56
Figura 24. Preprocesador de S1	56
Figura 25. Formas de onda de la señal de salida P_INTS1_OUT_H.....	59
Figura 26. Procesador de M0/M1	59
Figura 27. Arquitectura de una cama de pruebas y un diseño bajo verificación.....	63
Figura 28. Cama de pruebas de los submódulos y del componente.....	64

Introducción

SONET/SDH son estándares para el transporte de información a través de fibra óptica a muy altas velocidades. Las redes SONET/SDH permiten transportar voz, video y datos de redes LANs, MANs y WANs. Éstas también pueden transportar carga útil de ATM (Modo de transferencia Asíncrono).

En esta tesis se presenta el diseño de un circuito VLSI para procesar una parte de la tara de sección de multiplexación (MSOH, *Multiplex Section Overhead*) de una trama SONET/SDH. Este circuito permite el diseño rápido de elementos de red y forma parte de una librería que se desarrolla en el CINVESTAV, Guadalajara, México.

El procesador de la MSOH es parte de un elemento de red que opera en la capa de línea. Su objetivo es el “*procesamiento de los bytes B2 y M0/M1 y el preprocesamiento de los bytes K1, K2 y S1 de una trama SONET/SDH*” de acuerdo a los estándares de la ITU. Específicamente los objetivos son:

- El monitoreo de errores de línea (byte B2)
- El filtrado de los bytes de conmutación de protección automática (bytes K1 y K2)
- La detección de las alarmas AIS-L y RDI-L (byte K2)
- El filtrado del mensaje de estado de sincronización (byte S1)
- La validación y acumulación de los errores del extremo distante (byte M0/M1)
- La creación de una arquitectura flexible.

La estructura de la tesis sigue, a grandes rasgos, la metodología típica de diseño de circuitos digitales. En el capítulo 1 se presenta un panorama general de SONET/SDH. El siguiente, muestra la especificación de requerimientos de acuerdo a los estándares de la ITU. El capítulo 3 presenta la arquitectura general del componente y de cada uno de los submódulos. Esta arquitectura fue diseñada de tal modo que permitiese el crecimiento para alcanzar velocidades mayores. En el capítulo 4 se describen los pasos seguidos para la verificación funcional del componente. En este último capítulo se aborda también la síntesis del componente y de cada uno de los submódulos.

El apéndice A está comprendido por los casos de prueba. En cada caso de prueba se hace referencia a los requerimientos verificados y al submódulo o componente. Finalmente en el apéndice B se muestra la organización del CD que contiene el documento de tesis, el diseño, la cama de pruebas, los archivos de estímulos, etc.

Los resultados obtenidos en este trabajo de tesis fueron los siguientes: El procesamiento de la MSOH de una trama SONET/SDH para velocidades de hasta 622.08 Mbps (STS-12/STM-4), una arquitectura flexible que permite alcanzar velocidades mayores a 622.08 Mbps (actualmente se está utilizando en el diseño de un NE ADM STS-48/STM-16 a 2.5 Gbps). La programación de tamaño de bloque en la detección de errores de bloque, umbral del BER para las condiciones SF y SD y filtrado de los bytes K2 y S1. La implementación, verificación funcional, síntesis y simulación de cada submódulo y a nivel de componente. La presentación en los congresos **IEEE ROC&C 2001** en Acapulco e **IBERCHIP IWS2002** en Guadalajara.

1 SONET/SDH

1.1 Introducción

Una meta primaria en el desarrollo de SONET/SDH (*Synchronous Optical Network/Synchronous Digital Hierarchy*) fue definir una jerarquía digital síncrona con suficiente flexibilidad para transportar diferentes cargas útiles. SONET es un estándar norteamericano, mientras que SDH es un estándar internacional utilizados para redes de telecomunicaciones ópticas síncronas de alta velocidad. Estos estándares son técnicamente consistentes, con funciones de administración de red prácticamente idénticas. Su mayor diferencia está en su terminología.

En este capítulo se examinan los sistemas SONET/SDH. Se explican las tasas, formatos y la tara de los dos sistemas. Asimismo, se analizan las funciones de cada uno de los bytes de tara haciendo énfasis en los bytes que se procesan en esta tesis.

La importancia de este capítulo está en utilizar los términos SONET/SDH de manera indistinta y conocer sus diferencias.

1.2 SONET

SONET surge a principio de los 80's como una necesidad de un estándar para la industria de las telecomunicaciones en Estados Unidos de América. Éste se basa en estándares desarrollados por el Instituto Nacional Americano de Estándares (ANSI, *American National Standards Institute*) y la Asociación de Estándares de Portadoras de Intercambio (ECSA, *Exchange Carriers Standards Association*). Su objetivo era regular una serie de tecnologías existentes de comunicaciones de datos a muy alta velocidad.

El estándar SONET define una jerarquía de tasas y formatos de transmisión en redes de banda ancha B-ISDN. Algunas de sus ventajas y características atractivas en comparación con la tecnología actual son:

- Utiliza fibra óptica como medio de transmisión, aprovechando de esta forma todas las bondades de este medio físico como son atenuación reducida y amplio ancho de banda. Las velocidades de transmisión de SONET pueden llegar incluso hasta aproximadamente los 40 Gbps.
- Utiliza operaciones síncronas entre los componentes de la red con potentes capacidades de multiplexión y demultiplexión.
- Permite una sola infraestructura de red de telecomunicaciones, con lo cual se hace mucho más fácil unir diferentes tecnologías de red, incluyendo SDH. Lo anterior da como resultado una reducción en el costo del equipo debido a las pocas interfaces necesarias.
- Proporciona extensos servicios de operación, administración, mantenimiento y prevención (OAM&P, *Operation, Administration, Maintenance and Provisioning*) dentro de cada elemento de red. Aproximadamente el 3.5% del ancho de banda se dedica a OAM&P.

A continuación se analizan algunos de los aspectos más importantes de este estándar.

1.2.1 Tasas

Las tramas SONET hacen uso de un bloque de construcción básico para sus tasas de transmisión. La señal de transporte síncrono nivel uno (STS-1, *Synchronous Transport level one*) a 51.84 Mbps es su bloque de construcción básico. Tasas más bajas de carga útil son mapeadas dentro de una STS-1, mientras que tasas más altas son obtenidas por la multiplexación de señales STS-1 para formar una STS-N. Esta multiplexación no adiciona tara; consecuentemente, la tasa de transmisión de una señal STS-N es precisamente $N \times 51.84$ Mbps, donde N es un número entero. La Tabla 1 muestra las relaciones entre los niveles óptico, eléctrico y su equivalente en SDH para los valores de N que más amplio apoyo tienen.

Nivel óptico	Nivel eléctrico	Tasa de línea (Mbps)	Tasa de Carga útil (Mbps)	Tasa de Tara (Mbps)	Equivalente SDH
OC-1	STS-1	51.840	50.112	1.728	STM-0
OC-3	STS-3	155.52	150.336	5.184	STM-1
OC-12	STS-12	622.08	601.344	20.736	STM-4
OC-48	STS-48	2488.32	2405.376	82.944	STS-16
OC-192	STS-192	9953.28	9621.504	331.776	STM-64
OC-768	STS-768	39813.12	38486.016	1327.104	STM-336

Tabla 1. Jerarquía digital SONET y su equivalente SDH

1.2.2 Formatos

Las tramas SONET son representadas como un rectángulo de bytes transmitidos cada 125 μ s (8000 tramas/s). Hay tres formatos de estructuras de trama SONET.

1.2.2.1 Estructura STS-1

El formato básico de SONET es la trama STS-1 a 51.84 Mbps. Ésta consiste de 810 bytes arreglados en una matriz de 9 filas donde cada una de las cuales tienen 90 columnas, como se muestra en la Figura 1. Este arreglo de 9 x 90 es referido como trama SONET. Las primeras 3 columnas consisten de la tara de transporte (TOH, *Transport Overhead*). Las restantes 87 columnas son referidas como contenedor síncrono de carga útil (SPE, *Synchronous Payload Envelope*). Ésta es la parte de una señal SONET que le está permitido “flotar”. Dentro de la TOH está el puntero que identifica la posición de inicio de la SPE con respecto a los bytes de la TOH en la trama. La primera columna de la SPE es la tara de trayecto (POH, *Path Overhead*). Las restantes 86 columnas contienen la carga útil con una capacidad de 50.112 Mbps.

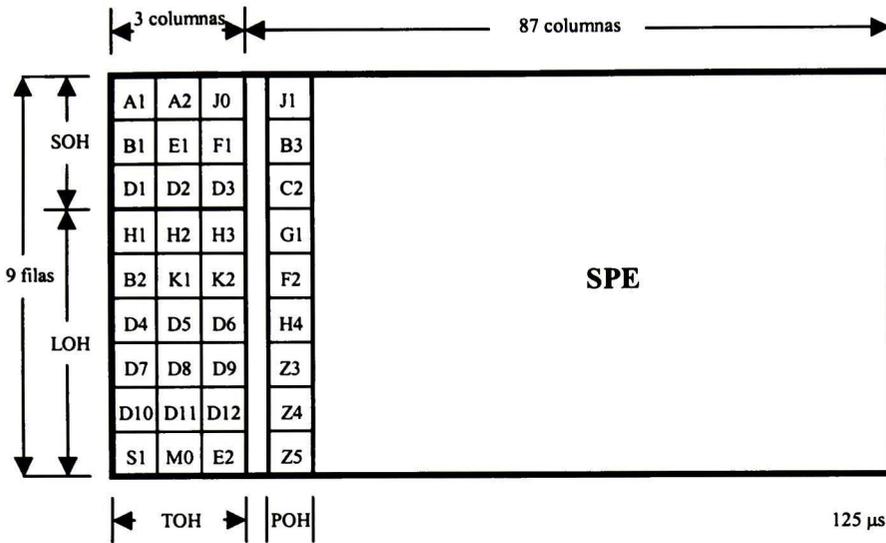


Figura 1. Formato STS-1

1.2.2.2 Estructura STS-N

Los formatos STS-N son estructuras multiplexadas de orden más alto, las cuales permiten el transporte de N número de STS-1. Como se muestra en la Figura 2, la trama consiste de 9 filas y N x 90 columnas. La TOH es, por tanto, de N x 3 columnas. Ésta, a su vez, también contiene N número de punteros; uno para cada una de las STS-1.

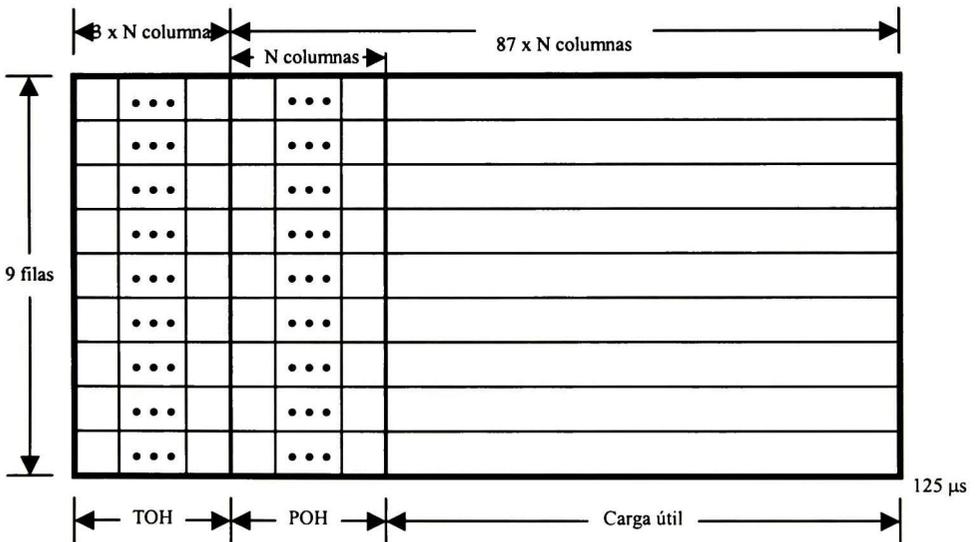


Figura 2. Formato STS-N

1.2.2.3 Estructura STS-Nc

SONET cuenta con un mecanismo mediante el cual cargas útiles mayores de 50 Mbps puedan ser transportadas. Este mecanismo es llamado concatenación contigua y es indicado por Nc. Los formatos STS-Nc son estructuras de orden más alto las cuales permiten la transportación de una sola carga útil con un ancho de banda de $N \times 50.112$ Mbps. Al igual que el formato STS-N, la trama STS-Nc consiste de 9 filas y $N \times 90$ columnas. La TOH es de $N \times 3$ columnas. La diferencia es que únicamente hay una SPE la cual es de 9 filas y $N \times 87$ columnas. La primera columna de la SPE es usada por el POH. La TOH contiene sólo un puntero el cual identifica el inicio de la SPE en la trama.

1.2.3 Tara de transporte

La tara y funciones de transporte son divididas en cuatro capas: Capa Fotónica, de Sección, de Línea y de Trayectoria. Estas se muestran en la Figura 3. Las capas tienen una relación jerárquica, es decir, cada capa se construye sobre los servicios proporcionados por la capa inferior. A continuación se describe cada una de ellas.

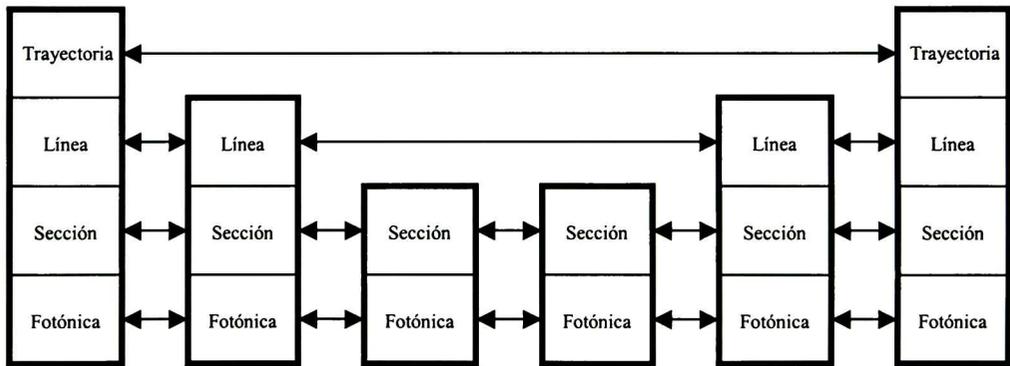


Figura 3. Arquitectura de capas de SONET

1.2.3.1 Capa fotónica

La capa fotónica trata con el transporte de bits a través del medio de transmisión. La tara no es asociada con esta capa. Su función principal es la conversión entre señales internas STS-N y señales SONET externas ópticas o eléctricas. Los puntos tratados en esta capa incluyen forma de pulso, niveles de potencia y longitud de onda.

1.2.3.2 Capa de sección

La capa de sección trata con el transporte de una trama STS-N a través del medio físico. Esta capa hace uso de la capa fotónica para el transporte. Sus funciones incluyen alineación de trama, aleatorización (*scrambling*), monitoreo de errores, comunicación de datos y un circuito de órdenes para comunicaciones vocales. La tara de sección es interpretada y modificada o creada por el equipo de terminación de sección (STE, *Section Terminating*).

Equipment). Las capas de sección y fotónica pueden ser utilizadas en algunos equipos sin involucrar las capas superiores.

1.2.3.3 *Capa de línea*

La capa de línea trata con el transporte de la carga útil de la capa de trayectoria a través de la capa de sección. Esta capa proporciona funciones de sincronización y multiplexación para la capa de trayectoria, tal como monitoreo de errores, comunicación de datos, conmutación de protección automática y un circuito de órdenes para comunicaciones vocales. La tara de línea es interpretada y modificada o creada por el equipo de terminación de línea (LTE, *Line Terminating Equipment*). Un NE que contiene un LTE deberá contener también un STE.

1.2.3.4 *Capa de trayectoria*

La capa de trayectoria trata con el transporte de varias cargas útiles entre equipo terminal de multiplexación SONET. La capa de trayectoria mapea las cargas útiles dentro del formato requerido por la capa de línea. Además, provee monitoreo de errores y chequeo de conectividad. La tara de trayectoria es interpretada y modificada o creada por el equipo de terminación de trayectoria (PTE, *Path Terminating Equipment*). Para acceder a la capa de trayectoria, las capas de sección y la capa de línea deben ser terminadas. Un NE que contiene un PTE deberá contener también un STE y un LTE.

1.2.3.5 *Localidades de tara*

Las funciones de las capas de sección y línea están asociadas dentro de una estructura de 27 bytes llamada tara de transporte (TOH, *Transport Overhead*), la cual ocupa las primeras tres columnas de la trama. Las primeras tres filas son la tara de sección (SOH, *Section Overhead*). Las restantes seis filas son la tara de línea (LOH, *Line Overhead*), lo cual es mostrado en la Figura 4. En las tramas STS-N y STS-Nc hay 3 x N columnas de TOH. La Figura 5 representa la trama STS-N con N = 3. El intercalado de bytes también puede ser visto en esta figura. Algunos de los campos de la tara de transporte de la segunda STS-1 hasta la N son diferentes de la primera. En el formato STS-3 hay tres bytes H1 y H2. Cada combinación de H1 y H2 es un puntero para las cargas útiles transportadas. En el formato STS-3c se transporta sólo una carga útil de aproximadamente 150 Mbps y, por tanto, sólo hay un puntero en la primer STS-1. Los restantes bytes H1 y H2 son indicadores de concatenación.

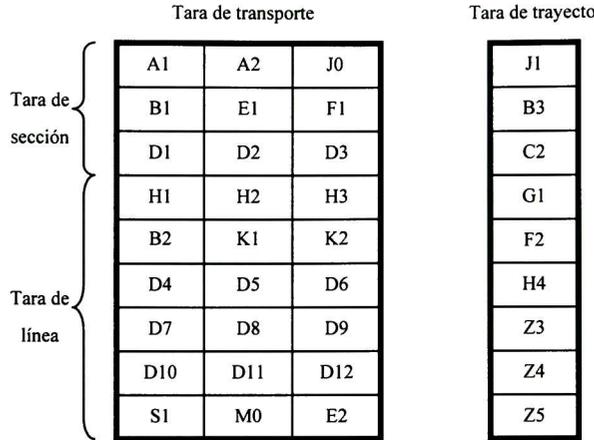


Figura 4. Tara de una trama STS-1

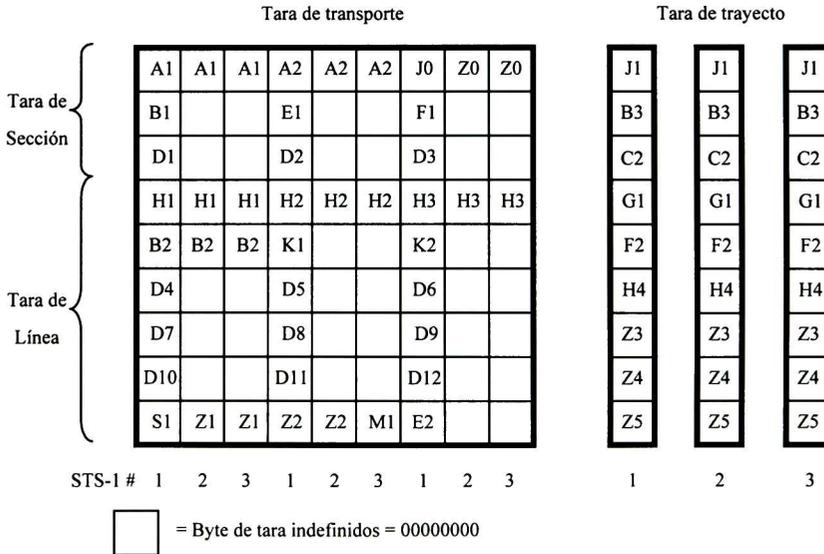


Figura 5. Tara STS-3

Las funciones de la capa de trayectoria son asignadas a los nueve bytes que ocupan la primera columna de la SPE. Los formatos STS-1 y STS-3c sólo tienen un campo de POH. En el formato STS-3 hay tres campos de POH, uno para cada carga útil. Los números en la parte inferior de la Figura 5 son para indicar los punteros y su correspondiente POH para cada una de las STS-1.

1.2.3.6 Tara de sección

Las definiciones de los bytes de la tara de sección son las siguientes:

- A1, A2: Alineación de trama.** Dos bytes son colocados en cada STS-1 de una señal STS-N/Nc para alineamiento de trama. El patrón es $A1 = F6 [H]$ y $A2 = 28 [H]$.
- J0: Traza de sección.** Un byte es colocado para realizar una función de traza de sección. Este byte es definido sólo en la primer STS-1 de una señal STS-N/Nc.
- Z0: Sección de crecimiento.** Un byte está definido en cada STS-1 para crecimiento futuro excepto en la primer STS-1 (definido como J0).
- B1: BIP-8.** Un byte es colocado para una función de monitoreo de errores de sección. Esta función es un código de paridad con entrelazado de bits 8 usando paridad par. Este byte sólo está definido para la primer STS-1 de una señal STS-N/Nc.
- E1: Circuito de órdenes.** Un byte es colocado para ser usado como un circuito de órdenes de sección. Este es un canal local de comunicación de voz entre STEs, *hubs* y NEs distantes. E1 sólo está definido en la primer STS-1.
- F1: Canal de usuario de sección.** Un byte está reservado para utilizaciones propias del usuario. F1 sólo está definido en la primer STS-1 de una señal STS-N/Nc.
- D1-D3: Canal de comunicación de datos.** Tres bytes son colocados para un canal de comunicación de datos de sección y son considerados como un solo canal a 192 Kbps entre STEs. Estos bytes son definidos sólo en la primer STS-1 de una señal STS-N/Nc.

1.2.3.7 Tara de línea

Las definiciones de los bytes de la tara de línea son las siguientes:

- H1, H2: Puntero.** Dos bytes son colocados para un puntero que indica el *offset* en bytes entre el puntero y el primer byte de la STS-1 SPE. Esto permite la alineación de la STS-1 SPE en una señal STS-N/Nc y para desarrollar justificaciones de frecuencia. Estos bytes son colocados en todas las STS-1 de una señal STS-N/Nc.
- H3: Acción de puntero.** El byte de acción de puntero es colocado para propósitos de justificación de frecuencia. Este byte es requerido en cada STS-1 de una señal STS-N/Nc.
- B2: BIP-8 de línea.** Un byte es colocado en cada STS-1 para una función de monitoreo de errores de línea. Esta función es un código de paridad con entrelazado de bits 8 usando paridad par. Este byte está definido para todas las STS-1 de una señal STS-N/Nc.
- K1, K2: Canal APS.** Dos bytes son colocados para señalización de conmutación de protección automática (APS, *Automatic Protection Switching*) entre LTEs. Estos bytes sólo están definidos en la primer STS-1 de una señal STS-N/Nc.
- D4-D12: Canal de comunicación de datos de línea.** Nueve bytes son colocados para un canal de comunicación de datos de línea y son considerados como un solo canal a 576 Kbps entre LTEs. Estos bytes sólo están definidos en la primer STS-1 de una señal STS-N/Nc.

- S1:** **Mensaje de estado de sincronización.** Un byte es colocado para transportar mensajes de estado de sincronización. Actualmente sólo los bits 5 a 8 están definidos. Los bits 1 a 4 están reservados para uso futuro. Este byte está definido sólo en la primer STS-1 de una señal STS-N/Nc.
- M0:** **Indicación de error distante de línea.** Un byte es colocado para una función de indicación de error distante de línea para una señal STS-1. Solamente los bits 5 a 8 están definidos y son usados para transportar el número de errores detectados en el byte B2. Estos bits sólo tienen nueve valores legales, i.e., cero a ocho. Los restantes siete valores son interpretados como cero errores. Los bits 1 a 4 están reservados para uso futuro.
- M1:** **Indicación de error distante de línea.** En una señal STS-3/3c o mayor, un byte es colocado para una función de error distante de línea. El byte entero es usado para transportar el número de errores detectados en el byte B2. Este byte tiene $(8 \times N) + 1$ valores legales i.e., cero a $8 \times N$ errores. Para tasas inferiores a STS-48/48c, los restantes valores de $255 - (8 \times N)$ son interpretados como cero errores. En tasas mayores a STS-48/48c se utilizan los bytes M0 y M1 de manera conjunta para llevar el conteo de errores siendo el bit 1 de M0 el más significativo y el bit 8 de M1 el menos significativo. El byte M1 es colocado en la tercer STS-1 en una señal STS-N/Nc.
- Z1:** **Crecimiento.** En una señal STS-3/3c hasta STS-48/48c un byte está reservado para crecimiento futuro de la segunda STS-1 a la N. En tasas STS-192/192c o mayores, Z1 sólo está definido de la segunda a la 48 STS-1.
- Z2:** **Crecimiento.** En una señal STS-3/3c hasta STS-48/48c un byte está reservado para crecimiento futuro en todas las STS-1, exceptuando la tercer STS-1. En tasas STS-192/192c o mayores, Z2 sólo está definido en la primera, segunda y de la cuarta a la 48 STS-1.
- E2:** **Circuito de órdenes.** Un byte es colocado para ser usado como un circuito de órdenes de línea. Este es un canal reservado para comunicación de voz entre LTEs. E2 sólo está definido en la primer STS-1.

1.2.3.8 *Tara de trayecto*

Las funciones del POH están clasificadas como sigue:

Clase A: Funciones independientes de la carga útil con formato estándar y codificación.

Clase B: Funciones dependientes del mapeo con formato estándar y codificación las cuales son específicas al tipo de carga útil.

Clase C: Funciones de aplicación específica.

Clase D: Funciones de uso futuro.

Las definiciones de cada uno de los bytes de la POH y su clasificación es la siguiente:

- J1:** **Traza de trayecto, clase A.** Este byte es usado para transmitir repetitivamente un mensaje (por ejemplo de 64 bytes) que permite verificar la conexión con el dispositivo transmisor.
- B3:** **BIP-8 de trayecto, clase A.** Este byte es colocado para una función de monitoreo de errores de trayecto.
- C2:** **Etiqueta de señal de trayecto, clase A.** El byte C2 es colocado para identificar el contenido de la SPE.
- G1:** **Estado de trayecto, clase A.** Este byte es colocado para transportar señales de mantenimiento y diagnóstico, como una indicación de errores de bloque.
- F2:** **Canal de usuario de trayecto, clase C.** Un byte es colocado para fines de comunicación de usuario entre PTEs.
- H4:** **Indicador multitrama, clase B.** Este byte es usado como un indicador de posición generalizado para cargas útiles.
- Z3, Z4:** **Crecimiento, clase D.** Estos dos bytes son reservados para uso futuro.
- Z5:** **Conexión Tandem, clase C.** Un byte es colocado para apoyar el monitoreo de conexión Tandem (TCM, *Tandem Connection Monitoring*) y un canal de datos de trayecto.

1.2.4 Monitoreo de errores de línea

La tara de línea cuenta con un byte B2 en cada una de las STS-1 para desarrollar una función de monitoreo de errores. Esta función es un código de paridad con entrelazado de bits- $N \times 8$ (BIP- $N \times 8$) utilizando paridad par. El BIP- $N \times 8$ de línea es calculado sobre la LOH y SPE de la trama STS- N previa una vez desaleatorizada.

Cada BIP-8 calculado es comparado con su correspondiente Byte B2 de la trama actual, con lo cual se obtienen los bits erróneos de cada byte.

1.2.5 Conmutación de protección automática

La función de conmutación de protección automática le permite a la red reaccionar cuando fallan líneas y/o interfaces ópticas y conmutar a una instalación alternativa. Esto es, las operaciones de APS permiten a la red autocorregirse cuando se pierde una conexión o la calidad de la señal se deteriora de tal manera que los servicios de red no sean interrumpidos. Estas operaciones de conmutación permiten también al administrador de red emitir comandos de conmutación con fines de mantenimiento, pruebas, etc.

1.2.6 Mensaje de estado de sincronización

Los mensajes de estado de sincronización contienen información sobre la calidad del reloj, la cual permite a los NEs SONET seleccionar la referencia de sincronización más conveniente de un conjunto de referencias disponibles. El propósito de estos mensajes es permitir a los NEs SONET reconfigurar automáticamente su referencia de sincronización evitando la creación de lazos de tiempo.

1.2.7 Monitoreo de errores del extremo distante

La tara de línea cuenta con un byte para el monitoreo de errores del extremo distante (M0 o M1). Este byte es extraído por el LTE con la finalidad de conocer el número de errores de la información transmitida en una trama. El número de errores obtenido es detectado por el LTE de recepción y son enviados de regreso a través del byte mencionado.

1.3 SDH

SDH, de acuerdo a la ITU-T, es un conjunto jerárquico de estructuras de transporte normalizadas para el transporte de cargas útiles correctamente adaptadas sobre redes de transmisión física. Este estándar surge a partir de SONET y es publicado por la ITU en las recomendaciones G.707, G.708 y G.709. En particular, SONET y SDH son dos versiones diferentes del mismo estándar. SONET es utilizado principalmente en Estados Unidos de América, mientras que SDH es un estándar internacional utilizado en Europa y México.

En este apartado se analizan las principales características de SDH haciendo énfasis en las diferencias fundamentales con respecto a SONET, puesto que estos dos estándares son técnicamente consistentes.

1.3.1 Tasas

En SDH el módulo de transporte síncrono nivel uno (STM-1, *Synchronous Transport Module level one*) a 155.52 es su bloque de construcción básico. La señal STM-1 es utilizada para la construcción de las diferentes tasas de transmisión. Las tasas más bajas son mapeadas dentro de una STM-1 y las tasas más altas son generadas por multiplexación de señales STM-1 dando como resultado una STM-N, donde N es un número entero. Esta señal es similar a la señal de SONET. La Tabla 1 muestra las relaciones entre los niveles óptico, eléctrico y su equivalente en SONET para los valores de N que más amplio apoyo tienen.

1.3.2 Formatos

Las tramas SDH al igual que SONET son también representadas como un rectángulo de bytes transmitidos cada 125 μ s (8000 tramas/s). Hay tres formatos de estructuras de trama SDH.

1.3.2.1 Estructura STM-1

La trama base en las señales SDH es llamada STM-1, la cual es muy similar a la trama STS-3c de SONET. Esta señal consiste de 2430 bytes arreglados en una matriz de 9 renglones por 270 columnas. La señal STM-1 se muestra en la Figura 6. Las primeras 9 columnas están formadas por la tara de sección (SOH, *Section Overhead*). Las restantes 261 columnas son llamadas contenedor virtual (VC, *Virtual Container*). La primera columna del VC es la POH. Las restantes 260 columnas contienen la carga útil.

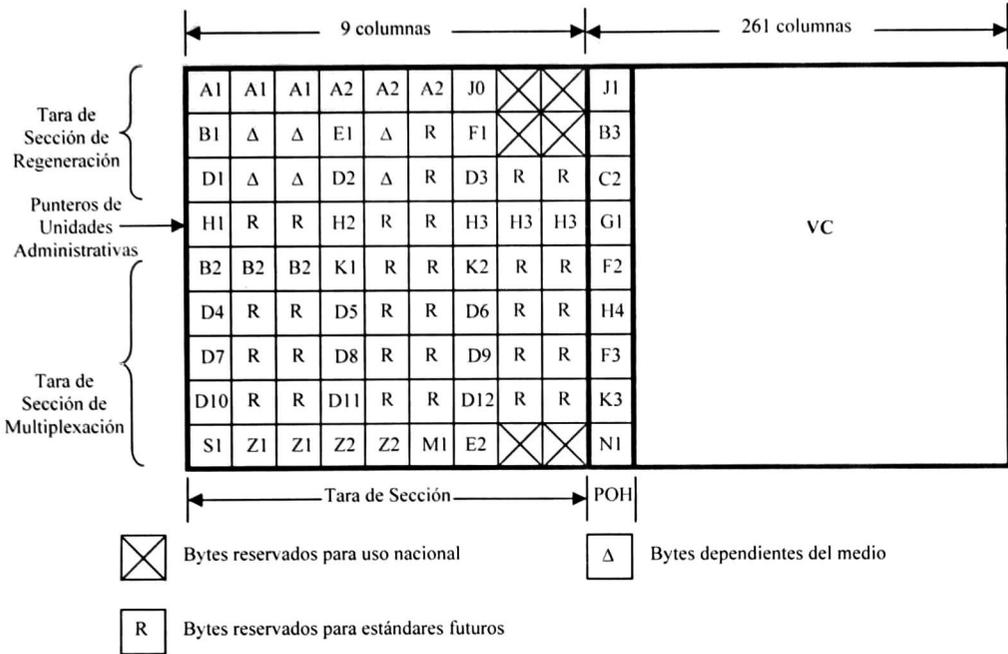


Figura 6. Trama STM-1

1.3.2.2 Estructura STM-N

Los formatos STM-N son estructuras con N señales STM-1 multiplexadas, donde N es un entero. La trama STM-N consiste de 9 renglones y N x 270 columnas. La SOH está formada por N x 9 columnas. El resto de las columnas (N x 261) forman el VC. La POH está formada por las primeras N columnas del VC. El formato de una trama STM-N es mostrado en la Figura 7.

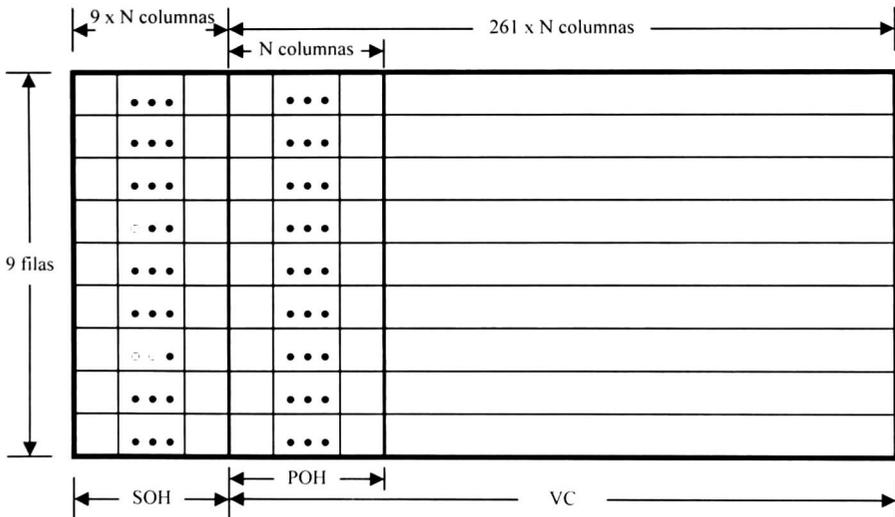


Figura 7. Formato STM-N

1.3.2.3 Estructura STM-Nc

Las tramas concatenadas al igual que en SONET son un mecanismo para transportar cargas útiles mayores de 150.336 Mbps. La señal STM-Nc al igual que la STM-N consiste de 9 filas y 270 x N columnas. Las únicas diferencias son que cuenta sólo con un VC y una columna de POH.

1.3.3 Tara de sección

La tara de sección de una trama STM-1 es muy similar a la tara de transporte de una trama STS-3c. Sin embargo existen algunas diferencias. La tara de sección está dividida en tres partes (ver Figura 6): tara de sección de regeneración (RSOH, *Regenerator Section Overhead*), punteros de unidades administrativas (AU, *Administrative Unit*) y tara de sección de multiplexación (MSOH, *Multiplex Section Overhead*). Estas divisiones se abordarán a continuación.

1.3.3.1 Tara de sección de regeneración

La RSOH ocupa las primeras 3 filas y 9 columnas de la tara de sección como se muestra en la Figura 6. Esta parte de la tara está comprendida de 27 bytes. Estos bytes tienen la misma funcionalidad que en SONET con excepción de los bytes marcados con X y Δ . Los bytes marcados como X son asignados para uso nacional, mientras que los bytes marcados con Δ son dependientes de medio. En SONET los bytes marcados con X y Δ no están asignados o están reservados para uso futuro, al igual que los bytes marcados con R en SDH. La tara de sección de regeneración es originada, accesada, modificada o terminada por el equipo de terminación de sección de regeneración (RSTE, *Regeneration Section Terminating Equipment*).

1.3.3.2 Punteros de unidades administrativas

Los punteros de unidades administrativas se encuentran localizados en la cuarta fila de las primeras 9 columnas de la SOH (ver Figura 6). Estos bytes tienen la misma funcionalidad definida en SONET.

1.3.3.3 Tara de sección de multiplexación

La MSOH ocupa las filas 5 a 9 de las primeras 9 columnas como se muestra en la Figura 6. La funcionalidad de los bytes de la MSOH es similar a la de SONET, por lo que se omite su explicación. La única diferencia se presenta en la última fila, en la cual SDH tiene dos bytes marcados como X asignados para uso nacional. Estos dos bytes en SONET no están definidos. La tara de sección de multiplexación es originada, terminada, accesada o modificada por el equipo de terminación de sección de multiplexación (MSTE, *Multiplex Section Terminating Equipment*).

1.3.3.4 Tara de trayecto

La POH está localizada en la primera columna del VC (ver Figura 6). Esta parte de la tara es similar tanto en SDH como en SONET. La única diferencia se presenta en los bytes F3 y

K3. El byte F3 es asignado para fines de comunicación de usuario entre elementos de trayecto y el byte K3 es usado para señalización de APS para protección a los niveles de trayecto. La tara de trayecto es multiplexada o demultiplexada por el equipo de terminación de trayectoria (PTE, *Path Terminating Equipment*). Este equipo puede originar, modificar o terminar la POH, o puede desempeñar cualquier combinación de éstas.

2 Especificación de requerimientos

2.1 Introducción

La presente especificación de requerimientos establece los requisitos para el procesamiento de los bytes B2 y M0/M1 y el preprocesamiento de los bytes K1, K2 y S1 de una trama SONET/SDH. Dichos requerimientos han sido obtenidos de las normas G.707, G.783 y GR-253-CORE. También se consideraron los circuitos **TXC-06103**, **TXC-03001B** y **TXC-03003** de TranSwitch, **PM5312 STTX** de PMC-Sierra. Además, fueron agregados algunos otros requerimientos considerados necesarios para la obtención de mayor información del procesamiento de los bytes.

Los requerimientos aquí presentados, después de su número, cuentan con un identificador y el nombre del documento de donde fueron obtenidos. Los requerimientos que no cuentan con dicha información han sido agregados.

En el procesamiento del byte B2 se incluyen la detección y acumulación de los errores de bits y bloque, la indicación de desbordamiento de dichos acumuladores y la detección de las condiciones de falla de señal (SF) y degradación de señal (SD).

El preprocesamiento de los bytes K1 y K2 contempla la detección de inconsistencia del byte APS, el filtrado de los bytes para la detección de nuevos valores y la declaración de las alarmas AIS-L y RDI-L. En el filtrado de las alarmas existen algunas variaciones entre las normas y los circuitos por lo que se han considerado ambas especificaciones.

En el preprocesamiento de byte S1 se establecen las condiciones de filtrado para la detección de cambios en el mensaje de estado de sincronización. El filtrado del byte S1, al igual que las alarmas AIS-L y RDI-L, también contempla las diferentes especificaciones de las normas y los circuitos.

El procesamiento del byte M0/M1 permite conocer las condiciones para la validación y acumulación de los errores del extremo distante.

Finalmente, la verificación funcional y el proceso de síntesis aseguran el cumplimiento de los requerimientos y un código sintetizable.

2.2 Procesamiento del byte B2

El procesamiento del byte B2 (o combinación de bytes B2) permite realizar un monitoreo de errores de las tramas recibidas. Este monitoreo de errores detecta los errores de bits y bloque de cada una de las STS-1. Los errores de bits y bloque son acumulados hasta que se realiza una lectura por un dispositivo externo. A su vez, la acumulación de los errores de bits permite la detección de la falla y degradación de señal de acuerdo a los umbrales preestablecidos.

2.2.1 Detección de errores de bits

Los errores de bits son el resultado de aplicar una función de supervisión de errores de línea para detectar los errores de la trama. La función es un código de paridad con entrelazado de bits- $N \times 8$ (BIP- $N \times 8$) utilizando paridad par.

[R_MSOH:1] **R6-308**, GR-253-CORE: El componente debe detectar el número de errores de bits de la trama de llegada.

[R_MSOH:2] El componente debe detectar los errores de bits de cada STS-1 de una señal STS- N/N_c .

2.2.2 Detección de errores de bloque

En una trama STS- N un error de bloque ocurre cuando se detectan uno o más errores de bits en una STS-1.

[R_MSOH:3] El componente debe detectar los errores de bloque.

[R_MSOH:4] El tamaño de bloque debe ser proporcionado por el usuario como una señal STS-1 o STS-3.

2.2.3 Acumulación de errores de bits y bloque

En la acumulación de los errores de bits y bloque se lleva la cuenta de los errores que se han detectado en las tramas recibidas. La acumulación de errores está controlada por un dispositivo externo, el cual envía una señal de lectura cada segundo, es decir, cada 8000 tramas.

[R_MSOH:5] **R6-308**, GR-253-CORE: Los errores de bits detectados en cada una de las tramas deben ser acumulados durante un segundo.

[R_MSOH:6] **TXC-06103**, TranSwitch: La acumulación de errores de bits debe ser reinicializada cuando es recibida una señal de lectura.

[R_MSOH:7] Los errores de bloque detectados en cada una de las tramas deben ser acumulados durante un segundo.

[R_MSOH:8] La acumulación de errores de bloque debe ser reinicializada cuando es recibida una señal de lectura.

2.2.4 Indicación de desbordamiento de los acumuladores

La indicación de desbordamiento de los acumuladores (*rollover*) es una señal que se genera cuando éstos llegan a su cuenta máxima.

[R_MSOH:9] **TXC-06103**, TranSwitch: El acumulador de errores de bits debe generar una señal de *rollover*.

[R_MSOH:10] El acumulador de errores de bloque debe generar una señal de *rollover*.

2.2.5 Detección de falla de señal

La falla de señal (SF, *Signal Fail*) es una condición del BER de línea detectada en la señal OC-N de llegada.

- [R_MSOH:11] **R5-38**, GR-253-CORE: Un BER de línea mayor de 10^{-3} en una OC-N de llegada debe ser detectado como una condición SF.
- [R_MSOH:12] **R5-39**, GR-253-CORE: El umbral del BER para una condición SF debe ser proporcionado por el usuario dentro de un rango de 10^{-3} a 10^{-5} .
- [R_MSOH:13] **R5-50**, GR-253-CORE: La condición SF debe ser terminada si el BER no excede de 1/10 del umbral de detección.

2.2.6 Detección de degradación de señal

La degradación de señal (SD, *Signal Degrade*) es una condición del BER de línea detectada en la señal OC-N de llegada.

- [R_MSOH:14] **R5-40**, GR-253-CORE: Un BER de línea mayor al umbral SD en una OC-N de llegada debe ser detectado como una condición SD.
- [R_MSOH:15] **R5-51**, GR-253-CORE: El umbral del BER para una SD debe ser proporcionado por el usuario dentro de un rango de 10^{-5} a 10^{-9} .
- [R_MSOH:16] **R5-50**, GR-253-CORE: La condición SD debe ser terminada si el BER no excede de 1/10 del umbral de detección.

2.3 Preprocesamiento de los bytes K1 y K2

El preprocesamiento de los bytes K1 y K2 permite la detección de nuevos códigos de los bytes de conmutación de protección automática, de inconsistencia del byte APS (K1) y de las alarmas AIS-L y RDI-L. Los bytes y las alarmas son filtrados antes de ser aceptados como válidos.

2.3.1 Detección de inconsistencia del byte APS (K1)

El byte de conmutación de protección automática (APS, *Automatic Protection Switching*) es monitoreado para detectar inconsistencias.

- [R_MSOH:17] GR-253-CORE: Una inconsistencia del byte APS debe ser declarada cuando en las últimas 12 tramas no hay tres bytes K1 consecutivos idénticos, contadas a partir de la última trama que contiene un byte consistente.
- [R_MSOH:18] **TXC-06103**, TranSwitch: La inconsistencia del byte APS se suprimirá cuando se reciban tres bytes consecutivos idénticos.

2.3.2 Filtrado de los bytes K1 y K2

El filtrado de los bytes K1 y K2 debe ser realizado para detectar cambios en los bytes APS.

[R_MSOH:19] R5-81, GR-253-CORE: Un nuevo código recibido en los bytes K1 y K2 reemplazará el código actual si son recibidos idénticamente en tres tramas consecutivas.

2.3.3 Detección de AIS-L

La señal de indicación de alarma (AIS-L, *Line Alarm Indication Signal*), es una señal de mantenimiento usada para alertar al equipo siguiente de la red de que un defecto o falla en el equipo ha sido detectado.

[R_MSOH:20] R6-147, GR-253-CORE: Un defecto AIS-L debe ser detectado cuando se observa el patrón '111' en los bits 6, 7 y 8 del byte K2 en cinco tramas consecutivas.

[R_MSOH:21] R6-148, GR-253-CORE: El defecto AIS-L se suprimirá cuando se reciba un patrón diferente a '111' en los bits 6, 7 y 8 del byte K2 en cinco tramas consecutivas.¹

[R_MSOH:22] PM5312 STTX, PMC-Sierra: Un defecto AIS-L deber ser detectado cuando se observa un patrón '111' en los bits 6, 7 y 8 del byte K2 en tres o cinco tramas consecutivas. Este mismo defecto será suprimido cuando un patrón diferente se observe en el mismo número de tramas consecutivas.

2.3.4 Detección de RDI-L

La indicación de defecto distante de línea (RDI-L, *Line Remote Defect Indication*) es una señal que indica al LTE que originó el flujo de datos que su LTE equivalente ha detectado un defecto AIS-L en la señal que el primero originó.

[R_MSOH:23] R6-184, GR-253-CORE: Un defecto RDI-L debe ser detectado cuando se reciba un patrón '110' en los bits 6, 7 y 8 del byte K2 en cinco a diez tramas consecutivas.

[R_MSOH:24] R6-185, GR-253-CORE: Un defecto RDI-L debe ser suprimido cuando se reciba un patrón diferente a '110' los bits 6, 7 y 8 del byte K2 en cinco a diez tramas consecutivas.

[R_MSOH:25] PM5312 STTX, PMC-Sierra: Un defecto RDI-L deber ser detectado cuando se observa un patrón '110' en los bits 6, 7 y 8 del byte K2 en tres o cinco tramas consecutivas. Este mismo defecto será suprimido cuando un patrón diferente se observe en el mismo número de tramas consecutivas.

¹ De acuerdo a la recomendación G.783 la detección y la terminación debe ser en por lo menos tres tramas consecutivas.

2.4 Preprocesamiento del byte S1

El mensaje de estado de sincronización está definido como un nibble (bit 5 a 8) en el byte S1 de la tara de línea SONET. Estos mensajes contienen información de la calidad del reloj que permite al NE seleccionar la referencia más conveniente de sincronización del conjunto de referencias disponibles. El preprocesamiento del byte S1 permite el filtrado del mensaje de estado de sincronización.

2.4.1 Filtrado del byte S1

El filtrado del byte S1 debe ser realizado para detectar cambios en el mensaje de estado de sincronización.

[R_MSOH:26] PM5312 STTX, PMC-Sierra: Un cambio en el mensaje de estado de sincronización ocurre cuando en dos tramas consecutivas los bytes S1 son diferentes (sin filtrado).

[R_MSOH:27] TXC-06103, TranSwitch: Un cambio en el mensaje de estado de sincronización ocurre cuando un nuevo mensaje es recibido durante 3 tramas consecutivas.

[R_MSOH:28] Un cambio en el mensaje de estado de sincronización ocurre cuando un nuevo mensaje es recibido durante 5 tramas consecutivas.

[R_MSOH:29] GR-253-CORE: Un cambio en el mensaje de estado de sincronización debe ser detectado si es recibido un nuevo valor en los bits 5 a 8 de byte S1 y éste se mantiene por 8 muestras consecutivas.²

2.5 Procesamiento del byte M0/M1

El procesamiento del byte M0/M1 permite conocer el número de errores de línea detectados en el extremo distante de la información enviada por el extremo de transmisión. El número de errores es validado y acumulado hasta que se presente una señal de lectura de un dispositivo externo.

2.5.1 Validación del byte M0/M1

La validación del byte M0/M1 consiste en hacer un análisis del número de errores que fueron detectados en el extremo distante. Para tasas menores a OC-48 un máximo de BIP-N x 8 errores pueden ser detectados. Si el número de errores excede el máximo posible se debe considerar como cero errores.

[R_MSOH:30] El byte M0/M1 debe ser extraído del flujo de llegada y validado.

² De acuerdo a la recomendación G.783 la comprobación de persistencia para la detección del mensaje de estado de sincronización queda en estudio.

2.5.2 Acumulación de errores del extremo distante

La acumulación de errores lleva la cuenta de los errores de bits que se han detectado en el extremo distante en las tramas recibidas. La acumulación de errores está controlada por un dispositivo externo, el cual envía una señal de lectura cada segundo, es decir, cada 8000 tramas.

[R_MSOH:31] R6-308, GR-253-CORE: Los errores del extremo distante de cada trama, una vez validados, deben ser acumulados.

[R_MSOH:32] La acumulación de errores debe ser reinicializada cuando es leída.

2.5.3 Indicación de desbordamiento del acumulador

La indicación de desbordamiento del acumulador de errores del extremo distante se genera cuando éste ha llegado a su cuenta máxima.

[R_MSOH:33] El acumulador debe generar una señal de *rollover*.

2.6 Verificación funcional

El objetivo de la verificación funcional es asegurar que la implementación del diseño cumpla con los requerimientos.

[R_MSOH:34] La verificación funcional del diseño debe ser realizada desarrollando casos de prueba para cada uno de los submódulos de la arquitectura y a nivel de componente.

2.7 Síntesis

La síntesis es el proceso de convertir un nivel alto de abstracción en un nivel bajo de abstracción. Donde el nivel alto de abstracción se refiere a la descripción de nivel de transferencia de registros (RTL, *Register Transfer Level*) en un lenguaje de descripción de hardware (VHDL o Verilog) y el nivel bajo de abstracción se refiere a un listado de conexiones (*netlist*) producido por la herramienta de síntesis.

[R_MSOH:35] El diseño debe ser sintetizable en cada uno de los submódulos de la arquitectura y a nivel de componente.

3 Arquitectura

3.1 Introducción

El componente diseñado se encarga del procesamiento de los bytes B2 y M0/M1 y del preprocesamiento de los bytes K1, K2 y S1 de la MSOH de un sistema de transmisión SONET/SDH para señales STS-1/STM-0, STS-3/STM-1 y STS-12/STM-4. La arquitectura se muestra en la Figura 8.

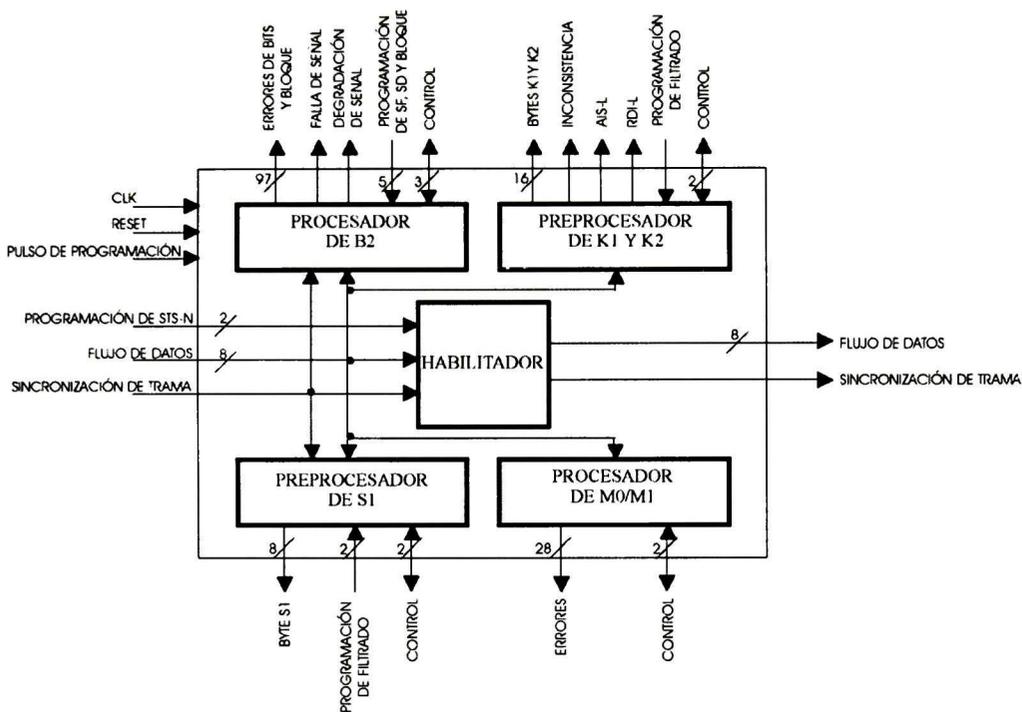


Figura 8. Arquitectura del procesador de la MSOH

El habilitador programa la señal STSN/Nc a procesar y genera las señales de indicación cuando los bytes B2, K1, K2, S1 y M0/M1 se encuentran en el flujo de datos.

El procesador de B2 realiza una función de monitoreo de errores. Este submódulo cuenta con un bus de entrada de programación, un bus de salida de errores de bits y bloque, un bus de control y las salidas de las condiciones de SF y SD. El bus de programación permite la selección del tamaño de bloque y del umbral del BER para la detección de las condiciones SF y SD. El tamaño de bloque puede ser programado como una STS-1 o una STS-3, mientras que las condiciones SF y SD pueden ser programadas con un BER de 10^{-3} , 10^{-4} o 10^{-5} y con un BER de 10^{-5} , 10^{-6} o 10^{-7} respectivamente. El bus de errores de bits y bloque presenta los errores de bits de cada STS-1, los errores de bits y bloque de la trama y la acumulación de éstos. El bus de control permite resetear los acumuladores de bit y bloque y presenta los bits de *rollover* de estos mismos. Finalmente, el submódulo presenta dos señales de salida para observar las condiciones SF y SD.

El preprocesador de K1 y K2 detecta una inconsistencia del byte APS, filtra los bytes K1 y K2 y detecta las alarmas AIS-L y RDI-L. El submódulo cuenta con un bus de salida para los bytes que cumplen con el filtrado, una señal para la programación de filtrado de las alarmas, dos señales de control y tres señales para inconsistencia, AIS-L y RDI-L. La programación de filtrado de las alarmas puede ser seleccionada durante 3 ó 5 tramas. Las señales de control son para indicar un nuevo código en los bytes y recibir la señal de lectura de éstos.

El preprocesador de S1 filtra o no el byte S1. El submódulo cuenta con un bus de salida para el byte, una entrada para programación y un bus de control. La entrada de programación selecciona el filtrado durante 3, 5 u 8 tramas o si el byte no es filtrado. El bus de control indica cuando hay un nuevo código en la salida y recibe la lectura de éste.

El procesador de M0/M1 valida y acumula los errores del extremo distante extraídos del byte M0/M1. El submódulo cuenta con un bus de salida de errores y un bus de control. El bus de errores presenta el número de errores validado y los errores acumulados desde su última lectura. El bus de control cuenta con una señal de *rollover* y una señal de lectura del acumulador.

3.2 Habilitador de lectura de bytes

El habilitador de lectura de bytes genera las señales para cada uno de los procesadores cuando sus bytes correspondientes se encuentran en el flujo de datos. En el diagrama de la Figura 9 se aprecian los bloques que forman al habilitador con sus respectivas señales de entrada y salida, las cuales son detalladas en la Tabla 2. La descripción en VHDL del habilitador de lectura de bytes se encuentra en el CD anexo en el archivo enabler.vhd.

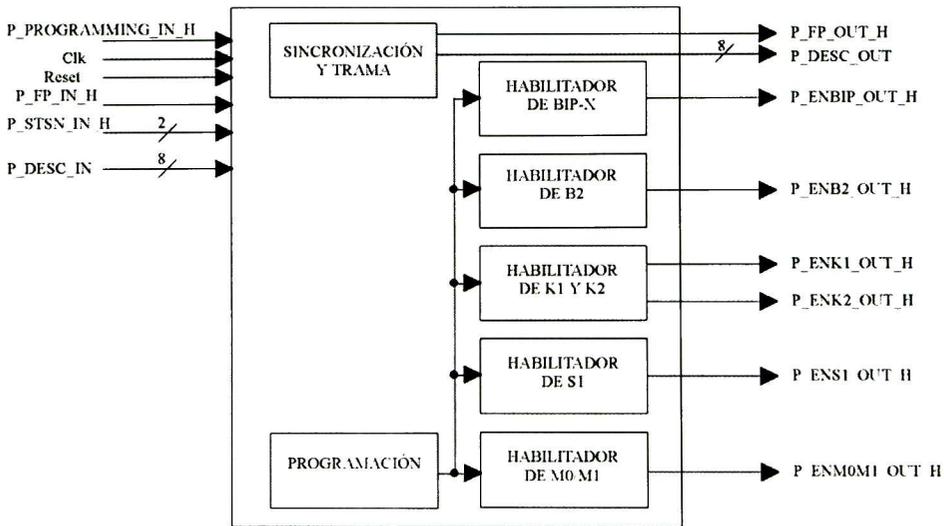


Figura 9. Habilitador de lectura de bytes

Entradas	Descripción	Interconexión
Clk	Señal de reloj. Esta señal proporciona el tiempo para generar las señales hacia los procesadores para la lectura de sus respectivos bytes. El reloj está nominalmente a 6.48 Mhz (STS-1), 19.44 Mhz (STS-3) o 77.76 (STS-12) dependiendo de la señal STS-N/Nc a procesar.	Reloj del sistema.
Reset	Activa alta. Esta señal proporciona un reset asíncrono al habilitador de lectura de bytes.	Reset del sistema.
P_STSN_IN [1:0]	Dato de entrada de dos bits que permite la selección de la señal STS-N/Nc para su procesamiento. 00 STS-1 01 STS-3 10 STS-12 La selección de trama debe estar presente antes del pulso de programación.	Modulo de OAM.
P_PROGRAMMING_IN_H	Activa alta. Esta señal permite la programación de la trama a procesar y fija los valores de los intervalos de la TOH y la SPE, el inicio y fin del contador de bytes de trama y la ubicación de los bytes de la MSOH; todo esto dependiendo de la señal P_STSN_IN.	Módulo de OAM.
P_FP_IN_H	Activa alta. Señal de indicación de sincronización de trama. Esta señal se encuentra en un nivel alto durante el ciclo de reloj que el byte J0 se encuentra en el flujo de datos (P_DESC_IN = J0).	Framer.
Salidas	Descripción	Interconexión
P_ENBIP_OUT_H	Activa alta. Señal que indica la presencia de uno de los bytes de la TOH o la SPE en el flujo de datos.	BIP-X.
P_ENB2_OUT_H	Activa alta. Señal que indica la presencia del byte B2 en el flujo de datos.	Procesador del byte B2.
P_ENK1_OUT_H	Activa alta. Señal que indica la presencia del byte K1 en el flujo de datos.	Preprocesador de los bytes K1 y K2.
P_ENK2_OUT_H	Activa alta. Señal que indica la presencia del byte K2 en el flujo de datos.	Preprocesador de los bytes K1 y K2.
P_ENS1_OUT_H	Activa alta. Señal que indica la presencia del byte S1 en el flujo de datos.	Preprocesador del byte S1.
P_ENM0M1_OUT_H	Activa alta. Señal que indica la presencia del byte M0 o M1 en el flujo de datos.	Procesador del byte M0/M1.

Tabla 2. Descripción de las señales de entrada y salida del habilitador de lectura de bytes

3.2.1 Programación

El bloque se encarga de programar la trama a procesar fijando el valor de inicio (valor del byte siguiente a J0) y de fin de trama para el contador de bytes de trama, los intervalos de ubicación de la TOH, la SPE, B2 y la posición de los bytes K1, K2, S1 y M0/M1 para cada

uno de los habilitadores de lectura de bytes. Los valores de inicio y fin de los intervalos y de ubicación de los bytes, son fijados con la posición del byte anterior, ya que el cambio de estado en la señal de salida correspondiente de cada habilitador se refleja un ciclo después. Los bits de selección de trama, los valores de inicio del contador y la posición de los bytes son mostrados en la Tabla 3.

Descripción	STS-1	STS-3	STS-12
Bits de selección de trama	“00”	“01”	“10”
Inicio del contador de bytes	4	8	26
SPE (1 ^{er} fila)	3 - 90	9 - 270	36 - 1080
SPE (2 ^a fila)	93 - 180	279 - 540	1116 - 2160
LOH y SPE (3 ^{er} fila – fin de trama)	183 - 810	549 - 2430	2196 - 9720
B2	360 - 361	1080 - 1083	4320 - 4332
K1	361	1083	4332
K2	362	1086	4344
S1	720	2160	8640
M0/M1	721	2165	8654

Tabla 3. Ubicación de los bytes K1, K2, S1 y M0/M1 e intervalos de la TOH, la SPE y B2

3.2.2 Sincronización y salida de trama

Este bloque se encarga de recibir el flujo de datos de la trama a través de P_DESC_IN y la señal de sincronización de trama P_FP_IN_H para enseguida sacarlas a través de P_DESC_OUT y P_FP_OUT_H, respectivamente, para el siguiente componente.

3.2.3 Contador de bytes de trama

El contador de bytes de trama como su nombre lo indica se encarga del conteo de los bytes con la finalidad de dar la posición de los bytes correspondientes a los habilitadores. El contador es inicializado con 4, 8 o 26 (ver Tabla 3) después de recibir un nivel alto en la señal P_FP_IN_H (posición del byte J0). Una vez que termina la trama, el contador es reseteado y permanece así hasta que nuevamente se recibe la señal P_FP_IN_H.

3.2.4 Habilitador de lectura de la LOH y la SPE

La función de este bloque es generar la señal P_ENBIP_OUT_H (ver Figura 10), la cual permite la lectura de los bytes para el cálculo del código de BIP-X. Para ello, utiliza el contador de bytes de trama (3.2.3) en el caso de señales STS-3 y STS-12. Para el caso de

una señal STS-1 utiliza la señal de sincronización de trama P_FP_IN_H, cuando se trata del inicio de la SPE en el primer renglón, y para el resto el contador de bytes de trama.

La Figura 10 muestra las formas de onda de dicho comportamiento para una señal STS-1. En estas formas de onda se observa que un ciclo después del inicio de los intervalos 4-90, 93-180 y 183-810 (ver Tabla 3), exceptuando el primero, y al término de éstos la señal P_ENBIP_OUT_H se encuentra en un nivel alto y en caso contrario en un nivel bajo.

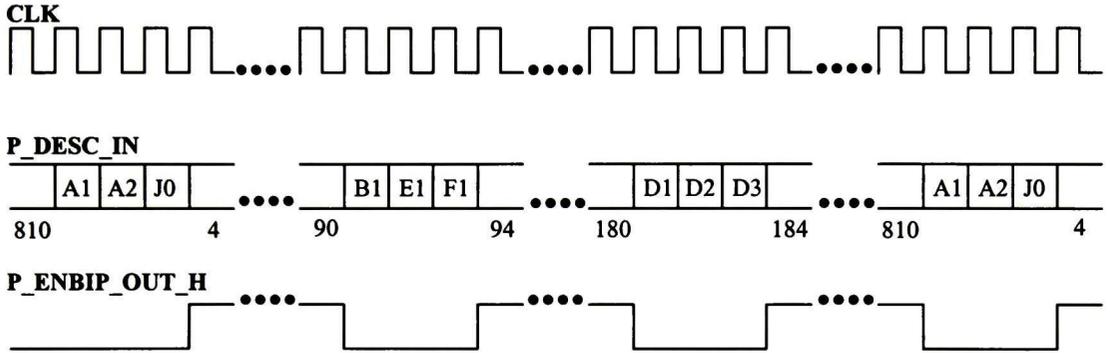


Figura 10. Formas de onda de la señal de salida P_ENBIP_OUT_H

3.2.5 Habilitador de lectura de los bytes B2

Este bloque se encarga de generar una señal denominada P_ENB2_OUT_H (ver Figura 11), la cual permite la lectura de los bytes B2 para el monitoreo de errores. Este habilitador utiliza únicamente el contador de bytes de trama para realizar su función.

La Figura 11 muestra las formas de onda del comportamiento descrito anteriormente para una señal STS-1. En estas formas de onda se observa que un ciclo después del intervalo 360-361 (ver Tabla 3) y al término de éste, es decir durante el ciclo 361, la señal P_ENB2_OUT_H se encuentra en un nivel alto y en caso contrario en un nivel bajo.

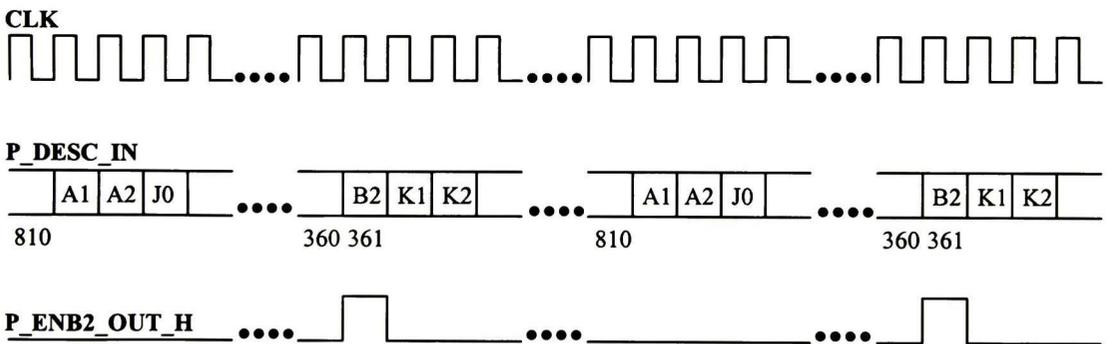


Figura 11. Formas de onda de la señal de salida P_ENB2_OUT_H

3.2.6 Habilitador de lectura de los bytes K1 y K2

La función de este bloque es generar unas señales nombradas P_ENK1_OUT_H y P_ENK2_OUT_H, las cuales que permiten la lectura de los bytes K1 y K2 para la conmutación de protección automática. Este bloque al igual que el anterior (3.2.5) únicamente utiliza el contador de bytes de trama para realizar su función.

La Figura 12 muestra las formas de onda de dicho comportamiento para una trama STS-1. En estas formas de onda se observa que un ciclo después de las posiciones 361 y 362 (ver Tabla 3), las señales P_ENK1_OUT_H y P_ENK2_OUT_H permanecen durante un ciclo en un nivel alto respectivamente.

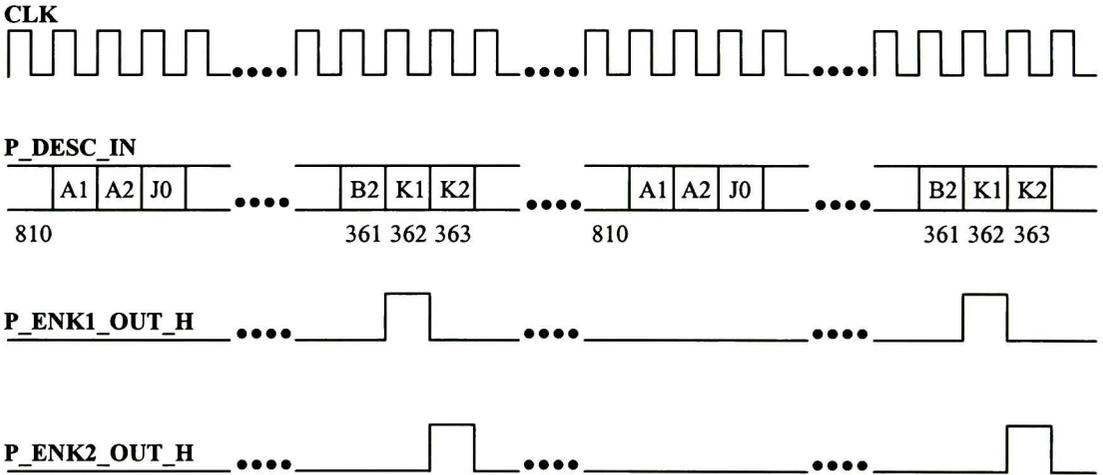


Figura 12. Formas de onda de las señales de salida P_ENK1_OUT_H y P_ENK2_OUT_H

3.2.7 Habilitador de lectura del byte S1

Este bloque se encarga de generar una señal denominada P_ENS1_OUT_H (ver Figura 13), la cual permite la lectura del byte S1 para detectar cambios en el código del mensaje de estado de sincronización. Para ello, el bloque utiliza el contador de bytes de trama.

La Figura 13 muestra las formas de onda de dicho comportamiento para una señal STS-1. En estas formas de onda se observa que un ciclo después de la posición 720 (ver Tabla 3), la señal P_ENS1_OUT_H se encuentra en un nivel alto y de lo contrario en un nivel bajo.

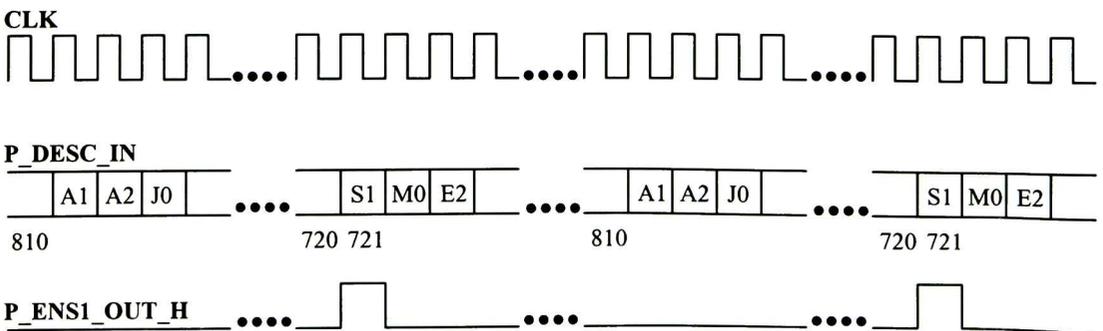


Figura 13. Formas de onda de la señal de salida P_ENS1_OUT_H

3.2.8 Habilitador de lectura del byte M0/M1

La función del habilitador de lectura del byte M0/M1 es generar una señal llamada P_ENM0M1_OUT_H para la lectura del byte M0 o M1 para el monitoreo de errores del extremo distante. Este bloque también utiliza el contador de byte de trama.

La Figura 14 muestra las formas de onda de dicho comportamiento para una trama STS-1. En estas formas de onda se observa que cuando está presente en el flujo de datos el byte M0 la señal P_ENM0M1_OUT_H se encuentra en un nivel alto y de lo contrario se encuentra en un nivel bajo.

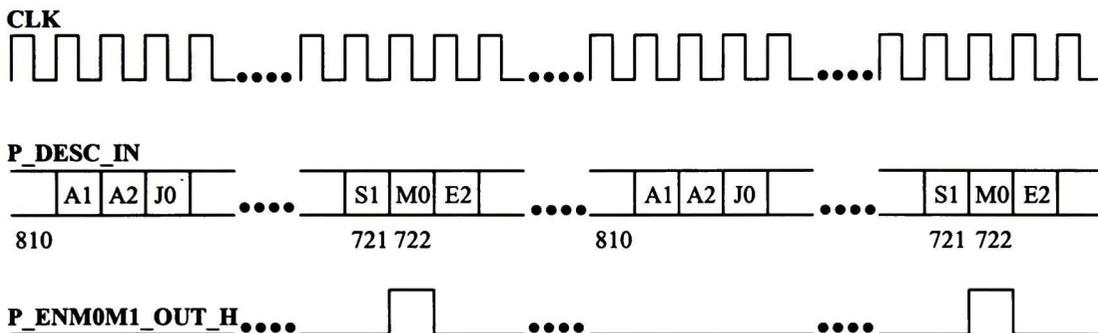


Figura 14. Formas de onda de la señal de salida P_ENM0M1_OUT_H

3.3 Procesador de B2

El procesador de B2 realiza una función de monitoreo de errores de línea. Esta función es un código de paridad con entrelazado de bits- $N \times 8$ (con $N = 1, 3$ y 12) utilizando paridad par. El monitoreo de errores de línea permite obtener los errores de bits de cada STS-1, los errores de bits y bloque de la trama, la acumulación de estos últimos y la detección de las condiciones de SF y SD.

El procesador inicia el monitoreo de errores en la trama previa con el cálculo de los bytes de paridad de cada una de las STS-1 y continúa en la trama actual con la comparación de los bytes de paridad con su respectivo byte B2.

Los bloques para el cálculo de los bytes de paridad y el de comparación, mencionados en el párrafo anterior, así como el resto de los bloques y las señales de entrada y salida que forman el procesador de B2 son mostradas en la Figura 15 y la Tabla 4. La descripción en VHDL del procesador de B2 se encuentra en el CD anexo en los archivos BIPX.vhd y error_monitoring.vhd, los cuales son instanciados por el archivo B2.vhd.

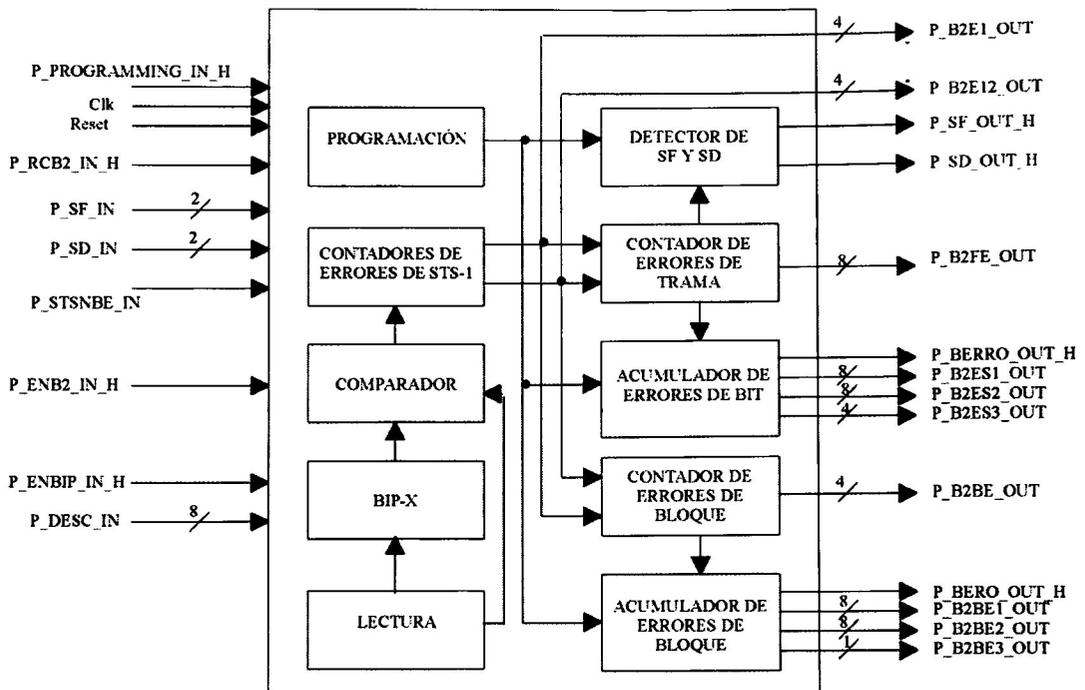


Figura 15. Procesador de B2

Entradas	Descripción	Interconexión
Clk	Señal de reloj. Esta señal proporciona el tiempo para procesar los bytes B2 recibidos. El reloj está nominalmente a 6.48 Mhz (STS-1), 19.44 Mhz (STS-3) o 77.76 (STS-12) dependiendo de la señal STS-N/Nc a procesar.	Reloj del sistema.
Reset	Activa alta. Esta señal proporciona un reset asíncrono al preprocesador de los bytes B2. La señal debe estar en un nivel alto durante 2 ciclos de reloj de una señal STS-1.	Reset del sistema.
P_STSN_IN	Dato de entrada de dos bits que permite la selección de la señal STS-N/Nc para su procesamiento. 00 STS-1 01 STS-3 10 STS-12 La selección de trama debe estar presente antes del pulso de programación.	Módulo de OAM.
P_STSNBE_IN	Señal de entrada que permite la selección del tamaño del bloque para la detección de los errores de bloque. 0 STS-1 1 STS-3 La selección de trama debe estar presente antes del pulso de programación.	Módulo de OAM.
P_SF_IN	Dato de entrada de dos bits que permite la selección del	Módulo de OAM.

	BER para la detección de la condición de SF. 00 10^{-3} 01 10^{-4} 10 10^{-5} La selección de trama debe estar presente antes del pulso de programación.	
P_SD_IN	Dato de entrada de dos bits que permite la selección del BER para la detección de la condición de SD. 00 10^{-5} 01 10^{-6} 10 10^{-7} La selección de trama debe estar presente antes del pulso de programación.	Módulo de OAM.
P_PROGRAMMING_IN_H	Activa alta. Esta señal programa el tamaño del bloque y el BER para la detección de las condiciones de SF y SD de acuerdo a las señales de entrada P_STSNBE_IN, P_SF_IN y P_SD_IN respectivamente. También se encarga de fijar la posición de los bits de <i>rollover</i> de los acumuladores de bit y bloque.	Módulo de OAM.
P_FP_IN_H	Activa alta. Señal de indicación de sincronización de trama. Esta señal se encuentra en un nivel alto durante el ciclo de reloj que el byte J0 se encuentra en el flujo de datos (P_DESC_IN = J0).	Framer.
P_ENBIP_IN_H	Activa alta. Esta señal indica al preprocesador de B2 que un byte de la TOH o SPE está presente en el flujo de datos.	Habilitador de lectura de bytes.
P_ENB2_IN_H	Activa alta. Esta señal indica al preprocesador de B2 que un byte B2 está presente en el flujo de datos.	Habilitador de lectura de bytes.
P_RCB2_IN_H	Activa alta. Señal de reset de la acumulación de errores de bits y de bloque. Una lectura de la acumulación de errores (P_RCB2_IN_H = '1') ocasiona que en el siguiente procesamiento de B2 éste sea inicializado.	Módulo de OAM.
P_DESC_IN [7:0]	Bus de bytes seriales que componen las tramas.	RSOH.
Salidas	Descripción	Interconexión
P_B2E1_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la primer STS-1.	Módulo de OAM.
P_B2E2_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la segunda STS-1.	Módulo de OAM.
P_B2E3_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la tercer STS-1.	Módulo de OAM.
P_B2E4_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la cuarta STS-1.	Módulo de OAM.
P_B2E5_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la quinta STS-1.	Módulo de OAM.

P_B2E6_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la sexta STS-1.	Módulo de OAM.
P_B2E7_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la séptima STS-1.	Módulo de OAM.
P_B2E8_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la octava STS-1.	Módulo de OAM.
P_B2E9_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la novena STS-1.	Módulo de OAM.
P_B2E10_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la décima STS-1.	Módulo de OAM.
P_B2E11_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la undécima STS-1.	Módulo de OAM.
P_B2E12_OUT [3:0]	Dato de salida de 4 bits con el número de errores de la duodécima STS-1.	Módulo de OAM.
P_B2EF_OUT [6:0]	Dato de salida de 7 bits con el número de errores de la señal STS-N/Nc.	Módulo de OAM.
P_B2BE_OUT_H [3:0]	Dato de salida de 4 bits con el número de errores de bloque de la señal STS-N/Nc.	Módulo de OAM.
P_B2ES1_OUT [7:0]	Dato de salida con los 8 bits menos significativos del acumulador de errores de bits.	Módulo de OAM.
P_B2ES2_OUT [7:0]	Dato de salida con los bits 9 a 15 del acumulador de errores de bits.	Módulo de OAM.
P_B2ES3_OUT [3:0]	Dato de salida con los 4 bits más significativos del acumulador de errores de bits.	Módulo de OAM.
P_BERRO_OUT_H	Activa alta. Señal de indicación de <i>rollover</i> de la acumulación de errores de bits. Un '1' en esta señal indica que la acumulación de errores de bits ha sido excedida.	Módulo de OAM.
P_B2BE1_OUT [7:0]	Dato de salida con los 8 bits menos significativos de la acumulación de errores de bloque.	Módulo de OAM.
P_B2BE2_OUT [7:0]	Dato de salida con los bits 9 a 15 de la acumulación de errores de bloque.	Módulo de OAM.
P_B2BE3_OUT [3:0]	Dato de salida con los 4 bits más significativos de la acumulación de errores de bloque.	Módulo de OAM.
P_BERO_OUT_H	Activa alta. Señal de indicación de <i>rollover</i> del acumulador de errores de bloque. Un '1' en esta señal indica que la acumulación de errores de bloque ha sido excedida.	Módulo de OAM.
P_SF_OUT_H	Activa alta. Señal de indicación de la condición de SF. Un '1' en esta señal indica que el BER programado para la detección de la condición SF ha sido excedido.	Módulo de OAM.
P_SD_OUT_H	Activa alta. Señal de indicación de la condición de SD. Un '1' en esta señal indica que el BER programado para la detección de la condición SD ha sido excedido.	Módulo de OAM.

Tabla 4. Señales de entrada y salida del procesador del byte B2

3.3.1 Programación

Este bloque se encarga de programar el tamaño de bloque y las condiciones de SF y SD. También se encarga de fijar los bits de *rollover* para los acumuladores de errores de bits y bloque. La selección del BER para la declaración de las condiciones SF y SD se realiza de acuerdo a las entradas P_SF_IN y P_SD_IN (ver Tabla 4) respectivamente. La selección del tamaño de bloque se realiza de acuerdo a la entrada P_STSNBE_IN (ver Tabla 4). Los valores para la posición del bit de *rollover* y del BER para la declaración y terminación de las condiciones SF y SD se muestran en la Tabla 5 y la Tabla 6 respectivamente.

Señal	Posición del bit de <i>rollover</i>	
	Acumulador de errores de bits	Acumulador de errores de bloque
STS-1	16	13
STS-3	18	15
STS-12	20	17

Tabla 5. Posición del bit de *rollover*

3.3.2 BIP-X

Este bloque calcula el byte de paridad sobre los bytes de la tara LOH y la SPE de la trama previa una vez desaleatorizada. El cálculo se realiza con la ayuda de una máquina de 12 estados, la señal de lectura P_ENBIP_IN_H y una función XOR dentro de cada estado. La máquina de estados utilizada se muestra en la Figura 16.

La máquina de estados permite identificar los bytes correspondientes a cada una de las STS-1 de la trama, mientras que un nivel alto en la señal P_ENBIP_IN_H identifica los bytes de la LHO y la SPE para su lectura. Para realizar la identificación, en el caso de una STS-1 la máquina únicamente se encuentra en el primer estado, puesto que sólo se procesa una señal STS-1. Para una señal STS-3, la máquina utiliza tres estados, esto es, del tercer estado se pasa al primero. Finalmente, cuando se trata de una señal STS-12 la máquina utiliza la totalidad de sus estados, es decir, del estado doce se pasa al primero.

Al realizar la lectura de los bytes de la LOH y la SPE para cada STS-1, se les aplica una función XOR. Por ejemplo, en el caso de una señal STS-1 al primer byte de la SPE se le aplica la función XOR con el segundo byte de la SPE, al resultado obtenido también se le aplica esta función con el tercer byte de la SPE y así sucesivamente hasta cubrir la totalidad de los bytes de la LHO y SPE. Para las señales STS-3 y STS-12 se realiza la misma operación pero con los bytes correspondientes a cada una de las STS-1.

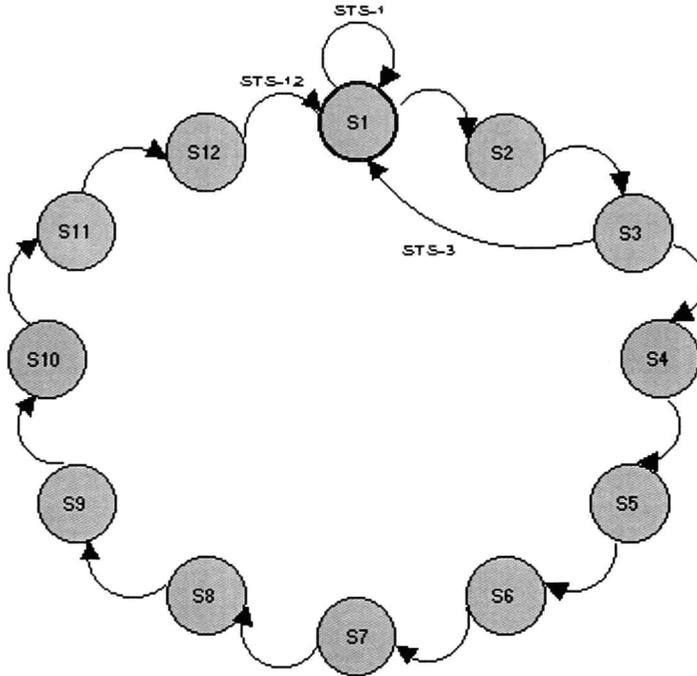


Figura 16. Máquina de estados para el cálculo de los bytes de paridad

3.3.3 Comparador

El comparador es un bloque que recibe los bytes de paridad de la trama anterior, calculados por el BIP-X (3.3.2), y los compara con los bytes B2 extraídos de la trama actual. La comparación es una función XOR bit a bit de los bytes antes mencionados.

Para realizar su función, el comparador utiliza una máquina de estados del mismo tipo a la usada por el BIP-X, la señal de lectura de los bytes B2 P_ENB2_IN_H y una función XOR. La máquina de estados, en este caso, se utiliza para identificar a que STS-1 corresponde el byte B2 mientras que la señal P_ENB2_IN_H los identifica dentro de la trama para su lectura.

Al realizar la lectura de los bytes B2 se les aplica una función XOR con su respectivo byte de paridad. De esta operación resultan los bits con error de paridad, esto es, los bits con error (diferentes) aparecen como '1'

3.3.4 Contadores de errores para cada STS-1

Una vez que se ha realizado la comparación, los contadores de errores de las STS-1 cuentan el número de unos ('1') resultantes. Estos contadores son de 4 bits, puesto que el número máximo de errores para cada STS-1 es de 8. El número de errores resultante del conteo es presentado a través de las salidas P_B2E1_OUT a P_B2E12_OUT.

3.3.5 Contador de errores de trama

Este bloque suma, por medio de un contador de 7 bits, el número de errores detectados en cada uno de los contadores de las STS-1, calculado en 3.3.4, para obtener el total de errores de trama. El número de errores de la trama es obtenido a través de la salida denominada P_B2EF_OUT.

La razón de tener un contador de 7 bits es debido a que el número máximo de errores de bits para una STS-12 es de:

$$12 \text{ STS-1} \times 8 \text{ errores} = 96 \text{ errores.}$$

3.3.6 Contador de errores de bloque

Este bloque está formado por un contador de 4 bits. Este contador es incrementado en uno si hay uno o más errores de bits en el bloque. Los errores detectados son presentados en la salida P_B2EB_OUT. El tamaño de bloque es programable como una STS-1 o STS-3. La razón de tener un contador de 4 bits es debido al número máximo de errores (12), el cual resulta cuando se procesa una STS-12 con un tamaño de bloque STS-1 y todas las STS-1 tienen al menos un error de bits.

Es importante señalar que cuando se está procesando una señal STS-12 y el tamaño de bloque seleccionado es STS-3, las STS-1 que forman los bloques no se encuentran juntas debido a la multiplexación. El primer bloque está localizado en las posiciones 1, 5 y 9. El segundo bloque ocupa las posiciones 2, 6 y 10. El tercer bloque se encuentra localizado en las posiciones 3, 7 y 11. Por último, el cuarto bloque se localiza en las posiciones 4, 8 y 12.

3.3.7 Acumulador de errores de bits

El bloque está formado por un acumulador de errores de 21 bits, el cual lleva la cuenta del número de errores de cada trama detectados por el contador de errores de trama (3.3.5). Una vez que este último contador tiene disponible el número de errores de trama, el acumulador adiciona estos errores. Al concluir el procesamiento del byte B2 las salidas P_B2ES1_OUT, P_B2ES2_OUT y P_B2ES3_OUT son actualizadas con el número de errores acumulados. Cuando se recibe la señal P_RCB2_IN_H, la cual indica la lectura de las salidas de los errores acumulados, el acumulador es inicializado antes de la siguiente acumulación.

El bloque cuenta también con un bit de *rollover*. Éste es el bit más significativo del acumulador y se presenta a través de la señal de salida P_BERRO_OUT_H.

La razón de tener un acumulador de 21 bits es debido al número máximo de errores posibles y al bit de *rollover*. Para el número máximo de errores es necesario tener un acumulador de 20 bits, esto porque la acumulación deber ser leída cada segundo. El número máximo de errores puede ocurrir cuando en las 8000 tramas (1 segundo) de una STS-12 todas las STS-1 de cada trama presentan 8 errores, esto es:

$$8000 \text{ tramas} \times 12 \text{ STS-1} \times 8 \text{ errores} = 768,000 \text{ errores,}$$

para lo que son necesarios los 20 bits antes mencionados.

Debido a que se tiene un acumulador de 21 bits existe un margen de lectura de cerca de 2 segundos, esto por la diferencia entre la cuenta máxima del acumulador y el número máximo de errores en un segundo.

3.3.8 Acumulador de errores de bloque

Este bloque está formado por un acumulador de 18 bits. El acumulador lleva la cuenta de los errores detectados por el contador de errores de bloque. La actualización de los errores de bloque se presenta para cada trama al término del procesamiento de B2 a través de las salidas P_B2BE1_OUT, P_B2BE2_OUT y P_B2BE3_OUT. Cuando se recibe la señal P_RCB2_IN_H, la cual indica la lectura de los errores de bloque acumulados, el acumulador es inicializado antes de realizar la siguiente acumulación.

El bloque, al igual que el acumulador de errores de bits, cuenta con un bit de *rollover*. Éste es el bit más significativo del acumulador y se presenta a través de la señal de salida P_BERO_OUT_H.

La razón de tener un acumulador de 18 bits es debido al número máximo de errores de bloque y al bit de *rollover*. Para la acumulación de errores de bloque se necesitan 17 bits, puesto que la lectura también se realiza cada segundo. El número máximo de errores de bloque puede ocurrir cuando el tamaño de bloque seleccionado es STS-1 y todos los bloques de las 8000 tramas de una STS-12 presentan errores, esto es:

$$8000 \text{ tramas} \times 12 \text{ STS-1} \times 1 \text{ error de bloque} = 96,000 \text{ errores}$$

para lo que son necesarios los 17 bits.

Debido a que en este acumulador también se tiene un bit más (bit de *rollover*), el margen de lectura es similar al del acumulador de errores de bits (cerca de 2 segundos).

3.3.9 Detector de SF y SD

El detector de SF y SD declara estas condiciones cuando el BER de línea excede un umbral. El BER es derivado de la suma de las violaciones BIP-8 x N de cada STS-1 en una señal STS-N/Nc, en otras palabras, de los errores de bits detectados. El bloque termina las condiciones declaradas cuando el BER es menor de 1/10 del umbral programado para la declaración. El umbral es configurable con un BER de 10^{-3} , 10^{-4} o 10^{-5} para SF y con un BER de 10^{-5} , 10^{-6} o 10^{-7} para SD.

El tiempo para detectar que el BER es más grande o igual a un umbral, depende del BER actual. El tiempo utilizado es de aproximadamente 1/3 de los tiempos máximos mostrados en las curvas de iniciación de conmutación de la Figura 5.5 de la norma GR-253-CORE para los tres tipos de señales que se procesan. El número de errores de acuerdo al tiempo utilizado, al BER y a la señal a procesar puede obtenerse de las siguientes ecuaciones.

El BER es la razón entre el número de errores y el número de bits transmitidos, esto es:

$$BER = \frac{\text{No. de errores}}{\text{No. de bits transmitidos}}$$

La tasa de transmisión es igual al número de bits transmitidos entre el tiempo:

$$\text{Tasa de transmisión} = \frac{\text{No. de bits transmitidos}}{\text{tiempo}}$$

Igualando las dos ecuaciones se tiene que el número de errores es igual al producto del BER por la tasa de transmisión por el tiempo:

$$\text{No. de errores} = \text{BER} \times \text{Tasa de transmisión} \times \text{tiempo}$$

De esta última ecuación se obtiene el número máximo de errores para no declarar las condiciones SF y SD. Los tiempos utilizados de acuerdo al BER y a la señal a procesar, así como el número de errores resultante son mostrados en la Tabla 6.

STS-1/STM-0				
BER	Falla de señal (SF)		Degradación de señal (SD)	
	Tiempo (tramas)	Número de errores	Tiempo (tramas)	Número de errores
10 ⁻³	3 ms (24)	155	--	--
10 ⁻⁴	14 ms (112)	72	--	--
10 ⁻⁵	100 ms (800)	51	100 ms (800)	51
10 ⁻⁶	--	--	1 s (8000)	51
10 ⁻⁷	--	--	1 s (8000)	5
10 ⁻⁸	--	--	1 s (8000)	0
STS-3/STM-1				
BER	Falla de señal (SF)		Degradación de señal (SD)	
	Tiempo (tramas)	Número de errores	Tiempo (tramas)	Número de errores
10 ⁻³	3 ms (24)	466	--	--
10 ⁻⁴	5 ms (40)	77	--	--
10 ⁻⁵	35 ms (280)	54	35 ms (280)	54
10 ⁻⁶	--	--	350 s (2800)	54
10 ⁻⁷	--	--	1 s (8000)	15
10 ⁻⁸	--	--	1 s (8000)	1
STS-12/STM-4				
BER	Falla de señal (SF)		Degradación de señal (SD)	
	Tiempo (tramas)	Número de errores	Tiempo (tramas)	Número de errores
10 ⁻³	3 ms (24)	1866	--	--
10 ⁻⁴	9 ms (72)	559	--	--
10 ⁻⁵	90 ms (720)	559	90 ms (720)	559

10^{-6}	--	--	900 s (7200)	559
10^{-7}	--	--	1 s (8000)	62
10^{-8}	--	--	1 s (8000)	6

Tabla 6. Tiempos y número de errores para la declaración de las condiciones SF y SD

3.4 Preprocesador de K1 y K2

El preprocesador de K1 y K2 realiza la detección de inconsistencia del byte APS (K1), el filtrado de los dos bytes y la detección de las alarmas AIS-L y RDI-L. Para desarrollar tal función el procesador se ayuda de los bloques mostrados en la Figura 17 y de las señales de entrada y salida detalladas en la Tabla 7. La descripción en VHDL de este submódulo se encuentra en el CD anexo en el archivo K1K2.vhd.

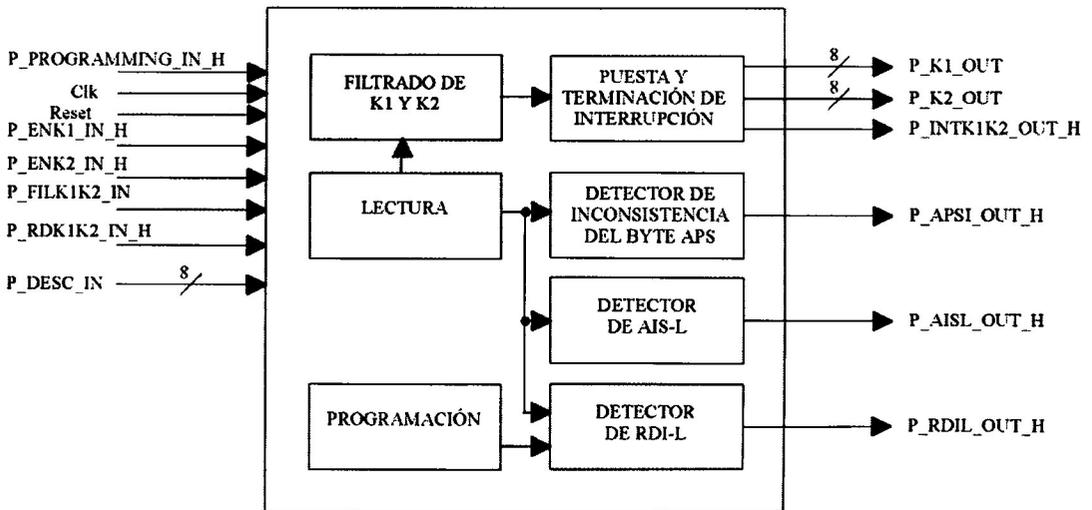


Figura 17. Preprocesador de K1 y K2

Entradas	Descripción	Interconexión
Clk	Señal de reloj. Esta señal proporciona el tiempo para procesar los bytes K1 y K2 recibidos. El reloj está nominalmente a 6.48 Mhz (STS-1), 19.44 Mhz (STS-3) o 77.76 (STS-12) dependiendo de la señal STS-N/Nc a procesar.	Reloj del sistema.
Reset	Activa alta. Esta señal proporciona un reset asíncrono al preprocesador de los bytes K1 y K2. La señal debe estar en un nivel alto durante 2 ciclos de reloj de una señal STS-1.	Reset del sistema.
P_FILK2_IN	Señal de indicación de filtrado de las alarmas AIS-L y RDI-L.	Módulo de OAM.

	0 Filtrado de 3 tramas 1 Filtrado de 5 tramas La selección de filtrado debe estar presente antes del pulso de programación.	
P_PROGRAMMING_IN_H	Activa alta. Esta señal programa el filtrado de las alarmas AIS-L y RDI-L de acuerdo a la señal de entrada P_FILK2_IN.	Módulo de OAM.
P_ENK1_IN_H	Activa alta. Esta señal indica al preprocesador que el byte K1 está presente en el flujo de datos.	Habilitador de lectura de bytes.
P_ENK2_IN_H	Activa alta. Esta señal indica al preprocesador que el byte K2 está presente en el flujo de datos.	Habilitador de lectura de bytes.
P_RDK1K2_IN_H	Activa alta. Señal de indicación de lectura del nuevo código de K1 y K2.	Módulo de OAM.
P_DESC_IN [7:0]	Bus de bytes seriales de la trama.	RSOH.
Salidas	Descripción	Interconexión
P_APSI_OUT_H	Activa alta. Señal de indicación de inconsistencia del byte APS. Un '1' en esta señal indica que dentro de una ventana de 12 tramas no se encontraron 3 bytes K1 consecutivos iguales.	Módulo de OAM.
P_INTK1K2_OUT_H	Activa alta. Señal de indicación de nuevo código en los bytes. Un '1' en esta señal indica que en uno o los dos bytes se tiene un nuevo código que ha cumplido con el filtrado.	Módulo de OAM.
P_K1_OUT [7:0]	Byte de salida con el nuevo valor del byte K1 que ha cumplido con el filtrado. Este byte es sacado junto con la señal de indicación P_INTK1K2_OUT_H. Si la salida no es leída antes de cumplirse un nuevo filtrado ésta es actualizada.	Módulo de OAM.
P_K2_OUT [7:0]	Byte de salida con el nuevo valor del byte K2 que ha cumplido con el filtrado. Este byte es sacado junto con la señal de indicación P_INTK1K2_OUT_H. Si la salida no es leída antes de cumplirse un nuevo filtrado ésta es actualizada.	Módulo de OAM.
P_AISL_OUT_H	Activa alta. Señal de indicación de la alarma AIS-L. Un '1' en esta señal indica que al menos durante las 3 o 5 últimas tramas (de acuerdo a la programación del filtrado) un patrón "111" ha sido detectado en los bits 6 a 8 del byte K2.	Módulo de OAM.
P_RDIL_OUT_H	Activa alta. Señal de indicación de la alarma RDI-L. Un '1' en esta señal indica que al menos durante las 3 o 5 últimas tramas (de acuerdo a la programación del filtrado) un patrón "110" ha sido detectado en los bits 6 a 8 del byte K2.	Módulo de OAM.

Tabla 7. Señales de entrada y salida del preprocesador de K1 y K2

3.4.1 Programación

El bloque de programación fija el filtrado de las alarmas AIS-L y RDI-L cuando se recibe un nivel alto en la señal P_PROGRAMMING_IN_H. La selección del filtrado puede hacerse para 3 ó 5 tramas consecutivas de acuerdo a la señal P_FILK2_IN (ver Tabla 7). Los valores programados en el contador de bytes consecutivos dependen de la selección de filtrado. Una explicación detallada del porque de los valores programados se da en los bloques de filtrado de las alarmas AIS-L y RDI-L (3.4.6 y 3.4.7).

3.4.2 Lectura

El bloque de lectura se encarga de leer los bytes K1 y K2 del flujo de datos. Cuando se recibe un nivel alto en las señales P_ENK1_IN_H y P_ENK2_IN_H los bytes K1 y K2, respectivamente, están presentes en la entrada P_DESC_IN.

3.4.3 Detector de inconsistencia del byte APS

Este bloque detecta una inconsistencia del byte APS cuando dentro de una ventana de 12 tramas recibidas no se detectan de manera consecutiva 3 bytes K1 idénticos y la termina cuando tres tramas consecutivas contienen bytes K1 idénticos. Para realizar esta función se utiliza una máquina de estados y dos contadores como se puede observar en la Figura 18.

La máquina cuenta con dos estados llamados “consistente” (C, *Consistent*) y “filtrando” (F, *Filtering*).

- **Estado C:** La máquina es inicializada en este estado y permanece mientras los bytes K1 de la trama anterior y la actual sean iguales ($APS_before_s = K1_frame_s$).

Entrada: Byte K1 ($K1_frame_s$).

Transición: La transición al estado F se realiza cuando se detecta una diferencia en los bytes K1 ($APS_before_s \neq K1_frame_s$).

- **Estado F:** En este estado se tienen dos contadores. El primer contador ($APS_counter_v$) lleva la cuenta de los bytes K1 recibidos mientras que el segundo contador ($FIL_counter_v$) lleva la cuenta de los bytes K1 idénticos. En este mismo estado cualquier cambio en el byte inicializa el contador $FIL_counter_v$.

Entrada: Byte K1 ($K1_frame_s$).

Salida: Inconsistencia del byte APS ($P_APSI_OUT_H = '1'$). La salida se presenta si en la ventana de 12 tramas no hubo 3 bytes consecutivos idénticos ($APS_counter_v^3 = 11$ y $FIL_counter_v^3 < 2$). Una vez declarada la inconsistencia el primer contador es inicializado.

Transición: El cambio al estado C se da cuando se detectan tres bytes K1 idénticos consecutivos ($FIL_counter_v^3 = 2$). Los dos contadores son inicializados al realizarse esta transición.

³ La cuenta del contador es uno menos del requerido ya que se aprovecha la transición del estado C al F.

Es importante apuntar que para la terminación de la inconsistencia del byte APS no es necesario que las tramas consecutivas, conteniendo los bytes idénticos, se encuentren dentro de la misma ventana.

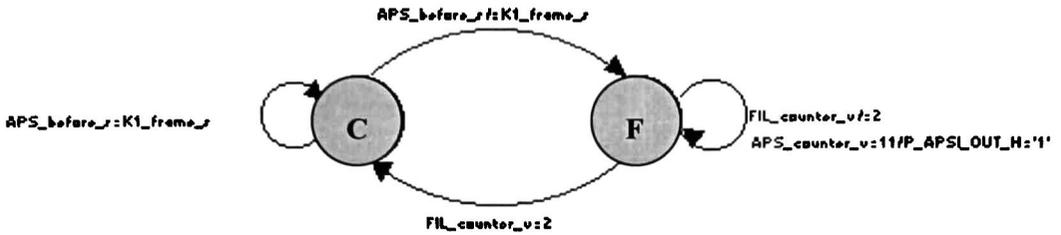


Figura 18. Máquina de estados para la detección del defecto del byte APS

La Figura 19 muestra el comportamiento de la señal de salida P_APSI_OUT_H. En ésta puede observarse que después de 12 tramas sin tres bytes K1 idénticos la señal P_APSI_OUT_H = '1' y una vez recibidos los tres bytes idénticos esta misma señal regresa a su estado anterior (P_APSI_OUT_H = '0').

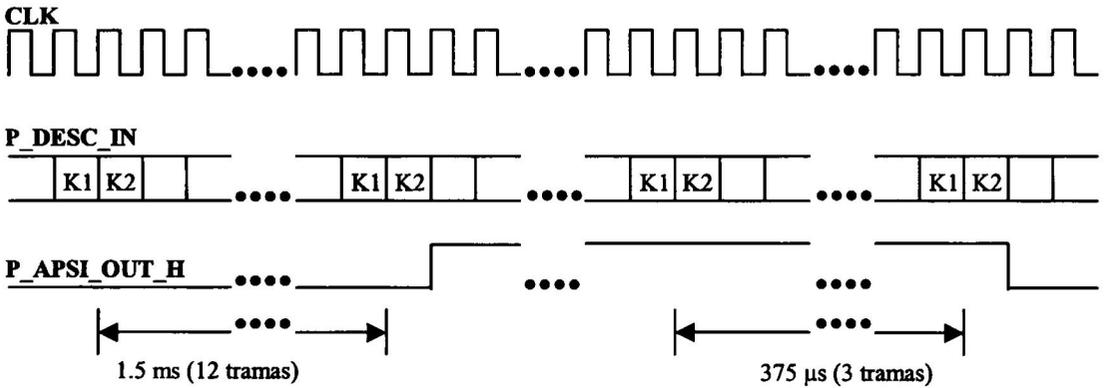


Figura 19. Formas de onda de la señal de salida P_APSD_OUT_H

3.4.4 Filtrado de los bytes K1 y K2

Este bloque realiza el filtrado del byte K1 y de los bits 0 a 5 del byte K2 por 3 consecutivas. En otras palabras, el bloque detecta cuando existe un cambio en uno o los dos bytes y éste se mantiene al menos por 3 tramas consecutivas. Para el desarrollo de esta función se utiliza una máquina de dos estados, del mismo tipo a la utilizada en la detección de inconsistencia del byte APS (ver Figura 18), y un contador de tres bits. El funcionamiento de dicha máquina con los cambios requeridos es explicado a continuación.

- **Estado C:** La máquina es inicializada en este estado y permanece mientras los bytes K1 y los bits 0 a 5 del K2 sean iguales ($K1_before_s = K1_frame_s$ AND $K2_before_s = K2_frame_s [4:0]$).

Entrada: Bytes K1 y K2 ($K1_frame_s$ y $K2_frame_s [4:0]$).

Transición: La transición al estado **F** ocurre si se detecta algún cambio en uno o los dos bytes ($K1_before_s \neq K1_frame_s$ OR $K2_before_s \neq K2_frame_s$ [4:0]).

- **Estado F:** En el estado **F** se realiza el filtrado de los bytes. Para ello, se utiliza un contador ($K1K2_counter_v$), el cual lleva la cuenta del número de bytes consecutivos idénticos. Si el byte $K1$ o si los bits 0 a 5 del byte $K2$ cambian el contador es reinicializado.

Entrada: Bytes $K1$ y $K2$ ($K1_frame_s$ y $K2_frame_s$ [4:0]).

Salida: Señal de interrupción y bytes $K1$ y $K2$ con el nuevo código. Los bytes son leídos por el bloque de puesta y terminación de la interrupción (3.4.5) si se genera la señal de interrupción. Esta señal es generada si los valores que ocasionaron la transición a este estado permanecen por 2 tramas consecutivas más ($K1K2_counter_v = 2$).

Transición: El cambio al estado **C** se presenta cuando se generan las salidas ($K1K2_counter_v = 2$).

El contador utilizado para llevar la cuenta de bytes filtrados también aprovecha la transición del estado **C** al estado **F** para realizar una cuenta menos.

3.4.5 Puesta y terminación de la interrupción

El bloque de puesta y terminación de la interrupción trabaja en conjunto con el de filtrado de los bytes $K1$ y $K2$, ya que, cuando se cumple con el filtrado, este bloque saca los valores de los bytes, genera la interrupción y la termina una vez que es atendida. Para la realización de tal función se utiliza la máquina de estados mostrada en la Figura 20.

La máquina cuenta con 3 estados los cuales son “interrupción” (**I**, *Interruption*), “lectura” (**R**, *Reading*) y “espera” (**W**, *Waiting*).

- **Estado I:** La máquina se encuentra en el estado **I** al inicializarse el componente o cuando la señal de interrupción, generada por bloque de filtrado (3.4.4), se encuentra en un nivel bajo ($INTK1K2_s = '0'$).

Entrada: Señal de interrupción ($INTK1K2_s$)

Salida: Señal de interrupción ($P_INTK1K2_OUT_H = '1'$) y bytes $K1$ y $K2$ (P_K1_OUT y P_K2_OUT) con el nuevo código. Las salidas se presentan una vez recibida la señal de interrupción ($INTK1K2_s = '1'$).

Transición: La transición al estado **R** ocurre una vez recibida la señal de interrupción ($INTK1K2_s = '1'$).

- **Estado R:** La máquina permanece en este estado mientras la señal de lectura de los bytes se encuentre en un nivel bajo ($P_RDK1K2_IN_H = '0'$).

Entrada: Señal de lectura de bytes ($P_RDK1K2_IN_H$).

Salida: Terminación de la señal de interrupción ($P_INTK1K2_OUT_H = '0'$). La terminación se presenta una vez recibida la señal de lectura ($P_RDK1K2_IN_H = '1'$).

Transición: la transición al estado **W** se realiza posterior a la lectura ($P_RDK1K2_IN_H = '1'$).

- **Estado W:** La razón de este estado es, que si la interrupción es atendida dentro de la misma trama, evitar una nueva generación por el mismo filtrado. Por ello, la máquina permanece en este estado hasta el término del procesamiento de los bytes K1 y K2 de la siguiente trama.

Entrada: Señal de interrupción ($INTK1K2_s$).

Transición: La transición al estado **I** se realiza hasta que se recibe un nivel bajo en la señal de interrupción ($INTK1K2_s = '0'$).

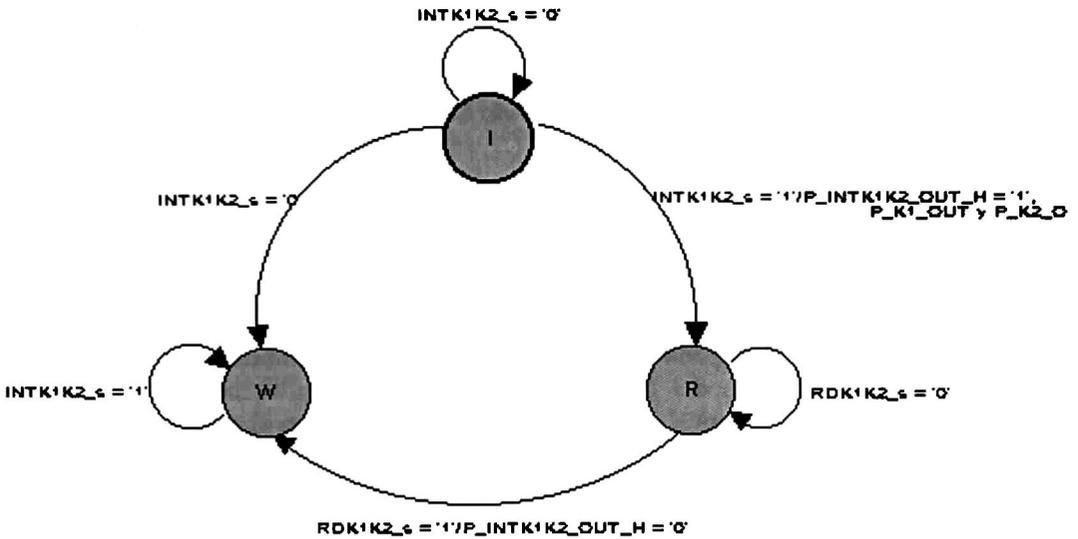


Figura 20. Máquina de estados para la generación y terminación de la interrupción

En la Figura 21 se muestra un ejemplo sobre la generación de la señal $P_INTK1K2_OUT_H$. En ésta se observa que después de $375 \mu s$ (3 tramas) donde se mantienen los valores de los bytes K1 y K2, la señal $P_INTK1K2_OUT_H$ cambia de '0' a '1' y las salidas P_K1_OUT y P_K2_OUT son actualizadas con el nuevo código. El cambio de la señal $P_INTK1K2_OUT_H$ de '1' a '0' se da cuando se realiza la lectura de los bytes K1 y K2, esto es, cuando se recibe un nivel alto en la señal $P_RDK1K2_IN_H$. Es importante señalar que si la interrupción no es atendida antes de que se tenga un nuevo código de filtrado las salidas P_K1_OUT y P_K2_OUT cambian al nuevo código permaneciendo activa la señal de interrupción.

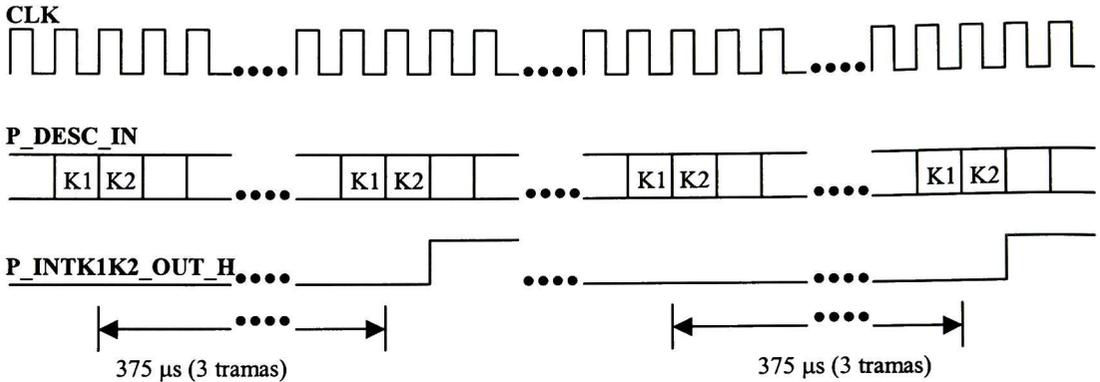


Figura 21. Formas de onda de la señal de salida P_INTK1K2_OUT_H

3.4.6 Detector de AIS-L

El detector de AIS-L declara la alarma cuando un patrón de bits ‘111’ es observado durante 3 ó 5 tramas consecutivas en los bits 6, 7 y 8 del byte K2 y la termina cuando un patrón de bits diferente es observado por el mismo número de tramas consecutivas. Para esta función el bloque hace uso de una máquina de estados del mismo tipo a la utilizada para la detección de inconsistencia del byte APS (ver Figura 18), y un contador de 3 bits. El funcionamiento de esta máquina con los cambios requeridos es explicado a continuación.

- **Estado C:** La máquina se encuentra en el estado C al inicializarse el componente o cuando los bits 6, 7 y 8 del byte K2 son diferentes a “111” (K2_frame_s \neq “111”). En este estado se realiza la terminación de la alarma. Para ello, utiliza un contador, el cual lleva el número de tramas consecutivas con un patrón diferente a “111”

Entrada: Bits 6, 7 y 8 del byte K2 (K2_frame_s [7:5]).

Salida: Terminación de la alarma AIS-L (P_AISL_OUT_H = ‘0’). La alarma es terminada si un patrón de bits diferente a “111” se mantiene por 2 o 4 tramas consecutivas más (AISL_counte_v = 2 ó 4). Si la alarma es terminada el contador es inicializado.

Transición: El cambio al estado F ocurre cuando se recibe un patrón de bits “111” (K2_frame_s [7:5] = “111”). Es importante señalar que la transición se realiza aún si la alarma no ha sido terminada.

- **Estado F:** En este estado se realiza la detección de la alarma AIS-L. Para ello, se utiliza el mismo contador del estado C (AISL_counter_v). En este caso, el contador lleva la cuenta de los patrones de bits “111” que se reciben.

Entrada: Bits 6, 7 y 8 del byte K2 (K2_frame_s [7:5]).

Salida: Alarma AIS-L (P_AISL_OUT_H = ‘1’). La alarma se genera si el patrón de bits “111” permanece por 2 o 4 tramas consecutivas más (AISL_counte_v = 2 o 4). Si la alarma es detectada el contador es inicializado.

Transición: La transición al estado C ocurre cuando se recibe un patrón de bits diferente a “111” ($K2_frame_s \neq “111”$). Al realizarse la transición el contador es inicializado.

En el ejemplo de la Figura 22 se observa la generación y terminación de la señal $P_AISL_OUT_H$ para un filtrado de 3 tramas. En ésta se observa que después de $375 \mu s$ (3 tramas), en los que se recibió el patrón de bits “111”, la señal $P_AISL_OUT_H$ cambia de ‘0’ a ‘1’. Una vez que el patrón “111” no esta presente durante 3 tramas consecutivas la alarma es terminada ($P_AISL_OUT_H = ‘0’$).

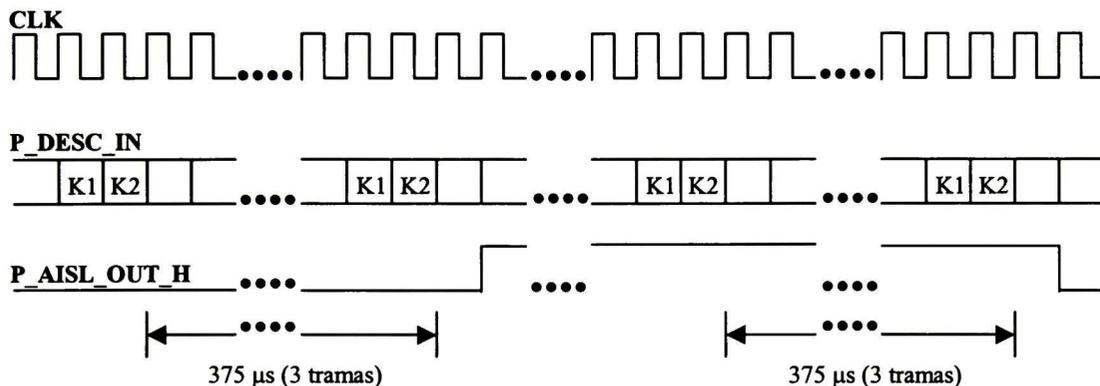


Figura 22. Formas de onda de la señal de salida $P_AISL_OUT_H$

3.4.7 Detector de RDI-L

El detector de RDI-L declara la alarma cuando un patrón de bits ‘110’ es observado durante 3 ó 5 tramas consecutivas en los bits 6, 7 y 8 del byte K2 y la termina cuando un patrón de bits diferente es observado durante el mismo número de tramas consecutivas. La máquina de estados para la detección y terminación de esta alarma y su funcionamiento es similar a la utilizada en la alarma AIS-L por lo que se omite su explicación. Los únicos cambios son el patrón de bits (“110” por “111”), la señal de alarma ($P_RDIL_OUT_H$ por $P_AISL_OUT_H$) y el contador ($RDIL_counter_v$ por $AISL_counter_v$).

La Figura 23 muestra un ejemplo sobre la generación y terminación de la señal $P_RDIL_OUT_H$ para un filtrado de 3 tramas. Este ejemplo es, también, similar al dado en la generación y terminación de la alarma AIS-L por lo que se omite su explicación.

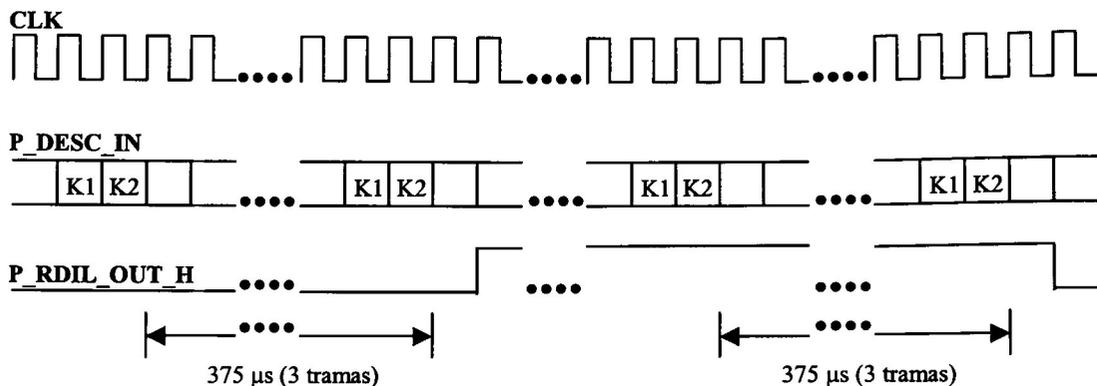


Figura 23. Formas de onda de la señal de salida P_RDIL_OUT_H

3.5 Preprocesador de S1

El preprocesador de S1 detecta cuando los bits 5, 6, 7 y 8 del byte S1 en dos tramas consecutivas presentan algún bit diferente (sin filtrado) o cuando durante 3, 5 u 8 tramas consecutivas un nuevo valor idéntico ha llegado. Los bits 1 a 4 no están definidos y no son usados en el componente. El diagrama de bloque y las señales de entrada y salida son mostrados en la Figura 24 y la Tabla 8 respectivamente. La descripción en VHDL de este submódulo se encuentra en el CD anexo en el archivo S1.vhd.

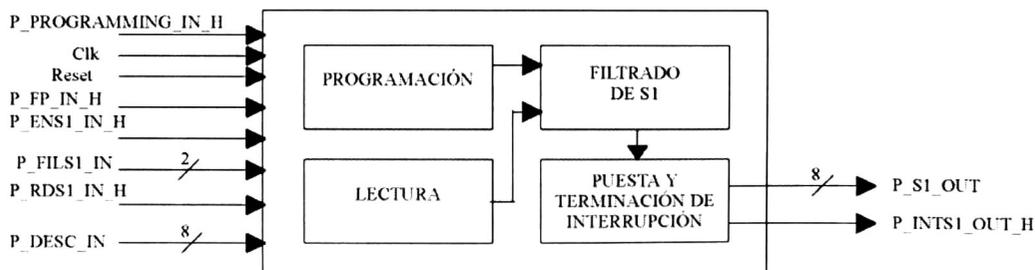


Figura 24. Preprocesador de S1

Entradas	Descripción	Interconexión
Clk	Señal de reloj. Esta señal proporciona el tiempo para procesar el byte S1 recibido. El reloj está nominalmente a 6.48 Mhz (STS-1), 19.44 Mhz (STS-3) o 77.76 (STS-12) dependiendo de la señal STS-N/Nc a procesar.	Reloj del sistema.
Reset	Activa alta. Esta señal proporciona un reset asíncrono al preprocesador del byte S1. La señal debe estar en un nivel alto durante 2 ciclos de reloj de una señal STS-1.	Reset del sistema.
P_FILS1_IN	Dato de entrada de 2 bits que permite la selección del filtrado del byte S1.	Módulo de OAM.

	00 Sin filtrado 01 Filtrado de 3 tramas 10 Filtrado de 5 tramas 11 Filtrado de 8 tramas La selección de filtrado debe estar presente antes del pulso de programación.	
P_PROGRAMMING_IN_H	Activa alta. Esta señal programa el filtrado del byte S1 de acuerdo a la señal de entrada P_FILS1_IN.	Módulo de OAM.
P_FP_IN_H	Activa alta. Señal de indicación de sincronización de trama. Esta señal se encuentra en un nivel alto durante el ciclo de reloj que el byte J0 se encuentra en el flujo de datos (P_DESC_IN = J0).	Framer.
P_ENS1_IN_H	Activa alta. Esta señal indica al preprocesador que el byte S1 está presente en el flujo de datos.	Habilitador de lectura de bytes.
P_RDS1_IN_H	Activa alta. Señal de indicación de lectura del nuevo código de S1.	Módulo de OAM.
P_DESC_IN [7:0]	Bus de bytes seriales de la trama.	RSOH.
Salidas	Descripción	Interconexión
P_INTS1_OUT_H	Activa alta. Señal de indicación de nuevo código en el byte S1. Un '1' en esta señal indica que los dos últimos bytes son diferentes o que se ha cumplido con un filtrado.	Módulo de OAM.
P_S1_OUT [7:0]	Byte de salida con el nuevo código del byte S1. Este byte es sacado junto con la señal de indicación P_INTS1_OUT_H. Si el byte no es leído antes de obtener un nuevo código éste es actualizado.	Módulo de OAM.

Tabla 8. Señales de entrada y salida del preprocesador del byte S1

3.5.1 Programación

Este bloque se encarga de la programación del filtrado del byte S1 cuando se recibe un nivel alto en la señal P_PROGRAMMING_IN_H. La selección puede ser sin filtrado o con filtrado durante 3, 5 u 8 tramas consecutivas de acuerdo a la señal P_FILS1_IN (ver Tabla 8). Los valores programados en el contador de bytes dependen de la selección de filtrado. Sin filtrado S1_counter_v = 0, para un filtrado de 3 tramas S1_counter_v = 2, para un filtrado de 5 tramas S1_counter_v = 4 y para un filtrado de 8 tramas S1_counter_v = 7. Una explicación detallada del porqué de los valores de programación se da en el bloque de filtrado de S1 (3.5.3).

3.5.2 Lectura

El bloque de lectura se encarga de leer el byte S1 del flujo de datos. Cuando se recibe un nivel alto en la señal P_ENS1_IN_H el byte S1 está presente en la entrada P_DESC_IN.

3.5.3 Filtrado del byte S1

Este bloque realiza la detección de cambios o el filtrado de los bits 5, 6, 7 y 8 del byte S1 por 3, 5 u 8 tramas consecutivas, lo anterior de acuerdo a la programación de filtrado. Para desarrollar su función el bloque utiliza también una máquina de dos estados, del mismo tipo a la usada anteriormente (ver Figura 18), y un contador de tres bits. El funcionamiento de la máquina con los cambios requeridos es explicado a continuación.

- **Estado C:** La máquina se encuentra en el estado C al inicializarse el componente y permanece si no se realiza filtrado o si los bytes S1 son iguales ($P_FILS1_IN = "00"$ OR $S1_before_s = S1_frame_s [7:4]$).

Entrada: Byte S1 ($S1_frame_s [7:4]$).

Salida: Señal de interrupción y byte S1 con el nuevo código ($INTS1_s = '1'$ y $S1_new_s$). El byte es leído por el bloque de puesta y terminación de la interrupción (3.5.4) si se genera la señal de interrupción. Esta señal es generada si no se está realizando filtrado y los dos últimos bytes S1 son diferentes ($S1_before_s \neq S1_frame_s [7:4]$).

Transición: La transición al estado F ocurre cuando se detecta algún cambio en el byte y se tiene que realizar filtrado ($S1_before_s \neq S1_frame_s [7:4]$ AND $P_FILS1_IN \neq "00"$).

- **Estado F:** En este estado se realiza el filtrado del byte. Cualquier cambio de valor en el byte dentro del estado F inicializa el contador para detectar si ese nuevo valor cumple con el filtrado.

Entrada: Byte S1 ($S1_frame_s [7:4]$).

Salida: Señal de interrupción y byte S1 con el nuevo código ($INTS1_s = '1'$ y $S1_new_s$). La salida es similar a la del estado C con la única diferencia de que la señal de interrupción es generada si el valor que ocasionó la transición de estado permanece por 2, 4 o 7 tramas consecutivas más ($S1_counter_v = 2, 4$ o 7).

Transición: La transición al estado C se presenta cuando se generan las salidas ($S1_counter_v = \text{filtrado}$).

En este bloque se puede ver la utilidad de aprovechar la transición del estado C al F para que el contador realice una cuenta menos, ya que de no hacerlo se hubiese requerido un contador de 4 bits para realizar el filtrado de 8 tramas.

3.5.4 Puesta y terminación de la interrupción

Este bloque genera la interrupción y saca el byte S1 cuando se cumple con el filtrado de éste o cuando se detectan cambios en el byte en dos tramas consecutivas, de acuerdo a la programación de filtrado. El bloque también se encarga de terminar la interrupción una vez que el byte es leído. Para desarrollar su función utiliza una máquina de estados del mismo tipo a la usada en la puesta y terminación de la interrupción de K1 y K2 (ver Figura 20), por lo que su funcionamiento es similar. La única diferencia es en la señal de interrupción, la

salida de datos del byte filtrado y la señal de lectura, las cuales para este caso son P_INTS1_OUT_H, P_S1_OUT y P_RDS1_IN_H respectivamente.

En la Figura 25 puede observarse un ejemplo de la generación de la señal P_INTS1_OUT_H sin filtrado. Se supone que el primer byte S1 recibido es diferente al de la trama siguiente con lo que se realiza un cambio en la señal P_INTS1_OUT_H de '0' a '1' y la salida P_S1_OUT es actualizada con el nuevo valor del byte S1. Una vez atendida la interrupción la señal P_INTS1_OUT_H regresa a '0'. Posteriormente se recibe un nuevo valor en el byte con lo que se genera una nueva interrupción y un nuevo valor de S1. Es importante señalar que si la interrupción no es atendida antes de que se tenga un cambio en el byte o se tenga un nuevo filtrado el byte de salida, la salida P_S1_OUT cambia al nuevo código permaneciendo activa la interrupción.

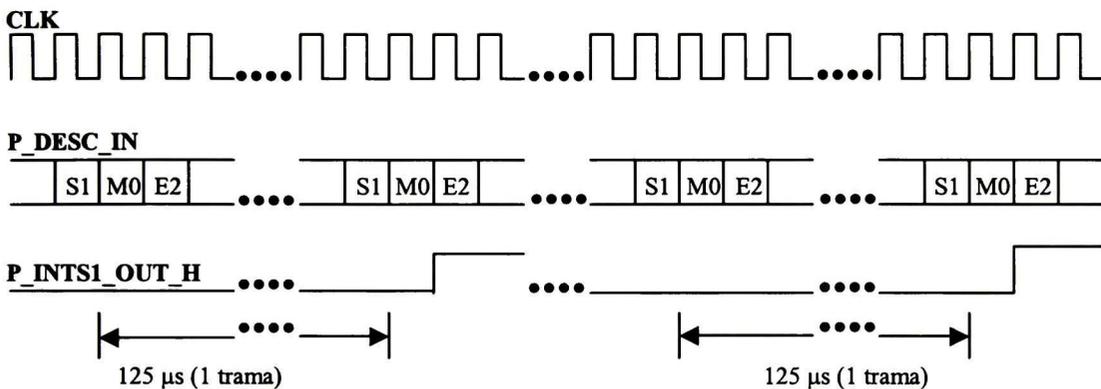


Figura 25. Formas de onda de la señal de salida P_INTS1_OUT_H

3.6 Procesador del byte M0/M1

El procesador del byte M0/M1 se encarga de realizar una función de reporte de errores del extremo distante. Esta función consiste en validar el número de errores extraídos del byte y realizar la acumulación de éstos. Para desarrollar las funciones antes mencionadas el procesador hace uso de los bloques mostrados en la Figura 26. Las señales de entrada y salida de estos bloques y la descripción en VHDL se muestran en la Tabla 9 y en el CD anexo en el archivo M0M1.vhd respectivamente.

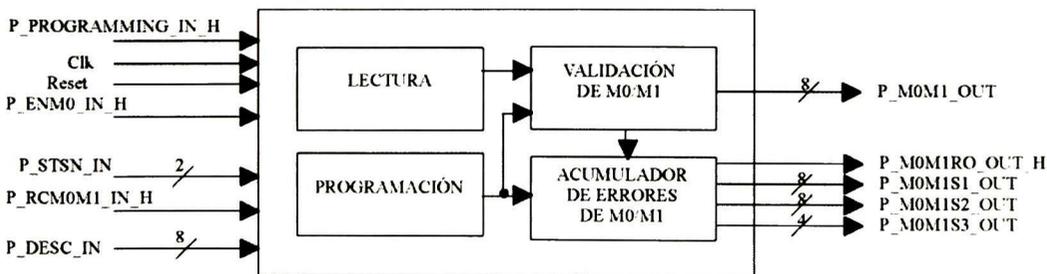


Figura 26. Procesador de M0/M1

Entradas	Descripción	Interconexión
Clk	Señal de reloj. Esta señal proporciona el tiempo para procesar el byte M0/M1 recibido. El reloj está nominalmente a 6.48 Mhz (STS-1), 19.44 Mhz (STS-3) o 77.76 (STS-12) dependiendo de la señal STS-N/Nc a procesar.	Reloj del sistema.
Reset	Activa alta. Esta señal proporciona un reset asíncrono al preprocesador del byte M0/M1. La señal debe estar en un nivel alto durante 2 ciclos de reloj de una señal STS-1.	Reset del sistema.
P_STSN_IN	Señal de dos bits que permite la selección de la señal STS-N/Nc para su procesamiento. 00 STS-1 01 STS-3 10 STS-12 La selección de trama debe estar presente antes del pulso de programación.	Módulo de OAM.
P_PROGRAMMING_IN_H	Activa alta. Esta señal programa la posición del bit de <i>rollover</i> en el acumulador y el número máximo de errores del byte M0/M1.	Módulo de OAM.
P_ENM0M1_IN_H	Activa alta. Esta señal indica al preprocesador que el byte M0/M1 está presente en el flujo de datos.	Habilitador de lectura de bytes.
P_RCM0M1_IN_H	Activa alta. Señal de reset del acumulador de errores del extremo distante. Una lectura de la acumulación de errores (P_RCM0M1_IN_H = '1') ocasiona que en el siguiente procesamiento del M0/M1 el acumulador sea inicializado.	Módulo de OAM.
P_DESC_IN [7:0]	Bus de bytes seriales de la trama.	RSOH.
Salidas	Descripción	Interconexión
P_M0M1_OUT [7:0]	Byte de salida con el número de errores del extremo distante validados.	Módulo de OAM.
P_M0M1S1_OUT [7:0]	Dato de salida con los 8 bits menos significativos del acumulador de errores.	Módulo de OAM.
P_M0M1S2_OUT [7:0]	Dato de salida con los bits 9 a 15 del acumulador de errores.	Módulo de OAM.
P_M0M1S3_OUT [3:0]	Dato de salida con los 4 bits más significativos del acumulador de errores.	Módulo de OAM.
P_M0M1RO_OUT_H	Activa alta. Señal de indicación de <i>rollover</i> del acumulador. Un '1' en esta señal indica que la acumulación de errores del extremo distante ha sido excedida.	Módulo de OAM.

Tabla 9. Señales de entrada y salida del procesador del byte M0/M1

3.6.1 Bit de *rollover* y número máximo de errores

Este bloque se encarga de fijar el bit de *rollover* y el número máximo posible de errores de acuerdo a la trama a procesar. Cuando se recibe un nivel alto en la señal P_PROGRAMMING_IN_H los valores de posición del bit de *rollover* y del número máximo son fijados. Estos valores se muestran en la Tabla 10.

Señal	Posición del bit de <i>rollover</i>	Número máximo de errores
STS-1	16	8
STS-3	18	24
STS-12	20	96

Tabla 10. Valores de posición del bit de *rollover* y del máximo de errores

3.6.2 Lectura

El bloque de lectura se encarga de leer el byte M0 o M1 del flujo de datos. Cuando se recibe un nivel alto en la señal P_ENM0M1_IN_H el byte M0 o M1 está presente en la entrada P_DESC_IN.

3.6.3 Validación de M0/M1

Este bloque valida y saca el byte M0/M1 a través de P_M0M1_OUT. La validación consiste en determinar que los errores extraídos del byte no excedan del valor máximo posible, esto es, que para una STS-1 no sea mayor de 8, para una STS-3 no sea mayor de 24 y para una STS-12 no sea mayor de 96. Si el número de errores excede del máximo éstos son interpretados como cero errores.

3.6.4 Acumulador de errores del byte M0/M1

El bloque está formado por un acumulador de errores de 21 bits, el cual lleva la cuenta del número de errores del extremo distante. Este acumulador está ligado con la validación del byte M0/M1. Si los errores no exceden del máximo, se lleva a cabo la acumulación de errores y las salidas P_M0M1S1_OUT, P_M0M1S2_OUT y P_M0M1S3_OUT son actualizadas con el nuevo valor. Si los errores exceden del máximo o si no se detectaron errores del extremo distante, las salidas antes mencionadas permanecen igual. Cuando se recibe la señal P_RCM0M1_IN_H, la cual indica la lectura de los errores acumulados, el acumulador es inicializado antes de realizar la siguiente acumulación.

El bloque cuenta también con un bit de *rollover*. Éste es el bit más significativo del acumulador y se presenta a través de la señal de salida P_M0M1RO_OUT_H.

La justificación sobre el número de bits y el margen de lectura del acumulador de errores del extremo distante es similar a la del acumulador de errores de bits (3.3.7) por lo que se omite su explicación.

3.7 Codificación

La descripción de cada una de las arquitecturas de los submódulos se codificó utilizando VHDL. Algunos de los parámetros más importantes de esta codificación se muestran en la Tabla 11.

Archivo	No. de entidades	No. de procesos	No. de líneas de código
Enabler.vhd	1	9	277
B2.vhd	3	7	1091
K1K2.vhd	1	8	287
S1.vhd	1	4	145
M0M1.vhd	1	5	121
M5OH.vhd	8	33	2278

Tabla 11. Resultados de la codificación

4 Verificación funcional y síntesis

4.1 Introducción

La verificación funcional es un proceso que muestra el cumplimiento de la especificación de requerimientos. Su propósito es asegurar que un diseño implementa la funcionalidad proyectada, es decir, asegura que un diseño esté “libre de errores”

En este capítulo se describen los pasos seguidos para la verificación funcional del procesador de la MSOH. Primero se describe de manera general lo que es una cama de pruebas y como ésta interactúa con el diseño bajo verificación (DUV, *Design Under Verification*). Enseguida se analiza el plan de pruebas determinando el nivel de granularidad y la técnica usada para la verificación del diseño, lo cual nos lleva a realizar los casos de prueba. Finalmente se muestra la cama de pruebas para la verificación funcional de los submódulos y del componente y se da una explicación de los bloques que la forman, haciendo énfasis en el funcionamiento del generador de estímulos.

Finalmente, en este capítulo se aborda la parte de síntesis de cada uno de los submódulos y del componente, lo cual es el siguiente paso una vez realizada la verificación funcional.

4.2 Cama de pruebas

El término cama de pruebas (*testbench*) usualmente se refiere al código usado para crear una secuencia predeterminada de entrada a un diseño y para observar su respuesta. La cama de pruebas, es usada para verificar la especificación funcional de un diseño. Esta provee los estímulos para el DUV y analiza las respuestas o las almacena en un archivo. La información necesaria para generar los estímulos puede ser integrada directamente en la cama de pruebas o puede ser cargada desde un archivo externo.

La Figura 27 muestra cómo una cama de pruebas interactúa con un DUV. La cama de pruebas proporciona las entradas al diseño y monitorea algunas salidas.

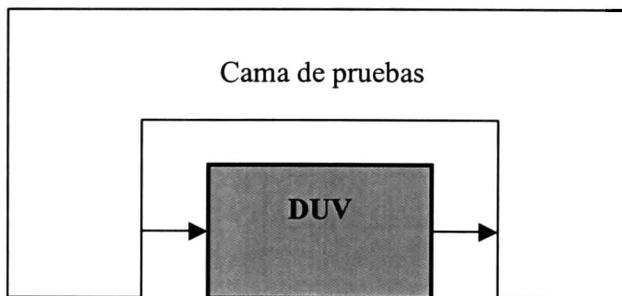


Figura 27. Arquitectura de una cama de pruebas y un diseño bajo verificación

4.3 Plan de verificación

El plan de verificación es un mecanismo mediante el cual se asegura que todas las características esenciales sean verificadas apropiadamente. En éste se identifican las partes

del diseño que se deben verificar, la cantidad de casos de prueba que deben realizarse, su complejidad y dependencia.

El nivel de granularidad utilizado para la verificación funcional del procesador de la MSOH es: verificación de nivel de unidad y verificación de nivel de sistema. Dentro del primer nivel cae la verificación de los procesadores de B2 y M0/M1 y los preprocesadores de K1, K2 y S1, puesto que el objetivo, en este caso, es asegurarse que no existan errores de sintaxis en el código RTL y que la funcionalidad sea correcta. Dentro de la verificación de nivel de sistema se encuentra el procesador de la MSOH, puesto que únicamente la verificación se centra en las interacciones entre las unidades de diseño que lo forman.

La cama de pruebas puede ser configurada para la ejecución de diversos casos de pruebas. En estos casos de prueba la verificación funcional utilizada es de caja gris. La verificación de caja gris permite controlar y observar el diseño desde un nivel alto y a la vez verificar partes específicas. En ésta se tiene un conocimiento de la arquitectura pero la verificación se realiza a través de las interfaces disponibles sin tener acceso directo a la implementación del diseño.

Los casos de prueba son mostrados en el Apéndice A. En estos se hace referencia a los requerimientos que serán probados y a la configuración del submódulo o componente. En el preprocesamiento de K1 y K2 y el preprocesamiento de S1 no es necesario realizar la verificación para los tres tipos de señales puesto que no hacen distinción entre éstas.

4.4 Arquitectura de la cama de pruebas del componente

La Figura 28 muestra la cama de pruebas usada para verificar la funcionalidad de los procesadores, preprocesadores y del componente. Esta proporciona los estímulos para el DUV a través de archivos de texto externos (excepto para el procesador de M0/M1) y almacena las respuestas en archivos de salida. A continuación se da una explicación de los bloques que la forman.

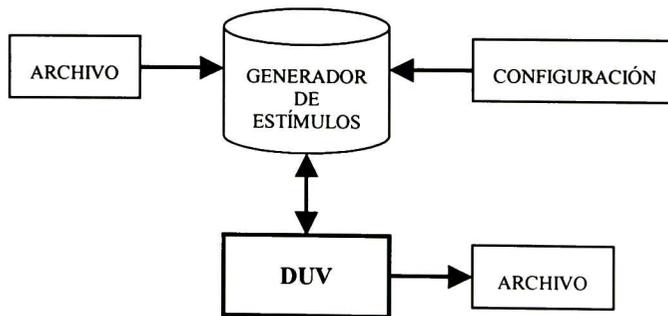


Figura 28. Cama de pruebas de los submódulos y del componente

4.4.1 Configuración

Este bloque se encarga de pasarle al generador de estímulos de la cama de pruebas los valores de configuración del DUV y la manera en que debe operar. Los parámetros de configuración y operación para los procesadores, preprocesadores y el componente son los siguientes:

- **Generales**

- Diseño a verificar

- Señal STS1, STS-3 o STS-12

- Archivo de entrada

- Archivo de salida

- **Procesador de B2**

- Tamaño de bloque

- Umbral de detección de SF

- Umbral de detección de SD

- Datos de los bytes de la trama, exceptuando B2

- **Preprocesador de K1 y K2**

- Filtrado de las alarmas AIS-L y RDI-L

- Atención o no de la interrupción

- **Preprocesador de S1**

- Filtrado del byte

- Atención o no de la interrupción

- **Procesador de M0/M1**

- Únicamente requiere los parámetros generales, exceptuando el archivo de entrada

- **Componente**

- Todas las anteriores.

Los valores de los parámetros anteriores son mostrados en el apartado de configuración del apéndice A para cada caso de prueba. Estos parámetros son escritos en el archivo configuracion.vhd el cual se encuentra en el CD anexo.

4.4.2 Archivos de entrada/salida

En VHDL es permitido cargar o guardar datos a un archivo. La ventaja de su utilización es que permiten a la cama de pruebas generar secuencias de estímulos y almacenar las respuestas del DUV.

La verificación funcional de los procesadores, preprocesadores y el componente utilizan un archivo de texto de entrada para sus diferentes casos de prueba y cada caso de prueba genera un archivo de salida. Los archivos de entrada y salida para cada caso de prueba son mostrados en el apéndice A.

4.4.3 Generador de estímulos

Este bloque se encarga de generar los estímulos para alimentar el DUV de acuerdo a los valores dados por el bloque de programación. Esta generación la realiza internamente y a

través de un archivo de entrada. Dentro de los estímulos generados internamente están el pulso de programación, la señal de reset, el reloj, la señal de sincronización de trama y, en el caso del procesador de M0/M1, los bytes M0 o M1.

Los archivos de entrada los utiliza la cama de pruebas para leer los bytes correspondientes al DUV. Para realizar esta lectura, la cama de pruebas cuenta con un contador de bytes. Este contador permite saber cuando los bytes deben ser leídos del archivo de entrada. El ciclo de reloj siguiente a la lectura el byte es sacado para ser leído por el DUV.

Algunas otras características propias del generador de estímulos para cada DUV son mostradas a continuación:

- **Procesador de B2:** En la verificación del procesador de B2, además de lo descrito anteriormente, se cuenta con un contador para generar la señal de lectura de los acumuladores de errores de bits y bloque. Esta señal es generada cada 8000 tramas (1 seg.) para inicializar los acumuladores.
- **Preprocesador de K1 y K2 y Preprocesador de S1:** En el caso de la verificación de estos dos preprocesadores se cuenta, además, con una señal de lectura de los bytes que cumplen con el filtrado. Esta señal es generada de acuerdo a la opción elegida en el bloque de programación y si el DUV tiene activa la señal de interrupción. Esto es, la señal de interrupción del DUV es leída por el generador de estímulos para determinar la activación de la señal de lectura de los bytes.
- **Procesador de M0/M1:** Para la verificación de este procesador se cuenta, al igual que el procesador de B2, con una señal de salida de lectura del acumulador. Los bytes M0/M1, como se mencionó anteriormente, son generados internamente, esto es, los errores del extremo distante se obtienen haciendo un corrimiento de bit circular, empezando con un error.
- **Componente:** En la verificación del componente se reúnen todas las características descritas anteriormente.

4.5 Síntesis

La síntesis es el paso siguiente una vez se ha realizado la verificación funcional del diseño cumpliendo con la especificación de requerimientos. La síntesis es la transformación de una descripción abstracta en una más detallada. En general, el término síntesis es usado para la transformación automática de descripciones RTL en representaciones de nivel de compuerta. La descripción realizada en VHDL de los submódulos y del componente fue sintetizada y optimizada utilizando Synopsys. Esta síntesis arrojó los resultados mostrados en la Tabla 12, los cuales fueron obtenidos utilizando la librería FLEX-10K100 que es con la que se cuenta en el CINVESTAV.

Archivo	Retardo crítico (ns)	Tiempo de violación para una STS-12 (ns)	No. de celdas	Tiempo de síntesis (min.)	No. de compuertas (aprox.)	Porcentaje utilizado del FLEX-10K100
Enabler.vhd	19.67	6.81	120	1.8	2000	2 %
B2.vhd	13.79	0.93	1340	3	26000	26 %
K1K2.vhd	7.85	--	154	1.5	3000	3 %
S1.vhd	6.60	--	69	1.7	1000	1 %
M0M1.vhd	14.53	1.67	167	2.5	3000	3 %
M5OH.vhd	19.67	6.81	1857	10.5	37000	37 %

Tabla 12. Resultados obtenidos de la síntesis

Para concluir este capítulo se agradece la colaboración del Ing. Javier Vázquez Castillo en la verificación funcional de los componentes.

Conclusiones

Se ha diseñado un circuito VLSI para el procesamiento de la MSOH de tramas SONET/SDH para señales STS-1/STM-0 a STS-12/STM-4 con las características siguientes:

- Procesa los bytes B2 y M0/M1 de una trama SONET/SDH para señales STS-1/STM-0, STS-3/STM-1 y/o STS-12/STM-4
- Preprocesa los bytes K1, K2 y S1 de una trama SONET/SDH para señales STS-1/STM-0, STS-3/STM-1 y/o STS-12/STM-4
- Procesa o preprocesa los bytes seriales de la MSOH a 6.48 Mbps, 19.44 Mbps o 77.76 Mbps de acuerdo a la configuración
- Realiza la detección de errores de línea de cada STS-1 de la trama
- Realiza la acumulación de errores de bit y bloque de la trama de llegada con un tamaño de bloque configurable como una STS-1 o STS-3
- Detecta las condiciones de falla de señal o degradación de señal, las cuales son configurables de 10^{-3} a 10^{-5} y 10^{-5} a 10^{-7} respectivamente
- Filtra los bytes de conmutación de protección automática
- Detecta las alarmas AIS-L y RDI-L con filtrado configurable de 3 ó 5 tramas consecutivas
- Detecta cambios en el mensaje de estado de sincronización o lo filtra durante 3, 5 u 8 tramas consecutivas de acuerdo a la configuración
- Valida y acumula los errores del extremo distante
- Entrega los bytes seriales que componen la trama procesada.

En base a los objetivos planteados de la tesis los resultados obtenidos fueron los siguientes:

- La especificación de requerimientos para cada submódulo de acuerdo a la ITU
- El diseño de un componente VLSI para el procesamiento de la MSOH de una trama SONET/SDH para velocidades de hasta 622.08 Mbps (STS-12/STM-4)
- Una arquitectura flexible la cual permite alcanzar velocidades mayores a 622.08 Mbps
- La programación en aspectos como: tamaño de bloque en la detección de errores de bloque, umbral del BER para las condiciones SF y SD y filtrado de los bytes K2 y S1. Algunos circuitos con esta funcionalidad que se encuentran en el mercado no son configurables o programables para ciertas condiciones. En este trabajo, se resuelve este problema
- La implementación de cada submódulo usando VHDL
- La verificación funcional de cada submódulo y a nivel de componente

- La síntesis y simulación de cada submódulo y a nivel de componente usando synopsys.

Otro logro importante es que esta librería actualmente es utilizada en el diseño de un NE ADM STS-48/STM-16 a 2.5 Gbps.

Este trabajo de tesis también ha sido presentado en los siguientes congresos:

- **IEEE ROC&C 2001.** 12^a Reunión de Otoño de Comunicaciones, Computación, Electrónica y Exposición Industrial, en Acapulco, Guerrero, México, en Octubre de 2001 bajo el título “*Desarrollo de una librería básica de componentes para el diseño de elementos de red SDH/SONET para señales STM-1/STS-3c/3xSTS-1*”, desarrollado por: Redondo, A., Maldonado, J., Aburto, L., Aguirre J., Medina S., Torres D. y Guzmán, M. E.
- **IBERCHIP IWS2002.** VIII Workshop Internacional Iberchip, en Guadalajara, Jalisco, México en Abril de 2002 bajo el título “*MSOH Proccesing for STM-0/STS-1 to STM-4/STS-12: Component of a SDH/SONET library*”, desarrollado por: Redondo, A., Torres, D. y Guzmán, M. E.

Como trabajo futuro se pueden implementar las características siguientes:

- Generación de los bytes B2, K1, K2, S1 y M0/M1
- Velocidades mayores a 622.08 Mbps
- Procesamiento de los bytes K1, K2 y S1.

Apéndice A

A.1 Procesador de B2

A.1.1 Prueba 1

Objetivos: Para una señal STS-1 verificar lo siguiente.

Descripción	Requerimientos
Detección de errores de bits de la trama	[R_MSOH:1]
Detección de errores de bits de cada STS-1	[R_MSOH:2]
Detección de errores de bloque	[R_MSOH:3]
Acumulación de errores de bits	[R_MSOH:5]
Acumulación de errores de bloque	[R_MSOH:7]
Detección y terminación de SF	[R_MSOH:11] y [R_MSOH:13]
Detección y terminación de SD	[R_MSOH:14] y [R_MSOH:16]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	B
Señal	sts1
Archivo de entrada	Bytes_B2_STS1.txt
Archivo de salida	P1_B2.csv
Tamaño de bloque	'0' (STS-1)
Umbral de detección de SF	BER_3
Umbral de detección de SD	BER_5
Bytes de trama exceptuando B2	00000000

Tiempo mínimo de ejecución: 1 s.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

Salidas	Trama no. 1	...	Trama no. 20	...	Trama no. 24	...	Trama no. 136	...	Trama no. 800	...	Trama no. 8800
P_B2E1_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000

P_B2E2_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E3_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E4_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E5_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E6_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E7_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E8_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E9_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E10_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E11_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E12_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2EF_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2BE_OUT	0001	...	0001	...	0000	...	0000	...	0000	...	0000
P_B2ES1_OUT	00001000	...	10100000	...	10100000	...	10100000	...	10100000	...	10100000
P_B2ES2_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2ES3_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_BERRO_OUT_H	0	...	0	...	0	...	0	...	0	...	0
P_B2BE1_OUT	00000001	...	00010100	...	00010100	...	00010100	...	00010100	...	00010100
P_B2BE2_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2BE3_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_BERO_OUT_H	0	...	0	...	0	...	0	...	0	...	0
P_SF_OUT_H	0	1	...	0	...	0	...	0
P_SD_OUT_H	0	...	0	...	0	...	0	...	1	...	0

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P1_B2.csv.

A.1.2 Prueba 2

Objetivos: Para una señal STS-1 verificar lo siguiente.

Descripción	Requerimientos
Detección de errores de bits de la trama	[R_MSOH:1]
Detección de errores de bits de cada STS-1	[R_MSOH:2]
Detección de errores de bloque	[R_MSOH:3]
Acumulación de errores de bits	[R_MSOH:5]
Acumulación de errores de bloque	[R_MSOH:7]
Detección y terminación de SF	[R_MSOH:11] y [R_MSOH:13]

P_BERRO_OUT_H	0	...	0	...	0	...	0	...	0	...	0
P_B2BE1_OUT	00000001	...	00010100	...	00010100	...	00010100	...	00010100	...	00010100
P_B2BE2_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2BE3_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_BERO_OUT_H	0	...	0	...	0	...	0	...	0	...	0
P_SF_OUT_H	0	1	...	0	...	0	...	0
P_SD_OUT_H	0	...	0	...	0	...	0	...	1	...	0

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P2_B2.csv.

A.1.3 Prueba 3

Objetivos: Para una señal STS-3 verificar lo siguiente.

Descripción	Requerimientos
Detección de errores de bits de la trama	[R_MSOH:1]
Detección de errores de bits de cada STS-1	[R_MSOH:2]
Detección de errores de bloque	[R_MSOH:3]
Acumulación de errores de bits	[R_MSOH:5]
Acumulación de errores de bloque	[R_MSOH:7]
Detección y terminación de SF	[R_MSOH:11] y [R_MSOH:13]
Detección y terminación de SD	[R_MSOH:14] y [R_MSOH:16]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	B
Señal	sts3
Archivo de entrada	bytes_B2_STS3.txt
Archivo de salida	P3_B2.csv
Tamaño de bloque	'0' (STS-1)
Umbral de detección de SF	BER_3
Umbral de detección de SD	BER_5

Bytes de trama exceptuando B2	00000000
-------------------------------	----------

Tiempo mínimo de ejecución: 1 s.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

Salidas	Trama no. 1	...	Trama no. 20	...	Trama no. 24	...	Trama no. 64	...	Trama no. 280	...	Trama no. 3080
P_B2E1_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E2_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E3_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E4_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E5_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E6_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E7_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E8_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E9_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E10_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E11_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E12_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2EF_OUT	00011000	...	00011000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2BE_OUT	0011	...	0011	...	0000	...	0000	...	0000	...	0000
P_B2ES1_OUT	00011000	...	11100000	...	11100000	...	11100000	...	11100000	...	11100000
P_B2ES2_OUT	00000000	...	00000001	...	00000001	...	00000001	...	00000001	...	00000001
P_B2ES3_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_BERRO_OUT_H	0	...	0	...	0	...	0	...	0	...	0
P_B2BE1_OUT	00000011	...	00111100	...	00111100	...	00111100	...	00111100	...	00111100
P_B2BE2_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2BE3_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_BERO_OUT_H	0	...	0	...	0	...	0	...	0	...	0
P_SF_OUT_H	0	1	...	0	...	0	...	0
P_SD_OUT_H	0	...	0	...	0	...	0	...	1	...	0

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P3_B2.csv.

A.1.4 Prueba 4

Objetivos: Para una señal STS-3 verificar lo siguiente.

P_B2E9_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E10_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E11_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E12_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2EF_OUT	00011000	...	00011000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2BE_OUT	0001	...	0001	...	0000	...	0000	...	0000	...	0000
P_B2ES1_OUT	00011000	...	11100000	...	11100000	...	11100000	...	11100000	...	11100000
P_B2ES2_OUT	00000000	...	00000001	...	00000001	...	00000001	...	00000001	...	00000001
P_B2ES3_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_BERRO_OUT_H	0	...	0	...	0	...	0	...	0	...	0
P_B2BE1_OUT	00000001	...	00010100	...	00010100	...	00010100	...	00010100	...	00010100
P_B2BE2_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2BE3_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_BERO_OUT_H	0	...	0	...	0	...	0	...	0	...	0
P_SF_OUT_H	0	1	...	0	...	0	...	0
P_SD_OUT_H	0	...	0	...	0	...	0	...	1	...	0

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P4_B2.csv.

A.1.5 Prueba 5

Objetivos: Para una señal STS-12 verificar lo siguiente.

Descripción	Requerimientos
Detección de errores de bits de la trama	[R_MSOH:1]
Detección de errores de bits de cada STS-1	[R_MSOH:2]
Detección de errores de bloque	[R_MSOH:3]
Acumulación de errores de bits	[R_MSOH:5]
Acumulación de errores de bloque	[R_MSOH:7]
Detección y terminación de SF	[R_MSOH:11] y [R_MSOH:13]
Detección y terminación de SD	[R_MSOH:14] y [R_MSOH:16]

P_B2BE3_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_BERO_OUT_H	0	...	0	...	0	...	0	...	0	...	0
P_SF_OUT_H	0	1	...	0	...	0	...	0
P_SD_OUT_H	0	...	0	...	0	...	0	...	1	...	0

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P5_B2.csv.

A.1.6 Prueba 6

Objetivos: Para una señal STS-12 verificar lo siguiente.

Descripción	Requerimientos
Detección de errores de bits de la trama	[R_MSOH:1]
Detección de errores de bits de cada STS-1	[R_MSOH:2]
Detección de errores de bloque	[R_MSOH:3]
Acumulación de errores de bits	[R_MSOH:5]
Acumulación de errores de bloque	[R_MSOH:7]
Detección y terminación de SF	[R_MSOH:11] y [R_MSOH:13]
Detección y terminación de SD	[R_MSOH:14] y [R_MSOH:16]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	B
Señal	sts12
Archivo de entrada	bytes_B2_STS12.txt
Archivo de salida	P6_B2.csv
Tamaño de bloque	'1' (STS-3)
Umbral de detección de SF	BER_5
Umbral de detección de SD	BER_7
Bytes de trama exceptuando B2	11111111

Tiempo mínimo de ejecución: 2 s.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

Salidas	Trama no. 1	...	Trama no. 20	...	Trama no. 720	...	Trama no. 7920	...	Trama no. 8000	...	Trama no. 16000
P_B2E1_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E2_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E3_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E4_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E5_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E6_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E7_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E8_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E9_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E10_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E11_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2E12_OUT	00001000	...	00001000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2EF_OUT	01100000	...	01100000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2BE_OUT	0001	...	0001	...	0000	...	0000	...	0000	...	0000
P_B2ES1_OUT	01100000	...	10000000	...	10000000	...	10000000	...	10000000	...	10000000
P_B2ES2_OUT	00000000	...	00000111	...	00000111	...	00000111	...	00000111	...	00000111
P_B2ES3_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_BERRO_OUT_H	0	...	0	...	0	...	0	...	0	...	0
P_B2BE1_OUT	00000100	...	01010000	...	01010000	...	01010000	...	01010000	...	01010000
P_B2BE2_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_B2BE3_OUT	00000000	...	00000000	...	00000000	...	00000000	...	00000000	...	00000000
P_BERO_OUT_H	0	...	0	...	0	...	0	...	0	...	0
P_SF_OUT_H	0	1	...	0	...	0	...	0
P_SD_OUT_H	0	...	0	...	0	...	0	...	1	...	0

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P6_B2.csv.

A.2 Preprocesador de K1 y K2

A.2.1 Prueba 1

Objetivos: Para una señal STS-1 con atención de interrupción verificar lo siguiente.

Descripción	Requerimientos
Detección de una inconsistencia del byte APS	[R_MSOH:17] y [R_MSOH:18]
Filtrado de los bytes K1 y K2	[R_MSOH:19]
Detección y terminación de la alarma AIS-L (3 tramas)	[R_MSOH:22]
Detección y terminación de la alarma RDI-L (3 tramas)	[R_MSOH:25]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	K
Señal	sts1
Archivo de entrada	bytes_K1K2.txt
Archivo de salida	P1_K1K2.csv
Filtrado de alarmas	'0' (3 tramas)
Lectura de interrupción	'1' (atender)

Tiempo mínimo de ejecución: 6 ms.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

No. de trama	P_APSI_OUT_H	P_INTK1K2_OUT_H	P_K1_OUT	P_K2_OUT	P_AISL_OUT_H	P_RDIL_OUT_H
12	1	0	00000000	00000000	0	0
13	0	0	00000000	00000000	0	0
16	0	1	10101010	10101010	0	0
17	0	0	10101010	10101010	0	0
25	0	1	11111111	00000000	0	0
26	0	0	11111111	00000000	0	0
28	0	0	11111111	00000000	1	0
33	0	0	11111111	00000000	0	1
38	0	1	00000000	00000000	0	0

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P1_K1K2.csv.

A.2.2 Prueba 2

Objetivos: Para una señal STS-1 sin atención de interrupción verificar lo siguiente.

Descripción	Requerimientos
Detección de una inconsistencia del byte APS	[R_MSOH:17] y [R_MSOH:18]
Filtrado de los bytes K1 y K2	[R_MSOH:19]
Detección y terminación de la alarma AIS-L (5 tramas)	[R_MSOH:20], [R_MSOH:21] y [R_MSOH:22]
Detección y terminación de la alarma RDI-L (5 tramas)	[R_MSOH:23], [R_MSOH:24] y [R_MSOH:25]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	K
Señal	sts1
Archivo de entrada	bytes_K1K2.txt
Archivo de salida	P2_K1K2.csv
Filtrado de alarmas	'1' (5 tramas)
Lectura de interrupción	'0' (no atender)

Tiempo mínimo de ejecución: 6 ms.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

No. de trama	P_APSI_OUT_H	P_INTK1K2_OUT_H	P_K1_OUT	P_K2_OUT	P_AISL_OUT_H	P_RDIL_OUT_H
12	1	0	00000000	00000000	0	0
13	0	0	00000000	00000000	0	0
16	0	1	10101010	10101010	0	0
25	0	1	11111111	00000000	0	0
30	0	1	11111111	00000000	1	0
35	0	1	11111111	00000000	0	1
38	0	1	00000000	00000000	0	1
40	0	1	00000000	00000000	0	0

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P2_K1K2.csv.

A.3 Preprocesador de S1

A.3.1 Prueba 1

Objetivos: Para una señal STS-1 con atención de interrupción verificar lo siguiente.

Descripción	Requerimientos
Detección de cambios en el byte S1 (sin filtrado)	[R_MSOH:26]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	S
Señal	sts1
Archivo de entrada	bytes_S1.txt
Archivo de salida	P1_S1.csv
Filtrado del byte S1	'00' (sin filtrado)
Lectura de interrupción	'1' (atender)

Tiempo mínimo de ejecución: 3 ms.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

No. de trama	P_INTS1_OUT_H	P_S1_OUT
3	1	11110000
4	0	11110000
12	1	00001111
13	0	00001111
13	1	11110000
14	0	11110000
15	1	00000000
16	0	00000000

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P1_S1.csv.

A.3.2 Prueba 2

Objetivos: Para una señal STS-1 sin atención de interrupción verificar lo siguiente.

Descripción	Requerimientos
Detección de cambios en el byte S1 (sin filtrado)	[R_MSOH:26]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	S
Señal	sts1
Archivo de entrada	bytes_S1.txt
Archivo de salida	P2_S1.csv
Filtrado del byte S1	'00' (sin filtrado)
Lectura de interrupción	'0' (no atender)

Tiempo mínimo de ejecución: 3 ms.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

No. de trama	P_INTS1_OUT_H	P_S1_OUT
3	1	11110000
12	1	00001111
13	1	11110000
15	1	00000000

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P2_S1.csv.

A.3.3 Prueba 3

Objetivos: Para una señal STS-1 con atención de interrupción verificar lo siguiente.

Descripción	Requerimientos
Filtrado de 3 tramas del byte S1	[R_MSOH:27]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	S
Señal	sts1
Archivo de entrada	bytes_S1.txt
Archivo de salida	P3_S1.csv
Filtrado del byte S1	'01' (3 tramas)
Lectura de interrupción	'1' (atender)

Tiempo mínimo de ejecución: 3 ms.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

No. de trama	P_INTS1_OUT_H	P_S1_OUT
5	1	11110000
6	0	11110000
17	1	00000000
18	0	00000000

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P3_S1.csv.

A.3.4 Prueba 4

Objetivos: Para una señal STS-1 sin atención de interrupción verificar lo siguiente.

Descripción	Requerimientos
Filtrado de 5 tramas del byte S1	[R_MSOH:28]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	S
Señal	sts1
Archivo de entrada	bytes_S1.txt
Archivo de salida	P4_S1.csv
Filtrado del byte S1	'10' (5 tramas)
Lectura de interrupción	'0' (no atender)

Tiempo mínimo de ejecución: 3 ms.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

No. de trama	P_INTS1_OUT_H	P_S1_OUT
7	1	11110000
19	1	00000000

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P4_S1.csv.

A.3.5 Prueba 5

Objetivos: Para una señal STS-1 con atención de interrupción verificar lo siguiente.

Descripción	Requerimientos
Filtrado de 8 tramas del byte S1	[R_MSOH:29]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	S
Señal	sts1
Archivo de entrada	bytes_S1.txt
Archivo de salida	P5_S1.csv
Filtrado del byte S1	'11' (8 tramas)
Lectura de interrupción	'1' (atender)

Tiempo mínimo de ejecución: 3 ms.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

No. de trama	P_INTS1_OUT_H	P_S1_OUT
10	1	11110000
11	0	11110000
22	1	00000000
23	0	00000000

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P5_S1.csv.

A.4 Procesador de M0/M1

A.4.1 Prueba 1

Objetivos: Para una señal STS-1 verificar lo siguiente.

Descripción	Requerimientos
Validación del byte M0	[R_MSOH:30]
Acumulación de errores del extremo distante	[R_MSOH:31]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	M
Señal	sts1
Archivo de entrada	--
Archivo de salida	P1_M0M1.csv

Tiempo mínimo de ejecución: 3 ms.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

No. de trama	P_M0M1_OUT	P_M0M1RO_OUT_H	P_M0MIS3_OUT	P_M0MIS2_OUT	P_M0MIS1_OUT
1	00000001	0	0000	00000000	00000001
2	00000010	0	0000	00000000	00000011
3	00000100	0	0000	00000000	00000111
4	00001000	0	0000	00000000	00001111
5	00000000	0	0000	00000000	00001111
6	00000000	0	0000	00000000	00001111
7	00000000	0	0000	00000000	00001111
8	00000000	0	0000	00000000	00001111
9	00000001	0	0000	00000000	00010000
10	00000010	0	0000	00000000	00010010
11	00000100	0	0000	00000000	00010110
12	00001000	0	0000	00000000	00011110
13	00000000	0	0000	00000000	00011110
14	00000000	0	0000	00000000	00011110
15	00000000	0	0000	00000000	00011110
16	00000000	0	0000	00000000	00011110

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P1_M0M1.csv.

A.4.2 Prueba 2

Objetivos: Para una señal STS-3 verificar lo siguiente.

Descripción	Requerimientos
Validación del byte M0	[R_MSOH:30]
Acumulación de errores del extremo distante	[R_MSOH:31]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	M
Señal	sts3
Archivo de entrada	--
Archivo de salida	P2_M0M1.csv

Tiempo mínimo de ejecución: 3 ms.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

No. de trama	P_M0M1_OUT	P_M0MIRO_OUT_H	P_M0MIS3_OUT	P_M0MIS2_OUT	P_M0MIS1_OUT
1	00000001	0	0000	00000000	00000001
2	00000010	0	0000	00000000	00000011
3	00000100	0	0000	00000000	00000111
4	00001000	0	0000	00000000	00001111
5	00010000	0	0000	00000000	00011111
6	00000000	0	0000	00000000	00011111
7	00000000	0	0000	00000000	00011111
8	00000000	0	0000	00000000	00011111
9	00000001	0	0000	00000000	00100000
10	00000010	0	0000	00000000	00100010
11	00000100	0	0000	00000000	00100110
12	00001000	0	0000	00000000	00101110
13	00010000	0	0000	00000000	00111110
14	00000000	0	0000	00000000	00111110
15	00000000	0	0000	00000000	00111110
16	00000000	0	0000	00000000	00111110

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P2_M0M1.csv.

A.4.3 Prueba 3

Objetivos: Para una señal STS-12 verificar lo siguiente.

Descripción	Requerimientos
Validación del byte M0	[R_MSOH:30]
Acumulación de errores del extremo distante	[R_MSOH:31]

Configuración del bloque de programación:

Parámetro	Configuración
DUV	M
Señal	sts12
Archivo de entrada	--
Archivo de salida	P3_M0M1.csv

Tiempo mínimo de ejecución: 3 ms.

Respuesta esperada: A continuación se muestra una tabla con las señales de salida y su respuesta esperada en determinada trama. Estas señales son mostradas cuando cambian.

No. de trama	P_M0M1_OUT	P_M0MIRO_OUT_H	P_M0MIS3_OUT	P_M0MIS2_OUT	P_M0MIS1_OUT
1	00000001	0	0000	00000000	00000001
2	00000010	0	0000	00000000	00000011
3	00000100	0	0000	00000000	00000111
4	00001000	0	0000	00000000	00001111
5	00010000	0	0000	00000000	00011111
6	00100000	0	0000	00000000	00111111
7	01000000	0	0000	00000000	01111111
8	00000000	0	0000	00000000	01111111
9	00000001	0	0000	00000000	10000000
10	00000010	0	0000	00000000	10000010
11	00000100	0	0000	00000000	10000110
12	00001000	0	0000	00000000	10001110
13	00010000	0	0000	00000000	10011110
14	00100000	0	0000	00000000	10111110
15	01000000	0	0000	00000000	11111110
16	00000000	0	0000	00000000	11111110

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P3_MOM1.csv.

A.5 Procesador de la MSOH

A.5.1 Prueba 1

Objetivos: Para una señal STS-1 verificar la totalidad de los requerimientos.

Configuración del bloque de programación:

Parámetro	Configuración
DUV	B
Señal	sts1
Archivo de entrada	bytes_MSOH_STS1.txt
Archivo de salida	P1_MSOH.csv
Tamaño de bloque	'0' (STS-1)
Umbral de detección de SF	BER_3
Umbral de detección de SD	BER_5
Bytes de trama exceptuando B2	00000000
Filtrado de alarmas	'0' (3 tramas)
Lectura de interrupción de K1 y K2	'1' (atender)
Filtrado del byte S1	'00' (sin filtrado)
Lectura de interrupción de S1	'1' (atender)

Tiempo mínimo de ejecución: 1 s.

Respuesta esperada: La respuesta esperada es una combinación de las tablas de las pruebas A.1.1, A.2.1, A.3.1 y A.4.1.

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P1_MSOH.csv.

A.5.2 Prueba 2

Objetivos: Para una señal STS-3 verificar la totalidad de los requerimientos.

Configuración del bloque de programación:

Parámetro	Configuración
DUV	T
Señal	sts3
Archivo de entrada	bytes_MSOH_STS3.txt
Archivo de salida	P2_MSOH.csv
Tamaño de bloque	'0' (STS-1)
Umbral de detección de SF	BER_3
Umbral de detección de SD	BER_5
Bytes de trama exceptuando B2	00000000
Filtrado de alarmas	'0' (3 tramas)
Lectura de interrupción de K1 y K2	'1' (atender)
Filtrado del byte S1	'00' (sin filtrado)
Lectura de interrupción de S1	'1' (atender)

Tiempo mínimo de ejecución: 1 s.

Respuesta esperada: La respuesta esperada es una combinación de las tablas de las pruebas A.1.3, A.2.1, A.3.1 y A.4.1.

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P2_MSOH.csv.

A.5.3 Prueba 3

Objetivos: Para una señal STS-12 verificar la totalidad de los requerimientos.

Configuración del bloque de programación:

Parámetro	Configuración
DUV	T
Señal	sts12
Archivo de entrada	bytes_MSOH_STS12.txt
Archivo de salida	P3_MSOH.csv
Tamaño de bloque	'0' (STS-1)

Umbral de detección de SF	BER_3
Umbral de detección de SD	BER_5
Bytes de trama exceptuando B2	00000000
Filtrado de alarmas	'0' (3 tramas)
Lectura de interrupción de K1 y K2	'1' (atender)
Filtrado del byte S1	'00' (sin filtrado)
Lectura de interrupción de S1	'1' (atender)

Tiempo mínimo de ejecución: 2 s.

Respuesta esperada: La respuesta esperada es una combinación de las tablas de las pruebas A.1.5, A.2.1, A.3.1 y A.4.1.

Respuesta obtenida: La respuesta obtenida de acuerdo al archivo de entrada se muestra en el archivo de salida P3_MSOH.csv.

Apéndice B

A continuación se describe la organización del CD del “Procesador de la tara MSOH”. Este CD consta de las carpetas *Document* y *Design*, las cuales contienen todos los archivos asociados al circuito diseñado.

Document

En esta carpeta se encuentra el documento de tesis en el archivo MSOH.doc.

Design

En esta carpeta se encuentran los archivos VHD del diseño y los archivos utilizados en el proceso de verificación. La carpeta esta compuesta por cuatro subcarpetas:

1. *Source*
2. *Scripts*
3. *MSOH*
4. *Library*

Source

Esta carpeta contiene todos los archivos del diseño y el archivo de la cama de pruebas.

Scripts

En esta carpeta se encuentran los archivos de estímulos para cada caso de prueba. Esta carpeta contiene una subcarpeta por cada submódulo.

MSOH

Esta carpeta contiene los archivos de respuesta de cada uno de los casos de prueba. Los archivos se encuentran en una subcarpeta dependiendo del submódulo al que pertenecen.

Library

En esta carpeta se encuentran los archivos generados por la herramienta ModelSim después de la compilación de cada uno de los archivos del diseño.

Bibliografía

- [1] Ashenden, P., "The Designer's Guide to VHDL", Morgan Kaufmann Publishers, Inc., 1996.
- [2] Bergeron, J., "Writing Testbenches, Functional Verification of HDL Models", Kluwer Academic Publishers, 2000.
- [3] Chow, M., "Understanding SONET/SDH: Standards and application", First Edition, Andan Publisher, 1995.
- [4] Gajski, D., "Principles of Digital Design", Prentice Hall, 1997.
- [5] ITU-T, Telecommunication Standardization Sector of ITU, "G.703, Características físicas y eléctricas de las interfaces digitales jerárquicas", 10/98.
- [6] ITU-T, Telecommunication Standardization Sector of ITU, "G.704, Synchronous Frame Structures Used at 1544, 6312, 2048, 8488 and 44736 kbit/s Hierarchical Levels", 07/95.
- [7] ITU-T, Telecommunication Standardization Sector of ITU, "G.707, Network Node for the SDH, 03/96.
- [8] ITU-T, Telecommunication Standardization Sector of ITU, "G.780 Vocabulary of terms for SDH networks and equipment", 06/99.
- [9] ITU-T, Telecommunication Standardization Sector of ITU, "G.783, Characteristics of SDH equipment functional blocks, 04/97.
- [10] Pardo C. F., "VHDL Lenguaje para descripción y modelado de circuitos", Universidad de Valencia, 1997.
- [11] PMC-Sierra, Inc., PM5312 STTX Data Sheet, Issue 5, July 1998. <http://www.pmc-sierra.com>.
- [12] Redondo, A., Maldonado, J., Aburto, L., Aguirre J., Medina S., Torres D. y Guzmán, M. E., "Desarrollo de una librería básica de componentes para el diseño de elementos de red SDH/SONET para señales STM-1/STS-3c/3xSTS-1" **IEEE ROC&C 2001**, 12^a Reunión de Otoño de Comunicaciones, Computación, Electrónica y Exposición Industrial, Acapulco, Guerrero, México, Octubre de 2001.
- [13] Redondo, A., Torres, D. and Guzmán, M. E., "MSOH Processing for STM-0/STS-1 to STM-4/STS-12: Component of a SDH/SONET library", **IBERCHIP IWS2002**, VIII Workshop Internacional Iberchip, Guadalajara, Jalisco, México, Abril de 2002.
- [14] Skahill, K., "VHDL for Programmable Logic", Addison-Wesley, 1996.
- [15] Transwitch, TXC-03001B-MB Data Sheet, Ed. 2, February 1998. <http://transwiche.com>.
- [16] Transwitch, TXC-03003B-MB Data Sheet, Ed. 3, February 2000. <http://transwiche.com>.
- [17] Transwitch, PRELIMINARY TXC-06103B-MB Data Sheet, Ed. 3, March 2001. <http://transwiche.com>.

Centro de Investigación y de Estudios Avanzados del IPN

Unidad Guadalajara

El Jurado designado por la Unidad Guadalajara del Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional, aprobó la tesis: CIRCUITO PROCESADOR DE LA TARA MSH DE SEÑALES SONET/SDH HASTA 622 MBPS del(a) C. Arturo REDONDO GALVÁN el día 29 de Noviembre de 2002 .



DR. ARTURO VELOZ GUERRERO
INVESTIGADOR CINVESTAV 3A
CINVESTAV GDL
GUADALAJARA



DR. DENI LIBRADO TORRES
ROMÁN
PROFESOR INVESTIGADOR 3A
CINVESTAV GDL
GUADALAJARA



DR. RAÚL JACINTO MONTES
DIRECTOR
DDTEC
GUADALAJARA



CINVESTAV
BIBLIOTECA CENTRAL



SSIT000004447